



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0036740
(43) 공개일자 2014년03월26일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
G09G 3/30 (2006.01)
(21) 출원번호 10-2012-0103216
(22) 출원일자 2012년09월18일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
문성훈
충남 천안시 서북구 봉서산1길 35, 121동 202호
(쌍용동, 파크밸리동일하이빌아파트)
(74) 대리인
팬코리아특허법인

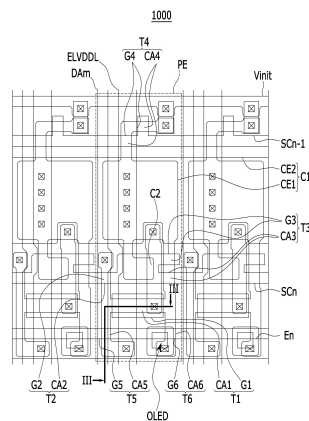
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 기관, 상기 기관 상에 위치하는 유기 발광 소자, 상기 유기 발광 소자와 연결되며, 비정질 실리콘 채널 영역을 포함하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되며, 폴리 실리콘 채널 영역을 포함하는 하나 이상의 다른 박막 트랜지스터를 포함한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 유기 발광 소자;

상기 유기 발광 소자와 연결되며, 비정질 실리콘 채널 영역을 포함하는 제1 박막 트랜지스터;

상기 제1 박막 트랜지스터와 연결되며, 폴리 실리콘 채널 영역을 포함하는 하나 이상의 다른 박막 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 비정질 실리콘 채널 영역 및 상기 폴리 실리콘 채널 영역은 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제1 박막 트랜지스터의 제1 게이트 전극과 상기 비정질 실리콘 채널 영역 사이의 거리는 상기 하나 이상의 다른 박막 트랜지스터의 게이트 전극과 상기 폴리 실리콘 채널 영역 사이의 거리 대비 더 긴 유기 발광 표시 장치

청구항 4

제1항에서,

상기 기관 상에서 제1 방향으로 연장된 제1 스캔 라인;

상기 제1 스캔 라인과 이격되어 상기 제1 방향으로 연장된 제2 스캔 라인;

상기 제2 스캔 라인과 이격되어 상기 제1 방향으로 연장된 초기화 전원 라인;

상기 초기화 전원 라인과 이격되어 상기 제1 방향으로 연장된 발광 제어 라인;

상기 기관 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인; 및

상기 데이터 라인과 이격되어 상기 제2 방향으로 연장된 구동 전원 라인

을 더 포함하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 초기화 전원 라인 및 상기 발광 제어 라인은 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 6

제4항에서,

상기 제1 스캔 라인 및 상기 발광 제어 라인은 동일한 층에 위치하며,

상기 제2 스캔 라인 및 상기 초기화 전원 라인은 절연층을 사이에 두고 상기 제1 스캔 라인 및 상기 발광 제어 라인 상에 위치하는 다른 층에 위치하는 유기 발광 표시 장치.

청구항 7

제4항에서,

상기 다른 박막 트랜지스터는 복수개이며,

상기 복수개의 다른 박막 트랜지스터는,

상기 제1 스캔 라인과 연결된 제2 게이트 전극을 포함하며, 상기 데이터 라인과 상기 제1 박막 트랜지스터 사이를 연결하는 제2 박막 트랜지스터;

상기 제1 스캔 라인과 연결된 제3 게이트 전극을 포함하며, 상기 제1 박막 트랜지스터와 상기 제1 박막 트랜지스터의 제1 게이트 전극 사이를 연결하는 제3 박막 트랜지스터;

상기 제2 스캔 라인과 연결된 제4 게이트 전극을 포함하며, 상기 초기화 전원 라인과 상기 제1 게이트 전극 사이를 연결하는 제4 박막 트랜지스터;

상기 발광 제어 라인과 연결된 제5 게이트 전극을 포함하며, 상기 구동 전원 라인과 상기 제1 박막 트랜지스터 사이를 연결하는 제5 박막 트랜지스터; 및

상기 발광 제어 라인과 연결된 제6 게이트 전극을 포함하며, 상기 제1 박막 트랜지스터와 상기 유기 발광 소자 사이를 연결하는 제6 박막 트랜지스터

를 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극은 동일한 층에 위치하는 유기 발광 표시 장치.

청구항 9

제7항에서,

상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극은 동일한 층에 위치하며,

상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제3 게이트 전극은 절연층을 사이에 두고 상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 상에 위치하는 다른 층에 위치하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제1 게이트 전극과 연결되며 상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극과 동일한 층에 위치하는 제1 캐패시터 전극, 및 상기 구동 전원 라인과 연결되며 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 동일한 층에 위치하는 제2 캐패시터 전극을 포함하는 캐패시터를 더 포함하는 유기 발광 표시 장치.

청구항 11

제1항 내지 제10항 중 어느 한 항에서,

상기 유기 발광 소자는,

상기 제1 박막 트랜지스터와 연결되는 제1 전극;

상기 제1 전극 상에 위치하는 유기 발광층; 및

상기 유기 발광층 상에 위치하는 제2 전극

을 포함하는 유기 발광 표시 장치.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판 상에 위치하며 일 방향으로 연장된 게이트 배선들, 게이트 배선들과 교차하는 방향으로 연장된 데이터 배선들, 게이트 배선들 및 데이터 배선들 각각에 연결된 복수의 박막 트랜지스터 및 박막 트랜지스터와 연결된 유기 발광 소자를 포함한다.

[0005] 그런데, 최근 복수의 박막 트랜지스터 각각의 채널 영역의 반도체 특성이 향상되어 복수의 박막 트랜지스터 각각의 구동 특성이 향상됨으로써, 복수의 박막 트랜지스터 중 유기 발광 소자로 구동 전류를 공급하는 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압의 구동 범위(Driving range, DR range)가 너무 좁아지기 때문에, 구동 전류에 의해 유기 발광 소자에 포함된 유기 발광층으로부터 발광되는 빛의 계조가 좁아 유기 발광 표시 장치의 표시 품질이 저하되는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시예는 상술한 문제점을 해결하기 위한 것으로서, 유기 발광층으로부터 발광되는 빛의 계조가 풍부해져 표시 품질이 향상된 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 기판, 상기 기판 상에 위치하는 유기 발광 소자, 상기 유기 발광 소자와 연결되며, 비정질 실리콘 채널 영역을 포함하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되며, 폴리 실리콘 채널 영역을 포함하는 하나 이상의 다른 박막 트랜지스터를 포함하는 유기 발광 표시 장치를 제공한다.

[0008] 상기 비정질 실리콘 채널 영역 및 상기 폴리 실리콘 채널 영역은 동일한 층에 위치할 수 있다.

[0009] 상기 제1 박막 트랜지스터의 제1 게이트 전극과 상기 비정질 실리콘 채널 영역 사이의 거리는 상기 하나 이상의 다른 박막 트랜지스터의 게이트 전극과 상기 폴리 실리콘 채널 영역 사이의 거리 대비 더 길 수 있다.

[0010] 상기 기판 상에서 제1 방향으로 연장된 제1 스캔 라인, 상기 제1 스캔 라인과 이격되어 상기 제1 방향으로 연장된 제2 스캔 라인, 상기 제2 스캔 라인과 이격되어 상기 제1 방향으로 연장된 초기화 전원 라인, 상기 초기화 전원 라인과 이격되어 상기 제1 방향으로 연장된 발광 제어 라인, 상기 기판 상에서 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인, 및 상기 데이터 라인과 이격되어 상기 제2 방향으로 연장된 구동 전원 라인을 더 포함할 수 있다.

[0011] 상기 제1 스캔 라인, 상기 제2 스캔 라인, 상기 초기화 전원 라인 및 상기 발광 제어 라인은 동일한 층에 위치할 수 있다.

[0012] 상기 제1 스캔 라인 및 상기 발광 제어 라인은 동일한 층에 위치하며, 상기 제2 스캔 라인 및 상기 초기화 전원 라인은 절연층을 사이에 두고 상기 제1 스캔 라인 및 상기 발광 제어 라인 상에 위치하는 다른 층에 위치할 수 있다.

[0013] 상기 다른 박막 트랜지스터는 복수개이며, 상기 복수개의 다른 박막 트랜지스터는, 상기 제1 스캔 라인과 연결된 제2 게이트 전극을 포함하며, 상기 데이터 라인과 상기 제1 박막 트랜지스터 사이를 연결하는 제2 박막 트랜지스터, 상기 제1 스캔 라인과 연결된 제3 게이트 전극을 포함하며, 상기 제1 박막 트랜지스터와 상기 제1 박막

트랜지스터의 제1 게이트 전극 사이를 연결하는 제3 박막 트랜지스터, 상기 제2 스캔 라인과 연결된 제4 게이트 전극을 포함하며, 상기 초기화 전원 라인과 상기 제1 게이트 전극 사이를 연결하는 제4 박막 트랜지스터, 상기 발광 제어 라인과 연결된 제5 게이트 전극을 포함하며, 상기 구동 전원 라인과 상기 제1 박막 트랜지스터 사이를 연결하는 제5 박막 트랜지스터, 및 상기 발광 제어 라인과 연결된 제6 게이트 전극을 포함하며, 상기 제1 박막 트랜지스터와 상기 유기 발광 소자 사이를 연결하는 제6 박막 트랜지스터를 포함할 수 있다.

[0014] 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극은 동일한 층에 위치할 수 있다.

[0015] 상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극은 동일한 층에 위치하며, 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제3 게이트 전극은 절연층을 사이에 두고 상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 상에 위치하는 다른 층에 위치할 수 있다.

[0016] 상기 제1 게이트 전극과 연결되며 상기 제4 게이트 전극, 상기 제5 게이트 전극 및 상기 제6 게이트 전극과 동일한 층에 위치하는 제1 캐패시터 전극, 및 상기 구동 전원 라인과 연결되며 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 동일한 층에 위치하는 제2 캐패시터 전극을 포함하는 캐패시터를 더 포함할 수 있다.

[0017] 상기 유기 발광 소자는, 상기 제1 박막 트랜지스터와 연결되는 제1 전극, 상기 제1 전극 상에 위치하는 유기 발광층, 및 상기 유기 발광층 상에 위치하는 제2 전극을 포함할 수 있다.

발명의 효과

[0018] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 유기 발광층으로부터 발광되는 빛의 계조가 풍부해져 표시 품질이 향상된 유기 발광 표시 장치가 제공된다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.

도 2는 도 1에 도시된 픽셀 부분을 나타낸 배치도이다.

도 3은 도 2의 III-III을 따른 단면도이다.

도 4는 본 발명의 제2 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.

도 5는 도 4에 도시된 픽셀 부분을 나타낸 배치도이다.

도 6은 도 5의 VI-VI을 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0021] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0022] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성에 대해서만 설명하기로 한다.

[0023] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0024] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0025] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는

한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

- [0026] 이하, 도 1 내지 도 3을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0027] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.
- [0028] 도 1에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 게이트 구동부(GD1), 게이트 배선들(GW), 발광 제어 구동부(GD2), 데이터 구동부(DD), 데이터 배선들(DW), 및 화소(PE)를 포함한다.
- [0029] 게이트 구동부(GD1)는 도시되지 않은 외부의 제어회로, 예컨대 타이밍 제어부 등으로부터 공급되는 제어신호에 대응하여 게이트 배선들(GW)에 포함된 제1 스캔 라인(SC1~SCn-1) 및 제2 스캔 라인(SC2~SCn)각각으로 스캔 신호를 순차적으로 공급한다. 그러면, 화소(PE)는 스캔 신호에 의해 선택되어 순차적으로 데이터 신호를 공급받는다.
- [0030] 게이트 배선들(GW)은 기판(SUB) 상에 위치하며, 제1 방향으로 연장되어 있다. 게이트 배선들(GW)은 제1 스캔 라인(SCn-1), 발광 제어 라인(E1~En), 제2 스캔 라인(SCn), 초기화 전원 라인(Vinit) 및 후술할 제2 캐패시터 전극(CE2)을 포함한다. 제1 스캔 라인(SCn-1)은 게이트 구동부(GD1)와 연결되어 있으며, 게이트 구동부(GD1)로부터 스캔 신호를 공급받는다. 발광 제어 라인(En)은 발광 제어 구동부(GD2)와 연결되어 있으며, 발광 제어 구동부(GD2)로부터 발광 제어 신호를 공급받는다. 제2 스캔 라인(SCn)은 게이트 구동부(GD1)와 연결되어 있으며, 게이트 구동부(GD1)로부터 스캔 신호를 공급받는다. 초기화 전원 라인(Vinit)은 게이트 구동부(GD1)와 연결되어 있으며, 게이트 구동부(GD1)로부터 초기화 전원을 인가받는다. 제2 캐패시터 전극(CE2)은 제1 스캔 라인(SCn-1)과 이격되어 제1 방향으로 연장되어 있다.
- [0031] 이와 같이, 초기화 전원 라인(Vinit), 제1 스캔 라인(SCn-1), 제2 캐패시터 전극(CE2), 제2 스캔 라인(SCn), 발광 제어 라인(En) 각각은 상호 이격되어 제1 방향으로 연장되어 있다. 또한, 초기화 전원 라인(Vinit), 제1 스캔 라인(SCn-1), 제2 캐패시터 전극(CE2), 제2 스캔 라인(SCn), 발광 제어 라인(En) 각각은 동일한 층에 위치하여 동일한 재료로 형성되어 있으며, 포토리소그래피 등의 한 번의 공정을 통해 형성될 수 있다.
- [0032] 본 발명의 제1 실시예에서는 초기화 전원 라인(Vinit)이 게이트 구동부(GD1)로부터 초기화 전원을 인가 받으나, 본 발명의 다른 실시예에서는 초기화 전원 라인(Vinit)이 추가적인 다른 구성과 연결되어 상기 추가적인 다른 구성으로부터 초기화 전원을 인가 받을 수 있다.
- [0033] 발광 제어 구동부(GD2)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 발광 제어 라인(En)로 발광 제어 신호를 순차적으로 공급한다. 그러면, 화소(PE)는 발광 제어 신호에 의해 발광이 제어된다.
- [0034] 즉, 발광 제어 신호는 화소(PE)의 발광 시간을 제어한다. 단, 발광 제어 구동부(GD2)는 화소(PE)의 내부 구조에 따라 생략될 수도 있다.
- [0035] 데이터 구동부(DD)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 데이터 배선들(DW) 중 데이터 라인(DAm)으로 데이터 신호를 공급한다. 데이터 라인(DAm)으로 공급된 데이터 신호는 제2 스캔 라인(SCn)으로 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 화소(PE)로 공급된다. 그러면, 화소(PE)는 데이터 신호에 대응하는 전압을 충전하고 이에 대응하는 휘도로 발광한다.
- [0036] 데이터 배선들(DW)은 게이트 배선들(GW) 상에 위치하며, 제1 방향과 교차하는 제2 방향으로 연장되어 있다. 데이터 배선들(DW)은 데이터 라인(DA1~DAm) 및 구동 전원 라인(ELVDDL)을 포함한다. 데이터 라인(DAm)은 데이터 구동부(DD)와 연결되어 있으며, 데이터 구동부(DD)로부터 데이터 신호를 공급받는다. 구동 전원 라인(ELVDDL)은 후술할 외부의 제1 전원(ELVDD)과 연결되어 있으며, 제1 전원(ELVDD)으로부터 구동 전원을 공급받는다.
- [0037] 화소(PE)는 게이트 배선들(GW) 및 데이터 배선들(DW)의 교차 영역에 위치하며, 데이터 신호에 대응되는 구동 전류에 상응하는 휘도로 발광하는 유기 발광 소자와, 상기 유기발광소자에 흐르는 구동 전류를 제어하기 위한 복수의 박막 트랜지스터 및 하나 이상의 캐패시터를 포함한다. 복수의 박막 트랜지스터 및 하나 이상의 캐패시터는 게이트 배선들(GW) 및 데이터 배선들(DW) 각각과 연결되어 있으며, 유기 발광 소자는 복수의 박막 트랜지스터 및 하나 이상의 캐패시터와 연결되어 있다. 유기 발광 소자는 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속된다.
- [0038] 도 2는 도 1에 도시된 픽셀 부분을 나타낸 배치도이다. 도 3은 도 2의 III-III을 따른 단면도이다.

- [0039] 도 2 및 도 3에 도시된 바와 같이, 화소(PE)는 상기 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 연결된 유기 발광 소자(OLED)와 유기 발광 소자(OLED)와 제1 전원(ELVDD) 사이에 접속되어 상기 유기 발광 소자(OLED)로 공급되는 구동 전원을 제어하는 6개의 박막 트랜지스터 및 2개의 캐패시터를 포함하는 화소 회로를 포함한다.
- [0040] 유기 발광 소자(OLED)는 제1 전극(E1), 제1 전극(E1) 상에 위치하는 유기 발광층(OL) 및 유기 발광층(OL) 상에 위치하는 제2 전극(E2)을 포함한다. 유기 발광 소자(OLED)의 애노드 전극인 제1 전극(E1)은 화소 회로를 경유하여 제1 전원(ELVDD)에 연결된 구동 전원 라인(ELVDDL)에 접속되고, 유기 발광 소자(OLED)의 캐소드 전극인 제2 전극(E2)은 제2 전원(ELVSS)에 접속된다. 이러한 유기 발광 소자(OLED)의 유기 발광층(OL)은 제1 전원(ELVDD)으로부터 화소 회로를 거쳐 구동 전원이 공급되고 제2 전원(ELVSS)으로부터 공통 전원이 공급될 때 유기 발광 소자(OLED)에 흐르는 구동 전류에 대응하는 휘도로 발광한다.
- [0041] 화소 회로는, 제1 박막 트랜지스터(T1) 및 하나 이상의 다른 박막 트랜지스터인 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 포함한다.
- [0042] 제1 박막 트랜지스터(T1)는 구동 전원 라인(ELVDDL)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이에 연결되며, 화소(PE)의 발광기간 동안 데이터 신호에 대응하는 구동 전원을 제1 전원(ELVDD)으로부터 유기 발광 소자(OLED)로 공급한다. 즉, 제1 박막 트랜지스터(T1)는 화소(PE)의 구동 트랜지스터로서 기능한다. 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1), 제2 캐패시터(C2), 제3 박막 트랜지스터(T3), 및 제4 박막 트랜지스터(T4) 각각과 연결되며, 소스 전극은 제2 박막 트랜지스터(T2) 및 제5 박막 트랜지스터(T5) 각각과 연결되며, 드레인 전극은 제3 박막 트랜지스터(T3) 및 제6 박막 트랜지스터(T6) 각각과 연결된다. 유기 발광 소자(OLED)의 제1 전극(E1)은 제6 박막 트랜지스터(T6)를 통해 제1 박막 트랜지스터(T1)와 연결된다.
- [0043] 제1 박막 트랜지스터(T1)는 소스 전극과 드레인 전극 사이에서 제1 절연층(IL1)을 사이에 두고 제1 게이트 전극(G1)과 대응하여 위치하는 비정질 실리콘 채널 영역(CA1)을 포함한다. 비정질 실리콘 채널 영역(CA1)은 비정질 실리콘(a-Si)으로 형성되어 있다. 비정질 실리콘 채널 영역(CA1)은 후술할 제2 폴리 실리콘 채널 영역(CA2), 제3 폴리 실리콘 채널 영역(CA3), 제4 폴리 실리콘 채널 영역(CA4), 제5 폴리 실리콘 채널 영역(CA5) 및 제6 폴리 실리콘 채널 영역(CA6)과 동일한 층에 위치하고 있다.
- [0044] 비정질 실리콘 채널 영역(CA1)은 하나의 패턴으로 형성된 비정질 실리콘 패턴에서 비정질 실리콘 채널 영역(CA1)으로 형성될 부분을 제외한 제2 폴리 실리콘 채널 영역(CA2), 제3 폴리 실리콘 채널 영역(CA3), 제4 폴리 실리콘 채널 영역(CA4), 제5 폴리 실리콘 채널 영역(CA5) 및 제6 폴리 실리콘 채널 영역(CA6)으로 형성될 부분만을 결정화함으로써 형성되거나, 비정질 실리콘 채널 영역(CA1)이 형성될 부분에만 제2 폴리 실리콘 채널 영역(CA2), 제3 폴리 실리콘 채널 영역(CA3), 제4 폴리 실리콘 채널 영역(CA4), 제5 폴리 실리콘 채널 영역(CA5) 및 제6 폴리 실리콘 채널 영역(CA6)을 형성하는 공정과는 다른 화학 기상 증착 등의 다른 추가적인 공정을 이용해 형성될 수 있다.
- [0045] 제2 박막 트랜지스터(T2)는 데이터 라인(DAm)과 제1 박막 트랜지스터(T1) 사이를 연결하며, 제2 스캔 라인(SCn)과 연결된 제2 게이트 전극(G2)을 포함한다. 제2 박막 트랜지스터(T2)는 제2 스캔 라인(SCn)으로부터 스캔 신호가 공급될 때 데이터 라인(DAm)으로부터 공급되는 데이터 신호를 화소(PE) 내부로 전달한다. 즉, 제2 박막 트랜지스터(T2)는 화소(PE)의 스위칭 트랜지스터로서 기능한다.
- [0046] 제2 박막 트랜지스터(T2)는 소스 전극과 드레인 전극 사이에서 제1 절연층(IL1)을 사이에 두고 제2 게이트 전극(G2)과 대응하여 위치하는 제2 폴리 실리콘 채널 영역(CA2)을 포함한다. 제2 폴리 실리콘 채널 영역(CA2)은 폴리 실리콘(poly Si)으로 형성되어 있다.
- [0047] 제3 박막 트랜지스터(T3)는 제1 박막 트랜지스터(T1)와 제1 게이트 전극(G1) 사이를 연결하며, 제2 스캔 라인(SCn)과 연결된 제3 게이트 전극(G3)을 포함한다. 제3 박막 트랜지스터(T3)는 화소(PE) 내부로 데이터 신호가 공급될 때 제1 박막 트랜지스터(T1)를 다이오드 형태로 연결하여 제1 박막 트랜지스터(T1)의 문턱전압을 보상한다. 즉, 제3 박막 트랜지스터(T3)는 화소(PE)의 보상 트랜지스터로서 기능한다.
- [0048] 제3 박막 트랜지스터(T3)는 소스 전극과 드레인 전극 사이에서 제1 절연층(IL1)을 사이에 두고 제3 게이트 전극(G3)과 대응하여 위치하는 제3 폴리 실리콘 채널 영역(CA3)을 포함한다. 제3 폴리 실리콘 채널 영역(CA3)은 폴리 실리콘(poly Si)으로 형성되어 있다.

- [0049] 제4 박막 트랜지스터(T4)는 초기화 전원 라인(Vinit)과 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이를 연결하며, 제1 스캔 라인(SCn-1)과 연결된 제4 게이트 전극(G4)을 포함한다. 제4 박막 트랜지스터(T4)는 화소(PE)에 데이터 신호가 입력되는 데이터 프로그래밍 기간 동안 상기 데이터 신호가 화소(PE) 내부로 원활히 공급될 수 있도록, 상기 데이터 프로그래밍 기간에 앞선 초기화 기간 동안 제1 스캔 라인(SCn-1)으로부터 스캔 신호가 공급될 때 초기화 전원 라인(Vinit)으로부터 공급되는 초기화 전원을 화소(PE) 내부로 전달하여 제1 박막 트랜지스터(T1)를 초기화한다. 즉, 제4 박막 트랜지스터(T4)는 화소(PE)의 스위칭 트랜지스터로서 기능한다.
- [0050] 제4 박막 트랜지스터(T4)는 소스 전극과 드레인 전극 사이에서 제1 절연층(IL1)을 사이에 두고 제4 게이트 전극(G4)과 대응하여 위치하는 제4 폴리 실리콘 채널 영역(CA4)을 포함한다. 제4 폴리 실리콘 채널 영역(CA4)은 폴리 실리콘(poly Si)으로 형성되어 있다.
- [0051] 제5 박막 트랜지스터(T5)는 구동 전원 라인(ELVDDL)과 제1 박막 트랜지스터(T1) 사이를 연결하며, 발광 제어 라인(En)과 연결된 제5 게이트 전극(G5)을 포함한다. 제5 박막 트랜지스터(T5)는 화소(PE)의 비발광 기간 동안 제1 전원(ELVDD)에 연결된 구동 전원 라인(ELVDDL)과 제1 박막 트랜지스터(T1) 사이의 연결을 차단하고, 화소(PE)의 발광 기간 동안 구동 전원 라인(ELVDDL)과 제1 박막 트랜지스터(T1) 사이를 연결한다. 즉, 제5 박막 트랜지스터(T5)는 화소(PE)의 스위칭 트랜지스터로서 기능한다.
- [0052] 제5 박막 트랜지스터(T5)는 소스 전극과 드레인 전극 사이에서 제1 절연층(IL1)을 사이에 두고 제5 게이트 전극(G5)과 대응하여 위치하는 제5 폴리 실리콘 채널 영역(CA5)을 포함한다. 제5 폴리 실리콘 채널 영역(CA5)은 폴리 실리콘(poly Si)으로 형성되어 있다.
- [0053] 제6 박막 트랜지스터(T6)는 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하며, 발광 제어 라인(En)과 연결된 제6 게이트 전극(G6)을 포함한다. 제6 박막 트랜지스터(T6)는 화소(PE)의 비발광 기간 동안 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이의 연결을 차단하고, 화소(PE)의 발광 기간 동안 상기 제1 박막 트랜지스터(T1)와 유기 발광 소자(OLED) 사이를 연결한다. 즉, 제6 박막 트랜지스터(T6)는 화소(PE)의 스위칭 트랜지스터로서 기능한다.
- [0054] 제6 박막 트랜지스터(T6)는 소스 전극과 드레인 전극 사이에서 제1 절연층(IL1)을 사이에 두고 제6 게이트 전극(G6)과 대응하여 위치하는 제6 폴리 실리콘 채널 영역(CA6)을 포함한다. 제6 폴리 실리콘 채널 영역(CA6)은 폴리 실리콘(poly Si)으로 형성되어 있다.
- [0055] 또한, 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)은 동일한 층에 위치하고 있으며, 게이트 배선들(GW)을 형성하는 포토리소그래피 등의 한 번의 공정을 이용해 게이트 배선들(GW)과 동시에 형성될 수 있다.
- [0056] 제1 캐패시터(C1)는 데이터 프로그래밍 기간 동안 화소(PE) 내부로 공급되는 데이터 신호를 저장하고 이를 한 프레임 동안 유지하기 위한 것으로, 제1 전원(ELVDD)과 연결된 구동 전원 라인(ELVDDL)과 초기화 전원 라인(Vinit)과 연결된 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이에 형성된다. 즉, 제1 캐패시터(C1)는 스토리지 캐패시터로서 기능한다.
- [0057] 제1 캐패시터(C1)는 기판(SUB) 상에 위치하며, 제1 절연층(IL1)을 사이에 두고 상호 대향하는 제1 캐패시터 전극(CE1) 및 제2 캐패시터 전극(CE2)을 포함한다.
- [0058] 제1 캐패시터 전극(CE1)은 제4 박막 트랜지스터(T4)를 통해 초기화 전원 라인(Vinit)과 연결되어 있으며, 비정질 실리콘 채널 영역(CA1), 제2 폴리 실리콘 채널 영역(CA2) 내지 제6 폴리 실리콘 채널 영역(CA6)과 동일한 층에 위치하고 있다.
- [0059] 제2 캐패시터 전극(CE2)은 구동 전원 라인(ELVDDL)과 연결되어 있으며, 게이트 배선들(GW)과 동일한 층에 위치하고 있다. 제2 캐패시터 전극(CE2)은 도 1에서 도시한 바와 같이, 이웃하는 화소(PE)를 가로질러 제1 방향으로 연장되어 있다.
- [0060] 제2 캐패시터(C2)는 유기 발광 표시 장치(1000)에서 로드로 인한 전압강하를 보상하기 위한 것으로, 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)과 제2 스캔 라인(SCn) 사이에 형성된다. 즉, 제2 캐패시터(C2)는 현재 스캔 신호의 전압 레벨이 변경될 때, 특히 현재 스캔 신호의 공급이 중단되는 시점에서 커플링 작용에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)의 전압을 상승시킴으로써, 유기 발광 표시 장치(1000) 내의 로드로 인한 전압강하를 보상하는 부스팅 캐패시터로서 기능한다.

- [0061] 이하, 상술한 화소(PE)의 동작을 설명한다.
- [0062] 우선, 초기화 기간으로 설정되는 제1 기간 동안 제1 스캔 라인(SCn-1)을 통해 로우 레벨의 이전 스캔 신호가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호에 대응하여 제4 박막 트랜지스터(T4)가 턴온되며, 초기화 전원 라인(Vinit)으로부터 제4 박막 트랜지스터(T4)를 통해 초기화 전원이 제1 박막 트랜지스터(T1)로 공급되어 제1 박막 트랜지스터(T1)가 초기화된다.
- [0063] 이후, 데이터 프로그래밍 기간으로 설정되는 제2 기간 동안 제2 스캔 라인(SCn)을 통해 로우 레벨의 현재 스캔 신호가 공급된다. 그러면, 로우 레벨의 현재 스캔 신호에 대응하여 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)가 턴온된다.
- [0064] 그리고, 제1 박막 트랜지스터(T1)도 제3 박막 트랜지스터(T3)에 의해 다이오드 연결되는 형태로 턴온되며, 특히 앞선 제1 기간 동안 제1 박막 트랜지스터(T1)가 초기화되었으므로 제1 박막 트랜지스터(T1)는 순방향으로 다이오드 연결된다.
- [0065] 이에 의해, 데이터 라인(DAm)으로부터 공급된 데이터 신호가 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1) 및 제3 박막 트랜지스터(T3)를 경유하며, 이로 인해 제1 캐패시터(C1)에는 데이터 신호와 제1 박막 트랜지스터(T1)의 문턱전압의 차에 대응하는 전압이 저장된다.
- [0066] 이후, 현재 스캔 신호의 공급이 중단되면서 현재 스캔 신호의 전압레벨이 하이 레벨로 변경되면, 제2 캐패시터(C2)의 커플링 작용에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 전압이 현재 스캔 신호의 전압 변동폭에 대응하여 변경된다. 이때, 제1 캐패시터(C1)와 제2 캐패시터(C2) 간의 차지 셰어링에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 전압이 변경되므로, 제1 게이트 전극(G1)에 인가되는 전압 변화량은 현재 스캔 신호의 전압 변동폭과 더불어, 제1 캐패시터(C1) 및 제2 캐패시터(C2) 간의 차지 셰어링 값에 비례하여 변동된다.
- [0067] 이후, 발광 기간으로 설정되는 제3 기간 동안 발광 제어 라인(En)으로부터 공급되는 발광 제어 신호가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 제3 기간 동안 로우 레벨의 발광 제어 신호에 의해 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6)가 턴온된다. 이에 의해, 제1 전원(ELVDD)으로부터 구동 전원 라인(ELVDDL)을 통해 제5 박막 트랜지스터(T5), 제1 박막 트랜지스터(T1), 제6 박막 트랜지스터(T6) 및 유기 발광 소자(OLED)를 경유하여 제2 전원(ELVSS)으로의 경로로 구동 전류가 공급된다.
- [0068] 이러한 구동 전류는 제1 박막 트랜지스터(T1)에 의해 제어되는 것으로서, 제1 박막 트랜지스터(T1)는 자신의 제1 게이트 전극(G1)에 공급되는 전압에 대응하는 크기의 구동 전류를 발생시킨다. 이때, 상술한 제2 기간 동안 제1 캐패시터(C1)에는 제1 박막 트랜지스터(T1)의 문턱전압이 반영된 전압이 저장되었으므로, 제3 기간 동안 제1 트랜지스터(T1)의 문턱전압이 보상된다.
- [0069] 이상과 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터 각각이 비정질 실리콘(a-Si) 대비 반도체 특성이 좋은 폴리 실리콘(poly Si)으로 형성된 제2 폴리 실리콘 채널 영역(CA2) 내지 제6 폴리 실리콘 채널 영역(CA6) 각각을 포함함으로써, 화소(PE) 내부를 흐르는 구동 전류의 로드가 최소화된다. 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 실질적으로 유기 발광 소자(OLED)로 공급되는 구동 전류를 제어하는 제1 박막 트랜지스터(T1)가 폴리 실리콘(poly Si) 대비 반도체 특성이 나쁜 비정질 실리콘(a-Si)으로 형성된 비정질 실리콘 채널 영역(CA1)을 포함함으로써, 유기 발광 소자(OLED)에 흐르는 구동 전류에 따라 유기 발광 소자(OLED)의 유기 발광층(OL)으로부터 발광하는 빛이 검은색(black)과 흰색(white)으로 표현될 때, 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(Driving range, DR range)는 넓은 범위를 가지게 된다.
- [0070] 즉, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6)를 통하는 구동 전류의 로드를 최소화하는 동시에 제1 박막 트랜지스터(T1)의 구동 범위(DR range)가 넓은 범위를 가짐으로써, 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 달리하여 유기 발광 소자(OLED)로부터 발광되는 빛이 보다 풍부한 계조를 가지도록 제어할 수 있다.
- [0071] 최근, 유기 발광 표시 장치(1000)의 인치당 픽셀수(ppi)가 증가하여 고해상도의 유기 발광 표시 장치(1000)를 구현할수록 유기 발광 소자(OLED)로부터 발광되는 빛이 풍부한 계조를 가지도록 높은 구동 범위(Dr range)가 요구되는데, 이와 대응하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)의 유기 발광 소자(OLED)가 풍부한 계조를 가지는 빛을 발광하도록 제어함으로써, 고해상도를 가지는 동시에 표시 품질이 향상된 유기 발광

표시 장치(1000)가 제공된다.

- [0072] 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 제1 박막 트랜지스터(T1)의 비정질 실리콘 채널 영역(CA1)의 반도체 특성이 나뉘므로써, 제1 박막 트랜지스터(T1)가 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6) 대비 높은 문턱 전압이 요구되기 때문에, 저계조 영역에서 원치 않는 유기 발광 소자(OLED)가 발광되는 것이 억제되어 유기 발광 소자(OLED)에 의해 표시되는 이미지(image)에 발생하는 얼룩 수준이 최소화된다.
- [0073] 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1000)는 복수의 박막 트랜지스터인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 중 구동 박막 트랜지스터를 제외한 나머지 박막 트랜지스터인 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6) 각각의 제2 폴리 실리콘 채널 영역(CA2) 내지 제6 폴리 실리콘 채널 영역(CA6) 각각이 비정질 실리콘 대비 반도체 특성이 향상된 폴리 실리콘으로 형성됨으로써, 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6) 각각의 전하 이동도가 커지는 동시에 문턱전압이 작아져 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6) 각각은 빠른 속도로 턴 온 및 턴 오프를 수행할 수 있다. 이로 인해, 전체적인 유기 발광 표시 장치(1000) 내부를 흐르는 전류의 로드가 최소화됨으로써, 전체적인 유기 발광 표시 장치(1000)가 표시하는 이미지의 표시 품질이 향상된다. 즉, 고해상도를 가지는 동시에 표시 품질이 향상된 유기 발광 표시 장치(1000)가 제공된다.
- [0074] 이하, 도 4 내지 도 6을 참조하여 본 발명의 제2 실시예에 따른 유기 발광 표시 장치를 설명한다.
- [0075] 이하, 제1 실시예와 구별되는 특징적인 부분만 발췌하여 설명하며, 설명이 생략된 부분은 제1 실시예에 따른다. 그리고, 본 발명의 제2 실시예에서는 설명의 편의를 위하여 동일한 구성요소에 대하여는 본 발명의 제1 실시예와 동일한 참조번호를 사용하여 설명한다.
- [0076] 도 4는 본 발명의 제2 실시예에 따른 유기 발광 표시 장치를 나타낸 도면이다.
- [0077] 도 4에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 게이트 구동부(GD1), 제1 게이트 배선들(GW1), 제2 게이트 배선들(GW2), 발광 제어 구동부(GD2), 데이터 구동부(DD), 데이터 배선들(DW), 및 화소(PE)를 포함한다.
- [0078] 제1 게이트 배선들(GW1)은 기판(SUB) 상에 위치하며, 제1 방향으로 연장되어 있다. 제1 게이트 배선들(GW1)은 제1 스캔 라인(SCn-1), 발광 제어 라인(E1-En)을 포함한다. 제1 스캔 라인(SCn-1)은 게이트 구동부(GD1)와 연결되어 있으며, 게이트 구동부(GD1)로부터 스캔 신호를 공급받는다. 발광 제어 라인(En)은 발광 제어 구동부(GD2)와 연결되어 있으며, 발광 제어 구동부(GD2)로부터 발광 제어 신호를 공급받는다.
- [0079] 제2 게이트 배선들(GW2)은 제1 게이트 배선들(GW1) 상에 위치하며, 제1 방향으로 연장되어 있다. 제2 게이트 배선들(GW2)은 제2 스캔 라인(SCn), 초기화 전원 라인(Vinit) 및 제2 캐패시터 전극(CE2)을 포함한다.
- [0080] 제1 게이트 배선들(GW1) 및 제2 게이트 배선들(GW2)은 서로 비중첩되어 있다. 즉, 제1 게이트 배선들(GW1)과 제2 게이트 배선들(GW2)은 서로 중첩되지 않는다.
- [0081] 이와 같이, 초기화 전원 라인(Vinit), 제1 스캔 라인(SCn-1), 제2 캐패시터 전극(CE2), 제2 스캔 라인(SCn), 발광 제어 라인(En) 각각은 상호 이격되어 제1 방향으로 연장되어 있으며, 제1 스캔 라인(SCn-1) 및 발광 제어 라인(En)은 동일한 층에 위치하며, 제2 스캔 라인(SCn) 및 초기화 전원 라인(Vinit)은 후술할 제2 절연층(IL2)을 사이에 두고 제1 스캔 라인(SCn-1) 및 발광 제어 라인(En) 상에 위치하는 다른 층에 위치하고 있다.
- [0082] 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 화소(PE)를 제1 방향으로 가로지르며 서로 비중첩되어 있는 게이트 배선들인 제1 스캔 라인(SCn-1) 및 발광 제어 라인(En)을 포함하는 제1 게이트 배선들(GW1) 및 제2 스캔 라인(SCn) 및 초기화 전원 라인(Vinit)을 포함하는 제2 게이트 배선들(GW2) 각각이 모두 동일한 층에 위치하는 것이 아니라, 게이트 배선들인 제1 게이트 배선들(GW1) 및 제2 게이트 배선들(GW2) 각각이 후술할 제2 절연층(IL2)을 사이에 두고 서로 다른 층에 위치함으로써, 서로 다른 층에 위치하는 이웃하는 게이트 배선들 간의 거리를 좁게 형성할 수 있기 때문에, 동일한 면적에 보다 많은 화소(PE)를 형성할 수 있다. 즉, 고해상도의 유기 발광 표시 장치(1002)를 형성할 수 있다.
- [0083] 나아가, 도 4에 도시된 제2 캐패시터 전극(CE2)은 후술할 제1 캐패시터(C1)를 구성하는 전극인데, 필요에 따라 제2 캐패시터 전극(CE2)을 제1 방향으로 연장할 경우라도 제2 캐패시터 전극(CE2)을 제2 게이트 배선들(GW2)과 동일한 층에 형성함으로써, 이웃하는 게이트 배선들 간의 거리(W)를 좁게 형성하여 고해상도의 유기 발광 표시

장치(1002)를 형성할 수 있다.

- [0084] 도 5는 도 4에 도시된 픽셀 부분을 나타낸 배치도이다. 도 6은 도 5의 VI-VI을 따른 단면도이다.
- [0085] 도 5 및 도 6에 도시된 바와 같이, 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4), 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5), 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 동일한 층에 위치하며, 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1), 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2) 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제2 절연층(IL2)을 사이에 두고 제4 게이트 전극(G4), 제5 게이트 전극(G5), 및 제6 게이트 전극(G6) 상에 위치하는 다른 층에 위치하고 있다.
- [0086] 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)은 제1 게이트 배선들(GW1)을 형성하는 포토 리소그래피 등의 한 번의 공정을 이용해 제1 게이트 배선들(GW1)과 동시에 형성될 수 있으며, 제1 게이트 전극(G1), 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)은 제2 게이트 배선들(GW2)을 형성하는 포토리소그래피 등의 한 번의 공정을 이용해 제2 게이트 배선들(GW2)과 동시에 형성될 수 있다.
- [0087] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 비정질 실리콘 채널 영역(CA1) 사이에는 제1 절연층(IL1) 및 제2 절연층(IL2)이 위치하고, 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각과 제4 폴리 실리콘 채널 영역(CA4), 제5 폴리 실리콘 채널 영역(CA5) 및 제6 폴리 실리콘 채널 영역(CA6) 각각의 사이에는 제1 절연층(IL1)만이 위치함으로써, 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 비정질 실리콘 채널 영역(CA1) 사이의 거리는 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각과 제4 폴리 실리콘 채널 영역(CA4), 제5 폴리 실리콘 채널 영역(CA5) 및 제6 폴리 실리콘 채널 영역(CA6) 각각의 사이의 거리 대비 더 길다.
- [0088] 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)은 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 동일한 층에 위치하여 동일한 재료로 형성되어 있으며, 제2 캐패시터 전극(CE2)은 제1 게이트 전극(G1), 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다.
- [0089] 이상과 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터 각각이 비정질 실리콘(a-Si) 대비 반도체 특성이 좋은 폴리 실리콘(poly Si)으로 형성된 제2 폴리 실리콘 채널 영역(CA2) 내지 제6 폴리 실리콘 채널 영역(CA6) 각각을 포함함으로써, 화소(PE) 내부를 흐르는 구동 전류의 로드가 최소화된다. 또한, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1002)는 실질적으로 유기 발광 소자(OLED)로 공급되는 구동 전류를 제어하는 제1 박막 트랜지스터(T1)가 폴리 실리콘(poly Si) 대비 반도체 특성이 나쁜 비정질 실리콘(a-Si)으로 형성된 비정질 실리콘 채널 영역(CA1)을 포함함으로써, 유기 발광 소자(OLED)에 흐르는 구동 전류에 따라 유기 발광 소자(OLED)의 유기 발광층(OL)으로부터 발광하는 빛이 검은색(black)과 흰색(white)으로 표현될 때, 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(Driving range, DR range)는 넓은 범위를 가지게 된다.
- [0090] 즉, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1002)는 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6)를 통하는 구동 전류의 로드를 최소화하는 동시에 제1 박막 트랜지스터(T1)의 구동 범위(DR range)가 넓은 범위를 가짐으로써, 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 달리하여 유기 발광 소자(OLED)로부터 발광되는 빛이 보다 풍부한 계조를 가지도록 제어할 수 있다.
- [0091] 또한, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 비정질 실리콘 채널 영역(CA1)과 제1 게이트 전극(G1) 사이에 제1 절연층(IL1) 및 제2 절연층(IL2)이 위치하여 제1 박막 트랜지스터(T1)가 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 대비 두꺼운 게이트 절연막(Thick GI)으로 형성됨으로써, 유기 발광 소자(OLED)에 흐르는 구동 전류에 따라 유기 발광 소자(OLED)가 발광하는 빛이 검은색(black)과 흰색(white)으로 표현될 때, 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 게이트 전압은 넓은 구동 범위(Driving range, DR range)를 가지게 된다. 이와 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 구동 범위(DR range)가 넓은 범위를 가짐으로써, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 달리하여 유기 발광 소자(OLED)로부터 발광되는 빛이 보다 풍부한 계조를 가지도록 제어할 수 있다. 즉, 표시 품질이 향상된 유기 발광 표시 장치(1002)가 제공된다.
- [0092] 또한, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 복수의 박막 트랜지스터인 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 중 제1 박막 트랜지스터(T1) 내지 제3 박막 트랜지스터(T3)를 제외한 나머지

스위칭 박막 트랜지스터들인 제4 박막 트랜지스터(T4) 내지 제6 박막 트랜지스터(T6) 각각이 제1 게이트 배선들(GW1)과 동일한 층에 위치함으로써, 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각과 제4 폴리 실리콘 채널 영역(CA4), 제5 폴리 실리콘 채널 영역(CA5) 및 제6 폴리 실리콘 채널 영역(CA6) 각각의 사이에 제1 절연층(IL1)만이 위치하여 얇은 절연층을 형성하기 때문에, 스위칭 박막 트랜지스터들인 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 전하 이동도가 커지는 동시에 문턱전압이 작아져 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 빠른 속도로 턴 온 및 턴 오프를 수행할 수 있다. 이로 인해, 전체적인 유기 발광 표시 장치(1002) 내부를 흐르는 전류의 로드가 최소화됨으로써, 전체적인 유기 발광 표시 장치(1002)가 표시하는 이미지의 표시 품질이 향상된다. 즉, 고해상도를 가지는 동시에 표시 품질이 향상된 유기 발광 표시 장치(1002)가 제공된다.

[0093] 또한, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 제1 캐패시터(C1)의 일 전극인 제1 캐패시터 전극(CE1)이 제1 게이트 배선들(GW1)과 동일한 층에 형성되어 있고, 제1 캐패시터(C1)의 타 전극인 제2 캐패시터 전극(CE2)이 제2 게이트 배선들(GW2)과 동일한 층에 형성됨으로써, 제1 캐패시터(C1)가 표면 조도가 일정치 않은 폴리 실리콘을 포함할 필요가 없기 때문에, 전극의 원치 않는 표면적 변형에 따라 저장 용량이 원치 않게 변형되지 않는다. 이와 같이, 제1 캐패시터(C1)는 최초 설계된 정확한 저장 용량만을 저장할 수 있으며, 이로 인해 제1 박막 트랜지스터(T1)에 의해 제어되는 구동 전류를 정확히 제어하여 표시 품질의 저하가 억제된다. 즉, 고해상도를 가지는 동시에 표시 품질이 향상된 유기 발광 표시 장치(1002)가 제공된다.

[0094] 또한, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)과 제2 캐패시터 전극(CE2) 사이에 단일의 제2 절연층(IL2)만이 위치함으로써, 제1 캐패시터(C1)의 저장 용량이 향상된다. 이로 인해, 제1 캐패시터(C1)의 면적을 줄일 수 있기 때문에, 동일한 면적에 고해상도의 유기 발광 표시 장치(1002)를 형성할 수 있다.

[0095] 이상과 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(1002)는 게이트 배선들을 서로 층이 다른 제1 게이트 배선들(GW1) 및 제2 게이트 배선들(GW2)로 구성하고, 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)을 제2 게이트 배선들(GW2)과 동일한 층으로 위치하여 두꺼운 절연층을 가지도록 구성하며, 스위칭 박막 트랜지스터인 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제4 게이트 전극(G4), 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각이 제1 게이트 배선들(GW1)과 동일한 층으로 위치하여 얇은 절연층을 가지도록 구성하며, 제1 박막 트랜지스터(T1)가 비정질 실리콘 채널 영역(CA1)을 포함하고 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6) 각각이 제2 폴리 실리콘 채널 영역(CA2) 내지 제6 폴리 실리콘 채널 영역(CA6) 각각을 포함하도록 구성하며, 제1 캐패시터(C1)를 제1 게이트 배선들(GW1)과 동일한 층인 일 전극 및 제2 게이트 배선들(GW2)과 동일한 층인 타 전극으로 형성하여 제1 캐패시터(C1)가 정확한 저장 용량을 가지도록 구성하는 동시에 얇은 절연층을 가지도록 구성함으로써, 표시 품질이 향상된 고해상도의 유기 발광 표시 장치(1002)로 형성할 수 있다.

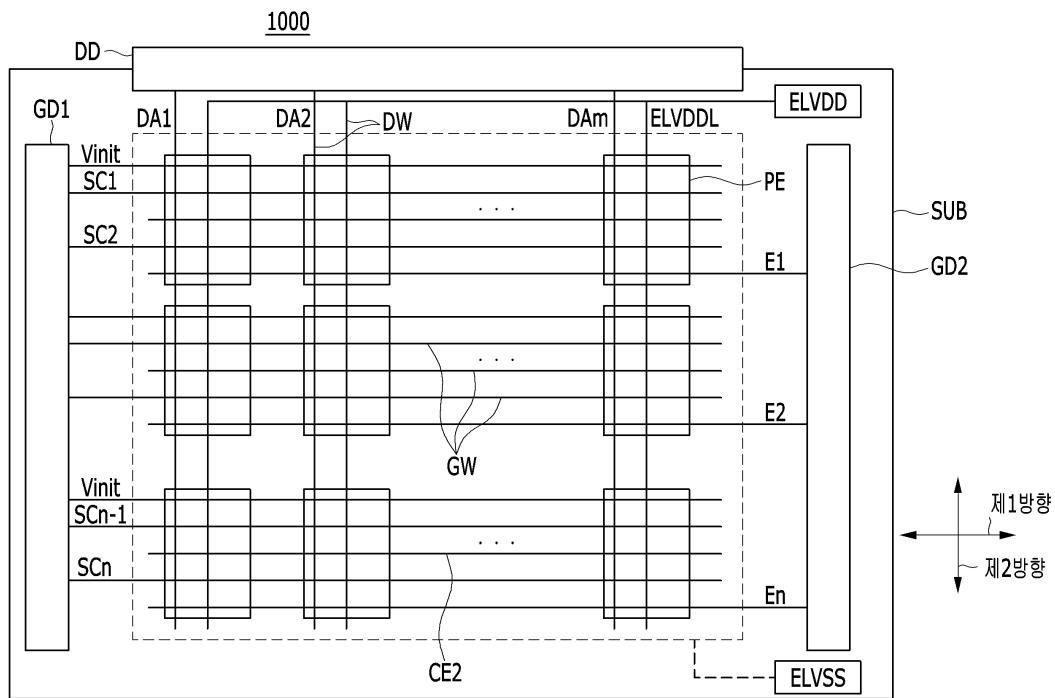
[0096] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

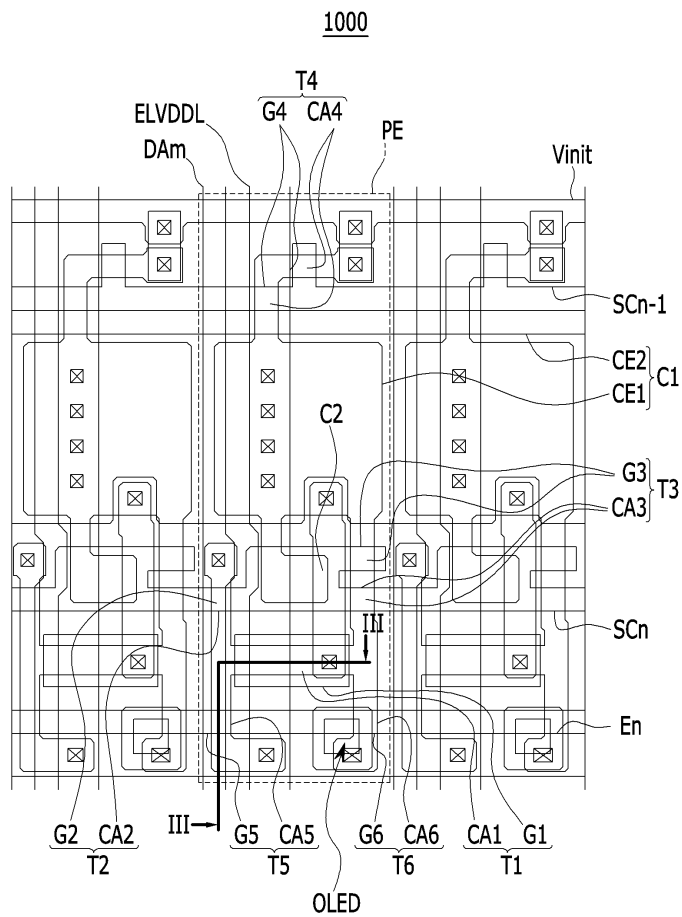
[0097] 기판(SUB), 유기 발광 소자(OLED), 비정질 실리콘 채널 영역(CA1), 제1 박막 트랜지스터(T1)

도면

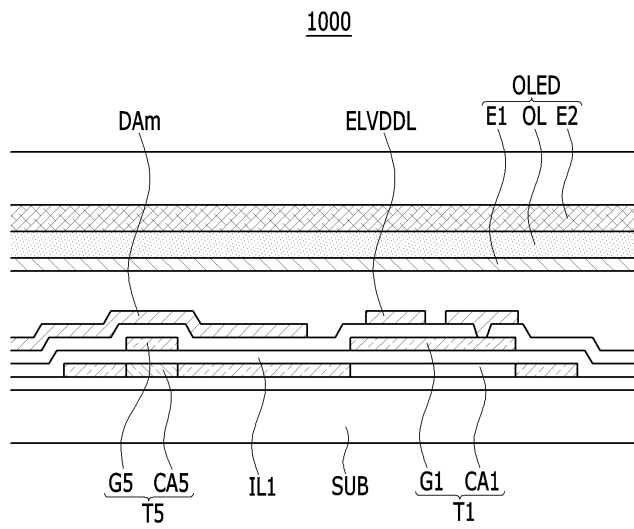
도면1



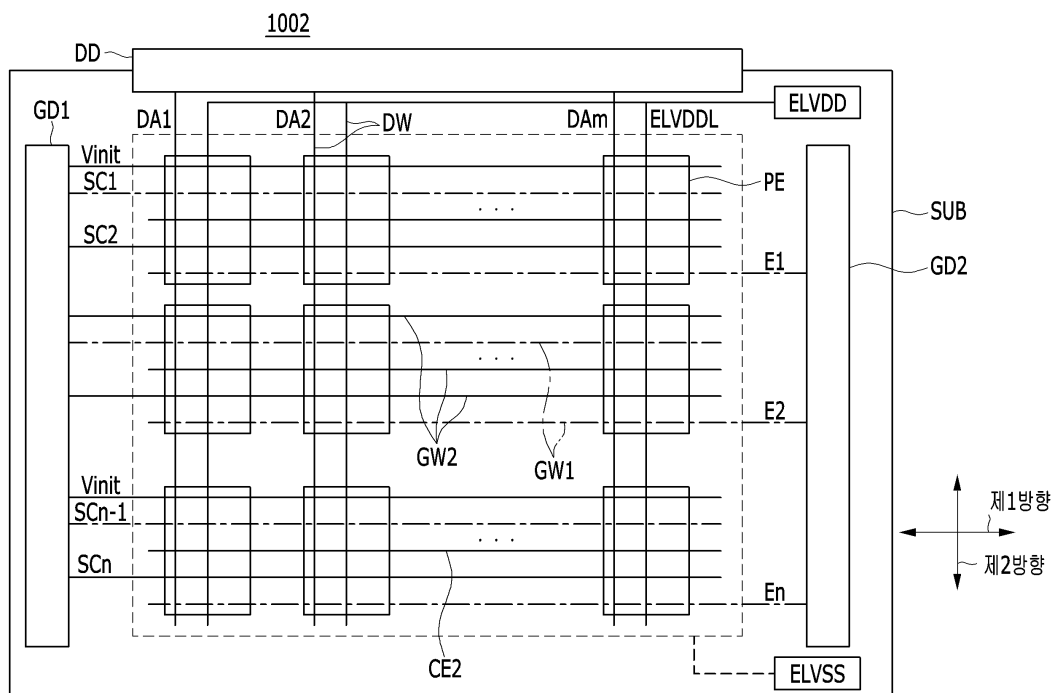
도면2



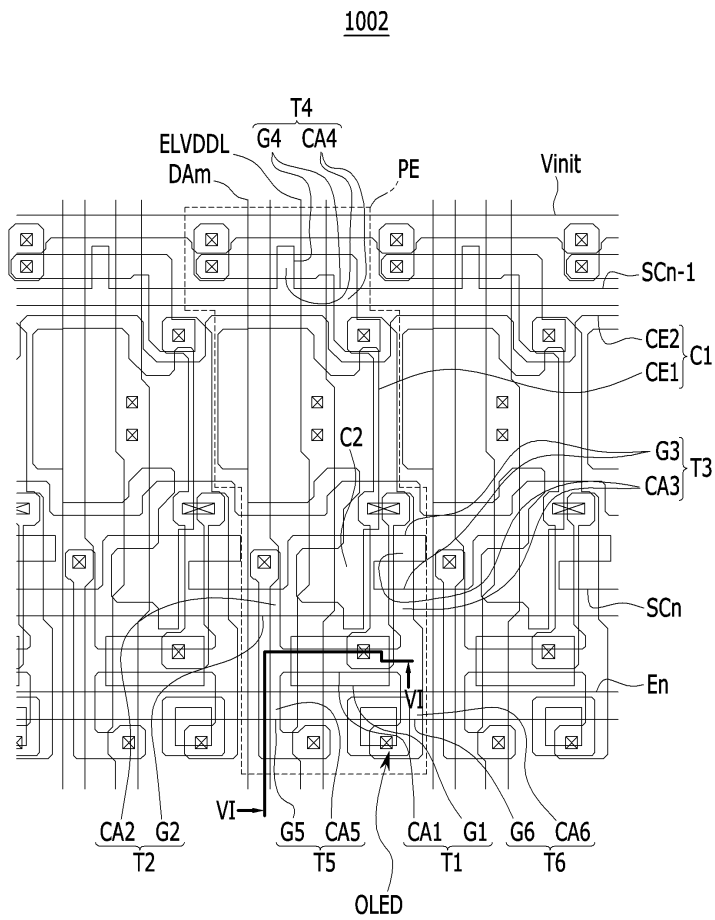
도면3



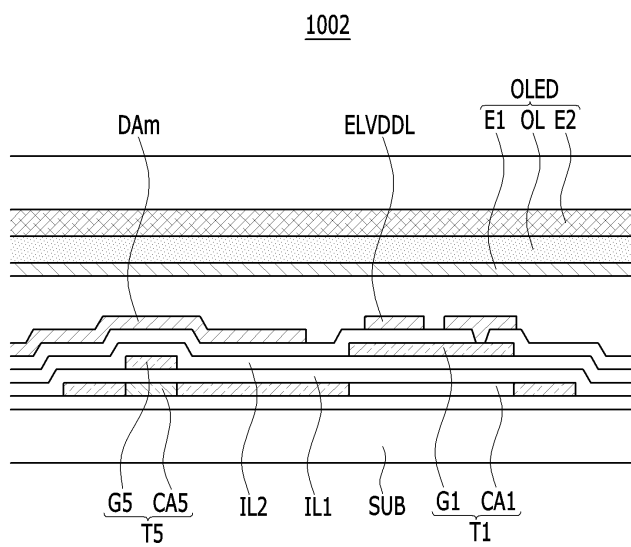
도면4



도면5



도면6



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020140036740A	公开(公告)日	2014-03-26
申请号	KR1020120103216	申请日	2012-09-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	MOON SUNG HOON 문성훈		
发明人	문성훈		
IPC分类号	H01L51/50 H01L29/786 G09G3/30		
CPC分类号	H01L51/5296 H01L27/1214 H01L51/52 G09G3/3648 H01L27/1229 H01L27/3262 H01L27/3276 H01L27/3265 H01L27/124 G09G3/3225 G09G2300/0426 G09G2300/0861 H01L27/1237		
其他公开文献	KR101960458B1		
外部链接	Espacenet		

摘要(译)

有机发光显示器包括基板，设置在基板上的有机发光二极管（OLED），连接到有机发光二极管的第一薄膜晶体管，第一薄膜晶体管包括非晶硅沟道区， L_t ; RTI ID = 0.0 & gt; 薄膜晶体管。专利文献10-2014-0036740

