



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0018623  
(43) 공개일자 2014년02월13일

(51) 국제특허분류(Int. Cl.)  
**H01L 51/50** (2006.01)  
(21) 출원번호 10-2012-0084976  
(22) 출원일자 2012년08월02일  
심사청구일자 2012년08월02일

(71) 출원인  
**삼성디스플레이 주식회사**  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
**김세호**  
충남 천안시 동남구 청수동 한양수자인아파트 41  
4동 402호  
**박진우**  
충남 천안시 서북구 불당11로 82, 611동 402호 (불당동, 대원칸타빌)  
**이원세**  
서울 송파구 중대로 24, 307동 101호 (문정동, 올림픽훼밀리타운)  
(74) 대리인  
**팬코리아특허법인**

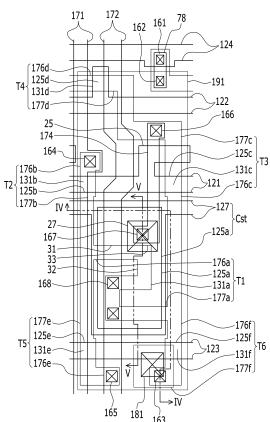
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

### (57) 요 약

본 발명에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터의 스위칭 드레인 전극과 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터의 구동 드레인 전극에 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 구동 박막 트랜지스터의 구동 반도체층은 굴곡되어 있을 수 있다. 따라서, 본 발명에 따른 유기 발광 표시 장치는 복수개의 굴곡부를 포함하는 구동 반도체층을 형성함으로써, 구동 반도체층의 구동 채널 영역을 길게 형성할 수 있으므로 구동 게이트 전극에 인가되는 게이트 전압의 구동 범위(driving range)를 넓힐 수 있다.

**대 표 도** - 도3



## 특허청구의 범위

### 청구항 1

기판,

상기 기판 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선,

상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선,

상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터,

상기 스위칭 박막 트랜지스터의 스위칭 드레인 전극과 연결되어 있는 구동 박막 트랜지스터,

상기 구동 박막 트랜지스터의 구동 드레인 전극에 연결되어 있는 유기 발광 다이오드

를 포함하고,

상기 구동 박막 트랜지스터의 구동 반도체층은 굴곡되어 있는 유기 발광 표시 장치.

### 청구항 2

제1항에서,

상기 구동 반도체층을 덮고 있는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체층과 중첩하고 있는 스토리지 캐패시터를 더 포함하는 유기 발광 표시 장치.

### 청구항 3

제2항에서,

상기 스토리지 캐패시터는

상기 제1 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체층과 중첩하고 있는 제1 스토리지 축전판,

상기 제1 스토리지 축전판을 덮고 있는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 형성되어 있으며 상기 제1 스토리지 축전판과 중첩하고 있는 제2 스토리지 축전판을 포함하는 유기 발광 표시 장치.

### 청구항 4

제3항에서,

상기 구동 반도체층은 복수개의 굴곡부를 포함하는 유기 발광 표시 장치.

### 청구항 5

제4항에서,

상기 구동 반도체층은 제1 방향으로 연장되어 있는 복수개의 제1 연장부와 상기 제1 방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부를 포함하고,

상기 굴곡부는 상기 제1 연장부와 상기 제2 연장부를 연결하는 유기 발광 표시 장치.

### 청구항 6

제5항에서,

상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터를 더 포함하는 유기 발광 표시 장치.

**청구항 7**

제6항에서,

발광 제어선에 의해 전달된 발광 제어 신호에 의해 턴온되어 구동 전압을 상기 구동 박막 트랜지스터에서 상기 유기 발광 다이오드로 전달하는 발광 제어 박막 트랜지스터를 더 포함하고,

상기 발광 제어 박막 트랜지스터는 상기 구동 박막 트랜지스터의 구동 드레인 전극과 상기 유기 발광 다이오드 사이에 위치하는 유기 발광 표시 장치.

**청구항 8**

제7항에서,

상기 보상 박막 트랜지스터의 보상 소스 전극과 상기 발광 제어 박막 트랜지스터의 발광 제어 소스 전극은 트랜지스터 연결부를 통해 서로 연결되어 있고,

상기 스토리지 캐패시터는 연장되어 상기 트랜지스터 연결부와 중첩하고 있는 유기 발광 표시 장치.

**청구항 9**

제8항에서,

상기 구동 반도체층은 연장되어 상기 트랜지스터 연결부와 중첩하고 있는 유기 발광 표시 장치.

**청구항 10**

제9항에서,

상기 트랜지스터 연결부는 상기 데이터선과 동일한 층에 형성되어 있으며, 상기 층간 절연막에 형성된 접촉 구멍을 통해 상기 보상 소스 전극과 상기 발광 제어 소스 전극과 연결되어 있는 유기 발광 표시 장치.

**청구항 11**

제6항에서,

상기 구동 반도체층은 상기 굴곡부에서 분기되는 분기부를 더 포함하는 유기 발광 표시 장치.

**청구항 12**

제11항에서,

상기 스토리지 캐패시터는 연장되어 상기 분기부와 중첩하고 있는 유기 발광 표시 장치.

**청구항 13**

제6항에서,

상기 구동 반도체층은 상기 보상 박막 트랜지스터와 연결되는 제1 경로 반도체층, 상기 발광 제어 박막 트랜지스터와 연결되는 제2 경로 반도체층을 포함하고,

상기 제1 경로 반도체층의 길이는 상기 제2 경로 반도체층의 길이보다 짧은 유기 발광 표시 장치.

**청구항 14**

제13항에서,

상기 스토리지 캐패시터는 연장되어 상기 제1 경로 반도체층 및 상기 제2 경로 반도체층과 중첩하고 있는 유기 발광 표시 장치.

**청구항 15**

제6항에서,

상기 제2 스토리지 축전판을 덮고 있는 층간 절연막,

상기 충간 절연막 위에 형성되어 있으며, 상기 제2 게이트 절연막 및 상기 충간 절연막에 형성된 접촉 구멍을 통해 상기 제1 스토리지 축전판과 연결되어 있는 연결 부재,  
 상기 충간 절연막 및 상기 연결 부재를 덮고 있는 보호막  
 을 더 포함하고,  
 상기 연결 부재는 상기 보상 박막 트랜ジ스터의 보상 드레인 전극과 연결되어 있는 유기 발광 표시 장치.

#### 청구항 16

제15항에서,

상기 스캔선은 상기 제1 스토리지 축전판과 동일한 층에 형성되어 있고,  
 상기 데이터선 및 구동 전압선은 상기 연결 부재와 동일한 층에 형성되어 있는 유기 발광 표시 장치.

#### 청구항 17

제16항에서,

상기 구동 전압선은 상기 충간 절연막에 형성된 접촉 구멍을 통해 상기 제2 스토리지 축전판과 연결되어 있는 유기 발광 표시 장치.

#### 청구항 18

제17항에서,

상기 발광 제어선에 의해 전달된 발광 제어 신호에 의해 턴온되어 상기 구동 전압을 상기 구동 박막 트랜ジ스터로 전달하는 동작 제어 박막 트랜ジ스터를 더 포함하고,  
 상기 동작 제어 박막 트랜ジ스터는 상기 구동 전압선과 상기 구동 박막 트랜ジ스터의 구동 소스 전극 사이에 위치하는 유기 발광 표시 장치.

#### 청구항 19

제18항에서,

이전 스캔선을 통해 전달받은 이전 스캔 신호에 따라 턴 온되어 초기화 전압을 상기 구동 박막 트랜ジ스터의 구동 게이트 전극에 전달하는 초기화 박막 트랜ジ스터를 더 포함하고,  
 상기 초기화 박막 트랜ジ스터는 상기 초기화 전압선과 상기 구동 박막 트랜ジ스터의 구동 게이트 전극 사이에 위치하는 유기 발광 표시 장치.

#### 청구항 20

제19항에서,

바이패스 제어선에 의해 전달된 바이패스 제어 신호에 의해 상기 구동 박막 트랜ジ스터가 전달하는 구동 전류의 일부를 바이패스시키는 바이패스 박막 트랜ジ스터를 더 포함하고,  
 상기 바이패스 박막 트랜ジ스터는 상기 초기화 전압선과 상기 발광 제어 박막 트랜ジ스터의 발광 제어 드레인 전극 사이에 위치하는 유기 발광 표시 장치.

### 명세서

#### 기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

#### 배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형

성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 캐패시터(Capacitor)가 형성되어 있다. 복수개의 박막 트랜지스터는 기본적으로 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함한다.

[0004] 스위칭 박막 트랜지스터는 빠른 스위칭 동작을 위해 게이트 전극과 반도체층 사이에 얇은 두께의 게이트 절연막을 형성한다. 이 때, 스위칭 박막 트랜지스터와 동일한 층에 형성되는 구동 박막 트랜지스터의 게이트 절연막의 두께도 얇아지므로 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압의 구동 범위(driving range)는 좁아지게 된다. 따라서, 구동 박막 트랜지스터의 게이트 전압(Vgs)의 크기를 조절하여 풍부한 계조를 가지도록 제어하기 어렵다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 구동 박막 트랜지스터의 구동 범위를 넓혀 풍부한 계조를 표현할 수 있는 유기 발광 표시 장치에 관한 것이다.

### 과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하여 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 상기 스위칭 박막 트랜지스터의 스위칭 드레인 전극과 연결되어 있는 구동 박막 트랜지스터, 상기 구동 박막 트랜지스터의 구동 드레인 전극에 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 구동 박막 트랜지스터의 구동 반도체층은 굴곡되어 있을 수 있다.

[0007] 상기 구동 반도체층을 덮고 있는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체층과 중첩하고 있는 스토리지 캐패시터를 더 포함할 수 있다.

[0008] 상기 스토리지 캐패시터는 상기 제1 게이트 절연막 위에 형성되어 있으며 상기 구동 반도체층과 중첩하고 있는 제1 스토리지 축전판, 상기 제1 스토리지 축전판을 덮고 있는 제2 게이트 절연막, 상기 제2 게이트 절연막 위에 형성되어 있으며 상기 제1 스토리지 축전판과 중첩하고 있는 제2 스토리지 축전판을 포함할 수 있다.

[0009] 상기 구동 반도체층은 복수개의 굴곡부를 포함할 수 있다.

[0010] 상기 구동 반도체층은 제1 방향으로 연장되어 있는 복수개의 제1 연장부와 상기 제1 방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부를 포함하고, 상기 굴곡부는 상기 제1 연장부와 상기 제2 연장부를 연결할 수 있다.

[0011] 상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터를 더 포함할 수 있다.

[0012] 발광 제어선에 의해 전달된 발광 제어 신호에 의해 편온되어 구동 전압을 상기 구동 박막 트랜지스터에서 상기 유기 발광 다이오드로 전달하는 발광 제어 박막 트랜지스터를 더 포함하고, 상기 발광 제어 박막 트랜지스터는 상기 구동 박막 트랜지스터의 구동 드레인 전극과 상기 유기 발광 다이오드 사이에 위치할 수 있다.

[0013] 상기 보상 박막 트랜지스터의 보상 소스 전극과 상기 발광 제어 박막 트랜지스터의 발광 제어 소스 전극은 트랜지스터 연결부를 통해 서로 연결되어 있고, 상기 스토리지 캐패시터는 연장되어 상기 트랜지스터 연결부와 중첩하고 있을 수 있다.

[0014] 상기 구동 반도체층은 연장되어 상기 트랜지스터 연결부와 중첩하고 있을 수 있다.

[0015] 상기 트랜지스터 연결부는 상기 데이터선과 동일한 층에 형성되어 있으며, 상기 층간 절연막에 형성된 접촉 구멍을 통해 상기 보상 소스 전극과 상기 발광 제어 소스 전극과 연결되어 있을 수 있다.

[0016] 상기 구동 반도체층은 상기 굴곡부에서 분기되는 분기부를 더 포함할 수 있다.

[0017] 상기 스토리지 캐패시터는 연장되어 상기 분기부와 중첩하고 있을 수 있다.

[0018] 상기 구동 반도체층은 상기 보상 박막 트랜지스터와 연결되는 제1 경로 반도체층, 상기 발광 제어 박막 트랜지스터

스터와 연결되는 제2 경로 반도체층을 포함하고, 상기 제1 경로 반도체층의 길이는 상기 제2 경로 반도체층의 길이보다 짧을 수 있다.

[0019] 상기 스토리지 캐패시터는 연장되어 상기 제1 경로 반도체층 및 상기 제2 경로 반도체층과 중첩하고 있을 수 있다.

[0020] 상기 제2 스토리지 축전판을 덮고 있는 층간 절연막, 상기 층간 절연막 위에 형성되어 있으며, 상기 제2 게이트 절연막 및 상기 층간 절연막에 형성된 접촉 구멍을 통해 상기 제1 스토리지 축전판과 연결되어 있는 연결 부재, 상기 층간 절연막 및 상기 연결 부재를 덮고 있는 보호막을 더 포함하고, 상기 연결 부재는 상기 보상 박막 트랜지스터의 보상 드레인 전극과 연결되어 있을 수 있다.

[0021] 상기 스캔선은 상기 제1 스토리지 축전판과 동일한 층에 형성되어 있고, 상기 데이터선 및 구동 전압선은 상기 연결 부재와 동일한 층에 형성되어 있을 수 있다.

[0022] 상기 구동 전압선은 상기 층간 절연막에 형성된 접촉 구멍을 통해 상기 제2 스토리지 축전판과 연결되어 있을 수 있다.

[0023] 상기 발광 제어선에 의해 전달된 발광 제어 신호에 의해 턴온되어 상기 구동 전압을 상기 구동 박막 트랜지스터로 전달하는 동작 제어 박막 트랜지스터를 더 포함하고, 상기 동작 제어 박막 트랜지스터는 상기 구동 전압선과 상기 구동 박막 트랜지스터의 구동 소스 전극 사이에 위치할 수 있다.

[0024] 이전 스캔선을 통해 전달받은 이전 스캔 신호에 따라 턴 온되어 초기화 전압을 상기 구동 박막 트랜지스터의 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터를 더 포함하고, 상기 초기화 박막 트랜지스터는 상기 초기화 전압선과 상기 구동 박막 트랜지스터의 구동 게이트 전극 사이에 위치할 수 있다.

[0025] 바이패스 제어선에 의해 전달된 바이패스 제어 신호에 의해 상기 구동 박막 트랜지스터가 전달하는 구동 전류의 일부를 바이패스시키는 바이패스 박막 트랜지스터를 더 포함하고, 상기 바이패스 박막 트랜지스터는 상기 초기화 전압선과 상기 발광 제어 박막 트랜지스터의 발광 제어 드레인 전극 사이에 위치할 수 있다.

### 발명의 효과

[0026] 본 발명에 따르면, 복수개의 굴곡부를 포함하는 구동 반도체층을 형성함으로써, 구동 반도체층의 구동 채널 영역을 길게 형성할 수 있으므로 구동 게이트 전극에 인가되는 게이트 전압의 구동 범위(driving range)를 넓힐 수 있다.

[0027] 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 디스플레이(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.

[0028] 또한, 굴곡부를 가지는 구동 반도체층에 의해 줄어든 스토리지 캐패시터의 영역을 확보하기 위해 구동 반도체층과 중첩하여 스토리지 캐패시터를 형성함으로써, 고해상도에서도 스토리지 캐패시턴스를 충분히 확보할 수 있다.

[0029] 또한, 보상 박막 트랜지스터와 연결되는 제1 경로 반도체층의 길이를 발광 제어 박막 트랜지스터와 연결되는 제2 경로 반도체층의 길이보다 짧게 형성함으로써, 저계조 얼룩을 방지할 수 있다.

### 도면의 간단한 설명

[0030] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 복수개의 박막 트랜지스터 및 캐패시터의 위치를 개략적으로 도시한 도면이다.

도 3은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이다.

도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다.

도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.

도 6은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 확대 배치도이다.

도 7은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 배치도이다.

도 8은 본 발명의 제4 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 확대 배치도이다.

도 9는 본 발명의 제5 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 확대 배치도이다.

도 10은 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

도 11은 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 배치도이다.

### **발명을 실시하기 위한 구체적인 내용**

[0031]

이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0032]

본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0033]

또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0034]

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0035]

또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0036]

그러면 본 발명의 제1 실시예에 따른 유기 발광 표시 장치에 대하여 도 1 내지 도 5를 참고로 상세하게 설명한다.

[0037]

도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

[0038]

도 1에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선 (121, 122, 123, 124, 171, 172), 복수의 신호선에 연결되어 있는 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6), 스토리지 캐패시터(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

[0039]

박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터 (switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함한다.

[0040]

신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(123), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124)을 포함한다.

[0041]

구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.

[0042]

스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의

소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으므로 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)을 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.

[0043] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)에 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으므로 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 캐패시터(Cst)의 일단(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

[0044] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 캐패시터(Cst)의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0045] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)과 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(S2)과 연결되어 있다.

[0046] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 구동 전류(Id)가 흐르게 된다.

[0047] 스토리지 캐패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.

[0048] 이하에서 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.

[0049] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.

[0050] 이 후, 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.

[0051] 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.

[0052] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다.

[0053] 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터

(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.

[0054] 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 캐패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 ' $(Dm+Vth)-ELVDD$ '으로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 ' $(Dm-ELVDD)^2$ '에 비례한다. 따라서 구동 전류(Id)는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.

[0055] 그러면 도 1에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 2 내지 도 5를 도 1과 함께 참고하여 상세하게 설명한다.

[0056] 도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 복수개의 박막 트랜지스터 및 캐패시터의 위치를 개략적으로 도시한 도면이고, 도 3은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이고, 도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이고, 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.

[0057] 도 2 내지 도 5에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다.

[0058] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 스토리지 캐패시터(Cst), 그리고 유기 발광 다이오드(OLED)(70)가 형성되어 있다.

[0059] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 반도체층(131)을 따라 형성되어 있으며, 반도체층(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 반도체층(131)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이러한 반도체층은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 박막 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 박막 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 동작 제어 박막 트랜지스터(T5)에 형성되는 동작 제어 반도체층(131e) 및 발광 제어 박막 트랜지스터(T6)에 형성되는 발광 제어 반도체층(131f)을 포함한다.

[0060] 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다. 구동 반도체층(131a)은 굴곡되어 있다. 구동 반도체층(131a)은 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31), 제1 방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부(32) 및 제1 연장부(31)와 제2 연장부(32)를 연결하는 복수개의 굴곡부(33)를 포함한다. 따라서, 구동 반도체층(131a)은 지그재그 형상으로 배치될 수 있다. 도 2 및 도 3에 도시한 구동 반도체층(131a)은 3개의 제1 연장부(31), 2개의 제2 연장부(32) 및 4개의 굴곡부(33)를 포함한다. 따라서, 구동 반도체층(131a)은 'ㄹ' 형상으로 길게 배치되어 있다.

[0061] 이와 같이, 복수개의 굴곡부(33)를 포함하는 구동 반도체층(131a)을 형성함으로써, 좁은 공간 내에 길게 구동 반도체층(131a)을 형성할 수 있다. 따라서, 구동 반도체층(131a)의 구동 채널 영역(131a1)을 길게 형성할 수 있으므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.

[0062] 이러한 구동 반도체층(131a)은 제1 연장부(31), 제2 연장부(32) 및 굴곡부(33)를 다양하게 배치하여 'S', 'M',

'W' 등의 다양한 실시예가 가능하다.

[0063] 도 6은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 확대 배치도이다.

[0064] 도 6에 도시한 바와 같이, 구동 반도체층(131a)은 'S' 형상으로 배치될 수도 있다.

[0065] 한편, 구동 소스 전극(176a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 소스 영역(176a)에 해당하고, 구동 드레인 전극(177a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 드레인 영역(177a)에 해당한다. 구동 게이트 전극(125a)과 중첩하여 위에 스토리지 캐패시터(Cst)가 형성되어 있다.

[0066] 스토리지 캐패시터(Cst)는 제2 게이트 절연막(142)을 사이에 두고 배치되는 제1 스토리지 축전판(125a)과 제2 스토리지 축전판(127)을 포함한다. 여기서, 구동 게이트 전극(125a)은 제1 스토리지 축전판(125a)의 역할도 동시에 하며, 제2 게이트 절연막(142)은 유전체가 되며, 스토리지 캐패시터(Cst)에서 축전된 전하와 양 축전판(125a, 127) 사이의 전압에 의해 스토리지 캐패시턴스(Storage Capacitance)가 결정된다.

[0067] 제1 스토리지 축전판(125a)은 인접한 화소와 분리되어 사각 형상으로 형성되어 있으며, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 스위칭 게이트 전극(125b), 보상 게이트 전극(125c), 동작 제어 게이트 전극(125e), 발광 제어 게이트 전극(125f)과 동일한 물질로 동일한 층에 형성되어 있다.

[0068] 제2 스토리지 축전판(127)은 인접한 화소와 연결되어 있으며, 초기화 전압선(124)과 동일한 물질로 동일한 층에 형성되어 있다.

[0069] 이와 같이, 굴곡부를 가지는 구동 반도체층(131a)에 의해 줄어든 스토리지 캐패시터의 영역을 확보하기 위해 구동 반도체층(131a)과 중첩하여 스토리지 캐패시터를 형성함으로써, 고해상도에서도 스토리지 캐패시턴스의 확보가 가능하다.

[0070] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(131b), 스위칭 게이트 전극(125b), 스위칭 소스 전극(176b) 및 스위칭 드레인 전극(177b)을 포함한다. 스위칭 소스 전극(176b)은 데이터선(171)에서 돌출된 부분이며, 스위칭 드레인 전극(177b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 드레인 영역(177b)에 해당한다.

[0071] 보상 박막 트랜지스터(T3)는 보상 반도체층(131c), 보상 게이트 전극(125c), 보상 소스 전극(176c) 및 보상 드레인 전극(177c)을 포함하고, 보상 소스 전극(176c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 소스 영역(176c)에 해당하고, 보상 드레인 전극(177c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 드레인 영역(177c)에 해당한다. 보상 게이트 전극(125c)는 별도의 듀얼 게이트 전극(25)을 형성하여 누설 전류(leakage current)를 방지한다.

[0072] 초기화 박막 트랜지스터(T4)는 초기화 반도체층(131d), 초기화 게이트 전극(125d), 초기화 소스 전극(176d) 및 초기화 드레인 전극(177d)을 포함한다. 초기화 드레인 전극(177d)은 초기화 반도체층(131d)에서 불순물이 도핑된 초기화 드레인 영역(177d)에 해당한다. 초기화 소스 전극(176d)은 초기화 연결선(78)을 통해 초기화 전압선(124)과 연결되어 있다. 초기화 연결선(78)의 일단은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(161)을 통해 초기화 전압선(124)과 연결되어 있고, 초기화 연결선(78)의 타단은 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(161)을 통해 초기화 소스 전극(176d)과 연결되어 있다.

[0073] 동작 제어 박막 트랜지스터(T5)는 동작 제어 반도체층(131e), 동작 제어 게이트 전극(125e), 동작 제어 소스 전극(176e) 및 동작 제어 드레인 전극(177e)을 포함한다. 동작 제어 소스 전극(176e)은 구동 전압선(172)의 일부분이고, 동작 제어 드레인 전극(177e)은 동작 제어 반도체층(131e)에서 불순물이 도핑된 동작 제어 드레인 영역(177e)에 해당한다.

[0074] 발광 제어 박막 트랜지스터(T6)는 발광 제어 반도체층(131f), 발광 제어 게이트 전극(125f), 발광 제어 소스 전극(176f) 및 발광 제어 드레인 전극(177f)을 포함한다. 발광 제어 소스 전극(176f)은 발광 제어 반도체층(131f)에서 불순물이 도핑된 발광 제어 소스 영역(176f)에 해당한다.

[0075] 구동 박막 트랜지스터(T1)의 구동 반도체층(131a)의 일단은 스위칭 반도체층(131b) 및 보상 반도체층(131c)과 연결되어 있으며, 구동 반도체층(131a)의 타단은 동작 제어 반도체층(131e) 및 발광 제어 반도체층(131f)과 연결되어 있다. 따라서, 구동 소스 전극(176a)은 스위칭 드레인 전극(177b) 및 동작 제어 드레인 전극(177e)과 연결되고, 구동 드레인 전극(177a)은 보상 소스 전극(176c) 및 발광 제어 소스 전극(176f)과 연결된다.

[0076] 스토리지 캐패시터(Cst)의 제1 스토리지 축전판(125a)은 연결 부재(174)를 통해 보상 드레인 전극(177c) 및 초

기화 드레인 전극(177d)과 함께 연결되어 있다. 이러한 연결 부재(174)는 데이터선(171)과 동일한 층에 형성되어 있으며, 연결 부재(174)의 일단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(166)을 통해 보상 드레인 전극(177c) 및 초기화 드레인 전극(177d)과 연결되며, 연결 부재(174)의 타단은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(167)을 통해 제1 스토리지 축 전판(125a)과 연결된다. 이 때, 제2 스토리지 축전판(127)에 형성된 스토리지 개구부(27)를 통해 연결 부재(174)의 타단은 제1 스토리지 축전판(125a)과 연결된다.

[0077] 스토리지 캐페시터(Cst)의 제2 스토리지 축전판(127)은 층간 절연막(160)에 형성된 접촉 구멍(168)을 통해 공통 전압선(172)과 연결되어 있다.

[0078] 한편, 스위칭 박막 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(125b)은 스캔선(121)에 연결되어 있고, 스위칭 소스 전극(176b)은 데이터선(171)에 연결되어 있으며, 스위칭 드레인 전극(177b)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다. 그리고, 발광 제어 박막 트랜지스터(T6)의 발광 제어 드레인 전극(177f)은 보호막(180)에 형성된 접촉 구멍(181)를 통해 유기 발광 다이오드(70)의 화소 전극(191)과 직접 연결되어 있다.

[0079] 이하, 도 4 및 도 5를 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다.

[0080] 이 때, 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2) 및 발광 제어 박막 트랜지스터(T6)를 중심으로 박막 트랜지스터의 구조에 대해 설명한다. 그리고 나머지 박막 트랜지스터(T3, T4, T5)는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2) 및 발광 제어 박막 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.

[0081] 기판(110) 위에는 버퍼층(111)이 형성되어 있고, 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성되어 있다.

[0082] 버퍼층(111) 위에는 구동 반도체층(131a), 스위칭 반도체층(131b), 발광 제어 반도체층(131f)이 형성되어 있다. 구동 반도체층(131a)은 구동 채널 영역(131a1) 및 구동 채널 영역(131a1)을 사이에 두고 서로 마주보는 구동 소스 영역(176a) 및 구동 드레인 영역(177a)을 포함하고, 스위칭 반도체층(131b)은 스위칭 채널 영역(131b1) 및 스위칭 채널 영역(131b1)을 사이에 두고 서로 마주보는 스위칭 소스 영역(132b) 및 스위칭 드레인 영역(177b)을 포함하며, 발광 제어 박막 트랜지스터(T6)는 발광 제어 채널 영역(131f1), 발광 제어 소스 영역(176f) 및 발광 제어 드레인 영역(133f)을 포함한다.

[0083] 구동 반도체층(131a)은 복수개의 굴곡부(33)를 포함하여 지그재그 형상, 구체적으로는 'ㄹ' 형상으로 형성되므로, 좁은 공간 내에 길게 형성할 수 있다. 따라서, 구동 반도체층(131a)의 구동 채널 영역(131a1)을 길게 형성할 수 있으므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다.

[0084] 스위칭 반도체층(131a), 구동 반도체층(131b), 발광 제어 반도체층(131f) 위에는 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위로 형성된 제1 게이트 절연막(141)이 형성되어 있다.

[0085] 제1 게이트 절연막(141) 위에는 구동 게이트 전극(125a), 스위칭 게이트 전극(125b) 및 보상 게이트 전극(125c)을 포함하는 스캔선(121), 초기화 게이트 전극(125d)을 포함하는 이전 스캔선(122), 동작 제어 게이트 전극(125e) 및 발광 제어 게이트 전극(125f)을 포함하는 발광 제어선(123)을 포함하는 제1 게이트 배선이 형성되어 있다.

[0086] 구동 게이트 전극(125a)은 스캔선(121)과 분리되어 있으며, 플로팅 게이트 전극(25)은 구동 반도체층(131a)의 구동 채널 영역(131a1)과 중첩하고 있다. 그리고, 스위칭 게이트 전극(125b)은 스캔선(121)에 연결되어 있으며, 스위칭 게이트 전극(125b)은 스위칭 반도체층(131b)의 스위칭 채널 영역(131b1)과 중첩하고 있다. 그리고 발광 제어 게이트 전극(125f)은 발광 제어 반도체층(131f)의 발광 제어 채널 영역(131f1)과 중첩하고 있다.

[0087] 이 때, 스위칭 박막 트랜지스터(T2)는 스위칭 게이트 전극(125b)과 스위칭 반도체층(131b) 사이에 제1 게이트 절연막(141)만이 형성되므로 빠른 스위칭 동작이 가능하며, 구동 박막 트랜지스터(T1)은 구동 게이트 전극(125a)과 구동 반도체층(131a) 사이에 제1 게이트 절연막(141)만이 형성되어 있긴 하나, 구동 반도체층(131a)의 구동 채널 영역(131a1)의 길이가 길기 때문에 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 되어 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할

수 있다.

[0088] 제1 게이트 배선(125a, 125b, 125c, 125d, 125e, 125f, 121, 122, 123) 및 제1 게이트 절연막(141)은 제2 게이트 절연막(142)이 덮고 있다. 제2 게이트 절연막(142)은 질화 규소(SiNx) 또는 산화 규소(SiO<sub>2</sub>) 따위로 형성되어 있다.

[0089] 제2 게이트 절연막(142) 위에는 제2 스토리지 축전판(127) 및 초기화 전압선(124)을 포함하는 제2 게이트 배선이 형성되어 있다. 제2 스토리지 축전판(127)은 제1 스토리지 축전판(125a)과 중첩하여 스토리지 캐패시터(Cst)를 형성하고 있으며, 제1 스토리지 축전판(125a)는 구동 반도체층(131a)과 중첩하고 있다. 이와 같이, 구동 반도체층(131a)과 중첩하여 스토리지 캐패시터(Cst)를 형성함으로써, 굴곡부(33)를 가지는 구동 반도체층(131a)에 의해 줄어든 스토리지 캐패시터(Cst)의 영역을 확보하여 화소의 크기가 줄어드는 고해상도에서도 스토리지 캐패시턴스의 확보가 가능하다.

[0090] 한편, 제2 게이트 절연막(142), 제2 스토리지 축전판(127) 및 초기화 전압선(124) 위에는 층간 절연막(160)이 형성되어 있다. 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)은 발광 제어 반도체층(131f)의 발광 제어 드레인 영역(131f1)을 드러내는 접촉 구멍(163)을 함께 갖는다. 층간 절연막(160)은 제1 게이트 절연막(141), 제2 게이트 절연막(142)과 마찬가지로, 질화 규소(SiNx) 또는 산화 규소(SiO<sub>2</sub>) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어진다.

[0091] 층간 절연막(160) 위에는 스위칭 소스 전극(176b)를 포함하는 데이터선(171), 구동 전압선(172), 연결 부재(174), 발광 제어 드레인 전극(177f)을 포함하는 데이터 배선이 형성되어 있다.

[0092] 그리고 스위칭 소스 전극(176b)과 발광 제어 드레인 전극(177f)은 각각 층간 절연막(160), 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)에 형성된 접촉 구멍(162, 163)을 통해 각각 스위칭 반도체층(131b)의 스위칭 소스 영역(131b1), 발광 제어 반도체층(131f)의 발광 제어 드레인 영역(131f1)과 연결된다.

[0093] 층간 절연막(160) 상에는 데이터 배선(171, 172, 174, 177f)을 덮는 보호막(180)이 형성되어 있고, 보호막(180) 위에는 화소 전극(191)이 형성되어 있다. 보호막(180)에 형성된 접촉 구멍(181)을 통해 화소 전극(191)은 발광 제어 드레인 전극(177f)과 연결된다.

[0094] 화소 전극(191)의 가장자리 및 보호막(180) 위에는 격벽(350)이 형성되어 있고, 격벽(350)은 화소 전극(191)을 드러내는 격벽 개구부(351)를 가진다. 격벽(350)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등으로 만들 수 있다.

[0095] 격벽 개구부(351)로 노출된 화소 전극(191) 위에는 유기 발광층(370)이 형성되고, 유기 발광층(370) 상에는 공통 전극(270)이 형성된다. 이와 같이, 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)을 포함하는 유기 발광 다이오드(70)가 형성된다.

[0096] 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

[0097] 유기 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(710) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 공통 전극(270)은 반사형 도전성 물질로 형성되므로 배면 발광형의 유기 발광 표시 장치가 된다. 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.

[0098] 한편, 상기 제1 실시예에서 제1 스토리지 축전판(125a)가 사각 형상이었으나, 제1 스토리지 축전판(125a)의 일부를 확장하여 스토리지 캐패시턴스를 증가시키는 제3 실시예도 가능하다.

[0099] 이하에서, 도 7을 참조하여, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치에 대해 상세히 설명한다.

- [0100] 도 7은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- [0101] 제3 실시예는 도 1 내지 도 5에 도시된 제1 실시예와 비교하여 구동 반도체층 및 스토리지 캐패시터만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.
- [0102] 도 7에 도시한 바와 같이, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다. 구동 반도체층(131a)은 굴곡되어 있다. 구동 반도체층(131a)은 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31), 제1 방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부(32) 및 제1 연장부(31)와 제2 연장부(32)를 연결하는 복수개의 굴곡부(33)를 포함한다.
- [0103] 이러한 구동 반도체층(131a)은 측면으로 연장되어 데이터선(171)과 인접할 수 있다. 따라서, 구동 반도체층(131a)의 길이가 길어지므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)를 더욱 넓힐 수 있다.
- [0104] 이 때, 보상 박막 트랜지스터(T3)의 보상 소스 전극(176c)과 발광 제어 박막 트랜지스터(T6)의 발광 제어 소스 전극(176f)은 동일한 층에 형성되어 있으나, 구동 반도체층(131a)과 중첩되지 않도록 보상 소스 전극(176c)과 발광 제어 소스 전극(176f)은 이격부(d)를 두고 서로 분리되어 있다.
- [0105] 연장된 구동 반도체층(131a)과 중첩하도록 구동 게이트 전극(125a) 즉, 제1 스토리지 축전판(125a)은 측면으로 연장되어 있으며, 제1 스토리지 축전판(125a)은 이격부(d)와 일부 중첩되어 있다. 그리고, 제1 스토리지 축전판(125a)과 중첩하도록 제2 스토리지 축전판(127)도 연장되어 있으며, 제2 스토리지 축전판(127)은 이격부(d)와 일부 중첩되어 있다.
- [0106] 서로 분리된 보상 소스 전극(176c)과 발광 제어 소스 전극(176f)은 데이터선(171)과 동일한 층에 형성되어 있는 트랜지스터 연결부(71)를 통해 서로 연결되어 있다. 트랜지스터 연결부(71)의 일단부는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(61)을 통해 보상 소스 전극(176c)과 연결되어 있고, 트랜지스터 연결부(71)의 타단부는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(62)을 통해 발광 제어 소스 전극(176f)과 연결되어 있다. 따라서, 스토리지 캐패시터(Cct)는 연장되어 트랜지스터 연결부(71)와 중첩하고 있고, 구동 반도체층(131a)은 연장되어 트랜지스터 연결부(71)와 중첩하고 있다.
- [0107] 이와 같이, 트랜지스터 연결부(71)를 통해 보상 소스 전극(176c)과 발광 제어 소스 전극(176f)을 연결함으로써, 보상 소스 전극(176c)과 발광 제어 소스 전극(176f) 사이의 이격부(d)까지 구동 반도체층(131a), 제1 스토리지 축전판(125a) 및 제2 스토리지 축전판(127)를 연장할 수 있으므로 스토리지 캐패시터(Cst)를 더욱 확장시킬 수 있다.
- [0108] 한편, 상기 제1 실시예에서 구동 반도체층은 굴곡부에서 직접 보상 소스 전극으로 연결되지 않으나, 굴곡부에서 직접 보상 소스 전극으로 분기되는 분기부를 더 포함하는 제4 실시예도 가능하다.
- [0109] 이하에서, 도 8을 참조하여, 본 발명의 제4 실시예에 따른 유기 발광 표시 장치에 대해 상세히 설명한다.
- [0110] 도 8은 본 발명의 제4 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 확대 배치도이다.
- [0111] 제4 실시예는 도 1 내지 도 5에 도시된 제1 실시예와 비교하여 구동 반도체층 및 스토리지 캐패시터만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.
- [0112] 도 8에 도시한 바와 같이, 본 발명의 제4 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다. 구동 반도체층(131a)은 굴곡되어 있다. 구동 반도체층(131a)은 제1 방향으로 연장되어 있는 제1 연장부(31), 제1 방향과 다른 제2 방향으로 연장되어 있는 제2 연장부(32) 및 제1 연장부(31)와 제2 연장부(32)를 연결하는 굴곡부(33) 및 굴곡부에서 직접 보상 소스 전극(176c)으로 분기되는 분기부(34)를 포함한다. 이러한 구동 반도체층(131a)은 전체적으로 'ㅓ' 형상을 가진다. 따라서, 구동 반도체층(131a)의 길이가 길어지므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)를 더욱 넓힐 수 있다.
- [0113] 분기부(34)는 보상 박막 트랜지스터(T3)와 연결되는 제1 경로 반도체층(CH1)에 해당하고, 제2 연장부(32)는 발광 제어 박막 트랜지스터(T6)와 연결되는 제2 경로 반도체층(CH2)에 해당한다. 그리고, 구동 게이트 전극 즉, 제1 스토리지 축전판(125a)은 구동 반도체층(131a)의 제1 경로 반도체층(CH1) 및 제2 경로 반도체층(CH2)과 중

첩하며, 제2 스토리지 축전판(127)는 제1 스토리지 축전판(125a)와 중첩하고 있다. 따라서, 스토리지 캐패시터(Cst)의 면적이 넓어지므로 고해상도에서도 스토리지 캐패시턴스를 용이하게 확보할 수 있다.

[0114] 한편, 상기 제4 실시예에서 제1 경로 반도체층(CH1)과 제2 경로 반도체층(CH2)의 길이가 서로 동일하였으나, 제1 경로 반도체층(CH1)과 제2 경로 반도체층(CH2)의 길이가 서로 다른 제5 실시예도 가능하다.

[0115] 이하에서, 도 9를 참조하여, 본 발명의 제5 실시예에 따른 유기 발광 표시 장치에 대해 상세히 설명한다.

[0116] 도 9는 본 발명의 제5 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 확대 배치도이다.

[0117] 제5 실시예는 도 8에 도시된 제4 실시예와 비교하여 구동 반도체층 및 스토리지 캐패시터만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.

[0118] 도 9에 도시한 바와 같이, 본 발명의 제5 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다. 구동 반도체층(131a)은 굴곡되어 있다. 구동 반도체층(131a)은 제1 방향으로 연장되어 있는 제1 연장부(31), 제1 방향과 다른 제2 방향으로 연장되어 있는 제2 연장부(32) 및 제1 연장부(31)와 제2 연장부(32)를 연결하는 굴곡부(33) 및 굴곡부에서 직접 보상 소스 전극(176c)으로 분기되는 분기부(34)를 포함한다. 따라서, 구동 반도체층(131a)의 길이가 길어지므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)를 더욱 넓힐 수 있다.

[0119] 분기부(34)는 보상 박막 트랜지스터(T3)와 연결되는 제1 경로 반도체층(CH1)에 해당하고, 제1 연장부(31), 제2 연장부(32) 및 굴곡부(33)를 포함하는 지그재그부(30)는 발광 제어 박막 트랜지스터(T6)와 연결되는 제2 경로 반도체층(CH2)에 해당한다. 그리고, 구동 게이트 전극 즉, 제1 스토리지 축전판(125a)는 구동 반도체층(131a)의 제1 경로 반도체층(CH1) 및 제2 경로 반도체층(CH2)과 중첩하며, 제2 스토리지 축전판(127)는 제1 스토리지 축전판(125a)와 중첩하고 있다. 따라서, 스토리지 캐패시터(Cst)의 면적이 넓어지므로 고해상도에서도 스토리지 캐패시턴스를 용이하게 확보할 수 있다.

[0120] 또한, 제1 경로 반도체층(CH1)의 길이는 제2 경로 반도체층(CH2)의 길이보다 짧게 형성되어 있다. 이러한 구조를 솟 패스 다이오드(short pass diode) 구조라고 하며, 제1 경로 반도체층(CH1)의 길이와 제2 경로 반도체층(CH2)의 길이가 서로 다르므로 서로 다른 크기의 전류가 동시에 흐를 수 있다. 제1 경로 반도체층(CH1)의 길이는 짧으므로 비교적 큰 전류가 흐를 수 있고, 제2 경로 반도체층(CH2)의 길이는 길기 때문에 비교적 작은 전류가 동시에 흐를 수 있다. 이와 같이, 하나의 구동 박막 트랜지스터로 크기가 서로 다른 전류를 동시에 제공할 수 있는 특징을 이용하여 문턱 전압을 빠르게 보상하는 동시에 유기 발광 다이오드로 일정한 전류를 제공하여 특성 편차를 갖는 구동 박막 트랜지스터들 간의 전류 편차를 감소시킴으로써 전류의 크기 차이로 인한 얼룩을 방지할 수 있으며, 이러한 구동 동작에 대해 구동 동작에 대해 이하에서 상세히 설명한다.

[0121] 구동 박막 트랜지스터(T1)는 스캔 신호(Sn)에 따라 데이터 신호(Dm)에 대응하는 전압을 스토리지 캐패시터(Cst)에 충전하고, 스토리지 캐패시터(Cst)에 충전된 전압에 대응하는 전류를 유기 발광 다이오드(OLED)로 제공한다. 이 때, 구동 박막 트랜지스터(T1)는 시간의 경과에 따라 문턱 전압이 변화될 수 있기 때문에 보상 박막 트랜지스터(T3)는 스캔 신호(Sn)에 따라 구동 박막 트랜지스터(T1)를 다이오드 연결시켜 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)을 보상한다.

[0122] 따라서, 데이터 신호(Dm)가 전달되는 동안 제1 경로 반도체층(CH1)을 통해 흐르는 비교적 큰 전류가 보상 박막 트랜지스터(T3)를 통해 스토리지 캐패시터(Cst)를 소정 전압(보상 전압)까지 빠르게 충전시킬 수 있기 때문에 문턱 전압(Vth) 보상이 빠르고 용이하게 이루어질 수 있다.

[0123] 또한, 제2 경로 반도체층(CH2)을 통해 흐른 비교적 작은 전류가 발광 제어 박막 트랜지스터(T6)를 통해 유기 발광 다이오드(OLED)로 제공되기 때문에 얼룩이 방지될 수 있다. 즉, 구동 박막 트랜지스터(T1)의 구동 게이트 전극에 인가되는 전압의 변화에 따른 전류의 변화율이 작기 때문에 전류제어전압폭(data swing range)을 증가시킬 수 있으며, 이에 의해 감마(gamma)를 표현하는 데이터 전압의 범위가 증가할 수 있고, 특성 편차(산포)를 갖는 구동 박막 트랜지스터들 간의 전류 편차가 감소됨으로써 전류의 크기 차이로 인한 얼룩이 방지될 수 있다.

[0124] 종래의 구동 박막 트랜지스터는 구동 반도체층(131a)을 통해 하나의 크기의 전류만을 흐르게 할 수 있으므로, 보상 박막 트랜지스터(T3) 및 발광 제어 박막 트랜지스터(T6)로 동일한 크기의 전류를 제공하게 된다. 이 때, 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)을 빠르게 보상하도록 구동 박막 트랜지스터(T1)의 구동 반도체층(131a)의 길이를 짧게 형성할 경우 트랜지스터 특성곡선(transistor curve)의 s-팩터(factor)가 감소하여 구동 계

이트 전극에 인가되는 전압의 변화에 따른 전류의 변화율이 커지기 때문에 유기 발광 다이오드(OLED)로 큰 전류가 제공되어 얼룩이 발생하게 된다.

[0125] 반대로, 얼룩이 방지되도록 구동 박막 트랜지스터(T1)의 구동 반도체층(131a)의 길이를 길게 형성할 경우 작은 전류에 의해 구동 박막 트랜지스터의 문턱 전압(V<sub>th</sub>)이 느리게 보상되므로, 저계조 보상이 이루어지지 않아 얼룩이 발생하게 된다. 이러한 문제점은 해상도가 증가할수록 심각하게 나타난다. 즉, 해상도가 증가할수록 데이터 신호(D<sub>m</sub>)가 인가되는 시간이 감소하기 때문에 문턱 전압(V<sub>th</sub>)이 완전히 보상되기 전에 유기 발광 다이오드(OLED)로 전류가 흐르며, 이는 전류 편차를 유발하여 얼룩이 발생하게 된다.

[0126] 따라서, 보상 박막 트랜지스터(T3)와 연결되는 제1 경로 반도체층(CH1)의 길이를 발광 제어 박막 트랜지스터(T6)와 연결되는 제2 경로 반도체층(CH2)의 길이보다 짧게 형성함으로써, 저계조 얼룩을 방지할 수 있다.

[0127] 한편, 상기 제1 실시예는 6개의 박막 트랜지스터와 1개의 스토리지 캐퍼시터로 이루어진 6tr 1cap의 구조에서 구동 박막 트랜지스터의 구동 반도체층이 굽곡된 구조이나, 7개의 박막 트랜지스터와 1개의 스토리지 캐퍼시터로 이루어진 7tr 1cap의 구조에서 구동 박막 트랜지스터의 구동 반도체층이 굽곡된 구조인 제6 실시예도 가능하다.

[0128] 이하에서, 도 10 및 도 11을 참조하여, 본 발명의 제6 실시예에 따른 유기 발광 표시 장치에 대해 상세히 설명한다.

[0129] 도 10은 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이고, 도 11은 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 배치도이다.

[0130] 제6 실시예는 도 1 내지 도 5에 도시된 제1 실시예와 비교하여 전류 제어 박막 트랜지스터가 추가된 것만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.

[0131] 도 10 및 도 11에 도시한 바와 같이, 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(121, 122, 123, 124, 128, 171, 172), 복수의 신호선에 연결되어 있는 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 스토리지 캐퍼시터(storage capacitor, C<sub>st</sub>) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

[0132] 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 전류 제어 박막 트랜지스터(T7)를 포함한다.

[0133] 신호선은 스캔 신호(S<sub>n</sub>)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(S<sub>n-1</sub>)를 전달하는 이전 스캔선(122), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(E<sub>n</sub>)를 전달하는 발광 제어선(123), 스캔선(121)과 교차하며 데이터 신호(D<sub>m</sub>)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(V<sub>int</sub>)을 전달하는 초기화 전압선(124) 및 바이패스 박막 트랜지스터(T7)에 바이패스 신호(BP)를 전달하는 바이패스 제어선(128)을 포함한다.

[0134] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐퍼시터(C<sub>st</sub>)의 일단(C<sub>st1</sub>)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다.

[0135] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다.

[0136] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 캐퍼시터(C<sub>st</sub>)의 일단(C<sub>st1</sub>), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다.

[0137] 바이패스 박막 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(128)과 연결되어 있고, 바이패스 박막 트

랜지스터(T7)의 소스 전극(S7)은 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6) 및 유기 발광 다이오드(OLED)의 애노드와 함께 연결되어 있고, 바이패스 박막 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(124) 및 초기화 박막 트랜지스터(T4)의 소스 전극(S4)에 함께 연결되어 있다.

[0138] 이하에서 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 바이패스 박막 트랜지스터(T7)의 구체적인 동작 과정을 상세히 설명한다.

[0139] 바이패스 박막 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 박막 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 박막 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 됨으로써, 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠져나가게 한다.

[0140] 블랙 영상을 표시하는 구동 박막 트랜지스터의 최소 전류가 구동 전류로 흐를 경우에도 유기 발광 다이오드(OLED)가 발광하게 된다면 제대로 블랙 영상이 표시되지 않는다. 따라서, 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 바이패스 박막 트랜지스터(T7)는 구동 박막 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(Ibp)로서 유기 발광 다이오드 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다. 여기서 구동 박막 트랜지스터의 최소 전류란 구동 박막 트랜지스터의 게이트-소스 전압(Vgs)이 문턱 전압(Vth)보다 작아서 구동 박막 트랜지스터가 오프되는 조건에서의 전류를 의미한다. 이렇게 구동 박막 트랜지스터를 오프시키는 조건에서의 최소 구동 전류(예를 들어 10pA 이하의 전류)가 유기 발광 다이오드에 전달되어 블랙 휘도의 영상으로 표현된다.

[0141] 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우 바이패스 전류(Ibp)의 우회 전달의 영향이 큰 반면, 일반 영상 또는 화이트 영상과 같은 영상을 표시하는 큰 구동 전류가 흐를 경우에는 바이패스 전류(Ibp)의 영향이 거의 없다고 할 수 있다. 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(Id)로부터 바이패스 박막 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(Ibp)의 전류량만큼 감소된 유기 발광 다이오드의 발광 전류(Ioled)는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다.

[0142] 따라서, 바이패스 박막 트랜지스터를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다.

[0143] 그러면 도 10에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 11을 도 10 및 도 3과 함께 참고하여 상세하게 설명한다.

[0144] 도 11은 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 배치도이다.

[0145] 도 10 및 도 11에 도시한 바와 같이, 본 발명의 제6 실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124) 및 바이패스 제어선(128)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 초기화 전압선(124) 및 바이패스 제어선(128) 모두와 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다.

[0146] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 바이패스 박막 트랜지스터(T7), 스토리지 캐퍼시터(Cst), 그리고 유기 발광 다이오드(OLED)(70)가 형성되어 있다.

[0147] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6) 및 바이패스 박막 트랜지스터(T7)는 반도체층(131)을 따라 형성되어 있으며, 반도체층(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 반도체층(131)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이러한 반도체층은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 박막 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 박막 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 동작 제어 박막 트랜지스터(T5)에 형성되는 동작 제어 반도체층(131e), 발광 제어 박막 트랜지스터(T6)에 형성되는 발광 제어 반도체층(131f) 및 바이패스 박막 트랜지스터(T7)에 형성되는 바이패스 반도체층

(131g)을 포함한다.

[0148] 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다. 구동 반도체층(131a)은 굴곡되어 있다. 구동 반도체층(131a)은 제1 방향으로 연장되어 있는 복수개의 제1 연장부(31), 제1 방향과 다른 제2 방향으로 연장되어 있는 복수개의 제2 연장부(32) 및 제1 연장부(31)와 제2 연장부(32)를 연결하는 복수개의 굴곡부(33)를 포함한다. 따라서, 구동 반도체층(131a)은 지그재그 형상으로 배치될 수 있다. 도 2 및 도 3에 도시한 구동 반도체층(131a)은 3개의 제1 연장부(31), 2개의 제2 연장부(32) 및 4개의 굴곡부(33)를 포함한다. 따라서, 구동 반도체층(131a)은 'ㄹ' 형상으로 길게 배치되어 있다.

[0149] 이와 같이, 복수개의 굴곡부(33)를 포함하는 구동 반도체층(131a)을 형성함으로써, 좁은 공간 내에 길게 구동 반도체층(131a)을 형성할 수 있다. 따라서, 구동 반도체층(131a)의 구동 채널 영역(131a1)을 길게 형성할 수 있으므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.

[0150] 바이패스 박막 트랜지스터(T7)는 바이패스 반도체층(131g), 바이패스 게이트 전극(125g), 바이패스 소스 전극(176g) 및 바이패스 드레인 전극(177g)을 포함한다. 바이패스 소스 전극(176g)은 바이패스 반도체층(131g)에서 불순물이 도핑된 바이패스 드레인 영역(177g)에 해당하고, 바이패스 드레인 전극(177g)은 바이패스 반도체층(131g)에서 불순물이 도핑된 바이패스 드레인 영역(177g)에 해당한다. 바이패스 소스 전극(176g)은 발광 제어 드레인 영역(133f)과 직접 연결되어 있다.

[0151] 바이패스 반도체층(131g)은 구동 반도체층(131a), 스위칭 반도체층(131b), 발광 제어 반도체층(131f) 등과 동일한 층에 형성되어 있고, 바이패스 반도체층(131g) 위에는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141) 위에는 바이패스 제어선(128)의 일부인 바이패스 게이트 전극(125g)이 형성되어 있고, 바이패스 게이트 전극(125g) 및 제1 게이트 절연막(141) 위에는 제2 게이트 절연막(142)이 형성되어 있다.

[0152] 따라서, 바이패스 박막 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받아 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부가 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠져나가게 한다. 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다.

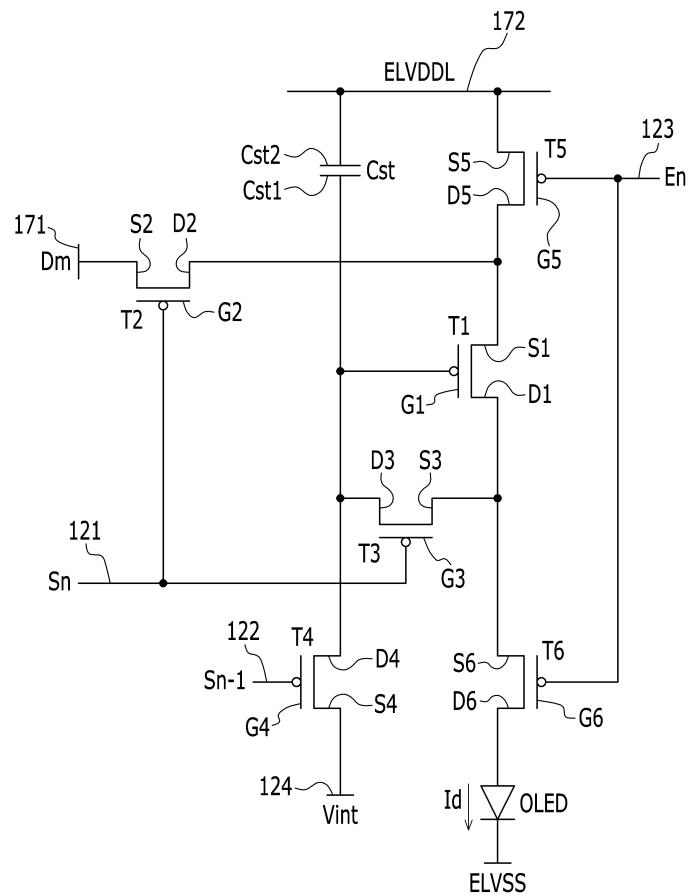
[0153] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

## 부호의 설명

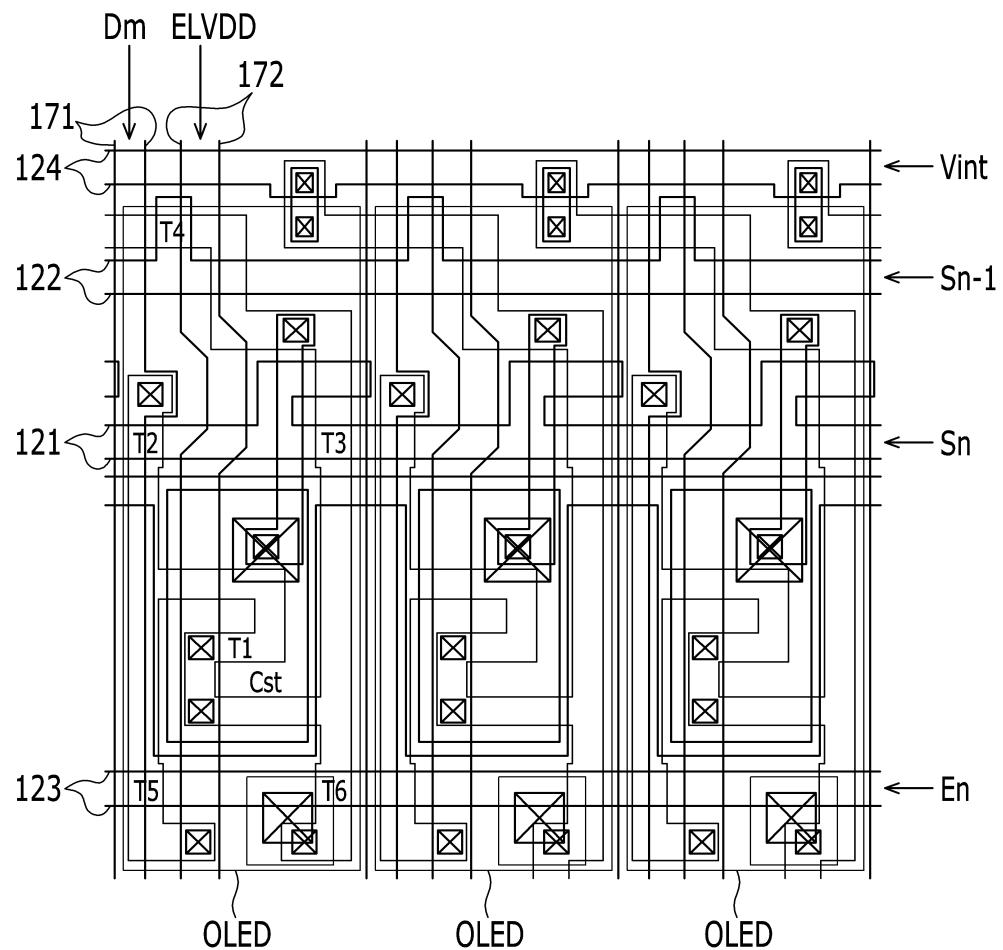
31: 제1 연장부	32: 제2 연장부
33: 굴곡부	110: 기판
121: 스캔선	122: 이전 스캔선
123: 발광 제어선	124: 초기화 전압선
125a: 구동 게이트 전극	125b: 스위칭 게이트 전극
131a: 구동 반도체층	132b: 스위칭 반도체층
141: 제1 게이트 절연막	142: 제2 게이트 절연막
171: 데이터선	172: 구동 전압선

## 도면

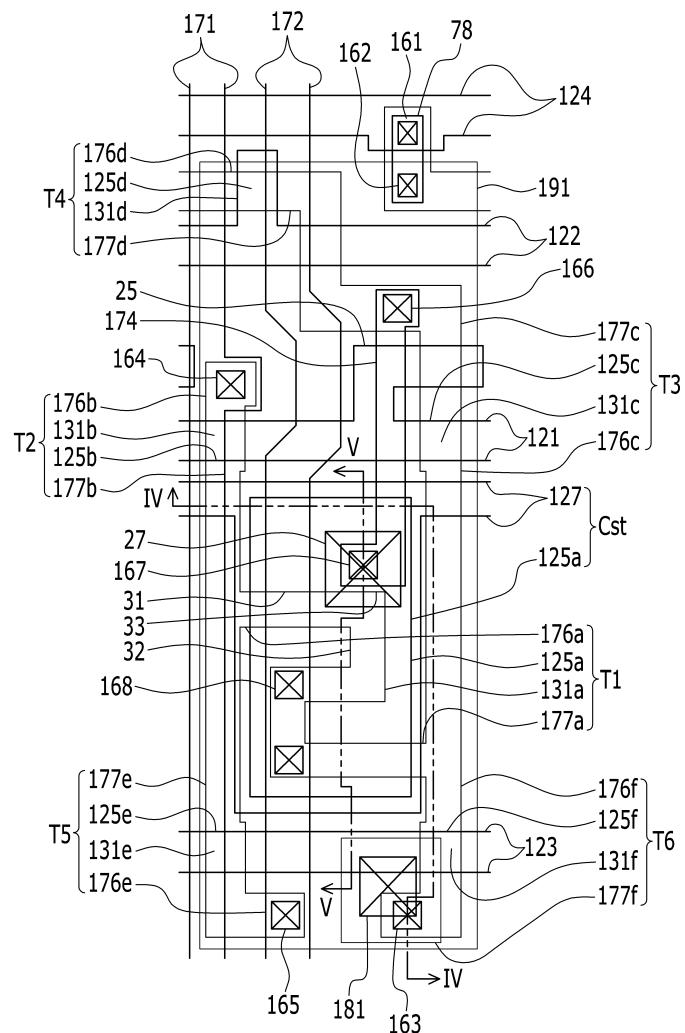
## 도면1



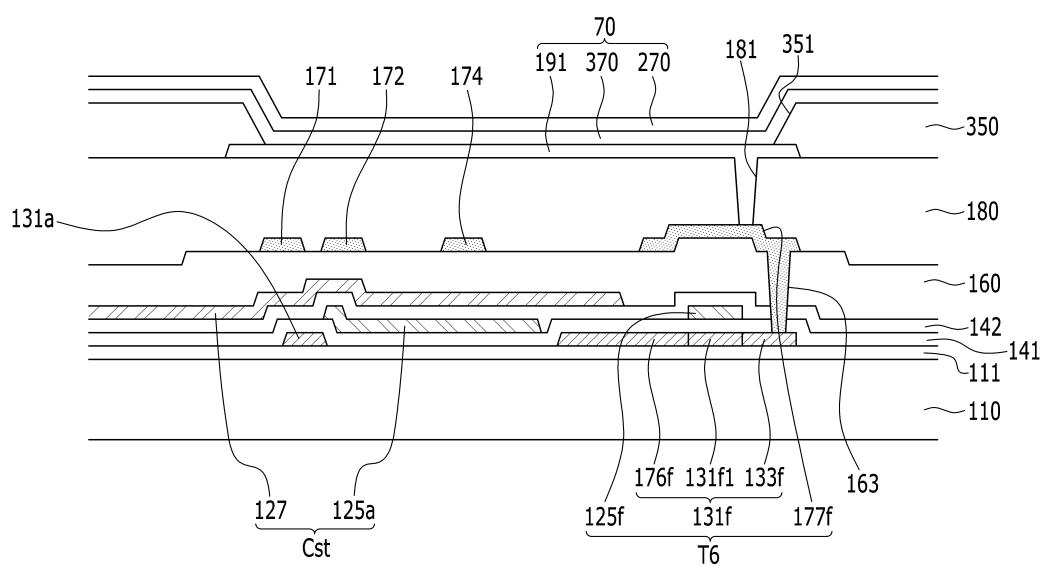
## 도면2



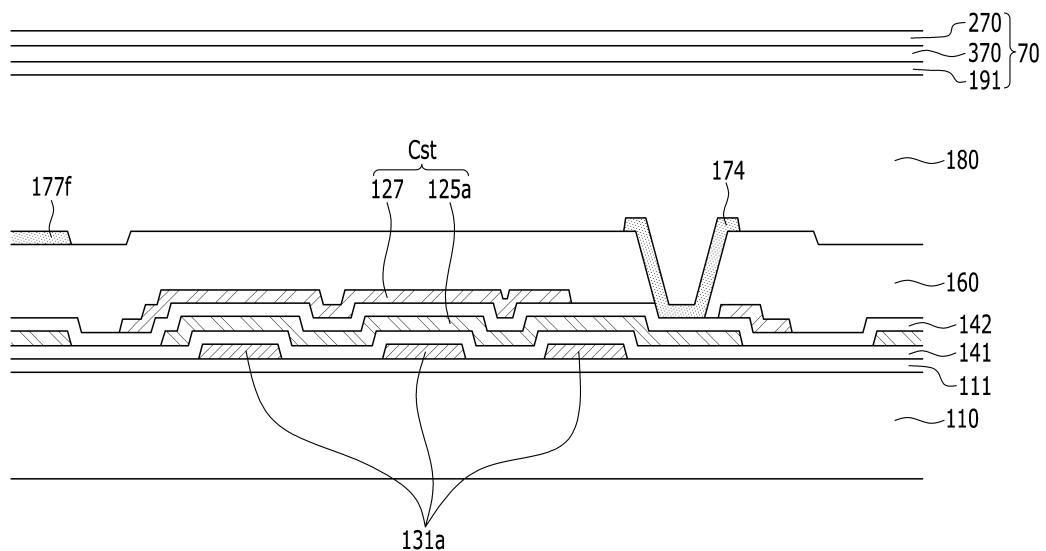
## 도면3



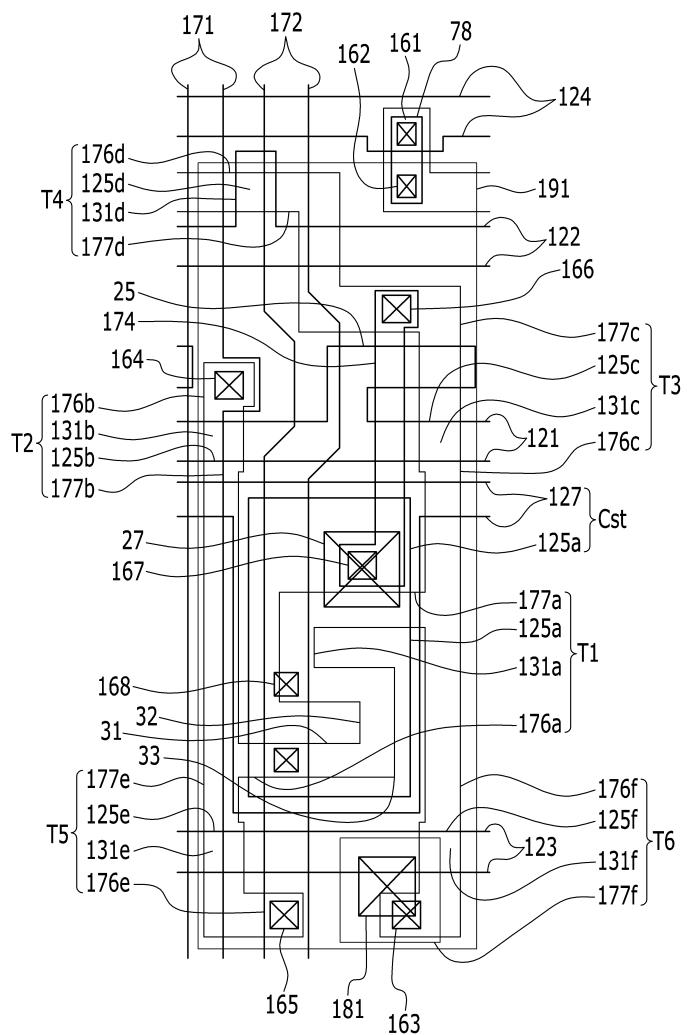
## 도면4



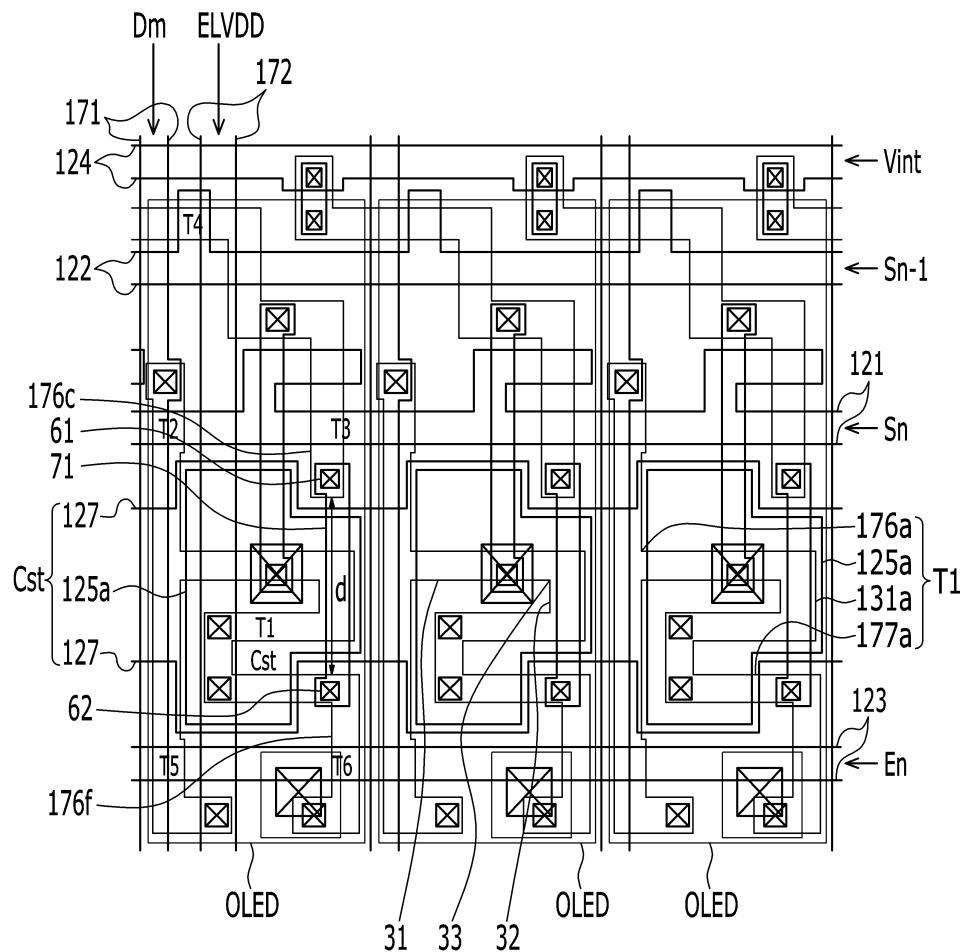
## 도면5



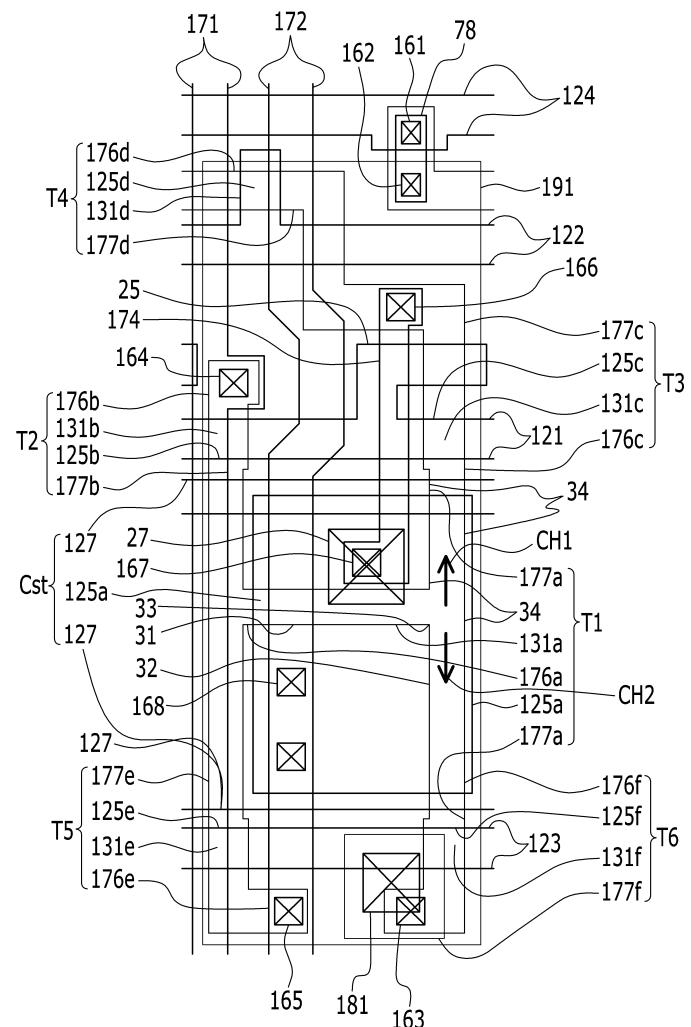
## 도면6



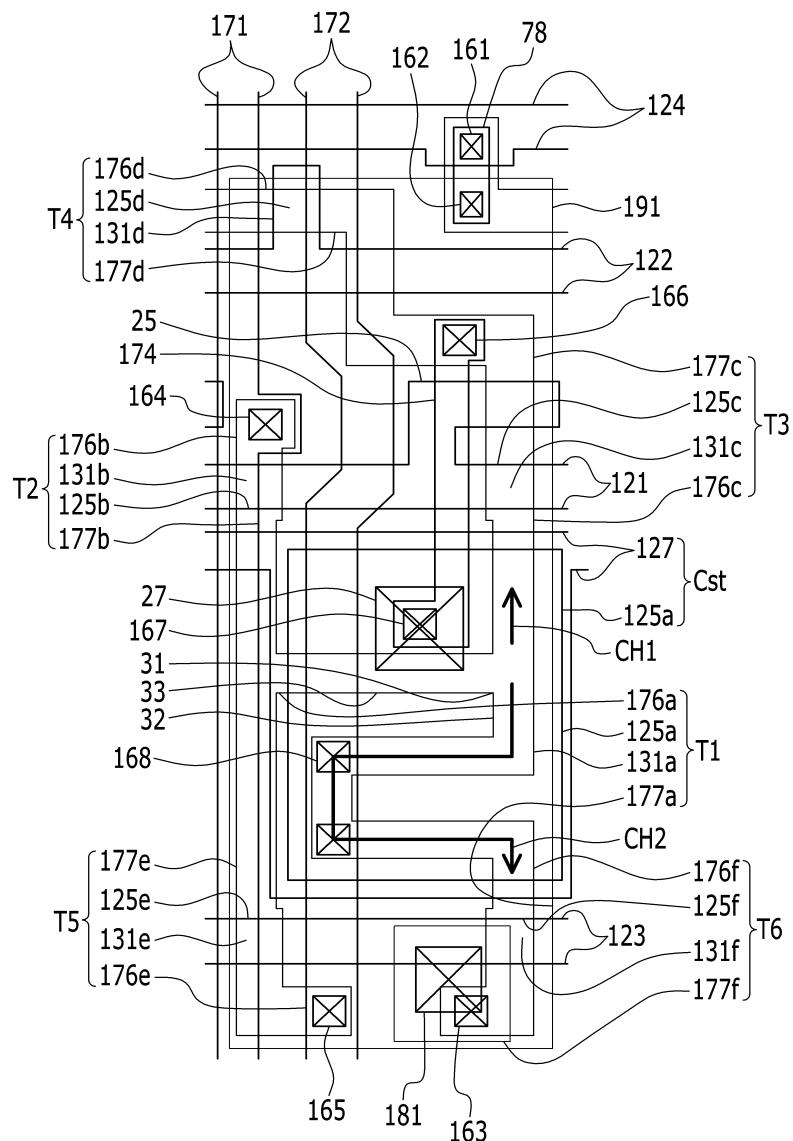
## 도면7



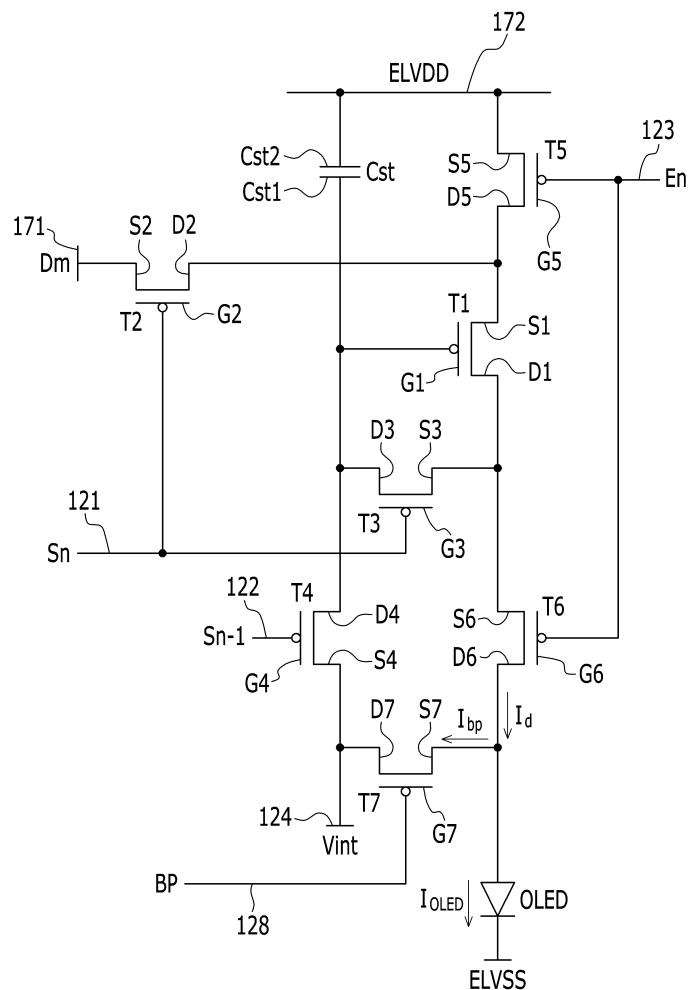
## 도면8



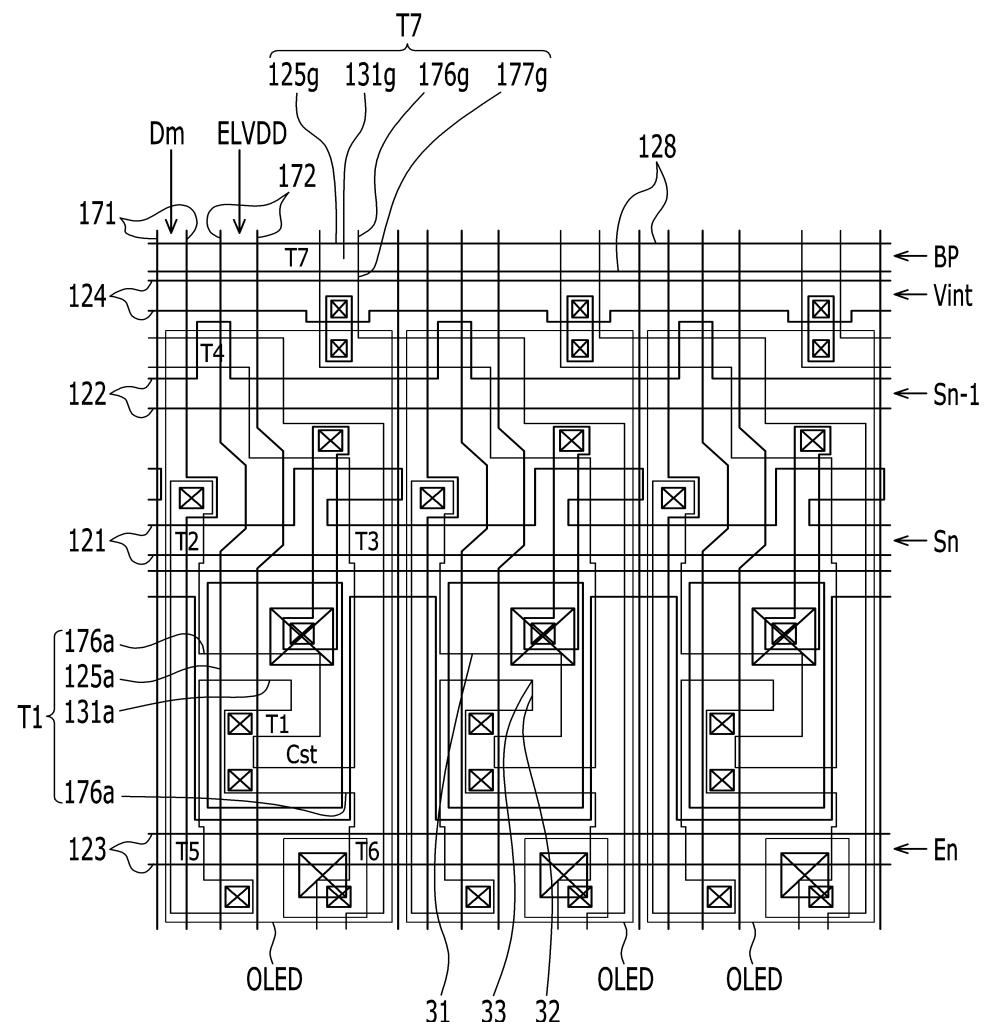
도면9



## 도면10



## 도면11



专利名称(译)	相关技术的描述		
公开(公告)号	<a href="#">KR1020140018623A</a>	公开(公告)日	2014-02-13
申请号	KR1020120084976	申请日	2012-08-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SE HO 김세호 PARK JIN WOO 박진우 LEE WON SE 이원세		
发明人	김세호 박진우 이원세		
IPC分类号	H01L51/50		
CPC分类号	H01L27/3262 H01L27/3297 G09G3/3225 H01L27/124 H01L27/1255 H01L27/3248 H01L27/3258 H01L27/3265 H01L27/3276 G09G3/3655 G09G2300/0847 G09G2300/0809		
其他公开文献	KR101486038B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

根据本发明的有机发光显示装置分别包括基板，形成在基板上，并且所述数据线和所述驱动电压线，扫描线和扫描线，交叉的扫描线，用于发送扫描信号来传输数据信号，驱动电压，它包括一个有机发光二极管，其是驱动薄膜晶体管，连接到所述驱动薄膜晶体管，其是连接到所述数据线的开关薄膜晶体管的驱动漏电极，连接到所述开关薄膜晶体管的开关漏电极，和驱动薄膜晶体管的驱动半导体层可以是弯曲的。因此，根据本发明的OLED显示器中，通过形成包括多个弯曲部分的驱动半导体层，驱动施加到驱动栅极电极的栅极电压的驱动范围可以形成并保持半导体层的驱动器通道区域(驱动有可以扩大的范围内)。

