

특허청구의 범위

청구항 1

기관 상에 위치하며, 제1 방향을 따라 형성된 게이트 배선들;

상기 게이트 배선들 상에 위치하며, 상기 제1 방향과 교차하는 제2 방향을 따라 형성된 데이터 배선들;

상기 게이트 배선들 및 상기 데이터 배선들 각각에 연결되는 제1 박막 트랜지스터를 포함하는 화소 회로; 및
상기 화소 회로에 연결된 유기 발광 다이오드를 포함하고,

상기 제1 박막 트랜지스터는,

상기 데이터 배선들과 상기 유기 발광 다이오드 사이를 연결하며, 채널 영역과 불순물이 도핑된 소스 및 드레인 영역을 포함하는 제1 액티브층; 및

순차적으로 적층된 제1 절연층 및 제2 절연층을 사이에 두고 상기 제1 액티브층 상에 위치하는 제1 게이트 전극을 포함하고,

상기 제2 절연층은 상기 채널 영역 상에 위치하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 제2 절연층은 상기 제1 게이트 전극 상에 형성된 상기 제1 게이트 전극의 패터닝을 위한 포토레지스트층을 식각 마스크로 사용하여 패터닝된 것이며,

상기 제1 게이트 전극에는 불순물이 도핑되지 않는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 화소 회로는 상기 데이터 배선들과 연결되는 제1 캐패시터를 더 포함하고,

상기 제1 캐패시터는,

상기 제1 절연층 상에 위치하며, 상기 제1 게이트 전극과 연결되는 제1 캐패시터 전극; 및

제2 절연층을 사이에 두고 상기 제1 캐패시터 전극 상에 위치하며, 상기 데이터 배선들과 연결되는 제2 캐패시터 전극

을 포함하는 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제2 캐패시터 전극은 상기 제1 게이트 전극과 동일한 층에 위치하며, 상기 제1 게이트 전극과 동일한 금속층으로 형성되는 유기 발광 표시 장치.

청구항 5

제3항에 있어서,

상기 화소 회로는 상기 게이트 배선들과 연결되는 제2 캐패시터를 더 포함하고,

상기 제2 캐패시터는,

상기 제1 절연층 상에 위치하며, 상기 제1 캐패시터 전극과 연결되는 제3 캐패시터 전극; 및

제2 절연층을 사이에 두고 상기 제3 캐패시터 전극 상에 위치하며, 상기 게이트 배선들과 연결되는 제4 캐패시

터 전극

을 포함하는 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 제4 캐패시터 전극은 상기 제1 게이트 전극과 동일한 층에 위치하며, 상기 제1 게이트 전극과 동일한 금속층으로 형성되는 유기 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 화소 회로는 상기 제1 박막 트랜지스터와 연결되는 제2 박막 트랜지스터를 더 포함하고,

상기 제2 박막 트랜지스터는,

상기 데이터 배선들과 상기 제1 박막 트랜지스터 사이를 연결하며, 채널 영역과 불순물이 도핑된 소스 영역 및 드레인 영역을 포함하는 제2 액티브층; 및

제1 절연층을 사이에 두고 상기 제2 액티브층 상에 위치하며, 상기 게이트 배선들과 연결되고, 불순물이 도핑된 제2 게이트 전극

을 포함하는 유기 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 제1 캐패시터 전극과 상기 제3 캐패시터 전극은 상기 제2 게이트 전극과 동일한 층에 위치하며, 상기 제2 게이트 전극과 동일한 금속층으로 형성되는 유기 발광 표시 장치.

청구항 9

제5항에 있어서,

상기 화소 회로는 상기 제1 박막 트랜지스터와 연결되는 제2 박막 트랜지스터를 더 포함하고,

상기 제2 박막 트랜지스터는,

상기 데이터 배선들과 상기 제1 박막 트랜지스터 사이를 연결하고, 채널 영역과 불순물이 도핑된 소스 영역 및 드레인 영역을 포함하는 제2 액티브층; 및

순차적으로 적층된 제1 절연층 및 제2 절연층을 사이에 두고 상기 제2 액티브층 상에 위치하는 제2 게이트 전극을 포함하며,

상기 제2 절연층은 상기 채널 영역 상에 위치하는 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 제2 절연층은 상기 제2 게이트 전극 상에 형성된 상기 제2 게이트 전극의 패터닝을 위한 포토레지스트층을 식각 마스크로 사용하여 패터닝된 것이며,

상기 제2 게이트 전극에는 불순물이 도핑되지 않는 유기 발광 표시 장치.

청구항 11

제5항 내지 제10항 중 어느 한 항에 있어서,

상기 제2 캐패시터 전극은 상기 제1 캐패시터 전극보다 큰 폭으로 형성되고,

상기 제4 캐패시터 전극은 상기 제3 캐패시터 전극보다 큰 폭으로 형성되는 유기 발광 표시 장치.

청구항 12

제5항 내지 제10항 중 어느 한 항에 있어서,
상기 제1 캐패시터 전극은 상기 제2 캐패시터 전극보다 큰 폭으로 형성되고,
상기 제3 캐패시터 전극은 상기 제4 캐패시터 전극보다 큰 폭으로 형성되는 유기 발광 표시 장치.

청구항 13

기관 상에 위치하며, 제1 방향을 따라 형성된 게이트 배선들;
상기 게이트 배선들 상에 위치하며, 상기 제1 방향과 교차하는 제2 방향을 따라 형성된 데이터 배선들;
상기 게이트 배선들 및 상기 데이터 배선들 각각에 연결되는 복수의 박막 트랜지스터를 포함하는 화소 회로; 및
상기 화소 회로에 연결된 유기 발광 다이오드를 포함하고,
상기 복수의 박막 트랜지스터 중 하나 이상의 박막 트랜지스터는 순차적으로 적층된 제1 절연층 및 제2 절연층을 사이에 두고 액티브층 상에 위치하는 게이트 전극을 포함하며, 나머지 박막 트랜지스터는 제1 절연층을 사이에 두고 액티브층 상에 위치하는 게이트 전극을 포함하고,
상기 제2 절연층은 상기 제2 절연층 상부의 게이트 전극과 같은 폭을 가지는 유기 발광 표시 장치.

청구항 14

제13항에 있어서,
상기 하나 이상의 박막 트랜지스터의 상기 게이트 전극에는 불순물이 도핑되지 않으며,
상기 나머지 박막 트랜지스터의 상기 게이트 전극에는 불순물이 도핑되는 유기 발광 표시 장치.

명세서

기술 분야

[0001] 본 기재는 유기 발광 표시 장치에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터와 하나 이상의 캐패시터를 구비한 화소 회로를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

- [0002] 유기 발광 다이오드는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함한다. 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자를 생성하고, 여기자가 에너지를 방출하면서 발광이 이루어진다.
- [0003] 유기 발광 표시 장치는 복수의 화소를 포함하며, 각 화소마다 유기 발광 다이오드가 위치한다. 또한, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수의 박막 트랜지스터와 하나 이상의 캐패시터를 포함하는 화소 회로가 구비된다. 복수의 박막 트랜지스터는 기본적으로 구동 박막 트랜지스터와 스위칭 박막 트랜지스터를 포함한다.
- [0004] 최근, 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압의 구동 범위(driving range)를 넓히기 위해, 스위칭 박막 트랜지스터 대비 구동 박막 트랜지스터의 액티브층과 게이트 전극 사이에 두꺼운 절연층을 형성하고 있다.
- [0005] 그런데, 구동 박막 트랜지스터의 게이트 전극을 마스크로 이용하여 액티브층의 소스 영역과 드레인 영역에 불순물을 도핑(doping)할 때, 두꺼운 절연층에 의해 불순물 도핑이 원활하게 이루어지지 않는다. 이로 인해, 구동 박막 트랜지스터의 절연층 두께를 일정 수준 이상 증가시키기 어려우며, 도핑 가속 전압을 높여야 하는 공정 상의 어려움이 있다.

발명의 내용

해결하려는 과제

[0006] 본 기재는 복수의 박막 트랜지스터 중 하나 이상의 박막 트랜지스터에 두꺼운 절연층을 형성하여 게이트 전압의 구동 범위를 넓힘과 동시에 액티브층의 불순물 도핑을 원활하게 할 수 있는 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 본 기재의 일 실시예에 따른 유기 발광 표시 장치는, 기판 상에 위치하며 제1 방향을 따라 형성된 게이트 배선들과, 게이트 배선들 상에 위치하며 제1 방향과 교차하는 제2 방향을 따라 형성된 데이터 배선들과, 게이트 배선들 및 데이터 배선들 각각에 연결되는 제1 박막 트랜지스터를 포함하는 화소 회로와, 화소 회로에 연결된 유기 발광 다이오드를 포함한다. 제1 박막 트랜지스터는, i) 데이터 배선들과 유기 발광 다이오드 사이를 연결하며, 채널 영역과 불순물이 도핑된 소스 및 드레인 영역을 포함하는 제1 액티브층과, ii) 순차적으로 적층된 제1 절연층 및 제2 절연층을 사이에 두고 제1 액티브층 상에 위치하는 제1 게이트 전극을 포함하며, 제2 절연층은 채널 영역 상에 위치한다.

[0008] 제2 절연층은 제1 게이트 전극 상에 형성된 제1 게이트 전극의 패터닝을 위한 포토레지스트층을 식각 마스크로 사용하여 패터닝된 것이며, 제1 게이트 전극에는 불순물이 도핑되지 않을 수 있다.

[0009] 화소 회로는 데이터 배선들과 연결되는 제1 캐패시터를 더 포함할 수 있다. 제1 캐패시터는, i) 제1 절연층 상에 위치하며, 제1 게이트 전극과 연결되는 제1 캐패시터 전극과, ii) 제2 절연층을 사이에 두고 제1 캐패시터 전극 상에 위치하며, 데이터 배선들과 연결되는 제2 캐패시터 전극을 포함할 수 있다.

[0010] 제2 캐패시터 전극은 제1 게이트 전극과 동일한 층에 위치하며, 제1 게이트 전극과 동일한 금속층으로 형성될 수 있다.

[0011] 화소 회로는 게이트 배선들과 연결되는 제2 캐패시터를 더 포함할 수 있다. 제2 캐패시터는, i) 제1 절연층 상에 위치하며, 제1 캐패시터 전극과 연결되는 제3 캐패시터 전극과, ii) 제2 절연층을 사이에 두고 제3 캐패시터 전극 상에 위치하며, 게이트 배선들과 연결되는 제4 캐패시터 전극을 포함할 수 있다.

[0012] 제4 캐패시터 전극은 제1 게이트 전극과 동일한 층에 위치하며, 제1 게이트 전극과 동일한 금속층으로 형성될 수 있다.

[0013] 화소 회로는 제1 박막 트랜지스터와 연결되는 제2 박막 트랜지스터를 더 포함할 수 있다. 제2 박막 트랜지스터는, i) 데이터 배선들과 제1 박막 트랜지스터 사이를 연결하며, 채널 영역과 불순물이 도핑된 소스 영역 및 드레인 영역을 포함하는 제2 액티브층과, ii) 제1 절연층을 사이에 두고 제2 액티브층 상에 위치하며, 게이트 배선들과 연결되고, 불순물이 도핑된 제2 게이트 전극을 포함할 수 있다.

[0014] 제1 캐패시터 전극과 제3 캐패시터 전극은 제2 게이트 전극과 동일한 층에 위치하며, 제2 게이트 전극과 동일한 금속층으로 형성될 수 있다.

[0015] 화소 회로는 제1 박막 트랜지스터와 연결되는 제2 박막 트랜지스터를 더 포함할 수 있다. 제2 박막 트랜지스터는, i) 데이터 배선들과 제1 박막 트랜지스터 사이를 연결하고, 채널 영역과 불순물이 도핑된 소스 영역 및 드레인 영역을 포함하는 제2 액티브층과, ii) 순차적으로 적층된 제1 절연층 및 제2 절연층을 사이에 두고 제2 액티브층 상에 위치하는 제2 게이트 전극을 포함할 수 있다. 제2 절연층은 채널 영역 상에 위치할 수 있다.

[0016] 제2 절연층은 제2 게이트 전극 상에 형성된 제2 게이트 전극의 패터닝을 위한 포토레지스트층을 식각 마스크로 사용하여 패터닝된 것이며, 제2 게이트 전극에는 불순물이 도핑되지 않을 수 있다.

[0017] 제2 캐패시터 전극은 제1 캐패시터 전극보다 큰 폭으로 형성되고, 제4 캐패시터 전극은 제3 캐패시터 전극보다 큰 폭으로 형성될 수 있다. 다른 한편으로, 제1 캐패시터 전극은 제2 캐패시터 전극보다 큰 폭으로 형성되고, 제3 캐패시터 전극은 제4 캐패시터 전극보다 큰 폭으로 형성될 수 있다.

[0018] 본 기재의 다른 실시예에 따른 유기 발광 표시 장치는, 기판 상에 위치하며 제1 방향을 따라 형성된 게이트 배선들과, 게이트 배선들 상에 위치하며 제1 방향과 교차하는 제2 방향을 따라 형성된 데이터 배선들과, 게이트 배선들 및 데이터 배선들 각각에 연결되는 복수의 박막 트랜지스터를 포함하는 화소 회로와, 화소 회로에 연결된 유기 발광 다이오드를 포함한다. 복수의 박막 트랜지스터 중 하나 이상의 박막 트랜지스터는 순차적으로 적층된 제1 절연층 및 제2 절연층을 사이에 두고 액티브층 상에 위치하는 게이트 전극을 포함하며, 나머지 박막 트랜지스터는 제1 절연층을 사이에 두고 액티브층 상에 위치하는 게이트 전극을 포함한다. 제2 절연층은 제2 절연층 상부의 게이트 전극과 같은 폭을 가진다.

[0019] 하나 이상의 박막 트랜지스터의 게이트 전극에는 불순물이 도핑되지 않으며, 나머지 박막 트랜지스터의 게이트 전극에는 불순물이 도핑될 수 있다.

발명의 효과

[0020] 본 기재의 실시예들에 따르면, 구동 박막 트랜지스터는 두꺼운 절연층으로 인해 게이트 전극에 인가되는 게이트 전압의 구동 범위를 넓힐 수 있다. 따라서, 게이트 전압의 크기를 변화시켜 유기 발광 다이오드에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있다. 또한, 구동 박막 트랜지스터의 소스 영역과 드레인 영역은 얇은 절연층으로 덮여 있으므로 불순물 도핑을 원활하게 할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 개략도이다.
 도 2는 도 1에 도시한 화소를 나타낸 회로도이다.
 도 3은 도 2에 도시한 화소 회로와 유기 발광 다이오드를 나타낸 단면도이다.
 도 4와 도 5는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 그래프들이다.
 도 6 내지 도 9는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 부분 단면도이다.
 도 10은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 화소 회로와 유기 발광 다이오드를 나타낸 단면도이다.
 도 11은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 화소 회로와 유기 발광 다이오드를 나타낸 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0023] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0024] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서 설명의 편의를 위해 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 “위에” 또는 “상에” 있다고 할 때, 이는 다른 부분 “바로 위에” 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0025] 또한, 첨부 도면에서는 하나의 화소에 6개의 박막 트랜지스터와 2개의 캐패시터를 구비한 6Tr-2Cap 구조의 능동 구조형 유기 발광 표시 장치를 도시하고 있지만, 박막 트랜지스터와 캐패시터의 개수는 전술한 예로 한정되지 않는다. 여기서, 화소는 화상을 표시하는 최소 단위를 의미하며, 유기 발광 표시 장치는 복수의 화소들을 구비하여 화상을 표시한다.

[0026] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 개략도이다.

[0027] 도 1을 참고하면, 제1 실시예의 유기 발광 표시 장치(1000)는 게이트 구동부(110), 게이트 배선들(GW), 발광 제어 구동부(120), 데이터 구동부(130), 데이터 배선들(DW), 표시부(140), 및 화소(150)를 포함한다.

[0028] 게이트 구동부(110)는 도시하지 않은 외부의 제어회로, 예를 들어 타이밍 제어부 등으로부터 공급되는 제어신호에 대응하여 게이트 배선들(GW)에 포함된 제1 스캔 라인(SC2~SCn) 또는 제2 스캔 라인(SC1~SCn-1)으로 스캔 신호를 순차적으로 공급한다. 그러면 화소(150)는 스캔 신호에 의해 선택되어 순차적으로 데이터 신호를 공급받는다.

[0029] 게이트 배선들(GW)은 기판(SUB) 상에 위치하며, 제1 방향을 따라 형성된다. 게이트 배선들(GW)은 제1 스캔 라인(SCn), 제2 스캔 라인(SCn-1), 초기화 전원 라인(Vinit), 및 발광 제어 라인(E1~En)을 포함한다. 제1 스캔 라

인(SCn)과 제2 스캔 라인(SCn-1)은 게이트 구동부(110)와 연결되며, 게이트 구동부(110)로부터 스캔 신호를 공급받는다. 초기화 전원 라인(Vinit)은 게이트 구동부(110)와 연결되고, 게이트 구동부(110)로부터 초기화 전원을 공급받는다. 발광 제어 라인(En)은 발광 제어 구동부(120)와 연결되며, 발광 제어 구동부(120)로부터 발광 제어 신호를 공급받는다.

- [0030] 제1 실시예에서 초기화 전원 라인(Vinit)은 게이트 구동부(110)로부터 초기화 전원을 공급받으나, 초기화 전원 라인(Vinit)은 추가적인 다른 구성과 연결되어 추가적인 다른 구성으로부터 초기화 전원을 공급받을 수도 있다. 게이트 배선들(GW) 각각은 서로 동일한 층에 위치하거나 서로 다른 층에 위치할 수 있다. 또한, 게이트 배선들(GW) 각각은 서로 중첩되거나 중첩되지 않을 수 있다.
- [0031] 발광 제어 구동부(120)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 발광 제어 라인(En)으로 발광 제어 신호를 순차적으로 공급한다. 발광 제어 신호는 화소(150)의 발광 시간을 제어한다. 발광 제어 구동부(120)는 화소(150)의 내부 구조에 따라 생략될 수도 있다.
- [0032] 데이터 구동부(130)는 타이밍 제어부 등의 외부로부터 공급되는 제어신호에 대응하여 데이터 배선들(DW) 중 데이터 라인(DAm)으로 데이터 신호를 공급한다. 데이터 라인(DAm)으로 공급된 데이터 신호는 제1 스캔 라인(SCn)으로 스캔 신호가 공급될 때마다 스캔 신호에 의해 선택된 화소(150)로 공급된다. 그러면 화소(150)는 데이터 신호에 대응하는 전압을 충전하고 이에 대응하는 휘도로 발광한다.
- [0033] 데이터 배선들(DW)은 게이트 배선들(GW) 상에 위치하며, 제1 방향과 교차하는 제2 방향을 따라 형성된다. 데이터 배선들(DW)은 데이터 라인(DA1~DAm) 및 구동 전원 라인(ELVDDL)을 포함한다. 데이터 라인(DA1~DAm)은 데이터 구동부(130)와 연결되며, 데이터 구동부(130)로부터 데이터 신호를 공급받는다. 구동 전원 라인(ELVDDL)은 후술할 외부의 제1 전원(ELVDD)과 연결되고, 제1 전원(ELVDD)으로부터 구동 전원을 공급받는다.
- [0034] 표시부(140)는 게이트 배선들(GW) 및 데이터 배선들(DW)의 교차 영역에 위치하는 복수의 화소(150)를 포함한다. 각각의 화소(150)는 빛을 방출하는 유기 발광 다이오드와, 유기 발광 다이오드에 흐르는 구동 전류를 제어하기 위한 화소 회로를 포함한다. 화소 회로는 게이트 배선들(GW) 및 데이터 배선들(DW) 각각에 연결되며, 유기 발광 다이오드는 화소 회로에 연결된다.
- [0035] 표시부(140)의 유기 발광 다이오드는 화소 회로를 사이에 두고 외부의 제1 전원(ELVDD) 및 제2 전원(ELVSS)과 연결된다. 제1 전원(ELVDD)은 구동 전원을 화소(150)로 공급하고, 제2 전원(ELVSS)은 공통 전원을 화소(150)로 공급한다. 화소(150)는 화소(150)로 공급된 구동 전원 및 공통 전원에 의해 데이터 신호에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드를 흐르는 구동 전류에 대응하는 휘도로 발광한다.
- [0036] 도 2는 도 1에 도시한 화소를 나타낸 회로도이고, 도 3은 도 2에 도시한 화소 회로와 유기 발광 다이오드를 나타낸 단면도이다.
- [0037] 도 2와 도 3을 참고하면, 화소(150)는 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속되는 유기 발광 다이오드(OLED)와, 제1 전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속되어 유기 발광 다이오드(OLED)에 흐르는 구동 전류를 제어하는 화소 회로(152)를 포함한다.
- [0038] 유기 발광 다이오드(OLED)의 애노드 전극(EL1)은 화소 회로(152)를 경유하여 제1 전원(ELVDD)에 연결된 구동 전원 라인(ELVDDL)에 접속되고, 유기 발광 다이오드(OLED)의 캐소드 전극(EL2)은 제2 전원(ELVSS)에 접속된다. 유기 발광 다이오드(OLED)는 제1 전원(ELVDD)으로부터 화소 회로(152)를 거쳐 구동 전원이 공급되고 제2 전원(ELVSS)으로부터 공통 전원이 공급될 때 유기 발광 다이오드(OLED)에 흐르는 구동 전류에 대응하는 휘도로 발광한다.
- [0039] 화소 회로(152)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제1 캐패시터(C1), 및 제2 캐패시터(C2)를 포함한다.
- [0040] 제1 박막 트랜지스터(T1)는 화소(150)의 구동 트랜지스터로 기능한다. 제1 박막 트랜지스터(T1)는 구동 전원 라인(ELVDDL)과 유기 발광 다이오드(OLED) 사이에 연결되며, 화소(150)의 발광 기간 동안 데이터 신호에 대응하는 구동 전원을 제1 전원(ELVDD)으로부터 유기 발광 다이오드(OLED)로 공급한다. 제1 박막 트랜지스터(T1)는 제1 액티브층(A1), 제1 게이트 전극(G1), 제1 소스 전극(S1), 및 제1 드레인 전극(D1)을 포함한다.
- [0041] 제1 액티브층(A1)은 폴리 실리콘으로 형성되며, 불순물로 도핑된 소스 영역 및 드레인 영역과, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제1 액티브층(A1)은 기판(SUB)에 형성된 버퍼층(BU)과 제1

절연층(GI1) 사이에 위치한다. 제1 액티브층(A1)은 제1 게이트 전극(G1)에 의해 턴온(turn on)되면 데이터 배선들(DW) 중 구동 전원 라인(ELVDDL)과 유기 발광 다이오드(OLED)를 연결한다.

- [0042] 제1 게이트 전극(G1)은 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)에 연결되며, 제2 캐패시터 전극(CE2)과 같은 층에 위치한다. 제1 게이트 전극(G1)은 제1 액티브층(A1) 상에 순차적으로 적층된 제1 절연층(GI1)과 제2 절연층(GI2)을 사이에 두고 제1 액티브층(A1)의 채널 영역 상에 위치한다. 즉, 제1 액티브층(A1)과 제1 게이트 전극(G1) 사이에 제1 절연층(GI1)과 제2 절연층(GI2)이 위치한다.
- [0043] 제1 절연층(GI1)은 제1 액티브층(A1) 전체를 덮는 반면, 제2 절연층(GI2)은 제1 게이트 전극(G1)과 같은 폭으로 형성되고, 채널 영역 상에만 위치한다. 따라서, 제1 액티브층(A1)의 채널 영역과 제1 게이트 전극(G1) 사이에만 두꺼운 절연층(제1 절연층(GI1)과 제2 절연층(GI2))이 위치하고, 제1 액티브층(A1)의 소스 영역과 드레인 영역 상에는 얇은 절연층(제1 절연층(GI1))이 위치한다.
- [0044] 제1 게이트 전극(G1)에는 불순물이 도핑되어 있지 않다. 제1 게이트 전극(G1)에 불순물이 도핑되지 않는 이유는 후술할 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제조 방법에서 설명한다.
- [0045] 제1 소스 전극(S1)은 제5 박막 트랜지스터(T5)를 경유하여 구동 전원 라인(ELVDDL)과 연결된다. 제1 드레인 전극(D1)은 제6 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)와 연결된다.
- [0046] 제2 박막 트랜지스터(T2)는 화소(150)의 스위칭 트랜지스터로 기능한다. 제2 박막 트랜지스터(T2)는 데이터 라인(DAm)과 제1 박막 트랜지스터(T1) 사이에 연결되며, 제1 스캔 라인(SCn)으로부터 스캔 신호가 공급될 때 데이터 라인(DAm)으로부터 공급되는 데이터 신호를 화소(150) 내부로 전달한다. 제2 박막 트랜지스터(T2)는 제2 액티브층(A2), 제2 게이트 전극(G2), 제2 소스 전극(S2), 및 제2 드레인 전극(D2)을 포함한다.
- [0047] 제2 액티브층(A2)은 폴리 실리콘으로 형성되며, 불순물이 도핑된 소스 영역 및 드레인 영역과, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제2 액티브층(A2)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치한다. 제2 액티브층(A2)은 제2 게이트 전극(G2)에 의해 턴온되면 데이터 배선들(DW) 중 데이터 라인(DAm)과 제1 박막 트랜지스터(T1)를 연결한다.
- [0048] 제2 게이트 전극(G2)은 제1 스캔 라인(SCn)과 연결되며, 제1 절연층(GI1)을 사이에 두고 제2 액티브층(A2)의 채널 영역 상에 위치한다. 즉, 제2 액티브층(A2)과 제2 게이트 전극(G2) 사이에 제1 절연층(GI1)이 위치한다. 제2 게이트 전극(G2)에는 불순물이 도핑되어 있다. 제2 게이트 전극(G2)에 불순물이 도핑된 이유는 후술할 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제조 방법에서 설명한다.
- [0049] 제2 소스 전극(S2)은 데이터 라인(DAm)과 연결된다. 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결된다.
- [0050] 제3 박막 트랜지스터(T3)는 화소의 보상 트랜지스터로 기능한다. 제3 박막 트랜지스터(T3)는 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 제1 게이트 전극(G1) 사이에 연결되며, 화소(150) 내부로 데이터 신호가 공급될 때 제1 박막 트랜지스터(T1)를 다이오드 형태로 연결하여 제1 박막 트랜지스터(T1)의 문턱 전압을 보상한다. 제3 박막 트랜지스터(T3)는 제3 액티브층(A3), 제3 게이트 전극(G3), 제3 소스 전극(S3), 및 제3 드레인 전극(D3)을 포함한다.
- [0051] 제3 액티브층(A3)은 폴리 실리콘으로 형성되며, 불순물이 도핑된 소스 영역 및 드레인 영역과, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제3 액티브층(A3)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치한다.
- [0052] 제3 게이트 전극(G3)은 제1 스캔 라인(SCn)과 연결되며, 제1 절연층(GI1)을 사이에 두고 제3 액티브층(A3)의 채널 영역 상에 위치한다. 즉, 제3 게이트 전극(G3)은 제2 게이트 전극(G2)과 동일한 층에 위치한다. 제3 게이트 전극(G3)에는 불순물이 도핑되어 있다. 제3 게이트 전극(G3)에 불순물이 도핑된 이유는 후술할 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제조 방법에서 설명한다.
- [0053] 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결된다. 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결된다.
- [0054] 제4 박막 트랜지스터(T4)는 화소(150)의 초기화 트랜지스터로 기능한다. 제4 박막 트랜지스터(T4)는 초기화 전원 라인(Vinit)과 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이에 연결되며, 화소(150)에 데이터 신호가 입력되는 데이터 프로그래밍 기간 동안 데이터 신호가 화소(150) 내부로 원활히 공급될 수 있도록 한다. 즉,

제4 박막 트랜지스터(T4)는 데이터 프로그래밍 기간에 앞선 초기화 기간 동안 제2 스캔 라인(SCn-1)으로부터 스캔 신호가 공급될 때 초기화 전원 라인(Vinit)으로부터 공급되는 초기화 전원을 화소(150) 내부로 전달하여 제1 박막 트랜지스터(T1)를 초기화한다. 제4 박막 트랜지스터(T4)는 제4 액티브층(A4), 제4 게이트 전극(G4), 제4 소스 전극(S4), 및 제4 드레인 전극(D4)을 포함한다.

[0055] 제4 액티브층(A4)은 폴리 실리콘으로 형성되며, 불순물이 도핑된 소스 영역 및 드레인 영역과, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제4 액티브층(A4)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치한다.

[0056] 제4 게이트 전극(G4)은 제2 스캔 라인(SCn-1)과 연결되며, 제1 절연층(GI1)을 사이에 두고 제4 액티브층(A4)의 채널 영역 상에 위치한다. 즉, 제4 게이트 전극(G4)은 제2 게이트 전극(G2)과 동일한 층에 위치한다. 제4 게이트 전극(G4)에는 불순물이 도핑되어 있다. 제4 게이트 전극(G4)에 불순물이 도핑된 이유는 후술할 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제조 방법에서 설명한다.

[0057] 제4 소스 전극(S4)은 초기화 전원 라인(Vinit)과 연결된다. 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결된다.

[0058] 제5 박막 트랜지스터(T5)는 화소(150)의 제1 발광 제어 트랜지스터로 기능한다. 제5 박막 트랜지스터(T5)는 구동 전원 라인(ELVDDL)과 제1 박막 트랜지스터(T1) 사이에 연결되며, 화소(150)의 비발광 기간 동안 제1 전원(ELVDD)과 제1 박막 트랜지스터(T1)의 연결을 차단하고, 화소(150)의 발광 기간 동안 제1 전원(ELVDD)과 제1 박막 트랜지스터(T1)를 연결한다. 제5 박막 트랜지스터(T5)는 제5 액티브층(A5), 제5 게이트 전극(G5), 제5 소스 전극(S5), 및 제5 드레인 전극(D5)을 포함한다.

[0059] 제5 액티브층(A5)은 폴리 실리콘으로 형성되며, 불순물이 도핑된 소스 영역 및 드레인 영역과, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제5 액티브층(A5)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치한다.

[0060] 제5 게이트 전극(G5)은 발광 제어 라인(En)과 연결되며, 제1 절연층(GI1)을 사이에 두고 제5 액티브층(A5)의 채널 영역 상에 위치한다. 즉, 제5 게이트 전극(G5)은 제2 게이트 전극(G2)과 동일한 층에 위치한다. 제5 게이트 전극(G5)에는 불순물이 도핑되어 있다. 제5 게이트 전극(G5)에 불순물이 도핑된 이유는 후술할 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제조 방법에서 설명한다.

[0061] 제5 소스 전극(S5)은 구동 전원 라인(ELVDDL)과 연결된다. 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결된다.

[0062] 제6 박막 트랜지스터(T6)는 화소(150)의 제2 발광 제어 트랜지스터로 기능한다. 제6 박막 트랜지스터(T6)는 제1 박막 트랜지스터(T1)와 유기 발광 다이오드(OLED) 사이에 연결되며, 화소(150)의 비발광 기간 동안 제1 박막 트랜지스터(T1)와 유기 발광 다이오드(OLED)의 연결을 차단하고, 화소(150)의 발광 기간 동안 제1 박막 트랜지스터(T1)와 유기 발광 다이오드(OLED)를 연결한다. 제6 박막 트랜지스터(T6)는 제6 액티브층(A6), 제6 게이트 전극(G6), 제6 소스 전극(S6), 및 제6 드레인 전극(D6)을 포함한다.

[0063] 제6 액티브층(A6)은 폴리 실리콘으로 형성되며, 불순물이 도핑된 소스 영역 및 드레인 영역과, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함한다. 제6 액티브층(A6)은 기판(SUB)에 형성된 버퍼층(BU)과 제1 절연층(GI1) 사이에 위치한다.

[0064] 제6 게이트 전극(G6)은 발광 제어 라인(En)과 연결되며, 제1 절연층(GI1)을 사이에 두고 제6 액티브층(A6)의 채널 영역 상에 위치한다. 즉, 제6 게이트 전극(G6)은 제2 게이트 전극(G2)과 동일한 층에 위치한다. 제6 게이트 전극(G6)에는 불순물이 도핑되어 있다. 제6 게이트 전극(G6)에 불순물이 도핑된 이유는 후술할 제1 실시예에 따른 유기 발광 표시 장치(1000)의 제조 방법에서 설명한다.

[0065] 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결된다. 제6 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드 전극(EL1)과 연결된다.

[0066] 제1 실시예의 유기 발광 표시 장치(1000)에서 제1 소스 전극(S1) 내지 제6 소스 전극(S6) 각각과 제1 드레인 전극(D1) 내지 제6 드레인 전극(D6) 각각은 제1 액티브층(A1) 내지 제6 액티브층(A6)과 다른 층에 형성되며, 제1 절연층(GI1)과 제3 절연층(ILD)을 관통하여 제1 액티브층(A1) 내지 제6 액티브층(A6) 각각에 연결된다. 그러나, 제1 소스 전극(S1) 내지 제6 소스 전극(S6) 각각과 제1 드레인 전극(D1) 내지 제6 드레인 전극(D6) 각각은 제1 액티브층(A1) 내지 제6 액티브층(A6) 각각과 선택적으로 동일한 층에 형성될 수 있다. 즉, 각 박막 트랜지스터

의 소스 전극과 드레인 전극은 선택적으로 불순물이 도핑된 폴리 실리콘으로 형성될 수 있다.

- [0067] 제1 캐패시터(C1)는 데이터 프로그래밍 기간 동안 화소(150) 내부로 공급되는 데이터 신호를 저장하고, 저장된 데이터 신호를 한 프레임동안 유지하는 스토리지 캐패시터로 기능한다. 제1 캐패시터(C1)는 구동 전원 라인(ELVDDL)과 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 사이에 연결된다. 제1 캐패시터(C1)는 제1 캐패시터 전극(CE1)과 제2 캐패시터 전극(CE2)을 포함한다.
- [0068] 제1 캐패시터 전극(CE1)은 초기화 전원 라인(Vinit)과 연결된 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되며, 제2 게이트 전극(G2) 내지 제6 게이트 전극(G6)과 동일 층에 위치한다. 제2 캐패시터 전극(CE2)은 데이터 배선들(DW) 중 구동 전원 라인(ELVDDL)과 연결되고, 제1 게이트 전극(G1)과 동일 층에 위치한다. 즉, 제2 캐패시터 전극(CE2)은 제2 절연층(GI2)을 사이에 두고 제1 캐패시터 전극(CE1) 상에 위치한다. 제2 캐패시터 전극(CE2)은 도 1에서 도시한 바와 같이 이웃하는 화소를 가로질러 제1 방향을 따라 형성될 수 있다.
- [0069] 제2 캐패시터(C2)는 유기 발광 표시 장치(1000)에서 로드로 인한 전압 강하를 보상하는 부스팅 캐패시터로 기능한다. 제2 캐패시터(C2)는 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)과 게이트 배선들(GW) 중 제1 스캔 라인(SCn) 사이에 연결된다. 제2 캐패시터(C2)는 현재 스캔 신호의 전압 레벨이 변경될 때, 특히 현재 스캔 신호의 공급이 중단되는 시점에서 커플링 작용에 의해 제1 게이트 전극(G1)의 전압을 상승시킴으로써 로드로 인한 전압 강하를 보상한다. 제2 캐패시터(C2)는 제3 캐패시터 전극(CE3)과 제4 캐패시터 전극(CE4)을 포함한다.
- [0070] 제3 캐패시터 전극(CE3)은 제1 캐패시터(C1)의 제1 캐패시터 전극(CE1)과 연결되며, 제2 게이트 전극(G2) 내지 제6 게이트 전극(G6)과 동일한 층에 위치한다. 제4 캐패시터 전극(CE4)은 게이트 배선들(GW) 중 제1 스캔 라인(SCn)과 연결되며, 제1 게이트 전극(G1)과 동일한 층에 위치한다. 즉, 제4 캐패시터 전극(CE4)은 제2 절연층(GI2)을 사이에 두고 제3 캐패시터 전극(CE3) 상에 위치한다.
- [0071] 제1 캐패시터(C1)에서 제2 캐패시터 전극(CE2)은 제1 캐패시터 전극(CE1)보다 큰 폭으로 형성될 수 있다. 그리고 제2 절연층(GI2)은 제2 캐패시터 전극(CE2)과 같은 폭으로 형성되어 제1 캐패시터 전극(CE1)의 상면과 측면을 덮을 수 있다. 제2 캐패시터(C2)에서 제4 캐패시터 전극(CE4)은 제3 캐패시터 전극(CE3)보다 큰 폭으로 형성될 수 있다. 그리고 제2 절연층(GI2)은 제4 캐패시터 전극(CE4)과 같은 폭으로 형성되어 제3 캐패시터 전극(CE3)의 상면과 측면을 덮을 수 있다.
- [0072] 유기 발광 다이오드(OLED)는 애노드 전극(EL1)과 유기 발광층(OL) 및 캐소드 전극(EL2)을 포함한다. 애노드 전극(EL1)은 제4 절연층(PL)을 사이에 두고 제6 드레인 전극(D6) 상에 위치하며, 제6 드레인 전극(D6)과 연결된다. 유기 발광층(OL)은 화소 정의층(PDL)에 의해 그 위치가 결정될 수 있다. 캐소드 전극(EL2)은 제2 전원(ELVSS)과 연결되고, 유기 발광층(OL)과 화소 정의층(PDL) 위 전체에 형성될 수 있다.
- [0073] 이하, 전술한 화소(150)의 동작에 대해 설명한다.
- [0074] 우선, 초기화 기간으로 설정되는 제1 기간 동안 제2 스캔 라인(SCn-1)을 통해 로우 레벨의 이전 스캔 신호가 공급된다. 그러면 로우 레벨의 이전 스캔 신호에 대응하여 제4 박막 트랜지스터(T4)가 턴온되고, 초기화 전원 라인(Vinit)으로부터 제4 박막 트랜지스터(T4)를 통해 초기화 전원이 제1 박막 트랜지스터(T1)로 공급되어 제1 박막 트랜지스터(T1)가 초기화된다.
- [0075] 이후, 데이터 프로그래밍 기간으로 설정되는 제2 기간 동안 제1 스캔 라인(SCn)을 통해 로우 레벨의 현재 스캔 신호가 공급된다. 그러면 로우 레벨의 현재 스캔 신호에 대응하여 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)가 턴온된다. 그리고, 제3 박막 트랜지스터(T3)에 의해 제1 박막 트랜지스터(T1)가 턴온되며, 특히 앞선 제1 기간 동안 제1 박막 트랜지스터(T1)가 초기화되었으므로 제1 박막 트랜지스터(T1)는 순방향으로 다이오드 연결된다.
- [0076] 이에 따라, 데이터 라인(DAm)으로부터 공급된 데이터 신호가 제2 박막 트랜지스터(T2)와 제1 박막 트랜지스터(T1) 및 제3 박막 트랜지스터(T3)를 경유하며, 제1 캐패시터(C1)에는 데이터 신호와 제1 박막 트랜지스터(T1)의 문턱 전압의 차에 대응하는 전압이 저장된다.
- [0077] 이후, 현재 스캔 신호의 공급이 중단되면서 현재 스캔 신호의 전압 레벨이 하이 레벨로 변경되면, 제2 캐패시터(C2)의 커플링 작용에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)에 인가되는 전압이 현재 스캔 신호의 전압 변동 폭에 대응하여 변경된다. 이때 제1 캐패시터(C1)와 제2 캐패시터(C2) 간의 차지 셰어링(charge sharing)에 의해 제1 게이트 전극(G1)에 인가되는 전압이 변경되므로, 제1 게이트 전극(G1)에 인가되는 전압 변화량은 현재 스캔 신호의 전압 변동 폭과 더불어 제1 캐패시터(C1)와 제2 캐패시터(C2) 간의 차지 셰어링 값에

비례하여 변동한다.

- [0078] 이후, 발광 기간으로 설정되는 제3 기간 동안 발광 제어 라인(En)으로부터 공급되는 발광 제어 신호가 하이 레벨에서 로우 레벨로 변경된다. 그러면 제3 기간 동안 로우 레벨의 발광 제어 신호에 의해 제5 박막 트랜지스터(T5)와 제6 박막 트랜지스터(T6)가 턴온된다. 이로써 제1 전원(ELVDD)으로부터 구동 전원 라인(ELVDDL)을 통해 제5 박막 트랜지스터(T5), 제1 박막 트랜지스터(T1), 제6 박막 트랜지스터(T6), 및 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)을 향하는 경로로 구동 전류가 흐른다.
- [0079] 이러한 구동 전류는 제1 박막 트랜지스터(T1)에 의해 제어되는 것으로서, 제1 박막 트랜지스터(T1)는 자신의 제1 게이트 전극(G1)에 공급되는 전압에 대응하는 크기의 구동 전류를 발생시킨다. 이때 제2 기간 동안 제1 캐패시터(C1)는 제1 박막 트랜지스터(T1)의 문턱 전압이 반영된 전압이 저장되었으므로 제3 기간 동안 제1 박막 트랜지스터(T1)의 문턱 전압이 보상된다.
- [0080] 도 4와 도 5는 제1 실시예에 따른 유기 발광 표시 장치의 효과를 설명하기 위한 그래프들이다.
- [0081] 도 4에서 가로축은 제1 박막 트랜지스터의 제1 게이트 전극에 인가되는 게이트 전압(V_{gs})을 나타내고, 세로축은 유기 발광 다이오드에 흐르는 구동 전류(I_d)를 나타낸다. A 곡선은 제1 박막 트랜지스터의 제1 액티브층과 제1 게이트 전극 사이에 얇은 절연층이 형성된 경우를 나타내고, B 곡선은 제1 박막 트랜지스터의 제1 액티브층과 제1 게이트 전극 사이에 두꺼운 절연층이 형성된 경우를 나타낸다.
- [0082] 도 4를 참고하면, 제1 박막 트랜지스터에 얇은 절연층이 형성되는 경우, 유기 발광 다이오드에 흐르는 구동 전류(I_d)에 따라 유기 발광 다이오드가 발광하는 빛이 검은색과 흰색으로 표현될 때, 제1 게이트 전극에 인가되는 게이트 전압(V_{gs})은 제1 범위(R1)를 가진다. 즉, 제1 게이트 전극에 인가되는 게이트 전압의 구동 범위는 제1 범위(R1)가 된다.
- [0083] 반면, 제1 박막 트랜지스터에 두꺼운 절연층이 형성되는 경우, 유기 발광 다이오드에 흐르는 구동 전류(I_d)에 따라 유기 발광 다이오드가 발광하는 빛이 검은색과 흰색으로 표현될 때, 제1 게이트 전극에 인가되는 게이트 전압(V_{gs})은 제1 범위(R1)보다 넓은 제2 범위(R2)를 가진다. 즉, 제1 게이트 전극에 인가되는 게이트 전압의 구동 범위는 제1 범위(R1)보다 넓은 제2 범위(R2)가 된다.
- [0084] 도 5에서 가로축은 유기 발광 표시 장치의 인치당 픽셀 수를 나타내고, 세로축은 제1 박막 트랜지스터의 구동 범위를 나타낸다. 도 5를 참고하면, 유기 발광 표시 장치의 인치당 픽셀수(ppi)가 증가하여 고해상도의 유기 발광 표시 장치를 구현할수록 유기 발광 다이오드로부터 발광되는 빛이 풍부한 계조를 가지도록 높은 구동 범위가 요구된다.
- [0085] 전술한 제1 실시예의 유기 발광 표시 장치(1000)에서 제1 박막 트랜지스터(T1)는 두꺼운 절연층(제1 절연층(GI1)과 제2 절연층(GI2))으로 인해 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓힐 수 있다. 따라서, 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.
- [0086] 또한, 제1 박막 트랜지스터(T1)의 소스 영역과 드레인 영역은 얇은 절연층(제1 절연층(GI1))으로 덮여 있으므로 불순물 도핑을 원활하게 할 수 있다. 따라서, 도핑 가속 전압을 높일 필요가 없으므로 제조 공정이 용이해진다.
- [0087] 도 6 내지 도 9는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 부분 단면도이다.
- [0088] 도 6을 참고하면, 기판(SUB) 상에 버퍼층(BU)과 폴리 실리콘층을 형성하고, 폴리 실리콘층을 패터닝하여 제1 액티브층(A1) 내지 제6 액티브층(A6)을 형성한다. 폴리 실리콘층은 비정질 실리콘층을 레이저, 열, 또는 금속 촉매를 이용해 결정화하여 형성할 수 있다. 한편, 비정질 실리콘층을 패터닝한 후 레이저, 열, 또는 금속 촉매를 이용해 결정화하여 제1 액티브층(A1) 내지 제6 액티브층(A6)을 형성할 수 있다.
- [0089] 제1 액티브층(A1) 내지 제6 액티브층(A6) 상에 제1 절연층(GI1)을 형성하고, 제1 절연층(GI1) 상에 금속층을 형성한 후 금속층을 패터닝하여 제2 게이트 전극(G2) 내지 제6 게이트 전극(G6), 제1 캐패시터 전극(CE1), 및 제3 캐패시터 전극(CE3)을 형성한다. 그리고 제2 게이트 전극(G2) 내지 제6 게이트 전극(G6), 제1 캐패시터 전극(CE1), 및 제3 캐패시터 전극(CE3)을 덮도록 제1 절연층(GI1) 상에 제2 절연층(GI2)을 형성한다.
- [0090] 제2 절연층(GI2) 상에 금속층을 형성하고, 포토레지스트층(PR)을 식각 마스크로 이용하여 금속층을 패터닝함으

로써 제1 게이트 전극(G1)과 제2 캐패시터 전극(CE2) 및 제4 캐패시터 전극(CE4)을 형성한다. 포토레지스트층(PR)은 제1 게이트 전극(G1)과 제2 캐패시터 전극(CE2) 및 제4 캐패시터 전극(CE4) 상에 위치한다. 제2 캐패시터 전극(CE2)은 제1 캐패시터 전극(CE1)보다 큰 폭으로 형성되고, 제4 캐패시터 전극(CE4)은 제3 캐패시터 전극(CE3)보다 큰 폭으로 형성될 수 있다.

[0091] 도 7을 참고하면, 포토레지스트층(PR)을 식각 마스크로 이용하여 제2 절연층(GI2)을 식각한다. 그러면 제2 절연층(GI2)은 제1 게이트 전극(G1)과 제2 캐패시터 전극(CE2) 및 제4 캐패시터 전극(CE4) 하부에만 선택적으로 잔류한다. 제2 절연층(GI2)은 제1 게이트 전극(G1)과 같은 폭으로 형성되고, 제1 캐패시터 전극(CE1) 및 제3 캐패시터 전극(CE3)의 상면과 측면을 덮을 수 있다.

[0092] 도 8을 참고하면, 포토레지스트층(PR)과 제2 게이트 전극(G2) 내지 제6 게이트 전극(G6) 각각을 마스크로 이용하여 제1 액티브층(A1) 내지 제6 액티브층(A6) 각각의 소스 영역과 드레인 영역에 불순물을 도핑한다. 이때, 제1 게이트 전극(G1)은 포토레지스트층(PR)으로 덮여 불순물이 도핑되지 않는 반면, 제2 게이트 전극(G2) 내지 제6 게이트 전극(G6)에는 불순물이 도핑된다. 도핑에 사용되는 불순물은 공지된 다양한 물질들 중 선택될 수 있다. 도핑 완료 후 포토레지스트층(PR)은 제거된다.

[0093] 도 9를 참고하면, 제1 게이트 전극(G1) 내지 제6 게이트 전극(G6), 제2 캐패시터 전극(CE2), 및 제4 캐패시터 전극(CE4)을 덮도록 기판(SUB) 상에 제3 절연층(ILD)을 형성한다. 그리고 제3 절연층(ILD)에 비아 홀을 형성하고, 제1 액티브층(A1) 내지 제6 액티브층(A6)의 소스 영역 및 드레인 영역과 각각 연결되는 제1 소스 전극(S1) 내지 제6 소스 전극(S6) 및 제1 드레인 전극(D1) 내지 제6 드레인 전극(D6)을 형성한다. 이에 따라 제1 박막 트랜지스터(T1) 내지 제6 박막 트랜지스터(T6)와 제1 캐패시터(C1) 및 제2 캐패시터(C2)가 완성된다.

[0094] 이후 제4 절연층(PL) 및 화소 정의층(PDL)과 함께 유기 발광 다이오드(OLED)를 형성하여 전술한 제1 실시예에 따른 유기 발광 표시 장치(1000)를 제조한다. 제1 실시예의 유기 발광 표시 장치(1000)에서 제1 박막 트랜지스터(T1)는 두꺼운 절연층(제1 절연층(GI1)과 제2 절연층(GI2))으로 인해 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위를 넓힐 수 있다. 또한, 제1 박막 트랜지스터(T1)의 소스 영역과 드레인 영역은 얇은 절연층(제1 절연층(GI1))으로 덮여 있으므로 불순물 도핑을 원활하게 할 수 있다.

[0095] 이때, 제2 절연층(GI2)의 두께는 불순물 도핑 공정에 영향을 미치지 않으므로 제2 절연층(GI2)의 두께를 불순물 도핑 공정과 상관없이 일정 수준 이상 증가시킬 수 있다. 따라서, 제1 박막 트랜지스터(T1)의 제1 액티브층(A1)과 제1 게이트 전극(G1) 사이에 형성되는 절연층(GI1, GI2)의 전체 두께를 도핑 공정과 상관없이 일정 수준 이상 증가시킬 수 있다.

[0096] 또한, 스위칭 박막 트랜지스터들인 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6)에는 얇은 절연층(제1 절연층(GI1))이 위치하므로, 제2 박막 트랜지스터(T2) 내지 제6 박막 트랜지스터(T6) 각각의 전하 이동도가 커지는 동시에 문턱 전압이 작아져 빠른 속도로 턴온 및 턴오프를 수행할 수 있다. 이로 인해 유기 발광 표시 장치(1000) 내부를 흐르는 전류의 로드가 최소화되어 이미지의 표시 품질을 높일 수 있다.

[0097] 또한, 제1 캐패시터 전극(CE1)과 제3 캐패시터 전극(CE3)은 제2 게이트 전극(G2)과 동일한 금속층으로 형성되고, 제2 캐패시터 전극(CE2)과 제4 캐패시터 전극(CE4)은 제1 게이트 전극(G1)과 동일한 금속층으로 형성될 수 있다. 이로 인해, 제1 캐패시터(C1)와 제2 캐패시터(C2)는 표면 조도가 일정하지 않은 폴리 실리콘을 포함할 필요가 없으므로 저장 용량이 원치 않게 변형되는 일이 발생하지 않는다.

[0098] 즉, 제1 캐패시터(C1)와 제2 캐패시터(C2)는 최초 설계된 정확한 저장 용량만을 저장할 수 있으며, 이로 인해 제1 박막 트랜지스터(T1)에 의해 제어되는 구동 전류를 정확하게 제어하여 표시 품질을 높일 수 있다.

[0099] 또한, 제1 캐패시터(C1)와 제2 캐패시터(C2)는 단일의 제2 절연층(GI2)만을 절연층으로 포함하기 때문에 저장 용량을 증대시킬 수 있다. 따라서, 제1 캐패시터(C1)와 제2 캐패시터(C2)의 면적을 줄일 수 있으므로 동일한 면적에 고해상도의 유기 발광 표시 장치(1000)를 형성할 수 있다.

[0100] 도 10은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 화소 회로와 유기 발광 다이오드를 나타낸 단면도이다.

[0101] 이하, 제1 실시예와 구별되는 특징적인 부분에 대해서만 설명하며, 설명이 생략된 부분은 제1 실시예와 동일하다. 설명의 편의를 위하여 제1 실시예와 동일한 구성 요소에 대해서는 동일한 도면부호를 사용한다. 도 10에서 부호 1002는 제2 실시예에 따른 유기 발광 표시 장치를 나타낸다.

[0102] 도 10을 참고하면, 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 절연층(GI1)과 제2 절연층(GI2)을 사

이에 두고 제2 액티브층(A2) 상에 위치한다. 또한, 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)도 제1 절연층(GI1)과 제2 절연층(GI2)을 사이에 두고 제3 액티브층(A3) 상에 위치한다. 제2 게이트 전극(G2)과 제3 게이트 전극(G3)에는 불순물이 도핑되어 있지 않다.

[0103] 제2 게이트 전극(G2)과 제3 게이트 전극(G3)은 제1 게이트 전극(G1)과 동일한 층에 위치한다. 제2 박막 트랜지스터(T2)와 제3 박막 트랜지스터(T3)에서 제2 절연층(GI2)은 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 동일한 폭으로 형성된다. 제2 액티브층(A2)과 제2 게이트 전극(G2) 사이 및 제3 액티브층(A3)과 제3 게이트 전극(G3) 사이에 두꺼운 절연층(제1 절연층(GI1)과 제2 절연층(GI2))이 위치함에 따라, 이 절연층에 원치 않게 형성되는 저장 용량이 작아지므로 이미지에 발생하는 얼룩 수준을 감소시킬 수 있다.

[0104] 도 11은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치의 화소 회로와 유기 발광 다이오드를 나타낸 단면도이다.

[0105] 도 11을 참고하면, 제3 실시예의 유기 발광 표시 장치(1004)에서 제2 캐패시터 전극(CE2)은 제1 캐패시터 전극(CE1)보다 작은 폭을 가지며, 제4 캐패시터 전극(CE4)은 제3 캐패시터 전극(CE3)보다 작은 폭을 가진다. 제1 캐패시터(C1) 및 제2 캐패시터(C2)에서 제2 절연층(GI2)은 제2 캐패시터 전극(CE2) 및 제4 캐패시터 전극(CE4)과 같은 폭을 가진다. 이에 따라, 제1 캐패시터 전극(CE1)의 일부와 제3 캐패시터 전극(CE3)의 일부는 제2 절연층(GI2)으로 덮이지 않는다.

[0106] 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 제외한 나머지 부분에 대해서는 전술한 제1 실시예 또는 제2 실시예의 유기 발광 표시 장치와 동일한 구성으로 이루어진다. 도 11에서는 편의상 제1 캐패시터(C1) 및 제2 캐패시터(C2)를 제외한 나머지 구성을 제1 실시예의 유기 발광 표시 장치와 동일하게 도시하였다.

[0107] 상기에서는 본 발명의 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구 범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

부호의 설명

[0108] 1000, 1002, 1004: 유기 발광 표시 장치

110: 게이트 구동부

120: 발광 제어 구동부

130: 데이터 구동부

140: 표시부

150: 화소

152: 화소 회로

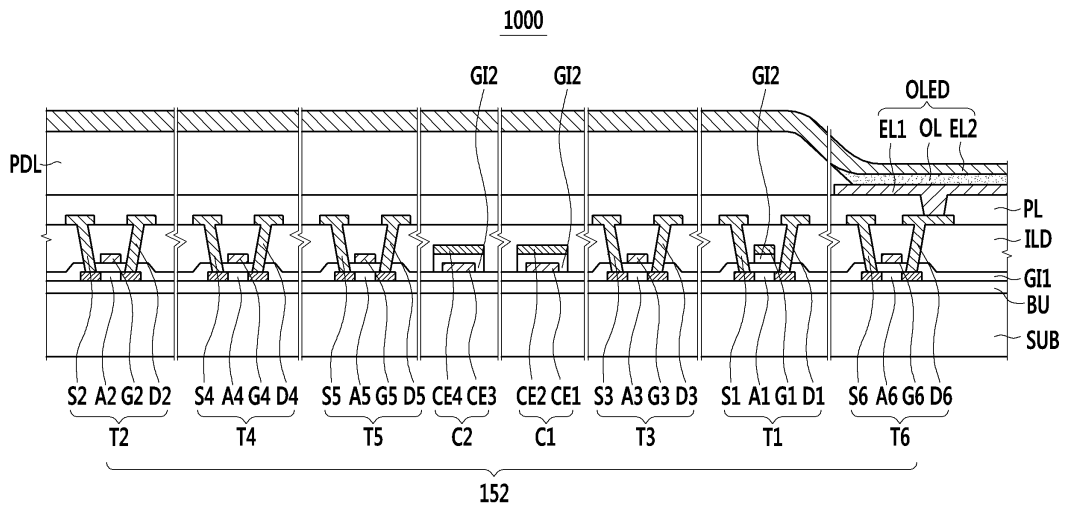
OLED: 유기 발광 다이오드

EL1: 애노드 전극

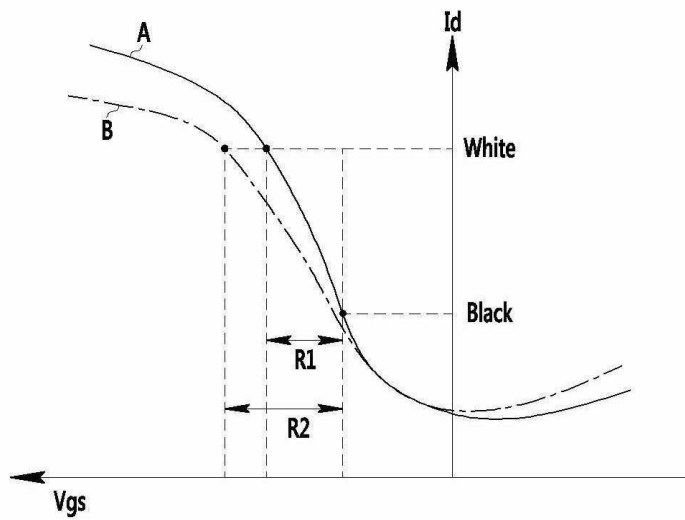
EL2: 캐소드 전극

T1: 제1 박막 트랜지스터

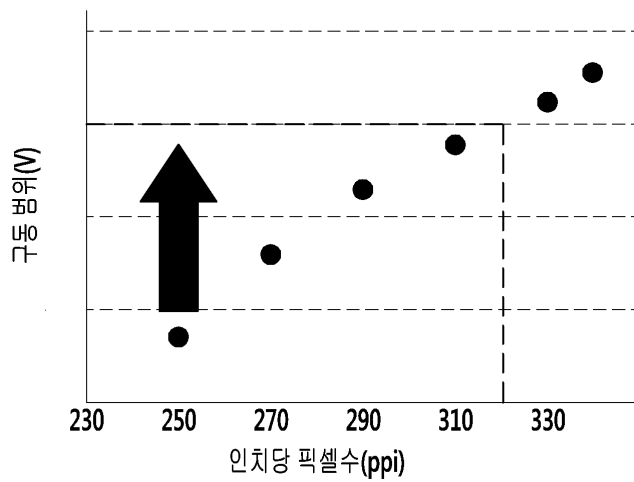
도면3



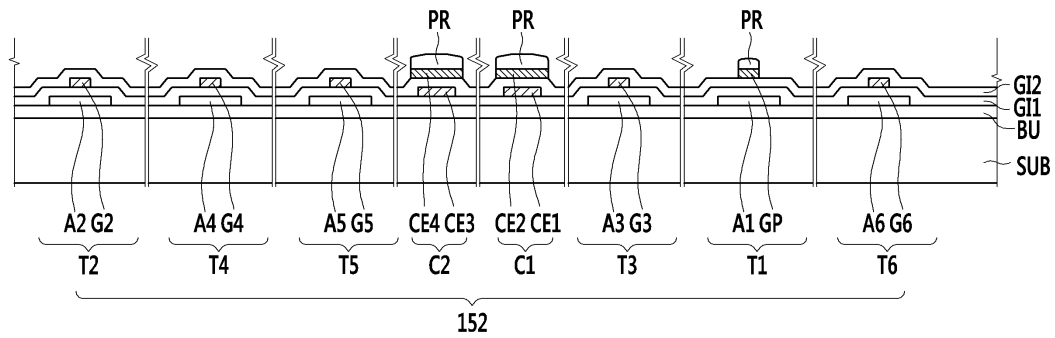
도면4



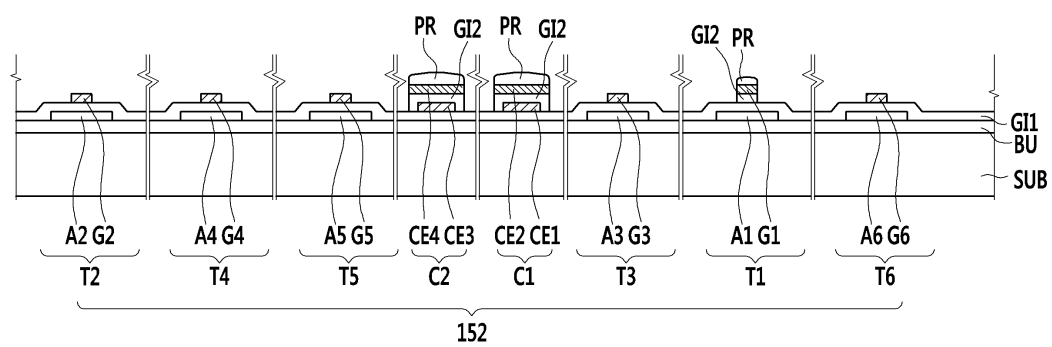
도면5



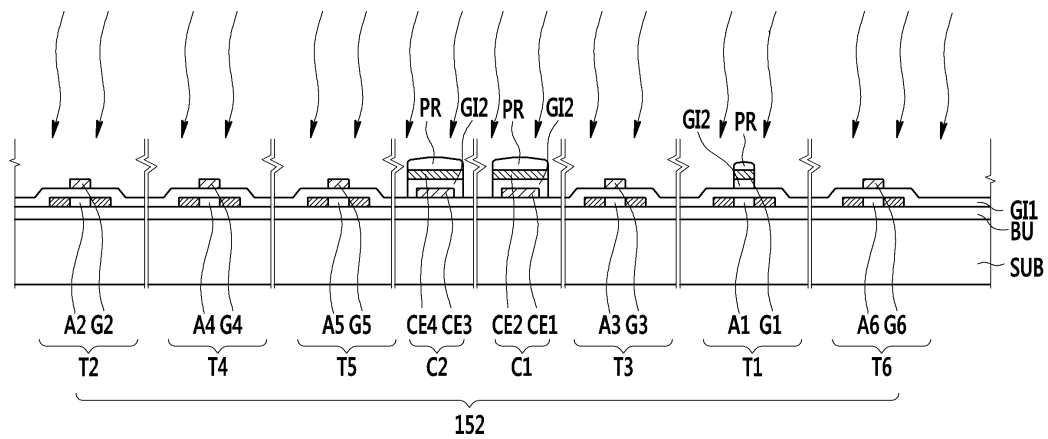
도면6



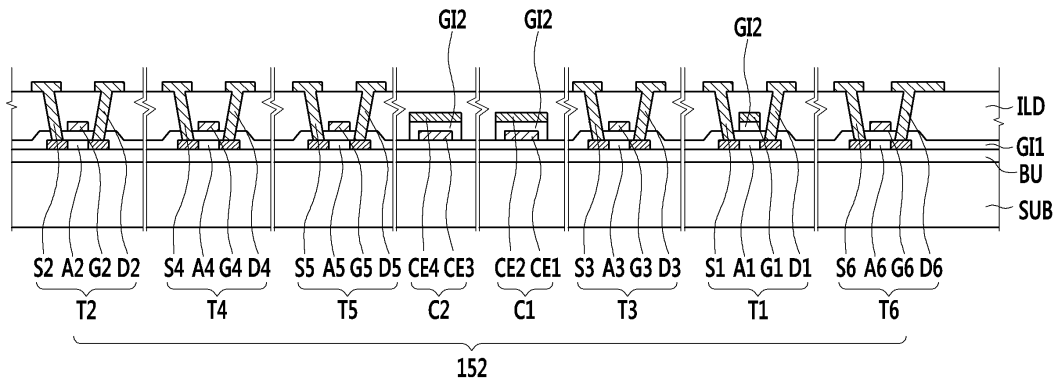
도면7



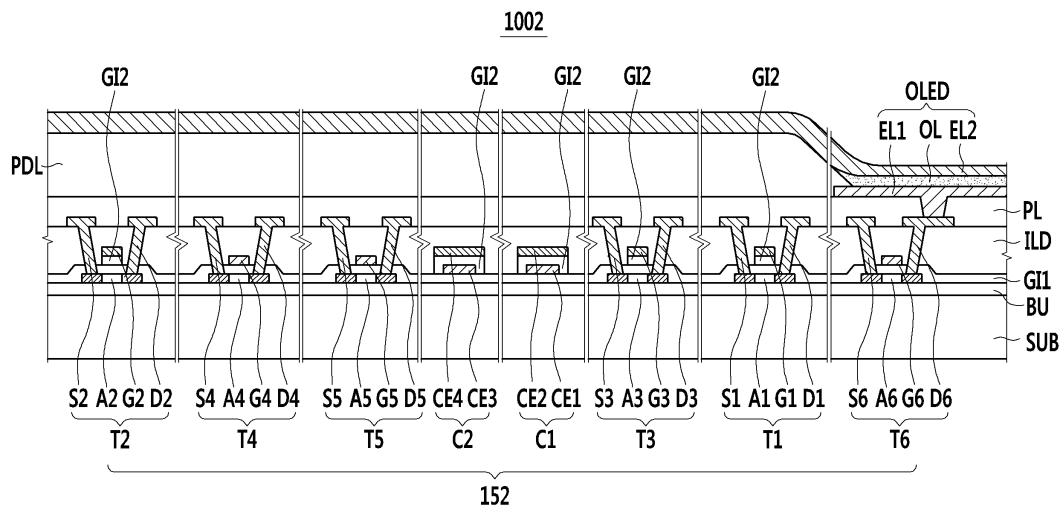
도면8



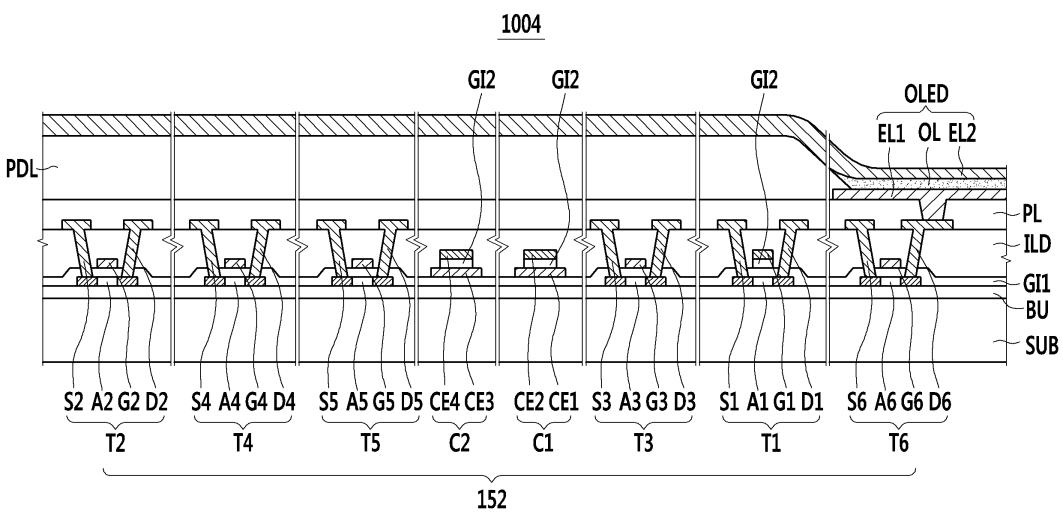
도면9



도면10



도면11



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020140004386A	公开(公告)日	2014-01-13
申请号	KR1020120071877	申请日	2012-07-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM OK BYOUNG 김옥병		
发明人	김옥병		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L51/50 H01L27/3262 H01L27/3265 H01L27/1237 H01L27/1255		
其他公开文献	KR101935465B1		
外部链接	Espacenet		

摘要(译)

有机发光显示器包括：像素电路，包括栅极布线；第一薄膜晶体管，位于栅极布线上并连接到与栅极布线，栅极布线和数据布线交叉的每条数据布线，并连接有机发光二极管。第一薄膜晶体管包括连接数据线和有机发光二极管之间的第一有源层，并包括沟道区和掺杂杂质的源区和漏区，顺序堆叠的第一绝缘层和第二绝缘层并且第一栅电极位于第一有源层上。第二绝缘层位于沟道区上。

