



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0001708
(43) 공개일자 2014년01월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0070284

(22) 출원일자 2012년06월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김형수

경기도 용인시 기흥구 삼성2로 95 삼성전자(주)기
홍캠퍼스 LCD연구동 5층 제품개발3팀

(74) 대리인

박영우

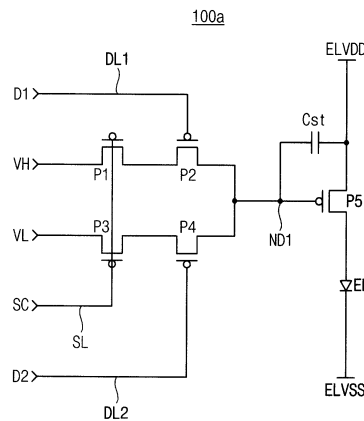
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 화소 회로, 유기 발광 표시 장치 및 화소 회로의 구동 방법

(57) 요약

화소 회로는 제1 내지 제5 PMOS 트랜지스터들, 저장 커패시터 및 유기 발광 다이오드를 포함한다. 제1 PMOS 트랜지스터는 제1 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 제2 PMOS 트랜지스터는 제1 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비한다. 제3 PMOS 트랜지스터는 제2 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 제4 PMOS 트랜지스터는 제3 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비한다. 제5 PMOS 트랜지스터는 제1 전원 전압과 연결되는 제1 전극, 제1 노드와 연결되는 게이트 전극, 및 제2 전극을 구비한다. 저장 커패시터는 제1 노드와 연결되는 제1 전극, 및 제5 PMOS 트랜지스터의 제1 전극과 연결되는 제2 전극을 구비한다. 유기 발광 다이오드는 제5 PMOS 트랜지스터의 제2 전극과 연결되는 애노드 전극, 및 제2 전원 전압과 연결되는 캐소드 전극을 구비한다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비하는 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비하는 제2 PMOS 트랜지스터;

제2 전압과 연결되는 제1 전극, 상기 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비하는 제3 PMOS 트랜지스터;

상기 제3 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인과 연결되는 게이트 전극, 및 상기 제1 노드와 연결되는 제2 전극을 구비하는 제4 PMOS 트랜지스터;

제1 전원 전압과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극, 및 제2 전극을 구비하는 제5 PMOS 트랜지스터;

상기 제1 노드와 연결되는 제1 전극, 및 상기 제5 PMOS 트랜지스터의 제1 전극과 연결되는 제2 전극을 구비하는 저장 커패시터; 및

상기 제5 PMOS 트랜지스터의 제2 전극과 연결되는 애노드 전극, 및 제2 전원 전압과 연결되는 캐소드 전극을 구비하는 유기 발광 다이오드를 포함하는 화소 회로.

청구항 2

제 1 항에 있어서,

상기 화소 회로는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함되며,

상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지하고, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경하는 것을 특징으로 하는 화소 회로.

청구항 3

제 2 항에 있어서,

상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 PMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 PMOS 트랜지스터들이 턴오프되는 것을 특징으로 하는 화소 회로.

청구항 4

제 3 항에 있어서,

상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 신호는 로우 전압 레벨을 가지며, 상기 제1 및 제2 데이터 신호들은 각각 하이 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 5

제 2 항에 있어서,

상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 PMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 PMOS 트랜지

스터들 중 하나가 선택적으로 턴온되는 것을 특징으로 하는 화소 회로.

청구항 6

제 5 항에 있어서,

상기 이전 데이터가 논리 로우 레벨에 상응하고 상기 현재 데이터가 논리 하이 레벨에 상응하는 경우에, 상기 스캔 신호는 로우 전압 레벨을 가지고, 상기 제2 PMOS 트랜지스터가 턴온되도록 상기 제1 데이터 신호는 상기 로우 전압 레벨을 가지며, 상기 제4 PMOS 트랜지스터가 턴오프되도록 상기 제2 데이터 신호는 하이 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 7

제 5 항에 있어서,

상기 이전 데이터가 논리 하이 레벨에 상응하고 상기 현재 데이터가 논리 로우 레벨에 상응하는 경우에, 상기 스캔 신호는 로우 전압 레벨을 가지고, 상기 제2 PMOS 트랜지스터가 턴오프되도록 상기 제1 데이터 신호는 하이 전압 레벨을 가지며, 상기 제4 PMOS 트랜지스터가 턴온되도록 상기 제2 데이터 신호는 상기 로우 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 8

제 1 항에 있어서,

상기 제1 전압은 상기 제1 전원 전압과 동일한 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 9

제 1 항에 있어서,

상기 제2 전압은 상기 제2 전원 전압과 동일한 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 10

제1 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비하는 제1 NMOS 트랜지스터;

상기 제1 NMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비하는 제2 NMOS 트랜지스터;

제2 전압과 연결되는 제1 전극, 상기 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비하는 제3 NMOS 트랜지스터;

상기 제3 NMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인과 연결되는 게이트 전극, 및 상기 제1 노드와 연결되는 제2 전극을 구비하는 제4 NMOS 트랜지스터;

제1 전원 전압과 연결되는 애노드 전극, 및 캐소드 전극을 구비하는 유기 발광 다이오드;

상기 유기 발광 다이오드의 캐소드 전극과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극, 및 제2 전원 전압과 연결되는 제2 전극을 구비하는 제5 NMOS 트랜지스터; 및

상기 제1 노드와 연결되는 제1 전극, 및 상기 제5 NMOS 트랜지스터의 제2 전극과 연결되는 제2 전극을 구비하는 저장 커패시터를 포함하는 화소 회로.

청구항 11

제 10 항에 있어서,

상기 화소 회로는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함되며,

상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지하고, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기

현재 데이터로 변경하는 것을 특징으로 하는 화소 회로.

청구항 12

제 11 항에 있어서,

상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 NMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 NMOS 트랜지스터들이 턴오프되는 것을 특징으로 하는 화소 회로.

청구항 13

제 12 항에 있어서,

상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 신호는 하이 전압 레벨을 가지며, 상기 제1 및 제2 데이터 신호들은 각각 로우 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 14

제 11 항에 있어서,

상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 NMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 NMOS 트랜지스터들 중 하나가 선택적으로 턴온되는 것을 특징으로 하는 화소 회로.

청구항 15

제 14 항에 있어서,

상기 이전 데이터가 논리 로우 레벨에 상응하고 상기 현재 데이터가 논리 하이 레벨에 상응하는 경우에, 상기 스캔 신호는 하이 전압 레벨을 가지고, 상기 제2 NMOS 트랜지스터가 턴온되도록 상기 제1 데이터 신호는 상기 하이 전압 레벨을 가지며, 상기 제4 NMOS 트랜지스터가 턴오프되도록 상기 제2 데이터 신호는 로우 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 16

제 14 항에 있어서,

상기 이전 데이터가 논리 하이 레벨에 상응하고 상기 현재 데이터가 논리 로우 레벨에 상응하는 경우에, 상기 스캔 신호는 하이 전압 레벨을 가지고, 상기 제2 NMOS 트랜지스터가 턴오프되도록 상기 제1 데이터 신호는 로우 전압 레벨을 가지며, 상기 제4 NMOS 트랜지스터가 턴온되도록 상기 제2 데이터 신호는 상기 하이 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 17

제 10 항에 있어서,

상기 제1 전압은 상기 제1 전원 전압과 동일한 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 18

제 10 항에 있어서,

상기 제2 전압은 상기 제2 전원 전압과 동일한 전압 레벨을 가지는 것을 특징으로 하는 화소 회로.

청구항 19

화소부, 스캔 구동부, 데이터 구동부, 타이밍 제어부 및 전원부를 포함하는 유기 발광 표시 장치에 있어서, 상기 화소부에 구비되는 복수의 화소 회로들 각각은,

제1 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비하는 제1 PMOS 트랜지스터;

상기 제1 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비하는 제2 PMOS 트랜지스터;

제2 전압과 연결되는 제1 전극, 상기 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비하는 제3 PMOS 트랜지스터;

상기 제3 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인과 연결되는 게이트 전극, 및 상기 제1 노드와 연결되는 제2 전극을 구비하는 제4 PMOS 트랜지스터;

제1 전원 전압과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극, 및 제2 전극을 구비하는 제5 PMOS 트랜지스터;

상기 제1 노드와 연결되는 제1 전극, 및 상기 제5 PMOS 트랜지스터의 제1 전극과 연결되는 제2 전극을 구비하는 저장 커패시터; 및

상기 제5 PMOS 트랜지스터의 제2 전극과 연결되는 애노드 전극, 및 제2 전원 전압과 연결되는 캐소드 전극을 구비하는 유기 발광 다이오드를 포함하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서,

상기 유기 발광 표시 장치는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하며,

상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지하고, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 21

이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함되고, 저장 커패시터 및 유기 발광 다이오드를 구비하는 화소 회로의 구동 방법에 있어서,

상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는지 여부를 판단하는 단계;

상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 스캔 라인을 통해 수신되는 스캔 신호, 제 1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지하는 단계;

상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 상기 스캔 신호, 제1 전압, 상기 제1 데이터 신호, 제2 전압 및 상기 제2 데이터 신호에 응답하여 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경하는 단계; 및

상기 저장 커패시터에 저장된 데이터에 기초하여 상기 유기 발광 다이오드를 발광시키는 단계를 포함하는 화소 회로의 구동 방법.

청구항 22

제 21 항에 있어서,

상기 저장 커패시터에 저장된 데이터가 미리 정해진 시간을 초과하여 유지되는 경우에, 상기 저장 커패시터에 대한 리프레쉬 동작을 수행하는 단계를 더 포함하는 것을 특징으로 하는 화소 회로의 구동 방법.

명세서

기술분야

[0001] 본 발명은 디스플레이 장치에 관한 것이다. 보다 상세하게는, 본 발명은 유기 발광 표시 장치의 화소 회로, 이러한 화소 회로를 포함하는 유기 발광 표시 장치 및 이러한 화소 회로의 구동 방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 개발되고 있다. 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 전계 방출 표시 장치(Field Emission Display; FED), 플라즈마 표시패널(Plasma Display Panel; PDP) 및 유기 발광 표시 장치(Organic Light Emitting Display; OLED) 등이 있다. 평판 표시 장치 중 OLED는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 통상적으로, OLED는 유기 발광 소자를 구동하는 방식에 따라 패시브 매트릭스형 유기 발광 표시 장치(PMOLED)와 액티브 매트릭스형 유기 발광 표시 장치(AMOLED)로 분류된다. 상기 AMOLED는 복수개의 스캔 라인, 복수개의 데이터 라인 및 복수개의 전원 라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수개의 화소 회로를 구비한다. 또한 상기 AMOLED는 전압 또는 전류 데이터의 크기를 조절하여 계조를 표현하는 아날로그 구동 방식, 또는 발광 시간을 조절하여 계조를 표현하는 디지털 구동 방식을 이용하여 구동된다. 상기 디지털 구동 방식을 이용하여 구동되는 AMOLED는 발광 동작 시에 소비 전력이 감소될 수 있으나, 해상도가 높아짐에 따라 데이터 라인에 상대적으로 고속으로 데이터를 기입해야 하므로, 데이터 라인의 충/방전 소비 전력이 증가하는 문제가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 디지털 구동 방식을 이용하여 구동되고, 데이터 라인의 충/방전 소비 전력을 감소시킬 수 있는 화소 회로를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 디지털 구동 방식을 이용하여 구동되고, 데이터 라인의 충/방전 소비 전력을 감소시킬 수 있는 화소 회로를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0006] 본 발명의 또 다른 목적은 디지털 구동 방식을 이용하여 구동되고, 데이터 라인의 충/방전 소비 전력을 감소시킬 수 있는 화소 회로의 구동 방법을 제공하는 것이다.

[0007] 그러나, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 화소 회로는 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제3 PMOS 트랜지스터, 제4 PMOS 트랜지스터, 제5 PMOS 트랜지스터, 저장 커패시터 및 유기 발광 다이오드를 포함한다. 상기 제1 PMOS 트랜지스터는 제1 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 제2 PMOS 트랜지스터는 상기 제1 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비한다. 상기 제3 PMOS 트랜지스터는 제2 전압과 연결되는 제1 전극, 상기 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 제4 PMOS 트랜지스터는 상기 제3 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인과 연결되는 게이트 전극, 및 상기 제1 노드와 연결되는 제2 전극을 구비한다. 상기 제5 PMOS 트랜지스터는 제1 전원 전압과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 저장 커패시터는 상기 제1 노드와 연결되는 제1 전극, 및 상기 제5 PMOS 트랜지스터의 제1 전극과 연결되는 제2 전극을 구비한다. 상기 유기 발광 다이오드는 상기 제5 PMOS 트랜지스터의 제2 전극과 연결되는 애노드 전극, 및 제2 전원 전압과 연결되는 캐소드 전극을 구비한다.

[0009] 상기 화소 회로는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함될 수 있다. 상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지하고, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를

상기 현재 데이터로 변경할 수 있다.

- [0010] 상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 PMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 PMOS 트랜지스터들이 턴오프될 수 있다.
- [0011] 상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 신호는 로우 전압 레벨을 가지며, 상기 제1 및 제2 데이터 신호들은 각각 하이 전압 레벨을 가질 수 있다.
- [0012] 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 PMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 PMOS 트랜지스터들 중 하나가 선택적으로 턴온될 수 있다.
- [0013] 상기 이전 데이터가 논리 로우 레벨에 상응하고 상기 현재 데이터가 논리 하이 레벨에 상응하는 경우에, 상기 스캔 신호는 로우 전압 레벨을 가지고, 상기 제2 PMOS 트랜지스터가 턴온되도록 상기 제1 데이터 신호는 상기 로우 전압 레벨을 가지며, 상기 제4 PMOS 트랜지스터가 턴오프되도록 상기 제2 데이터 신호는 하이 전압 레벨을 가질 수 있다.
- [0014] 상기 이전 데이터가 논리 하이 레벨에 상응하고 상기 현재 데이터가 논리 로우 레벨에 상응하는 경우에, 상기 스캔 신호는 로우 전압 레벨을 가지고, 상기 제2 PMOS 트랜지스터가 턴오프되도록 상기 제1 데이터 신호는 하이 전압 레벨을 가지며, 상기 제4 PMOS 트랜지스터가 턴온되도록 상기 제2 데이터 신호는 상기 로우 전압 레벨을 가질 수 있다.
- [0015] 일 실시예에서, 상기 제1 전압은 상기 제1 전원 전압과 동일한 전압 레벨을 가질 수 있다.
- [0016] 일 실시예에서, 상기 제2 전압은 상기 제2 전원 전압과 동일한 전압 레벨을 가질 수 있다.
- [0017] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 화소 회로는 제1 NMOS 트랜지스터, 제2 NMOS 트랜지스터, 제3 NMOS 트랜지스터, 제4 NMOS 트랜지스터, 유기 발광 다이오드, 제5 NMOS 트랜지스터 및 저장 커패시터를 포함한다. 상기 제1 NMOS 트랜지스터는 제1 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 제2 NMOS 트랜지스터는 상기 제1 NMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비한다. 상기 제3 NMOS 트랜지스터는 제2 전압과 연결되는 제1 전극, 상기 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 제4 NMOS 트랜지스터는 상기 제3 NMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인과 연결되는 게이트 전극, 및 상기 제1 노드와 연결되는 제2 전극을 구비한다. 상기 유기 발광 다이오드는 제1 전원 전압과 연결되는 애노드 전극, 및 캐소드 전극을 구비한다. 상기 제5 NMOS 트랜지스터는 상기 유기 발광 다이오드의 캐소드 전극과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극, 및 제2 전원 전압과 연결되는 제2 전극을 구비한다. 상기 저장 커패시터는 상기 제1 노드와 연결되는 제1 전극, 및 상기 제5 NMOS 트랜지스터의 제2 전극과 연결되는 제2 전극을 구비한다.
- [0018] 상기 화소 회로는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함될 수 있다. 상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지하고, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경할 수 있다.
- [0019] 상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 NMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 NMOS 트랜지스터들이 턴오프될 수 있다.
- [0020] 상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 상기 스캔 신호는 하이 전압 레벨을 가지며, 상기 제1 및 제2 데이터 신호들은 각각 로우 전압 레벨을 가질 수 있다.
- [0021] 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 및 제3 NMOS 트랜지스터들이 턴온되고, 상기 제1 데이터 라인을 통해 수신되는 제1 데

이터 신호 및 상기 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 제2 및 제4 NMOS 트랜지스터들 중 하나가 선택적으로 턴온될 수 있다.

[0022] 상기 이전 데이터가 논리 로우 레벨에 상응하고 상기 현재 데이터가 논리 하이 레벨에 상응하는 경우에, 상기 스캔 신호는 하이 전압 레벨을 가지고, 상기 제2 NMOS 트랜지스터가 턴온되도록 상기 제1 데이터 신호는 상기 하이 전압 레벨을 가지며, 상기 제4 NMOS 트랜지스터가 턴오프되도록 상기 제2 데이터 신호는 로우 전압 레벨을 가질 수 있다.

[0023] 상기 이전 데이터가 논리 하이 레벨에 상응하고 상기 현재 데이터가 논리 로우 레벨에 상응하는 경우에, 상기 스캔 신호는 하이 전압 레벨을 가지고, 상기 제2 NMOS 트랜지스터가 턴오프되도록 상기 제1 데이터 신호는 로우 전압 레벨을 가지며, 상기 제4 NMOS 트랜지스터가 턴온되도록 상기 제2 데이터 신호는 상기 하이 전압 레벨을 가질 수 있다.

[0024] 일 실시예에서, 상기 제1 전압은 상기 제1 전원 전압과 동일한 전압 레벨을 가질 수 있다.

[0025] 일 실시예에서, 상기 제2 전압은 상기 제2 전원 전압과 동일한 전압 레벨을 가질 수 있다.

[0026] 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 화소부, 스캔 구동부, 데이터 구동부, 타이밍 제어부 및 전원부를 포함하며, 상기 화소부에 구비되는 복수의 화소 회로들 각각은, 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제3 PMOS 트랜지스터, 제4 PMOS 트랜지스터, 제5 PMOS 트랜지스터, 저장 커패시터 및 유기 발광 다이오드를 포함한다. 상기 제1 PMOS 트랜지스터는 제1 전압과 연결되는 제1 전극, 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 제2 PMOS 트랜지스터는 상기 제1 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인과 연결되는 게이트 전극, 및 제1 노드와 연결되는 제2 전극을 구비한다. 상기 제3 PMOS 트랜지스터는 제2 전압과 연결되는 제1 전극, 상기 스캔 라인과 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 제4 PMOS 트랜지스터는 상기 제3 PMOS 트랜지스터의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인과 연결되는 게이트 전극, 및 상기 제1 노드와 연결되는 제2 전극을 구비한다. 상기 제5 PMOS 트랜지스터는 제1 전원 전압과 연결되는 제1 전극, 상기 제1 노드와 연결되는 게이트 전극, 및 제2 전극을 구비한다. 상기 저장 커패시터는 상기 제1 노드와 연결되는 제1 전극, 및 상기 제5 PMOS 트랜지스터의 제1 전극과 연결되는 제2 전극을 구비한다. 상기 유기 발광 다이오드는 상기 제5 PMOS 트랜지스터의 제2 전극과 연결되는 애노드 전극, 및 제2 전원 전압과 연결되는 캐소드 전극을 구비한다.

[0027] 상기 유기 발광 표시 장치는 이전 프레임과 현재 프레임을 순차적으로 디스플레이할 수 있다. 상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지하고, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경할 수 있다.

[0028] 본 발명의 또 다른 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함되고 저장 커패시터 및 유기 발광 다이오드를 구비하는 화소 회로의 구동 방법에서는, 상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는지 여부를 판단한다. 상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에, 스캔 라인을 통해 수신되는 스캔 신호, 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지한다. 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 상기 스캔 신호, 제1 전압, 상기 제1 데이터 신호, 제2 전압 및 상기 제2 데이터 신호에 응답하여 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경한다. 상기 저장 커패시터에 저장된 데이터에 기초하여 상기 유기 발광 다이오드를 발광시킨다.

[0029] 일 실시예에서, 상기 저장 커패시터에 저장된 데이터가 미리 정해진 시간을 초과하여 유지되는 경우에, 상기 저장 커패시터에 대한 리프레쉬 동작을 더 수행할 수 있다.

발명의 효과

[0030] 본 발명의 실시예들에 따른 화소 회로는 5개의 트랜지스터들, 1개의 저장 커패시터 및 1개의 유기 발광 다이오드를 포함하여 구현되며, 디지털 구동 방식을 이용하여 구동될 때 상기 저장 커패시터에 저장된 이전 데이터와 현재 데이터를 비교하고 상기 비교 결과에 따라 상기 저장 커패시터에 저장된 이전 데이터를 선택적으로 유지

또는 변경함으로써, 데이터 라인의 충/방전 소비 전력을 감소시킬 수 있다.

[0031] 또한, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 상기 화소 회로를 포함함으로써 소비 전력이 감소될 수 있다.

[0032] 다만, 본 발명의 효과는 이에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 일 실시예에 따른 화소 회로를 나타내는 회로도이다.

도 2a, 2b 및 2c는 도 1의 화소 회로의 동작을 설명하기 위한 타이밍도들이다.

도 3, 4 및 5는 본 발명의 다른 실시예들에 따른 화소 회로를 나타내는 회로도들이다.

도 6은 본 발명의 또 다른 실시예에 따른 화소 회로를 나타내는 회로도이다.

도 7a, 7b 및 7c는 도 6의 화소 회로의 동작을 설명하기 위한 타이밍도들이다.

도 8, 9 및 10은 본 발명의 또 다른 실시예들에 따른 화소 회로를 나타내는 회로도들이다.

도 11은 본 발명의 실시예들에 따른 화소 회로의 구동 방법을 나타내는 순서도이다.

도 12는 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 13은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0035] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0036] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.

[0037] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0038] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0039] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0040] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 화소 회로를 나타내는 회로도이다.
- [0042] 도 1을 참조하면, 화소 회로(100a)는 제1 PMOS(P-channel Metal Oxide Semiconductor) 트랜지스터(P1), 제2 PMOS 트랜지스터(P2), 제3 PMOS 트랜지스터(P3), 제4 PMOS 트랜지스터(P4), 제5 PMOS 트랜지스터(P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(Organic Light Emitting Diode; OLED)(EL)를 포함한다. 상기 화소 회로(100a)는 소위 5T-1C 구조(즉, 5개의 트랜지스터들과 1개의 커패시터로 구성된 구조)로 명명될 수 있다.
- [0043] 제1 및 제2 PMOS 트랜지스터들(P1, P2)은 제1 전압(VH)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제1 PMOS 트랜지스터(P1)는 제1 전압(VH)과 연결되는 제1 전극(예를 들어, 소스 전극), 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극(예를 들어, 드레인 전극)을 포함한다. 제2 PMOS 트랜지스터(P2)는 상기 제1 PMOS 트랜지스터(P1)의 제2 전극과 연결되는 제1 전극(예를 들어, 소스 전극), 제1 데이터 라인(DL1)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극(예를 들어, 드레인 전극)을 포함한다. 제1 및 제2 PMOS 트랜지스터들(P1, P2)은 스캔 라인(SL)을 통해 수신되는 스캔 신호(SC) 및 제1 데이터 라인(DL1)을 통해 수신되는 제1 데이터 신호(D1)에 응답하여 제1 전압(VH)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제1 경로를 형성할 수 있다.
- [0044] 제3 및 제4 PMOS 트랜지스터들(P3, P4)은 제2 전압(VL)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제3 PMOS 트랜지스터(P3)는 제2 전압(VL)과 연결되는 제1 전극(예를 들어, 소스 전극), 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극(예를 들어, 드레인 전극)을 포함한다. 제4 PMOS 트랜지스터(P4)는 상기 제3 PMOS 트랜지스터(P3)의 제2 전극과 연결되는 제1 전극(예를 들어, 소스 전극), 제2 데이터 라인(DL2)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극(예를 들어, 드레인 전극)을 포함한다. 제3 및 제4 PMOS 트랜지스터들(P3, P4)은 스캔 신호(SC) 및 제2 데이터 라인(DL2)을 통해 수신되는 제2 데이터 신호(D2)에 응답하여 제2 전압(VL)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제2 경로를 형성할 수 있다.
- [0045] 제1 전압(VH)은 제2 전압(VL)보다 낮은 전압 레벨을 가질 수 있다. 실시예에 따라서, 제1 전압(VH)은 제1 전원 전압(ELVDD)과 실질적으로 동일한 전압 레벨을 가질 수 있다(도 3 및 5의 실시예들). 실시예에 따라서, 제2 전압(VL)은 제2 전원 전압(ELVSS)과 실질적으로 동일한 전압 레벨을 가질 수 있다(도 4 및 5의 실시예들).
- [0046] 제5 PMOS 트랜지스터(P5)는 제1 전원 전압(ELVDD)과 연결되는 제1 전극(예를 들어, 소스 전극), 제1 노드(ND1)와 연결되는 게이트 전극, 및 제2 전극(예를 들어, 드레인 전극)을 포함한다. 제5 PMOS 트랜지스터(P5)는 유기 발광 다이오드(EL)를 구동하는 구동 트랜지스터로서 동작할 수 있다.
- [0047] 저장 커패시터(Cst)는 제1 노드(ND1)와 상기 제5 PMOS 트랜지스터(P5)의 제1 전극 사이에 연결된다. 구체적으로, 저장 커패시터(Cst)는 제1 노드(ND1)와 연결되는 제1 전극, 및 상기 제5 PMOS 트랜지스터(P5)의 제1 전극과 연결되는 제2 전극을 포함한다.
- [0048] 유기 발광 다이오드(EL)는 제5 PMOS 트랜지스터(P5)와 제2 전원 전압(ELVSS) 사이에 연결된다. 구체적으로, 유기 발광 다이오드(EL)는 상기 제5 PMOS 트랜지스터(P5)의 제2 전극과 연결되는 애노드 전극, 및 제2 전원 전압(ELVSS)과 연결되는 캐소드 전극을 포함한다.
- [0049] 한편, 유기 발광 다이오드(EL)는 애노드 전극 및 캐소드 전극에 의해 생성되는 기생 커패시터(미도시)를 내재적으로 포함할 수 있다. 즉, 화소 회로(100a)는 상기 유기 발광 다이오드(EL)의 애노드 전극과 캐소드 전극 사이에 연결되는 상기 기생 커패시터를 더 포함하도록 도시될 수 있다.
- [0050] 일 실시예에서, 화소 회로(100a)는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함될 수 있다. 이 때, 상기 이전 프레임에 상응하고 저장 커패시터(Cst)에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 실질적으로 동일한 값을 가지는 경우에, 상기 현재 프레임을 디스플레이하기 위하여 화소 회로(100a)는 상기 현재 데이터를 저장 커패시터(Cst)에 기입하는 대신에 저장 커패시터(Cst)에 저장된 상기 이전 데이터를 유지할 수 있다. 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 화소 회로(100a)는 저장 커패시터(Cst)에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경할 수 있다.
- [0051] 이하에서는 도 2a, 2b 및 2c를 참조하여 본 발명의 실시예들에 따른 화소 회로의 동작을 보다 구체적으로 설명하도록 한다.

- [0052] 도 2a, 2b 및 2c는 도 1의 화소 회로의 동작을 설명하기 위한 타이밍도들이다. 도 2a는 상기 이전 데이터와 상기 현재 데이터가 실질적으로 동일한 값을 가지는 경우에 화소 회로(100a)의 동작을 나타내며, 도 2b 및 2c는 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 화소 회로(100a)의 동작을 나타낸다.
- [0053] 도 1 및 2a를 참조하면, 상기 이전 데이터와 상기 현재 데이터가 실질적으로 동일한 값을 가지는 경우(예를 들어, 상기 이전 데이터 및 상기 현재 데이터가 모두 논리 로우 레벨에 상응하거나 논리 하이 레벨에 상응하는 경우)에, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 유지될 수 있다.
- [0054] 구체적으로, 저장 커패시터(Cst)에 데이터를 기입하기 위한 시간 t1 내지 t2 사이의 구간에서, 스캔 신호(SC)는 로우 전압 레벨을 가지도록 활성화되지만, 제1 데이터 신호(D1) 및 제2 데이터 신호(D2)는 모두 하이 전압 레벨을 가지도록 비활성화된다. 이에 따라, 제1 및 제3 PMOS 트랜지스터들(P1, P3)이 턴온되고 제2 및 제4 PMOS 트랜지스터들(P2, P4)이 턴오프되며, 상기 제1 경로 및 상기 제2 경로가 모두 비활성화된다. 따라서 제1 전압(VH) 및 제2 전압(VL) 모두 제1 노드(ND1)에 인가되지 않으며, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 유지될 수 있다. 시간 t2 이후의 발광 구간에서, 화소 회로(100a)는 저장 커패시터(Cst)에 저장된 상기 이전 데이터에 기초하여 유기 발광 다이오드(EL)를 구동할 수 있다.
- [0055] 도 1 및 2b를 참조하면, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우(예를 들어, 상기 이전 데이터가 상기 논리 로우 레벨에 상응하고 상기 현재 데이터가 상기 논리 하이 레벨에 상응하는 경우)에, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 상기 현재 데이터로 변경될 수 있다.
- [0056] 구체적으로, 저장 커패시터(Cst)에 데이터를 기입하기 위한 시간 t1 내지 t2 사이의 구간에서, 스캔 신호(SC)는 상기 로우 전압 레벨을 가지도록 활성화되고, 제2 데이터 신호(D2)는 상기 하이 전압 레벨을 가지도록 비활성화된다. 시간 t3 내지 t4 사이의 구간에서, 제1 데이터 신호(D1)는 상기 로우 전압 레벨을 가지도록 활성화된다. 이에 따라, 제1, 제2 및 제3 PMOS 트랜지스터들(P1, P2, P3)이 턴온되고 제4 PMOS 트랜지스터(P4)가 턴오프되며, 상기 제1 경로가 활성화되고 상기 제2 경로가 비활성화된다. 따라서 상기 논리 하이 레벨에 상응하는 제1 전압(VH)이 제1 노드(ND1)에 인가되며, 저장 커패시터(Cst)에 저장되고 상기 논리 로우 레벨에 상응하는 상기 이전 데이터가 상기 논리 하이 레벨에 상응하는 상기 현재 데이터로 변경될 수 있다. 시간 t2 이후의 발광 구간에서, 화소 회로(100a)는 저장 커패시터(Cst)에 저장된 상기 현재 데이터에 기초하여 유기 발광 다이오드(EL)를 구동할 수 있다.
- [0057] 제1 PMOS 트랜지스터(P1)와 제2 PMOS 트랜지스터(P2) 사이의 커플링 현상을 방지하기 위하여 제1 PMOS 트랜지스터(P1)의 턴온 구간(시간 t1 내지 t2)과 제2 PMOS 트랜지스터(P2)의 턴온 구간(시간 t3 내지 t4)이 서로 다르도록 설정될 수 있다. 실시예에 따라서, 제1 PMOS 트랜지스터(P1)의 턴온 구간과 제2 PMOS 트랜지스터(P2)의 턴온 구간은 실질적으로 동일하도록 설정될 수도 있다.
- [0058] 도 1 및 2c를 참조하면, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우(예를 들어, 상기 이전 데이터가 상기 논리 하이 레벨에 상응하고 상기 현재 데이터가 상기 논리 로우 레벨에 상응하는 경우)에, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 상기 현재 데이터로 변경될 수 있다.
- [0059] 구체적으로, 저장 커패시터(Cst)에 데이터를 기입하기 위한 시간 t1 내지 t2 사이의 구간에서, 스캔 신호(SC)는 상기 로우 전압 레벨을 가지도록 활성화되고, 제1 데이터 신호(D1)는 상기 하이 전압 레벨을 가지도록 비활성화된다. 시간 t3 내지 t4 사이의 구간에서, 제2 데이터 신호(D2)는 상기 로우 전압 레벨을 가지도록 활성화된다. 이에 따라, 제1, 제3 및 제4 PMOS 트랜지스터들(P1, P3, P4)이 턴온되고 제2 PMOS 트랜지스터(P2)가 턴오프되며, 상기 제2 경로가 활성화되고 상기 제1 경로가 비활성화된다. 따라서 상기 논리 로우 레벨에 상응하는 제2 전압(VL)이 제1 노드(ND1)에 인가되며, 저장 커패시터(Cst)에 저장되고 상기 논리 하이 레벨에 상응하는 상기 이전 데이터가 상기 논리 로우 레벨에 상응하는 상기 현재 데이터로 변경될 수 있다. 시간 t2 이후의 발광 구간에서, 화소 회로(100a)는 저장 커패시터(Cst)에 저장된 상기 현재 데이터에 기초하여 유기 발광 다이오드(EL)를 구동할 수 있다.
- [0060] 제3 PMOS 트랜지스터(P3)와 제4 PMOS 트랜지스터(P4) 사이의 커플링 현상을 방지하기 위하여 제3 PMOS 트랜지스터(P3)의 턴온 구간(시간 t1 내지 t2)과 제4 PMOS 트랜지스터(P4)의 턴온 구간(시간 t3 내지 t4)이 서로 다르도록 설정될 수 있다. 실시예에 따라서, 제3 PMOS 트랜지스터(P3)의 턴온 구간과 제4 PMOS 트랜지스터(P4)의 턴온 구간은 실질적으로 동일하도록 설정될 수도 있다.
- [0061] 도 2b 및 2c를 참조하여 상술한 것처럼, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 제1 데이터 신호(D1) 및 제2 데이터 신호(D2)에 응답하여 제2 및 제4 PMOS 트랜지스터들(P2, P4) 중 하나가 선

택적으로 턴온될 수 있다. 즉, 상기 제1 경로 및 상기 제2 경로 중 하나가 선택적으로 활성화될 수 있으며, 활성화된 경로를 통해 제1 노드(ND1)에 인가되는 전압에 기초하여 저장 커패시터(Cst)에 저장된 데이터를 변경할 수 있다.

[0062] 본 발명의 실시예들에 따른 화소 회로는, 도 1에 도시된 것과 같은 구조로 구현되며, 디지털 구동 방식을 이용하여 구동될 수 있다. 도 1의 화소 회로(100a)는, 저장 커패시터(Cst)에 저장된 이전 데이터와 현재 데이터가 실질적으로 동일한 경우에는 상기 이전 데이터를 유지하고 상기 이전 데이터에 기초하여 유기 발광 다이오드(EL)를 발광시키며, 저장 커패시터(Cst)에 저장된 상기 이전 데이터와 상기 현재 데이터가 상이한 경우에는 상기 이전 데이터를 상기 현재 데이터로 변경하고 상기 현재 데이터에 기초하여 유기 발광 다이오드(EL)를 발광시킬 수 있다. 따라서, 화소 회로(100a)는 데이터 라인의 충/방전 소비 전력(즉, 저장 커패시터(Cst)를 충/방전시키는 데 소모되는 전력)이 감소될 수 있으며, 화소 회로(100a)를 포함하는 유기 발광 표시 장치의 소비 전력이 감소될 수 있다.

[0063] 도 3, 4 및 5는 본 발명의 다른 실시예들에 따른 화소 회로를 나타내는 회로도들이다.

[0064] 도 3을 참조하면, 화소 회로(100b)는 제1 PMOS 트랜지스터(P1), 제2 PMOS 트랜지스터(P2), 제3 PMOS 트랜지스터(P3), 제4 PMOS 트랜지스터(P4), 제5 PMOS 트랜지스터(P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)를 포함한다.

[0065] 도 3의 화소 회로(100b)는 제1 전압(VH)이 제1 전원 전압(ELVDD)과 실질적으로 동일한 전압 레벨을 가지도록 제1 PMOS 트랜지스터(P1)의 구성이 변형된 것을 제외하면, 도 1의 화소 회로(100a)와 실질적으로 동일할 수 있다. 즉, 도 3의 화소 회로(100b)에 포함된 제2 내지 제5 PMOS 트랜지스터들(P2, P3, P4, P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)의 구성은 도 1의 화소 회로(100a)에 포함된 제2 내지 제5 PMOS 트랜지스터들(P2, P3, P4, P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)의 구성과 각각 실질적으로 동일할 수 있으며, 도 3의 화소 회로(100b)의 동작은 도 2a, 2b 및 2c를 참조하여 상술한 도 1의 화소 회로(100a)의 동작과 실질적으로 동일할 수 있다.

[0066] 제1 및 제2 PMOS 트랜지스터들(P1, P2)은 제1 전원 전압(ELVDD)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제1 PMOS 트랜지스터(P1)는 제1 전원 전압(ELVDD)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제2 PMOS 트랜지스터(P2)는 상기 제1 PMOS 트랜지스터(P1)의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인(DL1)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제1 및 제2 PMOS 트랜지스터들(P1, P2)은 스캔 신호(SC) 및 제1 데이터 신호(D1)에 응답하여 제1 전원 전압(ELVDD)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제1 경로를 형성할 수 있다.

[0067] 도 4를 참조하면, 화소 회로(100c)는 제1 PMOS 트랜지스터(P1), 제2 PMOS 트랜지스터(P2), 제3 PMOS 트랜지스터(P3), 제4 PMOS 트랜지스터(P4), 제5 PMOS 트랜지스터(P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)를 포함한다.

[0068] 도 4의 화소 회로(100c)는, 제2 전압(VL)이 제2 전원 전압(ELVSS)과 실질적으로 동일한 전압 레벨을 가지도록 제3 PMOS 트랜지스터(P3)의 구성이 변형된 것을 제외하면, 도 1의 화소 회로(100a)와 실질적으로 동일할 수 있다. 즉, 도 4의 화소 회로(100c)에 포함된 제1, 제2, 제4 및 제5 PMOS 트랜지스터들(P1, P2, P4, P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)의 구성은 도 1의 화소 회로(100a)에 포함된 제1, 제2, 제4 및 제5 PMOS 트랜지스터들(P1, P2, P4, P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)의 구성과 각각 실질적으로 동일할 수 있으며, 도 4의 화소 회로(100c)의 동작은 도 2a, 2b 및 2c를 참조하여 상술한 도 1의 화소 회로(100a)의 동작과 실질적으로 동일할 수 있다.

[0069] 제3 및 제4 PMOS 트랜지스터들(P3, P4)은 제2 전원 전압(ELVSS)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제3 PMOS 트랜지스터(P3)는 제2 전원 전압(ELVSS)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제4 PMOS 트랜지스터(P4)는 상기 제3 PMOS 트랜지스터(P3)의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인(DL2)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제3 및 제4 PMOS 트랜지스터들(P3, P4)은 스캔 신호(SC) 및 제2 데이터 신호(D2)에 응답하여 제2 전원 전압(ELVSS)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제2 경로를 형성할 수 있다.

[0070] 도 5를 참조하면, 화소 회로(100d)는 제1 PMOS 트랜지스터(P1), 제2 PMOS 트랜지스터(P2), 제3 PMOS 트랜지스터(P3), 제4 PMOS 트랜지스터(P4), 제5 PMOS 트랜지스터(P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)를 포함한다.

- [0071] 도 5의 화소 회로(100d)는, 제1 전압(VH)이 제1 전원 전압(ELVDD)과 실질적으로 동일한 전압 레벨을 가지고 제2 전압(VL)이 제2 전원 전압(ELVSS)과 실질적으로 동일한 전압 레벨을 가지도록 제1 및 제3 PMOS 트랜지스터들(P1, P3)의 구성이 변형된 것을 제외하면, 도 1의 화소 회로(100a)와 실질적으로 동일할 수 있다. 즉, 도 5의 화소 회로(100d)에 포함된 제2, 제4 및 제5 PMOS 트랜지스터들(P2, P4, P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)의 구성은 도 1의 화소 회로(100a)에 포함된 제2, 제4 및 제5 PMOS 트랜지스터들(P2, P4, P5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)의 구성과 각각 실질적으로 동일할 수 있으며, 도 5의 화소 회로(100d)의 동작은 도 2a, 2b 및 2c를 참조하여 상술한 도 1의 화소 회로(100a)의 동작과 실질적으로 동일할 수 있다.
- [0072] 제1 및 제2 PMOS 트랜지스터들(P1, P2)은 제1 전원 전압(ELVDD)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제1 PMOS 트랜지스터(P1)는 제1 전원 전압(ELVDD)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제2 PMOS 트랜지스터(P2)는 상기 제1 PMOS 트랜지스터(P1)의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인(DL1)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제1 및 제2 PMOS 트랜지스터들(P1, P2)은 스캔 신호(SC) 및 제1 데이터 신호(D1)에 응답하여 제1 전원 전압(ELVDD)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제1 경로를 형성할 수 있다.
- [0073] 제3 및 제4 PMOS 트랜지스터들(P3, P4)은 제2 전원 전압(ELVSS)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제3 PMOS 트랜지스터(P3)는 제2 전원 전압(ELVSS)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제4 PMOS 트랜지스터(P4)는 상기 제3 PMOS 트랜지스터(P3)의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인(DL2)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제3 및 제4 PMOS 트랜지스터들(P3, P4)은 스캔 신호(SC) 및 제2 데이터 신호(D2)에 응답하여 제2 전원 전압(ELVSS)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제2 경로를 형성할 수 있다.
- [0074] 도 3, 4 및 5의 화소 회로(100b, 100c, 100d)는 제1 전압(VH)을 제1 전원 전압(ELVDD)으로 대체하거나 및/또는 제2 전압(VL)을 제2 전원 전압(ELVSS)으로 대체함으로써, 제1 전압(VH) 및/또는 제2 전압(VL)을 제공하기 위한 추가적인 구성 없이 화소 회로(100b, 100c, 100d)를 포함하는 유기 발광 표시 장치를 구현할 수 있다.
- [0075] 도 6은 본 발명의 또 다른 실시예에 따른 화소 회로를 나타내는 회로도이다.
- [0076] 도 6을 참조하면, 화소 회로(100e)는 제1 NMOS(N-channel Metal Oxide Semiconductor) 트랜지스터(N1), 제2 NMOS 트랜지스터(N2), 제3 NMOS 트랜지스터(N3), 제4 NMOS 트랜지스터(N4), 제5 NMOS 트랜지스터(N5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)를 포함한다. 상기 화소 회로(100e)는 소위 5T-1C 구조로 명명될 수 있다.
- [0077] 제1 및 제2 NMOS 트랜지스터들(N1, N2)은 제1 전압(VH)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제1 NMOS 트랜지스터(N1)는 제1 전압(VH)과 연결되는 제1 전극(예를 들어, 드레인 전극), 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극(예를 들어, 소스 전극)을 포함한다. 제2 NMOS 트랜지스터(N2)는 상기 제1 NMOS 트랜지스터(N1)의 제2 전극과 연결되는 제1 전극(예를 들어, 드레인 전극), 제1 데이터 라인(DL1)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극(예를 들어, 소스 전극)을 포함한다. 제1 및 제2 NMOS 트랜지스터들(N1, N2)은 스캔 라인(SL)을 통해 수신되는 스캔 신호(SC) 및 제1 데이터 라인(DL1)을 통해 수신되는 제1 데이터 신호(D1)에 응답하여 제1 전압(VH)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제1 경로를 형성할 수 있다.
- [0078] 제3 및 제4 NMOS 트랜지스터들(N3, N4)은 제2 전압(VL)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제3 NMOS 트랜지스터(N3)는 제2 전압(VL)과 연결되는 제1 전극(예를 들어, 드레인 전극), 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극(예를 들어, 소스 전극)을 포함한다. 제4 NMOS 트랜지스터(N4)는 상기 제3 NMOS 트랜지스터(N3)의 제2 전극과 연결되는 제1 전극(예를 들어, 드레인 전극), 제2 데이터 라인(DL2)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극(예를 들어, 소스 전극)을 포함한다. 제3 및 제4 NMOS 트랜지스터들(N3, N4)은 스캔 신호(SC) 및 제2 데이터 라인(DL2)을 통해 수신되는 제2 데이터 신호(D2)에 응답하여 제2 전압(VL)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제2 경로를 형성할 수 있다.
- [0079] 제1 전압(VH)은 제2 전압(VL)보다 낮은 전압 레벨을 가질 수 있다. 실시예에 따라서, 제1 전압(VH)은 제1 전원 전압(ELVDD)과 실질적으로 동일한 전압 레벨을 가질 수 있다(도 8 및 10의 실시예들). 실시예에 따라서, 제2 전압(VL)은 제2 전원 전압(ELVSS)과 실질적으로 동일한 전압 레벨을 가질 수 있다(도 9 및 10의 실시예들).
- [0080] 유기 발광 다이오드(EL)는 제1 전원 전압(ELVDD)과 제5 NMOS 트랜지스터(N5) 사이에 연결된다. 구체적으로, 유

기 발광 다이오드(EL)는 제1 전원 전압(ELVDD)과 연결되는 애노드 전극, 및 제5 NMOS 트랜지스터(N5)의 제1 전극과 연결되는 캐소드 전극을 포함한다.

[0081] 제5 NMOS 트랜지스터(N5)는 상기 유기 발광 다이오드(EL)의 캐소드 전극과 연결되는 제1 전극(예를 들어, 드레인 전극), 제1 노드(ND1)와 연결되는 게이트 전극, 및 제2 전원 전압(ELVSS)과 연결되는 제2 전극(예를 들어, 소스 전극)을 포함한다. 제5 NMOS 트랜지스터(N5)는 유기 발광 다이오드(EL)를 구동하는 구동 트랜지스터로서 동작할 수 있다.

[0082] 저장 커패시터(Cst)는 제1 노드(ND1)와 상기 제5 NMOS 트랜지스터(N5)의 제2 전극 사이에 연결된다. 구체적으로, 저장 커패시터(Cst)는 제1 노드(ND1)와 연결되는 제1 전극, 및 상기 제5 NMOS 트랜지스터(N5)의 제2 전극과 연결되는 제2 전극을 포함한다.

[0083] 일 실시예에서, 화소 회로(100e)는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함될 수 있다. 이 때, 상기 이전 프레임에 상응하고 저장 커패시터(Cst)에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 실질적으로 동일한 값을 가지는 경우에, 상기 현재 프레임을 디스플레이 하기 위하여 화소 회로(100e)는 상기 현재 데이터를 저장 커패시터(Cst)에 기입하는 대신에 저장 커패시터(Cst)에 저장된 상기 이전 데이터를 유지할 수 있다. 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에, 화소 회로(100e)는 저장 커패시터(Cst)에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경할 수 있다.

[0084] 이하에서는 도 7a, 7b 및 7c를 참조하여 본 발명의 실시예들에 따른 화소 회로의 동작을 보다 구체적으로 설명 하도록 한다.

[0085] 도 7a, 7b 및 7c는 도 6의 화소 회로의 동작을 설명하기 위한 타이밍도들이다. 도 7a는 상기 이전 데이터와 상기 현재 데이터가 실질적으로 동일한 값을 가지는 경우에 화소 회로(100e)의 동작을 나타내며, 도 7b 및 7c는 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에 화소 회로(100e)의 동작을 나타낸다.

[0086] 도 6 및 7a를 참조하면, 상기 이전 데이터와 상기 현재 데이터가 실질적으로 동일한 값을 가지는 경우에, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 유지될 수 있다.

[0087] 구체적으로, 저장 커패시터(Cst)에 데이터를 기입하기 위한 시간 t1 내지 t2 사이의 구간에서, 스캔 신호(SC)는 하이 전압 레벨을 가지도록 활성화되지만, 제1 데이터 신호(D1) 및 제2 데이터 신호(D2)는 모두 로우 전압 레벨 을 가지도록 비활성화된다. 이에 따라, 제1 및 제3 NMOS 트랜지스터들(N1, N3)이 턴온되고 제2 및 제4 NMOS 트랜지스터들(N2, N4)이 턴오프되며, 상기 제1 경로 및 상기 제2 경로가 모두 비활성화된다. 따라서 제1 전압(VH) 및 제2 전압(VL) 모두 제1 노드(ND1)에 인가되지 않으며, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 유지될 수 있다. 시간 t2 이후의 발광 구간에서, 화소 회로(100e)는 저장 커패시터(Cst)에 저장된 상기 이전 데이터에 기초하여 유기 발광 다이오드(EL)를 구동할 수 있다.

[0088] 도 6 및 7b를 참조하면, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우(예를 들어, 상기 이전 데이터가 상기 논리 로우 레벨에 상응하고 상기 현재 데이터가 상기 논리 하이 레벨에 상응하는 경우)에, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 상기 현재 데이터로 변경될 수 있다.

[0089] 구체적으로, 저장 커패시터(Cst)에 데이터를 기입하기 위한 시간 t1 내지 t2 사이의 구간에서, 스캔 신호(SC)는 상기 하이 전압 레벨을 가지도록 활성화되고, 제2 데이터 신호(D2)는 상기 로우 전압 레벨을 가지도록 비활성화 된다. 시간 t3 내지 t4 사이의 구간에서, 제1 데이터 신호(D1)는 상기 하이 전압 레벨을 가지도록 활성화된다. 이에 따라, 제1, 제2 및 제3 NMOS 트랜지스터들(N1, N2, N3)이 턴온되고 제4 NMOS 트랜지스터(N4)가 턴오프되며, 상기 제1 경로가 활성화되고 상기 제2 경로가 비활성화된다. 따라서 상기 논리 하이 레벨에 상응하는 제1 전압(VH)이 제1 노드(ND1)에 인가되며, 저장 커패시터(Cst)에 저장되고 상기 논리 로우 레벨에 상응하는 상기 이전 데이터가 상기 논리 하이 레벨에 상응하는 상기 현재 데이터로 변경될 수 있다. 시간 t2 이후의 발광 구간에서, 화소 회로(100e)는 저장 커패시터(Cst)에 저장된 상기 현재 데이터에 기초하여 유기 발광 다이오드 (EL)를 구동할 수 있다.

[0090] 도 6 및 7c를 참조하면, 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우(예를 들어, 상기 이전 데이터가 상기 논리 하이 레벨에 상응하고 상기 현재 데이터가 상기 논리 로우 레벨에 상응하는 경우)에, 저장 커패시터(Cst)에 저장된 상기 이전 데이터가 상기 현재 데이터로 변경될 수 있다.

[0091] 구체적으로, 저장 커패시터(Cst)에 데이터를 기입하기 위한 시간 t1 내지 t2 사이의 구간에서, 스캔 신호(SC)는

상기 하이 전압 레벨을 가지도록 활성화되고, 제1 데이터 신호(D1)는 상기 로우 전압 레벨을 가지도록 비활성화된다. 시간 t3 내지 t4 사이의 구간에서, 제2 데이터 신호(D2)는 상기 하이 전압 레벨을 가지도록 활성화된다. 이에 따라, 제1, 제3 및 제4 NMOS 트랜지스터들(N1, N3, N4)이 턴온되고 제2 NMOS 트랜지스터(N2)가 턴오프되며, 상기 제2 경로가 활성화되고 상기 제1 경로가 비활성화된다. 따라서 상기 논리 로우 레벨에 상응하는 제2 전압(VL)이 제1 노드(ND1)에 인가되며, 저장 커패시터(Cst)에 저장되고 상기 논리 하이 레벨에 상응하는 상기 이전 데이터가 상기 논리 로우 레벨에 상응하는 상기 현재 데이터로 변경될 수 있다. 시간 t2 이후의 발광 구간에서, 화소 회로(100e)는 저장 커패시터(Cst)에 저장된 상기 현재 데이터에 기초하여 유기 발광 다이오드(EL)를 구동할 수 있다.

[0092] 실시예에 따라서, 도 7b에서 제1 NMOS 트랜지스터(N1)의 턴온 구간과 제2 NMOS 트랜지스터(N2)의 턴온 구간은 실질적으로 동일하도록 설정될 수 있으며, 도 7c에서 제3 NMOS 트랜지스터(N3)의 턴온 구간과 제4 NMOS 트랜지스터(N4)의 턴온 구간은 실질적으로 동일하도록 설정될 수 있다.

[0093] 도 8, 9 및 10은 본 발명의 또 다른 실시예들에 따른 화소 회로를 나타내는 회로도들이다.

[0094] 도 8을 참조하면, 화소 회로(100f)는 제1 NMOS 트랜지스터(N1), 제2 NMOS 트랜지스터(N2), 제3 NMOS 트랜지스터(N3), 제4 NMOS 트랜지스터(N4), 제5 NMOS 트랜지스터(N5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)를 포함한다.

[0095] 도 8의 화소 회로(100f)는 제1 전압(VH)이 제1 전원 전압(ELVDD)과 실질적으로 동일한 전압 레벨을 가지도록 제1 NMOS 트랜지스터(N1)의 구성이 변형된 것을 제외하면, 도 6의 화소 회로(100e)와 실질적으로 동일할 수 있다.

[0096] 제1 및 제2 NMOS 트랜지스터들(N1, N2)은 제1 전원 전압(ELVDD)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제1 NMOS 트랜지스터(P1)는 제1 전원 전압(ELVDD)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제2 NMOS 트랜지스터(N2)는 상기 제1 NMOS 트랜지스터(N1)의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인(DL1)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제1 및 제2 NMOS 트랜지스터들(N1, N2)은 스캔 신호(SC) 및 제1 데이터 신호(D1)에 응답하여 제1 전원 전압(ELVDD)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제1 경로를 형성할 수 있다.

[0097] 도 9를 참조하면, 화소 회로(100g)는 제1 NMOS 트랜지스터(N1), 제2 NMOS 트랜지스터(N2), 제3 NMOS 트랜지스터(N3), 제4 NMOS 트랜지스터(N4), 제5 NMOS 트랜지스터(N5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)를 포함한다.

[0098] 도 9의 화소 회로(100g)는, 제2 전압(VL)이 제2 전원 전압(ELVSS)과 실질적으로 동일한 전압 레벨을 가지도록 제3 NMOS 트랜지스터(N3)의 구성이 변형된 것을 제외하면, 도 6의 화소 회로(100e)와 실질적으로 동일할 수 있다.

[0099] 제3 및 제4 NMOS 트랜지스터들(N3, N4)은 제2 전원 전압(ELVSS)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제3 NMOS 트랜지스터(N3)는 제2 전원 전압(ELVSS)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제4 NMOS 트랜지스터(N4)는 상기 제3 NMOS 트랜지스터(N3)의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인(DL2)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제3 및 제4 NMOS 트랜지스터들(N3, N4)은 스캔 신호(SC) 및 제2 데이터 신호(D2)에 응답하여 제2 전원 전압(ELVSS)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제2 경로를 형성할 수 있다.

[0100] 도 10을 참조하면, 화소 회로(100h)는 제1 NMOS 트랜지스터(N1), 제2 NMOS 트랜지스터(N2), 제3 NMOS 트랜지스터(N3), 제4 NMOS 트랜지스터(N4), 제5 NMOS 트랜지스터(N5), 저장 커패시터(Cst) 및 유기 발광 다이오드(EL)를 포함한다.

[0101] 도 10의 화소 회로(100h)는, 제1 전압(VH)이 제1 전원 전압(ELVDD)과 실질적으로 동일한 전압 레벨을 가지고 제2 전압(VL)이 제2 전원 전압(ELVSS)과 실질적으로 동일한 전압 레벨을 가지도록 제1 및 제3 NMOS 트랜지스터들(N1, N3)의 구성이 변형된 것을 제외하면, 도 6의 화소 회로(100e)와 실질적으로 동일할 수 있다.

[0102] 제1 및 제2 NMOS 트랜지스터들(N1, N2)은 제1 전원 전압(ELVDD)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제1 NMOS 트랜지스터(P1)는 제1 전원 전압(ELVDD)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제2 NMOS 트랜지스터(N2)는 상기 제1 NMOS 트랜지스터(N1)의 제2 전극과 연결되는 제1 전극, 제1 데이터 라인(DL1)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제1 및 제2 NMOS 트랜지스터들(N1, N2)은 스캔 신호(SC) 및 제1 데이터 신호(D1)에 응답하여 제1 전

원 전압(ELVDD)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제1 경로를 형성할 수 있다.

- [0103] 제3 및 제4 NMOS 트랜지스터들(N3, N4)은 제2 전원 전압(ELVSS)과 제1 노드(ND1) 사이에 직렬로 연결된다. 구체적으로, 제3 NMOS 트랜지스터(N3)는 제2 전원 전압(ELVSS)과 연결되는 제1 전극, 스캔 라인(SL)과 연결되는 게이트 전극, 및 제2 전극을 포함한다. 제4 NMOS 트랜지스터(N4)는 상기 제3 NMOS 트랜지스터(N3)의 제2 전극과 연결되는 제1 전극, 제2 데이터 라인(DL2)과 연결되는 게이트 전극, 및 제1 노드(ND1)와 연결되는 제2 전극을 포함한다. 제3 및 제4 NMOS 트랜지스터들(N3, N4)은 스캔 신호(SC) 및 제2 데이터 신호(D2)에 응답하여 제2 전원 전압(ELVSS)을 제1 노드(ND1)에 선택적으로 제공하기 위한 전기적인 제2 경로를 형성할 수 있다.
- [0104] 도 11은 본 발명의 실시예들에 따른 화소 회로의 구동 방법을 나타내는 순서도이다.
- [0105] 도 11에 도시된 화소 회로의 구동 방법은 도 1, 3, 4, 5, 6, 8, 9 및 10에 도시된 화소 회로들(100a, 100b, 100c, 100d, 100e, 100f, 100g, 100h) 중에서 어느 하나에 의해 수행될 수 있다. 즉, 도 11에 도시된 화소 회로의 구동 방법은 5개의 트랜지스터들, 1개의 저장 커패시터 및 1개의 유기 발광 다이오드를 포함하는 5T-1C 구조의 화소 회로를 구동하는데 적용될 수 있다. 한편, 상기 화소 회로는 이전 프레임과 현재 프레임을 순차적으로 디스플레이하는 유기 발광 표시 장치에 포함될 수 있다.
- [0106] 도 11을 참조하면, 본 발명의 실시예들에 따른 화소 회로의 구동 방법에서, 상기 이전 프레임에 상응하고 상기 저장 커패시터에 저장된 이전 데이터와 상기 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는지 여부를 판단한다(단계 S100). 예를 들어, 상기 판단 동작은 상기 화소 회로 외부의 제어 회로, 즉 상기 유기 발광 표시 장치의 타이밍 제어부 또는 상기 유기 발광 표시 장치를 구비하는 시스템에 포함된 프로세서에 의해 수행될 수 있다.
- [0107] 상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는 경우에(단계 S100: 예), 스캔 라인을 통해 수신되는 스캔 신호, 제1 데이터 라인을 통해 수신되는 제1 데이터 신호 및 제2 데이터 라인을 통해 수신되는 제2 데이터 신호에 응답하여 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지한다(단계 S200). 구체적으로, 상기 스캔 신호를 활성화하고 상기 제1 및 제2 데이터 신호들을 비활성화하여, 논리 하이 레벨에 상응하는 제1 전압을 제공하기 위한 제1 경로 및 논리 로우 레벨에 상응하는 제2 전압을 제공하기 위한 제2 경로 모두를 비활성화함으로써, 상기 저장 커패시터에 저장된 상기 이전 데이터를 유지할 수 있다.
- [0108] 상기 이전 데이터와 상기 현재 데이터가 상이한 값을 가지는 경우에(단계 S100: 아니오), 상기 스캔 신호, 상기 제1 전압, 상기 제1 데이터 신호, 상기 제2 전압 및 상기 제2 데이터 신호에 응답하여 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경한다(단계 S300). 구체적으로, 상기 스캔 신호를 활성화하고 상기 제1 및 제2 데이터 신호들 중 하나를 선택적으로 활성화하여, 상기 제1 경로 및 상기 제2 경로 중 하나를 선택적으로 활성화함으로써, 상기 저장 커패시터에 저장된 상기 이전 데이터를 상기 현재 데이터로 변경할 수 있다.
- [0109] 상기 저장 커패시터에 저장된 데이터에 기초하여 상기 유기 발광 다이오드를 발광시킨다(단계 S400). 예를 들어, 상기 이전 데이터가 유지된 경우에 상기 이전 데이터에 기초하여 상기 유기 발광 다이오드를 발광시키며, 상기 이전 데이터가 상기 현재 데이터로 변경된 경우에 상기 현재 데이터에 기초하여 상기 유기 발광 다이오드를 발광시킬 수 있다.
- [0110] 도시하지는 않았지만, 실시예에 따라서 상기 저장 커패시터에 저장된 데이터가 미리 정해진 시간을 초과하여 유지되는 경우에, 상기 저장 커패시터에 대한 리프레쉬 동작을 더 수행할 수 있다.
- [0111] 도 12는 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0112] 도 12를 참조하면, 유기 발광 표시 장치(500)는 화소부(510), 스캔 구동부(520), 데이터 구동부(530), 타이밍 제어부(540) 및 전원부(550)를 포함할 수 있다. 실시예에 따라서, 스캔 구동부(520), 데이터 구동부(530), 타이밍 제어부(540) 및 전원부(550)는 하나의 집적 회로(Integrated Circuit; IC) 칩으로 구현될 수 있다.
- [0113] 화소부(510)는 복수의 스캔 라인들(SL1, SL2, ..., SLn)을 통해 스캔 구동부(520)와 연결되고, 복수의 데이터 라인 쌍들(DL11, DL12, DL21, DL22 ..., DLm1, DLm2)을 통해 데이터 구동부(530)와 연결된다. 또한, 화소부(510)는 전원부(550)로부터 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 공급받는다. 일 실시예에서, 화소부(510)는 전원부(550)로부터 제1 전압(VH) 및 제2 전압(VL) 중 적어도 하나를 더 공급받을 수 있다. 화소부(510)는 복수의 스캔 라인들(SL1, SL2, ..., SLn) 및 복수의 데이터 라인 쌍들(DL11, DL12, DL21, DL22 ..., DLm1, DLm2)의 교차부마다 위치되는 $n \times m$ 개의 화소 회로(100)들을 포함한다.

- [0114] 스캔 구동부(520)는 복수의 스캔 라인들(SL1, SL2, ..., SLn)을 통해 복수의 화소 회로(110)들 각각에 스캔 신호를 제공한다.
- [0115] 데이터 구동부(530)는 복수의 데이터 라인 쌍들(DL11, DL12, DL21, DL22 ..., DLm1, DLm2)을 통해 복수의 화소 회로(110)들 각각에 데이터 신호를 제공한다.
- [0116] 타이밍 제어부(540)는 복수의 타이밍 제어 신호들(CTL1, CTL2, CTL3)을 생성하여 스캔 구동부(520), 데이터 구동부(530) 및 전원부(550)에 공급함으로써 이들을 제어한다. 실시예에 따라서, 타이밍 제어부(540)는 화소 회로(100)들 각각에 저장되고 이전 프레임에 상응하는 이전 데이터와 현재 프레임에 상응하는 현재 데이터가 동일한 값을 가지는지 여부를 판단할 수 있으며, 상기 저장 커패시터에 저장된 데이터가 미리 정해진 시간을 초과하여 유지되는 경우에 상기 저장 커패시터에 대한 리프레쉬 동작을 수행할 수 있다.
- [0117] 전원부(550)는 복수의 화소 회로(110)들 각각에 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 제공하며, 제1 전압(VH) 및 제2 전압(VL) 중 적어도 하나를 더 제공할 수 있다.
- [0118] 복수의 화소 회로(100)들 각각은 도 1, 3, 4, 5, 6, 8, 9 및 10에 도시된 화소 회로(100a, 100b, 100c, 100d, 100e, 100f, 100g, 100h) 중 하나일 수 있다. 즉, 복수의 화소 회로(100)들 각각은 5개의 트랜지스터들, 1개의 저장 커패시터 및 1개의 유기 발광 다이오드를 포함하는 5T-1C 구조를 가질 수 있다. 복수의 화소 회로(100)들 각각은 스캔 라인들(SL1, ..., SLn) 중 하나 및 데이터 라인 쌍들(DL11, DL12, DL21, DL22 ..., DLm1, DLm2) 중 한 쌍과 연결될 수 있다. 예를 들어, 제1 화소 회로는 제1 스캔 라인(SL1) 및 제1 데이터 라인 쌍(DL11, DL12)과 연결될 수 있다.
- [0119] 복수의 화소 회로(100)들 각각은 디지털 구동 방식을 이용하여 구동될 수 있고, 상기 저장 커패시터에 저장된 이전 데이터와 현재 데이터가 실질적으로 동일한 경우에는 상기 이전 데이터를 유지하고 상기 이전 데이터에 기초하여 상기 유기 발광 다이오드를 발광시키며, 상기 저장 커패시터에 저장된 상기 이전 데이터와 상기 현재 데이터가 상이한 경우에는 상기 이전 데이터를 상기 현재 데이터로 변경하고 상기 현재 데이터에 기초하여 상기 유기 발광 다이오드를 발광시킬 수 있다. 따라서, 화소 회로(100)들의 데이터 라인의 충/방전 소비 전력이 감소될 수 있으며, 화소 회로(100)들을 포함하는 유기 발광 표시 장치(500)의 소비 전력이 감소될 수 있다.
- [0120] 도 13은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.
- [0121] 도 13을 참조하면, 전자 기기(1000)는 프로세서(1010), 메모리 장치(1020), 저장 장치(1030), 입출력 장치(1040), 파워 서플라이(1050) 및 유기 발광 표시 장치(1060)를 포함할 수 있다. 전자 기기(1000)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.
- [0122] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라서, 프로세서(1010)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라서, 프로세서(1010)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0123] 메모리 장치(1020)는 전자 기기(1000)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다.
- [0124] 저장 장치(1030)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1040)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 실시예에 따라서, 유기 발광 표시 장치(1060)는 입출력 장치(1040) 내에 구비될 수도 있다. 파워 서플라이(1050)는 전자 기기(1000)의 동작에 필요한 파워를 공급할 수 있다. 유기 발광 표시 장치(1060)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

- [0125] 유기 발광 표시 장치(1060)는 도 12의 유기 발광 표시 장치(500)일 수 있다. 유기 발광 표시 장치(1060)는 복수의 화소 회로들을 포함하며, 상기 복수의 화소 회로들 각각은 도 1, 3, 4, 5, 6, 8, 9 및 10에 도시된 화소 회로(100a, 100b, 100c, 100d, 100e, 100f, 100g, 100h) 중 하나일 수 있다. 상기 화소 회로들 각각은 5개의 트랜지스터들, 1개의 저장 커패시터 및 1개의 유기 발광 다이오드를 포함하는 5T-1C 구조를 가질 수 있고, 디지털 구동 방식을 이용하여 구동될 수 있고, 상기 저장 커패시터에 저장된 이전 데이터와 현재 데이터가 실질적으로 동일한 경우에는 상기 이전 데이터를 유지하고 상기 이전 데이터에 기초하여 상기 유기 발광 다이오드를 발광시키며, 상기 저장 커패시터에 저장된 상기 이전 데이터와 상기 현재 데이터가 상이한 경우에는 상기 이전 데이터를 상기 현재 데이터로 변경하고 상기 현재 데이터에 기초하여 상기 유기 발광 다이오드를 발광시킬 수 있다. 따라서, 상기 화소 회로들, 이를 포함하는 유기 발광 표시 장치(1060) 및 전자 기기(1000)의 소비 전력이 감소될 수 있다.
- [0126] 실시예에 따라서, 프로세서(1010)는 상기 이전 데이터와 상기 현재 데이터가 동일한 값을 가지는지 여부를 판단할 수 있으며, 상기 저장 커패시터에 저장된 데이터가 미리 정해진 시간을 초과하여 유지되는 경우에 상기 저장 커패시터에 대한 리프레쉬 동작을 수행할 수도 있다.

산업상 이용가능성

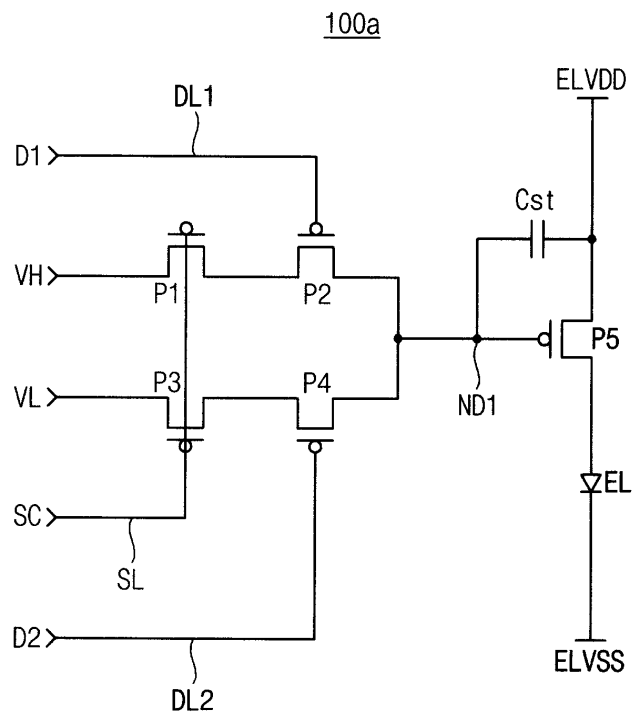
- [0127] 본 발명은 유기 발광 표시 장치를 구비하는 모든 시스템에 적용될 수 있다. 예를 들어, 본 발명은 텔레비전, 컴퓨터 모니터, 노트북, 디지털 카메라, 휴대폰, 스마트폰, 피디에이(PDA), 피엠피(PMP), MP3 플레이어, 네비게이션, 비디오폰 등에 적용될 수 있다.
- [0128] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

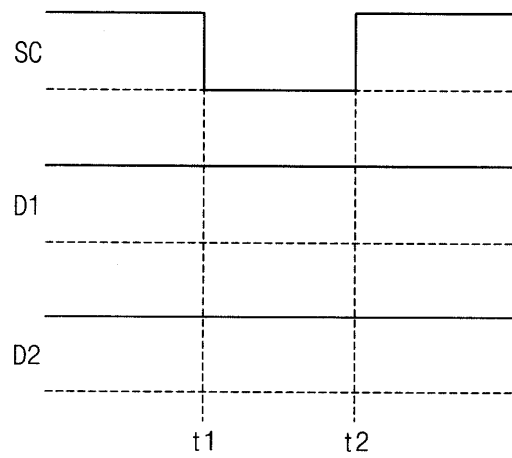
- [0129] 100a, 100b, 100c, 100d, 100e, 100f, 100g, 100h: 화소 회로
 P1, P2, P3, P4, P5: 제1 내지 제5 PMOS 트랜지스터들
 N1, N2, N3, N4, N5: 제1 내지 제5 NMOS 트랜지스터들
 Cst: 저장 커패시터
 EL: 유기 발광 다이오드

도면

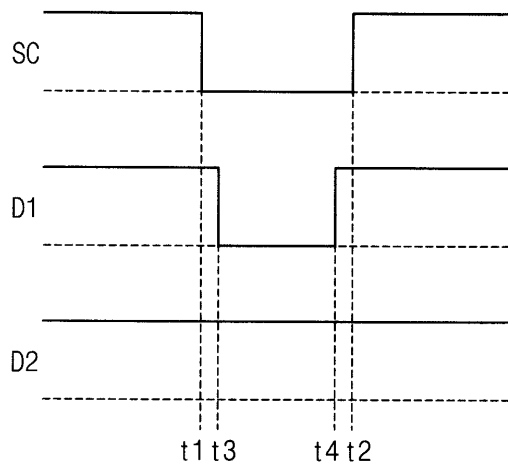
도면1



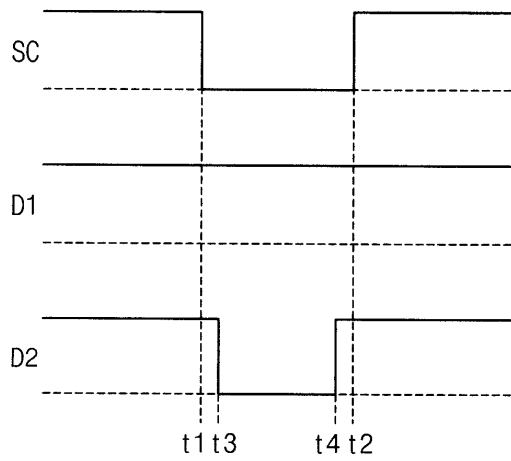
도면2a



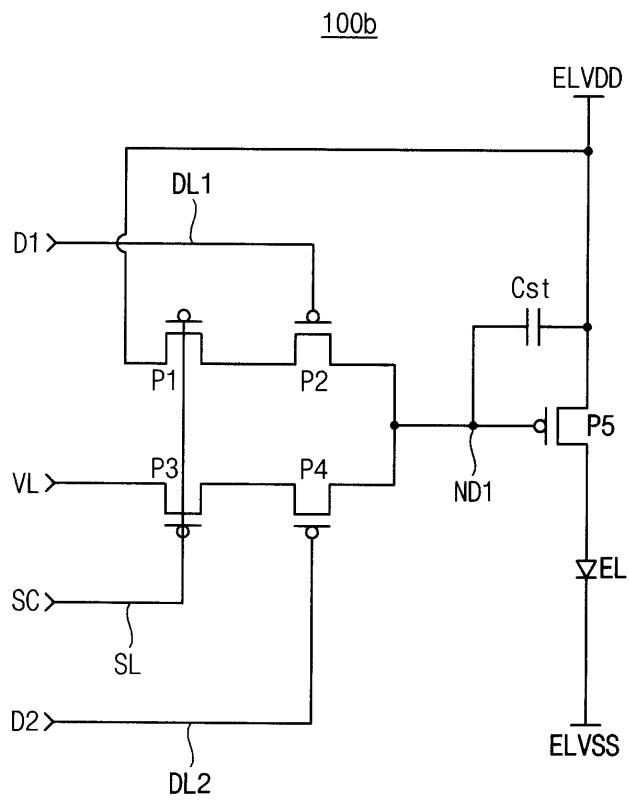
도면2b



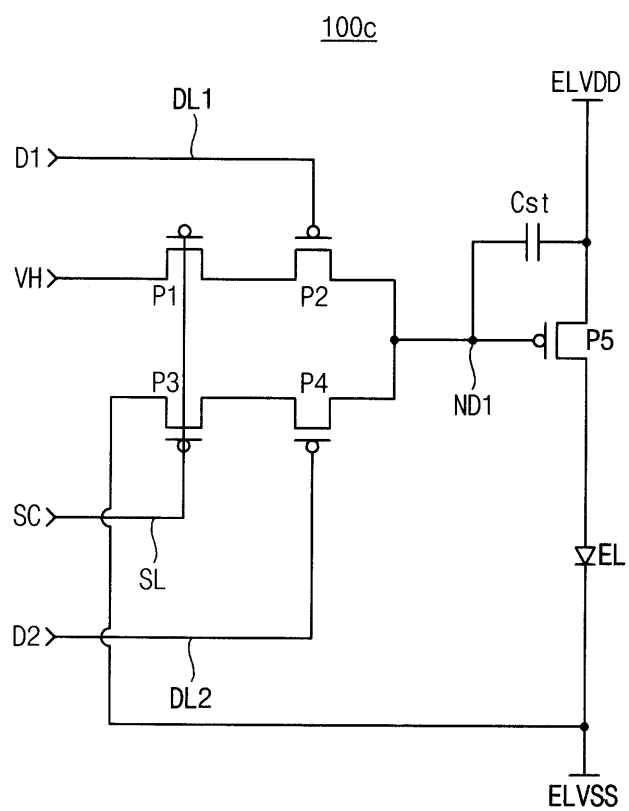
도면2c



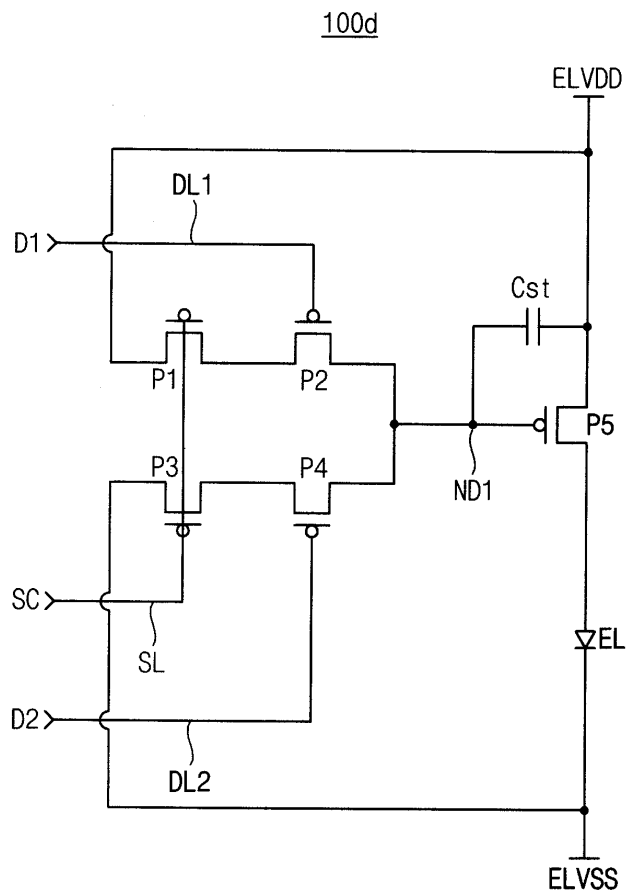
도면3



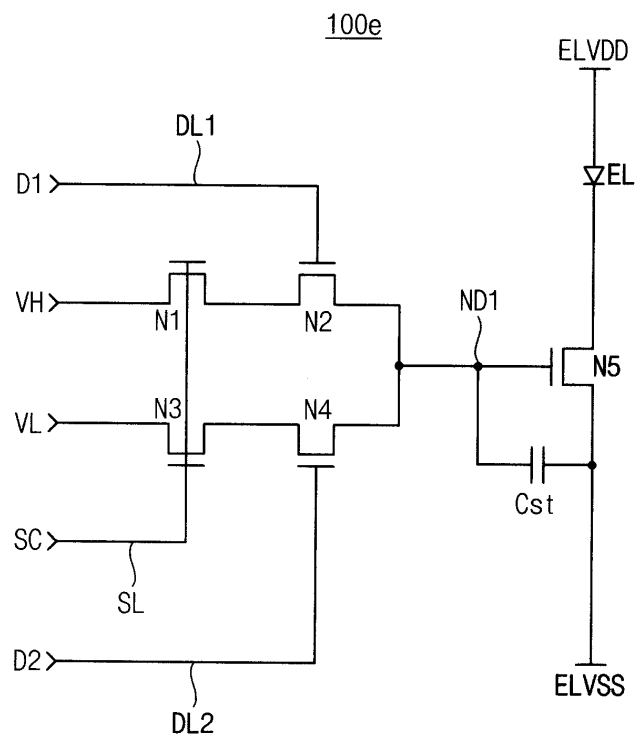
도면4



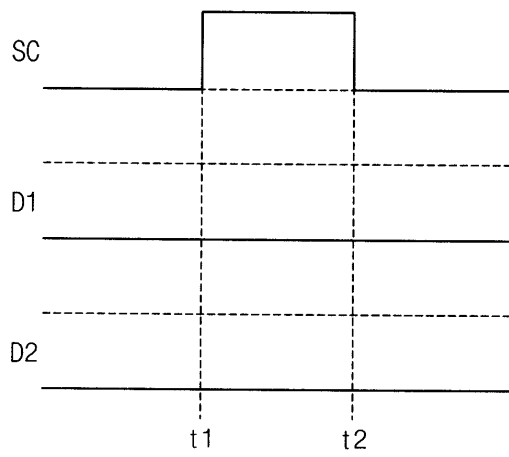
도면5



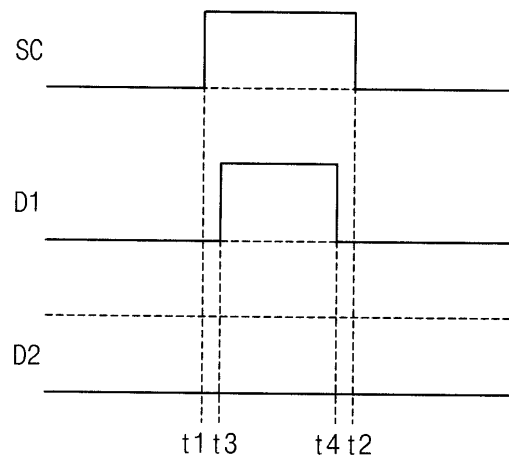
도면6



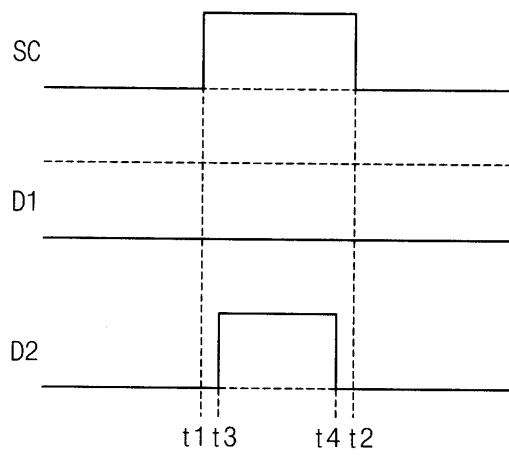
도면7a



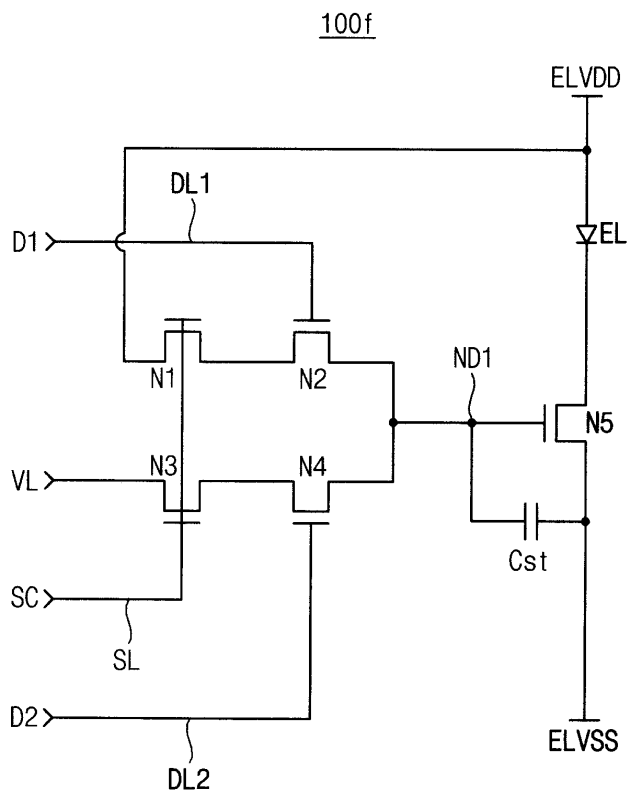
도면7b



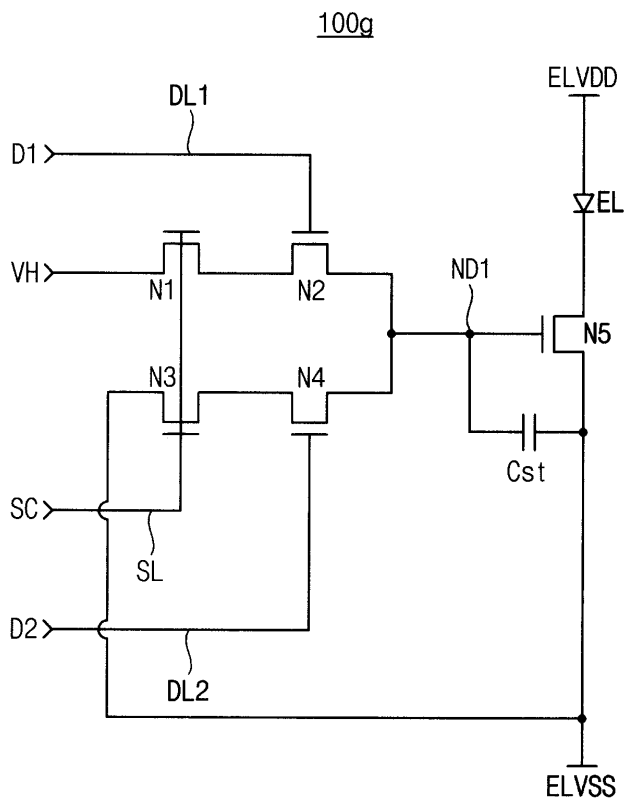
도면7c



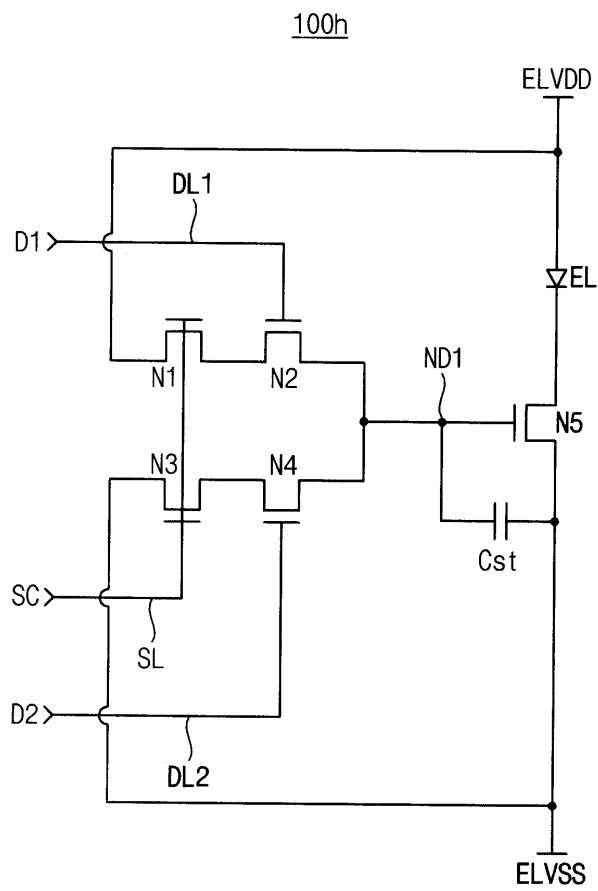
도면8



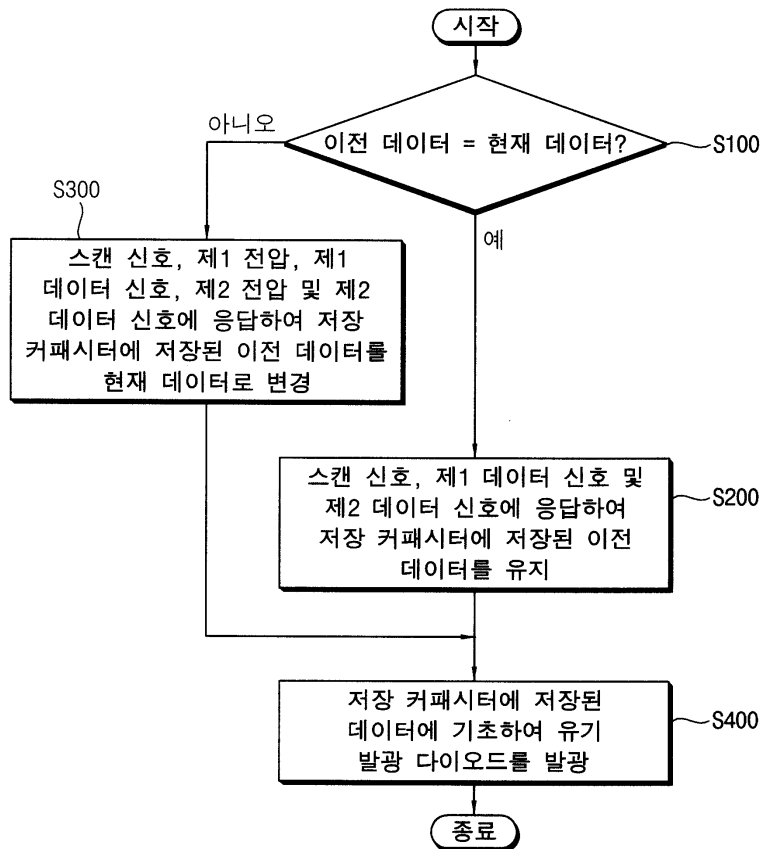
도면9



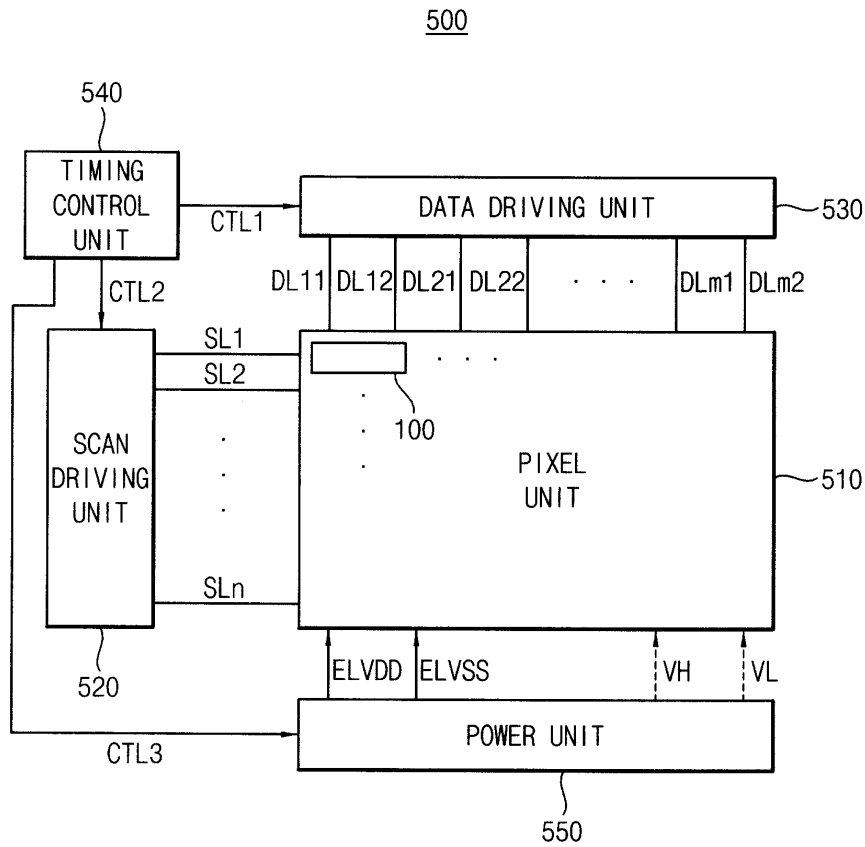
도면10



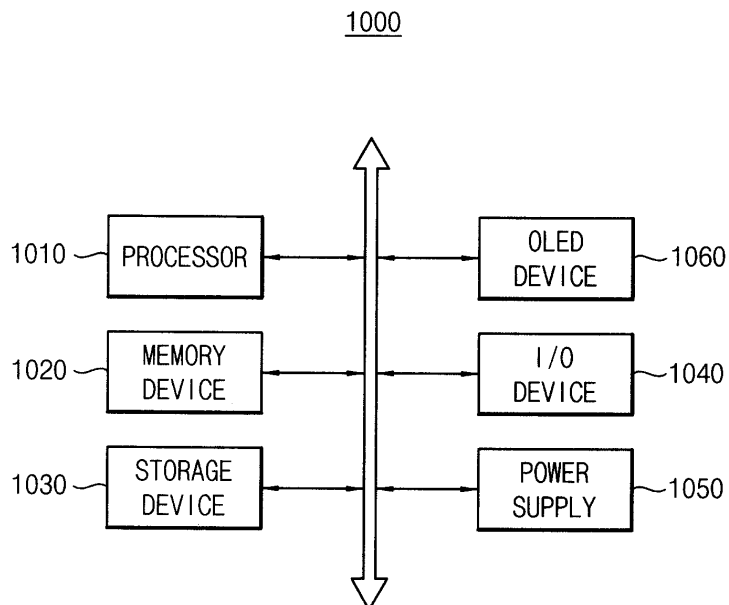
도면11



도면12



도면13



专利名称(译)	像素电路，有机发光显示装置和像素电路的驱动方法		
公开(公告)号	KR1020140001708A	公开(公告)日	2014-01-07
申请号	KR1020120070284	申请日	2012-06-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM HYUNG SOO 김형수		
发明人	김형수		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3233 H05B45/60 G09G3/3208 H05B47/00		
代理人(译)	英西湖公园		
其他公开文献	KR101918270B1		
外部链接	Espacenet		

摘要(译)

像素电路包括第一至第五PMOS晶体管，存储电容器和有机发光二极管。第一PMOS晶体管包括连接到第一电压的第一电极，连接到扫描线的栅电极和第二电极。第二PMOS晶体管包括连接到第一PMOS晶体管的第二电极的第一电极，连接到第一数据线的栅电极，以及连接到第一节点的第二电极。第三PMOS晶体管包括连接到第二电压的第一电极，连接到扫描线的栅电极，以及第二电极。第四PMOS晶体管包括连接到第三PMOS晶体管的第二电极的第一电极，连接到第二数据线的栅电极，以及连接到第一节点的第二电极。第五PMOS晶体管具有连接到第一电源电压的第一电极，连接到第一节点的栅电极和第二电极。存储电容器具有连接到第一节点的第一电极和连接到第五PMOS晶体管的第一电极的第二电极。有机发光二极管包括连接到第五PMOS晶体管的第二电极的阳极和连接到第二电源电压的阴极。

