



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0063171
(43) 공개일자 2013년06월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2011-0129547

(22) 출원일자 2011년12월06일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

강철규

경기도 수원시 권선구 권선동 주공아파트 336동 1705호

박성일

서울특별시 관악구 봉천3동 신원빌라 1동 109호

박용성

서울특별시 송파구 잠실5동 주공아파트 520동 505호

(74) 대리인

박영우

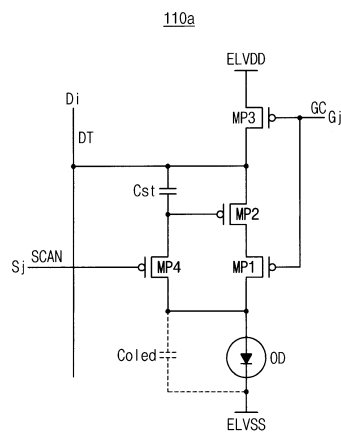
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 화소 회로, 유기 발광 표시 장치 및 화소 회로의 구동 방법

(57) 요약

화소 회로는 유기 발광 다이오드, 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제3 PMOS 트랜지스터, 제4 PMOS 트랜지스터 및 저장 커패시터를 포함한다. 유기 발광 다이오드의 캐소드 전극은 제2 전원에 연결된다. 제1 PMOS 트랜지스터는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 게이트 제어선에 연결되는 게이트 전극을 구비한다. 제2 PMOS 트랜지스터는 제1 전극, 상기 제1 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비한다. 제3 PMOS 트랜지스터는 제1 전원에 연결되는 제1 전극, 상기 제2 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비한다. 제4 PMOS 트랜지스터는 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 주사선에 연결되는 게이트 전극을 구비한다. 저장 커패시터는 상기 제2 PMOS 트랜지스터의 제1 전극과 데이터선에 연결되는 제1 전극 및 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제2 전극을 구비한다.

대표도 - 도2



특허청구의 범위

청구항 1

캐소드 전극이 제2 전원에 연결되는 유기 발광 다이오드;

제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 게이트 제어선에 연결되는 게이트 전극을 구비하는 제1 PMOS 트랜지스터;

제1 전극, 상기 제1 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 제2 PMOS 트랜지스터;

제1 전원에 연결되는 제1 전극, 상기 제2 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비하는 제3 PMOS 트랜지스터;

상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 주사선에 연결되는 게이트 전극을 구비하는 제4 PMOS 트랜지스터; 및

상기 제2 PMOS 트랜지스터의 제1 전극과 데이터선에 연결되는 제1 전극 및 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제2 전극을 구비하는 저장 커패시터를 포함하는 화소 회로.

청구항 2

제1 항에 있어서, 초기화 구간 동안,

상기 제1 전원은 상기 제2 전원보다 낮은 제1 전압으로 설정되고, 상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 로우 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 논리 하이 레벨의 주사 신호를 수신하는 것을 특징으로 하는 화소 회로.

청구항 3

제2 항에 있어서, 상기 초기화 구간 동안 상기 제1 PMOS 트랜지스터, 상기 제2 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴온되고 상기 제4 PMOS 트랜지스터는 턴오프되어 상기 유기 발광 다이오드의 애노드 전극은 상기 제1 전압으로 초기화되는 것을 특징으로 하는 화소 회로.

청구항 4

제1 항에 있어서, 문턱 전압 보상 구간 동안,

상기 제1 전원은 상기 제2 전원보다 낮은 제2 전압으로 설정되고, 상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 로우 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 논리 로우 레벨의 주사 신호를 수신하는 것을 특징으로 하는 화소 회로.

청구항 5

제4 항에 있어서, 상기 문턱 전압 보상 구간 동안 상기 제1 PMOS 트랜지스터, 상기 제2 PMOS 트랜지스터, 상기 제3 PMOS 트랜지스터 및 상기 제4 PMOS 트랜지스터는 턴온되어 상기 저장 커패시터에 상기 제2 PMOS 트랜지스터의 문턱 전압이 저장되고 상기 유기 발광 다이오드의 애노드 전극은 상기 제2 전압에서 상기 제2 PMOS 트랜지스터의 문턱 전압의 크기를 감산한 크기의 전압으로 설정되는 것을 특징으로 하는 화소 회로.

청구항 6

제1 항에 있어서, 데이터 기입 구간 동안,

상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 하이 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 상기 데이터 기입 구간 중의 스캔 구간 동안 논리 로우 레벨의 주사 신호를 수신하고 상기 데이터 기입 구간 중의 상기 스캔 구간을 제외한 나머지 구간 동안 논리 하이 레벨의 주사 신호를 수신하는 것을 특징으로 하

는 화소 회로.

청구항 7

제6 항에 있어서, 상기 데이터 기입 구간 동안 상기 제1 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴오프되고 상기 스캔 구간 동안 상기 제4 PMOS 트랜지스터가 턴온되고 상기 저장 커패시터의 제1 전극에 상기 데이터선을 통해 제공되는 데이터 신호가 인가되고, 상기 저장 커패시터와 상기 유기 발광 다이오드의 기생 커패시터의 커플링 효과로 인해 상기 저장 커패시터에 상기 데이터 신호에 비례하는 성분과 상기 제2 PMOS 트랜지스터의 문턱 전압의 합에 상응하는 전압이 저장되는 것을 특징으로 하는 화소 회로.

청구항 8

제1 항에 있어서, 발광 구간 동안,

상기 제1 전원은 상기 제2 전원보다 높은 제3 전압으로 설정되고, 상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 로우 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 논리 하이 레벨의 주사 신호를 수신하는 것을 특징으로 하는 화소 회로.

청구항 9

제8 항에 있어서, 상기 발광 구간 동안 상기 제1 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴온되고 상기 제4 PMOS 트랜지스터는 턴오프되어 상기 제2 PMOS 트랜지스터는 상기 제2 PMOS 트랜지스터의 문턱 전압에 무관하게 상기 데이터 신호에 상응하는 크기의 전류를 상기 제1 전원에서부터 상기 유기 발광 다이오드를 경유하여 상기 제2 전원으로 통과시키는 것을 특징으로 하는 화소 회로.

청구항 10

제1 항에 있어서, 상기 데이터선에 연결되는 제1 전극, 상기 저장 커패시터의 제1 전극에 연결되는 제2 전극 및 상기 주사선에 연결되는 게이트 전극을 구비하는 제5 PMOS 트랜지스터를 더 포함하고,

상기 저장 커패시터의 제1 전극은 상기 제5 PMOS 트랜지스터를 통해 상기 데이터선에 연결되는 것을 특징으로 하는 화소 회로.

청구항 11

제1 항에 있어서, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극을 구비하는 보조 커패시터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 12

애노드 전극이 제1 전원에 연결되는 유기 발광 다이오드;

제1 전극, 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극 및 게이트 제어선에 연결되는 게이트 전극을 구비하는 제1 NMOS 트랜지스터;

제1 전극, 상기 제1 NMOS 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 제2 NMOS 트랜지스터;

제2 전원에 연결되는 제1 전극, 상기 제2 NMOS 트랜지스터의 제1 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비하는 제3 NMOS 트랜지스터;

상기 제2 NMOS 트랜지스터의 게이트 전극에 연결되는 제1 전극, 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극 및 주사선에 연결되는 게이트 전극을 구비하는 제4 NMOS 트랜지스터; 및

상기 제2 NMOS 트랜지스터의 제1 전극과 데이터선에 연결되는 제1 전극 및 상기 제2 NMOS 트랜지스터의 게이트 전극에 연결되는 제2 전극을 구비하는 저장 커패시터를 포함하는 화소 회로.

청구항 13

제12 항에 있어서, 상기 데이터선에 연결되는 제1 전극, 상기 저장 커패시터의 제1 전극에 연결되는 제2 전극 및 상기 주사선에 연결되는 게이트 전극을 구비하는 제5 NMOS 트랜지스터를 더 포함하고,

상기 저장 커패시터의 제1 전극은 상기 제5 NMOS 트랜지스터를 통해 상기 데이터선에 연결되는 것을 특징으로 하는 화소 회로.

청구항 14

제12 항에 있어서, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극을 구비하는 보조 커패시터를 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 15

복수의 주사선들, 복수의 게이트 제어선들 및 복수의 데이터선들의 교차부마다 위치되는 복수의 화소 회로들을 구비하는 화소부;

상기 복수의 주사선들에 주사 신호를 제공하는 주사 구동부;

상기 복수의 게이트 제어선들에 게이트 제어 신호를 제공하는 게이트 구동부;

상기 복수의 데이터선들에 데이터 신호를 제공하는 데이터 구동부; 및

제1 전원 및 제2 전원을 상기 화소부에 제공하는 전원부를 포함하고,

상기 복수의 화소 회로들 각각은,

캐소드 전극이 상기 제2 전원에 연결되는 유기 발광 다이오드;

제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비하는 제1 PMOS 트랜지스터;

제1 전극, 상기 제1 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 제2 PMOS 트랜지스터;

상기 제1 전원에 연결되는 제1 전극, 상기 제2 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비하는 제3 PMOS 트랜지스터;

상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 상기 주사선에 연결되는 게이트 전극을 구비하는 제4 PMOS 트랜지스터; 및

상기 제2 PMOS 트랜지스터의 제1 전극과 상기 데이터선에 연결되는 제1 전극 및 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제2 전극을 구비하는 저장 커패시터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제15 항에 있어서, 상기 화소부는 한 프레임 주기 중의 데이터 기입 구간 동안 상기 복수의 화소 회로들 각각에 영상 데이터를 기입하고 한 프레임 주기 중의 발광 구간 동안 상기 복수의 화소 회로들 각각을 동시에 발광시키는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제16 항에 있어서, 상기 데이터 기입 구간 동안 상기 게이트 구동부는 논리 하이 레벨의 상기 게이트 제어 신호를 상기 복수의 게이트 제어선들 각각에 동시에 인가하고 상기 주사 구동부는 논리 로우 레벨의 상기 주사 신호를 상기 복수의 주사선들 각각에 순차적으로 인가하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제17 항에 있어서, 상기 데이터 기입 구간 동안 상기 복수의 화소 회로들 각각에 포함되는 상기 제1 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴오프되고, 상기 복수의 화소 회로들 각각에 포함되는 상기 저장 커패시터와 상기 유기 발광 다이오드의 기생 커패시터의 커플링 효과로 인해 상기 저장 커패시터에 상기 데이터 구동부로부터 제공되는 데이터 신호에 비례하는 성분과 상기 제2 PMOS 트랜지스터의 문턱 전압의 합에 상응하는 전압이 저장되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

유기 발광 다이오드의 제1 전극과 제1 전원 사이에 순차적으로 연결되는 제1 트랜지스터, 구동 트랜지스터 및 제2 트랜지스터를 턴온시켜 상기 유기 발광 다이오드의 제1 전극을 상기 제1 전원의 전압으로 초기화하는 단계;

상기 구동 트랜지스터의 게이트 전극에 연결되는 제1 전극 및 상기 구동 트랜지스터와 상기 제2 트랜지스터의 접속 노드에 연결되는 제2 전극을 구비하는 저장 커패시터에 상기 구동 트랜지스터의 문턱 전압을 저장하는 단계;

상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴오프시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극에 연결시키고 상기 저장 커패시터의 제2 전극에 데이터 신호를 인가하는 단계; 및

상기 데이터 신호에 상응하는 전류가 상기 구동 트랜지스터를 통해 상기 유기 발광 다이오드를 통과하여 상기 유기 발광 다이오드가 발광하는 단계를 포함하는 화소 회로의 구동 방법.

청구항 20

제19 항에 있어서, 상기 저장 커패시터에 상기 구동 트랜지스터의 문턱 전압을 저장하는 단계는 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극에 연결시키는 단계를 포함하는 것을 특징으로 하는 화소 회로의 구동 방법.

청구항 21

제19 항에 있어서, 상기 데이터 신호를 인가하는 단계는 상기 저장 커패시터와 상기 유기 발광 다이오드의 기생 커패시터의 커플링 효과를 이용하여 상기 저장 커패시터에 상기 데이터 신호에 비례하는 성분과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압을 저장하는 단계를 포함하는 것을 특징으로 하는 화소 회로의 구동 방법.

청구항 22

제19 항에 있어서, 상기 유기 발광 다이오드가 발광하는 단계는 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극으로부터 차단시키는 단계를 포함하는 것을 특징으로 하는 화소 회로의 구동 방법.

명세서

기술분야

본 발명은 화소 회로, 유기 발광 표시 장치 및 화소 회로의 구동 방법에 관한 것이다. 보다 상세하게는, 본 발명은 적은 수의 트랜지스터 및 커패시터를 사용하여 트랜지스터의 문턱 전압 산포를 보상할 수 있는 화소 회로, 이러한 화소 회로를 포함하는 유기 발광 표시 장치 및 이러한 화소 회로의 구동 방법에 관한 것이다.

배경기술

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 개발되고 있다. 평판 표시 장치로는 액정 표시장치(Liquid Crystal Display: LCD), 전계 방출 표시장치(Field Emission Display: FED), 플라즈마 표시패널(Plasma Display Panel: PDP) 및 유기 발광 표시 장치(Organic Light Emitting Display: OLED) 등이 있다.

평판 표시 장치 중 유기 발광 표시 장치(OLED)는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

통상적으로, 유기 발광 표시 장치(OLED)는 유기 발광 소자를 구동하는 방식에 따라 패시브 매트릭스형 유기 발광 표시 장치(PMOLED)와 액티브 매트릭스형 유기 발광 표시 장치(AMOLED)로 분류된다.

상기 액티브 매트릭스형 유기 발광 표시 장치(AMOLED)는 복수개의 스캔 라인, 복수개의 데이터 라인 및 복수개의 전원 라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수개의 화소 회로를 구비한다. 또한, 상기 각 화소 회로는 통상적으로 유기 발광 소자, 2개의 트랜지스터, 즉 데이터 신호를 전달하기 위한 스위칭 트랜지스터와, 상기 데이터 신호에 따라 상기 유기 발광 소자를 구동시키기 위한 구동 트랜지스터와, 상기 데이터

전압을 유지시키기 위한 하나의 커패시터로 이루어진다.

[0006] 이와 같은 액티브 매트릭스형 유기 발광 표시 장치(AMOLED)는 소비전력이 적은 이점이 있지만, 유기 발광 소자를 구동하는 구동 트랜지스터의 게이트와 소스 간의 전압, 즉 구동 트랜지스터의 문턱 전압(threshold voltage) 편차에 따라 유기 발광 소자를 통해 흐르는 전류 세기가 변하여 표시 불균일을 초래하는 문제점이 있다.

[0007] 즉, 상기 각 화소 회로 내에 구비된 트랜지스터는 제조 공정 변수에 따라 트랜지스터의 특성이 변하게 되므로, 액티브 매트릭스형 유기 발광 표시 장치(AMOLED)의 모든 트랜지스터의 특성을 동일하게 되도록 트랜지스터를 제조하는 것이 어려우며, 이에 따라 화소 회로간 문턱 전압의 편차가 존재하기 때문이다.

[0008] 이에 최근 들어 이러한 문제점을 극복하기 위하여 복수의 트랜지스터 및 커패시터를 포함하는 보상 회로가 연구되고 있으며, 이러한 보상회로를 각각의 화소 회로 내에 추가로 더 형성하여 극복하고 있으나, 이 경우 각 화소 별로 많은 수의 트랜지스터 및 커패시터가 실장되어야 하는 문제점이 있다.

[0009] 보다 구체적으로, 이와 같이 각 화소 회로에 보상 회로가 추가되면, 각 화소 회로를 구성하는 트랜지스터 및 커패시터와, 상기 트랜지스터를 제어하는 신호선들이 추가됨에 의해 하부 발광 방식의 액티브 매트릭스형 유기 발광 표시 장치(AMOLED)의 경우 개구율이 감소되고, 회로의 구성요소가 많아지고 복잡해짐에 따라 불량률이 발생할 확률도 높아지는 단점이 있다.

[0010] 또한, 최근 들어 화면 뭉개짐(motion blur) 현상을 제거하기 위해 120Hz 이상의 고속 주사 구동이 요구되고 있으나, 이 경우 각 주사 라인당 충전 시간이 대폭적으로 줄어들게 된다. 즉, 상기 보상 회로가 각 화소 회로에 구비되어 하나의 주사 라인에 연결된 각 화소 회로 내에 많은 수의 트랜지스터가 형성되는 경우 용량성 부하(capacitive load)가 크게 되어 결과적으로 이와 같은 고속 주사 구동의 구현이 어려워지는 단점이 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 일 목적은 적은 수의 트랜지스터 및 커패시터를 사용하여 트랜지스터의 문턱 전압 산포를 보상할 수 있는 화소 회로를 제공하는 것이다.

[0012] 본 발명의 다른 목적은 적은 수의 트랜지스터 및 커패시터를 사용하여 트랜지스터의 문턱 전압 산포를 보상할 수 있는 화소 회로를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0013] 본 발명의 또 다른 목적은 적은 수의 트랜지스터 및 커패시터를 사용하여 트랜지스터의 문턱 전압 산포를 보상할 수 있는 화소 회로 구동 방법을 제공하는 것이다.

[0014] 그러나, 본 발명이 해결하고자 하는 과제는 상술한 과제들에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0015] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 화소 회로는 유기 발광 다이오드, 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제3 PMOS 트랜지스터, 제4 PMOS 트랜지스터 및 저장 커패시터를 포함한다. 상기 유기 발광 다이오드의 캐소드 전극은 제2 전원에 연결된다. 상기 제1 PMOS 트랜지스터는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 게이트 제어선에 연결되는 게이트 전극을 구비한다. 상기 제2 PMOS 트랜지스터는 제1 전극, 상기 제1 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비한다. 상기 제3 PMOS 트랜지스터는 제1 전원에 연결되는 제1 전극, 상기 제2 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비한다. 상기 제4 PMOS 트랜지스터는 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 주사선에 연결되는 게이트 전극을 구비한다. 상기 저장 커패시터는 상기 제2 PMOS 트랜지스터의 제1 전극과 데이터선에 연결되는 제1 전극 및 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제2 전극을 구비한다.

[0016] 예시적인 실시예들에 있어서, 초기화 구간 동안, 상기 제1 전원은 상기 제2 전원보다 낮은 제1 전압으로 설정되고, 상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 로우 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 논리 하이 레벨의 주사 신호를 수신할 수 있다.

- [0017] 상기 초기화 구간 동안 상기 제1 PMOS 트랜지스터, 상기 제2 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴온되고 상기 제4 PMOS 트랜지스터는 턴오프되어 상기 유기 발광 다이오드의 애노드 전극은 상기 제1 전압으로 초기화될 수 있다.
- [0018] 예시적인 실시예들에 있어서, 문턱 전압 보상 구간 동안, 상기 제1 전원은 상기 제2 전원보다 낮은 제2 전압으로 설정되고, 상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 로우 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 논리 로우 레벨의 주사 신호를 수신할 수 있다.
- [0019] 상기 문턱 전압 보상 구간 동안 상기 제1 PMOS 트랜지스터, 상기 제2 PMOS 트랜지스터, 상기 제3 PMOS 트랜지스터 및 상기 제4 PMOS 트랜지스터는 턴온되어 상기 저장 커패시터에 상기 제2 PMOS 트랜지스터의 문턱 전압이 저장되고 상기 유기 발광 다이오드의 애노드 전극은 상기 제2 전압에서 상기 제2 PMOS 트랜지스터의 문턱 전압의 크기를 감소한 크기의 전압으로 설정될 수 있다.
- [0020] 예시적인 실시예들에 있어서, 데이터 기입 구간 동안, 상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 하이 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 상기 데이터 기입 구간 중의 스캔 구간 동안 논리 로우 레벨의 주사 신호를 수신하고 상기 데이터 기입 구간 중의 상기 스캔 구간을 제외한 나머지 구간 동안 논리 하이 레벨의 주사 신호를 수신할 수 있다.
- [0021] 상기 데이터 기입 구간 동안 상기 제1 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴오프되고 상기 스캔 구간 동안 상기 제4 PMOS 트랜지스터가 턴온되고 상기 저장 커패시터의 제1 전극에 상기 데이터선을 통해 제공되는 데이터 신호가 인가되고, 상기 저장 커패시터와 상기 유기 발광 다이오드의 기생 커패시터의 커플링 효과로 인해 상기 저장 커패시터에 상기 데이터 신호에 비례하는 성분과 상기 제2 PMOS 트랜지스터의 문턱 전압의 합에 상응하는 전압이 저장될 수 있다.
- [0022] 예시적인 실시예들에 있어서, 발광 구간 동안, 상기 제1 전원은 상기 제2 전원보다 높은 제3 전압으로 설정되고, 상기 제1 PMOS 트랜지스터의 게이트 전극 및 상기 제3 PMOS 트랜지스터의 게이트 전극은 상기 게이트 제어선을 통해 논리 로우 레벨의 게이트 제어 신호를 수신하고 상기 제4 PMOS 트랜지스터의 게이트 전극은 상기 주사선을 통해 논리 하이 레벨의 주사 신호를 수신할 수 있다.
- [0023] 상기 발광 구간 동안 상기 제1 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴온되고 상기 제4 PMOS 트랜지스터는 턴오프되어 상기 제2 PMOS 트랜지스터는 상기 제2 PMOS 트랜지스터의 문턱 전압에 무관하게 상기 데이터 신호에 상응하는 크기의 전류를 상기 제1 전원으로부터 상기 유기 발광 다이오드를 경유하여 상기 제2 전원으로 통과시킬 수 있다.
- [0024] 예시적인 실시예들에 있어서, 상기 데이터선에 연결되는 제1 전극, 상기 저장 커패시터의 제1 전극에 연결되는 제2 전극 및 상기 주사선에 연결되는 게이트 전극을 구비하는 제5 PMOS 트랜지스터를 더 포함하고, 상기 저장 커패시터의 제1 전극은 상기 제5 PMOS 트랜지스터를 통해 상기 데이터선에 연결될 수 있다.
- [0025] 예시적인 실시예들에 있어서, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극을 구비하는 보조 커패시터를 더 포함할 수 있다.
- [0026] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 화소 회로는 유기 발광 다이오드, 제1 NMOS 트랜지스터, 제2 NMOS 트랜지스터, 제3 NMOS 트랜지스터, 제4 NMOS 트랜지스터 및 저장 커패시터를 포함한다. 상기 유기 발광 다이오드의 애노드 전극은 제1 전원에 연결된다. 상기 제1 NMOS 트랜지스터는 제1 전극, 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극 및 게이트 제어선에 연결되는 게이트 전극을 구비한다. 상기 제2 NMOS 트랜지스터는 제1 전극, 상기 제1 NMOS 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비한다. 상기 제3 NMOS 트랜지스터는 제2 전원에 연결되는 제1 전극, 상기 제2 NMOS 트랜지스터의 제1 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비한다. 상기 제4 NMOS 트랜지스터는 상기 제2 NMOS 트랜지스터의 게이트 전극에 연결되는 제1 전극, 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극 및 주사선에 연결되는 게이트 전극을 구비한다. 상기 저장 커패시터는 상기 제2 NMOS 트랜지스터의 제1 전극과 데이터선에 연결되는 제1 전극 및 상기 제2 NMOS 트랜지스터의 게이트 전극에 연결되는 제2 전극을 구비한다.
- [0027] 예시적인 실시예들에 있어서, 상기 데이터선에 연결되는 제1 전극, 상기 저장 커패시터의 제1 전극에 연결되는

제2 전극 및 상기 주사선에 연결되는 게이트 전극을 구비하는 제5 NMOS 트랜지스터를 더 포함하고, 상기 저장 커패시터의 제1 전극은 상기 제5 NMOS 트랜지스터를 통해 상기 데이터선에 연결될 수 있다.

[0028] 예시적인 실시예들에 있어서, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제1 전극 및 상기 유기 발광 다이오드의 캐소드 전극에 연결되는 제2 전극을 구비하는 보조 커패시터를 더 포함할 수 있다.

[0029] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 화소부, 주사 구동부, 게이트 구동부, 데이터 구동부 및 전원부를 포함한다. 상기 화소부는 복수의 주사선들, 복수의 게이트 제어선들 및 복수의 데이터선들의 교차부마다 위치되는 복수의 화소 회로들을 구비한다. 상기 주사 구동부는 상기 복수의 주사선들에 주사 신호를 제공한다. 상기 게이트 구동부는 상기 복수의 게이트 제어선들에 게이트 제어 신호를 제공한다. 상기 데이터 구동부는 상기 복수의 데이터선들에 데이터 신호를 제공한다. 상기 전원부는 제1 전원 및 제2 전원을 상기 화소부에 제공한다. 상기 복수의 화소 회로들 각각은 유기 발광 다이오드, 제1 PMOS 트랜지스터, 제2 PMOS 트랜지스터, 제3 PMOS 트랜지스터, 제4 PMOS 트랜지스터 및 저장 커패시터를 포함한다. 상기 유기 발광 다이오드의 캐소드 전극은 제2 전원에 연결된다. 상기 제1 PMOS 트랜지스터는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비한다. 상기 제2 PMOS 트랜지스터는 제1 전극, 상기 제1 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비한다. 상기 제3 PMOS 트랜지스터는 제1 전원에 연결되는 제1 전극, 상기 제2 PMOS 트랜지스터의 제1 전극에 연결되는 제2 전극 및 상기 게이트 제어선에 연결되는 게이트 전극을 구비한다. 상기 제4 PMOS 트랜지스터는 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제1 전극, 상기 유기 발광 다이오드의 애노드 전극에 연결되는 제2 전극 및 상기 주사선에 연결되는 게이트 전극을 구비한다. 상기 저장 커패시터는 상기 제2 PMOS 트랜지스터의 제1 전극과 상기 데이터선에 연결되는 제1 전극 및 상기 제2 PMOS 트랜지스터의 게이트 전극에 연결되는 제2 전극을 구비한다.

[0030] 예시적인 실시예들에 있어서, 상기 화소부는 한 프레임 주기 중의 데이터 기입 구간 동안 상기 복수의 화소 회로들 각각에 영상 데이터를 기입하고 한 프레임 주기 중의 발광 구간 동안 상기 복수의 화소 회로들 각각을 동시에 발광시킬 수 있다.

[0031] 상기 데이터 기입 구간 동안 상기 게이트 구동부는 논리 하이 레벨의 상기 게이트 제어 신호를 상기 복수의 게이트 제어선들 각각에 동시에 인가하고 상기 주사 구동부는 논리 로우 레벨의 상기 주사 신호를 상기 복수의 주사선들 각각에 순차적으로 인가할 수 있다.

[0032] 상기 데이터 기입 구간 동안 상기 복수의 화소 회로들 각각에 포함되는 상기 제1 PMOS 트랜지스터 및 상기 제3 PMOS 트랜지스터는 턴오프되고, 상기 복수의 화소 회로들 각각에 포함되는 상기 저장 커패시터와 상기 유기 발광 다이오드의 기생 커패시터의 커플링 효과로 인해 상기 저장 커패시터에 상기 데이터 구동부로부터 제공되는 데이터 신호에 비례하는 성분과 상기 제2 PMOS 트랜지스터의 문턱 전압의 합에 상응하는 전압이 저장될 수 있다.

[0033] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 화소 회로의 구동 방법에 있어서, 유기 발광 다이오드의 제1 전극과 제1 전원 사이에 순차적으로 연결되는 제1 트랜지스터, 구동 트랜지스터 및 제2 트랜지스터를 턴온시켜 상기 유기 발광 다이오드의 제1 전극을 상기 제1 전원의 전압으로 초기화하고, 상기 구동 트랜지스터의 게이트 전극에 연결되는 제1 전극 및 상기 구동 트랜지스터와 상기 제2 트랜지스터의 접속 노드에 연결되는 제2 전극을 구비하는 저장 커패시터에 상기 구동 트랜지스터의 문턱 전압을 저장하고, 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴오프시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극에 연결시키고 상기 저장 커패시터의 제2 전극에 데이터 신호를 인가하고, 상기 데이터 신호에 상응하는 전류가 상기 구동 트랜지스터를 통해 상기 유기 발광 다이오드를 통과하여 상기 유기 발광 다이오드가 발광한다.

[0034] 예시적인 실시예들에 있어서, 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극에 연결시킴으로써 상기 저장 커패시터에 상기 구동 트랜지스터의 문턱 전압을 저장할 수 있다.

[0035] 예시적인 실시예들에 있어서, 상기 데이터 신호를 인가하는 경우, 상기 저장 커패시터와 상기 유기 발광 다이오드의 기생 커패시터의 커플링 효과를 이용하여 상기 저장 커패시터에 상기 데이터 신호에 비례하는 성분과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압을 저장할 수 있다.

[0036] 예시적인 실시예들에 있어서, 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온시키고 상기 저장 커패시터의

제1 전극을 상기 유기 발광 다이오드의 제1 전극으로부터 차단시킴으로써 상기 유기 발광 다이오드가 발광시킬 수 있다.

발명의 효과

- [0037] 본 발명의 실시예들에 따른 화소 회로는 저장 커패시터와 유기 발광 다이오드의 기생 커패시터 사이의 커플링 효과를 이용하여 데이터 신호를 저장 커패시터에 저장하도록 동작하므로 적은 개수의 트랜지스터 및 커패시터를 사용하여 구현할 수 있다.
- [0038] 또한, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 적은 개수의 트랜지스터 및 커패시터를 사용하여 구현되는 화소 회로를 포함하므로 균일한 화질의 영상을 제공하면서도 공정 수율 및 개구율을 향상시킬 수 있고, 주사 라인에 연결되는 용량성 부하가 감소되어 고속 주사 동작이 가능하다.

도면의 간단한 설명

- [0039] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- 도 2는 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 일 실시예를 나타내는 회로도이다.
- 도 3은 도 1의 유기 발광 표시 장치의 동작을 설명하기 위한 타이밍도이다.
- 도 4 내지 6은 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 다른 실시예들을 나타내는 회로도이다.
- 도 7은 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예를 나타내는 회로도이다.
- 도 8은 도 1의 유기 발광 표시 장치의 동작을 설명하기 위한 타이밍도이다.
- 도 9 내지 11은 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예들을 나타내는 회로도이다.
- 도 12는 본 발명의 일 실시예에 따른 화소 회로의 구동 방법을 나타내는 순서도이다.
- 도 13은 본 발명의 일 실시예에 따른 시스템을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0040] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0041] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0042] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0043] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0044] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0045] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0046] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0047] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 나타내는 블록도이다.
- [0048] 도 1을 참조하면, 유기 발광 표시 장치(10)는 화소부(100), 주사 구동부(200), 게이트 구동부(300), 데이터 구동부(400) 및 전원 생성부(500)를 포함한다.
- [0049] 주사 구동부(200), 게이트 구동부(300), 데이터 구동부(400) 및 전원 생성부(500)는 하나의 집적 회로(Integrated Circuit: IC) 칩으로 구현될 수 있다.
- [0050] 화소부(100)는 복수의 주사선들(S1, S2, ..., Sn)(n은 양의 정수)을 통해 주사 구동부(200)와 연결된다. 화소부(100)는 복수의 게이트 제어선들(G1, G2, ..., Gn)을 통해 게이트 구동부(300)와 연결된다. 화소부(100)는 복수의 데이터선들(D1, D2, ..., Dm)(m은 양의 정수)을 통해 데이터 구동부(400)와 연결된다. 또한, 화소부(100)는 전원 생성부(500)로부터 제1 전원(ELVDD) 및 제2 전원(ELVSS)를 공급받는다.
- [0051] 화소부(100)는 복수의 주사선들(S1, S2, ..., Sn), 복수의 게이트 제어선들(G1, G2, ..., Gn) 및 복수의 데이터선들(D1, D2, ..., Dm)의 교차부마다 위치되는 n*m 개의 화소 회로(110)들을 포함한다. 후술하는 바와 같이, 복수의 화소 회로(110)들 각각은 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다.
- [0052] 주사 구동부(200)는 복수의 주사선들(S1, S2, ..., Sn)을 통해 복수의 화소 회로(110)들 각각에 주사 신호를 제공한다.
- [0053] 게이트 구동부(300)는 복수의 게이트 제어선들(G1, G2, ..., Gn)을 통해 복수의 화소 회로(110)들 각각에 게이트 제어 신호를 제공한다.
- [0054] 데이터 구동부(400)는 복수의 데이터선들(D1, D2, ..., Dm)을 통해 복수의 화소 회로(110)들 각각에 데이터 신호를 제공한다.
- [0055] 전원 생성부(500)는 복수의 화소 회로(110)들 각각에 제1 전원(ELVDD) 및 제2 전원(ELVSS)를 제공한다.
- [0056] 복수의 화소 회로(110)들 각각은 상기 주사 신호, 상기 게이트 제어 신호, 상기 데이터 신호, 제1 전원(ELVDD) 및 제2 전원(ELVSS)를 수신하여 상기 데이터 신호에 상응하는 휘도로 상기 유기 발광 다이오드(Organic Light Emitting Diode)를 발광시켜 화상을 표시한다.
- [0057] 도 2는 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 일 실시예를 나타내는 회로도이다.
- [0058] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 2에 도시된 화소 회로(110a)로 구현될 수 있다.
- [0059] 도 2에 도시된 실시예의 경우, 화소 회로(110a)는 PMOS(P-type Metal Oxide Semiconductor) 트랜지스터로 구현된다.
- [0060] 도 2에서는 j행 i열(i, j 는 양의 정수)에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.
- [0061] 화소 회로(110a)는 도 1에 도시된 주사 구동부(200)로부터 주사선(Sj)을 통해 주사 신호(SCAN)를 수신한다. 화소 회로(110a)는 도 1에 도시된 게이트 구동부(300)로부터 게이트 제어선(Gj)을 통해 게이트 제어 신호(GC)를 수신한다. 화소 회로(110a)는 도 1에 도시된 데이터 구동부(400)로부터 데이터선(Di)을 통해 데이터 신호(DT)를 수신한다. 또한, 화소 회로(110a)는 도 1에 도시된 전원 생성부(500)로부터 제1 전원(ELVDD) 및 제2 전원(ELVSS)를 공급받는다.
- [0062] 도 2를 참조하면, 화소 회로(110a)는 유기 발광 다이오드(OD), 제1 PMOS 트랜지스터(MP1), 제2 PMOS 트랜지스터(MP2), 제3 PMOS 트랜지스터(MP3), 제4 PMOS 트랜지스터(MP4) 및 저장 커패시터(Cst)를 포함한다.
- [0063] 유기 발광 다이오드(OD)는 제2 전원(ELVSS)에 연결되는 캐소드(cathode) 전극 및 제1 PMOS 트랜지스터(MP1)의

제2 전극에 연결되는 애노드(anode) 전극을 포함한다.

[0064] 제1 PMOS 트랜지스터(MP1)는 제2 PMOS 트랜지스터(MP2)의 제2 전극에 연결되는 제1 전극, 유기 발광 다이오드(OD)의 애노드 전극에 연결되는 제2 전극 및 게이트 제어선(Gj)에 연결되는 게이트 전극을 포함한다.

[0065] 제2 PMOS 트랜지스터(MP2)는 제3 PMOS 트랜지스터(MP3)의 제2 전극에 연결되는 제1 전극, 제1 PMOS 트랜지스터(MP1)의 제1 전극에 연결되는 제2 전극 및 제4 PMOS 트랜지스터(MP4)의 제1 전극과 저장 커패시터(Cst)의 제2 전극에 동시에 연결되는 게이트 전극을 포함한다. 제2 PMOS 트랜지스터(MP2)는 구동 트랜지스터로서 동작한다. 제2 PMOS 트랜지스터(MP2)의 제1 전극은 소스 전극이고 제2 전극은 드레인 전극일 수 있다.

[0066] 제3 PMOS 트랜지스터(MP3)는 제1 전원(ELVDD)에 연결되는 제1 전극, 제2 PMOS 트랜지스터(MP2)의 제1 전극과 저장 커패시터(Cst)의 제1 전극에 동시에 연결되는 제2 전극 및 게이트 제어선(Gj)에 연결되는 게이트 전극을 포함한다.

[0067] 제4 PMOS 트랜지스터(MP4)는 제2 PMOS 트랜지스터(MP2)의 게이트 전극과 저장 커패시터(Cst)의 제2 전극에 동시에 연결되는 제1 전극, 제1 PMOS 트랜지스터(MP1)의 제2 전극과 유기 발광 다이오드(OD)의 애노드 전극에 동시에 연결되는 제2 전극 및 주사선(Sj)에 연결되는 게이트 전극을 포함한다.

[0068] 저장 커패시터(Cst)는 제2 PMOS 트랜지스터(MP2)의 제1 전극과 데이터선(Di)에 동시에 연결되는 제1 전극 및 제2 PMOS 트랜지스터(MP2)의 게이트 전극과 제4 PMOS 트랜지스터(MP4)의 제1 전극에 동시에 연결되는 제2 전극을 포함한다.

[0069] 한편, 유기 발광 다이오드(OD)는 애노드 전극 및 캐소드 전극에 의해 생성되는 기생 커패시터(Coled)를 내재적으로 포함한다. 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)는 도 2에서 유기 발광 다이오드(OD)의 애노드 전극과 캐소드 전극 사이에 점선으로 표시된다.

[0070] 후술하는 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(110a)는 데이터선(Di)을 통해 제공되는 데이터 신호(DT)를 저장 커패시터(Cst)에 저장할 때에 저장 커패시터(Cst)와 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커플링 효과를 이용한다.

[0071] 도 3은 도 1의 유기 발광 표시 장치의 동작을 설명하기 위한 타이밍도이다.

[0072] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소부(100)는 도 2의 화소 회로(110a)를 포함하는 것으로 설명한다.

[0073] 도 3에서 ELVDD는 전원 생성부(500)로부터 화소 회로(110a)에 제공되는 제1 전원(ELVDD)을 나타내고, ELVSS는 전원 생성부(500)로부터 화소 회로(110a)에 제공되는 제2 전원(ELVSS)을 나타내고, GC는 게이트 구동부(300)로부터 화소 회로(110a)에 제공되는 게이트 제어 신호(GC)를 나타내고 DT는 데이터 구동부(400)로부터 화소 회로(110a)에 제공되는 데이터 신호(DT)를 나타낸다. 한편, SCAN[1]는 주사 구동부(200)로부터 제1 주사선(S1)을 통해 제1 주사선(S1)에 연결되는 화소 회로(110a)에 제공되는 주사 신호(SCAN)를 나타내고, SCAN[n]는 주사 구동부(200)로부터 제n 주사선(Sn)을 통해 제n 주사선(Sn)에 연결되는 화소 회로(110a)에 제공되는 주사 신호(SCAN)를 나타낸다.

[0074] 도 3을 참조하면, 한 프레임 주기는 초기화 구간(PD1), 문턱 전압 보상 구간(PD2), 데이터 기입 구간(PD3) 및 발광 구간(PD4)으로 구분될 수 있다.

[0075] 도 3에 도시된 바와 같이, 게이트 제어 신호(GC), 제1 전원(ELVDD) 및 제2 전원(ELVSS)은 초기화 구간(PD1), 문턱 전압 보상 구간(PD2), 데이터 기입 구간(PD3) 및 발광 구간(PD4) 동안 화소부(100)에 포함되는 모든 화소 회로(110a)들에 공통으로 인가되고, 주사 신호(SCAN)는 초기화 구간(PD1), 문턱 전압 보상 구간(PD2) 및 발광 구간(PD4) 동안은 화소부(100)에 포함되는 모든 화소 회로(110a)들에 공통으로 인가되고 데이터 기입 구간(PD3) 동안은 복수의 주사선들(S1, S2, ..., Sn) 각각에 연결되는 화소 회로(110a)들 별로 순차적으로 인가될 수 있다. 따라서 데이터 기입 구간(PD3)은 복수의 주사선들(S1, S2, ..., Sn) 각각에 연결되는 화소 회로(110a)들 별로 순차적으로 수행되나, 초기화 구간(PD1), 문턱 전압 보상 구간(PD2) 및 발광 구간(PD4)은 화소부(100)에 포함되는 모든 화소 회로(110a)들에서 동시에 일괄적으로 수행될 수 있다.

[0076] 초기화 구간(PD1) 동안 각각의 화소 회로(110a)에 포함되는 유기 발광 다이오드(OD)의 애노드 전극의 전압이 초기화된다. 문턱 전압 보상 구간(PD2) 동안 구동 트랜지스터로서 동작하는 각각의 화소 회로(110a)에 포함되는 제2 PMOS 트랜지스터(MP2)의 문턱 전압이 저장 커패시터(Cst)의 양단에 저장된다. 데이터 기입 구간(PD3) 동안

데이터 신호(DT)가 복수의 주사선들(S1, S2, ..., Sn) 각각에 연결되는 화소 회로(110a)들의 저장 커패시터(Cst)에 순차적으로 저장된다. 발광 구간(PD4) 동안 화소부(100)에 포함되는 모든 화소 회로(110a)들에서 일괄적으로 발광이 수행된다. 따라서 유기 발광 표시 장치(10)는 순차 발광(Progressive Emission) 방식이 아닌 동시 발광(Simultaneous Emission) 방식으로 구동할 수 있다.

- [0077] 이하, 도 1, 도 2 및 도 3을 참조하여 유기 발광 표시 장치(10)의 구체적인 동작에 대해 상세히 설명한다.
- [0078] 초기화 구간(PD1) 동안, 전원 생성부(500)는 제1 전원(ELVDD)은 제1 전압(Vss)으로 설정하여 화소 회로(110a)에 제공하고 제2 전원(ELVSS)은 제3 전압(Vdd)으로 설정하여 화소 회로(110a)에 제공할 수 있다. 제1 전압(Vss)은 제3 전압(Vdd) 보다 낮은 전압일 수 있다. 예를 들어, 제1 전압(Vss)은 약 0V이고 제3 전압(Vdd)은 약 12V일 수 있다. 게이트 구동부(300)는 게이트 제어선(Gj)을 통해 화소 회로(110a)에 논리 로우 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 주사선(Sj)을 통해 화소 회로(110a)에 논리 하이 레벨의 주사 신호(SCAN)를 제공할 수 있다. 데이터 구동부(400)는 데이터선(Di)에 고저항(HIGH-Z) 상태의 신호를 제공할 수 있다.
- [0079] 따라서, 초기화 구간(PD1) 동안 제1 PMOS 트랜지스터(MP1)의 게이트 전극 및 제3 PMOS 트랜지스터(MP3)의 게이트 전극에는 논리 로우 레벨의 게이트 신호(GC)가 인가되어 제1 PMOS 트랜지스터(MP1) 및 제3 PMOS 트랜지스터(MP3)는 턴온(turn-on)되고, 제4 PMOS 트랜지스터(MP4)의 게이트 전극에는 논리 하이 레벨의 주사 신호(SCAN)가 인가되어 제4 PMOS 트랜지스터(MP4)는 턴오프(turn-off)된다. 또한, 제1 전원(ELVDD)이 로우 레벨의 제1 전압(Vss)으로 인가되므로 저장 커패시터(Cst)를 통해 제2 PMOS 트랜지스터(MP2)의 게이트 전극도 로우 레벨이 되어 제2 PMOS 트랜지스터(MP2) 역시 턴온된다.
- [0080] 즉, 제1 PMOS 트랜지스터(MP1) 및 제3 PMOS 트랜지스터(MP3)가 턴온되고 제2 PMOS 트랜지스터(MP2)의 제1 전극 및 제2 전극 사이에 전류 경로가 형성되어 유기 발광 다이오드(OD)의 애노드 전극은 제1 전원(ELVDD)의 전압, 즉, 제1 전압(Vss)으로 초기화된다.
- [0081] 이후, 문턱 전압 보상 구간(PD2) 동안, 전원 생성부(500)는 제1 전원(ELVDD)은 제1 전압(Vss) 보다 높고 제3 전압(Vdd) 보다 낮은 제2 전압(Vsus)으로 설정하여 화소 회로(110a)에 제공하고 제2 전원(ELVSS)은 초기화 구간(PD1)에서와 동일하게 제3 전압(Vdd)으로 설정하여 화소 회로(110a)에 제공할 수 있다. 예를 들어, 제2 전압(Vsus)은 약 7V일 수 있다. 게이트 구동부(300)는 게이트 제어선(Gj)을 통해 화소 회로(110a)에 논리 로우 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 주사선(Sj)을 통해 화소 회로(110a)에 논리 로우 레벨의 주사 신호(SCAN)를 제공할 수 있다. 데이터 구동부(400)는 데이터선(Di)에 고저항(HIGH-Z) 상태의 신호를 제공할 수 있다.
- [0082] 따라서, 문턱 전압 보상 구간(PD2) 동안 제1 PMOS 트랜지스터(MP1)의 게이트 전극 및 제3 PMOS 트랜지스터(MP3)의 게이트 전극에는 초기화 구간(PD1)에서와 동일하게 논리 로우 레벨의 게이트 신호(GC)가 인가되므로 제1 PMOS 트랜지스터(MP1) 및 제3 PMOS 트랜지스터(MP3)는 초기화 구간(PD1)에서와 동일하게 턴온 상태를 유지하고, 제2 PMOS 트랜지스터(MP2) 역시 턴온 상태를 유지한다. 한편, 제4 PMOS 트랜지스터(MP4)의 게이트 전극에는 논리 로우 레벨의 주사 신호(SCAN)가 인가되므로 제4 PMOS 트랜지스터(MP4)는 턴온 상태로 전환되어 저장 커패시터(Cst)의 제2 전극 및 제2 PMOS 트랜지스터(MP2)의 게이트 전극은 유기 발광 다이오드(OD)의 애노드 전극에 전기적으로 연결된다.
- [0083] 따라서 제1 전원(ELVDD)과 유기 발광 다이오드(OD)의 애노드 전극 사이에 전류 경로가 형성되어 저장 커패시터(Cst)의 양단에 제2 PMOS 트랜지스터(MP2)의 문턱 전압이 저장될 때까지 제1 전원(ELVDD)로부터 유기 발광 다이오드(OD)의 애노드 전극으로 전류가 흐른다. 결국, 저장 커패시터(Cst)의 양단에 제2 PMOS 트랜지스터(MP2)의 문턱 전압이 저장되고 유기 발광 다이오드(OD)의 애노드 전극은 제1 전원(ELVDD)의 전압인 제2 전압(Vsus)에서 제2 PMOS 트랜지스터(MP2)의 문턱 전압의 크기를 감산한 크기의 전압이 된다.
- [0084] 이후, 데이터 기입 구간(PD3) 동안, 전원 생성부(500)는 문턱 전압 보상 구간(PD2)에서와 동일하게 제1 전원(ELVDD)은 제2 전압(Vsus)으로 설정하여 화소 회로(110a)에 제공하고 제2 전원(ELVSS)은 제3 전압(Vdd)으로 설정하여 화소 회로(110a)에 제공할 수 있다. 게이트 구동부(300)는 게이트 제어선(Gj)을 통해 화소 회로(110a)에 논리 하이 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 복수의 주사선들(S1, S2, ..., Sn)에 순차적으로 논리 로우 레벨의 주사 신호(SCAN)를 제공할 수 있다. 구체적으로, 주사 구동부(200)는 데이터 기입 구간(PD3) 중의 스캔 구간 동안 논리 로우 레벨의 주사 신호(SCAN)를 제공하고 데이터 기입 구간(PD3) 중의 상기 스캔 구간을 제외한 나머지 구간 동안 논리 하이 레벨의 주사 신호(SCAN)를 제공할 수 있다. 상기 스

캔 구간은 복수의 주사선들(S1, S2, ..., Sn) 별로 순차적으로 설정될 수 있다. 데이터 구동부(400)는 데이터선(Di)에 해당 화소 회로에 표시될 영상 데이터에 상응하는 데이터 신호(DT)를 제공할 수 있다.

[0085] 즉, 데이터 기입 구간(PD3) 동안 제1 PMOS 트랜지스터(MP1) 및 제3 PMOS 트랜지스터(MP3)는 턴오프되므로 제2 PMOS 트랜지스터(MP2)를 통해 유기 발광 다이오드(OD)의 애노드 전극으로 유입되는 전류는 차단된다. 또한, 문턱 전압 보상 구간(PD2) 동안 저장 커패시터(Cst) 양단에 제2 PMOS 트랜지스터(MP2)의 문턱 전압이 저장되고 유기 발광 다이오드(OD)의 애노드 전극에 제2 전압(Vsus)에서 제2 PMOS 트랜지스터(MP2)의 문턱 전압의 크기를 감산한 크기의 전압이 저장된 상태에서 상기 스캔 구간 동안 저장 커패시터(Cst)의 제1 전극에 데이터 신호(DT)가 인가되므로, 저장 커패시터(Cst)와 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled) 사이에 커플링 효과가 발생하여 저장 커패시터(Cst)의 양단에 데이터 신호(DT)에 비례하는 성분과 제2 PMOS 트랜지스터(MP2)의 문턱 전압의 합에 상응하는 전압이 저장된다.

[0086] 구체적으로, 데이터 기입 구간(PD3) 동안 저장 커패시터(Cst)의 양단에 저장되는 전압은 아래의 [수학식 1]과 같다.

[0087] [수학식 1]

$$V_{st} = (V_{sus} - V_{data}) * (C_{oled} / (C_{oled} + C_{st})) + V_{th}$$

[0089] 여기서, Vst는 저장 커패시터(Cst)의 양단에 저장되는 전압을 나타내고, Vdata는 데이터 신호(DT)의 전압을 나타내고, Vth는 제2 PMOS 트랜지스터(MP2)의 문턱 전압을 나타낸다.

[0090] 이후, 발광 구간(PD4) 동안, 전원 생성부(500)는 제1 전원(ELVDD)은 제3 전압(Vdd)으로 설정하여 화소 회로(110a)에 제공하고 제2 전원(ELVSS)은 제1 전압(Vss)으로 설정하여 화소 회로(110a)에 제공할 수 있다. 게이트 구동부(300)는 게이트 제어선(Gj)을 통해 화소 회로(110a)에 논리 로우 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 주사선(Sj)을 통해 화소 회로(110a)에 논리 하이 레벨의 주사 신호(SCAN)를 제공할 수 있다. 데이터 구동부(400)는 데이터선(Di)에 고저항(HIGH-Z) 상태의 신호를 제공할 수 있다.

[0091] 즉, 발광 구간(PD4) 동안 제1 PMOS 트랜지스터(MP1)의 게이트 전극 및 제3 PMOS 트랜지스터(MP3)의 게이트 전극에는 논리 로우 레벨의 게이트 신호(GC)가 인가되므로 제1 PMOS 트랜지스터(MP1) 및 제3 PMOS 트랜지스터(MP3)는 턴오프되고, 제4 PMOS 트랜지스터(MP4)의 게이트 전극에는 논리 하이 레벨의 주사 신호(SCAN)가 인가되므로 제4 PMOS 트랜지스터(MP4)는 턴오프된다.

[0092] 한편, 도 2에 도시된 바와 같이, 제2 PMOS 트랜지스터(MP2)의 게이트 전극 및 소스 전극 사이에는 저장 커패시터(Cst)가 연결되므로, 발광 구간(PD4) 동안 제2 PMOS 트랜지스터(MP2)는 저장 커패시터(Cst)에 저장된 전압에서 제2 PMOS 트랜지스터(MP2)의 문턱 전압을 감산한 크기의 전압에 상응하는 전류를 흘린다.

[0093] 상술한 바와 같이, 데이터 기입 구간(PD3) 동안 저장 커패시터(Cst)의 양단에 저장되는 전압은 [수학식 1]과 같으므로, 발광 구간(PD4) 동안 제2 PMOS 트랜지스터(MP2) 통해 유기 발광 다이오드(OD)를 흐르는 전류는 아래의 [수학식 2]와 같다.

[0094] [수학식 2]

$$I_{oled} = b/2(V_{gs} - V_{th})^2$$

$$= b/2(V_{st} - V_{th})^2$$

$$= b/2((V_{sus} - V_{data}) * (C_{oled} / (C_{oled} + C_{st})))^2$$

[0098] 여기서, Ioled는 유기 발광 다이오드(OD)를 흐르는 전류를 나타내고, b는 상수를 나타내고, Vgs는 제2 PMOS 트랜지스터(MP2)의 게이트와 소스 사이의 전압을 나타낸다.

[0099] 즉, 유기 발광 다이오드(OD)를 흐르는 전류(Ioled)는 구동 트랜지스터로서 동작하는 제2 PMOS 트랜지스터(MP2)의 문턱 전압에는 무관하고 데이터 신호(DT)에 의해서만 결정된다.

[0100] 따라서 본 발명의 일 실시예에 따른 화소 회로(110a)는 구동 트랜지스터로서 동작하는 제2 PMOS 트랜지스터(MP2)의 문턱 전압에는 무관하고 데이터 신호(DT)에 의해서만 결정되는 크기의 휘도로 발광할 수 있고, 화소 회로(110a)를 포함하는 유기 발광 표시 장치(10)는 화소부에 포함되는 화소 회로(110a) 각각의 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 화질의 영상을 제공할 수 있다.

[0101] 종래에는 유기 발광 표시 장치에 포함되는 화소 회로들에 포함되는 구동 트랜지스터의 문턱 전압의 편차를 보상

하기 위해 각 화소 회로에 복수의 트랜지스터 및 커패시터를 포함하는 보상 회로가 사용되었다. 이와 같이 각 화소 회로에 보상 회로가 추가되면, 각 화소 회로를 구성하는 트랜지스터 및 커패시터와, 상기 트랜지스터를 제어하는 신호선들이 추가됨에 의해 개구율이 감소되고, 회로의 구성요소가 많아지고 복잡해짐에 따라 불량률 발생될 확률도 높아지는 단점이 있다. 또한, 주사 라인에 연결되는 용량성 부하(capacitive load)가 증가하게 되어 고속 주사 구동의 구현이 어려워지는 단점이 있다.

[0102] 그러나 상술한 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(110a)는 4개의 트랜지스터 및 하나의 저장 커패시터(Cst)만을 사용하여 구현되고 저장 커패시터(Cst)와 유기 발광 다이오드(OD)의 기생 커패시터(Coled) 사이의 커플링 효과를 이용하여 데이터 신호(DT)를 저장하도록 동작한다. 따라서 적은 개수의 트랜지스터 및 커패시터로 화소 회로 구현이 가능하여 공정 수율 및 개구율을 향상시킬 수 있고, 주사 라인에 연결되는 용량성 부하가 감소되어 고속 주사 동작이 가능하다.

[0103] 도 4는 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 다른 실시예를 나타내는 회로도이다.

[0104] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 4에 도시된 화소 회로(110b)로 구현될 수 있다.

[0105] 도 4에서는 j행 i열에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.

[0106] 도 4를 참조하면, 화소 회로(110b)는 유기 발광 다이오드(OD), 제1 PMOS 트랜지스터(MP1), 제2 PMOS 트랜지스터(MP2), 제3 PMOS 트랜지스터(MP3), 제4 PMOS 트랜지스터(MP4), 제5 PMOS 트랜지스터(MP5) 및 저장 커패시터(Cst)를 포함한다.

[0107] 도 4의 화소 회로(110b)와 도 2의 화소 회로(110a)를 비교하면, 도 4의 화소 회로(110b)는 도 2의 화소 회로(110a)에서 제5 PMOS 트랜지스터(MP5)를 더 포함하는 것을 제외하고는 도 2의 화소 회로(110a)와 동일하다. 도 2의 화소 회로(110a)의 구성 및 동작에 대해서는 도 1, 도 2 및 도 3을 참조하여 설명하였으므로, 여기서는 제5 PMOS 트랜지스터(MP5)에 대해서만 설명한다.

[0108] 제5 PMOS 트랜지스터(MP5)는 데이터선(Di)에 연결되는 제1 전극, 제2 PMOS 트랜지스터(MP2)의 제1 전극과 저장 커패시터(Cst)의 제1 전극에 동시에 연결되는 제2 전극 및 주사선(Sj)에 연결되는 게이트 전극을 포함한다. 따라서 제2 PMOS 트랜지스터(MP2)의 제1 전극과 저장 커패시터(Cst)의 제1 전극은 데이터선(Di)에 직접 연결되지 않고 제5 PMOS 트랜지스터(MP5)를 통해 데이터선(Di)에 연결된다.

[0109] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소부(100)가 도 4에 도시된 화소 회로(110b)를 포함하는 경우에도 유기 발광 표시 장치(10)는 도 3에 도시된 타이밍도와 동일하게 동작할 수 있다.

[0110] 상술한 바와 같이, 데이터 기입 구간(PD3) 동안, 주사 구동부(200)는 데이터 기입 구간(PD3) 중의 상기 스캔 구간 동안 논리 로우 레벨의 주사 신호(SCAN)를 제공하고 데이터 기입 구간(PD3) 중의 상기 스캔 구간을 제외한 나머지 구간 동안 논리 하이 레벨의 주사 신호(SCAN)를 제공할 수 있다.

[0111] 즉, 제5 PMOS 트랜지스터(MP5)는 상기 스캔 구간 동안에만 턴온되어 데이터선(Di)을 통해 제공되는 데이터 신호(DT)를 저장 커패시터(Cst)의 제1 전극에 인가하고 데이터 기입 구간(PD3) 중의 상기 스캔 구간을 제외한 나머지 구간 동안에는 턴오프되어 저장 커패시터(Cst)의 제1 전극으로부터 데이터선(Di)을 전기적으로 차단시킨다.

[0112] 따라서, 제5 PMOS 트랜지스터(MP5)는 다른 주사선에 연결되는 화소 회로(110b)에 데이터 신호(DT)가 기입되는 동안 저장 커패시터(Cst)의 제1 전극과 데이터선(Di)을 전기적으로 차단시킴으로써, 다른 주사선에 기입되는 데이터 신호(DT)로 인해 저장 커패시터(Cst)의 양단에 저장된 전압이 변하는 것을 방지할 수 있다.

[0113] 도 5는 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예를 나타내는 회로도이다.

[0114] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 5에 도시된 화소 회로(110c)로 구현될 수 있다.

[0115] 도 5에서는 j행 i열에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.

[0116] 도 5를 참조하면, 화소 회로(110c)는 유기 발광 다이오드(OD), 제1 PMOS 트랜지스터(MP1), 제2 PMOS 트랜지스터(MP2), 제3 PMOS 트랜지스터(MP3), 제4 PMOS 트랜지스터(MP4), 저장 커패시터(Cst) 및 보조 커패시터(Cs)를 포함한다.

[0117] 도 5의 화소 회로(110c)와 도 2의 화소 회로(110a)를 비교하면, 도 5의 화소 회로(110c)는 도 2의 화소 회로

(110a)에서 보조 커패시터(Cs)를 더 포함하는 것을 제외하고는 도 2의 화소 회로(110a)와 동일하다. 도 2의 화소 회로(110a)의 구성 및 동작에 대해서는 도 1, 도 2 및 도 3을 참조하여 설명하였으므로, 여기서는 보조 커패시터(Cs)에 대해서만 설명한다.

[0118] 보조 커패시터(Cs)는 유기 발광 다이오드(OD)의 애노드 전극에 연결되는 제1 전극 및 유기 발광 다이오드(OD)의 캐소드 전극에 연결되는 제2 전극을 포함한다. 도 5에 도시된 바와 같이, 보조 커패시터(Cs)를 유기 발광 다이오드(OD)의 양단에 추가함으로써 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커패시턴스를 증가시키는 효과를 발생시킬 수 있다.

[0119] 상기 [수학식 2]에서 설명한 바와 같이, 유기 발광 다이오드(OD)를 흐르는 전류(Ioled)는 $b/2((V_{data} - V_{sus}) * (C_{oled} / (C_{oled} + C_{st})))^2$ 와 같이 표현되므로, 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커패시턴스가 증가할수록 동일한 데이터 신호에 대해 발광되는 휘도는 증가한다.

[0120] 따라서, 보조 커패시터(Cs)는 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커패시턴스를 증가시킴으로써, 보다 높은 휘도의 영상을 표시할 수 있다.

[0121] 도 6은 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예를 나타내는 회로도이다.

[0122] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 6에 도시된 화소 회로(110d)로 구현될 수 있다.

[0123] 도 6에서는 j행 i열에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.

[0124] 도 6을 참조하면, 화소 회로(110d)는 유기 발광 다이오드(OD), 제1 PMOS 트랜지스터(MP1), 제2 PMOS 트랜지스터(MP2), 제3 PMOS 트랜지스터(MP3), 제4 PMOS 트랜지스터(MP4), 제5 PMOS 트랜지스터(MP5), 저장 커패시터(Cst) 및 보조 커패시터(Cs)를 포함한다.

[0125] 도 6의 화소 회로(110d)와 도 2의 화소 회로(110a)를 비교하면, 도 6의 화소 회로(110d)는 도 2의 화소 회로(110a)에서 제5 PMOS 트랜지스터(MP5) 및 보조 커패시터(Cs)를 더 포함하는 것을 제외하고는 도 2의 화소 회로(110a)와 동일하다. 도 2의 화소 회로(110a)의 구성 및 동작에 대해서는 도 1, 도 2 및 도 3을 참조하여 설명하였고, 제5 PMOS 트랜지스터(MP5)에 대해서는 도 4를 참조하여 설명하였고, 보조 커패시터(Cs)에 대해서는 도 5를 참조하여 설명하였으므로 도 6의 화소 회로(110d)에 대한 상세한 설명은 생략한다.

[0126] 도 7은 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예를 나타내는 회로도이다.

[0127] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 7에 도시된 화소 회로(110e)로 구현될 수 있다.

[0128] 도 7에 도시된 실시예의 경우, 화소 회로(110e)는 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터로 구현된다.

[0129] 도 7에서는 j행 i열에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.

[0130] 화소 회로(110e)는 도 1에 도시된 주사 구동부(200)로부터 주사선(Sj)을 통해 주사 신호(SCAN)를 수신한다. 화소 회로(110e)는 도 1에 도시된 게이트 구동부(300)로부터 게이트 제어선(Gj)을 통해 게이트 제어 신호(GC)를 수신한다. 화소 회로(110e)는 도 1에 도시된 데이터 구동부(400)로부터 데이터선(Di)을 통해 데이터 신호(DT)를 수신한다. 또한, 화소 회로(110e)는 도 1에 도시된 전압 생성부(500)로부터 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 공급받는다.

[0131] 도 7을 참조하면, 화소 회로(110e)는 유기 발광 다이오드(OD), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2), 제3 NMOS 트랜지스터(MN3), 제4 NMOS 트랜지스터(MN4) 및 저장 커패시터(Cst)를 포함한다.

[0132] 유기 발광 다이오드(OD)는 제1 전원(ELVDD)에 연결되는 애노드 전극 및 제1 NMOS 트랜지스터(MN1)의 제2 전극에 연결되는 캐소드 전극을 포함한다.

[0133] 제1 NMOS 트랜지스터(MN1)는 제2 NMOS 트랜지스터(MN2)의 제2 전극에 연결되는 제1 전극, 유기 발광 다이오드(OD)의 캐소드 전극에 연결되는 제2 전극 및 게이트 제어선(Gj)에 연결되는 게이트 전극을 포함한다.

[0134] 제2 NMOS 트랜지스터(MN2)는 제3 NMOS 트랜지스터(MN3)의 제2 전극에 연결되는 제1 전극, 제1 NMOS 트랜지스터(MN1)의 제1 전극에 연결되는 제2 전극 및 제4 NMOS 트랜지스터(MN4)의 제1 전극과 저장 커패시터(Cst)의 제2 전극에 동시에 연결되는 게이트 전극을 포함한다. 제2 NMOS 트랜지스터(MN2)는 구동 트랜지스터로서 동작한다.

제2 NMOS 트랜지스터(MN2)의 제1 전극은 소스 전극이고 제2 전극은 드레인 전극일 수 있다.

[0135] 제3 NMOS 트랜지스터(MN3)는 제2 전원(ELVSS)에 연결되는 제1 전극, 제2 NMOS 트랜지스터(MN2)의 제1 전극과 저장 커패시터(Cst)의 제1 전극에 동시에 연결되는 제2 전극 및 게이트 제어선(Gj)에 연결되는 게이트 전극을 포함한다.

[0136] 제4 NMOS 트랜지스터(MN4)는 제2 NMOS 트랜지스터(MN2)의 게이트 전극과 저장 커패시터(Cst)의 제2 전극에 동시에 연결되는 제1 전극, 제1 NMOS 트랜지스터(MN1)의 제2 전극과 유기 발광 다이오드(OD)의 캐소드 전극에 동시에 연결되는 제2 전극 및 주사선(Sj)에 연결되는 게이트 전극을 포함한다.

[0137] 저장 커패시터(Cst)는 제2 NMOS 트랜지스터(MN2)의 제1 전극과 데이터선(Di)에 동시에 연결되는 제1 전극 및 제2 NMOS 트랜지스터(MN2)의 게이트 전극과 제4 NMOS 트랜지스터(MN4)의 제1 전극에 동시에 연결되는 제2 전극을 포함한다.

[0138] 한편, 유기 발광 다이오드(OD)는 애노드 전극 및 캐소드 전극에 의해 생성되는 기생 커패시터(Coled)를 내재적으로 포함한다. 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)는 도 7에서 유기 발광 다이오드(OD)의 애노드 전극과 캐소드 전극 사이에 점선으로 표시된다.

[0139] 후술하는 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(110e)는 데이터선(Di)을 통해 제공되는 데이터 신호(DT)를 저장 커패시터(Cst)에 저장할 때에 저장 커패시터(Cst)와 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커플링 효과를 이용한다.

[0140] 도 8은 도 1의 유기 발광 표시 장치의 동작을 설명하기 위한 타이밍도이다.

[0141] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소부(100)는 도 7의 화소 회로(110e)를 포함하는 것으로 설명한다.

[0142] 도 8에서 ELVDD는 전원 생성부(500)로부터 화소 회로(110e)에 제공되는 제1 전원(ELVDD)을 나타내고, ELVSS는 전원 생성부(500)로부터 화소 회로(110e)에 제공되는 제2 전원(ELVSS)을 나타내고, GC는 게이트 구동부(300)로부터 화소 회로(110e)에 제공되는 게이트 제어 신호(GC)를 나타내고 DT는 데이터 구동부(400)로부터 화소 회로(110e)에 제공되는 데이터 신호(DT)를 나타낸다. 한편, SCAN[1]는 주사 구동부(200)로부터 제1 주사선(S1)을 통해 제1 주사선(S1)에 연결되는 화소 회로(110e)에 제공되는 주사 신호(SCAN)를 나타내고, SCAN[n]는 주사 구동부(200)로부터 제n 주사선(Sn)을 통해 제n 주사선(Sn)에 연결되는 화소 회로(110e)에 제공되는 주사 신호(SCAN)를 나타낸다.

[0143] 도 8을 참조하면, 한 프레임 주기는 초기화 구간(PD1), 문턱 전압 보상 구간(PD2), 데이터 기입 구간(PD3) 및 발광 구간(PD4)으로 구분될 수 있다.

[0144] 도 8에 도시된 바와 같이, 게이트 제어 신호(GC), 제1 전원(ELVDD) 및 제2 전원(ELVSS)은 초기화 구간(PD1), 문턱 전압 보상 구간(PD2), 데이터 기입 구간(PD3) 및 발광 구간(PD4) 동안 화소부(100)에 포함되는 모든 화소 회로(110e)들에 공통으로 인가되고, 주사 신호(SCAN)는 초기화 구간(PD1), 문턱 전압 보상 구간(PD2) 및 발광 구간(PD4) 동안은 화소부(100)에 포함되는 모든 화소 회로(110e)들에 공통으로 인가되고 데이터 기입 구간(PD3) 동안은 복수의 주사선들(S1, S2, ..., Sn) 각각에 연결되는 화소 회로(110e)들 별로 순차적으로 인가될 수 있다. 따라서 데이터 기입 구간(PD3)은 복수의 주사선들(S1, S2, ..., Sn) 각각에 연결되는 화소 회로(110a)들 별로 순차적으로 수행되나, 초기화 구간(PD1), 문턱 전압 보상 구간(PD2) 및 발광 구간(PD4)은 화소부(100)에 포함되는 모든 화소 회로(110e)들에서 동시에 일괄적으로 수행될 수 있다.

[0145] 초기화 구간(PD1) 동안 각각의 화소 회로(110e)에 포함되는 유기 발광 다이오드(OD)의 캐소드 전극의 전압이 초기화된다. 문턱 전압 보상 구간(PD2) 동안 구동 트랜지스터로서 동작하는 각각의 화소 회로(110e)에 포함되는 제2 NMOS 트랜지스터(MN2)의 문턱 전압이 저장 커패시터(Cst)의 양단에 저장된다. 데이터 기입 구간(PD3) 동안 데이터 신호(DT)가 복수의 주사선들(S1, S2, ..., Sn) 각각에 연결되는 화소 회로(110e)들의 저장 커패시터(Cst)에 순차적으로 저장된다. 발광 구간(PD4) 동안 화소부(100)에 포함되는 모든 화소 회로(110e)들에서 일괄적으로 발광이 수행된다. 따라서 유기 발광 표시 장치(10)는 순차 발광(Progressive Emission) 방식이 아닌 동시 발광(Simultaneous Emission) 방식으로 구동할 수 있다.

[0146] 이하, 도 1, 도 7 및 도 8을 참조하여 유기 발광 표시 장치(10)의 구체적인 동작에 대해 상세히 설명한다.

[0147] 초기화 구간(PD1) 동안, 전원 생성부(500)는 제1 전원(ELVDD)은 제1 전압(Vss)으로 설정하여 화소 회로(110e)에

제공하고 제2 전원(ELVSS)은 제3 전압(Vdd)으로 설정하여 화소 회로(110e)에 제공할 수 있다. 제1 전압(Vss)은 제3 전압(Vdd) 보다 낮은 전압일 수 있다. 예를 들어, 제1 전압(Vss)은 약 0V이고 제3 전압(Vdd)은 약 12V일 수 있다. 게이트 구동부(300)는 게이트 제어선(Gj)을 통해 화소 회로(110e)에 논리 하이 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 주사선(Sj)을 통해 화소 회로(110e)에 논리 로우 레벨의 주사 신호(SCAN)를 제공할 수 있다. 데이터 구동부(400)는 데이터선(Di)에 고저항(HIGH-Z) 상태의 신호를 제공할 수 있다.

[0148] 따라서, 초기화 구간(PD1) 동안 제1 NMOS 트랜지스터(MN1)의 게이트 전극 및 제3 NMOS 트랜지스터(MN3)의 게이트 전극에는 논리 하이 레벨의 게이트 신호(GC)가 인가되어 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 턴온되고, 제4 NMOS 트랜지스터(MN4)의 게이트 전극에는 논리 로우 레벨의 주사 신호(SCAN)가 인가되어 제4 NMOS 트랜지스터(MN4)는 턴오프된다. 또한, 제2 전원(ELVSS)이 하이 레벨의 제3 전압(Vdd)으로 인가되므로 저장 커패시터(Cst)를 통해 제2 NMOS 트랜지스터(MN2)의 게이트 전극도 하이 레벨이 되어 제2 NMOS 트랜지스터(MN2) 역시 턴온된다.

[0149] 즉, 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)가 턴온되고 제2 NMOS 트랜지스터(MN2)의 제1 전극 및 제2 전극 사이에 전류 경로가 형성되어 유기 발광 다이오드(OD)의 캐소드 전극은 제2 전원(ELVSS)의 전압, 즉, 제3 전압(Vdd)으로 초기화된다.

[0150] 이후, 문턱 전압 보상 구간(PD2) 동안, 전원 생성부(500)는 제1 전원(ELVDD)은 초기화 구간(PD1)에서와 동일하게 제1 전압(Vss)으로 설정하여 화소 회로(110e)에 제공하고 제2 전원(ELVSS)은 제3 전압(Vdd) 보다 낮고 제1 전압(Vss) 보다 높은 제2 전압(Vsus)으로 설정하여 화소 회로(110e)에 제공할 수 있다. 예를 들어, 제2 전압(Vsus)은 약 5V일 수 있다. 게이트 구동부(300)는 게이트 제어선(Gj)을 통해 화소 회로(110e)에 논리 하이 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 주사선(Sj)을 통해 화소 회로(110e)에 논리 하이 레벨의 주사 신호(SCAN)를 제공할 수 있다. 데이터 구동부(400)는 데이터선(Di)에 고저항(HIGH-Z) 상태의 신호를 제공할 수 있다.

[0151] 따라서, 문턱 전압 보상 구간(PD2) 동안 제1 NMOS 트랜지스터(MN1)의 게이트 전극 및 제3 NMOS 트랜지스터(MN3)의 게이트 전극에는 초기화 구간(PD1)에서와 동일하게 논리 하이 레벨의 게이트 신호(GC)가 인가되므로 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 초기화 구간(PD1)에서와 동일하게 턴온 상태를 유지하고, 제2 NMOS 트랜지스터(MN2) 역시 턴온 상태를 유지한다. 한편, 제4 NMOS 트랜지스터(MN4)의 게이트 전극에는 논리 하이 레벨의 주사 신호(SCAN)가 인가되므로 제4 NMOS 트랜지스터(MN4)는 턴온 상태로 전환되어 저장 커패시터(Cst)의 제2 전극 및 제2 NMOS 트랜지스터(MN2)의 게이트 전극은 유기 발광 다이오드(OD)의 캐소드 전극에 전기적으로 연결된다.

[0152] 따라서 제2 전원(ELVSS)과 유기 발광 다이오드(OD)의 캐소드 전극 사이에 전류 경로가 형성되어 저장 커패시터(Cst)의 양단에 제2 NMOS 트랜지스터(MN2)의 문턱 전압이 저장될 때까지 유기 발광 다이오드(OD)의 캐소드 전극으로부터 제2 전원(ELVSS)으로 전류가 흐른다. 결국, 저장 커패시터(Cst)의 양단에 제2 NMOS 트랜지스터(MN2)의 문턱 전압이 저장되고 유기 발광 다이오드(OD)의 캐소드 전극은 제2 전원(ELVSS)의 전압인 제2 전압(Vsus)에서 제2 NMOS 트랜지스터(MN2)의 문턱 전압의 크기를 합산한 크기의 전압이 된다.

[0153] 이후, 데이터 기입 구간(PD3) 동안, 전원 생성부(500)는 문턱 전압 보상 구간(PD2)에서와 동일하게 제1 전원(ELVDD)은 제1 전압(Vss)으로 설정하여 화소 회로(110e)에 제공하고 제2 전원(ELVSS)은 제2 전압(Vsus)으로 설정하여 화소 회로(110e)에 제공할 수 있다. 게이트 구동부(300)는 게이트 제어선(Gj)을 통해 화소 회로(110e)에 논리 로우 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 복수의 주사선들(S1, S2, ..., Sn)에 순차적으로 논리 하이 레벨의 주사 신호(SCAN)를 제공할 수 있다. 구체적으로, 주사 구동부(200)는 데이터 기입 구간(PD3) 중의 스캔 구간 동안 논리 하이 레벨의 주사 신호(SCAN)를 제공하고 데이터 기입 구간(PD3) 중의 상기 스캔 구간을 제외한 나머지 구간 동안 논리 로우 레벨의 주사 신호(SCAN)를 제공할 수 있다. 상기 스캔 구간은 복수의 주사선들(S1, S2, ..., Sn) 별로 순차적으로 설정될 수 있다. 데이터 구동부(400)는 데이터선(Di)에 해당 화소 회로에 표시될 영상 데이터에 상응하는 데이터 신호(DT)를 제공할 수 있다.

[0154] 따라서, 데이터 기입 구간(PD3) 동안 제1 NMOS 트랜지스터(MN1)의 게이트 전극 및 제3 NMOS 트랜지스터(MN3)의 게이트 전극에는 논리 로우 레벨의 게이트 신호(GC)가 인가되어 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 턴오프된다. 또한, 상기 스캔 구간 동안 주사선(Sj)을 통해 제4 NMOS 트랜지스터(MN4)의 게이트 전극에 논리 하이 레벨의 주사 신호(SCAN)가 인가되므로 상기 스캔 구간 동안 제4 NMOS 트랜지스터(MN4)는 턴온된다. 한편, 저장 커패시터(Cst)의 제1 전극에는 데이터선(Di)을 통해 제공되는 데이터 신호(DT)가 인가된다.

- [0155] 즉, 데이터 기입 구간(PD3) 동안 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 턴오프되므로 제2 NMOS 트랜지스터(MN2)를 통해 유기 발광 다이오드(OD)의 캐소드 전극으로부터 유출되는 전류는 차단된다. 또한, 문턱 전압 보상 구간(PD2) 동안 저장 커패시터(Cst) 양단에 제2 NMOS 트랜지스터(MN2)의 문턱 전압이 저장되고 유기 발광 다이오드(OD)의 캐소드 전극에 제2 전압(Vsus)에서 제2 NMOS 트랜지스터(MN2)의 문턱 전압의 크기를 합산한 크기의 전압이 저장된 상태에서 상기 스캔 구간 동안 저장 커패시터(Cst)의 제1 전극에 데이터 신호(DT)가 인가되므로, 저장 커패시터(Cst)와 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled) 사이에 커플링 효과가 발생하여 저장 커패시터(Cst)의 양단에 데이터 신호(DT)에 비례하는 성분과 제2 NMOS 트랜지스터(MN2)의 문턱 전압의 합에 상응하는 전압이 저장된다.
- [0156] 구체적으로, 데이터 기입 구간(PD3) 동안 저장 커패시터(Cst)의 양단에 저장되는 전압은 아래의 [수학식 3]과 같다.
- [0157] [수학식 3]
- [0158]
$$V_{st} = (V_{sus} - V_{data}) * (C_{oled} / (C_{oled} + C_{st})) + V_{th}$$
- [0159] 여기서, V_{st} 는 저장 커패시터(Cst)의 양단에 저장되는 전압을 나타내고, V_{data} 는 데이터 신호(DT)의 전압을 나타내고, V_{th} 는 제2 NMOS 트랜지스터(MN2)의 문턱 전압을 나타낸다.
- [0160] 이후, 발광 구간(PD4) 동안, 전원 생성부(500)는 제1 전원(ELVDD)은 제3 전압(V_{dd})으로 설정하여 화소 회로(110e)에 제공하고 제2 전원(ELVSS)은 제1 전압(V_{ss})으로 설정하여 화소 회로(110e)에 제공할 수 있다. 게이트 구동부(300)는 게이트 제어선(G_j)을 통해 화소 회로(110e)에 논리 하이 레벨의 게이트 제어 신호(GC)를 제공할 수 있다. 주사 구동부(200)는 주사선(S_j)을 통해 화소 회로(110e)에 논리 로우 레벨의 주사 신호(SCAN)를 제공할 수 있다. 데이터 구동부(400)는 데이터선(D_i)에 고저항(HIGH-Z) 상태의 신호를 제공할 수 있다.
- [0161] 즉, 발광 구간(PD4) 동안 제1 NMOS 트랜지스터(MN1)의 게이트 전극 및 제3 NMOS 트랜지스터(MN3)의 게이트 전극에는 논리 하이 레벨의 게이트 신호(GC)가 인가되므로 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 턴온되고, 제4 NMOS 트랜지스터(MN4)의 게이트 전극에는 논리 로우 레벨의 주사 신호(SCAN)가 인가되므로 제4 NMOS 트랜지스터(MN4)는 턴오프된다.
- [0162] 한편, 도 7에 도시된 바와 같이, 제2 NMOS 트랜지스터(MN2)의 게이트 전극 및 소스 전극 사이에는 저장 커패시터(Cst)가 연결되므로, 발광 구간(PD4) 동안 제2 NMOS 트랜지스터(MN2)는 저장 커패시터(Cst)에 저장된 전압에서 제2 NMOS 트랜지스터(MN2)의 문턱 전압을 감산한 크기의 전압에 상응하는 전류를 흘린다.
- [0163] 상술한 바와 같이, 데이터 기입 구간(PD3) 동안 저장 커패시터(Cst)의 양단에 저장되는 전압은 [수학식 3]과 같으므로, 발광 구간(PD4) 동안 제2 NMOS 트랜지스터(MN2)를 통해 유기 발광 다이오드(OD)를 흐르는 전류는 아래의 [수학식 4]와 같다.
- [0164] [수학식 4]
- [0165]
$$I_{oled} = b/2(V_{gs} - V_{th})^2$$
- [0166]
$$= b/2(V_{st} - V_{th})^2$$
- [0167]
$$= b/2((V_{sus} - V_{data}) * (C_{oled} / (C_{oled} + C_{st})))^2$$
- [0168] 여기서, I_{oled} 는 유기 발광 다이오드(OD)를 흐르는 전류를 나타내고, b 는 상수를 나타내고, V_{gs} 는 제2 NMOS 트랜지스터(MN2)의 게이트와 소스 사이의 전압을 나타낸다.
- [0169] 즉, 유기 발광 다이오드(OD)를 흐르는 전류(I_{oled})는 구동 트랜지스터로서 동작하는 제2 NMOS 트랜지스터(MN2)의 문턱 전압에는 무관하고 데이터 신호(DT)에 의해서만 결정된다.
- [0170] 따라서 본 발명의 일 실시예에 따른 화소 회로(110e)는 구동 트랜지스터로서 동작하는 제2 NMOS 트랜지스터(MN2)의 문턱 전압에는 무관하고 데이터 신호(DT)에 의해서만 결정되는 크기의 휘도로 발광할 수 있고, 화소 회로(110e)를 포함하는 유기 발광 표시 장치(10)는 화소부에 포함되는 화소 회로(110e) 각각의 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 화질의 영상을 제공할 수 있다.
- [0171] 종래에는 유기 발광 표시 장치에 포함되는 화소 회로들에 포함되는 구동 트랜지스터의 문턱 전압의 편차를 보상하기 위해 각 화소 회로에 복수의 트랜지스터 및 커패시터를 포함하는 보상 회로가 사용되었다. 이와 같이 각 화소 회로에 보상 회로가 추가되면, 각 화소 회로를 구성하는 트랜지스터 및 커패시터와, 상기 트랜지스터를 제

어하는 신호선들이 추가됨에 의해 개구율이 감소되고, 회로의 구성요소가 많아지고 복잡해짐에 따라 불량이 발생될 확률도 높아지는 단점이 있다. 또한, 주사 라인에 연결되는 용량성 부하가 증가하게 되어 고속 주사 구동의 구현이 어려워지는 단점이 있다.

[0172] 그러나 상술한 바와 같이, 본 발명의 일 실시예에 따른 화소 회로(110e)는 4개의 트랜지스터 및 하나의 저장 커패시터(Cst)만을 사용하여 구현되고 저장 커패시터(Cst)와 유기 발광 다이오드(OD)의 기생 커패시터(Coled) 사이의 커플링 효과를 이용하여 데이터 신호(DT)를 저장하도록 동작한다. 따라서 적은 개수의 트랜지스터 및 커패시터로 화소 회로 구현이 가능하여 공정 수율 및 개구율을 향상시킬 수 있고, 주사 라인에 연결되는 용량성 부하가 감소되어 고속 주사 동작이 가능하다.

[0173] 도 9는 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예를 나타내는 회로도이다.

[0174] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 9에 도시된 화소 회로(110f)로 구현될 수 있다.

[0175] 도 9에서는 j행 i열에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.

[0176] 도 9를 참조하면, 화소 회로(110f)는 유기 발광 다이오드(OD), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2), 제3 NMOS 트랜지스터(MN3), 제4 NMOS 트랜지스터(MN4), 제5 NMOS 트랜지스터(MN5) 및 저장 커패시터(Cst)를 포함한다.

[0177] 도 9의 화소 회로(110f)와 도 7의 화소 회로(110e)를 비교하면, 도 9의 화소 회로(110f)는 도 7의 화소 회로(110e)에서 제5 NMOS 트랜지스터(MN5)를 더 포함하는 것을 제외하고는 도 7의 화소 회로(110e)와 동일하다. 도 7의 화소 회로(110e)의 구성 및 동작에 대해서는 도 1, 도 7 및 도 8을 참조하여 설명하였으므로, 여기서는 제5 NMOS 트랜지스터(MN5)에 대해서만 설명한다.

[0178] 제5 NMOS 트랜지스터(MN5)는 데이터선(Di)에 연결되는 제1 전극, 제2 NMOS 트랜지스터(MN2)의 제1 전극과 저장 커패시터(Cst)의 제1 전극에 동시에 연결되는 제2 전극 및 주사선(Sj)에 연결되는 게이트 전극을 포함한다. 따라서 제2 NMOS 트랜지스터(MN2)의 제1 전극과 저장 커패시터(Cst)의 제1 전극은 데이터선(Di)에 직접 연결되지 않고 제5 NMOS 트랜지스터(MN5)를 통해 데이터선(Di)에 연결된다.

[0179] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소부(100)가 도 9에 도시된 화소 회로(110f)를 포함하는 경우에도 유기 발광 표시 장치(10)는 도 8에 도시된 타이밍도와 동일하게 동작할 수 있다.

[0180] 상술한 바와 같이, 데이터 기입 구간(PD3) 동안, 주사 구동부(200)는 데이터 기입 구간(PD3) 중의 상기 스캔 구간 동안 논리 하이 레벨의 주사 신호(SCAN)를 제공하고 데이터 기입 구간(PD3) 중의 상기 스캔 구간을 제외한 나머지 구간 동안 논리 로우 레벨의 주사 신호(SCAN)를 제공할 수 있다.

[0181] 즉, 제5 NMOS 트랜지스터(MN5)는 상기 스캔 구간 동안에만 턴온되어 데이터선(Di)을 통해 제공되는 데이터 신호(DT)를 저장 커패시터(Cst)의 제1 전극에 인가하고 데이터 기입 구간(PD3) 중의 상기 스캔 구간을 제외한 나머지 구간 동안에는 턴오프되어 저장 커패시터(Cst)의 제1 전극으로부터 데이터선(Di)을 전기적으로 차단시킨다.

[0182] 따라서, 제5 NMOS 트랜지스터(MN5)는 다른 주사선에 연결되는 화소 회로(110f)에 데이터 신호(DT)가 기입되는 동안 저장 커패시터(Cst)의 제1 전극과 데이터선(Di)을 전기적으로 차단시킴으로써, 다른 주사선에 기입되는 데이터 신호(DT)로 인해 저장 커패시터(Cst)의 양단에 저장된 전압이 변하는 것을 방지할 수 있다.

[0183] 도 10은 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예를 나타내는 회로도이다.

[0184] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 10에 도시된 화소 회로(110g)로 구현될 수 있다.

[0185] 도 10에서는 j행 i열에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.

[0186] 도 10을 참조하면, 화소 회로(110g)는 유기 발광 다이오드(OD), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2), 제3 NMOS 트랜지스터(MN3), 제4 NMOS 트랜지스터(MN4), 저장 커패시터(Cst) 및 보조 커패시터(Cs)를 포함한다.

[0187] 도 10의 화소 회로(110g)와 도 7의 화소 회로(110e)를 비교하면, 도 10의 화소 회로(110g)는 도 7의 화소 회로(110e)에서 보조 커패시터(Cs)를 더 포함하는 것을 제외하고는 도 7의 화소 회로(110e)와 동일하다. 도 7의 화소 회로(110e)의 구성 및 동작에 대해서는 도 1, 도 7 및 도 8을 참조하여 설명하였으므로, 여기서는 보조 커패

시터(Cs)에 대해서만 설명한다.

- [0188] 보조 커패시터(Cs)는 유기 발광 다이오드(OD)의 애노드 전극에 연결되는 제1 전극 및 유기 발광 다이오드(OD)의 캐소드 전극에 연결되는 제2 전극을 포함한다. 도 10에 도시된 바와 같이, 보조 커패시터(Cs)를 유기 발광 다이오드(OD)의 양단에 추가함으로써 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커패시턴스를 증가시키는 효과를 발생시킬 수 있다.
- [0189] 상기 [수학식 4]에서 설명한 바와 같이, 유기 발광 다이오드(OD)를 흐르는 전류(Ioled)는 $b/2((V_{sus} - V_{data}) * (C_{oled} / (C_{oled} + C_{st})))^2$ 와 같이 표현되므로, 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커패시턴스가 증가할수록 동일한 데이터 신호에 대해 발광되는 휘도는 증가한다.
- [0190] 따라서, 보조 커패시터(Cs)는 유기 발광 다이오드(OD)에 내재되는 기생 커패시터(Coled)의 커패시턴스를 증가시킴으로써, 보다 높은 휘도의 영상을 표시할 수 있다.
- [0191] 도 11은 도 1의 유기 발광 표시 장치에 포함되는 화소 회로의 또 다른 실시예를 나타내는 회로도이다.
- [0192] 도 1의 유기 발광 표시 장치(10)에 포함되는 화소 회로(110)는 도 11에 도시된 화소 회로(110h)로 구현될 수 있다.
- [0193] 도 11에서는 j행 i열에 위치한 화소 회로(110)를 예로 들어 설명하기로 한다.
- [0194] 도 11을 참조하면, 화소 회로(110h)는 유기 발광 다이오드(OD), 제1 NMOS 트랜지스터(MN1), 제2 NMOS 트랜지스터(MN2), 제3 NMOS 트랜지스터(MN3), 제4 NMOS 트랜지스터(MN4), 제5 NMOS 트랜지스터(MN5), 저장 커패시터(Cst) 및 보조 커패시터(Cs)를 포함한다.
- [0195] 도 11의 화소 회로(110h)와 도 7의 화소 회로(110e)를 비교하면, 도 11의 화소 회로(110h)는 도 7의 화소 회로(110e)에서 제5 NMOS 트랜지스터(MN5) 및 보조 커패시터(Cs)를 더 포함하는 것을 제외하고는 도 7의 화소 회로(110e)와 동일하다. 도 7의 화소 회로(110e)의 구성 및 동작에 대해서는 도 1, 도 7 및 도 8을 참조하여 설명하였고, 제5 NMOS 트랜지스터(MN5)에 대해서는 도 9를 참조하여 설명하였고, 보조 커패시터(Cs)에 대해서는 도 10을 참조하여 설명하였으므로 도 11의 화소 회로(110h)에 대한 상세한 설명은 생략한다.
- [0196] 도 12는 본 발명의 일 실시예에 따른 화소 회로의 구동 방법을 나타내는 순서도이다.
- [0197] 도 12를 참조하면, 유기 발광 다이오드의 제1 전극과 제1 전원 사이에 순차적으로 연결되는 제1 트랜지스터, 구동 트랜지스터 및 제2 트랜지스터를 턴온시켜 상기 유기 발광 다이오드의 제1 전극을 상기 제1 전원의 전압으로 초기화시킨다(단계 S100).
- [0198] 상기 유기 발광 다이오드의 제1 전극을 상기 제1 전원의 전압으로 초기화시킨 이후, 상기 구동 트랜지스터의 게이트 전극에 연결되는 제1 전극 및 상기 구동 트랜지스터와 상기 제2 트랜지스터의 접속 노드에 연결되는 제2 전극을 구비하는 저장 커패시터에 상기 구동 트랜지스터의 문턱 전압을 저장한다(단계 S200). 이 때, 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극에 연결시킴으로써 상기 저장 커패시터에 상기 구동 트랜지스터의 문턱 전압을 저장할 수 있다.
- [0199] 상기 저장 커패시터에 상기 구동 트랜지스터의 문턱 전압을 저장한 이후, 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴오프시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극에 연결시키고 상기 저장 커패시터의 제2 전극에 데이터 신호를 인가한다(단계 S300). 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 턴오프되므로 상기 구동 트랜지스터를 통해 상기 유기 발광 다이오드의 제1 전극으로 유입되거나 상기 유기 발광 다이오드의 제1 전극으로부터 유출되는 전류는 차단된다. 따라서 상기 저장 커패시터와 상기 유기 발광 다이오드에 내재하는 기생 커패시터 사이에 커플링 효과가 발생하여 상기 저장 커패시터에 상기 데이터 신호에 비례하는 성분과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압이 저장될 수 있다.
- [0200] 이후, 상기 데이터 신호에 상응하는 전류가 상기 구동 트랜지스터를 통해 상기 유기 발광 다이오드를 통과하여 상기 유기 발광 다이오드가 발광한다(단계 S400). 구체적으로, 상기 제1 트랜지스터 및 상기 제2 트랜지스터를 턴온시키고 상기 저장 커패시터의 제1 전극을 상기 유기 발광 다이오드의 제1 전극으로부터 차단시킴으로써 상기 구동 트랜지스터는 상기 저장 커패시터에 저장된 전압에서 상기 구동 트랜지스터의 문턱 전압을 감산한 전압에 상응하는 전류를 흘린다. 상술한 바와 같이 상기 저장 커패시터에는 상기 데이터 신호에 비례하는 성분과 상기 구동 트랜지스터의 문턱 전압의 합에 상응하는 전압이 저장되어 있으므로, 결과적으로 상기 구동 트랜지스터는 상기 구동 트랜지스터의 문턱 전압과는 무관하고 상기 데이터 신호에 의해서만 결정되는 크기의 전류를 구동

하고, 상기 유기 발광 다이오드는 상기 구동 트랜지스터의 문턱 전압과는 무관하고 상기 데이터 신호에 의해서만 결정되는 크기의 휘도로 발광할 수 있다.

[0201] 일 실시예에서, 상기 구동 트랜지스터, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 PMOS 트랜지스터일 수 있다.

[0202] 다른 실시예에서, 상기 구동 트랜지스터, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 NMOS 트랜지스터일 수 있다.

[0203] 도 12에 도시된 화소 회로 구동 방법은 도 2, 4, 5, 6, 7, 9, 10 및 11에 도시된 화소 회로들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h) 중의 어느 하나에 의해 수행될 수 있다. 도 2, 4, 5, 6, 7, 9, 10 및 11에 도시된 화소 회로들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)의 구성 및 동작에 대해서는 도 1 내지 도 11을 참조하여 상세히 설명하였다. 화소 회로들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)의 상세 동작은 도 12에 도시된 본 발명의 일 실시예에 따른 화소 회로 구동 방법에 적용될 수 있다.

[0204] 도 13은 본 발명의 일 실시예에 따른 시스템을 나타내는 블록도이다.

[0205] 도 13을 참조하면, 시스템(600)은 프로세서(PROCESSOR)(610), 유기 발광 표시 장치(620) 및 저장 장치(STORAGE DEVICE)(630)를 포함한다.

[0206] 저장 장치(630)는 영상 데이터를 저장한다. 저장 장치(630)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 및 모든 형태의 비휘발성 메모리 장치를 포함할 수 있다.

[0207] 프로세서(610)는 저장 장치(630)에 저장된 상기 영상 데이터를 독출하여 유기 발광 표시 장치(620)에 영상 신호들을 제공한다.

[0208] 유기 발광 표시 장치(620)는 프로세서(610)로부터 수신되는 상기 영상 신호들을 디스플레이한다. 유기 발광 표시 장치(620)는 화소부(621), 주사 구동부(622), 게이트 구동부(623), 데이터 구동부(624) 및 전원 생성부(625)를 포함한다.

[0209] 화소부(621)는 복수의 주사선들(S1, S2, ..., Sn)을 통해 주사 구동부(622)와 연결된다. 화소부(621)는 복수의 게이트 제어선들(G1, G2, ..., Gn)을 통해 게이트 구동부(623)와 연결된다. 화소부(621)는 복수의 데이터선들(D1, D2, ..., Dm)을 통해 데이터 구동부(624)와 연결된다. 또한, 화소부(621)는 전원 생성부(625)로부터 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 공급받는다.

[0210] 화소부(621)는 복수의 주사선들(S1, S2, ..., Sn), 복수의 게이트 제어선들(G1, G2, ..., Gn) 및 복수의 데이터선들(D1, D2, ..., Dm)의 교차부마다 위치되는 n*m 개의 화소 회로(629)들을 포함한다. 복수의 화소 회로(629)들 각각은 유기 발광 다이오드를 포함한다.

[0211] 주사 구동부(622)는 복수의 주사선들(S1, S2, ..., Sn)을 통해 복수의 화소 회로(629)들 각각에 주사 신호를 제공한다. 게이트 구동부(623)는 복수의 게이트 제어선들(G1, G2, ..., Gn)을 통해 복수의 화소 회로(629)들 각각에 게이트 제어 신호를 제공한다. 데이터 구동부(624)는 복수의 데이터선들(D1, D2, ..., Dm)을 통해 복수의 화소 회로(629)들 각각에 데이터 신호를 제공한다. 전원 생성부(625)는 복수의 화소 회로(629)들 각각에 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 제공한다.

[0212] 복수의 화소 회로(629)들 각각은 상기 주사 신호, 상기 게이트 제어 신호, 상기 데이터 신호, 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 수신하여 상기 데이터 신호에 상응하는 휘도로 상기 유기 발광 다이오드를 발광시켜 화상을 표시한다.

[0213] 복수의 화소 회로(629)들 각각은 도 2, 4, 5, 6, 7, 9, 10 및 11에 도시된 화소 회로들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h) 중의 어느 하나로 구현될 수 있다. 도 2, 4, 5, 6, 7, 9, 10 및 11에 도시된 화소 회로들(110a, 110b, 110c, 110d, 110e, 110f, 110g, 110h)의 구성 및 동작에 대해서는 도 1 내지 도 11을 참조하여 상세히 설명하였으므로, 여기서는 복수의 화소 회로(629)들 각각에 대한 상세한 설명은 생략한다.

[0214] 프로세서(610)는 특정 계산들 또는 태스크(task)들을 실행하는 것과 같이 다양한 컴퓨팅 기능들을 수행할 수 있다. 실시예에 따라서, 프로세서(610)는 마이크로프로세서(microprocessor), 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다. 프로세서(610)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus)를 통하여 영상 표시 장치(620) 및 저장 장치(630)에 연결되어 통신을 수행할 수 있다.

실시예에 따라서, 프로세서(610)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.

[0215] 한편, 프로세서(610)는 싱글 코어(single core) 또는 멀티 코어(multi core)의 형태로 구현될 수 있다. 예를 들어, ARM 코어 프로세서는 약 1GHz 미만의 시스템 클럭을 이용하여 동작하는 경우 싱글 코어의 형태로 구현될 수 있고, 약 1GHz 이상의 시스템 클럭을 이용하여 고속으로 동작하는 차세대 프로세서의 경우 멀티 코어의 형태로 구현될 수 있다. 또한, 상기과 같은 차세대 ARM 코어 프로세서는 AXI(Advanced eXtensible Interface) 버스를 통하여 주변 장치들과 통신을 수행할 수 있다.

[0216] 시스템(600)은 메모리 장치(MEMORY DEVICE)(640), 사용자 인터페이스(USER INTERFACE)(650) 및 입출력 장치(I/O DEVICE)(660)를 더 포함할 수 있다. 또한, 도 13에는 도시되지 않았지만, 시스템(600)은 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나 다른 전자 기기들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

[0217] 메모리 장치(640)는 시스템(600)의 동작에 필요한 데이터를 저장할 수 있다. 예를 들어, 메모리 장치(640)는 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM), 정적 랜덤 액세스 메모리(Static Random Access Memory; SRAM) 등과 같은 휘발성 메모리 장치 및 이피롬(Erasable Programmable Read-Only Memory; EPROM), 이이피롬(Electrically Erasable Programmable Read-Only Memory; EEPROM) 및 플래시 메모리 장치(flash memory device) 등과 같은 비휘발성 메모리 장치를 포함할 수 있다.

[0218] 사용자 인터페이스(650)는 사용자가 시스템(600)을 동작시키는데 필요한 다양한 수단을 포함할 수 있다. 입출력 장치(660)는 키보드, 키패드, 마우스 등과 같은 입력 수단 및 프린터 등과 같은 출력 수단을 포함할 수 있다.

[0219] 시스템(600)은 영상 데이터를 디스플레이할 수 있는 휴대폰, 스마트폰, PDA(personal digital assistant), 컴퓨터, 노트북, 텔레비전, PMP(personal media player), 디지털 카메라 등을 포함하는 임의의 전자 장치인 것으로 해석되어야 할 것이다.

산업상 이용가능성

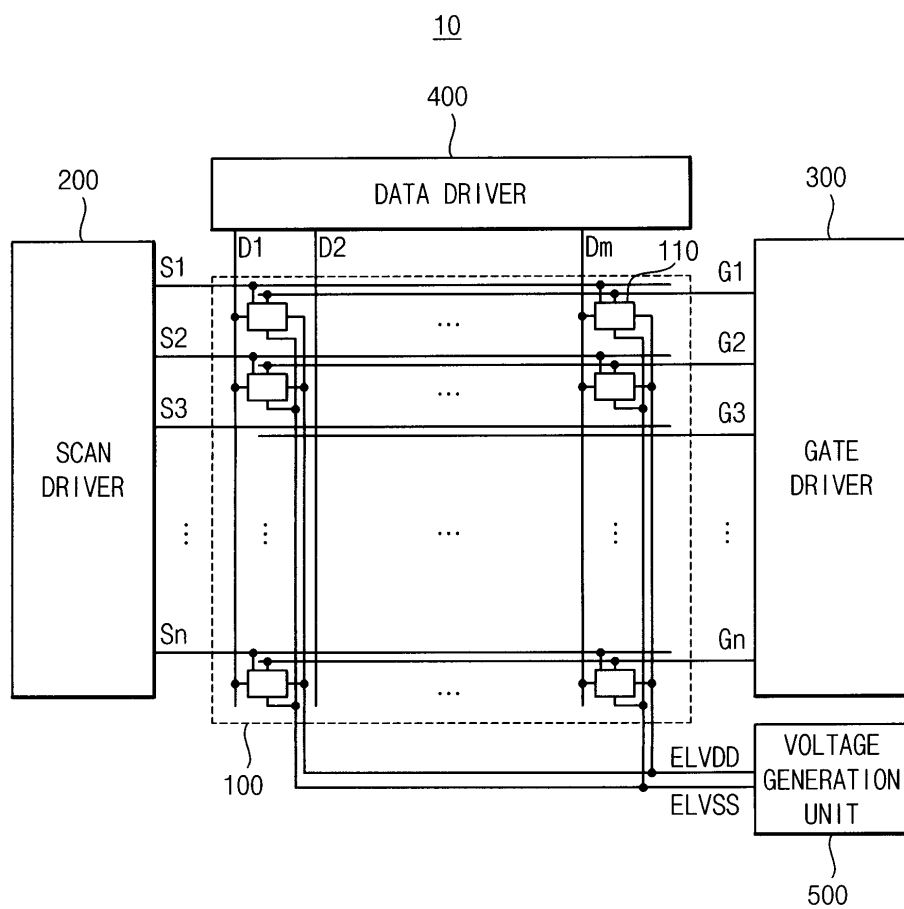
[0220] 본 발명의 예시적인 실시예들에 있어서, 적은 수의 트랜지스터 및 커패시터를 사용하여 트랜지스터의 문턱 전압 산포를 보상할 수 있는 화소 회로는 디스플레이를 할 수 있는 임의의 전자 장치에 유용하게 이용될 수 있다. 특히 본 발명은 디스플레이를 할 수 있는 임의의 전자 장치에서 균일한 화질의 영상을 제공하면서도 디스플레이의 공정 수율 및 개구율을 향상시키는 데에 유용하게 사용될 수 있다.

부호의 설명

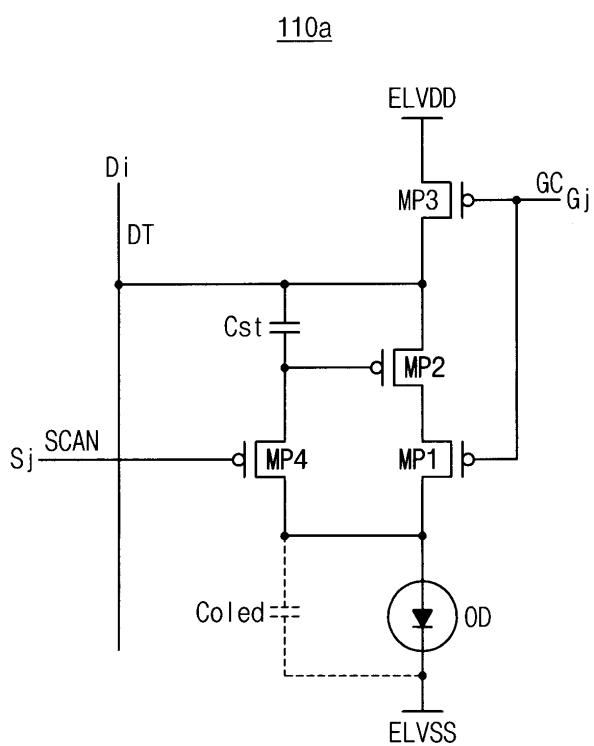
[0221]	10: 유기 발광 표시 장치	100: 화소부
	110: 화소 회로	200: 주사 구동부
	300: 게이트 구동부	400: 데이터 구동부
	500: 전원 생성부	600: 시스템
	610: 프로세서	620: 유기 발광 표시 장치
	630: 저장 장치	640: 메모리 장치
	650: 사용자 인터페이스	660: 입출력 장치

도면

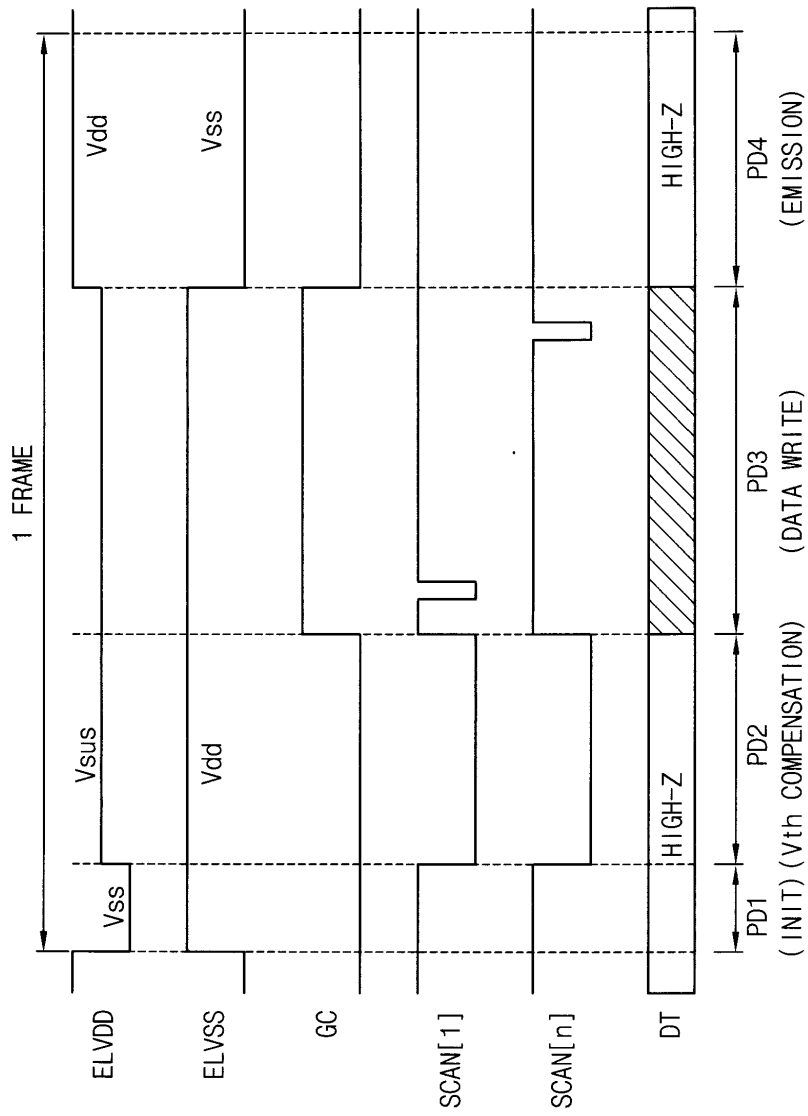
도면1



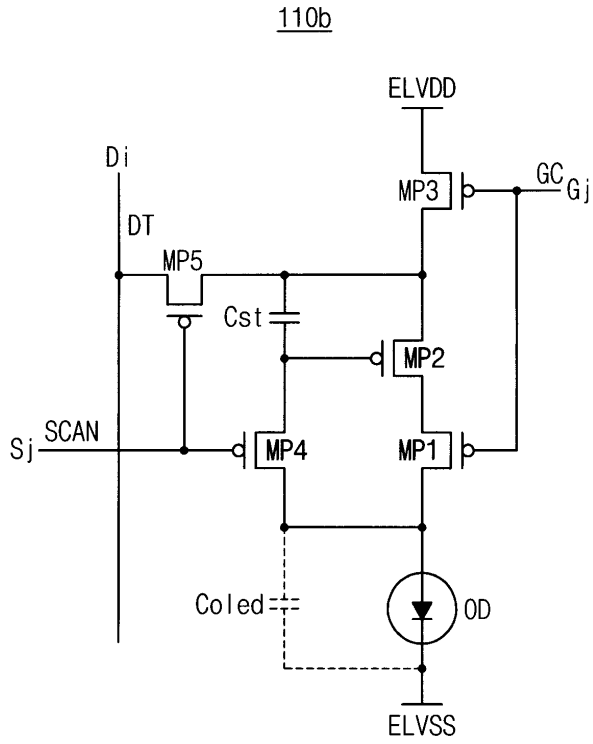
도면2



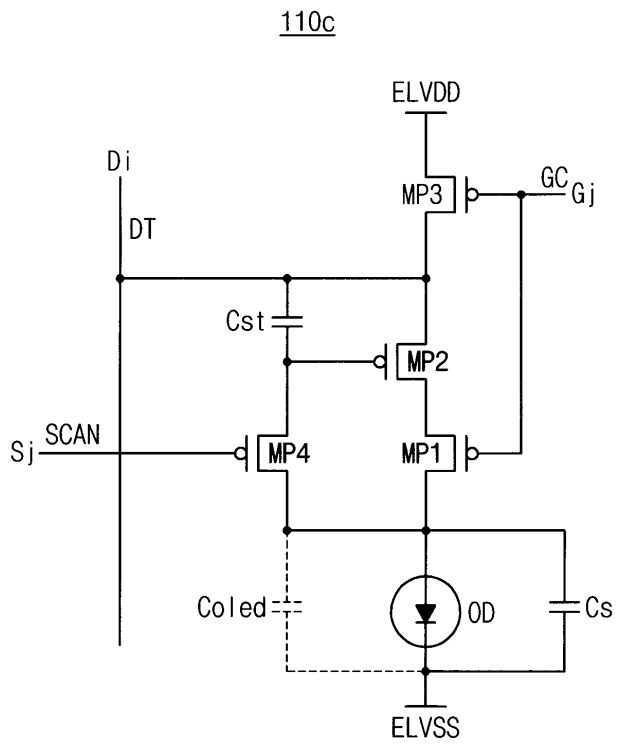
도면3



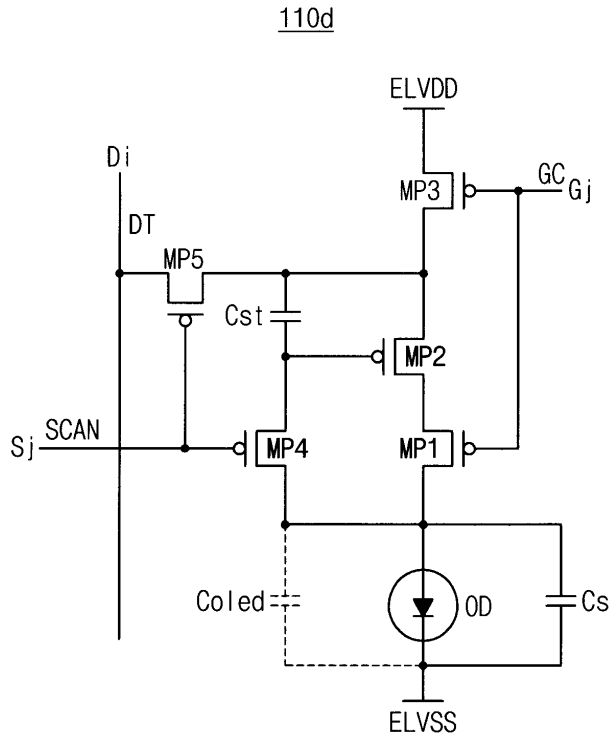
도면4



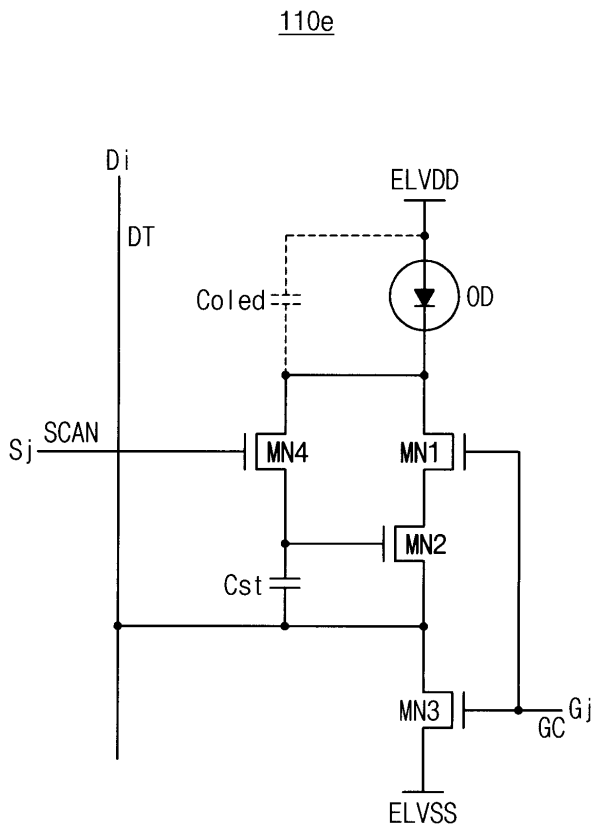
도면5



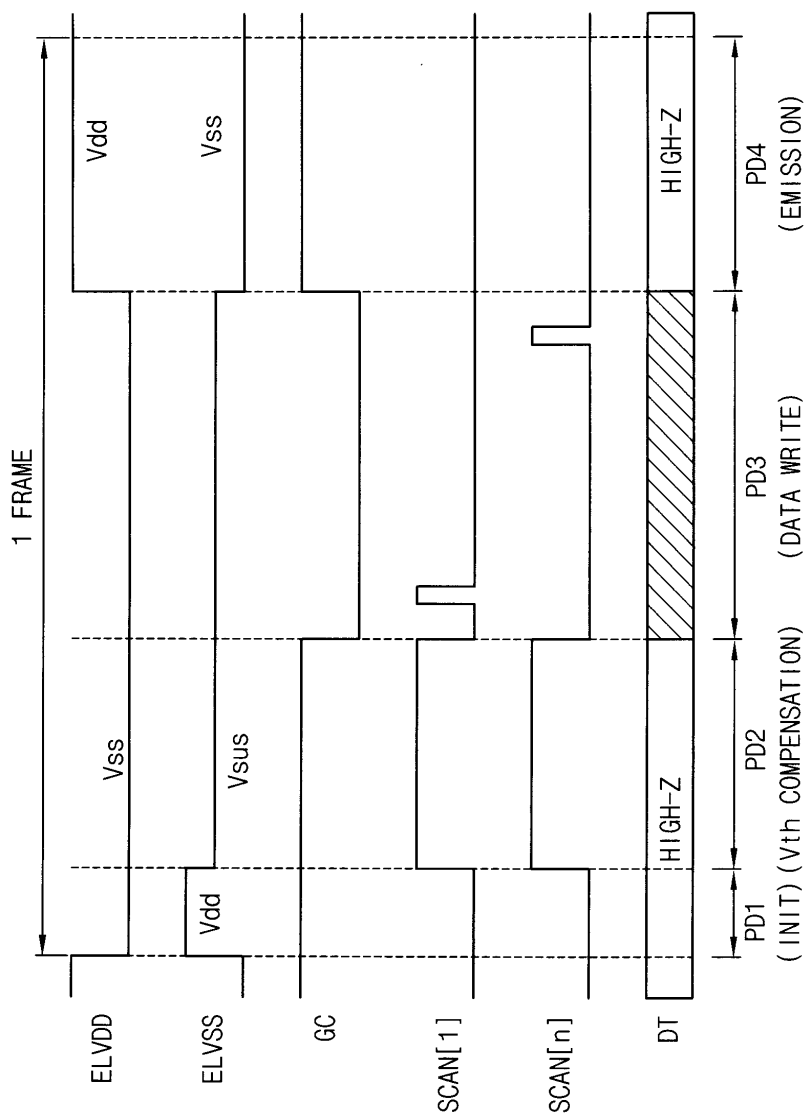
도면6



도면7

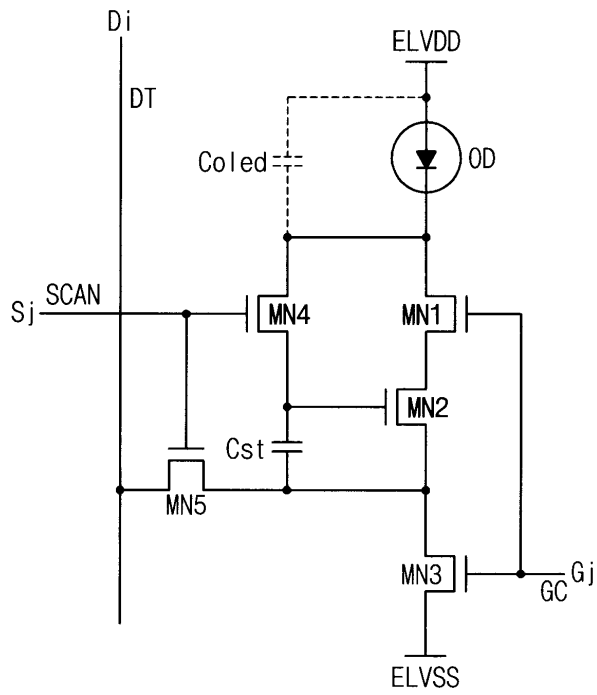


도면8



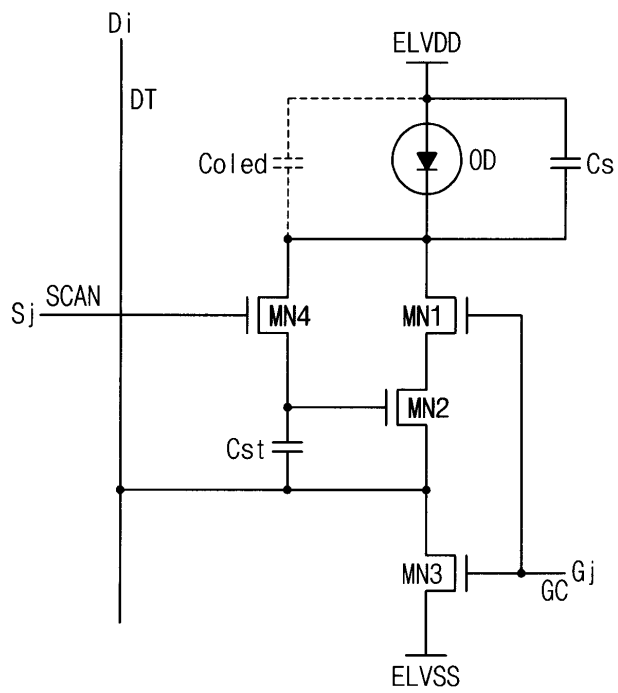
도면9

110f



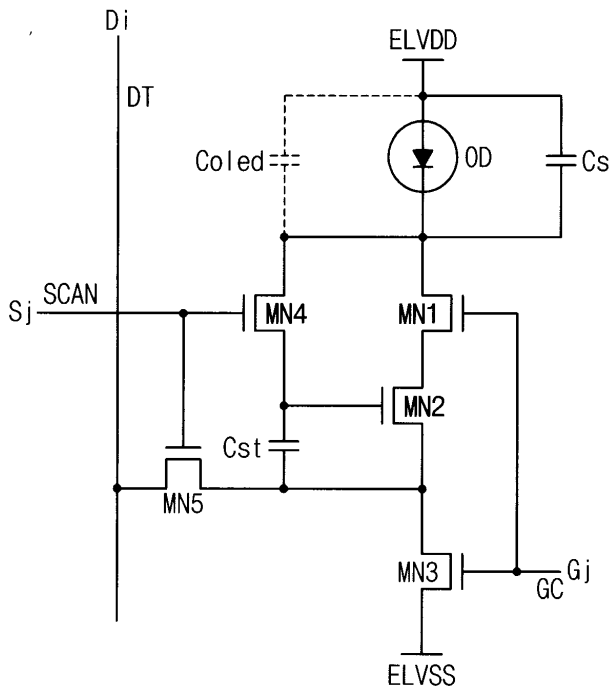
도면10

110g

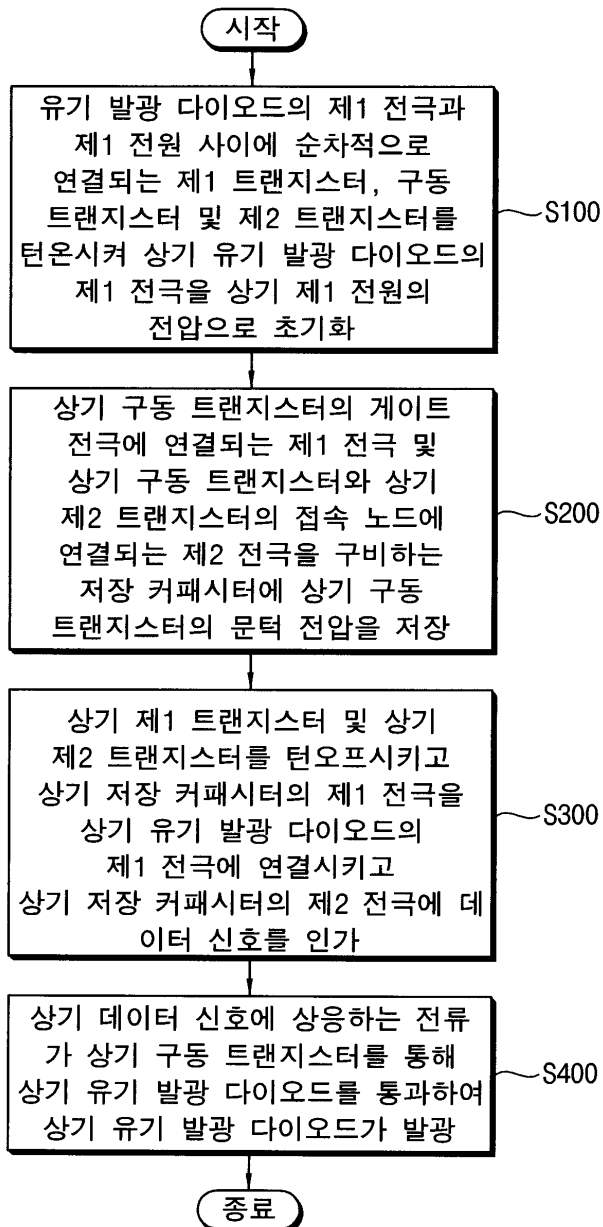


도면11

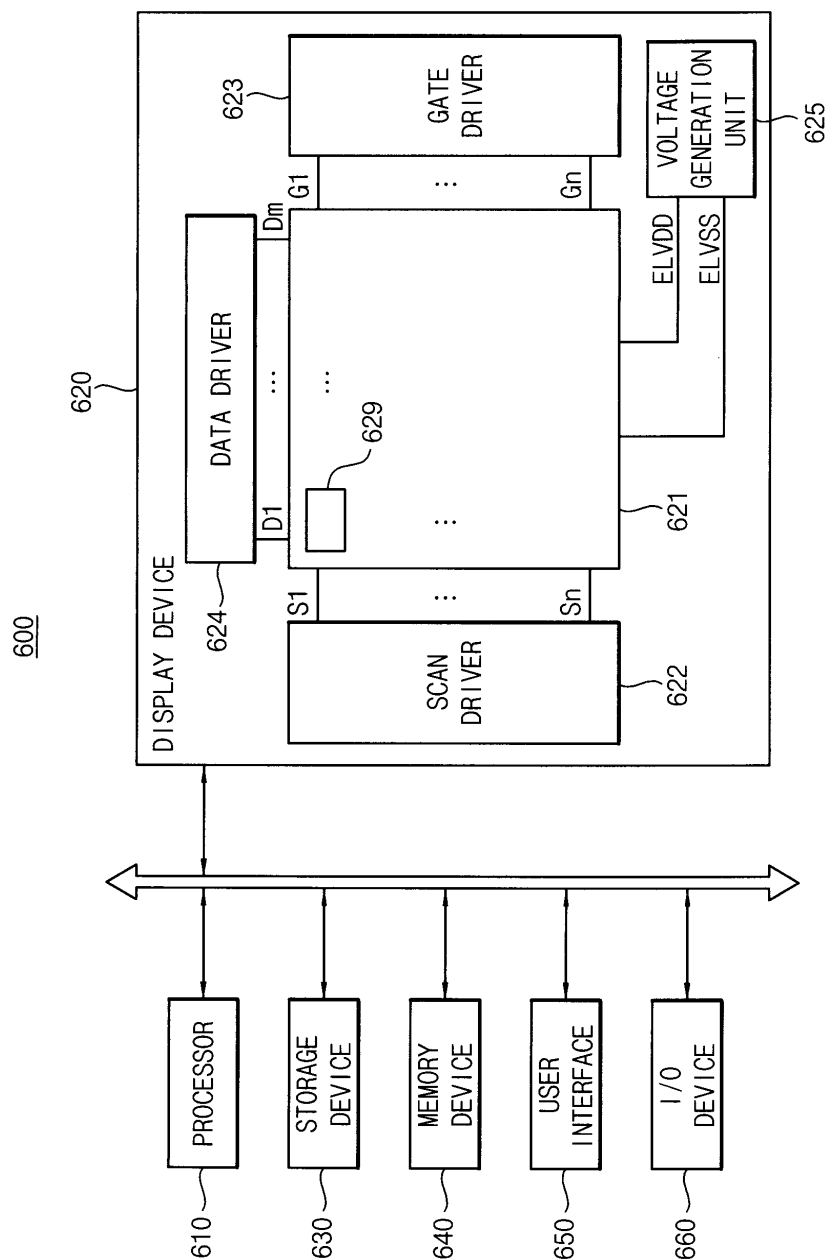
110h



도면12



도면13



专利名称(译)	像素电路，有机发光显示装置和像素电路的驱动方法		
公开(公告)号	KR1020130063171A	公开(公告)日	2013-06-14
申请号	KR1020110129547	申请日	2011-12-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KANG CHUL KYU 강철규 PARK SEONG IL 박성일 PARK YONG SUNG 박용성		
发明人	강철규 박성일 박용성		
IPC分类号	G09G3/30		
CPC分类号	G09G2300/0852 G09G2300/0861 G09G5/00 G09G3/3233 G09G3/32		
代理人(译)	英西湖公园		
其他公开文献	KR101963126B1		
外部链接	Espacenet		

摘要(译)

像素电路包括有机发光二极管，第一PMOS晶体管，第二PMOS晶体管，第三PMOS晶体管，第四PMOS晶体管和存储电容器。有机发光二极管的阴极连接到第二电源。第一PMOS晶体管包括第一电极，连接到有机发光二极管的阳极的第二电极，以及连接到栅极控制线的栅电极。第二PMOS晶体管具有第一电极和连接到第一PMOS晶体管的第一电极的第二电极。第三PMOS晶体管具有连接到第一电源的第一电极，连接到第二PMOS晶体管的第一电极的第二电极，以及连接到栅极控制线的栅电极。第四PMOS晶体管包括连接到第二PMOS晶体管的栅极的第一电极，连接到有机发光二极管的阳极的第二电极，以及连接到扫描线的栅电极。存储电容器包括连接到第二PMOS晶体管的第一电极和数据线的第一电极，以及连接到第二PMOS晶体管的栅极的第二电极。

