



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0053660
 (43) 공개일자 2013년05월24일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2011-0119194

(22) 출원일자 2011년11월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

윤중선

경기 파주시 탄현면 범흥리 민들레빌 203호

(74) 대리인

특허법인로얄

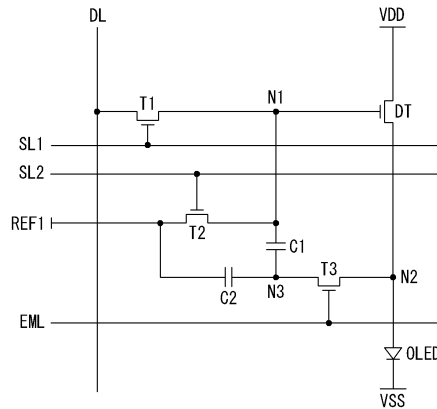
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다. 본 발명의 유기발광다이오드 표시장치는 데이터 라인, 제1 스캔 라인, 제1 스캔 라인, 제2 스캔 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극에 고전위 전압을 공급하는 고전위 전압에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 제1 스캔 라인의 제1 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT; 상기 제2 스캔 라인의 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드와 제1 기준 전압을 공급하는 제1 기준 전압원을 접속시키는 제2 TFT; 상기 발광 라인의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제3 TFT; 상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및 상기 제3 노드와 상기 제1 기준 전압원 사이에 접속된 제2 캐패시터를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

데이터 라인, 제1 스캔 라인, 제2 스캔 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극에 고전위 전압을 공급하는 고전위 전압에 접속된 구동 TFT;

상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드;

상기 제1 스캔 라인의 제1 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT;

상기 제2 스캔 라인의 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드와 제1 기준 전압을 공급하는 제1 기준 전압원을 접속시키는 제2 TFT;

상기 발광 라인의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제3 TFT;

상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및

상기 제3 노드와 상기 제1 기준 전압원 사이에 접속된 제2 캐패시터를 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 고전위 전압원은 하이 레벨과 로우 레벨 사이에서 스위칭하는 상기 고전위 전압을 공급하고,

상기 로우 레벨의 고전위 전압은 상기 제1 기준 전압과 상기 구동 TFT의 문턱전압의 차전압보다 낮은 전압인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 제2 스캔 신호의 펄스 시작 시점은 상기 발광 신호의 제1 펄스 시작 시점과 서로 동기되고,

상기 제2 스캔 신호의 펄스 종료 시점은 상기 발광 신호의 제1 펄스 종료 시점보다 앞서며,

상기 발광 신호의 제1 펄스 종료 시점은 상기 제1 스캔 신호의 펄스 시작 시점과 서로 동기되고,

상기 발광 신호의 제2 펄스 시작 시점과 상기 제1 스캔 신호의 펄스 종료 시점은 서로 동기되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 3 항에 있어서,

상기 발광 신호의 제2 펄스는 수 내지 수십 수평기간 동안 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 3 항에 있어서,

상기 고전위 전압원은,

상기 제2 스캔 신호의 펄스 시작 시점부터 로우 레벨의 전압을 공급하고, 상기 제2 스캔 신호의 펄스 종료 시점보다 앞선 시점부터 하이 레벨의 전압을 공급하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 2 항에 있어서,

상기 제2 스캔 신호의 펄스 폭은 상기 제1 스캔 신호의 펄스 폭보다 넓고,

상기 발광 신호의 제1 펄스 폭은 상기 제2 스캔 신호의 펄스 폭보다 넓은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

제 1 항에 있어서,

상기 제1 TFT의 게이트 전극은 상기 제1 스캔 라인에 접속되고, 소스 전극은 상기 제1 노드에 접속되며, 드레인 전극은 데이터 라인에 접속되고,

상기 제2 TFT의 게이트 전극은 상기 제2 스캔 라인에 접속되며, 소스 전극은 제1 기준 전압원에 접속되고, 드레인 전극은 상기 제1 노드에 접속되며,

상기 제3 TFT의 게이트 전극은 상기 발광 라인에 접속되고, 소스 전극은 상기 제3 노드에 접속되며, 드레인 전극은 상기 제2 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 1 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 고전위 전압원 사이에 접속된 제3 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9

제 1 항에 있어서,

상기 표시패널에는 제3 스캔 라인이 형성되고,

상기 화소들 각각은,

상기 제3 스캔 라인의 제3 스캔 신호에 응답하여 턴-온되어 상기 제2 노드와 제2 기준 전압을 공급하는 제2 기준 전압원을 접속시키는 제4 TFT를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10

제 9 항에 있어서,

상기 제2 기준 전압은 상기 제1 기준 전압과 상기 구동 TFT의 문턱전압의 차전압보다 낮은 전압으로 설정될 수 있다. 인 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 11

제 10 항에 있어서,

상기 제2 스캔 신호의 펄스 시작 시점은 상기 제3 스캔 신호의 펄스 시작 시점, 및 상기 발광 신호의 제1 펄스 시작 시점과 서로 동기되고,

상기 제3 스캔 신호의 펄스 종료 시점은 상기 제2 스캔 신호의 펄스 종료 시점보다 앞서며,

상기 제2 스캔 신호의 펄스 종료 시점은 상기 발광 신호의 제1 펄스 종료 시점보다 앞서고,

상기 발광 신호의 제1 펄스 종료 시점은 상기 제1 스캔 신호의 펄스 시작 시점과 서로 동기되고,

상기 발광 신호의 제2 펄스 시작 시점과 상기 제1 스캔 신호의 펄스 종료 시점은 서로 동기되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 12

제 11 항에 있어서,

상기 발광 신호의 제2 펄스는 수 내지 수십 수평기간 동안 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 13

제 10 항에 있어서,

상기 제2 스캔 신호의 펄스 폭은 상기 제1 스캔 신호의 펄스 폭과 상기 제3 스캔 신호의 펄스 폭보다 넓고, 상기 발광 신호의 제1 펄스 폭은 상기 제2 스캔 신호의 펄스 폭보다 넓은 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 14

제 9 항에 있어서,

상기 제1 TFT의 게이트 전극은 상기 제1 스캔 라인에 접속되고, 소스 전극은 상기 제1 노드에 접속되며, 드레인 전극은 데이터 라인에 접속되고,

상기 제2 TFT의 게이트 전극은 상기 제2 스캔 라인에 접속되며, 소스 전극은 제1 기준 전압원에 접속되고, 드레인 전극은 상기 제1 노드에 접속되며,

상기 제3 TFT의 게이트 전극은 상기 발광 라인에 접속되고, 소스 전극은 상기 제3 노드에 접속되며, 드레인 전극은 상기 제2 노드에 접속되고,

상기 제4 TFT의 게이트 전극은 상기 제3 스캔 라인에 접속되며, 소스 전극은 상기 제2 기준 전압원에 접속되고, 드레인 전극은 상기 제2 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 15

제 9 항에 있어서,

상기 표시패널에는 컨트롤 라인이 형성되고,

상기 표시패널은,

상기 컨트롤 라인의 컨트롤 신호에 응답하여 턴-온되어 상기 제1 기준 전압 라인과 상기 제1 기준 전압원을 접속시키는 제1 스위치;

상기 컨트롤 신호의 반전 신호에 응답하여 턴-온되어 상기 제1 기준 전압 라인과 게이트 하이 전압원을 접속시키는 제2 스위치;

상기 컨트롤 신호에 응답하여 턴-온되어 상기 제2 기준 전압 라인과 상기 제2 기준 전압원을 접속시키는 제3 스위치; 및

상기 컨트롤 신호의 반전 신호에 응답하여 턴-온되어 상기 제2 기준 전압 라인과 전류 센싱 회로를 접속시키는 제4 스위치를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 16

제 15 항에 있어서,

상기 제2 스캔 신호, 상기 제3 스캔 신호, 상기 컨트롤 신호 각각의 펄스는 서로 동기되어 발생하고,

상기 제1 스캔 신호와 상기 발광 신호의 펄스는 발생하지 않는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 17

제 15 항에 있어서,

상기 제1 스위치의 게이트 전극은 상기 컨트롤 라인에 접속되고, 소스 전극은 상기 제1 기준 전압원에 접속되며, 드레인 전극은 상기 제1 기준 전압 라인에 접속되고,

상기 제2 스위치의 게이트 전극은 상기 컨트롤 신호를 인버전하는 제1 인버터에 접속되며, 소스 전극은 상기 제1 기준 전압 라인에 접속되고, 드레인 전극은 상기 게이트 하이 전압원에 접속되며,

상기 제3 스위치의 게이트 전극은 상기 컨트롤 라인에 접속되고, 소스 전극은 상기 제2 기준 전압원에 접속되며, 드레인 전극은 상기 제2 기준 전압 라인에 접속되고,

상기 제2 스위치의 게이트 전극은 상기 컨트롤 신호를 인버전하는 제2 인버터에 접속되며, 소스 전극은 상기 전류 센싱 회로에 접속되고, 드레인 전극은 상기 제2 기준 전압 라인에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 18

제 9 항에 있어서,

상기 표시패널에는 컨트롤 라인이 형성되고,

상기 표시패널은,

상기 컨트롤 라인의 컨트롤 신호에 응답하여 턴-온되어 상기 제1 기준 전압 라인과 상기 제1 기준 전압원을 접속시키는 제1 스위치;

상기 컨트롤 신호의 반전 신호에 응답하여 턴-온되어 상기 제1 기준 전압 라인과 게이트 로우 전압원을 접속시키는 제2 스위치;

상기 컨트롤 신호에 응답하여 턴-온되어 상기 제2 기준 전압 라인과 상기 제2 기준 전압원을 접속시키는 제3 스위치; 및

상기 컨트롤 신호의 반전 신호에 응답하여 턴-온되어 상기 제2 기준 전압 라인과 전류 센싱 회로를 접속시키는 제4 스위치를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 19

제 18 항에 있어서,

상기 제2 스캔 신호, 상기 제3 스캔 신호, 상기 컨트롤 신호 각각의 펄스는 서로 동기되어 발생하고,

상기 제1 스캔 신호와 상기 발광 신호의 펄스는 발생하지 않는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 20

제 18 항에 있어서,

상기 제1 스위치의 게이트 전극은 상기 컨트롤 라인에 접속되고, 소스 전극은 상기 제1 기준 전압원에 접속되며, 드레인 전극은 상기 제1 기준 전압 라인에 접속되고,

상기 제2 스위치의 게이트 전극은 상기 컨트롤 신호를 인버전하는 제1 인버터에 접속되며, 소스 전극은 상기 게이트 하이 전압원에 접속되고, 드레인 전극은 상기 제1 기준 전압 라인에 접속되며,

상기 제3 스위치의 게이트 전극은 상기 컨트롤 라인에 접속되고, 소스 전극은 상기 제2 기준 전압원에 접속되며, 드레인 전극은 상기 제2 기준 전압 라인에 접속되고,

상기 제2 스위치의 게이트 전극은 상기 컨트롤 신호를 인버전하는 제2 인버터에 접속되며, 소스 전극은 상기 전류 센싱 회로에 접속되고, 드레인 전극은 상기 제2 기준 전압 라인에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

명세서

기술분야

[0001] 본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치 중에서 다수의 화소가 매트릭스 형태로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003] 액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 매트릭스 형태로 배치된 다수의 화소들을 포함한다. 화소들 각각은 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 공급하는 스캔 TFT(Thin Film Transistor)와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(Organic Light Emitting Diode)에 공급되는 전류의 양을 조절하는 구동 TFT를 포함한다. 이때, 유기발광다이오드에 공급되는 구동 TFT의 드레인-소스간 전류(I_{ds})는 수학적 식 1과 같이 표현될 수 있다.

수학적 식 1

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005] 수학적 식 1에서, k' 는 구동 TFT의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 구동 TFT의 게이트-소스간 전압, V_{th} 는 구동 TFT의 문턱전압을 의미한다.

[0006] 한편, 구동 TFT의 열화에 의한 문턱전압(V_{th})의 쉬프트(shift)로 인해, 화소들 각각의 구동 TFT의 문턱전압(V_{th})은 서로 다른 값을 가질 수 있다. 이 경우, 구동 TFT의 드레인-소스간 전류(I_{ds})는 구동 TFT의 문턱전압(V_{th})에 의존하므로, 동일한 데이터 전압을 화소들 각각에 공급하더라도 유기발광다이오드에 공급되는 전류(I_{ds})는 화소마다 달라진다. 따라서, 동일한 데이터 전압을 화소들 각각에 공급하더라도 화소들 각각의 유기발광다이오드가 발광하는 빛의 휘도가 달라지는 문제점이 발생한다. 이를 해결하기 위해, 구동 TFT의 문턱전압(V_{th})을 보상하는 여러 형태의 화소 구조가 제안되고 있다.

[0007] 도 1은 다이오드 연결 방식의 문턱전압 보상 화소 구조의 일부를 보여주는 회로도이다. 도 1에는 유기발광다이오드에 전류를 공급하는 구동 TFT(DT)와 구동 TFT(DT)의 게이트 노드(N_g)와 드레인 노드(N_d) 사이에 접속된 센싱 TFT(ST)가 나타나 있다. 센싱 TFT(ST)는 구동 TFT(DT)의 문턱전압 센싱 기간 동안 구동 TFT(DT)의 게이트 노드(N_g)와 드레인 노드(N_d)를 접속시켜, 구동 TFT(DT)가 다이오드(diode)로 구동하게 한다. 도 1에서 구동 TFT(DT)와 센싱 TFT(ST)는 N타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것을 중심으로 설명하였다.

[0008] 도 1을 참조하면, 센싱 TFT(ST)가 턴-온되는 문턱전압 센싱 기간 동안 게이트 노드(N_g)와 드레인 노드(N_d)가 접속되므로, 게이트 노드(N_g)와 드레인 노드(N_d)는 실질적으로 동등한 전위로 플로팅(floating) 된다. 이때, 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압 차(V_{gs})가 문턱전압보다 큰 경우, 구동 TFT(DT)는 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압 차(V_{gs})가 구동 TFT(DT)의 문턱전압(V_{th})에 도달할 때까지 전류 패스를 형성하며, 그에 따라 게이트 노드(N_g)와 드레인 노드(N_d)의 전압은 방전된다. 하지만, 구동 TFT(DT)의 문턱전압(V_{th})이 네거티브 쉬프트(negative shift)되는 경우 구동 TFT(DT)의 문턱전압(V_{th})이 0V보다 낮기 때문에, 게이트 노드(N_g)가 0V까지 낮아지더라도 게이트 노드(N_g)와 소스 노드(N_s) 간의 전압 차(V_{gs})가 구동 TFT(DT)의 문턱전압(V_{th})에 도달할 수 없다. 결국, 구동 TFT(DT)의 문턱전압(V_{th})이 네거티브 쉬프트되는 경우, 구동 TFT(DT)의 문턱전압(V_{th}) 센싱이 불가능하다는 문제가 발생한다. 네거티브 쉬프트는 구동 TFT(DT)가 N타입 MOSFET으로 구현된 경우 구동 TFT(DT)의 문턱전압(V_{th})이 0V보다 낮은 전압으로 쉬프트되는 것을 의미한다. 네거티브 쉬프트는 구동 TFT(DT)의 반도체층이 옥사이드(Oxide)로 형성되는 경우 주로 발생한다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 구동 TFT의 문턱전압이 네거티브 쉬프트되는 경우에도 구동 TFT의 문턱전압 센싱이 가능한 유기발광다이오드 표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 유기발광다이오드 표시장치는 데이터 라인, 제1 스캔 라인, 제1 스캔 라인, 제2 스캔 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 다수의 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극에 고전위 전압을 공급하는 고전위 전압에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 제1 스캔 라인의 제1 스캔 신호에 응답하여 턴-온되어 제1 노드와 상기 데이터 라인을 접속시키는 제1 TFT; 상기 제2 스캔 라인의 제2 스캔 신호에 응답하여 턴-온되어 상기 제1 노드와 제1 기준 전압을 공급하는 제1 기준 전압원을 접속시키는 제2 TFT; 상기 발광 라인의 발광 신호에 응답하여 턴-온되어 상기 제2 노드와 제3 노드를 접속시키는 제3 TFT; 상기 제1 노드와 제3 노드 사이에 접속된 제1 캐패시터; 및 상기 제3 노드와 상기 제1 기준 전압원 사이에 접속된 제2 캐패시터를 포함하는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명은 초기화 기간 동안 구동 TFT의 게이트 노드를 제1 기준 전압으로 초기화하고, 구동 TFT의 소스 노드를 로우 레벨의 고전위 전압으로 초기화한다. 로우 레벨의 고전위 전압은 제1 기준 전압과 구동 TFT의 문턱전압의 차전압보다 낮은 전압으로 설정된다. 또는, 본 발명은 초기화 기간 동안 구동 TFT의 소스 노드를 제2 기준 전압으로 초기화한다. 이때, 제2 기준 전압은 제1 기준 전압과 구동 TFT의 문턱전압의 차전압보다 낮은 전압으로 설정된다. 그 결과, 본 발명은 구동 TFT의 문턱전압이 네거티브 쉬프트 되더라도, 문턱전압 센싱 기간 동안 구동 TFT의 게이트-소스 간의 전압 차를 문턱전압보다 크게 할 수 있으므로, 구동 TFT의 소스 노드를 이용하여 문턱전압을 센싱할 수 있다.

[0012] 또한, 본 발명은 제2 기준 전압 라인을 이용하여 구동 TFT의 드레인-소스간 전류 및 유기발광다이오드의 전류를 센싱할 수 있다. 그 결과, 본 발명은 센싱된 전류를 외부 보상 방법을 이용하여 외부 보상할 수 있으므로, 구동 TFT의 문턱전압 뿐만 아니라 구동 TFT의 전자 이동도와 유기발광다이오드의 문턱전압 등을 보상할 수 있다.

[0013] 또한, 본 발명은 구동 TFT의 문턱전압을 센싱하는 기간이 구동 TFT의 게이트 노드가 플로팅 되는 기간을 포함하도록 한다. 그 결과, 본 발명은 구동 TFT의 게이트 노드가 플로팅되는 기간을 이용하여 구동 TFT의 문턱전압 센싱 속도를 높일 수 있다.

[0014] 또한, 본 발명은 고전위 전압원과 구동 TFT의 게이트 노드 사이에 접속된 캐패시터를 포함한다. 그 결과, 본 발명은 구동 TFT의 게이트 노드가 플로팅되는 기간 동안 구동 TFT의 게이트 노드의 전압 상승을 방지할 수 있으므로, 블랙 계조 표현 능력을 개선할 수 있다. 이로 인해, 본 발명은 명암대비비를 높일 수 있다.

[0015] 또한, 본 발명은 2 수평기간 이상의 기간 동안 구동 TFT의 문턱전압을 센싱한다. 그 결과, 본 발명은 대면적 고해상도의 유기발광표시장치가 240Hz 이상의 프레임 주파수로 고속 구동하는 경우에도 구동 TFT의 문턱전압을 정확히 센싱할 수 있다.

도면의 간단한 설명

[0016] 도 1은 다이오드 연결 방식의 문턱전압 보상 화소의 일부를 보여주는 회로도.

도 2는 본 발명의 제1 실시예에 따른 화소의 등가회로도.

- 도 3은 구동 TFT의 문턱전압 내부 보상을 위해 화소에 입력되는 신호들을 보여주는 파형도.
- 도 4는 화소의 노드들의 전압 변화를 보여주는 표.
- 도 5는 본 발명의 제1 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프.
- 도 6은 본 발명의 제2 실시예에 따른 화소의 증가회로도.
- 도 7은 본 발명의 제2 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프.
- 도 8은 본 발명의 제3 실시예에 따른 화소의 증가회로도.
- 도 9는 구동 TFT의 문턱전압 내부 보상을 위해 화소에 입력되는 신호들을 보여주는 파형도.
- 도 10은 화소의 노드들의 전압 변화를 보여주는 표.
- 도 11은 본 발명의 제3 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프.
- 도 12는 구동 TFT의 외부 보상의 경우 화소의 전류 흐름도를 보여주는 도면.
- 도 13은 구동 TFT의 외부 보상을 위해 화소에 입력되는 신호들을 보여주는 파형도.
- 도 14는 유기발광다이오드의 외부 보상의 경우 화소의 전류 흐름도를 보여주는 도면.
- 도 15는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도.
- 도 16은 타이밍 컨트롤러의 외부 보상부를 보여주는 블록도.
- 도 17은 본 발명의 실시예에 따른 외부 보상 방법을 보여주는 흐름도.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.
- [0018] 본 발명의 실시예에 따른 유기발광다이오드 표시장치의 화소는 구동 TFT의 문턱전압을 내부 보상할 수 있을 뿐만 아니라, 구동 TFT의 문턱전압과 전자 이동도, 및 유기발광다이오드의 문턱전압을 외부 보상할 수 있다. 내부 보상은 화소 내에서 실시간으로 구동 TFT의 문턱전압을 센싱하여 보상하는 것을 의미한다. 외부 보상은 구동 TFT의 드레인-소스간 전류 및 유기발광다이오드의 전류를 센싱하고 센싱된 전류를 이용하여 화소에 입력될 디지털 비디오 데이터를 보상한 후, 보상된 디지털 비디오 데이터를 화소에 공급하는 것을 의미한다. 구동 TFT의 문턱전압을 내부 보상하는 화소에 대한 설명은 도 2 내지 도 11을 결부하여 설명하였고, 구동 TFT의 문턱전압과 전자 이동도, 및 유기발광다이오드의 문턱전압을 외부 보상하는 화소에 대한 설명은 도 12 내지 도 14를 결부하여 설명하였다.
- [0019] 도 2는 본 발명의 제1 실시예에 따른 화소의 증가회로도이다. 도 2를 참조하면, 본 발명의 제1 실시예에 따른 화소(P)는 구동 TFT(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 및 캐패시터(capacitor)들을 포함한다.
- [0020] 구동 TFT(DT)는 게이트 전극에 인가된 전압 량에 따라, 드레인-소스간 전류(Ids)의 양을 다르게 조절한다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 고전위 전압(VDD)을 공급하는 고전위 전압원에 접속된다.
- [0021] 유기발광다이오드(OLED)의 애노드 전극은 제2 노드(N2)에 접속되고, 캐소드 전극은 저전위 전압(VSS)이 공급되는 저전위 전압원에 접속된다. 유기발광다이오드(OLED)는 구동 TFT(DT)의 드레인-소스간 전류(Ids)에 따라 발

광된다.

- [0022] 제어 회로는 제1 내지 제3 TFT(T1, T2, T3)를 포함한다. 제1 TFT(T1)는 제1 스캔 라인(SL1)으로부터 공급되는 제1 스캔 신호(SCAN1)에 응답하여 턴-온되어 제1 노드(N1)와 데이터 전압(DATA)이 공급되는 데이터 라인(DL)을 접속시킨다. 제1 TFT(T1)의 게이트 전극은 제1 스캔 라인(SL1)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 데이터 라인(DL)에 접속된다.
- [0023] 제2 TFT(T2)는 제2 스캔 라인(SL2)으로부터 공급되는 제2 스캔 신호(SCAN2)에 응답하여 턴-온되어 제1 노드(N1)와 제1 기준 전압(REF1)이 공급되는 제1 기준 전압원을 접속시킨다. 제2 TFT(T2)의 게이트 전극은 제2 스캔 라인(SL2)에 접속되고, 소스 전극은 제1 기준 전압원에 접속되며, 드레인 전극은 제1 노드(N1)에 접속된다.
- [0024] 제3 TFT(T3)는 발광 라인(EML)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제4 TFT(T4)의 게이트 전극은 발광 라인(EML)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0025] 제1 캐패시터(C1)는 제1 노드(N1)와 제3 노드(N4) 사이에 접속되고, 제1 노드(N1)와 제3 노드(N3)의 차전압을 저장한다. 제2 캐패시터(C2)는 제3 노드(N3)와 제1 기준 전압원 사이에 접속되고, 제3 노드(N3)와 제1 기준 전압원의 차전압을 저장한다.
- [0026] 한편, 제1 노드(N1)는 구동 TFT(DT)의 게이트 전극, 제1 TFT(T1)의 소스 전극, 제2 TFT(T2)의 드레인 전극, 및 제1 캐패시터(C1)의 일측 전극 간의 접점이다. 제2 노드(N2)는 구동 TFT(DT)의 소스 전극, 유기발광다이오드(OLED)의 애노드 전극, 및 제3 TFT(T3)의 드레인 전극 간의 접점이다. 제3 노드(N3)는 제3 TFT(T3)의 소스 전극, 제1 캐패시터(C1)의 타측 전극, 및 제2 캐패시터(C2)의 일측 전극 간의 접점이다.
- [0027] 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)의 반도체 층은 산화물 반도체, 특히 옥사이드(Oxide)로 형성된 것을 중심으로 설명하였다. 하지만, 이에 한정되지 않으며, 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)의 반도체 층은 a-Si, 및 Poly-Si 중 어느 하나로 형성될 수도 있다. 또한, 본 발명의 실시예에서 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)가 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것을 중심으로 설명하였다.
- [0028] 구동 TFT(DT)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 고전위 전압원은 하이 레벨(VDD_H)과 로우 레벨(VDD_L) 사이에서 스윙하는 고전위 전압(VDD)을 공급하도록 설정되고, 저전위 전압원은 직류 저전위 전압(VSS)을 공급하도록 설정될 수 있다. 로우 레벨의 고전위 전압(VDD_L)은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압보다 낮은 전압으로 설정될 수 있다. 예를 들어, 하이 레벨의 고전위 전압(VDD_H)은 대략 20V, 로우 레벨의 고전위 전압(VDD_L)은 대략 -7V, 저전위 전압(VSS)은 대략 0V, 제1 기준 전압(REF1)은 대략 -1V로 설정될 수 있다.
- [0029] 도 3은 구동 TFT의 문턱전압 내부 보상을 위해 화소에 입력되는 신호들을 보여주는 파형도이다. 도 3에는 표시 패널(10)의 어느 한 화소(P)에 입력되는 제1 및 제2 스캔 신호(SCAN1, SCAN2), 및 발광 신호(EM)가 나타나 있다. 또한, 도 3에는 데이터 라인(DL)을 통해 공급되는 데이터 전압(DATA)과 고전위 전압원으로부터 공급되는 고전위 전압(VDD)이 나타나 있다.
- [0030] 도 3을 참조하면, 제1 및 제2 스캔 신호(SCAN1, SCAN2), 및 발광 신호(EM)는 화소(P)의 제1 내지 제3 TFT(T1, T2, T3)를 제어하기 위한 신호들이다. 제1 및 제2 스캔 신호(SCAN1, SCAN2), 및 발광 신호(EM) 각각은 1 프레임 기간을 주기로 발생한다. 제1 및 제2 스캔 신호(SCAN1, SCAN2), 및 발광 신호(EM) 각각은 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙한다. 제1 및 제2 스캔 신호(SCAN1, SCAN2), 및 발광 신호(EM) 각각의 펄스는 게이트 하이 전압(VGH)으로 발생한다. 특히, 발광 신호(EM)의 펄스는 두 차례 발생한다. 발광 신호(EM)의 제1 펄스는 t1 및 t2 기간 동안 발생하고, 제2 펄스는 t4 기간 동안 발생한다. 게이트 하이 전압(VGH)은 대략 14V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -12V 내지 -5V로 설정될 수 있다.
- [0031] 제2 스캔 신호(SCAN2)의 펄스 시작 시점과 발광 신호(EM)의 제1 펄스 시작 시점은 서로 동기된다. 발광 신호(EM)의 제1 펄스 종료 시점과 제1 스캔 펄스(SCAN1)의 펄스 시작 시점은 서로 동기된다. 제2 스캔 신호(SCAN2)의 펄스 종료 시점은 발광 신호(EM)의 제1 펄스 종료 시점보다 앞선다. 또한, 제1 스캔 펄스(SCAN1)의 펄스 종료 시점과 발광 신호(EM)의 제2 펄스 시작 시점은 서로 동기된다. 발광 신호(EM)의 제2 펄스는 수 내지 수십

수평 기간 동안 발생한다. 1 수평기간(1H)은 표시패널에서 1 수평 라인의 픽셀들에 데이터가 기입되는 1 라인 스캐닝 시간을 의미한다.

- [0032] 제2 스캔 신호(SCAN2)의 펄스 폭과 발광 신호(EM)의 제1 펄스 폭은 제1 스캔 신호(SCAN1)의 펄스 폭보다 넓다. 발광 신호(EM)의 제1 펄스 폭은 제2 스캔 신호(SCAN2)의 펄스 폭보다 넓다. 예를 들어, 제1 스캔 신호(SCAN1)의 펄스 폭은 1 수평기간(1H), 제2 스캔 신호(SCAN2)의 펄스 폭은 2 수평기간(2H), 발광 신호(EM)의 제1 펄스 폭은 3 수평기간(3H)으로 설정될 수 있다.
- [0033] 구동 TFT(DT)는 데이터 전압(DATA)에 따라 유기발광다이오드(OLED)에 공급되는 전류의 양을 조절한다. 데이터 전압(DATA)은 1 수평기간(1H)을 주기로 발생한다. 고전위 전압(VDD)은 1 프레임 기간을 주기로 하이 레벨(VDD_H)과 로우 레벨(VDD_L) 사이에서 스위칭한다. 고전위 전압(VDD)은 t1 기간 동안 로우 레벨(VDD_L)로 발생하고, 나머지 기간 동안 하이 레벨(VDD_H)로 발생한다. 즉, 고전위 전압원은 제2 스캔 신호(SCAN2)의 펄스 시작 시점부터 로우 레벨(VDD_L)로 발생하고, 제2 스캔 신호(SCAN2)의 펄스 종료 시점보다 앞선 시점부터 하이 레벨(VDD_H)로 발생한다.
- [0034] 도 4는 화소의 노드들의 전압 변화를 보여주는 표이다. 이하에서, 도 2 내지 도 4를 참조하여 t1 내지 t5 기간 동안 본 발명의 실시예에 따른 화소(P)의 동작을 상세히 설명한다. t1 기간은 제1 내지 제3 노드(N1, N2, N3)를 초기화하는 기간이고, t2 및 t3 기간은 구동 TFT(DT)의 문턱전압을 센싱하는 기간이며, t4 기간은 데이터 전압이 공급되는 기간이며, t5 기간은 유기발광다이오드(OLED)가 발광하는 기간이다.
- [0035] 첫 번째로, t1 기간 동안 제2 스캔 신호(SCAN2)의 펄스와 발광 신호(EM)의 제1 펄스가 시작된다. 즉, t1 기간 동안 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급되며, 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, t1 기간 동안 로우 레벨의 고전위 전압(VDD_L)이 고전위 전압원으로 부터 공급된다.
- [0036] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)에 응답하여 턴-온되어 제1 노드(N1)와 제1 기준 전압원을 접속시킨다. 제2 TFT(T2)의 턴-온으로 인해, 제1 노드(N1)는 제1 기준 전압(REF1)으로 방전된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 동등한 전위를 갖는다.
- [0037] 한편, t1 기간 동안 고전위 전압원으로부터 로우 레벨의 고전위 전압(VDD_L)이 공급되므로, 고전위 전압원에 접속된 구동 TFT(DT)의 드레인 전극은 소스 전극 역할을 하고, 제2 노드(N2)에 접속된 구동 TFT(DT)의 소스 전극은 드레인 전극으로 역할을 한다. 따라서, t1 기간 동안 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(Vgs)이 문턱전압(Vth)보다 커지므로, 구동 TFT(DT)는 턴-온된다. 구동 TFT(DT)의 턴-온으로 인해, 제2 노드(N2)는 로우 레벨의 고전위 전압(VDD_L)으로 방전된다. 또한, 제3 TFT(T3)의 턴-온에 의해 제2 노드(N2)와 접속된 제3 노드(N3)도 로우 레벨의 고전위 전압(VDD_L)으로 방전된다.
- [0038] 두 번째로, t2 기간 동안 제2 스캔 신호(SCAN2)의 펄스가 유지되고, 발광 신호(EM)의 제1 펄스가 유지된다. 또한, t3 기간 동안 제2 스캔 신호(SCAN2)의 펄스가 종료되고, 발광 신호(EM)의 제1 펄스가 유지된다. 즉, t2 및 t3 기간 동안 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, t2 기간 동안 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급되며, t3 기간 동안 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급되고, t2 및 t3 기간 동안 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, t2 및 t3 기간 동안 하이 레벨의 고전위 전압(VDD_H)이 고전위 전압원으로부터 공급된다.
- [0039] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)으로 방전된 제2 스캔 신호(SCAN2)에 의해 턴-오프된다. 제1 및 제2 TFT(T1, T2)의 턴-오프로 인해, 제1 노드(N1)와 제1 기준 전압원의 접속은 차단되고, 제1 노드(N1)는 플로팅된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 동등한 전위를 갖는다.
- [0040] t2 및 t3 기간 동안 고전위 전압원으로부터 하이 레벨의 고전위 전압(VDD_H)이 공급된다. 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)보다 크므로, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차

(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성한다. 따라서, 제2 노드(N2)의 전압은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(REF1-Vth)까지 상승한다. 또한, 제3 TFT(T3)의 턴-온으로 인해 제3 노드(N3)는 제2 노드(N2)와 접속되므로, 제3 노드(N3)의 전압은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(REF1-Vth)까지 상승한다.

[0041] 한편 t3 기간은 제1 노드(N1) 플로팅 기간으로 정의될 수 있다. t3 기간 동안 제1 노드(N1)는 플로팅되므로, 구동 TFT(DT)의 게이트 전극과 소스 전극 사이에 존재하는 기생용량에 의해 제2 노드(N2)의 전압 변화량이 반영될 수 있다. 이로 인해, 제1 노드(N1)의 전압이 상승하므로, 구동 TFT(DT)의 문턱전압(Vth) 센싱 속도를 높일 수 있는 효과가 있다.

[0042] 결국, t2 및 t3 기간 동안 제2 노드(N2)와 제3 노드(N3)는 구동 TFT(DT)의 문턱전압(Vth)을 센싱한다. 도 2에서 문턱전압(Vth) 센싱 기간인 t2 및 t3 기간은 2 수평기간인 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, t2 및 t3 기간은 사전 실험을 통해 대략 2 수평기간 이상으로 적절하게 설정될 수 있으며, 제1 노드(N1) 플로팅 기간인 t3 기간도 사전 실험을 통해 대략 1 내지 수십 수평기간 이내로 적절하게 설정될 수 있다. 이에 대한 자세한 설명은 도 5를 결부하여 후술한다. 본 발명은 2 수평 기간 이상의 기간 동안 구동 TFT(DT)의 문턱전압(Vth)을 센싱하므로, 대면적 고해상도의 유기발광표시장치가 240Hz 이상의 프레임 주파수로 고속 구동하는 경우에도 구동 TFT(DT)의 문턱전압 센싱의 정확도를 높일 수 있다.

[0043] 세 번째로, t4 기간 동안 발광 신호(EM)의 제1 펄스가 종료되고, 제1 스캔 신호(SCAN1)의 펄스가 시작된다. 즉, t4 기간 동안 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급되며, 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, t4 기간 동안 하이 레벨의 고전위 전압(VDD_H)이 고전위 전압원으로부터 공급된다.

[0044] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)에 응답하여 턴-온되어 제1 노드(N1)를 데이터 라인(DL)에 접속시킨다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)에 응답하여 턴-오프된다. 제1 TFT(T1)의 턴-온으로 인해, 제1 노드(N1)는 데이터 전압(DATA)으로 충전된다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)의 턴-오프로 인해, 제2 노드(N2)와 제3 노드(N3)의 접속은 차단되고, 제3 노드(N3)는 플로팅된다.

[0045] t4 기간 동안 제3 노드(N3)가 플로팅되므로, 제1 노드(N1)의 전압 변화량이 제1 캐패시터(C1)에 의해 제3 노드(N3)에 반영된다. 즉, 제3 노드(N3)에는 제1 노드(N1)의 전압 변화량인 'REF1-DATA'가 반영된다. 다만, 제3 노드(N3)는 직렬로 연결된 제1 및 제2 캐패시터(C1, C2)의 사이에 접속되어 있으므로, 수학적 2와 같이 C'의 비율로 전압 변화량이 반영된다.

수학적 2

$$C' = \frac{CA1}{CA1+CA2}$$

[0046] 수학적 2에서, CA1은 제1 캐패시터(C1)의 용량, CA2는 제2 캐패시터(C2)의 용량을 의미한다. 결국, 제3 노드(N3)에는 'C'(REF1-DATA)'가 반영되므로, 제4 노드(N4)의 전압은 'REF1-Vth-C'(REF1-DATA)'로 변화된다.

[0047] 네 번째로, t5 기간 동안 제1 스캔 신호(SCAN1)의 펄스가 종료되고, 발광 신호(EM)의 제2 펄스가 발생한다. 즉, t5 기간 동안 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급되며, 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전되는 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 발광 신호(EM)는 대략 1 내지 수십 수평기간 내에 게이트 로우 전압(VGL)으로 반전된다. 또한, t5 기간 동안 하이 레벨의 고전위 전압(VDD_H)이 고전위 전압원으로부터 공급된다.

[0048] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)에 응답하여 턴-오프된다. 제1 TFT(T1) 및 제2 TFT(T2)의 턴-오프로 인해, 제1 노드(N1)는 플로팅된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어

제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해 제3 노드(N3)의 전압은 변화한다. 제3 TFT(T3)는 대략 1 내지 수십 수평 기간 이내에 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전되는 발광 신호(EM)에 의해 턴-오프된다.

[0050] t5 기간 동안 제1 노드(N1)가 플로팅되므로, 제3 노드(N3)의 전압 변화량이 제1 캐패시터(C1)에 의해 제1 노드(N1)에 반영된다. 즉, 제1 노드(N1)에는 제3 노드(N3)의 전압 변화량인 'REF1-Vth-C'(REF1-DATA)-Voled_anode'가 반영된다. 따라서, 제1 노드(N1)의 전압은 'DATA-{REF1-Vth-C'(REF1-DATA)-Voled_anode}'로 변화된다.

[0051] 한편, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 3과 같이 표현된다.

수학식 3

[0052]
$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0053] 수학식 3에서, k'는 구동 TFT(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수로서, 구동 TFT(DT)의 전자 이동도(mobility), 채널 폭, 및 채널 길이 등에 의해 결정된다. Vgs는 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차, Vth는 구동 TFT(DT)의 문턱전압을 의미한다. t5 기간 동안 'Vgs-Vth'는 수학식 4와 같다.

수학식 4

[0054]
$$V_{gs} - V_{th} = [DATA - \{REF1 - V_{th} - C'(REF1 - DATA) - V_{oled\ anode}\} - V_{oled\ anode}] - V_{th}$$

[0055] 수학식 4를 정리하면, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 5와 같이 도출된다.

수학식 5

[0056]
$$I_{ds} = k' [(1 + C') \cdot (DATA - REF1)]^2$$

[0057] 결국, t5 기간 동안 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 5와 같이 구동 TFT(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 본 발명은 구동 TFT(DT)의 문턱전압을 보상할 수 있다.

[0058] 종합해보면, 본 발명의 제1 실시예에 따른 화소(P)는 고전위 전압(VDD)을 초기화 기간(t1 기간) 동안 로우 레벨로 공급함으로써 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)를 로우 레벨의 고전위 전압(VDD_L)으로 초기화한다. 로우 레벨의 고전위 전압(VDD_L)은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압보다 낮은 전압으로 설정된다. 그 결과, 본 발명의 제1 실시예에 따른 화소(P)는 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트(negative shift) 되더라도, 문턱전압(Vth) 센싱 기간(t2 및 t3 기간) 동안 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(Vgs)를 문턱전압(Vth)보다 크게 할 수 있다. 이로 인해, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성하므로, 제2 노드(N2)의 전압은 기준 전압(REF)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(REF1-Vth)까지 상승한다. 따라서, 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트 되더라도, 제2 노드(N2)는 문턱전압(Vth)을 센싱할 수 있다. 한편, 네거티브 쉬프트는 구동 TFT(DT)가 N타입 MOSFET으로 구현된 경우 구동 TFT(DT)의 문턱전압(Vth)이 0V보다 낮은 전압으로 쉬프트되는 것을 의미한다.

[0059] 도 5는 본 발명의 제1 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프이다. 도 5를 참조하면, x축에는 구동 TFT(DT)의 문턱전압 변동 범위(Vth

Variation)가 나타나 있고, y축에는 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids) 오차(error)가 나타나 있다.

[0060] 구동 TFT(DT)의 열화로 인해, 구동 TFT(DT)의 문턱전압(Vth)은 화소(P)별로 기준 값 대비 -2.0V 내지 +2.0V 정도 쉬프트(shift)될 수 있다. 따라서, 최근 유기발광다이오드 표시장치는 화소(P)별로 구동 TFT(DT)의 문턱전압(Vth)을 센싱하여 문턱전압(Vth)을 보상함으로써, 유기발광다이오드(OLED)가 문턱전압(Vth)에 의존하지 않고 발광할 수 있도록 하고 있다. 하지만, 구동 TFT(DT)의 문턱전압(Vth) 센싱의 정확도가 낮은 경우 문턱전압(Vth) 센싱 기간(t2 및 t3 기간) 동안 센싱된 문턱전압(Vth) 보상 값과 실제 구동 TFT(DT)의 문턱전압(Vth)이 다르므로, 수학식 4에서 'Vth'가 삭제되지 않는다. 이로 인해, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids)에 오차(error)가 발생하게 된다.

[0061] 도 5에서는 구동 TFT(DT)의 문턱전압(Vth) 센싱 기간(t2 및 t3 기간)에서 제1 노드(N1) 플로팅 기간(t3 기간)을 3 수평기간(3H) 및 4 수평기간(4H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)를 살펴보았다. 제1 노드(N1) 플로팅 기간(t3 기간)을 3 수평기간(3H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)가 대략 -2% 내지 5%로 발생하였다. 하지만, 제1 노드(N1) 플로팅 기간(t3 기간)을 4 수평기간(4H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)는 -2% 내지 10%로 발생하였다. 즉, 제1 노드(N1) 플로팅 기간(t3 기간)은 구동 TFT(DT)의 문턱전압(Vth) 센싱 속도를 높일 수 있는 효과가 있으므로, 본 발명의 제1 실시예는 제1 노드(N1) 플로팅 기간(t3 기간)을 도 5와 같이 3 수평기간(3H)으로 할 경우 구동 TFT(DT)의 문턱전압(Vth)의 센싱 정확도를 높일 수 있고, 이로 인해 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차는 최소화될 수 있다.

[0062] 도 6은 본 발명의 제2 실시예에 따른 화소의 등가회로도이다. 도 6을 참조하면, 본 발명의 제2 실시예에 따른 화소(P)는 구동 TFT(DT), 유기발광다이오드(OLED), 제어 회로, 및 캐패시터(capacitor)들을 포함한다. 제어 회로는 제1 내지 제3 TFT(T1, T2, T3)를 포함하고, 캐패시터들은 제1 내지 제3 캐패시터(C1, C2, C3)를 포함한다.

[0063] 본 발명의 제2 실시예에 따른 화소(P)는 제3 캐패시터(C3)를 제외하고는 도 2 내지 도 4를 결부하여 설명한 본 발명의 제1 실시예에 따른 화소(P)와 그 구조 및 동작 방법이 실질적으로 동일하므로, 본 발명의 제2 실시예에 따른 화소(P)의 구동 TFT(DT), 유기발광다이오드(OLED), 제1 내지 제3 TFT(T1, T2, T3), 제1 및 제2 캐패시터(C1, C2)에 대한 설명은 생략하기로 한다.

[0064] 제3 캐패시터(C3)는 제1 노드(N1)와 고전위 전압원 사이에 접속되고, 제1 노드(N1)와 고전위 전압원의 차전압을 저장한다. 제3 캐패시터(C3)는 구동 TFT(DT)의 기생용량에 의해 제2 노드(N2)의 전압 변화량이 제1 노드(N1)에 반영되는 것을 방지할 수 있다. 따라서, 제1 노드(N1)의 전압이 상승하는 것을 방지할 수 있으므로, 블랙 계조 표현 능력을 개선할 수 있다. 즉, 명암 대비비(contrast ratio)를 높일 수 있는 장점이 있다.

[0065] 도 7은 본 발명의 제2 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프이다. 도 7을 참조하면, x축에는 구동 TFT(DT)의 문턱전압 변동 범위(Vth Variation)가 나타나 있고, y축에는 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids) 오차(error)가 나타나 있다.

[0066] 구동 TFT(DT)의 열화로 인해, 구동 TFT(DT)의 문턱전압(Vth)은 화소(P)별로 기준 값 대비 -2.0V 내지 +2.0V 정도 쉬프트(shift)될 수 있다. 따라서, 최근 유기발광다이오드 표시장치는 화소(P)별로 구동 TFT(DT)의 문턱전압(Vth)을 센싱하여 문턱전압(Vth)을 보상함으로써, 유기발광다이오드(OLED)가 문턱전압(Vth)에 의존하지 않고 발광할 수 있도록 하고 있다. 하지만, 구동 TFT(DT)의 문턱전압(Vth) 센싱의 정확도가 낮은 경우 문턱전압(Vth) 센싱 기간(t2 및 t3 기간) 동안 센싱된 문턱전압(Vth) 보상 값과 실제 구동 TFT(DT)의 문턱전압(Vth)이 다르므로, 수학식 4에서 'Vth'가 삭제되지 않는다. 이로 인해, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids)에 오차(error)가 발생하게 된다.

[0067] 도 7에서는 구동 TFT(DT)의 문턱전압(Vth) 센싱 기간(t2 및 t3 기간)에서 제1 노드(N1) 플로팅 기간(t3 기간)을 6 수평기간(6H) 및 7 수평기간(7H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)를 살펴보았다. 제1 노드(N1) 플로팅 기간(t3 기간)을 6 수평기간(6H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)가 대략 -3% 내지 5%로 발생하였다. 하지만, 제1 노드(N1) 플로팅 기간(t3 기간)을 7 수평기간(7H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차(error)는 -1% 내지 5%로

발생하였다. 즉, 제3 캐패시터(C3)는 구동 TFT(DT)의 기생용량에 의해 제2 노드(N2)의 전압 변화량이 제1 노드(N1)에 반영되는 것을 방지할 수 있다. 따라서, 본 발명의 제2 실시예는 제1 노드(N1) 플로팅 기간(t3 기간)을 도 7과 같이 길게 할수록 구동 TFT(DT)의 문턱전압(Vth)의 센싱 정확도를 높일 수 있고, 이로 인해 구동 TFT(DT)의 드레인 소스간 전류(Ids)의 오차는 최소화될 수 있다.

- [0068] 도 8은 본 발명의 제3 실시예에 따른 화소의 등가회로도이다. 도 8을 참조하면, 본 발명의 제3 실시예에 따른 화소(P)는 구동 TFT(DT), 유기발광다이오드(OLED), 제어 회로, 및 캐패시터(capacitor)들을 포함한다. 제어 회로는 제1 내지 제4 TFT(T1, T2, T3, T4)를 포함하고, 캐패시터들은 제1 및 제2 캐패시터(C1, C2)를 포함한다.
- [0069] 본 발명의 제3 실시예에 따른 화소(P)는 제4 TFT(T4)를 제외하고는 도 2를 결부하여 설명한 본 발명의 제1 실시예에 따른 화소(P)와 그 구조가 실질적으로 동일하므로, 본 발명의 제3 실시예에 따른 화소(P)의 구동 TFT(DT), 유기발광다이오드(OLED), 제1 내지 제3 TFT(T1, T2, T3), 제1 및 제2 캐패시터(C1, C2)에 대한 설명은 생략하기로 한다.
- [0070] 제4 TFT(T4)는 제3 스캔 라인(SL3)의 제3 스캔 신호(SCAN3)에 응답하여 턴-온되어 제2 노드(N2)와 제2 기준 전압(REF2)을 공급하는 제2 기준 전압원을 접속시킨다. 제4 TFT(T4)의 게이트 전극은 제3 스캔 라인(SL3)에 접속되고, 소스 전극은 제2 기준 전압원에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0071] 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)의 반도체 층은 산화물 반도체, 특히 옥사이드(Oxide)로 형성된 것을 중심으로 설명하였다. 하지만, 이에 한정되지 않으며, 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)의 반도체 층은 a-Si, 및 Poly-Si 중 어느 하나로 형성될 수도 있다. 또한, 본 발명의 실시예에서 제1 내지 제3 TFT(T1, T2, T3), 및 구동 TFT(DT)가 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것을 중심으로 설명하였다.
- [0072] 제2 기준 전압(REF2)은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압보다 낮은 전압으로 설정될 수 있다. 예를 들어, 고전위 전압(VDD)은 대략 20V, 저전위 전압(VSS)은 대략 0V, 제1 기준 전압(REF1)은 대략 -1V, 제2 기준 전압(REF2)은 대략 -7V로 설정될 수 있다.
- [0073] 도 9는 구동 TFT의 문턱전압 내부 보상을 위해 화소에 입력되는 신호들을 보여주는 파형도. 도 9에는 표시패널(10)의 어느 한 화소(P)에 입력되는 제1 내지 제3 스캔 신호(SCAN1, SCAN2, SCAN3), 및 발광 신호(EM)가 나타나 있다. 또한, 도 9에는 데이터 라인(DL)을 통해 공급되는 데이터 전압(DATA)이 나타나 있다.
- [0074] 도 9에서 제3 스캔 신호(SCAN3)를 제외한 제1 및 제2 스캔 신호(SCAN2), 발광 신호(EM), 및 데이터 전압(DAT A)에 대한 설명은 도 3에서 설명한 바와 실질적으로 동일하므로, 제1 및 제2 스캔 신호(SCAN2), 발광 신호(EM), 및 데이터 전압(DATA)에 대한 설명은 생략하기로 한다. 또한, 도 9에서 고전위 전압(VDD)은 직류 고전위 전압으로 공급되는 것에 유의하여야 한다. 고전위 전압(VDD)은 대략 20V로 설정될 수 있다.
- [0075] 제3 스캔 신호(SCAN3)는 제4 TFT(T4)를 제어하기 위한 신호이다. 제3 스캔 신호(SCAN3)는 1 프레임 기간을 주기로 발생한다. 제3 스캔 신호(SCAN3)는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙한다. 제3 스캔 신호(SCAN3)의 펄스는 게이트 하이 전압(VGH)으로 발생한다.
- [0076] 제3 스캔 신호(SCAN3)의 펄스 시작 시점과 제2 스캔 신호(SCAN2)의 펄스 시작 시점은 서로 동기된다. 제3 스캔 신호(SCAN3)의 펄스 종료 시점은 제2 스캔 신호(SCAN2)의 펄스 종료 시점보다 앞선다. 제2 스캔 신호(SCAN2)의 펄스 폭은 제3 스캔 신호(SCAN3)의 펄스 폭보다 넓다. 예를 들어, 제1 스캔 신호(SCAN1)의 펄스 폭은 1 수평기간(1H), 제2 스캔 신호(SCAN2)의 펄스 폭은 2 수평기간(2H), 제3 스캔 신호(SCAN3)의 펄스 폭은 1 수평기간(1H), 발광 신호(EM)의 제1 펄스 폭은 3 수평기간(3H)으로 설정될 수 있다.
- [0077] 도 10은 화소의 노드들의 전압 변화를 보여주는 표이다. 이하에서, 도 8 내지 도 10을 참조하여 t1 내지 t5 기간 동안 본 발명의 실시예에 따른 화소(P)의 동작을 상세히 설명한다. t1 기간은 제1 내지 제3 노드(N1, N2, N3)를 초기화하는 기간이고, t2 및 t3 기간은 구동 TFT(DT)의 문턱전압을 센싱하는 기간이며, t4 기간은 데이터 전압이 공급되는 기간이며, t5 기간은 유기발광다이오드(OLED)가 발광하는 기간이다.
- [0078] 첫 번째로, t1 기간 동안 제2 스캔 신호(SCAN2)의 펄스, 제3 스캔 신호(SCAN3)의 펄스, 및 발광 신호(EM)의 제1

펄스가 시작된다. 즉, t_1 기간 동안 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, t_1 기간 동안 게이트 하이 전압(VGH)의 제3 스캔 신호(SCAN3)가 제3 스캔 라인(SL3)을 통해 공급되고, 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다.

[0079] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)에 응답하여 턴-온되어 제1 노드(N1)와 제1 기준 전압원을 접속시킨다. 제2 TFT(T2)의 턴-온으로 인해, 제1 노드(N1)는 제1 기준 전압(REF1)으로 방전된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제4 TFT(T4)는 게이트 하이 전압(VGH)의 제3 스캔 신호(SCAN3)에 응답하여 턴-온되어 제2 노드(N2)와 제2 기준 전압원을 접속시킨다. 제3 및 제4 TFT(T3, T4)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 제2 기준 전압(REF2)으로 방전된다.

[0080] 두 번째로, t_2 기간 동안 제2 스캔 신호(SCAN2)의 펄스가 유지되고, 제3 스캔 신호(SCAN3)의 펄스가 종료되며, 발광 신호(EM)의 제1 펄스가 유지된다. 또한, t_3 기간 동안 제2 스캔 신호(SCAN2)의 펄스가 종료되고, 발광 신호(EM)의 제1 펄스가 유지된다. 즉, t_2 및 t_3 기간 동안 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, t_2 기간 동안 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급되며, t_3 기간 동안 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, t_2 및 t_3 기간 동안 게이트 로우 전압(VGL)의 제3 스캔 신호(SCAN3)가 제3 스캔 라인(SL3)을 통해 공급되고, 게이트 하이 전압(VGH)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다.

[0081] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)으로 방전된 제2 스캔 신호(SCAN2)에 의해 턴-오프된다. 제1 및 제2 TFT(T1, T2)의 턴-오프로 인해, 제1 노드(N1)와 제1 기준 전압원의 접속은 차단되고, 제1 노드(N1)는 플로팅된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 동등한 전위를 갖는다. 제4 TFT(T4)는 게이트 로우 전압(VGL)의 제3 스캔 신호(SCAN3)에 의해 턴-오프된다. 제4 TFT(T4)의 턴-오프로 인해, 제2 노드(N2)와 제2 기준 전압원의 접속은 차단된다.

[0082] t_2 및 t_3 기간 동안 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})보다 크므로, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})에 도달할 때까지 전류 패스를 형성한다. 따라서, 제2 노드(N2)의 전압은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압(REF1- V_{th})까지 상승한다. 또한, 제3 TFT(T3)의 턴-온으로 인해 제3 노드(N3)는 제2 노드(N2)와 접속되므로, 제3 노드(N3)의 전압은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압(REF1- V_{th})까지 상승한다.

[0083] 한편, t_3 기간은 제1 노드(N1) 플로팅 기간으로 정의될 수 있다. t_3 기간 동안 제1 노드(N1)는 플로팅되므로, 구동 TFT(DT)의 게이트 전극과 소스 전극 사이에 존재하는 기생용량에 의해 제2 노드(N2)의 전압 변화량이 반영될 수 있다. 이로 인해, 제1 노드(N1)의 전압이 상승하므로, 구동 TFT(DT)의 문턱전압(V_{th}) 센싱 속도를 높일 수 있는 효과가 있다.

[0084] 결국, t_2 및 t_3 기간 동안 제2 노드(N2)와 제3 노드(N3)는 구동 TFT(DT)의 문턱전압(V_{th})을 센싱한다. 도 2에서 문턱전압(V_{th}) 센싱 기간인 t_2 및 t_3 기간은 2 수평기간인 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, t_2 및 t_3 기간은 사전 실험을 통해 대략 2 수평기간 이상으로 적절하게 설정될 수 있으며, 제1 노드(N1) 플로팅 기간인 t_3 기간도 사전 실험을 통해 대략 1 내지 수십 수평기간 이내로 적절하게 설정될 수 있다. 이에 대한 자세한 설명은 도 11을 결부하여 후술한다. 본 발명은 2 수평 기간 이상의 기간 동안 구동 TFT(DT)의 문턱전압(V_{th})을 센싱하므로, 대면적 고해상도의 유기발광표시장치가 240Hz 이상의 프레임 주파수로 고속 구동하는 경우에도 구동 TFT(DT)의 문턱전압 센싱의 정확도를 높일 수 있다.

[0085] 세 번째로, t_4 기간 동안 발광 신호(EM)의 제1 펄스가 종료되고, 제1 스캔 신호(SCAN1)의 펄스가 시작된다. 즉, t_4 기간 동안 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, t_4 기간 동안 게이트 로우 전압(VGL)의 제3 스캔 신호(SCAN3)가 제3 스캔 라인(SL3)을 통해 공급되고, 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다.

[0086] 제1 TFT(T1)는 게이트 하이 전압(VGH)의 제1 스캔 신호(SCAN1)에 응답하여 턴-온되어 제1 노드(N1)를 데이터 라

인(DL)에 접속시킨다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)에 응답하여 턴-오프된다. 제1 TFT(T1)의 턴-온으로 인해, 제1 노드(N1)는 데이터 전압(DATA)으로 충전된다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)의 턴-오프로 인해, 제2 노드(N2)와 제3 노드(N3)의 접속은 차단되고, 제3 노드(N3)는 플로팅된다. 제4 TFT(T4)는 게이트 로우 전압(VGL)의 제3 스캔 신호(SCAN3)에 의해 턴-오프된다. 제4 TFT(T4)의 턴-오프로 인해, 제2 노드(N2)와 제2 기준 전압원의 접속은 차단된다.

[0087] t4 기간 동안 제3 노드(N3)가 플로팅되므로, 제1 노드(N1)의 전압 변화량이 제1 캐패시터(C1)에 의해 제3 노드(N3)에 반영된다. 즉, 제3 노드(N3)에는 제1 노드(N1)의 전압 변화량인 'REF1-DATA'가 반영된다. 다만, 제3 노드(N3)는 직렬로 연결된 제1 및 제2 캐패시터(C1, C2)의 사이에 접속되어 있으므로, 수학식 2와 같이 C'의 비율로 전압 변화량이 반영된다. 결국, 제3 노드(N3)에는 'C'(REF1-DATA)'가 반영되므로, 제4 노드(N4)의 전압은 'REF1-Vth-C'(REF1-DATA)'로 변화된다.

[0088] 네 번째로, t5 기간 동안 제1 스캔 신호(SCAN1)의 펄스가 종료되고, 발광 신호(EM)의 제2 펄스가 발생한다. 즉, t5 기간 동안 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급되며, 게이트 로우 전압(VGL)의 제3 스캔 신호(SCAN3)가 제3 스캔 라인(SL3)을 통해 공급된다. 또한, t5 기간 동안 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전되는 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 발광 신호(EM)는 대략 1 내지 수십 수평기간 내에 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전된다.

[0089] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 의해 턴-오프된다. 제2 TFT(T2)는 게이트 로우 전압(VGL)의 제2 스캔 신호(SCAN2)에 응답하여 턴-오프된다. 제1 TFT(T1) 및 제2 TFT(T2)의 턴-오프로 인해, 제1 노드(N1)는 플로팅된다. 제3 TFT(T3)는 게이트 하이 전압(VGH)의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해 제3 노드(N3)의 전압은 변화한다. 제3 TFT(T3)는 대략 1 내지 수십 수평 기간 이내에 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)으로 반전되는 발광 신호(EM)에 의해 턴-오프된다. 제4 TFT(T4)는 게이트 로우 전압(VGL)의 제3 스캔 신호(SCAN3)에 의해 턴-오프된다. 제4 TFT(T4)의 턴-오프로 인해, 제2 노드(N2)와 제2 기준 전압원의 접속은 차단된다.

[0090] t5 기간 동안 제1 노드(N1)가 플로팅되므로, 제3 노드(N3)의 전압 변화량이 제1 캐패시터(C1)에 의해 제1 노드(N1)에 반영된다. 즉, 제1 노드(N1)에는 제3 노드(N4)의 전압 변화량인 'REF1-Vth-C'(REF1-DATA)-Voled_anode'가 반영된다. 따라서, 제1 노드(N1)의 전압은 'DATA-{REF1-Vth-C'(REF1-DATA)-Voled_anode}'로 변화된다.

[0091] 한편, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 3과 같이 표현되며, t5 기간 동안 'Vgs-Vth'는 수학식 4와 같다. 수학식 4를 정리하면, 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 5와 같이 도출된다. 결국, t5 기간 동안 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 5와 같이 구동 TFT(DT)의 문턱전압(Vth)에 의존하지 않게 된다. 즉, 본 발명은 구동 TFT(DT)의 문턱전압을 보상할 수 있다.

[0092] 종합해보면, 본 발명의 제3 실시예에 따른 화소(P)는 초기화 기간(t1 기간) 동안 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)를 제2 기준 전압(REF2)으로 초기화한다. 로우 레벨의 고전위 전압(VDD_L)은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압보다 낮은 전압으로 설정된다. 그 결과, 본 발명의 제3 실시예에 따른 화소(P)는 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트(negative shift) 되더라도, 문턱전압(Vth) 센싱 기간(t2 및 t3 기간) 동안 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(Vgs)를 문턱전압(Vth)보다 크게 할 수 있다. 이로 인해, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성하므로, 제2 노드(N2)의 전압은 기준 전압(REF)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(REF1-Vth)까지 상승한다. 따라서, 구동 TFT(DT)의 문턱전압(Vth)이 네거티브 쉬프트 되더라도, 제2 노드(N2)는 문턱전압(Vth)을 센싱할 수 있다.

[0093] 도 11은 본 발명의 제3 실시예에 따른 화소의 문턱전압 센싱기간별 구동 TFT의 문턱전압 변화에 따른 문턱전압 보상 오차를 보여주는 그래프이다. 도 11을 참조하면, x축에는 구동 TFT(DT)의 문턱전압 변동 범위(Vth Variation)가 나타나 있고, y축에는 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인 소스간 전류(Ids) 오차(error)가 나타나 있다.

- [0094] 도 11에서는 구동 TFT(DT)의 문턱전압(V_{th}) 센싱 기간(t_2 및 t_3 기간)에서 제1 노드(N_1) 플로팅 기간(t_3 기간)을 1 내지 7 수평기간(1H, 2H, 3H, 4H, 5H, 6H, 7H)으로 하였을 때, 구동 TFT(DT)의 드레인 소스간 전류(I_{ds})의 오차(error)를 살펴보았다. 제1 노드(N_1) 플로팅 기간(t_3 기간)을 1 수평기간(1H)으로 하였을 때, 오차(error)가 대략 -25% 내지 18%로 발생하였고, 제1 노드(N_1) 플로팅 기간(t_3 기간)을 2 수평기간(2H)으로 하였을 때, 오차(error)가 대략 -17% 내지 13%로 발생하였다. 또한, 제1 노드(N_1) 플로팅 기간(t_3 기간)을 3 수평기간(3H)으로 하였을 때, 오차(error)가 대략 -6% 내지 9%로 발생하였고, 제1 노드(N_1) 플로팅 기간(t_3 기간)을 4 수평기간(4H)으로 하였을 때, 오차(error)가 대략 -2% 내지 3%로 발생하였다. 또한, 제1 노드(N_1) 플로팅 기간(t_3 기간)을 5 수평기간(5H)으로 하였을 때, 오차(error)가 대략 -7% 내지 16%로 발생하였고, 제1 노드(N_1) 플로팅 기간(t_3 기간)을 6 수평기간(6H)으로 하였을 때, 오차(error)가 대략 -12% 내지 33%로 발생하였다. 즉, 제1 노드(N_1) 플로팅 기간(t_3 기간)은 구동 TFT(DT)의 문턱전압(V_{th}) 센싱 속도를 높일 수 있는 효과가 있으므로, 본 발명의 제3 실시예는 제1 노드(N_1) 플로팅 기간(t_3 기간)을 도 11과 같이 4 수평기간(4H)으로 할 경우, 구동 TFT(DT)의 문턱전압(V_{th})의 센싱 정확도를 높일 수 있고, 이로 인해 구동 TFT(DT)의 드레인 소스간 전류(I_{ds})의 오차는 최소화될 수 있다.
- [0095] 도 12는 구동 TFT의 외부 보상의 경우 화소의 전류 흐름도를 보여주는 도면이다. 도 12에는 외부 보상 방법을 이용하여 구동 TFT(DT)의 문턱전압(V_{th})을 보상하는 경우, 구동 TFT(DT)의 문턱전압(V_{th}), 전자 이동도 등을 센싱하기 위한 전류 패스가 나타나 있다.
- [0096] 도 12를 참조하면, 본 발명의 유기발광다이오드 표시장치는 구동 TFT(DT)의 문턱전압(V_{th})과 전자 이동도 등을 외부 보상하기 위해서는 제1 기준 전압 스위칭 회로(REF1_SW)와 제2 기준 전압 스위칭 회로(REF2_SW)를 더 포함한다.
- [0097] 제1 기준 전압 스위칭 회로(REF1_SW)는 제1 및 제2 스위치(S1, S2)와 제1 인버터(Inv1)를 포함한다. 제1 스위치(S1)는 컨트롤 라인(CL)으로부터 공급되는 컨트롤 신호(CTRL)에 응답하여 턴-온되어 제1 기준 전압 라인(RL1)을 제1 기준 전압원에 접속시킨다. 제1 스위치(S1)의 게이트 전극은 컨트롤 라인(CL)에 접속되고, 소스 전극은 제1 기준 전압원에 접속되며, 드레인 전극은 제1 기준 전압 라인(RL1)에 접속된다. 제2 스위치(S2)는 컨트롤 라인(CL)으로부터 공급되는 컨트롤 신호(CTRL)의 인버전 신호에 응답하여 턴-온되어 제1 기준 전압 라인(RL1)을 게이트 하이 전압(VGH)을 공급하는 게이트 하이 전압원에 접속시킨다. 제2 스위치(S2)의 게이트 전극은 인버터(Inv)에 접속되고, 소스 전극은 게이트 하이 전압원에 접속되며, 드레인 전극은 제1 기준 전압 라인(RL1)에 접속된다. 제1 인버터(Inv1)는 컨트롤 라인(CL)으로부터 공급되는 컨트롤 신호(CTRL)를 인버전시킨다. 제1 인버터(Inv1)는 컨트롤 라인(CL)과 제2 스위치(S2)의 게이트 전극 사이에 접속된다.
- [0098] 제2 기준 전압 스위칭 회로(REF2_SW)는 제3 및 제4 스위치(S3, S4), 제2 인버터(Inv2), 및 전류 센싱 회로(ADC)를 포함한다. 제3 스위치(S3)는 컨트롤 라인(CL)으로부터 공급되는 컨트롤 신호(CTRL)에 응답하여 턴-온되어 제2 기준 전압 라인(RL2)을 제2 기준 전압원에 접속시킨다. 제3 스위치(S3)의 게이트 전극은 컨트롤 라인(CL)에 접속되고, 소스 전극은 제2 기준 전압원에 접속되며, 드레인 전극은 제2 기준 전압 라인(RL2)에 접속된다. 제4 스위치(S4)는 컨트롤 라인(CL)으로부터 공급되는 컨트롤 신호(CTRL)의 인버전 신호에 응답하여 턴-온되어 제2 기준 전압 라인(RL2)을 전류 센싱 회로(ADC)에 접속시킨다. 제4 스위치(S4)의 게이트 전극은 인버터(Inv)에 접속되고, 소스 전극은 전류 센싱 회로(ADC)에 접속되며, 드레인 전극은 제2 기준 전압 라인(RL2)에 접속된다. 제2 인버터(Inv2)는 컨트롤 라인(CL)으로부터 공급되는 컨트롤 신호(CTRL)를 인버전시킨다. 제2 인버터(Inv2)는 컨트롤 라인(CL)과 제4 스위치(S4)의 게이트 전극 사이에 접속된다.
- [0099] 도 12에서 제1 내지 제4 스위치(S1, S2, S3, S4)는 TFT로 형성된 것을 중심으로 설명하였다. 하지만, 이에 한정되지 않음에 주의하여야 한다. 또한, 도 12에서 게이트 하이 전압 공급원이 예시되어 있지만, 게이트 하이 전압 공급원은 구동 TFT(DT)를 턴-온시킬 수 있는 다른 전원 공급원으로 대체될 수 있다.
- [0100] 도 13은 구동 TFT의 외부 보상을 위해 화소에 입력되는 신호들을 보여주는 파형도이다. 도 13에는 구동 TFT의 외부 보상의 경우, 표시패널(10)의 어느 한 화소(P)에 입력되는 제1 내지 제3 스캔 신호(SCAN1, SCAN2, SCAN3), 발광 신호(EM), 및 컨트롤 신호(CTRL)가 나타나 있다.
- [0101] 도 13을 참조하면, 제1 내지 제3 스캔 신호(SCAN1, SCAN2, SCAN3), 발광 신호(EM), 및 컨트롤 신호(CTRL) 각각은 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙한다. 제1 내지 제3 스캔 신호(SCAN1,

SCAN2, SCAN3), 발광 신호(EM) 각각의 펄스는 게이트 하이 전압(VGH)으로 발생한다. 컨트롤 신호(CTRL)의 펄스는 게이트 로우 전압(VGL)으로 발생한다.

[0102] 구동 TFT(DT)의 외부 보상의 경우, 제2 및 제3 스캔 신호(SCAN2, SCAN3)와 컨트롤 신호(CTRL)가 펄스를 발생하고, 제1 스캔 펄스(SCAN1)와 발광 신호(EM)는 펄스를 발생하지 않는다. 제2 및 제3 스캔 신호(SCAN2, SCAN3)와 컨트롤 신호(CTRL) 각각의 펄스는 동기되어 발생한다. 도 13에서는 제2 및 제3 스캔 신호(SCAN2, SCAN3)와 컨트롤 신호(CTRL) 각각의 펄스가 대략 1 수평기간(1H) 동안 발생하는 것을 예시하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, 제2 및 제3 스캔 신호(SCAN2, SCAN3)와 컨트롤 신호(CTRL) 각각의 펄스는 대략 1 내지 수십 수평기간 동안 발생할 수 있다. 한편, 구동 TFT(DT)의 문턱전압(V_{th})을 내부 보상하는 경우, 컨트롤 신호(CTRL)는 펄스를 발생하지 않으며, 게이트 하이 전압(VGH)을 유지한다.

[0103] 이하에서, 도 12 및 도 13을 참조하여, 구동 TFT(DT)의 외부 보상의 경우, 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})의 센싱 방법을 살펴본다.

[0104] 구동 TFT(DT)의 외부 보상의 경우, 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)가 제1 스캔 라인(SL1)을 통해 공급되고, 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)가 제2 스캔 라인(SL2)을 통해 공급된다. 또한, 게이트 하이 전압(VGH)의 제3 스캔 신호(SCAN3)가 제3 스캔 라인(SL3)을 통해 공급되고, 게이트 로우 전압(VGL)의 발광 신호(EM)가 발광 라인(EML)을 통해 공급된다. 또한, 게이트 로우 전압(VGL)의 컨트롤 신호(CTRL)가 컨트롤 라인(CL)을 통해 공급된다.

[0105] 제1 스위치(S1)는 게이트 로우 전압(VGL)의 컨트롤 신호(CTRL)에 의해 턴-오프되고, 제2 스위치(S2)는 컨트롤 신호(CTRL)의 반전 신호에 응답하여 턴-온된다. 제1 스위치(S1)의 턴-오프와 제2 스위치(S2)의 턴-온으로 인해, 게이트 하이 전압 공급원과 제1 기준 전압 라인(RL1)이 접속된다. 따라서, 제1 기준 전압 라인(RL1)에는 게이트 하이 전압(VGH)이 공급된다.

[0106] 제3 스위치(S3)는 게이트 로우 전압(VGL)의 컨트롤 신호(CTRL)에 의해 턴-오프되고, 제4 스위치(S4)는 컨트롤 신호(CTRL)의 반전 신호에 응답하여 턴-온된다. 제3 스위치(S3)의 턴-오프와 제4 스위치(S4)의 턴-온으로 인해, 제2 기준 전압 라인(RL2)과 전류 센싱 회로(ADC)가 접속된다. 따라서, 제2 기준 전압 라인(RL2)은 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})를 센싱하는 역할을 한다.

[0107] 제1 TFT(T1)는 게이트 로우 전압(VGL)의 제1 스캔 신호(SCAN1)에 의해 턴-오프되고, 제2 TFT(T2)는 게이트 하이 전압(VGH)의 제2 스캔 신호(SCAN2)에 응답하여 턴-온된다. 제1 TFT(T1)의 턴-오프와 제2 TFT(T2)의 턴-온으로 인해, 제1 노드(N1)는 게이트 하이 전압(VGH)으로 충전된다. 구동 TFT(DT)는 게이트 하이 전압(VGH)에 응답하여 턴-온된다. 제3 TFT(T3)는 게이트 로우 전압(VGL)의 발광 신호(EM)에 의해 턴-오프되고, 제4 TFT(T4)는 게이트 하이 전압(VGH)의 제3 스캔 신호(SCAN3)에 응답하여 턴-온된다. 제3 TFT(T3)의 턴-오프와 제4 TFT(T4)의 턴-온으로 인해, 구동 TFT(DT)의 드레인-소스 간 전류(I_{ds})는 제2 노드(N2)를 거쳐 제2 기준 전압 라인(RL2)으로 흐른다. 결국, 본 발명은 구동 TFT(DT)의 외부 보상의 경우, 제2 기준 전압 라인(RL2)을 전류 센싱 회로(ADC)에 접속시킴으로써 구동 TFT(DT)의 드레인-소스 간 전류(I_{ds})를 센싱할 수 있으므로, 외부 보상 방법을 이용하여 구동 TFT(DT)의 문턱전압(V_{th})과 전자 이동도 등을 보상할 수 있다. 외부 보상 방법에 대한 자세한 설명은 도 16 및 도 17을 결부하여 후술한다.

[0108] 도 14는 유기발광다이오드의 외부 보상의 경우 화소의 전류 흐름도를 보여주는 도면이다. 도 14에는 외부 보상 방법을 이용하여 유기발광다이오드(OLED)의 문턱전압(V_{th})을 보상하는 경우, 유기발광다이오드(OLED)의 문턱전압(V_{th})을 센싱하기 위한 전류 패스가 나타나 있다.

[0109] 도 14를 참조하면, 본 발명의 유기발광다이오드 표시장치는 유기발광다이오드(OLED)의 외부 보상을 위해, 제1 기준 전압 스위칭 회로(REF1_SW)와 제2 기준 전압 스위칭 회로(REF2_SW)를 더 포함한다.

[0110] 도 14에서 제1 기준 전압 스위칭 회로(REF1_SW)의 게이트 로우 전압 공급원을 제외한 제1 기준 전압 스위칭 회로(REF1_SW)와 제2 기준 전압 스위칭 회로(REF2_SW)에 대한 설명은 도 12에서 설명한 바와 실질적으로 동일하다. 따라서, 제1 기준 전압 스위칭 회로(REF1_SW)와 제2 기준 전압 스위칭 회로(REF2_SW)에 대한 설명은 생략하기로 한다. 도 14에서 게이트 로우 전압 공급원은 게이트 로우 전압(VGL)을 공급하며, 구동 TFT(DT)를 완전히 턴-오프시킬 수 있는 다른 전원 공급원으로 대체될 수 있다.

- [0111] 또한, 유기발광다이오드(OLED)의 문턱전압 외부 보상을 위해 화소에 입력되는 신호들의 과형도는 도 13에서 설명한 바와 실질적으로 동일하다. 이하에서, 도 13 및 도 14를 참조하여, 유기발광다이오드(OLED)의 외부 보상의 경우, 유기발광다이오드(OLED)의 전류(Ioled) 센싱 방법을 살펴본다.
- [0112] 또한, 유기발광다이오드(OLED)의 전류(Ioled) 센싱 방법은 게이트 로우 전압원을 이용하는 것을 제외하고는 도 12 및 도 13을 결부하여 설명한 바와 실질적으로 동일하므로, 그에 대한 설명은 생략하기로 한다.
- [0113] 도 13 및 도 14를 참조하면, 제1 스위치(S1)의 턴-오프와 제2 스위치(S2)의 턴-온으로 인해, 게이트 로우 전압 공급원과 제1 기준 전압 라인(RL1)이 접속된다. 따라서, 제1 기준 전압 라인(RL1)에는 게이트 로우 전압(VGL)이 공급된다. 또한, 제1 TFT(T1)의 턴-오프와 제2 TFT(T2)의 턴-온으로 인해, 제1 노드(N1)는 게이트 로우 전압(VGL)으로 충전된다. 구동 TFT(DT)는 게이트 로우 전압(VGL)에 의해 완전히 턴-오프된다. 또한, 제3 TFT(T3)의 턴-오프와 제4 TFT(T4)의 턴-온으로 인해, 유기발광다이오드(OLED)의 전류(Ioled)는 제2 기준 전압 라인(RL2)과 제2 노드(N2), 및 유기발광다이오드(OLED)를 거쳐 저전위 전압원으로 흐른다. 결국, 본 발명은 유기발광다이오드(OLED)의 외부 보상의 경우, 제2 기준 전압 라인을 전류 센싱 회로(ADC)에 접속시킴으로써 유기발광다이오드(OLED)의 전류(Ioled)를 센싱할 수 있으므로, 외부 보상 방법을 이용하여 유기발광다이오드(OLED)의 문턱전압(Vth)을 보상할 수 있다. 외부 보상 방법에 대한 자세한 설명은 도 16 및 도 17을 결부하여 후술한다.
- [0114] 도 15는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도이다. 도 15를 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 컨트롤러(40) 및 호스트 시스템(50) 등을 구비한다.
- [0115] 표시패널(10)에는 데이터 라인(DL)들과 제1 스캔 라인(SL1)들이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 제1 스캔 라인(SL1)들과 나란하게 제2 스캔 라인(SL2)들, 및 발광 라인(EML)들이 형성된다. 표시패널(10)에는 컨트롤 라인(CL)들이 형성될 수 있다. 또한, 표시패널(10)에는 매트릭스 형태로 배치된 화소(P)들이 형성된다. 표시패널(10)의 화소(P)들 각각은 도 2, 도 6, 도 8을 결부하여 설명한 바와 같다.
- [0116] 데이터 구동부(20)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터 구동 TFT(DT)의 문턱전압(Vth)과 전자 이동도(Mobility), 유기발광다이오드(OLED)의 문턱전압(Vth) 등이 보상된 디지털 비디오 데이터(RGB')를 입력받는다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터의 소스 타이밍 제어신호(DCS)에 응답하여 보상 디지털 비디오 데이터(RGB')를 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 제1 스캔 신호(SCAN1)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다.
- [0117] 스캔 구동부(30)는 제1 스캔 신호 출력부, 제2 스캔 신호 출력부, 제3 스캔 신호 출력부, 발광 신호 출력부, 및 컨트롤 신호 출력부를 포함한다. 제1 스캔 신호 출력부는 표시패널(10)의 제1 스캔 라인(SL1)들에 제1 스캔 신호(SCAN1)를 순차적으로 출력한다. 제2 스캔 신호 출력부는 표시패널(10)의 제2 스캔 라인(SL2)들에 제2 스캔 신호(SCAN2)를 순차적으로 출력한다. 제3 스캔 신호 출력부는 표시패널(10)의 제3 스캔 라인(SL3)들에 컨트롤 신호(MG)를 출력한다. 발광 신호 출력부는 표시패널(10)의 발광 라인(EML)들에 발광 신호(EM)를 순차적으로 출력한다. 컨트롤 신호 출력부는 표시패널(10)의 컨트롤 라인(CL)들에 컨트롤 신호(CTR)를 순차적으로 출력한다. 제1 내지 제3 스캔 신호(SCAN1, SCAN2, SCAN3), 발광 신호(EM), 및 컨트롤 신호(CTR) 등에 대한 자세한 설명은 도 3, 도 9, 도 13을 결부하여 상세히 설명하였다.
- [0118] 타이밍 컨트롤러(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMSD(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(50)으로부터 디지털 비디오 데이터(RGB)를 입력받는다. 타이밍 컨트롤러(40)는 구동 TFT(DT)의 문턱전압(Vth)과 전자 이동도, 및 유기발광다이오드(OLED)의 문턱전압(Vth)을 외부 보상하기 위한 외부 보상부를 포함할 수 있다. 외부 보상부(40)는 호스트 시스템(50)으로부터 입력되는 디지털 비디오 데이터(RGB)에 외부 보상 방법을 이용하여 산출된 보상 데이터를 반영하여 보상 디지털 비디오 데이터(RGB')를 데이터 구동부(20)로 출력한다.
- [0119] 타이밍 컨트롤러(40)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호(Data Enable), 도트 클럭(Dot Clock) 등의 타이밍 신호를 입력받는다. 타이밍 컨트롤러(50)는 호스트 시스템으로부터의 타이밍 신호를 기준으로 데이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호, 데이터 구동부(20)

SCAN2: 제2 스캔 신호

SCAN3: 제3 스캔 신호

EM: 발광 신호

CTR: 컨트롤 신호

10: 표시패널

20: 데이터 구동부

30: 스캔 구동부

40: 타이밍 컨트롤러

41: 외부 보상부

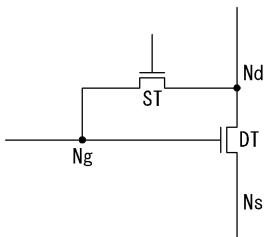
41a: 외부 보상 데이터 산출부

41b: 보상 디지털 비디오 데이터 출력부

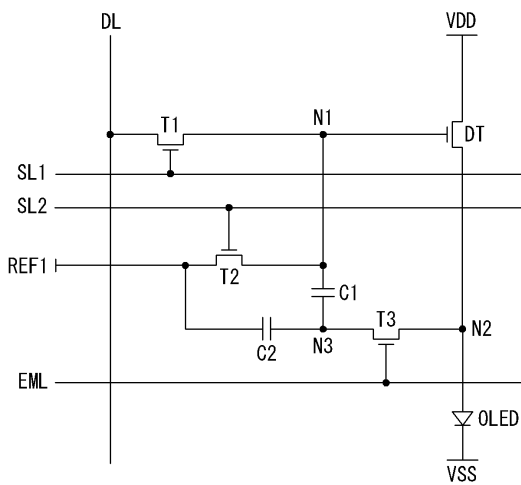
50: 호스트 시스템

도면

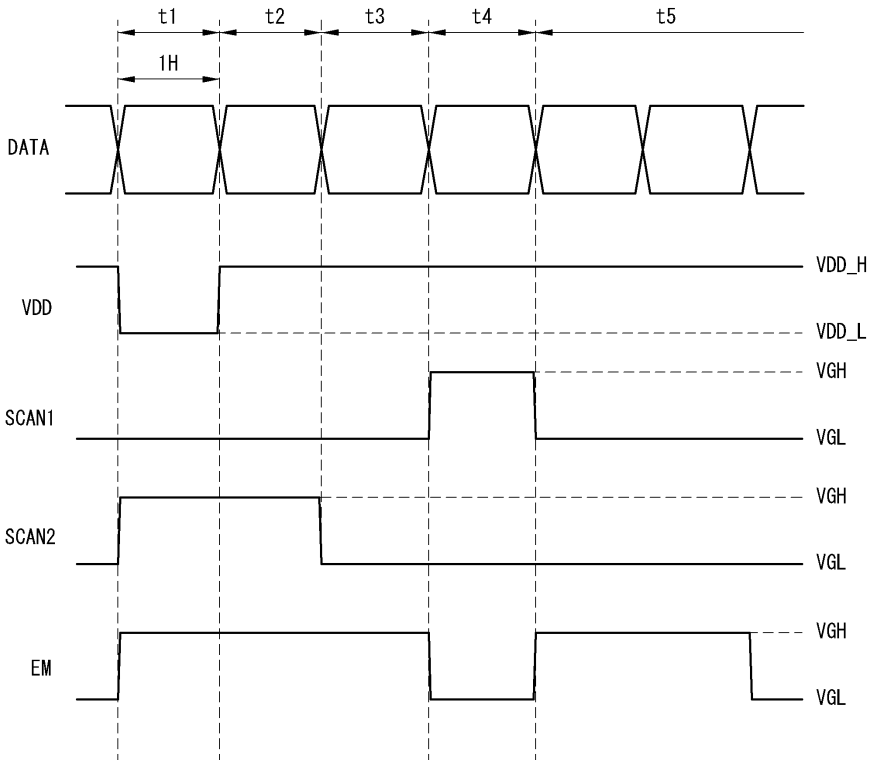
도면1



도면2



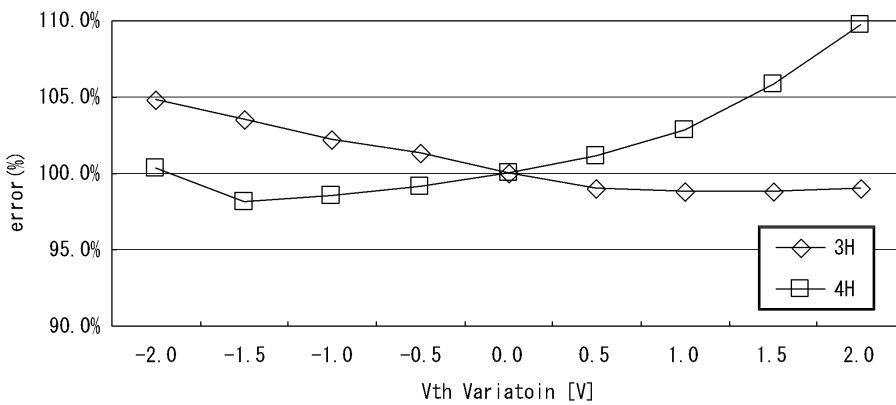
도면3



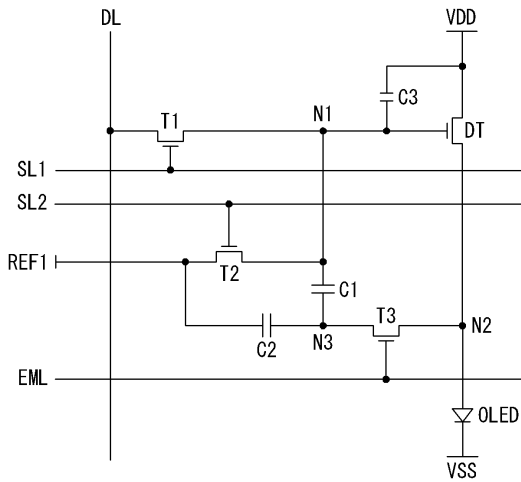
도면4

| 기간 | N1 | N2 | N3 |
|----|--|-------------|-----------------------------|
| t1 | REF1 | VDD_L | VDD_L |
| t2 | REF1 | REF1-Vth | REF1-Vth |
| t3 | DATA | REF1-Vth | REF1-Vth -C' (REF1-DATA) |
| t4 | DATA -[REF1-Vth-C' (REF1-DATA)-Voled_anode] | Voled_anode | Voled_anode |

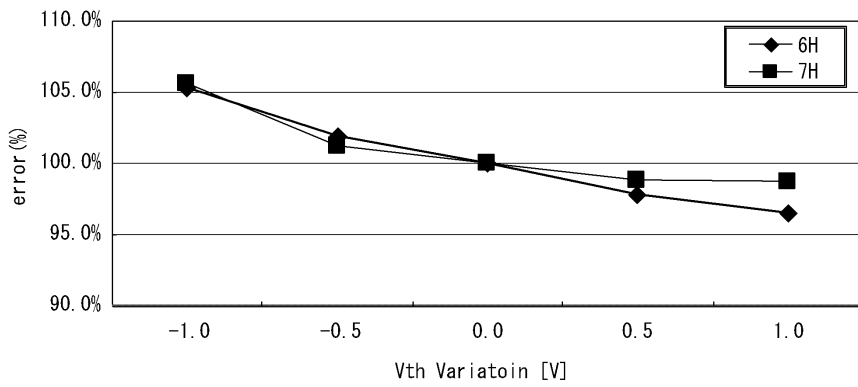
도면5



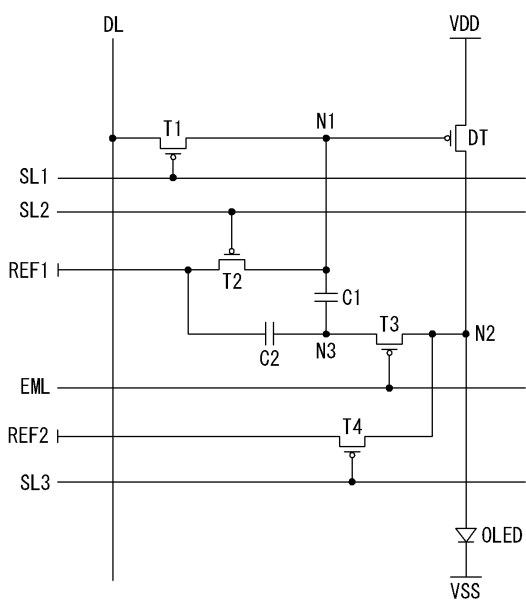
도면6



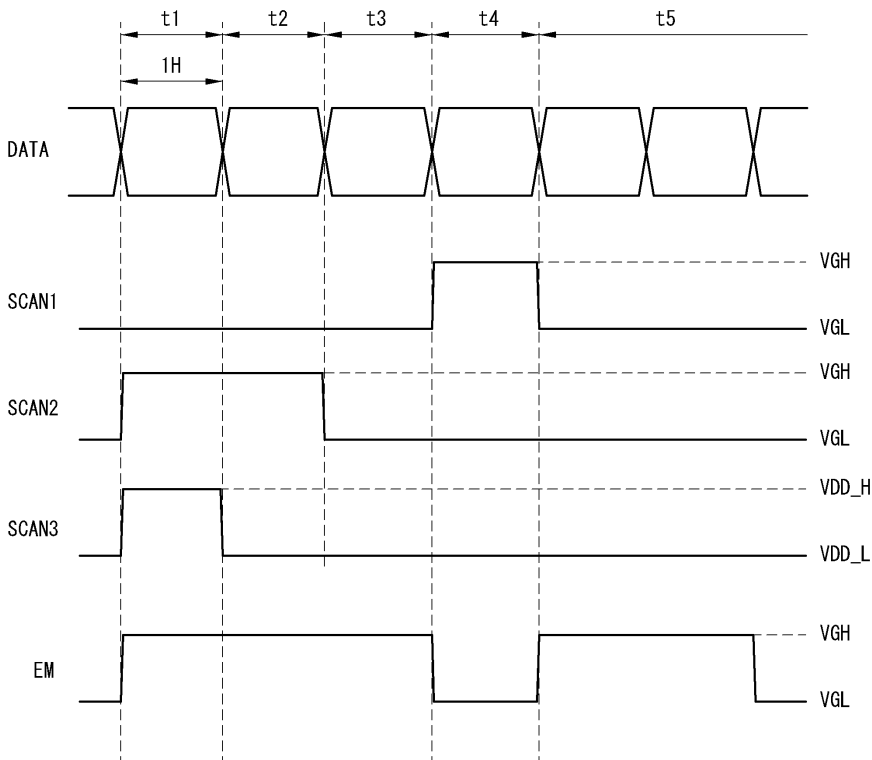
도면7



도면8



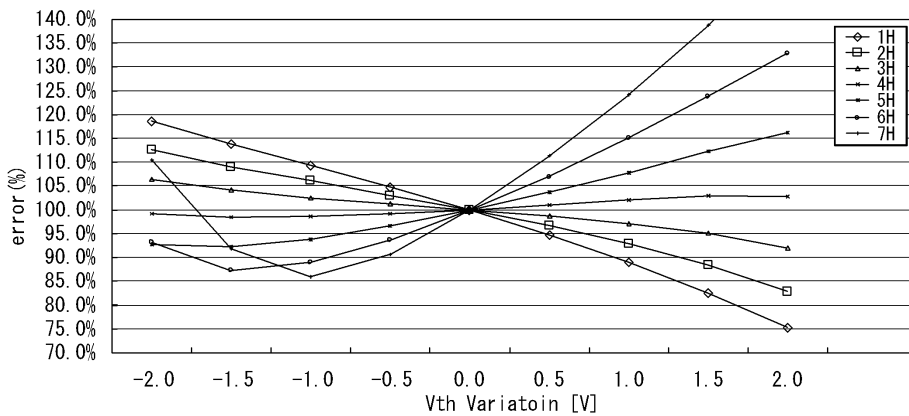
도면9



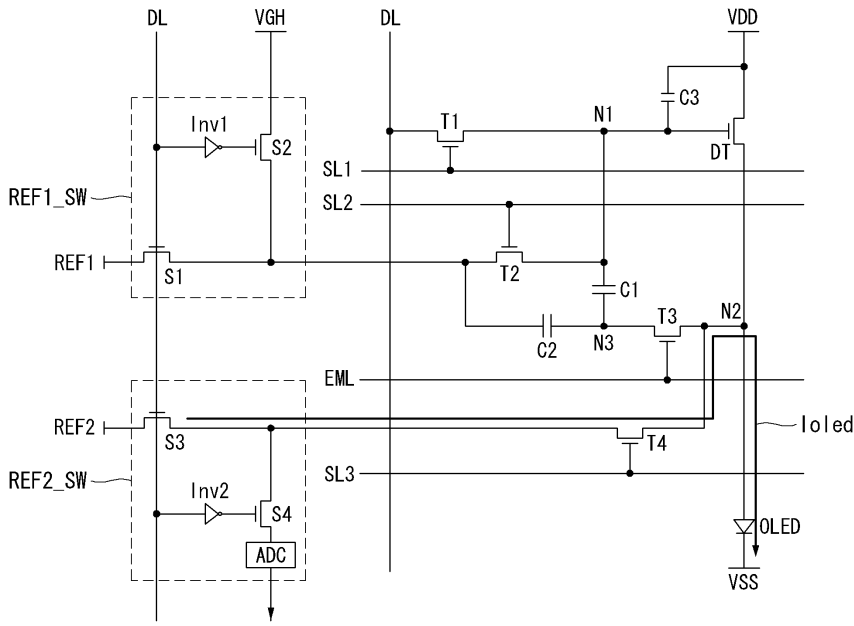
도면10

| 기간 | N1 | N2 | N3 |
|----|--|-------------|--------------------------|
| t1 | REF1 | REF2 | REF2 |
| t2 | REF1 | REF1-Vth | REF1-Vth |
| t3 | DATA | REF1-Vth | REF1-Vth -C' (REF1-DATA) |
| t4 | DATA -[REF1-Vth-C' (REF1-DATA)-Voled_anode] | Voled_anode | Voled_anode |

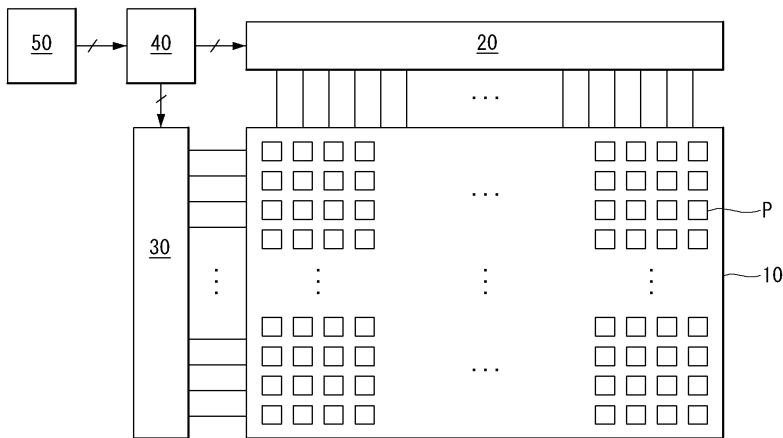
도면11



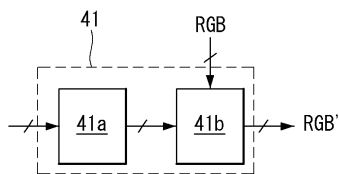
도면14



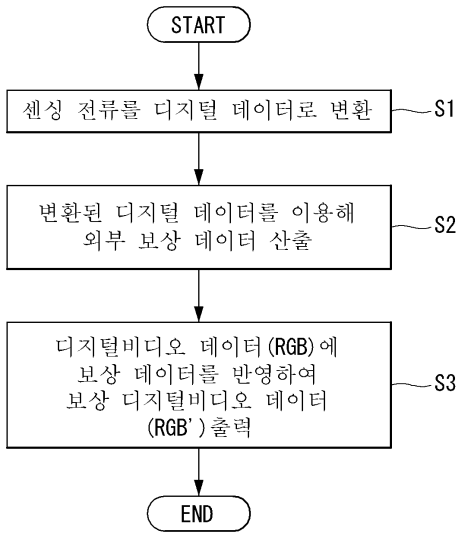
도면15



도면16



도면17



| | | | |
|----------------|----------------------------------|---------|------------|
| 专利名称(译) | 有机发光二极管显示器 | | |
| 公开(公告)号 | KR1020130053660A | 公开(公告)日 | 2013-05-24 |
| 申请号 | KR1020110119194 | 申请日 | 2011-11-15 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | YOON JOONG SUN 윤중선 | | |
| 发明人 | 윤중선 | | |
| IPC分类号 | G09G3/30 | | |
| 其他公开文献 | KR101985933B1 | | |
| 外部链接 | Espacenet | | |

摘要(译)

有机发光二极管显示装置技术领域本发明涉及一种能够补偿驱动TFT的阈值电压的有机发光二极管显示装置。根据本发明实施例的有机发光二极管显示装置包括显示面板，在其上形成有数据线，第一扫描线，第一扫描线，第二扫描线和发光线，并且具有以矩阵形式形成的多个像素。每个像素包括：驱动TFT，其与高电位电压连接，用于将栅电极连接至第一节点，将源电极连接至第二节点，并将高电位电压提供至漏极。一种有机发光二极管，包括：阳极电极，其连接至第二节点；以及阴极电极，其连接至用于提供低电位电压的低电位电压源；第一TFT响应于第一扫描线的第一扫描信号而导通，以连接第一节点和数据线；第二TFT响应于第二扫描线的第二扫描信号而导通，以连接用于向第一节点提供第一参考电压的第一参考电压源。第三TFT响应于发光线的发光信号而导通，以连接第二节点和第三节点。第一电容器连接在第一节点和第三节点之间；第二电容器连接在第三节点和第一参考电压源之间。 专利出版物10-2013-0053660

