



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월25일
(11) 등록번호 10-1992902
(24) 등록일자 2019년06월19일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0149807
(22) 출원일자 2012년12월20일
심사청구일자 2017년12월12일
(65) 공개번호 10-2014-0080232
(43) 공개일자 2014년06월30일
(56) 선행기술조사문헌
KR1020120072948 A*
KR1020050097286 A*
KR1020120133955 A*
KR1020110062102 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
윤성욱
경기도 파주시 문산읍 당동1로 11, 602동 502호
(자연엔꿈에그린6단지아파트)
박영주
서울특별시 성동구 성수일로8길 47, 102동 2201호
(성수동2가, 성수동 롯데캐슬파크)
(74) 대리인
박영복

전체 청구항 수 : 총 7 항

심사관 : 정명주

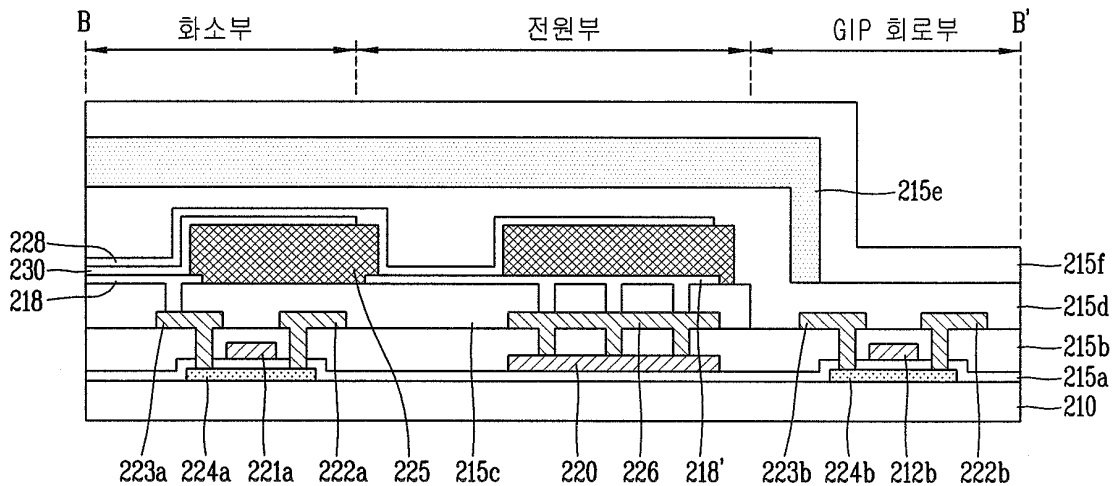
(54) 발명의 명칭 유기발광다이오드 표시소자 및 그 제조방법

(57) 요약

본 발명의 유기발광다이오드 표시소자 및 그 제조방법은 봉지기술로 페이스 실(face seal) 방식을 적용한 경우에 있어, 데이터 배선 상부의 절연막을 제거하여 마스크수를 저감하는 한편, 전원전극과 게이트 드라이버의 위치를 변경하여 수분 침투를 방지함으로써 신뢰성을 개선하기 위한 것으로, 화소부와 상기 화소부의 외측에 위치하는

(뒷면에 계속)

대표도 - 도7



게이트 인 패널(Gate In Panel; GIP) 회로부 및 상기 화소부와 GIP 회로부 사이에 위치하는 전원부로 구분되는 기판; 상기 기판 위에 형성된 박막 트랜지스터; 상기 전원부의 기판 위에 형성되되, 상기 박막 트랜지스터의 게이트 배선용 금속으로 형성된 제 1 전원전극; 상기 전원부의 기판 위에 형성되되, 상기 박막 트랜지스터의 데이터 배선용 금속으로 형성된 제 2 전원전극; 상기 박막 트랜지스터, 제 1 전원전극 및 제 2 전원전극이 형성된 기판 위에 형성된 평탄화막; 상기 평탄화막 위에 형성된 애노드 및 상기 애노드용 금속을 이용하여 상기 제 2 전원전극 위에 형성되어 상기 제 2 전원전극과 접속하는 제 3 전원전극; 상기 애노드와 제 3 전원전극이 형성된 기판 위에 형성되어 화소영역을 구획하는 격벽; 상기 격벽이 형성된 기판 위에 형성된 유기발광층; 상기 유기발광층 위에 형성된 캐소드; 및 상기 캐소드가 형성된 기판 위에 차례대로 형성된 1차 절연막과 중합체 및 2차 절연막을 포함한다.

명세서

청구범위

청구항 1

화소부와 상기 화소부의 외측에 위치하는 게이트 인 패널(Gate In Panel; GIP) 회로부 및 상기 화소부와 GIP 회로부 사이에 위치하는 전원부로 구분되는 기판을 제공하는 단계;

상기 기판 위에 박막 트랜지스터를 형성하는 단계;

상기 전원부의 기판 위에 상기 박막 트랜지스터의 게이트 배선용 금속으로 제 1 전원전극을 형성하는 단계;

상기 전원부의 기판 위에 상기 박막 트랜지스터의 데이터 배선용 금속으로 제 2 전원전극을 형성하는 단계;

상기 박막 트랜지스터, 제 1 전원전극을 덮으면서 상기 제 2 전원전극의 일부와 상기 GIP 회로부가 노출되도록 상기 기판 위에 평탄화막을 형성하는 단계;

상기 평탄화막 위에 애노드용 금속을 이용하여 상기 평탄화막을 관통하여 상기 박막 트랜지스터와 연결되는 애노드와 함께 상기 평탄화막을 관통하여 상기 제 2 전원전극과 접속하는 제 3 전원전극을 형성하는 단계;

상기 애노드와 제 3 전원전극이 형성된 기판 위에 화소영역을 구획하고 상기 제 3 전원전극을 덮으면서 상기 GIP 회로부를 제외하고 격벽을 형성하는 단계;

상기 격벽이 형성된 기판 위에 유기발광층을 형성하는 단계;

상기 유기발광층 위에 캐소드를 형성하는 단계; 및

상기 캐소드가 형성된 기판 위에 차례대로 1차 절연막과 중합체 및 2차 절연막을 형성하는 단계를 포함하는 유기발광다이오드 표시소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 2 전원전극은 상기 제 1 전원전극과 전기적으로 접속하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 3

삭제

청구항 4

제 1 항에 있어서, 상기 캐소드용 금속은 노출된 상기 제 3 전원전극과 접속하는 것을 특징으로 하는 유기발광다이오드 표시소자의 제조방법.

청구항 5

화소부와 상기 화소부의 외측에 위치하는 GIP 회로부 및 상기 화소부와 GIP 회로부 사이에 위치하는 전원부로 구분되는 기판;

상기 기판 위에 형성된 박막 트랜지스터;

상기 전원부의 기판 위에 형성되되, 상기 박막 트랜지스터의 게이트 배선용 금속으로 형성된 제 1 전원전극;

상기 전원부의 기판 위에 형성되되, 상기 박막 트랜지스터의 데이터 배선용 금속으로 형성된 제 2 전원전극;

상기 박막 트랜지스터, 제 1 전원전극을 덮으면서 상기 제 2 전원전극의 일부와 상기 GIP 회로부가 노출되도록 상기 기판 위에 형성된 평탄화막;

상기 평탄화막 위에 애노드용 금속을 이용하여 상기 평탄화막을 관통하여 상기 박막 트랜지스터와 연결되는 애노드 및 상기 평탄화막을 관통하여 상기 제 2 전원전극과 접속하는 제 3 전원전극;

상기 애노드와 제 3 전원전극이 형성된 기판 위에 형성되어 화소영역을 구획고 상기 제 3 전원전극을 덮으면서 상기 GIP 회로부를 제외하고 형성된 격벽;

상기 격벽이 형성된 기판 위에 형성된 유기발광층;

상기 유기발광층 위에 형성된 캐소드; 및

상기 캐소드가 형성된 기판 위에 차례대로 형성된 1차 절연막과 중합체 및 2차 절연막을 포함하는 유기발광다이오드 표시소자.

청구항 6

제 5 항에 있어서, 상기 제 2 전원전극은 상기 제 1 전원전극과 전기적으로 접속하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 7

삭제

청구항 8

제 5 항에 있어서, 상기 캐소드용 금속은 노출된 상기 제 3 전원전극과 접속하는 것을 특징으로 하는 유기발광다이오드 표시소자.

청구항 9

제 5 항에 있어서, 상기 중합체가 화소부의 박막 트랜지스터와 제 1, 제 2, 제 3 전원전극을 모두 덮고 상기 GIP 회로부는 노출하고, 상기 2차 절연막은 화소부의 박막 트랜지스터와 제 1, 제 2, 제 3 전원전극 및 GIP 회로부를 모두 덮는 것을 특징으로 하는 유기발광다이오드 표시소자.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광다이오드 표시소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 봉지기술로 페이스 실(face seal) 방식을 적용한 유기발광다이오드 표시소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시소자인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박형 평판표시소자(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다.

[0003] 이러한 평판표시소자 분야에서, 지금까지는 가볍고 전력소모가 적은 액정표시소자(Liquid Crystal Display Device; LCD)가 가장 주목받는 디스플레이 소자였지만, 상기 액정표시소자는 발광소자가 아니라 수광소자이며 밝기, 명암비(contrast ratio) 및 시야각 등에 단점이 있기 때문에 이러한 단점을 극복할 수 있는 새로운 디스플레이 소자에 대한 개발이 활발하게 전개되고 있다.

[0004] 새로운 디스플레이 소자 중 하나인 유기발광다이오드(Organic Light Emitting Diode; OLED) 표시소자는 자체발광형이기 때문에 상기 액정표시소자에 비해 시야각과 명암비 등이 우수하며 백라이트(backlight)가 필요하지 않기 때문에 경량 박형이 가능하고, 소비전력 측면에서도 유리하다. 그리고, 직류 저전압 구동이 가능하고 응답속도가 빠르다는 장점이 있으며, 특히 제조비용 측면에서도 유리한 장점을 가지고 있다.

[0005] 이와 같은 상기 유기발광다이오드 표시소자의 제조공정에는 액정표시소자나 플라즈마 표시패널(Plasma Display Panel; PDP)과는 달리 증착 및 봉지(encapsulation) 공정이 공정의 전부라고 할 수 있기 때문에 제조공정이 매우 단순하다. 또한, 각 화소마다 스위칭 소자인 박막 트랜지스터(Thin Film Transistor; TFT)를 가지는 능동 매트릭스(active matrix) 방식으로 유기발광다이오드 표시소자를 구동하게 되면, 낮은 전류를 인가하더라도 동일한 휘도를 나타내므로 저소비 전력, 고정세 및 대형화가 가능한 장점을 가진다.

- [0006] 이하, 상기 유기발광다이오드 표시소자의 기본적인 구조 및 동작 특성에 대해서 도면을 참조하여 상세히 설명한다.
- [0007] 도 1은 일반적인 유기발광다이오드 표시소자의 발광원리를 설명하는 다이어그램이다.
- [0008] 일반적인 유기발광다이오드 표시소자는 상기 도 1과 같이, 유기발광다이오드를 구비한다. 상기 유기발광다이오드는 화소전극인 양극(anode)(18)과 공통전극인 음극(cathode)(28) 사이에 형성된 유기 화합물층(30a, 30b, 30c, 30d, 30e)을 구비한다.
- [0009] 이때, 상기 유기 화합물층(30a, 30b, 30c, 30d, 30e)은 정공주입층(hole injection layer)(30a), 정공수송층(hole transport layer)(30b), 발광층(emission layer)(30c), 전자수송층(electron transport layer)(30d) 및 전자주입층(electron injection layer)(30e)을 포함한다.
- [0010] 상기 양극(18)과 음극(28)에 구동전압이 인가되면 상기 정공수송층(30b)을 통과한 정공과 상기 전자수송층(30d)을 통과한 전자가 발광층(30c)으로 이동되어 여기자를 형성하고, 그 결과 발광층(30c)이 가시광선을 발산하게 된다.
- [0011] 유기발광다이오드 표시소자는 전술한 구조의 유기발광다이오드를 가지는 화소를 매트릭스 형태로 배열하고 그 화소들을 데이터전압과 스캔전압으로 선택적으로 제어함으로써 화상을 표시한다.
- [0012] 상기 유기발광다이오드 표시소자는 수동 매트릭스(passive matrix) 방식 또는 스위칭소자로써 TFT를 이용하는 능동 매트릭스 방식의 표시소자로 나뉘어진다. 이 중 상기 능동 매트릭스 방식은 능동소자인 TFT를 선택적으로 턴-온(turn on)시켜 화소를 선택하고 스토리지 커패시터(storage capacitor)에 유지되는 전압으로 화소의 발광을 유지한다.
- [0013] 도 2는 일반적인 유기발광다이오드 표시소자에 있어, 하나의 화소에 대한 등가 회로도로서, 능동 매트릭스 방식의 유기발광다이오드 표시소자에 있어, 일반적인 2T1C(2개의 트랜지스터와 1개의 커패시터를 포함)의 화소에 대한 등가 회로도를 나타내고 있다.
- [0014] 상기 도 2를 참조하면, 능동 매트릭스 방식의 유기발광다이오드 표시소자의 화소는 유기발광다이오드(OLED), 서로 교차하는 데이터라인(DL)과 게이트라인(GL), 스위칭 TFT(SW), 구동 TFT(DR) 및 스토리지 커패시터(Cst)를 구비한다.
- [0015] 이때, 상기 스위칭 TFT(SW)는 게이트라인(GL)으로부터의 스캔펄스에 응답하여 턴-온됨으로써 자신의 소오스전극과 드레인전극 사이의 전류패스를 도통시킨다. 상기 스위칭 TFT(SW)의 온-타임기간 동안 데이터라인(DL)으로부터의 데이터전압은 스위칭 TFT(SW)의 소오스전극과 드레인전극을 경유하여 구동 TFT(DR)의 게이트전극과 스토리지 커패시터(Cst)에 인가된다.
- [0016] 이때, 상기 구동 TFT(DR)는 자신의 게이트전극에 인가되는 데이터전압에 따라 상기 유기발광다이오드(OLED)에 흐르는 전류를 제어한다. 그리고, 스토리지 커패시터(Cst)는 데이터전압과 저전위 전원전압(VSS) 사이의 전압을 저장한 후, 한 프레임기간동안 일정하게 유지시킨다.
- [0017] 도 3은 일반적인 유기발광다이오드 표시소자의 구조를 예시적으로 나타내는 평면도로서, 봉지기술로 프릿 실(frit seal) 방식을 적용한 유기발광다이오드 표시소자를 나타내고 있다.
- [0018] 도면에 도시된 바와 같이, 일반적인 유기발광다이오드 표시소자(1)는 소정의 기관(10) 위에 디스플레이 정보를 표시하는 화소부(3)가 형성되어 있으며, 상기 화소부(3)에는 다수의 유기발광다이오드의 RGB 화소(11)들이 형성되어 있다.
- [0019] 이때, 상기 화소부(3)의 상측에는 데이터 구동회로부(13)가 형성되어 있는 한편, 좌우 측면에는 게이트 구동회로부(14)가 형성되어 있다. 상기 데이터 구동회로부(13)와 게이트 구동회로부(14)는 인쇄회로기관(12)과 전기적으로 접속되어 외부 신호를 인가 받는다.
- [0020] 상기 게이트 구동회로부(14)의 외측에는 실런트(40)가 형성되어 있어 상기 게이트 구동회로부(14)와 화소부(3)를 외부의 수분이나 산소 등 불순물로부터 보호하게 된다.
- [0021] 그리고, 상기 게이트 구동회로부(14)와 실런트(40) 사이에는 상기 인쇄회로기관(12)으로부터 연장된 전원 배선(51), 온-오프 스위치 배선(미도시) 등이 배치되는 배선영역이 위치한다.
- [0022] 이때, 상기 전원 배선(51)은 패널의 기준전압에 연결되는 배선이며, 도면부호 52는 데이터라인을 나타낸다.

[0023] 이러한 프린트 실 방식의 봉지기술은 중소형 모델에는 유리하나 대형 모델에는 적합하지 않고, 외부 충격에 취약하여 플렉서블 기판에 대응하기 어려운 단점이 있다.

발명의 내용

해결하려는 과제

[0024] 본 발명은 상기한 문제를 해결하기 위한 것으로, 봉지기술로 페이스 실(face seal) 방식을 적용한 유기발광다이오드 표시소자 및 그 제조방법을 제공하는데 목적이 있다.

[0025] 본 발명의 다른 목적은 봉지기술로 페이스 실 방식을 적용한 경우에 있어, 투습에 의한 불량을 최소화하여 신뢰성을 개선한 유기발광다이오드 표시소자 및 그 제조방법을 제공하는데 있다.

[0026] 기타, 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0027] 상기한 목적을 달성하기 위하여, 본 발명의 유기발광다이오드 표시소자는 화소부와 상기 화소부의 외측에 위치하는 게이트 인 패널(Gate In Panel; GIP) 회로부 및 상기 화소부와 GIP 회로부 사이에 위치하는 전원부로 구분되는 기판; 상기 기판 위에 형성된 박막 트랜지스터; 상기 전원부의 기판 위에 형성되되, 상기 박막 트랜지스터의 게이트 배선용 금속으로 형성된 제 1 전원전극; 상기 전원부의 기판 위에 형성되되, 상기 박막 트랜지스터의 데이터 배선용 금속으로 형성된 제 2 전원전극; 상기 박막 트랜지스터, 제 1 전원전극 및 제 2 전원전극이 형성된 기판 위에 형성된 평탄화막; 상기 평탄화막 위에 형성된 애노드 및 상기 애노드용 금속을 이용하여 상기 제 2 전원전극 위에 형성되어 상기 제 2 전원전극과 접촉하는 제 3 전원전극; 상기 애노드와 제 3 전원전극이 형성된 기판 위에 형성되어 화소영역을 구획하는 격벽; 상기 격벽이 형성된 기판 위에 형성된 유기발광층; 상기 유기발광층 위에 형성된 캐소드; 및 상기 캐소드가 형성된 기판 위에 차례대로 형성된 1차 절연막과 중합체 및 2차 절연막을 포함한다.

[0028] 이때, 상기 제 2 전원전극은 상기 제 1 전원전극과 전기적으로 접촉하는 것을 특징으로 한다.

[0029] 상기 격벽은 일부를 제외한 상기 제 3 전원전극을 덮도록 형성된 것을 특징으로 한다.

[0030] 상기 캐소드용 금속은 노출된 상기 제 3 전원전극과 접촉하는 것을 특징으로 한다.

[0031] 본 발명의 유기발광다이오드 표시소자의 제조방법은 화소부와 상기 화소부의 외측에 위치하는 GIP 회로부 및 상기 화소부와 GIP 회로부 사이에 위치하는 전원부로 구분되는 기판을 제공하는 단계; 상기 기판 위에 박막 트랜지스터를 형성하는 단계; 상기 전원부의 기판 위에 상기 박막 트랜지스터의 게이트 배선용 금속으로 제 1 전원전극을 형성하는 단계; 상기 전원부의 기판 위에 상기 박막 트랜지스터의 데이터 배선용 금속으로 제 2 전원전극을 형성하는 단계; 상기 박막 트랜지스터, 제 1 전원전극 및 제 2 전원전극이 형성된 기판 위에 평탄화막을 형성하는 단계; 상기 평탄화막 위에 애노드를 형성하는 한편, 상기 애노드용 금속을 이용하여 상기 제 2 전원전극 위에 상기 제 2 전원전극과 접촉하는 제 3 전원전극을 형성하는 단계; 상기 애노드와 제 3 전원전극이 형성된 기판 위에 화소영역을 구획하는 격벽을 형성하는 단계; 상기 격벽이 형성된 기판 위에 유기발광층을 형성하는 단계; 상기 유기발광층 위에 캐소드를 형성하는 단계; 및 상기 캐소드가 형성된 기판 위에 차례대로 1차 절연막과 중합체 및 2차 절연막을 형성하는 단계를 포함한다.

[0032] 이때, 상기 제 2 전원전극은 상기 제 1 전원전극과 전기적으로 접촉하는 것을 특징으로 한다.

[0033] 상기 격벽은 일부를 제외한 상기 제 3 전원전극을 덮도록 형성하는 것을 특징으로 한다.

[0034] 상기 캐소드용 금속은 노출된 상기 제 3 전원전극과 접촉하는 것을 특징으로 한다.

발명의 효과

[0035] 상술한 바와 같이, 본 발명에 따른 유기발광다이오드 표시소자 및 그 제조방법은 봉지기술로 페이스 실 방식을 적용한 경우에 있어, 데이터 배선 상부의 절연막을 제거하여 마스크수를 저감하는 한편, 전원전극과 게이트 드라이버의 위치를 변경하여 수분 침투를 방지하는 것을 특징으로 한다. 이에 따라 수율이 향상되는 동시에 투습에 의한 불량을 최소화할 수 있어 신뢰성이 개선되는 효과를 제공한다.

도면의 간단한 설명

- [0036] 도 1은 일반적인 유기발광다이오드 표시소자의 발광원리를 설명하는 다이어그램.
- 도 2는 일반적인 유기발광다이오드 표시소자에 있어, 하나의 화소에 대한 등가 회로도.
- 도 3은 일반적인 유기발광다이오드 표시소자의 구조를 예시적으로 나타내는 평면도.
- 도 4는 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자의 구조를 예시적으로 나타내는 평면도.
- 도 5는 상기 도 4에 도시된 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자의 A-A'선에 따른 단면을 개략적으로 나타내는 도면.
- 도 6은 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자의 구조를 예시적으로 나타내는 평면도.
- 도 7은 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자의 B-B'선에 따른 단면을 개략적으로 나타내는 도면.
- 도 8a 내지 도 8l은 상기 도 7에 도시된 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자의 제조방법을 순차적으로 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 첨부한 도면을 참조하여 본 발명에 따른 유기발광다이오드 표시소자 및 그 제조방법의 바람직한 실시예를 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0038] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- [0039] 도 4는 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자의 구조를 예시적으로 나타내는 평면도로써, 기판 내에 게이트 드라이버를 직접 실장시킨 게이트 인 패널(Gate In Panel; GIP) 방식의 유기발광다이오드 표시소자를 나타내고 있다.
- [0040] 그리고, 도 5는 상기 도 4에 도시된 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자의 A-A'선에 따른 단면을 개략적으로 나타내는 도면으로써, 화소부와 GIP 회로부 및 전원부의 단면을 나타내고 있다.
- [0041] 상기 도 4를 참조하면, 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자(100)는 기판(110) 위에 디스플레이 정보를 표시하는 화소부(103)가 형성되어 있으며, 상기 화소부(103)에는 게이트라인(미도시)과 데이터라인(152)에 의해 정의되는 다수의 유기발광다이오드의 RGB 화소(111)들이 형성되어 있다.
- [0042] 이때, 상기 화소부(103)의 상측에는 데이터 구동회로부(113)가 형성되어 있는 한편, 좌우 측면에는 게이트 드라이버가 실장된 GIP 회로부(114)가 형성되어 있다. 상기 데이터 구동회로부(113)와 GIP 회로부(114)는 인쇄회로기판(112)과 전기적으로 접속되어 외부 신호를 인가 받는다.
- [0043] 그리고, 상기 GIP 회로부(114) 외측에는 상기 인쇄회로기판(112)으로부터 연장된 전원 배선(151), 온-오프 스위치 배선(미도시) 등이 배치되는 전원부가 형성되어 있다.
- [0044] 이때, 상기 전원 배선(151)은 드레인전원 공급배선(VDD), 소오스전원 공급배선(VSS) 등을 포함한다.
- [0045] 이와 같이 구성되는 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자(100)는 다수의 적층구조를 갖는데, 상기 도 5를 참조하면, 투명한 유리 또는 플라스틱 등의 절연물질로 이루어진 기판(110) 위에 다결정 규소로 이루어진 제 1 액티브층(124a) 및 제 2 액티브층(124b)이 형성되어 있다.
- [0046] 이때, 설명의 편의를 위해 상기 화소부에는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터가 형성되며, 상기 GIP 회로부에는 게이트 구동 박막 트랜지스터가 형성되는 것으로 한다. 즉, 예를 들어 상기 화소부의 기판(110)에는 제 1 액티브층(124a)이 형성되어 있으며, 상기 GIP 회로부의 기판(110)에는 제 2 액티브층(124b)이 형성되어 있다.

- [0047] 이때, 상기 본 발명의 제 1 실시예는 상기 제 1 액티브층(124a) 및 제 2 액티브층(124b)이 다결정 규소로 이루어진 경우를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 제 1 액티브층(124a) 및 제 2 액티브층(124b)은 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 산화물 반도체로 이루어질 수 있다.
- [0048] 상기 제 1 액티브층(124a) 및 제 2 액티브층(124b)을 포함하는 기관(110) 위에는 질화규소(SiNx) 또는 이산화규소(SiO₂) 등으로 이루어진 게이트절연막(115a)이 형성되어 있으며, 그 위에 제 1 게이트전극(121a), 게이트라인(미도시), 유지전극(storage electrode)(미도시) 및 제 2 게이트전극(121b)(이하, 설명의 편의를 위해 상기 제 1 게이트전극(121a), 게이트라인, 유지전극 및 제 2 게이트전극(121b)을 포함하여 게이트 배선이라 함)이 형성되어 있다.
- [0049] 이때, 상기 제 1 게이트전극(121a) 및 제 2 게이트전극(121b)은 각각 상기 제 1 액티브층(124a) 및 제 2 액티브층(124b) 상부에 위치한다.
- [0050] 이때, 상기 전원부에는 상기 게이트 배선용 금속으로 이루어진 제 1 전원전극(120)이 형성될 수 있다.
- [0051] 상기 제 1 게이트전극(121a), 게이트라인, 유지전극, 제 2 게이트전극(121b) 및 제 1 전원전극(120)이 형성된 기관(110) 위에는 질화규소 또는 이산화규소 등으로 이루어진 보호막(passivation layer)(115b)이 형성되어 있으며, 그 위에 데이터라인(미도시)과 구동 전압라인(미도시)과 제 1 소오스/드레인전극(122a, 123a) 및 제 2 소오스/드레인전극(122b, 123b)(이하, 설명의 편의를 위해 상기 데이터라인과 구동 전압라인과 제 1 소오스/드레인전극(122a, 123a) 및 제 2 소오스/드레인전극(122b, 123b)을 포함하여 데이터 배선이라 함)이 형성되어 있다.
- [0052] 이때, 상기 제 1 소오스전극(122a)과 제 1 드레인전극(123a)은 상기 제 1 게이트전극(121a)을 중심으로 서로 마주보고, 상기 제 2 소오스전극(122b)과 제 2 드레인전극(123b)은 상기 제 2 게이트전극(121b)을 중심으로 서로 마주본다.
- [0053] 또한, 상기 제 1 소오스/드레인전극(122a, 123a)은 제 1 콘택홀을 통해 상기 제 1 액티브층(124a)의 소오스/드레인영역에 전기적으로 접속하며, 상기 제 2 소오스/드레인전극(122b, 123b)은 제 2 콘택홀을 통해 상기 제 2 액티브층(124b)의 소오스/드레인영역에 전기적으로 접속하게 된다.
- [0054] 이때, 상기 전원부에는 각각 상기 데이터 배선용 금속으로 이루어진 제 2 전원전극(126)이 형성될 수 있다. 상기 제 2 전원전극(126)은 제 3 콘택홀을 통해 그 하부의 제 1 전원전극(120)과 전기적으로 접속할 수 있다.
- [0055] 상기 데이터라인, 구동 전압라인, 제 1 소오스/드레인전극(122a, 123a), 제 2 소오스/드레인전극(122b, 123b) 및 제 2 전원전극(126)이 형성된 기관(110) 위에는 질화규소 또는 이산화규소 등으로 이루어진 평탄화막(115c)이 형성되어 있다.
- [0056] 이때, 상기 평탄화막(115c)에는 상기 제 1 드레인전극(123a)을 노출시키는 제 4 콘택홀이 형성되어 있으며, 상기 전원부의 평탄화막(115c)은 일부가 선택적으로 제거되어 상기 제 2 전원전극(126)이 노출되게 된다.
- [0057] 이와 같이 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자는 박막 트랜지스터의 제조시간을 단축하여 수율을 향상시키기 위해 상기 데이터 배선 상부에 하나의 절연막, 즉 상기 평탄화막(115c)만을 형성하는 마스크 저감 기술을 이용하는 것을 특징으로 한다.
- [0058] 그리고, 상기 평탄화막(115c) 위에는 화소전극(pixel electrode)(118)과 연결전극(connecting electrode)(미도시) 및 제 3 전원전극(118')이 형성되어 있다. 이들은 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO) 등의 투명한 도전물질이나 알루미늄, 은 또는 그 합금 등의 반사성 도전물질로 이루어질 수 있다.
- [0059] 이때, 애노드인 상기 화소전극(118)은 상기 제 4 콘택홀을 통해 상기 제 1 드레인전극(123a)과 전기적으로 접속하게 되며, 상기 제 3 전원전극(118')은 그 하부의 노출된 상기 제 2 전원전극(126)과 접속하게 된다.
- [0060] 상기 화소전극(118)과 연결전극 및 제 3 전원전극(118')이 형성된 기관(110) 위에는 격벽(partition)(125)이 형성되어 있다.
- [0061] 이때, 상기 격벽(125)은 화소전극(118) 가장자리 주변을 뚝(bank)처럼 둘러싸서 개구부(opening)를 정의하며 유기 절연물질 또는 무기 절연물질로 만들어진다. 상기 격벽(125)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(125)은 차광부재의 역할을 하게 된다.

- [0062] 그리고, 본 발명의 제 1 실시예에 따른 상기 격벽(125)은 일부를 제외하고 상기 GIP 회로부로 연장된 제 3 전원전극(118')을 덮는 한편, 상기 전원부에 형성된 제 3 전원전극(118')은 노출시키도록 형성되어 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0063] 상기 격벽(125)이 형성된 화소부의 기판(110) 위에는 유기발광층(130)이 형성되어 있다.
- [0064] 이때, 상기 유기발광층(130)은 빛을 내는 발광층 외에 발광층의 발광 효율을 향상하기 위한 부대층(auxiliary layer)을 포함하는 다층 구조를 가질 수 있다. 상기 부대층에는 전자와 정공의 균형을 맞추기 위한 전자수송층 및 정공수송층과 전자와 정공의 주입을 강화하기 위한 전자주입층 및 정공주입층 등이 있다.
- [0065] 상기 유기발광층(130) 위에는 캐소드인 공통전극(common electrode)(128)이 형성되어 있다. 이때, 상기 공통전극(128)은 공통 전압을 인가 받으며, 칼슘(Ca), 바륨(Ba), 마그네슘(Mg), 알루미늄, 은 등을 포함하는 반사성 도전물질 또는 ITO, IZO 등의 투명한 도전물질로 이루어질 수 있다.
- [0066] 그리고, 상기 공통전극(128)을 구성하는 캐소드용 금속은 노출된 상기 GIP 회로부의 제 3 전원전극(118')과 접촉하게 된다.
- [0067] 상기 공통전극(128)이 형성된 기판(110) 위에는 봉지수단으로 1차 절연막(115d)과 중합체(polymer)(115e) 및 2차 절연막(115f)이 차례대로 형성되어 있다.
- [0068] 이러한 봉지구조를 페이스 실 구조라 하며, 기존 봉지기술에 비해 패널 강성 증가 및 플렉서블 기판과 대형 모델에 적용 등의 이점이 있다.
- [0069] 이때, 상기 1차 절연막(115d)과 2차 절연막(115f)은 투습을 방지하는 장벽(barrier) 역할을 하지만, 점착제로서의 상기 중합체(115e)는 상대적으로 장벽 역할이 떨어진다. 이는 패널의 측면으로부터의 투습의 원인이 된다.
- [0070] 특히, 상기 격벽(125)의 두께 불균일에 기인한 얼룩 불량을 방지하고자 상기 전원부 제 2 전원전극(126) 상부에 형성된 상기 제 3 전원전극(118')은 수분침투의 경로로 작용하게 된다.
- [0071] 즉, 발광다이오드의 유기 재료는 고온에 취약하기 때문에 상기 공통전극(128) 상부에 증착되는 절연막, 즉 상기 1차 절연막(115d)과 2차 절연막(115f)은 상온을 포함하는 100℃ 이하의 낮은 온도에서 진행되며, 이러한 상온을 포함하는 100℃ 이하의 낮은 온도에서 증착된 절연막의 밀도는 고온 증착 대비 감소할 수밖에 없다. 상온을 포함하는 100℃ 이하의 낮은 온도에서 증착된 상기 1차 절연막(115d)과 2차 절연막(115f)으로 수분이 침투하여 상기 제 3 전원전극(118')을 따라 공통전극(128)에 침투되며, 그 결과 유기발광다이오드의 유기 재료에 화학 반응을 일으켜 전계발광 특성을 저하시키게 된다.
- [0072] 이에 따라 본 발명의 제 2 실시예에서는 수분침투의 경로로 작용하는 전원부의 전원전극과 GIP 회로부의 게이트 드라이버의 위치를 서로 변경하게 되며, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0073] 도 6은 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자의 구조를 예시적으로 나타내는 평면도로써, GIP 방식의 유기발광다이오드 표시소자를 나타내고 있다.
- [0074] 그리고, 도 7은 상기 도 6에 도시된 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자의 B-B'선에 따른 단면을 개략적으로 나타내는 도면으로써, 화소부와 전원부 및 GIP 회로부의 단면을 나타내고 있다.
- [0075] 이때, 상기 도 6과 도 7에 도시된 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자는 전원부와 GIP 회로부의 위치를 서로 변경한 것을 제외하고는 실질적으로 전술한 본 발명의 제 1 실시예에 따른 유기발광다이오드 표시소자와 동일한 구조로 이루어져 있다.
- [0076] 즉, 상기 도 6을 참조하면, 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자(200)는 기판(210) 위에 디스플레이 정보를 표시하는 화소부(203)가 형성되어 있으며, 상기 화소부(203)에는 게이트라인(미도시)과 데이터라인(252)에 의해 정의되는 다수의 유기발광다이오드의 RGB 화소(211)들이 형성되어 있다.
- [0077] 이때, 상기 화소부(203)의 상측에는 데이터 구동회로부(213)가 형성되어 있는 한편, 좌우 측면에는 게이트 드라이버가 실장된 GIP 회로부(214)가 형성되어 있다. 상기 데이터 구동회로부(213)와 GIP 회로부(214)는 인쇄회로기판(212)과 전기적으로 접속되어 외부 신호를 인가 받는다.
- [0078] 그리고, 본 발명의 제 2 실시예에 따른 상기 화소부(203)와 GIP 회로부(214) 사이에는 상기 인쇄회로기판(212)으로부터 연장된 전원 배선(251), 온-오프 스위치 배선(미도시) 등이 배치되는 전원부가 형성되어 있다.

- [0079] 이때, 상기 전원 배선(251)은 드레인전원 공급배선(VDD), 소오스전원 공급배선(VSS) 등을 포함한다.
- [0080] 이와 같이 구성되는 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자(200)는 다수의 적층구조를 갖는 데, 상기 도 7을 참조하면, 투명한 유리 또는 플라스틱 등의 절연물질로 이루어진 기판(210) 위에 다결정 규소로 이루어진 제 1 액티브층(224a) 및 제 2 액티브층(224b)이 형성되어 있다.
- [0081] 이때, 설명의 편의를 위해 상기 화소부에는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터가 형성되며, 상기 GIP 회로부에는 게이트 구동 박막 트랜지스터가 형성되는 것으로 한다. 즉, 예를 들어 상기 화소부의 기판(210)에는 제 1 액티브층(224a)이 형성되어 있으며, 상기 GIP 회로부의 기판(210)에는 제 2 액티브층(224b)이 형성되어 있다.
- [0082] 이때, 전술한 바와 같이 상기 본 발명의 제 2 실시예는 상기 제 2 액티브층(224a) 및 제 2 액티브층(224b)이 다결정 규소로 이루어진 경우를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 제 1 액티브층(224a) 및 제 2 액티브층(224b)은 수소화 비정질 규소 또는 산화물 반도체로 이루어질 수 있다.
- [0083] 상기 제 1 액티브층(224a) 및 제 2 액티브층(224b)을 포함하는 기판(210) 위에는 질화규소 또는 이산화규소 등으로 이루어진 게이트절연막(215a)이 형성되어 있으며, 그 위에 제 1 게이트전극(221a), 게이트라인(미도시), 유지전극(미도시) 및 제 2 게이트전극(221b)(이하, 설명의 편의를 위해 상기 제 1 게이트전극(221a), 게이트라인, 유지전극 및 제 2 게이트전극(221b)을 포함하여 게이트 배선이라 함)이 형성되어 있다.
- [0084] 이때, 상기 제 1 게이트전극(221a) 및 제 2 게이트전극(221b)은 각각 상기 제 1 액티브층(224a) 및 제 2 액티브층(224b) 상부에 위치한다.
- [0085] 이때, 상기 전원부에는 상기 게이트 배선용 금속으로 이루어진 제 1 전원전극(220)이 형성될 수 있다.
- [0086] 상기 제 1 게이트전극(221a), 게이트라인, 유지전극, 제 2 게이트전극(221b) 및 제 1 전원전극(220)이 형성된 기판(210) 위에는 질화규소 또는 이산화규소 등으로 이루어진 보호막(215b)이 형성되어 있으며, 그 위에 데이터라인(미도시)과 구동 전압라인(미도시)과 제 1 소오스/드레인전극(222a, 223a) 및 제 2 소오스/드레인전극(222b, 223b)(이하, 설명의 편의를 위해 상기 데이터라인과 구동 전압라인과 제 1 소오스/드레인전극(222a, 223a) 및 제 2 소오스/드레인전극(222b, 223b)을 포함하여 데이터 배선이라 함)이 형성되어 있다.
- [0087] 이때, 상기 제 1 소오스전극(222a)과 제 1 드레인전극(223a)은 상기 제 1 게이트전극(221a)을 중심으로 서로 마주보고, 상기 제 2 소오스전극(222b)과 제 2 드레인전극(223b)은 상기 제 2 게이트전극(221b)을 중심으로 서로 마주본다.
- [0088] 또한, 상기 제 1 소오스/드레인전극(222a, 223a)은 제 1 콘택홀을 통해 상기 제 1 액티브층(224a)의 소오스/드레인영역에 전기적으로 접속하며, 상기 제 2 소오스/드레인전극(222b, 223b)은 제 2 콘택홀을 통해 상기 제 2 액티브층(224b)의 소오스/드레인영역에 전기적으로 접속하게 된다.
- [0089] 이때, 상기 전원부에는 상기 데이터 배선용 금속으로 이루어진 제 2 전원전극(226)이 형성될 수 있다. 상기 제 2 전원전극(226)은 제 3 콘택홀을 통해 그 하부의 제 1 전원전극(220)과 전기적으로 접속할 수 있다.
- [0090] 상기 데이터라인, 구동 전압라인, 제 1 소오스/드레인전극(222a, 223a), 제 2 소오스/드레인전극(222b, 223b) 및 제 2 전원전극(226)이 형성된 기판(210) 위에는 질화규소 또는 이산화규소 등으로 이루어진 평탄화막(215c)이 형성되어 있다.
- [0091] 이때, 상기 평탄화막(215c)에는 상기 제 1 드레인전극(223a)을 노출시키는 제 4 콘택홀이 형성되어 있으며, 본 발명의 제 2 실시예의 경우에는 전술한 본 발명의 제 1 실시예와는 다르게 상기 평탄화막(215c)에 제 2 전원전극(226)을 노출시키는 제 5 콘택홀이 추가로 형성되어 있는 것을 특징으로 한다. 또한, 상기 본 발명의 제 2 실시예의 경우에는 GIP 회로부의 평탄화막(215c)의 일부가 선택적으로 제거되어 상기 제 2 소오스/드레인전극(222b, 223b)이 노출되게 된다.
- [0092] 이와 같이 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자는 전술한 본 발명의 제 1 실시예와 동일하게 박막 트랜지스터의 제조시간을 단축하여 수율을 향상시키기 위해 상기 데이터 배선 상부에 하나의 절연막만을 형성하는 마스크 저감 기술을 이용하는 것을 특징으로 한다.
- [0093] 그리고, 상기 평탄화막(215c) 위에는 화소전극(218)과 연결전극(미도시) 및 제 3 전원전극(218')이 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전물질이나 알루미늄, 은 또는 그 합금 등의 반사성 도전물질로 이루어

질 수 있다.

- [0094] 이때, 애노드인 상기 화소전극(218)은 상기 제 4 콘택홀을 통해 상기 제 1 드레인전극(223a)과 전기적으로 접속하게 되며, 상기 제 3 전원전극(218')은 상기 제 5 콘택홀을 통해 상기 제 2 전원전극(226)과 전기적으로 접속하게 된다.
- [0095] 상기 화소전극(218)과 연결전극 및 제 3 전원전극(218')이 형성된 기판(210) 위에는 격벽(225)이 형성되어 있다.
- [0096] 이때, 상기 격벽(225)은 화소전극(218) 가장자리 주변을 독처럼 둘러싸서 개구부를 정의하며 유기 절연물질 또는 무기 절연물질로 만들어진다. 상기 격벽(225)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(225)은 차광부재의 역할을 하게 된다.
- [0097] 그리고, 본 발명의 제 2 실시예에 따른 상기 격벽(225)은 일부를 제외하고 상기 화소부로 연장된 제 3 전원전극(218')을 덮도록 형성되어 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0098] 상기 격벽(225)이 형성된 화소부의 기판(210) 위에는 유기발광층(230)이 형성되어 있다.
- [0099] 이때, 상기 유기발광층(230)은 빛을 내는 발광층 외에 발광층의 발광 효율을 향상하기 위한 부대층을 포함하는 다층 구조를 가질 수 있다. 상기 부대층에는 전자와 정공의 균형을 맞추기 위한 전자수송층 및 정공수송층과 전자와 정공의 주입을 강화하기 위한 전자주입층 및 정공주입층 등이 있다.
- [0100] 상기 유기발광층(230) 위에는 캐소드인 공통전극(228)이 형성되어 있다. 이때, 상기 공통전극(228)은 공통 전압을 인가 받으며, 칼슘, 바륨, 마그네슘, 알루미늄, 은 등을 포함하는 반사성 도전물질 또는 ITO, IZO 등의 투명한 도전물질로 이루어질 수 있다.
- [0101] 그리고, 상기 공통전극(228)을 구성하는 캐소드용 금속은 노출된 상기 GIP 회로부의 제 3 전원전극(218')과 접속하게 된다.
- [0102] 상기 공통전극(228)이 형성된 기판(210) 위에는 봉지수단으로 1차 절연막(215d)과 중합체(215e) 및 2차 절연막(215f)이 차례대로 형성되어 있다.
- [0103] 이때, 본 발명의 제 2 실시예의 경우에는 전원부의 제 3 전원전극(218')이 수분 침투 경로가 되는 상기 1차 절연막(215d)과 2차 절연막(215f)으로부터 멀리 떨어져 있기 때문에 수분 침투로 인한 불량이 최소화되게 된다.
- [0104] 그리고, 상기 기판(210) 외측에 위치하는 GIP 회로부의 게이트 드라이버는 전원부의 전극에 비해 그 면적이 좁기 때문에 기존에 발생하였던 격벽(225)용 폴리이미드(polyimide) 코팅 얼룩은 발생하지 않게 된다.
- [0105] 이하, 상기와 같이 구성되는 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0106] 도 8a 내지 도 8i는 상기 도 7에 도시된 본 발명의 제 2 실시예에 따른 유기발광다이오드 표시소자의 제조방법을 순차적으로 나타내는 단면도이다.
- [0107] 도 8a에 도시된 바와 같이, 투명한 유리 또는 플라스틱 등의 절연물질로 이루어진 기판(210) 위에 버퍼막(buffer layer)(미도시)과 규소막을 형성한다.
- [0108] 이때, 상기 버퍼막은 상기 기판(210) 내에 존재하는 나트륨(natrium; Na) 등의 불순물이 공정 중에 상부 층으로 침투하는 것을 차단하는 역할을 한다.
- [0109] 상기 규소막은 비정질 규소 또는 다결정 규소로 형성할 수 있으나, 상기 본 발명의 실시예에서는 다결정 규소를 이용하여 박막 트랜지스터를 구성한 경우를 예를 들어 나타내고 있다. 이때, 상기 다결정 규소는 기판(210) 위에 비정질 규소를 증착한 후 여러 가지 결정화 방식을 이용하여 형성할 수 있으며, 이를 설명하면 다음과 같다.
- [0110] 먼저, 비정질 규소는 여러 가지 방법으로 증착할 수 있으며, 상기 비정질 규소를 증착하는 대표적인 방법으로는 저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD)방법과 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PECVD)방법이 있다.
- [0111] 상기 비정질 규소를 결정화하는 방법으로는 크게 비정질 규소를 고온 요로(furnace)에서 열처리하는 고상 결정화(Solid Phase Crystallization; SPC)방법과 레이저를 이용하는 엑시머 레이저 어닐링(Eximer Laser Annealing; ELA)방법이 있다.

- [0112] 상기 레이저 결정화로는 펄스(pulse) 형태의 레이저를 이용한 엑시머 레이저 어닐링방법이 주로 이용되나, 근래에는 그레인(grain)을 수평방향으로 성장시켜 결정화특성을 향상시킨 순차적 수평결정화(Sequential Lateral Solidification; SLS)방법이 연구되고 있다.
- [0113] 이후, 포토리소그래피공정을 통해 상기 규소막을 선택적으로 제거함으로써 상기 다결정 규소로 이루어진 제 1 액티브층(224a) 및 제 2 액티브층(224b)을 형성한다.
- [0114] 이때, 설명의 편의를 위해 상기 화소부에는 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터가 형성되며, 상기 GIP 회로부에는 게이트 구동 박막 트랜지스터가 형성되는 것으로 한다. 즉, 예를 들어 상기 화소부의 기관(210)에는 상기 제 1 액티브층(224a)이 형성되게 되며, 상기 GIP 회로부의 기관(210)에는 상기 제 2 액티브층(224b)이 형성되게 된다.
- [0115] 이때, 전술한 바와 같이 상기 본 발명의 제 2 실시예는 상기 제 1 액티브층(224a) 및 제 2 액티브층(224b)을 다결정 규소로 형성한 경우를 예를 들어 나타내고 있으나, 본 발명이 이에 한정되는 것은 아니며, 상기 제 1 액티브층(224a) 및 제 2 액티브층(224b)은 수소화 비정질 규소 또는 산화물 반도체로 이루어질 수 있다.
- [0116] 다음으로, 도 8b에 도시된 바와 같이, 상기 제 1 액티브층(224a) 및 제 2 액티브층(224b)이 형성된 기관(210) 위에 질화규소 또는 이산화규소 등으로 이루어진 게이트절연막(215a)을 형성하며, 그 위에 제 1 게이트전극(221a), 게이트라인(미도시), 유지전극(미도시) 및 제 2 게이트전극(221b)을 형성한다.
- [0117] 이때, 전술한 바와 같이 상기 전원부에는 상기 게이트 배선용 금속으로 이루어진 제 1 전원전극(220)이 형성될 수 있다.
- [0118] 상기 제 1 게이트전극(221a), 게이트라인, 유지전극, 제 1 전원전극(220) 및 제 2 게이트전극(221b)은 제 1 도전막을 상기 기관(210) 전면에 증착한 후 포토리소그래피공정을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0119] 여기서, 상기 제 1 도전막으로 알루미늄(Al)이나 알루미늄 합금(Al alloy) 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti)과 같은 저저항 불투명 도전물질을 사용할 수 있다. 그러나, 이들은 물리적 성질이 다른 2개의 도전막을 포함하는 다층막 구조를 가질 수 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어질 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO 및 IZO와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 예를 들면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어질 수 있다.
- [0120] 상기 제 1 게이트전극(221a), 게이트라인, 유지전극, 제 1 전원전극(220) 및 제 2 게이트전극(221b)의 측면은 기관(210) 면에 대하여 경사질 수 있으며, 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- [0121] 상기 제 1 게이트전극(221a) 및 제 2 게이트전극(221b)은 각각 상기 제 1 액티브층(224a) 및 제 2 액티브층(224b) 상부에 위치한다.
- [0122] 다음으로, 도 8c에 도시된 바와 같이, 상기 제 1 게이트전극(221a), 게이트라인, 유지전극, 제 1 전원전극(220) 및 제 2 게이트전극(221b)이 형성된 기관(210) 전면에 질화규소 또는 이산화규소 등으로 이루어진 보호막(215b)을 형성한 후, 포토리소그래피공정을 통해 상기 보호막(215b)과 게이트절연막(215a)을 선택적으로 제거하여 상기 제 1 액티브층(224a)의 소오스/드레인영역을 노출시키는 제 1 콘택홀(240a) 및 상기 제 2 액티브층(224b)의 소오스/드레인영역을 노출시키는 제 2 콘택홀(240b)을 형성한다.
- [0123] 또한, 상기 포토리소그래피공정을 통해 상기 보호막(215b)을 선택적으로 제거하여 상기 제 1 전원전극(220)을 노출시키는 제 3 콘택홀(240c)을 형성한다.
- [0124] 그리고, 도 8d에 도시된 바와 같이, 상기 보호막(215b)이 형성된 기관(210) 전면에 제 2 도전막을 형성한 후, 포토리소그래피공정을 통해 상기 제 2 도전막을 선택적으로 제거함으로써 상기 제 2 도전막으로 이루어진 데이터라인(미도시)과 구동 전압라인(미도시)과 제 1 소오스/드레인전극(222a, 223a) 및 제 2 소오스/드레인전극(222b, 223b)을 형성한다.
- [0125] 이때, 상기 전원부에는 상기 데이터 배선용 금속으로 이루어진 제 2 전원전극(226)이 형성될 수 있다.
- [0126] 상기 제 1 소오스전극(222a)과 제 1 드레인전극(223a)은 상기 제 1 게이트전극(221a)을 중심으로 서로 마주보고, 상기 제 2 소오스전극(222b)과 제 2 드레인전극(223b)은 상기 제 2 게이트전극(221b)을 중심으로 서로

로 마주본다.

- [0127] 또한, 상기 제 1 소오스/드레인전극(222a, 223a)은 상기 제 1 콘택홀을 통해 상기 제 1 액티브층(224a)의 소오스/드레인영역에 전기적으로 접속하며, 상기 제 2 소오스/드레인전극(222b, 223b)은 상기 제 2 콘택홀을 통해 상기 제 2 액티브층(224b)의 소오스/드레인영역에 전기적으로 접속하게 된다. 또한, 상기 제 2 전원전극(226)은 상기 제 3 콘택홀을 통해 상기 제 1 전원전극(220)과 전기적으로 접속하게 된다.
- [0128] 이때, 상기 제 2 도전막으로 알루미늄이나 알루미늄 합금 등 알루미늄 계열 금속, 은이나 은 합금 등 은 계열 금속, 구리나 구리 합금 등 구리 계열 금속, 몰리브덴이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄과 같은 저저항 불투명 도전물질을 사용할 수 있다. 그러나, 이들은 물리적 성질이 다른 2개의 도전막을 포함하는 다층막 구조를 가질 수 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어질 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO 및 IZO와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 예를 들면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어질 수 있다.
- [0129] 상기 데이터라인, 구동 전압라인, 제 1 소오스/드레인전극(222a, 223a), 제 2 전원전극(226) 및 제 2 소오스/드레인전극(222b, 223b) 또한 그 측면이 기판(210) 면에 대하여 약 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- [0130] 다음으로, 도 8e에 도시된 바와 같이, 상기 데이터라인, 구동 전압라인, 제 1 소오스/드레인전극(222a, 223a), 제 2 전원전극(226) 및 제 2 소오스/드레인전극(222b, 223b)이 형성된 기판(210) 전면에 질화규소 또는 이산화규소 등으로 이루어진 평탄화막(215c)을 형성한다.
- [0131] 이후, 포토리소그래피공정을 통해 상기 평탄화막(215c)을 선택적으로 제거하여 상기 제 1 드레인전극(223a)을 노출시키는 제 4 콘택홀(240d)을 형성하는 한편, 상기 전원부의 평탄화막(215c)을 선택적으로 제거하여 상기 제 2 전원전극(226)을 노출시키는 제 5 콘택홀(240e)을 형성한다. 또한, 상기 GIP 회로부의 평탄화막(215c)을 선택적으로 제거하여 상기 GIP 회로부를 외부로 노출시킨다.
- [0132] 그리고, 도 8f에 도시된 바와 같이, 상기 평탄화막(215c)이 형성된 기판(210) 전면에 제 3 도전막을 증착한 후, 포토리소그래피공정을 통해 상기 제 3 도전막을 선택적으로 제거하여 상기 제 3 도전막으로 이루어진 화소전극(218)과 연결전극(미도시)을 형성한다.
- [0133] 이때, 상기 애노드용 금속을 이용하여 상기 제 2 전원전극(226) 위에 제 3 전원전극(218')을 형성한다.
- [0134] 상기 제 3 도전막은 ITO 또는 IZO 등의 투명한 도전물질로 이루어질 수 있다.
- [0135] 애노드인 상기 화소전극(218)은 상기 제 4 콘택홀을 통해 상기 제 1 드레인전극(223a)과 전기적으로 접속하는 한편, 상기 제 3 전원전극(218')은 상기 제 5 콘택홀을 통해 상기 제 2 전원전극(226)과 전기적으로 접속하게 된다.
- [0136] 다음으로, 도 8g에 도시된 바와 같이, 상기 화소전극(218)과 연결전극 및 제 3 전원전극(218')이 형성된 기판(210) 위에 서브-화소 사이를 구획하는 격벽(225)을 형성한다.
- [0137] 이때, 상기 격벽(225)은 화소전극(218) 가장자리 주변을 둘러싸서 개구부를 정의하며 유기 절연물질 또는 무기 절연물질로 만들어진다. 상기 격벽(225)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(225)은 차광부재의 역할을 하게 된다.
- [0138] 그리고, 본 발명의 제 2 실시예에 따른 상기 격벽(225)은 일부를 제외한 상기 전원부에 형성된 제 3 전원전극(218')을 덮도록 형성되어 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0139] 그리고, 도 8h에 도시된 바와 같이, 상기 격벽(225)이 형성된 화소부의 기판(210) 위에 소정의 유기발광층(230)을 형성한다.
- [0140] 전술한 바와 같이 상기 유기발광층(230)은 빛을 내는 발광층 외에 발광층의 발광 효율을 향상하기 위한 부대층을 포함하는 다층 구조를 가질 수 있다. 상기 부대층에는 전자와 정공의 균형을 맞추기 위한 전자수송층 및 정공수송층과 전자와 정공의 주입을 강화하기 위한 전자주입층 및 정공주입층 등이 있다.
- [0141] 다음으로, 도 8i에 도시된 바와 같이, 상기 유기발광층(230)이 형성된 기판(210) 위에 캐소드인 공통전극(228)을 형성한다.

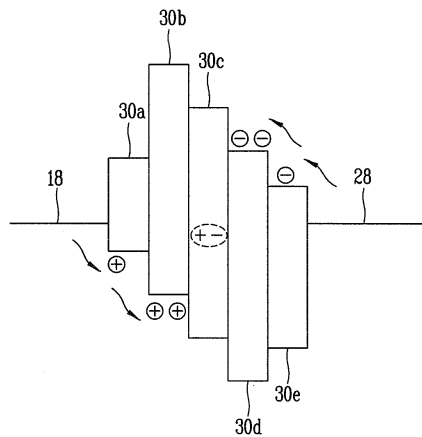
- [0142] 이때, 상기 공통전극(228)은 공통 전압을 인가 받으며, 칼슘, 바륨, 마그네슘, 알루미늄, 은 등을 포함하는 반사성 도전물질 또는 ITO, IZO 등의 투명한 도전물질로 이루어질 수 있다.
- [0143] 그리고, 상기 공통전극(228)을 구성하는 캐소드용 금속은 노출된 상기 제 3 전원전극(218')과 일부 접촉하게 된다.
- [0144] 이후, 도 8j 내지 도 8l에 도시된 바와 같이, 상기 공통전극(228)이 형성된 기판(210) 위에 봉지수단으로 1차 절연막(215d)과 중합체(215e) 및 2차 절연막(215f)을 차례대로 형성한다.
- [0145] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

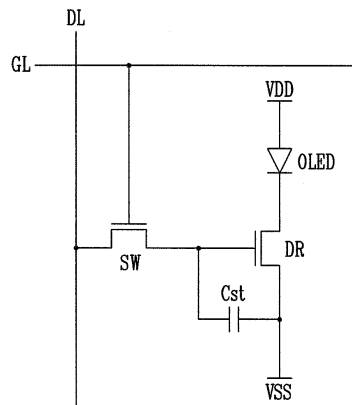
- [0146] 100,200 : 유기발광다이오드 표시소자
- 103,203 : 발광영역
- 110,210 : 기판
- 111,211 : RGB 화소
- 118,218 : 화소전극
- 118',218' : 제 3 전원전극
- 120,220 : 제 1 전원전극
- 125,225 : 격벽
- 126,226 : 제 2 전원전극
- 128,228 : 공통전극
- 130,230 : 유기발광층

도면

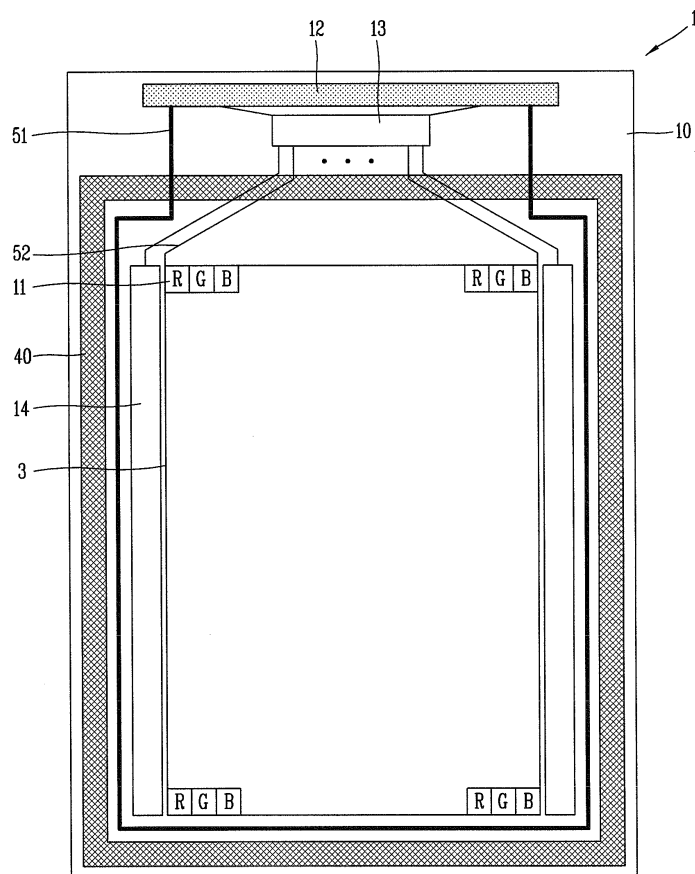
도면1



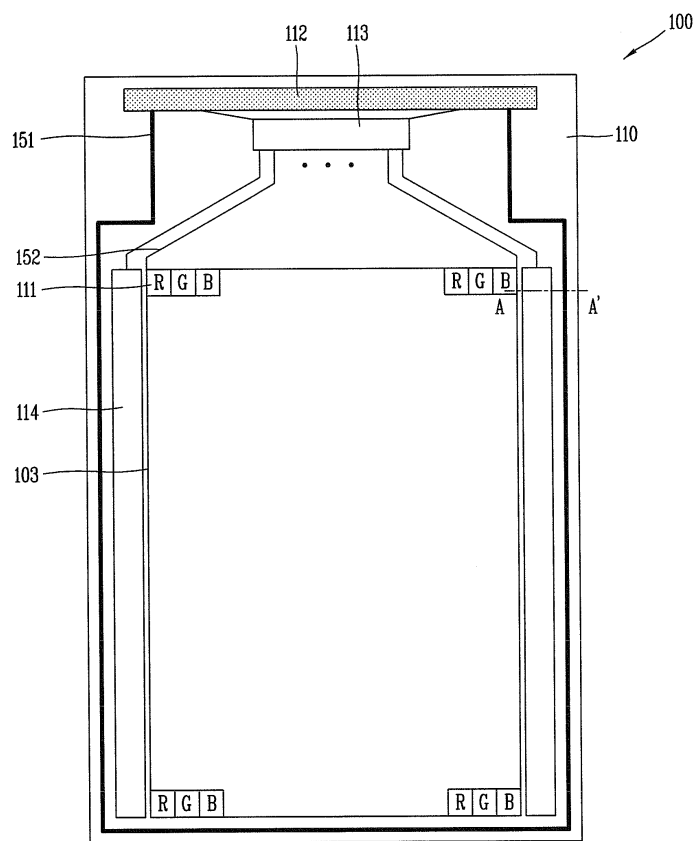
도면2



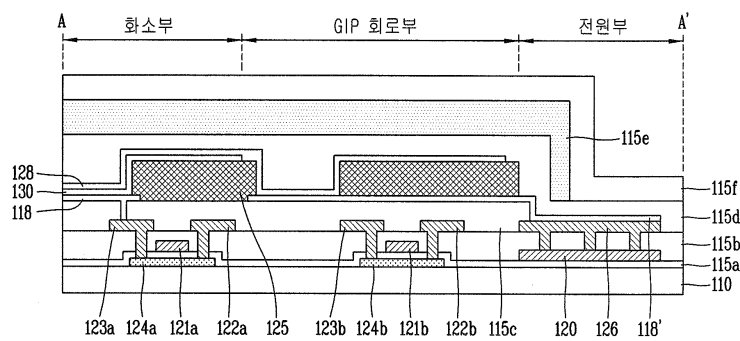
도면3



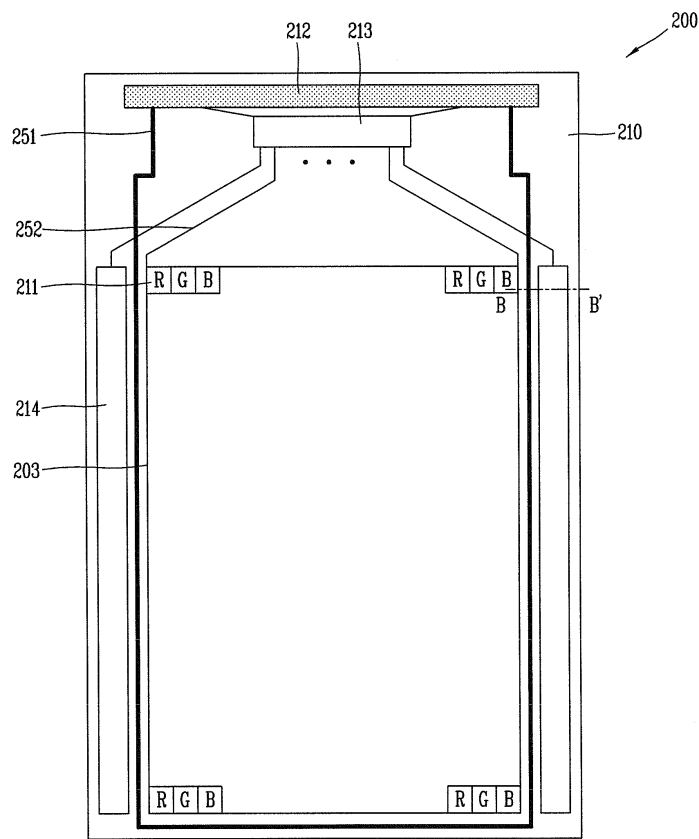
도면4



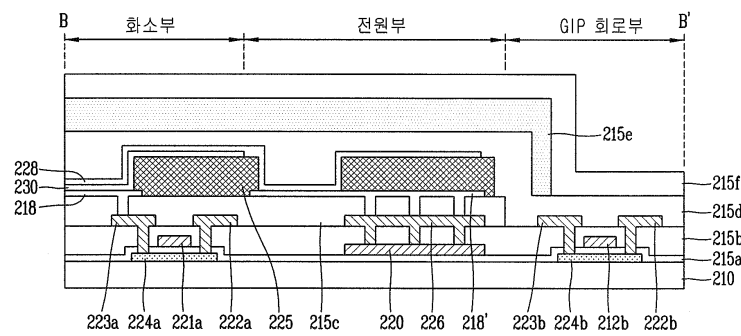
도면5



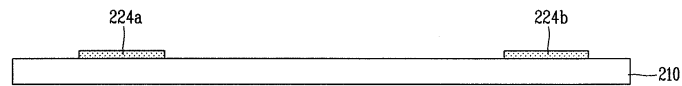
도면6



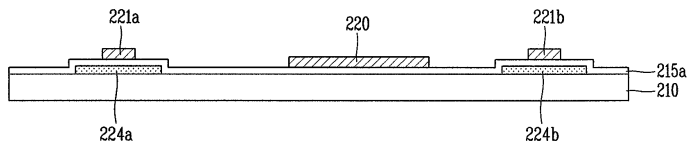
도면7



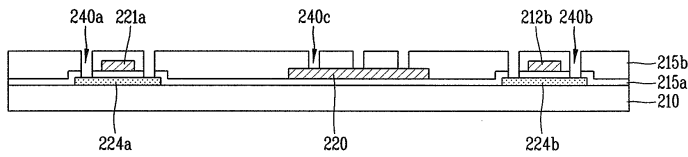
도면8a



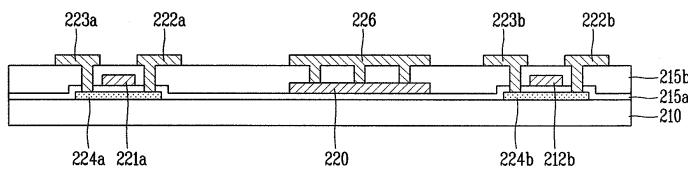
도면8b



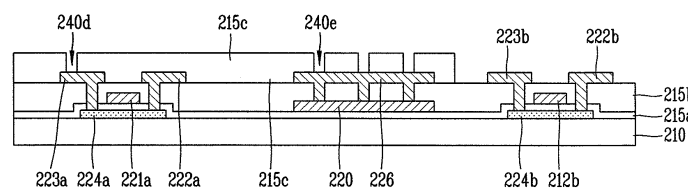
도면8c



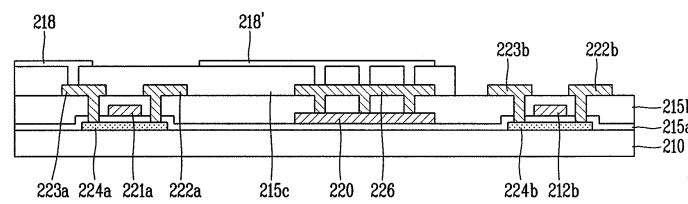
도면8d



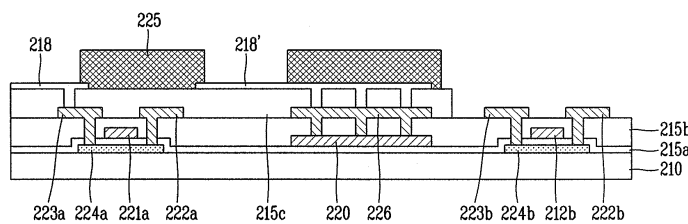
도면8e



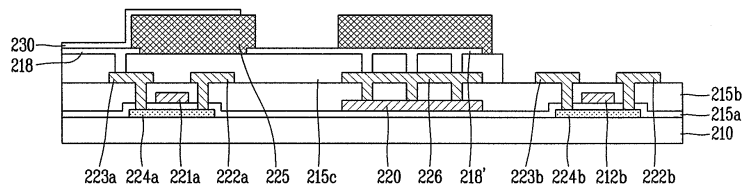
도면8f



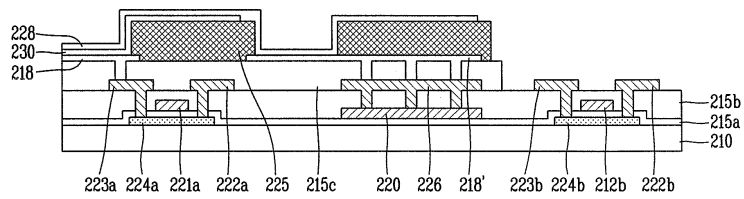
도면8g



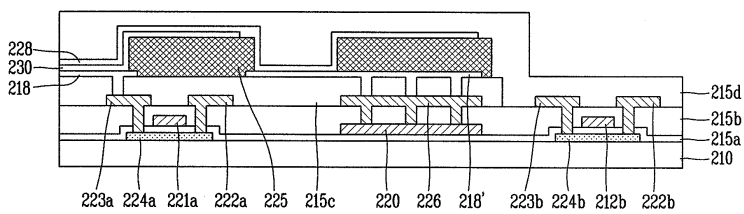
도면 8h



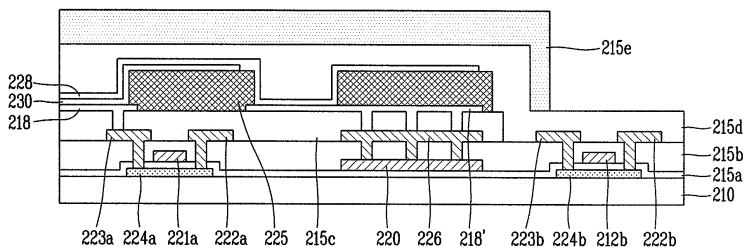
도면8i



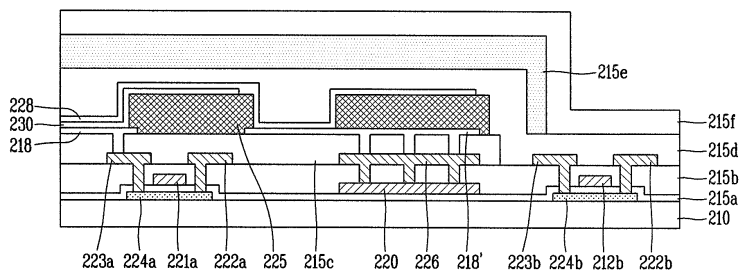
도면8j



도면 8k



도면81



专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	KR101992902B1	公开(公告)日	2019-06-25
申请号	KR1020120149807	申请日	2012-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	윤성욱 박영주		
发明人	윤성욱 박영주		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L51/5237 H01L51/56		
代理人(译)	Bakyoungbok		
审查员(译)	Jeongmyeong周		
其他公开文献	KR1020140080232A		
外部链接	Espacenet		

摘要(译)

在应用面密封法作为封装技术的情况下，根据本发明的有机发光二极管显示装置及其制造方法，通过去除数据布线的上部上的绝缘膜来减少掩模的数量，通过改变位置以防止水分侵入来提高可靠性：面板内栅极（GIP）电路部分位于像素部分和像素部分之外，而电源部分位于像素部分和GIP电路部分之间。单独的基材；在基板上形成的薄膜晶体管；第一电源电极形成在电源单元的基板上并由用于薄膜晶体管的栅极布线的金属形成；第二电源电极形成在电源单元的基板上并由薄膜晶体管的数据布线金属形成；平坦化层形成在其上形成有薄膜晶体管，第一功率电极和第二功率电极的基板上；第三功率电极通过使用形成在平坦化膜上的阳极和用于阳极的金属形成在第二功率电极上，并连接到第二功率电极；在其上形成有阳极和第三功率电极的基板上形成的隔肋，以限定像素区域；有机发光层，形成在形成有隔壁的基板上。阴极形成在有机发光层上；然后，在形成有阴极的基板上依次形成一次绝缘膜，聚合物和二次绝缘膜。

