



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월28일
(11) 등록번호 10-1962852
(24) 등록일자 2019년03월21일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0112084
(22) 출원일자 2012년10월09일
심사청구일자 2017년10월10일
(65) 공개번호 10-2014-0045839
(43) 공개일자 2014년04월17일
(56) 선행기술조사문헌
KR1020110019883 A*
(뒷면에 계속)

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
최천기
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 19 항

심사관 : 윤난영

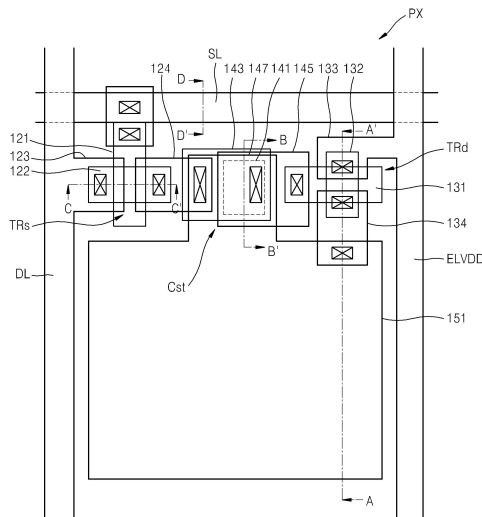
(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명은 유기 발광 표시 장치 및 그 제조 방법을 개시한다.

본 발명의 바람직한 유기 발광 표시 장치는, 다수의 스캔 라인 및 다수의 데이터 라인을 포함하고, 상기 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하며, 상기 스캔 라인의 상부 층에 배치된 게이트 전극, 상기 게이트 전극 상부의 활성층, 상기 활성층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 포함하는 박막 트랜지스터; 및 상기 스캔 라인과 동일층에 배치된 제1 커패시터 전극, 상기 게이트 전극과 동일층에 배치된 제2 커패시터 전극, 및 상기 소스 및 드레인 전극과 동일층에 배치된 제3 커패시터 전극을 포함하는 커패시터;를 포함할 수 있다.

대 표 도 - 도1



(56) 선행기술조사문헌

JP2010002794 A

KR1020110051858 A

KR1020050104608 A

KR1020060111149 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

다수의 스캔 라인 및 다수의 데이터 라인을 포함하고, 상기 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하는 유기 발광 표시 장치에 있어서,

상기 스캔 라인의 상부 층에 배치되고, 상기 스캔 라인과 전기적으로 연결된 게이트 전극, 상기 게이트 전극 상부의 활성층, 상기 활성층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 포함하는 박막 트랜지스터; 및

상기 스캔 라인과 동일층에 배치된 제1 커패시터 전극, 상기 게이트 전극과 동일층에 배치된 제2 커패시터 전극, 및 상기 소스 및 드레인 전극과 동일층에 배치된 제3 커패시터 전극을 포함하는 커패시터;를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 활성층은 산화물 반도체로 형성된 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 게이트 전극의 두께는 상기 스캔 라인의 두께보다 얇은 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 스캔 라인은 저저항 배선인 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 커패시터는, 상기 제3 커패시터 전극의 상부 층에 배치된 제4 커패시터 전극을 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 소스 및 드레인 전극의 상부 층에 배치되고, 상기 제4 커패시터 전극과 동일층에 배치된 화소 전극;을 더 포함하는 유기 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 제1 커패시터 전극과 상기 제2 커패시터 전극 사이에 배치된 제1절연막, 상기 제2 커패시터 전극과 상기 제3 커패시터 전극 사이에 배치된 제2절연막과 제3절연막, 및 상기 제3 커패시터 전극과 상기 제4 커패시터 전극 사이에 배치된 제4절연막을 포함하는 유기 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 게이트 전극 및 상기 제2 커패시터 전극과 동일층에 배치된 화소 전극;을 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 제1 커패시터 전극과 상기 제2 커패시터 전극 사이에 배치된 제1절연막, 상기 제2 커패시터 전극과 상기 제3 커패시터 전극 사이에 배치된 제2절연막 및 제3절연막을 포함하는 유기 발광 표시 장치.

청구항 10

제1항에 있어서,

상기 스캔 라인과 상기 게이트 전극 사이의 절연막에 형성된 컨택홀을 통해 상기 스캔 라인과 상기 게이트 전극이 전기적으로 연결되는 유기 발광 표시 장치.

청구항 11

기판 상에 스캔 라인과 제1 커패시터 전극을 동일층에 형성하는 단계;

상기 제1 커패시터 전극 상부에 제1절연막을 형성하고, 상기 제1절연막 상부에 게이트 전극 및 제2 커패시터 전극을 형성하는 단계;

상기 게이트 전극 및 상기 제2 커패시터 전극 상부에 제2절연막을 형성하고, 상기 제2절연막 상부에 상기 게이트 전극과 중첩하는 활성층을 형성하는 단계;

상기 활성층 상부에 상기 활성층의 소스 및 드레인 영역의 일부를 노출하는 개구를 구비하는 제3절연막을 형성하는 단계;

상기 제3절연막 상부에 제3 커패시터 전극과, 상기 개구를 통해 상기 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 형성하는 단계; 및

상기 스캔 라인과 상기 게이트 전극을 전기적으로 연결하는 전극 패턴을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제11항에 있어서,

상기 활성층은 산화물 반도체로 형성된 유기 발광 표시 장치의 제조 방법.

청구항 13

제11항에 있어서,

상기 게이트 전극의 두께는 상기 스캔 라인의 두께보다 얇은 유기 발광 표시 장치의 제조 방법.

청구항 14

제11항에 있어서,

상기 스캔 라인은 저저항 배선인 유기 발광 표시 장치의 제조 방법.

청구항 15

제11항에 있어서,

상기 소스 및 드레인 전극 상부에 제4절연막을 형성하는 단계; 및

상기 제4절연막 상부에 제4 커패시터 전극을 형성하는 단계;를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15항에 있어서,

상기 제4 커패시터 전극과 동시에 동일층에 화소 전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제16항에 있어서,

상기 화소 전극 및 상기 제4 커패시터 전극 상부에 상기 화소 전극의 일부를 노출하는 개구를 갖는 제5절연막을 형성하는 단계;를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제11항에 있어서,

상기 게이트 전극 및 제2 커패시터 전극 형성과 동시에 동일층에 화소 전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제18항에 있어서,

상기 제2절연막 및 상기 제3절연막에 구비된 개구에 의해 일부가 노출된 상기 화소 전극과, 상기 제3 커패시터 전극, 상기 소스 및 드레인 전극 상부에, 상기 화소 전극의 일부를 노출하는 개구를 갖는 제4절연막을 형성하는 단계;를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 복수의 화소를 구비한다.

[0003] 박막 트랜지스터를 이용한 유기 발광 표시 장치의 각 화소는 스캔 신호 및 데이터 신호를 공급하는 스캔 라인 및 데이터 라인에 의해 신호를 공급받고, 각 화소에 전원을 공급하는 전원 라인에 의해 발광할 수 있다.

[0004] 그러나, 상기 스캔 라인, 데이터 라인 및 전원 라인들은 금속들로 이루어진 배선이기 때문에, 신호가 공급된 곳으로부터 먼 곳에 위치한 화소에 공급되는 신호들이 배선 저항에 의해 왜곡될 수 있다. 따라서, 유기 발광 표시 장치의 휘도가 불균일해지고 이에 따라 유기 발광 표시 장치의 신뢰성이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 종래 표시 장치는 RC 로드(load)를 감소시키기 위해 스캔 라인을 저저항 배선으로 형성하고, 동일한 저저항 배선을 박막 트랜지스터의 게이트 전극에 적용하고 있다. 그러나, 이 경우 게이트 전극 및 게이트 절연막의 두께가 증가하여 박막 트랜지스터의 온 전류(on current)가 감소하고 박막 트랜지스터의 사이즈가 커지고, 기생 커패시터가 증가하고, 스토리지 커패시터의 면적이 증가하게 된다. 이에 따라 표시 장치의 개구율이 감소하게 된다. 본 발명은 RC 로드를 줄이면서 박막 트랜지스터의 사이즈를 줄일 수 있는 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

- [0006] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 다수의 스캔 라인 및 다수의 데이터 라인을 포함하고, 상기 스캔 라인과 데이터 라인이 교차하는 영역에 위치하는 다수의 화소를 포함하며, 상기 스캔 라인의 상부 층에 배치된 게이트 전극, 상기 게이트 전극 상부의 활성층, 상기 활성층의 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 포함하는 박막 트랜지스터; 및 상기 스캔 라인과 동일층에 배치된 제1 커패시터 전극, 상기 게이트 전극과 동일층에 배치된 제2 커패시터 전극, 및 상기 소스 및 드레인 전극과 동일층에 배치된 제3 커패시터 전극을 포함하는 커패시터;를 포함할 수 있다.
- [0007] 상기 활성층은 산화물 반도체로 형성될 수 있다.
- [0008] 상기 게이트 전극의 두께는 상기 스캔 라인의 두께보다 얇을 수 있다. 그리고, 상기 스캔 라인은 저저항 배선일 수 있다.
- [0009] 상기 커패시터는, 상기 제3 커패시터 전극의 상부 층에 배치된 제4 커패시터 전극을 더 포함할 수 있다. 상기 유기 발광 표시 장치는, 상기 제1 커패시터 전극과 상기 제2 커패시터 전극 사이에 배치된 제1절연막, 상기 제2 커패시터 전극과 상기 제3 커패시터 전극 사이에 배치된 제2절연막과 제3절연막, 및 상기 제3 커패시터 전극과 상기 제4 커패시터 전극 사이에 배치된 제4절연막을 포함할 수 있다.
- [0010] 그리고, 상기 유기 발광 표시 장치는, 상기 소스 및 드레인 전극의 상부 층에 배치되고, 상기 제4 커패시터 전극과 동일층에 배치된 화소 전극;을 더 포함할 수 있다.
- [0011] 다른 예로서, 상기 유기 발광 표시 장치는, 상기 게이트 전극 및 상기 제2 커패시터 전극과 동일층에 배치된 화소 전극;을 더 포함할 수 있다. 그리고, 상기 유기 발광 표시 장치는, 상기 제1 커패시터 전극과 상기 제2 커패시터 전극 사이에 배치된 제1절연막, 상기 제2 커패시터 전극과 상기 제3 커패시터 전극 사이에 배치된 제2절연막 및 제3절연막을 포함할 수 있다.
- [0012] 상기 유기 발광 표시 장치들은, 상기 스캔 라인과 상기 게이트 전극 사이의 절연막에 형성된 콘택홀을 통해 상기 스캔 라인과 상기 게이트 전극이 전기적으로 연결될 수 있다.
- [0013] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치 제조 방법은, 스캔 라인과 동일층에 제1 커패시터 전극을 형성하는 단계; 상기 제1 커패시터 전극 상부에 제1절연막을 형성하고, 상기 제1절연막 상부에 게이트 전극 및 제2 커패시터 전극을 형성하는 단계; 상기 게이트 전극 및 상기 제2 커패시터 전극 상부에 제2절연막을 형성하고, 상기 제2절연막 상부에 상기 게이트 전극과 중첩하는 활성층을 형성하는 단계; 상기 활성층 상부에 상기 활성층의 소스 및 드레인 영역의 일부를 노출하는 개구를 구비하는 제3절연막을 형성하는 단계; 및 상기 제3절연막 상부에 제3 커패시터 전극과, 상기 개구를 통해 상기 소스 및 드레인 영역과 접촉하는 소스 및 드레인 전극을 형성하는 단계;를 포함할 수 있다.
- [0014] 상기 활성층은 산화물 반도체로 형성될 수 있다.
- [0015] 상기 게이트 전극의 두께는 상기 스캔 라인의 두께보다 얇을 수 있다. 그리고, 상기 스캔 라인은 저저항 배선일 수 있다.
- [0016] 상기 방법은, 상기 소스 및 드레인 전극 상부에 제4절연막을 형성하는 단계; 및 상기 제4절연막 상부에 제4 커패시터 전극을 형성하는 단계;를 더 포함할 수 있고, 상기 제4 커패시터 전극과 동시에 동일층에 화소 전극을 형성하는 단계;를 포함할 수 있다. 그리고, 상기 방법은, 상기 화소 전극 및 상기 제4 커패시터 전극 상부에 상기 화소 전극의 일부를 노출하는 개구를 갖는 제5절연막을 형성하는 단계;를 더 포함할 수 있다.
- [0017] 다른 예로서, 상기 방법은, 상기 게이트 전극 및 제2 커패시터 전극 형성과 동시에 동일층에 화소 전극을 형성하는 단계;를 포함할 수 있다. 그리고, 상기 방법은, 상기 제2절연막 및 상기 제3절연막에 구비된 개구에 의해 일부가 노출된 상기 화소 전극과, 상기 제3 커패시터 전극, 상기 소스 및 드레인 전극 상부에, 상기 화소 전극의 일부를 노출하는 개구를 갖는 제4절연막을 형성하는 단계;를 더 포함할 수 있다.
- [0018] 상기 방법들은, 상기 스캔 라인과 상기 게이트 전극 사이의 절연막에 형성된 콘택홀을 통해 상기 스캔 라인과 상기 게이트 전극을 전기적으로 연결하는 전극 패턴을 형성하는 단계;를 포함할 수 있다.

발명의 효과

- [0019] 본 발명은 스캔 라인을 형성하는 배선과 박막 트랜지스터의 게이트 전극을 분리하여 형성함으로써, 스캔 라인의 RC 로드를 줄이고 박막 트랜지스터의 사이즈 및 스토리지 커패시터의 면적을 줄일 수 있어 표시 장치의 개구율

을 향상시킬 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단일 화소를 나타낸 평면도이다.
- 도 2 내지 도 10은 도 1의 A-A' 선, B-B' 선, C-C' 선, D-D' 선을 따라 자른 단면도들로, 유기 발광 표시 장치의 제조 공정을 설명하기 위한 단면도들이다.
- 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 단일 화소를 나타낸 평면도이다.
- 도 12 내지 도 18은 도 11의 E-E' 선, F-F' 선, G-G' 선, H-H' 선을 따라 자른 단면도들로, 유기 발광 표시 장치의 제조 공정을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [0022] 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0023] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단일 화소를 나타낸 평면도이다.
- [0025] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(101) 상에 다수의 스캔 라인(SL) 및 다수의 데이터 라인(DL)을 포함하고, 상기 스캔 라인(SL)과 데이터 라인(DL)이 교차하는 영역에 위치하는 다수의 화소(PX)를 구비한다. 도 1을 참조하면, 각 화소(PX)는 데이터 신호에 대응되는 색을 구현하기 위한 유기발광소자(EL), 데이터 신호에 따른 구동 전류를 유기발광소자(EL)에 공급하기 위한 구동 트랜지스터(TRd), 스캔 신호에 따라 데이터 신호를 전달하여 구동 트랜지스터(TRd)를 온/오프 시키는 스위칭 트랜지스터(TRs) 및 데이터 신호에 대응되는 전압을 저장하기 위한 스토리지 커패시터(Cst)를 포함한다. 여기서, 화소(PX)는 각각 구동 트랜지스터(TRd)의 문턱 전압을 보상하기 위한 다수의 박막 트랜지스터 및 커패시터를 더 포함할 수도 있다.
- [0026] 스위칭 트랜지스터(TRs)는 스캔 라인(SL)의 상부층에 배치된 게이트 전극(121), 게이트 전극(121) 상에 배치된 활성층(122), 및 활성층(122)의 양측 종단부에 컨택홀을 통해 전기적으로 연결되는 소스/드레인 전극(123/124)을 포함한다. 게이트 전극(121)은 스캔 라인(SL)과 컨택홀을 통해 전기적으로 연결된다. 소스/드레인 전극(123/124) 중 하나는 데이터 라인(DL)과 전기적으로 연결되고, 나머지 하나는 커패시터(Cst)의 제2 커패시터 전극(143)과 컨택홀을 통해 전기적으로 연결된다. 데이터 라인(DL)과 전기적으로 연결되는 소스/드레인 전극(123/124) 중 하나는 데이터 라인(DL)으로부터 연장되어 일체로 형성될 수 있다.
- [0027] 구동 트랜지스터(TRd)는 스캔 라인(SL)의 상부 층에 배치된 게이트 전극(131), 게이트 전극(131) 상에 배치된 활성층(132), 및 활성층(132)의 양측 종단부에 컨택홀을 통해 전기적으로 연결되는 소스/드레인 전극(133/134)을 포함한다. 게이트 전극(131)은 커패시터(Cst)의 제3 커패시터 전극(145)과 컨택홀을 통해 전기적으로 연결된다. 소스/드레인 전극(133/134) 중 하나는 구동전압 공급라인(ELVDD)과 전기적으로 연결되고, 나머지 하나는 컨택홀을 통해 유기발광소자(EL)의 화소 전극과 전기적으로 연결된다. 구동전압 공급라인(ELVDD)과 전기적으로 연결되는 소스/드레인 전극(133/134) 중 하나는 구동전압 공급라인(ELVDD)으로부터 연장되어 일체로 형성될 수 있다.
- [0028] 커패시터(Cst)는 스캔 라인(SL)과 동일층에 배치된 제1 커패시터 전극(141), 제1 커패시터 전극(141) 상부에 배치되고 게이트 전극(121, 131)과 동일층에 형성된 제2 커패시터 전극(143), 제2 커패시터 전극(143) 상부에 배치되고 소스/드레인 전극(123/124, 133/134)과 동일층에 형성된 제3 커패시터 전극(145), 및 제3 커패시터 전극(145) 상부에 배치되고 유기발광소자(EL)의 화소 전극(151)과 동일층에 형성된 제4 커패시터 전극(147)을 포함한다. 제1 커패시터 전극(141)과 제3 커패시터 전극(145)은 컨택홀을 통해 전기적으로 연결된다. 제4 커패시터 전극(147)은 화소 전극(151)으로부터 연장되어 일체로 형성될 수 있다.
- [0029] 도 2 내지 도 10은 도 1의 A-A' 선, B-B' 선, C-C' 선, D-D' 선을 따라 자른 단면도들로, 본 발명의 실시예에 따른

유기 발광 표시 장치의 제조 공정을 설명하기 위한 단면도들이다.

- [0030] 도 2를 참조하면, 기판(101) 상부에 버퍼층(102)을 형성하고, 버퍼층(102) 상부에 제1 마스크(미도시)를 이용한 마스크 공정에 의해 스캔 라인(SL)과 커패시터(Cst)의 제1 커패시터 전극(141)을 형성한다.
- [0031] 기판(101)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(101)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0032] 버퍼층(102)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층으로 역할한다. 버퍼층(102)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0033] 스캔 라인(SL) 및 제1 커패시터 전극(141)은 기판(101) 상부에 제1 도전층을 적층하고, 제1 도전층을 패터닝함으로써 동시에 형성될 수 있다. 제1 도전층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다. 제1 도전층은 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하나, 단층 또는 다층으로 두겹게 형성할 수 있는 다른 금속 물질을 포함할 수 있다.
- [0034] 다음으로, 도 3에 도시된 바와 같이, 기판(101) 상부에 제1절연막(103)을 형성하고, 제1절연막(103) 상부에 제2 마스크(미도시)를 이용한 마스크 공정에 의해, 구동 트랜지스터(TRd)의 게이트 전극(131), 스위칭 트랜지스터(TRs)의 게이트 전극(121) 및 커패시터(Cst)의 제2 커패시터 전극(143)을 형성한다. 제2 커패시터 전극(143)은 제1 커패시터 전극(141)과 중첩되는 영역을 갖는다.
- [0035] 제1절연막(103)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질, 또는 SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있다. 또한 상기 제1절연막(103)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0036] 게이트 전극(121, 131) 및 제2 커패시터 전극(143)은 제1절연막(103) 상부에 제2 도전층을 증착하고, 제2 도전층을 패터닝함으로써 동시에 형성될 수 있다.
- [0037] 제2 도전층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다. 또한 제2 도전층은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminum zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 투명 도전 물질을 포함할 수 있다. 제2 도전층의 두께(d2)는 제1 도전층의 두께(d1)보다 얇다. 따라서, 게이트 전극(121, 131)의 두께(d2)는 스캔 라인(SL)의 두께(d1)보다 얇다.
- [0038] 도 4를 참조하면, 게이트 전극(121, 131) 상부에 제3 마스크(미도시)를 이용한 마스크 공정에 의해 활성층(122, 132)을 형성한다.
- [0039] 게이트 전극(121, 131) 및 제1 커패시터 전극(141)이 형성된 기판(101) 상부에 제2절연막(104)과 산화물 반도체를 증착하고, 산화물 반도체를 패터닝하여 활성층(122, 132)을 형성한다.
- [0040] 제2절연막(104)은 게이트 절연막으로서 역할을 하며, SiN_x 또는 SiO_x 등과 같은 절연성 무기물로 형성될 수 있으며, 물론 이 외에도 절연성 유기물 등으로 형성될 수도 있다. 본 발명의 실시예는, 제1 도전층에 의해 형성되는 스캔 라인(SL)과 제2 도전층에 의해 형성되는 게이트 전극(131)을 분리하여 형성함으로써, 게이트 전극(131)이 저저항 배선인 스캔 라인(SL)과 분리되어 스캔 라인(SL)보다 얇게 형성될 수 있어, 제2절연막(104)의 두께도 얇게 형성될 수 있다. 이에 따라, 트랜지스터(TFT)의 사이즈를 줄일 수 있다.
- [0041] 활성층(122, 132)은 각각 채널 영역, 소스 영역 및 드레인 영역을 제공하며, 채널 영역이 게이트 전극(121, 131)과 중첩되도록 배치된다.
- [0042] 산화물 반도체를 포함하는 박막 트랜지스터는 소자 특성이 우수하고 저온공정이 가능하여 평판 표시용 백플레인

(backplane)에 최적인 소자로 평가되고 있다. 뿐만 아니라 산화물 반도체를 포함하는 박막 트랜지스터는 가사광선 영역에서 투명한 특성을 가질 뿐 아니라 유연하기 때문에 투명 표시 장치나 플렉서블 표시 장치에도 적용될 수 있다. 산화물 반도체는 갈륨(Ga), 인듐(In), 스테늄(Sn), 지르코늄(Zr), 하프늄(Hf) 및 바나듐(V) 중 선택되는 적어도 하나 이상의 원소를 함유할 수 있다. 예를 들어, 상기 산화물 반도체로, ZnO, SnO₂, In₂O₃, Zn₂SnO₄, Ga₂O₃ 및 HfO₂를 포함하는 그룹으로부터 선택되는 적어도 하나를 포함할 수 있다. 또한 상기 활성층(132)은 투명한 산화물 반도체로 형성될 수 있다. 투명한 산화물 반도체는, 예를 들어, Zinc Oxide, Tin Oxide, Ga-In-Zn Oxide, In-Zn Oxide, In-Sn Oxide 등을 포함할 수 있으며, 이에 한정되지 않는다.

[0043] 도 5를 참조하면, 활성층(122, 132) 상부에 제3절연막(105)을 적층하고, 제4 마스크(미도시)를 이용한 마스크 공정에 의해 활성층(122, 132)의 소스 영역 및 드레인 영역의 일부를 노출하는 개구들(H1, H2)을 형성한다.

[0044] 제3절연막(105)은 층간 절연막으로서 역할을 하며, SiN_x 또는 SiO_x 등과 같은 절연성 무기물로 형성될 수 있으며, 물론 이 외에도 절연성 유기물 등으로 형성될 수도 있다.

[0045] 다음으로, 도 6을 참조하면, 트랜지스터(TRd, TRs)의 소스 전극(123, 133)과 드레인 전극(124, 134)을 제5 마스크(미도시)를 이용한 마스크 공정에 의해 형성한다.

[0046] 제3절연막(105)의 개구들(H1, H2)을 매립하며 단일층 또는 복수층의 형상으로 소스 전극(123, 133)과 드레인 전극(124, 134)을 형성한다. 소스 전극(123, 133)과 드레인 전극(124, 134)은 개구들(H2, H1)을 통해 활성층(122, 132)의 소스 영역과 드레인 영역에 각각 접촉한다. 소스 전극(123, 133)과 드레인 전극(124, 134)은 전도성 물질을 사용하여 형성할 수 있으며, 예를 들어 Cr, Pt, Ru, Au, Ag, Mo, Al, W, Cu 또는 AlNd와 같은 금속 또는 ITO, GIZO, GZO, AZO, IZO(InZnO) 또는 AZO(AlZnO)와 같은 금속 또는 전도성 산화물을 포함하는 제3 도전층을 패터닝하여 형성할 수 있다.

[0047] 그리고, 소스 전극(123, 133) 및 드레인 전극(124, 134)의 패터닝과 동시에, 제3 도전층을 패터닝하여, 커패시터(Cst)의 제3 커패시터 전극(145)을 형성한다.

[0048] 한편, 도면에는 도시되지 않았으나, 소스 전극(123, 133) 및 드레인 전극(124, 134)과 제3 커패시터 전극(145)을 형성할 때, 데이터 라인(DL)과 구동전압 라인(ELVDD)이 함께 형성될 수 있다.

[0049] 이어서, 도 7을 참조하면, 소스 전극(123, 133) 및 드레인 전극(124, 134)과 제3 커패시터 전극(145)이 형성된 기판(101) 상에 제4절연막(106)을 적층한다. 그리고, 제6 마스크(미도시)를 이용한 마스크 공정에 의해, 구동 트랜지스터(TRs)의 드레인 전극(134)의 일부를 노출하는 개구(H3)를 형성한다.

[0050] 제4절연막(106)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질, 또는 SiN_x와 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다. 제4절연막(106)은 단층으로 형성되거나 이중 혹은 다중층으로 구성될 수도 있는 등 다양한 변형이 가능하다.

[0051] 다음으로, 도 8에 도시된 바와 같이, 제7 마스크(미도시)를 이용한 마스크 공정에 의해, 제4절연막(106) 상부에 유기 발광 소자(EL)의 화소 전극(151) 및 커패시터(Cst)의 제4 커패시터 전극(147)을 형성한다.

[0052] 제4절연막(106) 상부에 투명한 도전층을 적층하고, 투명 도전층을 패터닝하여 화소 전극(151)을 형성한다. 투명 도전층은 ITO, IZO, ZnO, In₂O₃, IGO, 및 AZO를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0053] 화소 전극(151)은 제4절연막(106)의 개구(H3)를 통해, 구동 트랜지스터(TRd)의 소스 전극(133) 또는 드레인 전극(134) 중 하나와 접촉한다. 도 8의 실시예에서는 화소 전극(151)이 드레인 전극(134)과 접촉하고 있다.

[0054] 도 9를 참조하면, 화소 전극(151)과 제4 커패시터 전극(147) 상부에 제5절연막(107)이 적층되고, 제8 마스크(미도시)를 이용한 마스크 공정에 의해 화소 전극(151)의 일부를 노출하는 개구(H4)를 형성한다.

[0055] 제5절연막(107)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질, 또는 SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있다. 또한 상기 제5절연막(107)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 제5절연막(107)은 화소를 정의하는 화소정의막으로서 역할을 한다.

[0056] 다음으로, 도 10에 도시된 바와 같이, 화소 전극(151)의 상부에 발광층을 포함하는 중간층(153)을 형성하고, 상기 중간층(153)을 덮도록 기판(101) 전면에 대향 전극(155)을 형성한다.

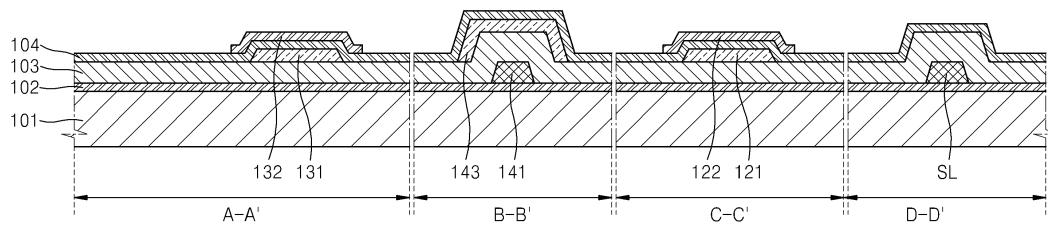
- [0057] 중간층(153)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 중간층(153)은 저분자 또는 고분자 유기물로 구비될 수 있다. 중간층(153)이 적색, 녹색, 청색의 각각의 빛을 방출하는 경우, 상기 발광층은 적색 부화소, 녹색 부화소 및 청색 부화소에 따라 각각 적색 발광층, 녹색 발광층 및 청색 발광층으로 패터닝될 수 있다. 한편, 중간층(153)이 백색광을 방출하는 경우, 상기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일층 구조를 가질 수 있다.
- [0058] 대향 전극(155)은 기판(101) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 발명의 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(151)은 애노드로 사용되고, 대향 전극(155)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0059] 본 발명의 실시예는 저저항 배선으로 형성되는 스캔 라인(SL)과 트랜지스터(TFT)의 게이트 전극을 분리하여 절연막을 사이에 두고 서로 다른 층에 형성한다. 이 경우, 스캔 라인(SL)과 트랜지스터(TFT)의 게이트 전극을 모두 저저항 배선으로 형성하는 경우에 비해, 트랜지스터(TFT)의 게이트 전극을 상대적으로 얇게 형성할 수 있고, 이에 따라 게이트 전극과 활성층 사이의 게이트 절연막의 두께도 얇게 형성할 수 있다. 따라서, 스캔 라인의 RC 로드(load)를 줄이고 트랜지스터(TFT)의 사이즈를 줄일 수 있어 화소의 개구율을 증가시킬 수 있다. 또한, 본 발명의 실시예는 커패시터(Cst)를 제1 내지 제4 커패시터 전극에 의한 삼중 커패시터로 형성함으로써 커패시터의 면적을 줄이면서 커패시턴스를 증가시킬 수 있다.
- [0060] 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 단일 화소를 나타낸 평면도이다. 도 11에 도시된 화소는, 화소 전극, 게이트 전극, 및 커패시터의 일 전극을 동일 물질로 동일층에 형성함으로써, 이중 커패시터를 형성하여 도 1의 실시예에 비해 마스크의 수를 줄일 수 있는 점에서, 도 1에 도시된 화소의 실시예와 차이가 있다.
- [0061] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(201) 상에 다수의 스캔 라인(SL) 및 다수의 데이터 라인(DL)을 포함하고, 상기 스캔 라인(SL)과 데이터 라인(DL)이 교차하는 영역에 위치하는 다수의 화소(PX)를 구비한다. 도 11을 참조하면, 각 화소(PX)는 데이터 신호에 대응되는 색을 구현하기 위한 유기발광소자(EL), 데이터 신호에 따른 구동 전류를 유기발광소자(EL)에 공급하기 위한 구동 트랜지스터(TRd), 스캔 신호에 따라 데이터 신호를 전달하여 구동 트랜지스터(TRd)를 온/오프 시키는 스위칭 트랜지스터(TRs) 및 데이터 신호에 대응되는 전압을 저장하기 위한 커패시터(Cst)를 포함한다. 여기서, 화소(PX)는 각각 구동 트랜지스터(TRd)의 문턱 전압을 보상하기 위한 다수의 박막 트랜지스터 및 커패시터를 더 포함할 수도 있다.
- [0062] 스위칭 트랜지스터(TRs)는 스캔 라인(SL)의 상부 층 및 화소 전극(251)과 동일층에 배치된 게이트 전극(221), 게이트 전극(221) 상에 배치된 활성층(222), 및 활성층(222)의 양측 종단부에 컨택홀을 통해 전기적으로 연결되는 소스/드레인 전극(223/224)을 포함한다. 게이트 전극(221)은 스캔 라인(SL)과 컨택홀을 통해 전기적으로 연결된다. 소스/드레인 전극(223/224) 중 하나는 데이터 라인(DL)과 전기적으로 연결되고, 나머지 하나는 커패시터(Cst)의 제2 커패시터 전극(243)과 컨택홀을 통해 전기적으로 연결된다. 데이터 라인(DL)과 전기적으로 연결되는 소스/드레인 전극(223/224) 중 하나는 데이터 라인(DL)으로부터 연장되어 일체로 형성될 수 있다.
- [0063] 구동 트랜지스터(TRd)는 스캔 라인(SL)의 상부 층 및 화소 전극(251)과 동일층에 배치된 게이트 전극(231), 게이트 전극(231) 상에 배치된 활성층(232), 및 활성층(232)의 양측 종단부에 컨택홀을 통해 전기적으로 연결되는 소스/드레인 전극(233/234)을 포함한다. 게이트 전극(231)은 커패시터(Cst)의 제3 커패시터 전극(245)과 컨택홀을 통해 전기적으로 연결된다. 소스/드레인 전극(233/234) 중 하나는 구동전압 공급라인(ELVDD)과 전기적으로 연결되고, 나머지 하나는 컨택홀을 통해 유기발광소자(EL)의 화소 전극과 전기적으로 연결된다. 구동전압 공급라인(ELVDD)과 전기적으로 연결되는 소스/드레인 전극(233/234) 중 하나는 구동전압 공급라인(ELVDD)으로부터 연장되어 일체로 형성될 수 있다.
- [0064] 커패시터(Cst)는 스캔 라인(SL)과 동일층에 배치된 제1 커패시터 전극(241), 제1 커패시터 전극(241) 상부에 위치하고 게이트 전극(221, 231) 및 유기발광소자(EL)의 화소 전극(251)과 동일층에 형성된 제2 커패시터 전극(243), 및 제2 커패시터 전극(243) 상부에 위치하고 소스/드레인 전극(123/124, 133/134)과 동일층에 형성된 제3 커패시터 전극(245)을 포함한다. 제1 커패시터 전극(241)과 제3 커패시터 전극(245)은 컨택홀을 통해 전기적으로 연결된다. 제2커패시터 전극(243)은 화소 전극(251)으로부터 연장되어 일체로 형성될 수 있다.

- [0065] 도 12 내지 도 18은 도 11의 E-E' 선, F-F' 선, G-G' 선 및 H-H' 선을 따라 자른 단면도들로, 본 발명의 실시예에 따른 유기 발광 표시 장치의 제조 공정을 설명하기 위한 단면도들이다.
- [0066] 도 12를 참조하면, 기판(201) 상부에 버퍼층(202)을 형성하고, 버퍼층(202) 상부에 제1 마스크(미도시)를 이용한 마스크 공정에 의해 스캔 라인(SL)과 커패시터(Cst)의 제1 커패시터 전극(241)을 형성한다.
- [0067] 기판(201)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(201)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0068] 버퍼층(202)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 및/또는 블록킹층으로 역할한다. 버퍼층(202)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0069] 스캔 라인(SL) 및 제1 커패시터 전극(221)은 기판(201) 상부에 제1 도전층을 적층하고, 제1 도전층을 패터닝함으로써 동시에 형성될 수 있다. 제1 도전층은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다. 제1 도전층은 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하나, 단층 또는 다층으로 두겹게 형성할 수 있는 다른 금속 물질을 포함할 수 있다.
- [0070] 다음으로, 도 13에 도시된 바와 같이, 기판(201) 상부에 제1절연막(203)을 형성하고, 제1절연막(203) 상부에 제2 마스크(미도시)를 이용한 마스크 공정에 의해 유기 발광 소자(EL)의 화소 전극(251), 구동 트랜지스터(TRd)의 게이트 전극(231), 스위칭 트랜지스터(TRs)의 게이트 전극(221) 및 커패시터(Cst)의 제2 커패시터 전극(243)을 형성한다. 제2 커패시터 전극(243)은 제1 커패시터 전극(241)과 중첩되는 영역을 갖는다.
- [0071] 제1절연막(203)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질, 또는 SiO₂, SiN_x, Al₂O₃, CuO_x, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있다. 또한 상기 제1절연막(203)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0072] 게이트 전극(221, 231), 제2 커패시터 전극(243), 및 화소 전극(251)은 제1절연막(203) 상부에 제2 도전층을 증착하고, 제2 도전층을 패터닝함으로써 동시에 형성될 수 있다. 제2 도전층은 ITO, IZO, ZnO, In₂O₃, IGO, 및 AZO를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 투명 도전층일 수 있다.
- [0073] 도 14를 참조하면, 제3 마스크(미도시)를 이용한 마스크 공정에 의해 게이트 전극(221, 231), 제2 커패시터 전극(243) 및 화소 전극(251) 상부에 활성층(222, 232)을 형성한다.
- [0074] 게이트 전극(221, 231), 제2 커패시터 전극(243), 및 화소 전극(251)이 형성된 기판(201) 상부에 제2절연막(204)과 산화물 반도체를 증착하고, 산화물 반도체를 패터닝하여 활성층(222, 232)을 형성한다.
- [0075] 제2절연막(204)은 게이트 절연막으로서 역할을 하며, SiN_x 또는 SiO_x 등과 같은 절연성 무기물로 형성될 수 있으며, 물론 이 외에도 절연성 유기물 등으로 형성될 수도 있다. 본 발명의 실시예는, 제1 도전층에 의해 형성되는 스캔 라인(SL)과 제2 도전층에 의해 형성되는 게이트 전극(221, 231)을 분리하여 형성함으로써, 게이트 전극(221, 231)이 저저항 배선인 스캔 라인(SL)과 분리되어 스캔 라인(SL)보다 얇게 형성될 수 있어, 제2절연막(204)의 두께도 얇게 형성될 수 있다. 이에 따라, 트랜지스터(TFT)의 사이즈를 줄일 수 있다.
- [0076] 활성층(222, 232)은 채널 영역, 소스 영역 및 드레인 영역을 제공하며, 채널 영역이 게이트 전극(221, 231)과 중첩되도록 배치된다. 산화물 반도체는 갈륨(Ga), 인듐(In), 스테늄(Sn), 지르코늄(Zr), 하프늄(Hf) 및 바나듐(V) 중 선택되는 적어도 하나 이상의 원소를 함유할 수 있다. 예를 들어, 상기 산화물 반도체로, ZnO, SnO₂, In₂O₃, Zn₂SnO₄, Ga₂O₃ 및 HfO₂를 포함하는 그룹으로부터 선택되는 적어도 하나를 포함할 수 있다. 또한 상기 활성층(222, 232)은 투명한 산화물 반도체로 형성될 수 있다. 투명한 산화물 반도체는, 예를 들어, Zinc Oxide, Tin Oxide, Ga-In-Zn Oxide, In-Zn Oxide, In-Sn Oxide 등을 포함할 수 있으며, 이에 한정되지 않는다.
- [0077] 도 15를 참조하면, 활성층(222, 232) 상부에 제3절연막(205)을 적층하고, 제4 마스크(미도시)를 이용한 마스크 공정에 의해 활성층(222, 232)의 소스 영역 및 드레인 영역의 일부를 노출하는 개구들(H5, H6) 및 화소 전극(251)의 일부를 노출하는 개구(H7)를 형성한다. 개구(H7)는 제2절연막(204)과 제3절연막(205)을 식각하여 형성

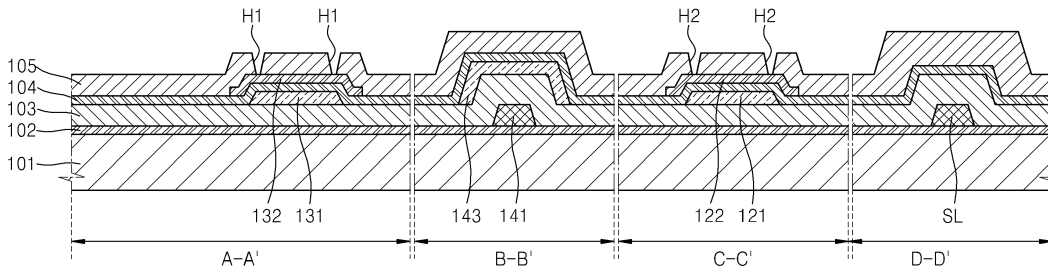
된다.

- [0078] 제3절연막(205)은 층간 절연막으로서 역할을 하며, SiNx 또는 SiOx 등과 같은 절연성 무기물로 형성될 수 있으며, 물론 이 외에도 절연성 유기물 등으로 형성될 수도 있다.
- [0079] 다음으로, 도 16을 참조하면, 구동 트랜지스터(TRd)의 소스 전극(233)과 드레인 전극(234), 스위칭 트랜지스터(TRs)의 소스 전극(223)과 드레인 전극(224), 커패시터(Cst)의 제3 커패시터 전극(245)을 제5 마스크(미도시)를 이용한 마스크 공정에 의해 형성한다.
- [0080] 제3절연막(205)의 개구들(H5, H6, H7)을 매립하며 제3절연막(205) 상부에 제3 도전층을 적층한다. 그리고, 제3 도전층을 패터닝하여 소스 전극(223, 233)과 드레인 전극(224, 234), 제3 커패시터 전극(245)을 형성한다. 이때 구동 트랜지스터(TRd)의 소스 전극(233)과 드레인 전극(234) 중 하나, 도 16의 실시예에서는 드레인 전극(234)이 화소 전극(251)의 일부와 접촉하도록 형성한다. 제3 도전층은 예를 들어, Cr, Pt, Ru, Au, Ag, Mo, Al, W, Cu 또는 AlNd와 같은 금속 또는 IT0, GIZO, GZO, AZO, IZO(InZnO) 또는 AZO(AlZnO)와 같은 금속 또는 전도성 산화물을 포함하고, 단일층 또는 복수층으로 적층할 수 있다.
- [0081] 한편, 도면에는 도시되지 않았으나, 소스 전극(223, 233) 및 드레인 전극(224, 234), 제3 커패시터 전극(245)을 형성할 때, 데이터 라인(DL)과 구동전압 라인(ELVDD)이 함께 형성될 수 있다.
- [0082] 이어서, 도 17을 참조하면, 소스 전극(223, 233) 및 드레인 전극(224, 234)과 제3 커패시터 전극(245)이 형성된 기판(201) 상에 제4절연막(206)을 적층하고, 제6 마스크(미도시)를 이용한 마스크 공정에 의해 제4절연막(206)에 화소 전극(251)의 일부를 노출하는 개구(H8)를 형성한다.
- [0083] 제4절연막(206)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질, 또는 SiO_2 , SiNx , Al_2O_3 , CuOx , Tb407, Y203, Nb205, Pr203 등에서 선택된 무기 절연 물질로 형성될 수 있다. 또한 상기 제4절연막(206)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 제4절연막(206)은 화소를 정의하는 화소정의막으로서 역할을 한다.
- [0084] 다음으로, 도 18에 도시된 바와 같이, 화소 전극(251)의 상부에 발광층을 포함하는 중간층(253)을 형성하고, 상기 중간층(253)을 덮도록 기판(201) 전면에 대향 전극(255)을 형성한다.
- [0085] 중간층(253)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 중간층(253)은 저분자 또는 고분자 유기물로 구비될 수 있다. 중간층(253)이 적색, 녹색, 청색의 각각의 빛을 방출하는 경우, 상기 발광층은 적색 부화소, 녹색 부화소 및 청색 부화소에 따라 각각 적색 발광층, 녹색 발광층 및 청색 발광층으로 패터닝될 수 있다. 한편, 중간층(253)이 백색광을 방출하는 경우, 상기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일층 구조를 가질 수 있다.
- [0086] 대향 전극(255)은 기판(201) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 발명의 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(251)은 애노드로 사용되고, 대향 전극(255)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0087] 본 발명의 실시예는 저저항 배선으로 형성되는 스캔 라인(SL)과 박막 트랜지스터(TFT)의 게이트 전극을 분리하여 절연막을 사이에 두고 서로 다른 층에 형성한다. 이 경우, 스캔 라인(SL)과 트랜지스터(TFT)의 게이트 전극을 모두 저저항 배선으로 형성하는 경우에 비해, 트랜지스터(TFT)의 게이트 전극을 상대적으로 얇게 형성할 수 있고, 이에 따라 게이트 전극과 활성층 사이의 게이트 절연막의 두께도 얇게 형성할 수 있다. 따라서, 스캔 라인의 RC 로드(load)를 줄이고 트랜지스터(TFT)의 사이즈를 줄일 수 있어 화소의 개구율을 증가시킬 수 있다. 또한, 본 발명의 실시예는 커패시터(Cst)가 제1 내지 제3 커패시터 전극에 의한 이중 커패시터를 형성함으로써 커패시터의 면적을 줄이면서 커패시턴스를 증가시킬 수 있다.
- [0088] 한편, 전술한 실시예들에서는 유기 발광 표시 장치를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 장치에서, 스캔 라인과 박막 트랜지스터의 게이트 전극을 분리하고, 스캔 라인을 형성하는 배선을 커패시터의 일 전극으로 구성하는 방법을 적용할 수 있음은 물론이다.
- [0089] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라

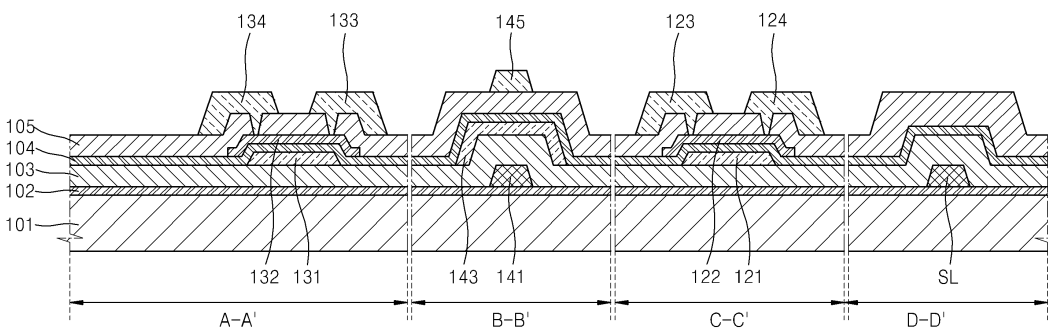
도면4



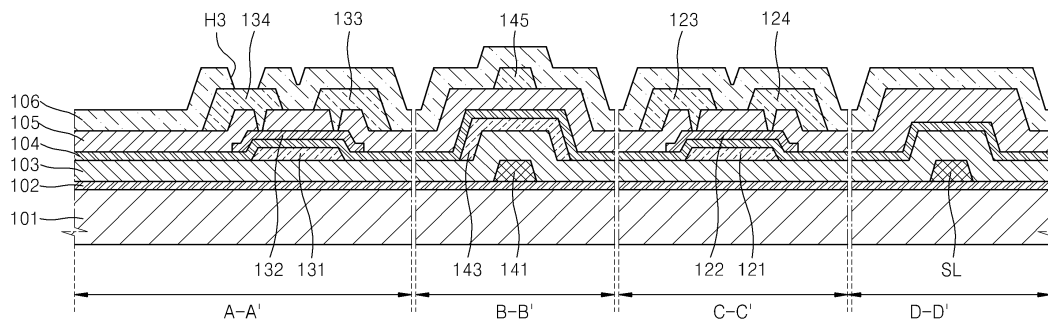
도면5



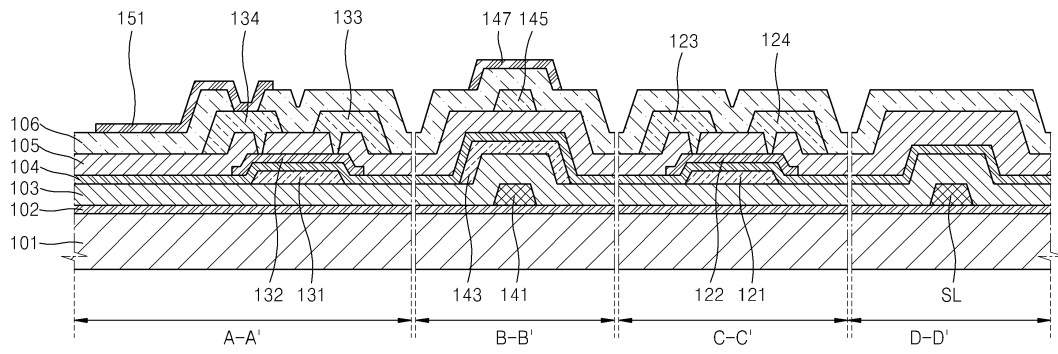
도면6



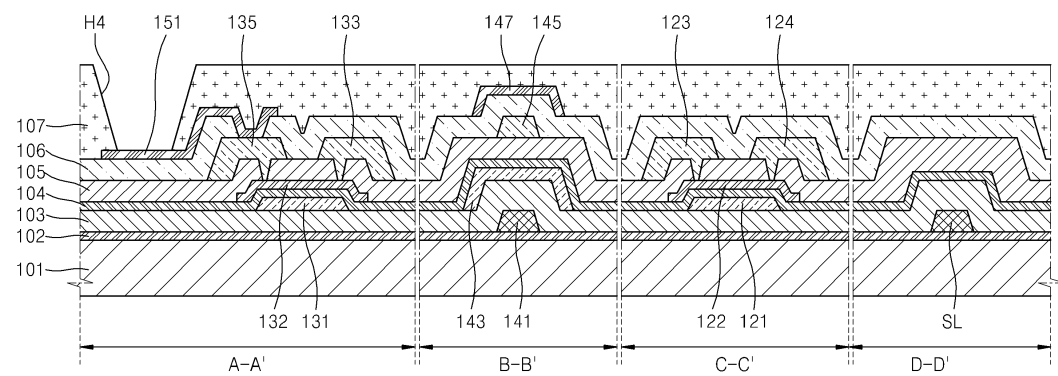
도면7



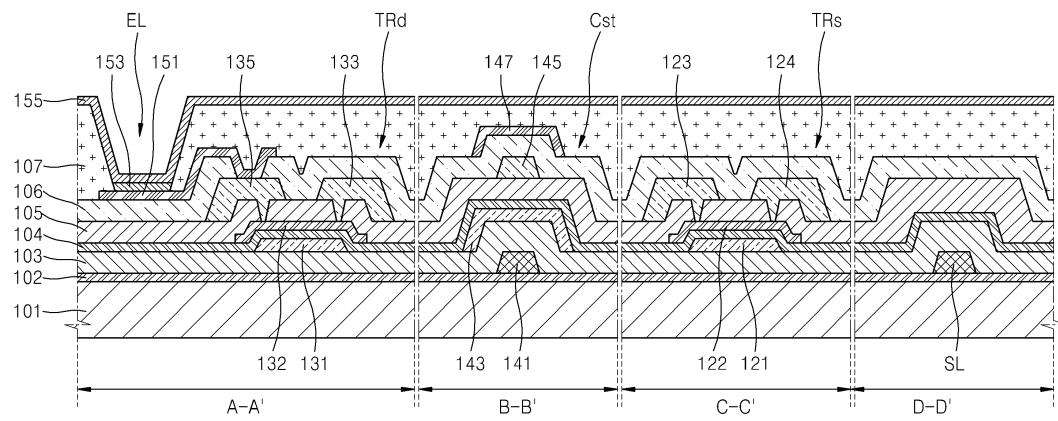
도면8



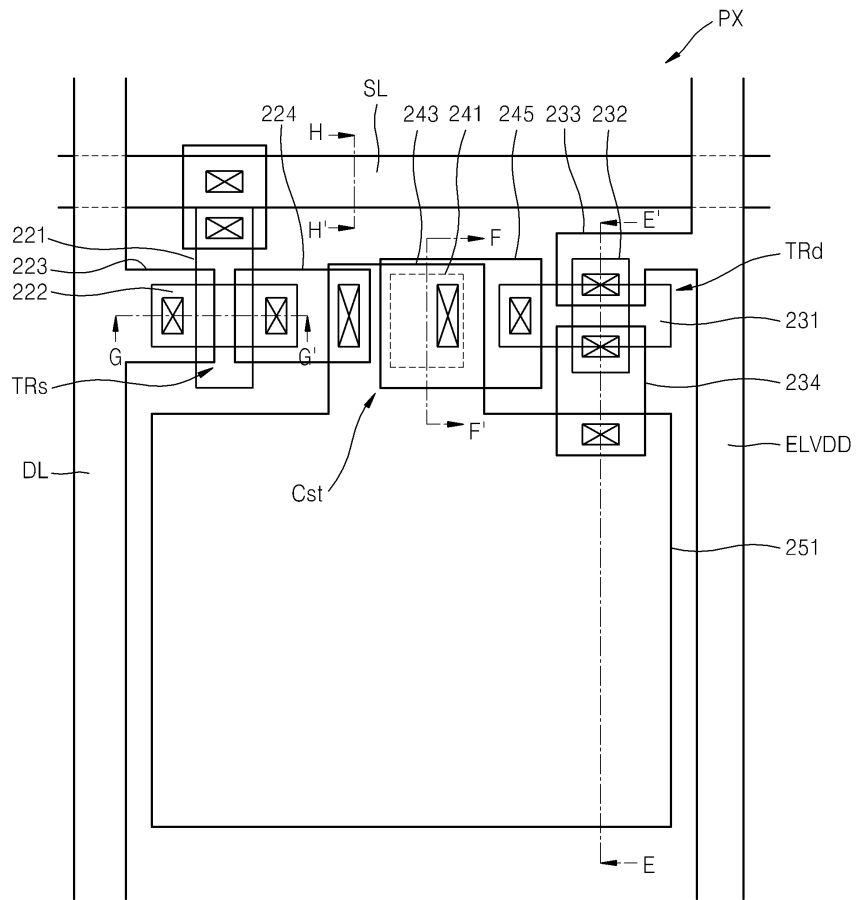
도면9



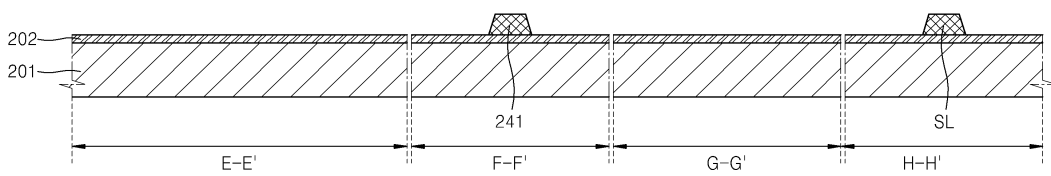
도면10



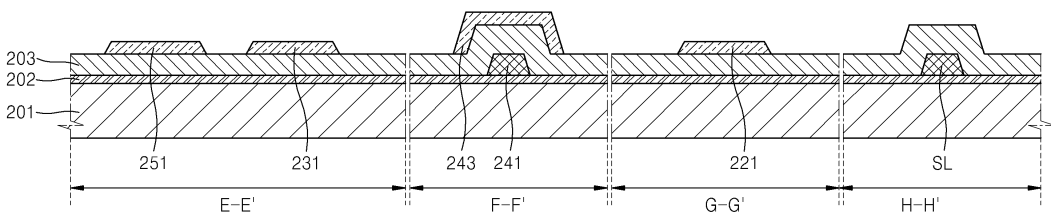
도면11



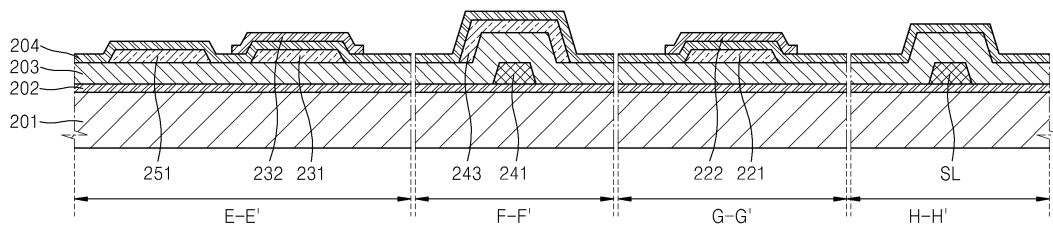
도면12



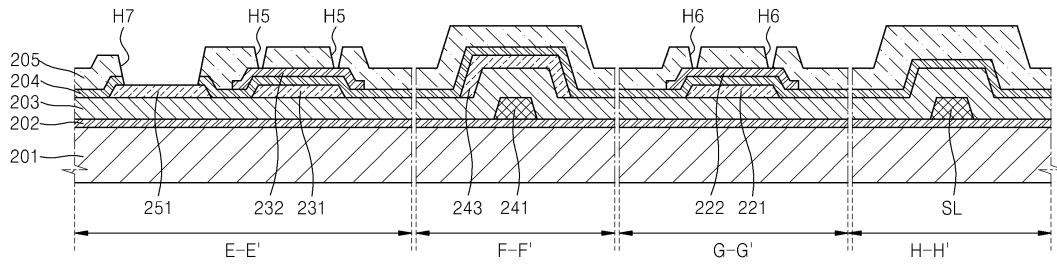
도면13



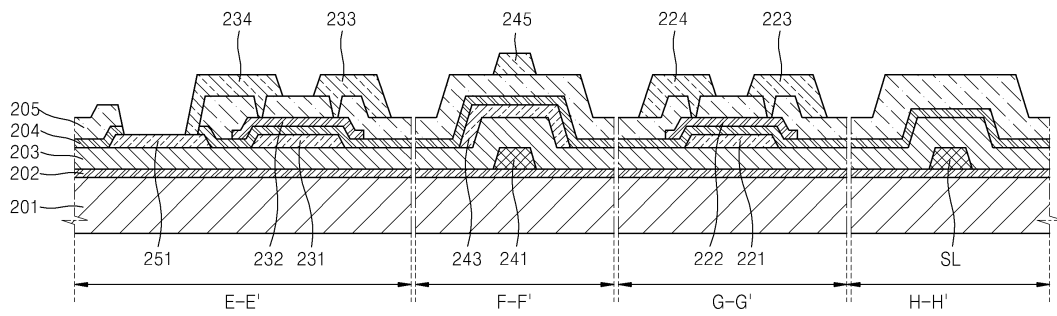
도면14



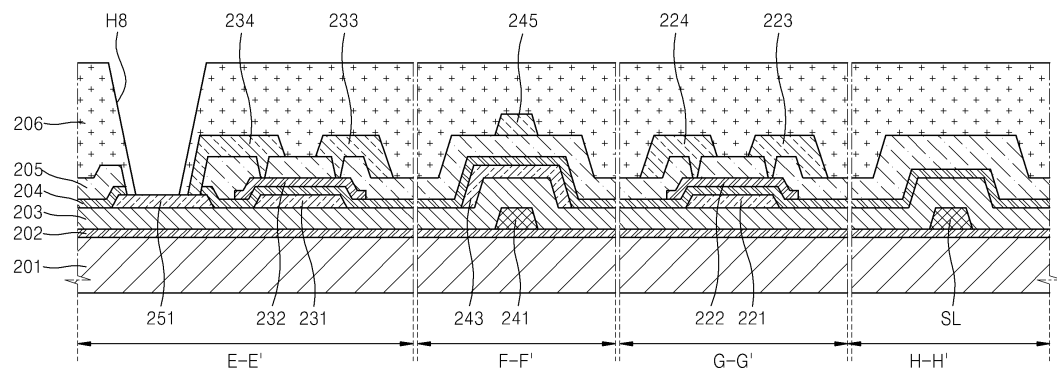
도면15



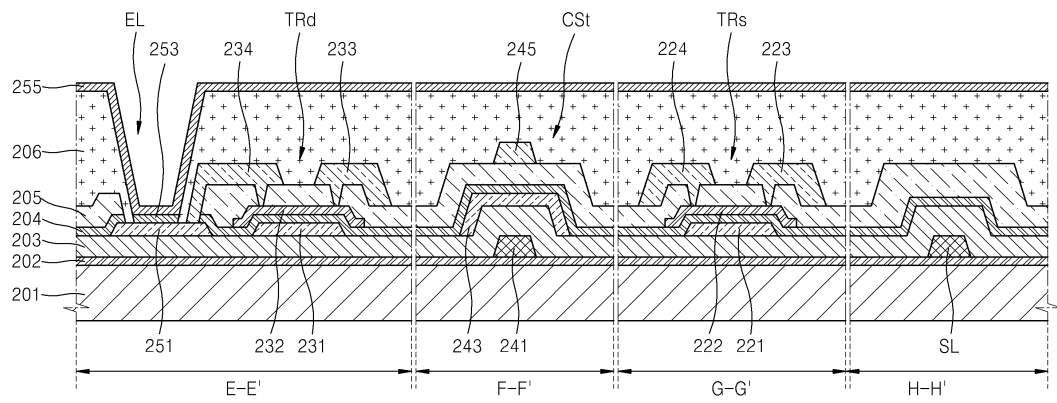
도면16



도면17



도면18



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR101962852B1	公开(公告)日	2019-03-28
申请号	KR1020120112084	申请日	2012-10-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	최천기		
发明人	최천기		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L51/5203 H01L27/1225 H01L27/1255 H01L27/3262 H01L27/3265 H01L27/3279 H01L2227/323		
审查员(译)	允我永		
其他公开文献	KR1020140045839A		
外部链接	Espacenet		

摘要(译)

有机发光显示装置可以包括多条扫描线，多条数据线以及位于扫描线和数据线的相交区域处的多个像素，其中，有机发光显示装置包括：薄膜晶体管，其特征在于，具有与扫描线不同的层上的栅极，位于该栅极上的活性层，与该活性层的源极和漏极区域相接的源极和漏极，以及具有第一电容器的电容器。与扫描线在同一层上的第二电极，在栅电极上的第二电容器电极和在与源极和漏极相同的层的第三电极。

