



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월22일
 (11) 등록번호 10-1443224
 (24) 등록일자 2014년09월16일

(51) 국제특허분류(Int. Cl.)
 G09G 3/30 (2006.01) H01L 29/786 (2006.01)
 H01L 51/50 (2006.01)
 (21) 출원번호 10-2012-7032679
 (22) 출원일자(국제) 2012년09월12일
 심사청구일자 2012년12월14일
 (85) 번역문제출일자 2012년12월13일
 (65) 공개번호 10-2013-0038872
 (43) 공개일자 2013년04월18일
 (86) 국제출원번호 PCT/CN2012/081304
 (87) 국제공개번호 WO 2013/037295
 국제공개일자 2013년03월21일
 (30) 우선권주장
 201110271117.X 2011년09월14일 중국(CN)
 (56) 선행기술조사문헌
 US20110050736 A1
 US20110122119 A1
 US20110095967 A1
 CN100949342 A
 전체 청구항 수 : 총 9 항

(73) 특허권자
 보에 테크놀로지 그룹 컴퍼니 리미티드
 중국 베이징 100016, 차오양 디스트릭트, 지우시
 양치아오 로드 10호
 (72) 발명자
 위 중위안
 중국 베이징 100176 비디에이 디저 로드 넘버 9
 (74) 대리인
 리엔목특허법인

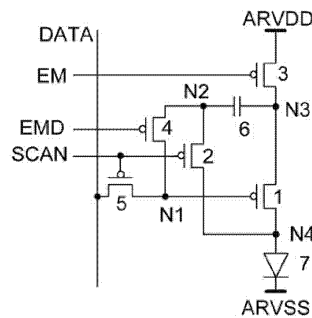
심사관 : 조기덕

(54) 발명의 명칭 **유기 발광 다이오드의 화소 구조 및 그것의 구동 방법**

(57) 요약

본 발명은 유기 발광 디스플레이 기기의 화소 구조 및 그것의 구동 방법을 제공한다. 상기 화소 구조는 제1 내지 제5 박막 트랜지스터들, 커패시터 및 OLED 기기를 포함하고, 상기 제1 박막 트랜지스터의 길이에 대한 폭의 비율은 상기 유기 발광 디스플레이 기기의 열화(degradation)로 인한 밝기 손실(brightness loss)을 보상하도록 설정된다. 다음 단계들은 이미지들의 각 프레임(frame)의 리프레시 프로세스(refresh process)에서 상기 화소 구조를 위해 수행되고: 프리차징 기간 동안, 스캔 라인 및 제1 제어 신호(EM)는 저 레벨에 있고, 제2 제어 신호(EMD)는 고 레벨에 있고; 보상 기간 동안, 상기 스캔 라인은 저 레벨에 있고, 상기 제1 제어 신호(EM) 및 상기 제2 제어 신호(EMD)는 고 레벨에 있고; 그리고 발광 기간 동안, 상기 스캔 라인은 고 레벨에 있고, 상기 제1 제어 신호(EM) 및 상기 제2 제어 신호(EMD)는 저 레벨에 있다.

대표도 - 도1a



특허청구의 범위

청구항 1

유기 발광 디스플레이 기기의 화소 구조로서, 제1 내지 제5 박막 트랜지스터들, 커패시터 및 유기 발광 디스플레이 기기를 포함하고,

상기 제1 박막 트랜지스터의 드레인은 상기 유기 발광 디스플레이 기기를 통해 백보드(backboard)의 음의 공급(negative supply)에 연결되고, 상기 제1 박막 트랜지스터의 소스는 상기 제3 박막 트랜지스터의 드레인에 연결되고, 그리고 상기 제3 박막 트랜지스터의 소스는 상기 백보드의 양의 전력 공급(positive power supply)에 연결되고;

상기 커패시터의 일단은 상기 제1 박막 트랜지스터 및 제3 박막 트랜지스터 사이에 연결되고, 그리고 상기 커패시터의 타단은 상기 제2 박막 트랜지스터의 소스 및 상기 제4 박막 트랜지스터의 소스에 연결되고;

상기 제2 박막 트랜지스터의 드레인은 상기 제1 박막 트랜지스터의 드레인 및 상기 유기 발광 디스플레이 기기에 연결되고;

상기 제4 박막 트랜지스터의 드레인은 상기 제5 박막 트랜지스터의 드레인 및 상기 제1 박막 트랜지스터의 게이트에 연결되고, 상기 제5 박막 트랜지스터의 소스는 데이터 라인에 연결되고, 그리고 상기 제5 박막 트랜지스터의 게이트 및 상기 제2 박막 트랜지스터의 게이트는 스캔 라인에 연결되고; 그리고

상기 제3 박막 트랜지스터의 게이트에 제1 제어 신호(EM)가 제공되고, 그리고 상기 제4 박막 트랜지스터의 게이트에 제2 제어 신호(EMD)가 제공되는, 화소 구조.

청구항 2

제1항에 있어서,

프리차징 기간(pre-charging period) 동안, 상기 스캔 라인상의 라인 스캐닝 전압(line scanning voltage) 및 상기 제1 제어 신호는 저 레벨(low level)에 있고, 그리고 상기 제2 제어 신호는 고 레벨(high level)에 있고;

상기 제4 박막 트랜지스터는 턴오프되고, 상기 제1, 제2, 제3 및 제5 박막 트랜지스터들은 턴온되고, 그리고 데이터 전압은 상기 제5 박막 트랜지스터를 통해 상기 제1 박막 트랜지스터의 상기 게이트에 전달되는, 화소 구조.

청구항 3

제2항에 있어서,

보상 기간(compensation period) 동안, 상기 스캔 라인상의 상기 라인 스캐닝 전압은 저 레벨에 있고, 그리고 상기 제1 제어 신호 및 상기 제2 제어 신호는 고 레벨에 있고;

상기 제3 및 제4 박막 트랜지스터들은 턴오프되고, 상기 제1, 제2 및 제5 박막 트랜지스터들은 턴온되고, 그리고 데이터 전압은 상기 제5 박막 트랜지스터를 통해 상기 제1 박막 트랜지스터의 상기 게이트에 전달되는, 화소 구조.

청구항 4

제3항에 있어서,

발광 기간(light emitting period) 동안, 상기 스캔 라인상의 상기 라인 스캐닝 전압은 고 레벨에 있고, 그리고 상기 제1 제어 신호 및 상기 제2 제어 신호는 저 레벨에 있고;

상기 제2 및 제5 박막 트랜지스터들은 턴오프되고, 그리고 상기 제1, 제3 및 제4 박막 트랜지스터들은 턴온되는, 화소 구조.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 프리차징 기간 및 상기 보상 기간 동안, 상기 데이터 라인상의 신호(DATA)는 실제(actual) 데이터 전압인, 화소 구조.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 내지 제5 박막 트랜지스터들은 저온 다결정 실리콘 박막 트랜지스터들(low temperature polycrystalline silicon thin film transistors)인, 화소 구조.

청구항 7

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 박막 트랜지스터의 길이에 대한 폭의 비율은 상기 유기 발광 디스플레이 기기의 열화(degradatation)로 인한 밝기 손실(brightness loss)을 보상하도록 설정되는, 화소 구조.

청구항 8

제1항의 화소 구조를 구동하기 위한 방법으로서, 상기 방법은 이미지의 각 프레임(frame)의 리프레시 프로세스(refresh process)에서 수행되는:

프리차징 기간 동안, 상기 스캔 라인 상의 라인 스캐닝 전압 및 제1 제어 신호(EM)는 저 레벨에 있고, 제2 제어 신호(EMD)는 고 레벨에 있어, 상기 제4 박막 트랜지스터는 턴오프되고, 그리고 상기 제1, 제2, 제3 및 제5 박막 트랜지스터들은 턴온되고;

보상 기간 동안, 상기 스캔 라인 상의 라인 스캐닝 전압은 저 레벨에 있고, 상기 제1 제어 신호(EM) 및 상기 제2 제어 신호(EMD)는 고 레벨에 있어, 상기 제3 및 제4 박막 트랜지스터들은 턴오프되고, 그리고 상기 제1, 제2 및 제5 박막 트랜지스터들은 턴온되고; 그리고

발광 기간 동안, 상기 스캔 라인 상의 라인 스캐닝 전압은 고 레벨에 있고, 상기 제1 제어 신호(EM) 및 상기 제2 제어 신호(EMD)는 저 레벨에 있어, 상기 제2 및 제5 박막 트랜지스터들은 턴오프되고, 그리고 상기 제1, 제3 및 제4 박막 트랜지스터들은 턴온되는 단계들을 포함하는 방법.

청구항 9

제8항에 있어서,

상기 프리차징 기간 및 상기 보상 기간 동안, 상기 데이터 라인상의 신호(DATA)는 실제 데이터 전압인 방법.

명세서

기술 분야

[0001] 본 발명은 유기 발광 디스플레이 기기(organic light emitting display device)의 화소 구조 및 그것의 구동 방법에 관한 것이다.

배경 기술

[0002] 전류-타입(current-type) 발광 기기로서 유기 발광 디스플레이 다이오드(Organic Light Emitting Display Diode; OLED)는 고성능을 가지는 디스플레이들에 더 널리 적용되었다. 디스플레이의 크기 증가와 함께, 전통적(traditional) 수동 매트릭스(passive matrix) OLED는 단일(single) 화소에 대해 더 짧은 드라이브 시간(drive time)을 요구하며, 따라서 순시 전류(instantaneous current)는 증가되어야만 하고, 이는 전력 소비를 증가시킨다. 더욱이, 큰 전류를 인가하는 것은 ITO 라인을 가로질러 너무 큰 전압 강하 및 너무 높은 OLED의 작동 전압(operation voltage)을 야기할 것이며, 결국 OLED의 효율이 감소할 것이다. 능동 매트릭스(Active Matrix) OLED(AMOLED) 기기의 적용은 그러한 문제를 잘 해결할 수 있는데, 그것은 스위치 트랜지스터들을 통하여 한줄씩(line-by-line) 스캐닝함으로써 OLED 전류를 입력하기 때문이다.

[0003] AMOLED의 백보드(backboard)를 위한 설계들에서, 해결될 주된 문제는 화소들 사이에서 밝기(brightness)의 불균

일성(non-uniformity)이다.

- [0004] 첫째로, 대부분의 AMOLED는 저온 다결정 실리콘 박막 트랜지스터(Low Temperature polycrystalline silicon Thin Film Transistor; LTPS TFT)를 이용함으로써 화소 회로를 구성하여, OLED 기기들에 상응하는 전류들을 제공한다. 일반적인 비정질(amorphous)-Si TFT와 비교해서, LTPS TFT는 더 높은 이동도(mobility)와 더 안정된 특징(steady character)을 가지며, AMOLED 디스플레이들에 적용되기에 더 적합하다. 그러나, 큰 영역을 가지는 유리 기판상에 형성되는 LTPS TFT는 결정화(crystallization) 프로세스에서의 제한으로 인해 문턱 전압, 이동도 등과 같은 전기적 파라미터들(electrical parameters)에 불균일성을 종종 가지고, 그리고 그러한 불균일성은 OLED 디스플레이 기기들의 전류 차이 및 밝기 차이를 유발할 것이고, 이는 인간의 눈에 감지될 수 있고, 즉 무라 현상(mura phenomenon)이 발생한다.
- [0005] 둘째로, 큰 크기를 가지는 디스플레이들의 적용에서, 백보드상의 전력 라인들은 어떤 저항(certain resistance)을 가지고, 그리고 모든 화소들에서 구동 전류들(driving currents)은 ARVDD에 의해 제공되고, 그러므로 ARVDD의 전력 공급 위치(power supplying position)에 가까운 영역들에서 전력 공급의 전압은 백보드의 전력 공급 위치로부터 멀리 떨어진 영역들에서의 것보다 더 높다. 이 현상은 저항 전압 강하(resistance voltage drop)(IR Drop)로 불린다. ARVDD의 전압은 전류에 관련되기 때문에, IR 강하(IR Drop)는 또한 다른 영역들에서 전류 차이들을 야기하고, 그리고 결국 무라(mura)가 디스플레이로 발생할 것이다.
- [0006] 셋째로, OLED 기기가 건조(evaporate)될 때, 필름(film)의 고르지 않은 두께(uneven thickness)는 전기적 성능들에서 불균일성을 또한 야기할 수 있다. 더욱이, 장시간 동안 작동한 후, 그것의 내부 전기적 성능들의 열화(degradation)는 증가된 문턱 전압을 초래할 수 있어, 발광의 효율이 낮고, 그리고 밝기가 떨어진다. 도 6a에 도시된 것과 같이, 사용 시간(usage time)이 증가함에 따라, OLED 기기의 밝기는 감소하고, 그리고 그것의 문턱 전압은 서서히 증가한다.
- [0007] OLED 기기의 열화를 보상하는 법은 최근에 중요한 사안이 되었는데, OLED의 열화는 장시간 동안 변하지 않는 화면들(unchanged pictures)을 디스플레이하는 영역들에서 잔상(Image Sticking)의 발생(occurrence)을 야기할 수 있기 때문이고, 이는 디스플레이 효과에 영향을 미친다.
- [0008] 도 6b, 6c에 도시된 것과 같이, OLED의 문턱 전압의 증가는 기본적으로 밝기 손실(brightness loss)과 선형(linear) 관계를 가지고, 그리고 OLED의 전류 및 밝기 사이의 관계는 또한 선형이다. 그러므로, OLED의 열화가 보상될 때, 밝기 손실을 보상하기 위해, OLED의 문턱 전압이 증가함에 따라 구동 전류를 선형적으로 증가시킬 수 있다.
- [0009] AMOLED는 구동 모드를 기반으로 3개의 종류들(classes)로 분할될 수 있다: 디지털 타입, 전류 타입 및 전압 타입. 디지털 타입의 구동 방법은 TFT들을 스위치들로 사용함으로써 그레이 스케일(grayscale) 레벨들을 실현하여 불균일성을 보상하지 않고 구동 시간(driving time)을 제어하나, 그것의 작동 주파수는 디스플레이 크기의 증가와 함께 두 배로 증가할 것이고, 이는 다량의 전력 소비를 초래하며 어떤(certain) 범위에서 설계의 물리적 한계에 도달할 것이고, 그러므로 이것은 큰 디스플레이 크기를 가지는 적용들에 적합하지 않다. 전류 타입의 구동 방법은 드라이브 트랜지스터에 직접 다른 전류들을 제공함으로써 그레이 스케일 레벨들을 실현하고, 그리고 그것은 TFT들의 불균일성 및 IR 강하를 잘 보상할 수 있으나, 작은 전류가 데이터 라인상의 큰 기생(parasitic) 커패시턴스를 충전하면 너무 긴 기입되는 시간(written time)이 발생할 것이고, 그리고 그러한 문제는 대형 디스플레이에서 극복되기에 특별히 심각하고 어렵다. 전압 타입의 구동 방법은 AMLCD에 대한 전통적 구동 방법과 유사하며 구동 IC에 의해 그레이 스케일 레벨을 나타내는 전압 신호를 제공하고, 그리고 전압 신호는 화소 회로 내부의 드라이브 트랜지스터의 전류 신호로 변환될 것이어서, OLED는 밝기를 표시하는 그레이 스케일을 실현하도록 구동된다. 그러므로, 전압 타입의 구동 방법은 그것의 빠른 구동 속력 및 간단한 구현 때문에 산업에서 널리 사용되며, 대형 패널(panel)을 구동하기에 적합하나, TFT들의 불균일성 및 IR 강하는 추가로 설계되는 다른 TFT들 및 커패시터들에 의해 보상되어야만 한다.
- [0010] 도 7은 전압 구동 타입의 전통적 화소 회로 구조로, 2 TFT들 및 1 커패시터(2T1C)를 포함한다. 스위칭(switching) 트랜지스터(T2)는 데이터 라인상의 전압을 구동 트랜지스터(T1)의 게이트로 전달하고, 그리고 구동 트랜지스터(T1)는 데이터 전압을 OLED 기기에 공급하기 위한 상응하는 전류로 변환한다. 정상적인(normal) 작동에서, 구동 트랜지스터는 포화(saturation) 영역에서 작동하며, 하나의 라인을 스캐닝(scanning)하기 위한 기간 동안 일정한(constant) 전류를 제공한다. 다음 수학적 1에서 보이는 것과 같이, 구동 전류는 다음과 같이 표현된다:

수학식 1

$$I_{OLED} = \frac{1}{2} \mu_P \cdot Cox \cdot \frac{W}{L} \cdot (Vdata - ARVDD - V_{TH})^2$$

[0011]

[0012]

μ_P 는 캐리어 이동도(carrier mobility)를 의미하고, C_{ox} 는 게이트 산화물층 커패시턴스(gate oxide layer capacitance)를 의미하고, W/L 는 트랜지스터의 길이에 대한 폭의 비율을 의미하고, $Vdata$ 는 데이터 전압을 의미하고, $ARVDD$ 는 모든 화소 유닛들(pixel units)에 의해 공유되는 AMOLED의 백보드 전력 공급을 의미하고, 그리고 V_{th} 는 트랜지스터의 문턱 전압을 의미한다. 만일 다른 화소 유닛들 사이에서 V_{th} 가 다르면, 전류에서 변화가 발생함을 위 수학식으로부터 알 수 있다. 더욱이, OLED 기기의 열화와 함께, 일정한 전류가 제공되더라도 OLED의 밝기는 감소할 것이다.

[0013]

문헌 [1]은 도 8에 도시된 것과 같이 V_{th} 의 불균일성 및 IR 강하를 보상할 수 있는 화소 구조 및 그것의 제어 타이밍을 개시한다. 도 8의 구조는 V_{th} 의 불균일성과 IR 강하 및 OLED의 열화로 인한 효과들을 보상할 수 있으나, 그것은 전류 타입의 구동 방법에 채택되기 때문에, 그것은 대형 패널에 대한 적용에 적합하지 않다.

[0014]

이전에-서술된 문제들을 해결하기 위한 유효한 수단[즉, OLED 기기의 열화, TFT들에서 문턱 전압의 불균일성 및 백보드 전력 공급의 전압 강하(IR 강하)에 의해 야기되는 휘도(luminance) 불균일성을 보상하는 법]이 종래 기술에서 제안되지 않음을 알 수 있다.

[0015]

참고 문헌

[0016]

[1] "Current programming pixel circuit and data-driver design for active-matrix organic light-emitting diodes", Journal of the Society for Information Display 12 (2004) 227

발명의 내용

[0017]

본 발명의 실시예들은 유기 발광 디스플레이 기기(OLED)의 향상된 화소 구조를 제공한다. 화소 구조는 OLED 기기를 통하여 흐르는 구동 전류가 박막 트랜지스터의 문턱 전압 및 백보드의 전력 공급과 관계없도록 할 수 있고, 따라서 구동 TFT의 문턱 전압에서의 불균일성 및 백보드의 전력 공급의 전압 강하(IR 강하)로 인한 고르지 않은 휘도의 문제가 제거된다.

[0018]

본 발명의 일 실시예에 따르면, 화소 구조는 제1 내지 제5 박막 트랜지스터들, 커패시터 및 OLED 기기를 포함하고, 상기 제1 박막 트랜지스터의 드레인은 상기 OLED 기기를 통해 음의 전력 공급(negative power supply)에 연결되고, 상기 제1 박막 트랜지스터의 소스는 상기 제3 박막 트랜지스터의 드레인에 연결되고, 그리고 상기 제3 박막 트랜지스터의 소스는 양의 전력 공급(positive power supply)에 연결되고; 상기 커패시터의 일단은 상기 제1 및 제3 박막 트랜지스터들 사이의 제3 노드(N3)에 연결되고, 그리고 상기 커패시터의 타단은 상기 제2 박막 트랜지스터의 소스 및 상기 제4 박막 트랜지스터의 소스 사이의 제2 노드(N2)에 연결되고; 상기 제2 박막 트랜지스터의 드레인은 상기 제1 박막 트랜지스터 및 상기 OLED 기기 사이의 제4 노드(N4)에 연결되고, 상기 제4 박막 트랜지스터의 드레인은 상기 제5 박막 트랜지스터의 드레인 및 상기 제1 박막 트랜지스터의 게이트 사이의 제1 노드(N1)에 연결되고, 상기 제5 박막 트랜지스터의 소스는 데이터 라인에 연결되고, 그리고 상기 제5 박막 트랜지스터의 게이트 및 상기 제2 박막 트랜지스터의 게이트는 스캔 라인에 연결되고; 그리고 상기 제3 박막 트랜지스터의 게이트에 제1 제어 신호(EM)가 제공되고, 그리고 상기 제4 박막 트랜지스터의 게이트에 제2 제어 신호(EMD)가 제공된다.

[0019]

본 발명의 일 실시예에 따르면, 예를 들어 상기 화소 구조에 대해, 프리차징 기간(pre-charging period) 동안, 상기 스캔 라인상의 라인 스캐닝 전압(line scanning voltage) 및 상기 제1 제어 신호는 저 레벨(low level)에 있고, 그리고 상기 제2 제어 신호는 고 레벨(high level)에 있고; 상기 제4 박막 트랜지스터는 턴오프되고, 상기 제1, 제2, 제3 및 제5 박막 트랜지스터들은 턴온되고, 그리고 데이터 전압은 상기 제5 박막 트랜지스터를 통해 상기 제1 박막 트랜지스터의 상기 게이트에 전달된다.

[0020]

본 발명의 일 실시예에 따르면, 예를 들어 상기 화소 구조에 대해, 보상 기간(compensation period) 동안, 상기

스캔 라인상의 라인 스캐닝 전압은 저 레벨에 있고, 그리고 상기 제1 제어 신호 및 상기 제2 제어 신호는 고 레벨에 있고; 상기 제3 및 제4 박막 트랜지스터들은 턴오프되고, 상기 제1, 제2 및 제5 박막 트랜지스터들은 턴온되고, 그리고 데이터 전압은 상기 제5 박막 트랜지스터를 통해 상기 제1 박막 트랜지스터의 상기 게이트에 전달된다.

- [0021] 본 발명의 일 실시예에 따르면, 예를 들어 상기 화소 구조에 대해, 발광 기간(light emitting period) 동안, 상기 스캔 라인상의 라인 스캐닝 전압은 고 레벨에 있고, 그리고 상기 제1 제어 신호 및 상기 제2 제어 신호는 저 레벨에 있고; 상기 제2 및 제5 박막 트랜지스터들은 턴오프되고, 그리고 상기 제1, 제3 및 제4 박막 트랜지스터들은 턴온된다.
- [0022] 본 발명의 일 실시예에 따르면, 예를 들어 상기 화소 구조에 대해, 상기 프리차징 기간 및 상기 보상 기간 동안, 상기 데이터 라인상의 상기 신호(DATA)는 실제(actual) 데이터 전압이다.
- [0023] 본 발명의 일 실시예에 따르면, 예를 들어, 상기 화소 구조에서 상기 제1 내지 제5 박막 트랜지스터들은 저온 다결정 실리콘 박막 트랜지스터들(low temperature polycrystalline silicon thin film transistors)이다.
- [0024] 본 발명의 일 실시예에 따르면, 예를 들어, 상기 화소 구조에서 상기 제1 박막 트랜지스터의 길이에 대한 폭의 비율은 상기 OLED 기기의 열화(degradation)로 인한 밝기 손실(brightness loss)을 보상하도록 설정된다.
- [0025] 본 발명의 일 실시예에 따르면, 위에서-서술된 화소 구조를 구동하기 위한 방법이 더 제공되고, 상기 방법은 이미지의 각 프레임(frame)의 리프레시 프로세스(refresh process)에서 수행되는: 프리차징 기간 동안, 상기 스캔 라인 및 제1 제어 신호(EM)는 저 레벨에 있고, 그리고 제2 제어 신호(EMD)는 고 레벨에 있어, 제4 박막 트랜지스터는 턴오프되고, 그리고 제1, 제2, 제3 및 제5 박막 트랜지스터들은 턴온되고; 보상 기간 동안, 상기 스캔 라인은 저 레벨에 있고, 그리고 상기 제1 제어 신호(EM) 및 상기 제2 제어 신호(EMD)는 고 레벨에 있어, 상기 제3 및 제4 박막 트랜지스터들은 턴오프되고, 그리고 상기 제1, 제2 및 제5 박막 트랜지스터들은 턴온되고; 그리고 발광 기간 동안, 상기 스캔 라인은 고 레벨에 있고, 상기 제1 제어 신호(EM) 및 상기 제2 제어 신호(EMD)는 저 레벨에 있어, 상기 제2 및 제5 박막 트랜지스터들은 턴오프되고, 그리고 상기 제1, 제3 및 제4 박막 트랜지스터들은 턴온되는 단계들을 포함한다.
- [0026] 위에서-서술된 AMOLED의 향상된 화소 구조 및 그것의 구동 방법으로, 그것은 OLED 기기의 열화, 구동 TFT의 문턱 전압에서의 불균일성 및 백보드의 전력 공급의 전압 강하를 효과적으로 보상할 수 있고, 따라서 디스플레이 효과 및 전력 소비가 더 향상된다.

도면의 간단한 설명

- [0027] 아래에서 첨부된 도면들과 관련하여 본 발명의 실시예들을 상세하게 서술할 것이고:
 - 도 1a는 본 발명의 화소 구조를 보여 주고;
 - 도 1b는 도 1a에 도시된 화소 구조의 제어 타이밍(control timing) 보여 주고;
 - 도 2a 내지 도 2c는 3개의 다른 기간들(periods) 동안 도 1의 화소 구조의 회로 상태들(circuit states)을 보여 주고;
 - 도 3은 TFT 구동 트랜지스터에서 문턱 전압의 균일성(uniformity) 보상에 대해 고무되는 그래프를 보여 주고;
 - 도 4는 백보드에서의 전력 공급의 전압 강하의 보상에 대해 고무되는 그래프를 보여 주고;
 - 도 5는 OLED 기기의 열화의 보상에 대해 고무되는 그래프를 보여 주고;
 - 도 6a-c는 사용 시간(usage time)이 증가함에 따라 밝기 및 OLED 기기의 문턱 전압에서의 변화(variation)를 나타내는 그래프를 보여 주고;
 - 도 7은 전통적(traditional) 화소 구조의 회로도들을 보여 주고; 그리고
 - 도 8a-c는 참고 문헌 1에서의 화소 보상 회로도 및 제어 타이밍도를 보여 준다.

발명을 실시하기 위한 구체적인 내용

- [0028] 도 1a에 도시된 것과 같이, 화소 회로 구조는 P-타입 TFT 트랜지스터들(1 내지 5), 커패시터(6) 및 OLED(7)를 포함하고, ARVDD 및 ARVSS는 각기 백보드 직류(backboard direct current) 양의 레벨(positive level) 및 음의

레벨(negative level)이고, DATA는 데이터 전압 신호이고, SCAN은 라인 스캐닝(line scanning) 전압 신호이고, EM 및 EMD는 제어 신호들이다. 흔히(commonly), 동일한 로(row)에 있는 화소 유닛들(pixel units)은 SCAN 및 EN, END 제어 신호들을 공유하고, 그리고 동일한 칼럼(column)에 있는 화소 유닛들은 DATA 데이터 전압 신호를 공유한다. 본 발명에 따른 화소 회로 구조에서, 제1 박막 트랜지스터(1)의 드레인(drain)은 OLED 기기를 통해 백보드의 음의 레벨에 연결되고, 그리고 제1 박막 트랜지스터(1)의 소스(source)는 제3 박막 트랜지스터(3)의 드레인에 연결되고; 제3 박막 트랜지스터(3)의 소스는 백보드의 양의 레벨에 연결되고; 커패시터(6)의 일단(one end)은 제1 박막 트랜지스터(1) 및 제3 박막 트랜지스터들(3) 사이(즉, 노드 N3)에 연결되고, 커패시터(6)의 타단(other end)은 제2 박막 트랜지스터(2)의 소스 및 제4 박막 트랜지스터(4)의 소스(즉, 노드 N2)에 연결되고; 제2 박막 트랜지스터(2)의 드레인은 제1 박막 트랜지스터(1)의 드레인 및 OLED 기기(7)(즉, 노드 N4)에 연결되고; 제4 박막 트랜지스터(4)의 드레인은 제5 박막 트랜지스터(5)의 드레인 및 제1 박막 트랜지스터(1)의 게이트(즉, 노드 N1)에 연결되고, 제5 박막 트랜지스터(5)의 소스는 데이터 라인에 연결되고, 제5 박막 트랜지스터(5)의 게이트 및 제2 박막 트랜지스터(2)의 게이트는 스캔 라인에 연결되고; 제1 제어 신호(EM)는 제3 박막 트랜지스터의 게이트에 제공되고, 그리고 제2 제어 신호(EMD)는 제4 박막 트랜지스터의 게이트에 제공된다.

[0029] 화소 회로의 작동 프로세스(operation process)는 3개의 시기들(stages), 즉 프리차징(pre-charging), 보상(compensation) 및 발광(light emitting)으로 분할되고, 그것의 제어 신호 타이밍(timing)은 도 1b에 도시된 것과 같다.

[0030] 도 2a에 도시된 것과 같이, 제1 시기는 프리차징 시기이다. 이 시기 동안, SCAN 및 EM은 저(low) 레벨에 있고, EMD는 고(high) 레벨에 있고, 그리고 DATA는 실제(actual) 데이터 전압에 있다. 이때에, 트랜지스터(4)는 턴오프(turn off)되고, 트랜지스터들(1, 2, 3 및 5)은 턴온(turn on)되고, 그리고 데이터 전압은 트랜지스터(5)를 통해 트랜지스터(1)의 게이트상의 제1 노드(N1)에 전달된다. 제3 노드(N3)는 트랜지스터(3)를 통해 ARVDD에 연결되고, 그리고 그것의 전위(potential)는 ARVDD이다. 제4 노드(N4)에서 전압은 ARVSS 더하기 OLED 구동 전압(driving voltage)이다. 트랜지스터(2)가 턴온되기 때문에, 여기 커패시터(6)는 제3 노드(N3) 및 제4 노드(N4) 사이에 연결되는 것과 등가이다. 프리차징의 기능은 제3 노드(N3)가 고 전위에 미리(in advance) 도달하도록 만드는 것이고, 그래서 트랜지스터(1)는 제2 시기의 보상 프로세스 동안 적절한(appropriate) 초기 전압을 성립(establish)시킬 수 있다.

[0031] 도 2b에 도시된 것과 같이, 제2 시기는 보상 시기이다. 이 시기에, SCAN은 저 레벨에 있고, EM 및 EMD는 고 레벨에 있고, 그리고 Vdata는 실제 데이터 전압이다. 이때에, 트랜지스터들(3, 4)은 턴오프되고, 그리고 트랜지스터들(1, 2 및 5)은 턴온된다. 데이터 전압은 트랜지스터(5)를 통해 제1 노드(N1)에 전달된다. EM이 고 레벨로 변하기 전에 제3 노드(N3)는 트랜지스터(3)를 통해 ARVDD에 연결되기 때문에, 턴오프되는 순간에 제3 노드(N3)의 초기 전압은 고 레벨 ARVDD이고; 트랜지스터(3)가 턴오프된 후, 제3 노드(N3)는 플로팅 상태(floating state)에 있고, 그리고 트랜지스터(1)는 턴온되고, 제3 노드(N3)는 ARVSS로 방전(discharge)하며, 그러므로 제3 노드(N3)에서의 전위는 트랜지스터(1)가 임계 컷오프 영역(critical cutoff area)에 위치할 때까지 서서히 강하(drop)할 수 있다. 이때에, 제3 노드(N3)에서의 전압은 VDATA-VTH이고, VTH는 트랜지스터(1)의 문턱 전압(threshold voltage)이다. 이 과정에서, 트랜지스터(1)가 턴오프되며 전류가 제로(zero)가 될 때까지, 트랜지스터(1) 및 OLED를 통하여 흐르는 전류가 감소하는 것과 함께 제4 노드(N4)에서의 전위가 줄 수 있다. 이때에, 제4 노드(N4)에서의 전압은 V_{OLED_0} 이고, 즉 OLED(7)의 문턱 전압이다. 따라서, $(V_{DATA}-V_{TH}-V_{OLED_0}) \cdot C$ 의 전하들(charges)이 커패시터(6)에 저장된다.

[0032] 도 2c에 도시된 것과 같이, 제3 시기는 발광 시기이다. 이 시기에, SCAN은 고 레벨에 있고, EM, EMD는 저 레벨에 있고, 그리고 이때에 트랜지스터들(2, 5)은 턴오프되고, 트랜지스터들(1, 3, 4)은 턴온된다. 제3 노드(N3)는 트랜지스터(3)를 통해 ARVDD와 연결되고, 그리고 그것의 전위는 ARVDD로 변한다. 트랜지스터(5)가 턴오프되고, 그리고 직류 경로(path)가 제1 노드(N1)에 대해 존재하지 않기 때문에, 이 노드에서 전하들의 총량은 다음 수학적 식 2로 나타난 것과 같이, 제2 시기에서의 것과 비교해서 계속 변하지 않는다.

수학적 식 2

[0033]
$$(V_{DATA} - V_{TH} - V_{OLED_0}) \cdot C = (ARVDD - V_{N1}) \cdot C$$

[0034] 계산에 의해, 다음 수학적식을 얻을 수 있다.

수학적식 3

$$V_{NI} = ARVDD - V_{DATA} + V_{TH} + V_{OLED_0}$$

[0035]

[0036] 이때에, 트랜지스터(1)을 통하여 흐르는 전류는 다음 수학적식이 된다.

수학적식 4

$$I_{OLED} = \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot (ARVDD - V_{DATA} + V_{TH} + V_{OLED_0} - ARVDD - V_{TH})^2$$

$$= \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}]^2$$

[0037]

[0038] 위 수학적식 4에 의해 알 수 있는 것과 같이, 전류는 문턱 전압 및 ARVDD와 관계없고, 그러므로 문턱 전압들에서의 불균일성(non-uniformity) 및 IR 강하(drop)의 영향들은 실질적으로 제거된다. 도 3은 문턱 전압들에서 불균일성에 대한 보상의 시뮬레이션 결과를 보여 준다. 어떤 보상이 없는 전통적 구조에 대해, 문턱 전압이 ±0.6V 드리프트할 때, 전류의 최대 드리프팅(drifting)은 1.8배 이상까지 될 수 있고, 반면 본 발명의 구조에서, 전류 변동(fluctuation)은 3%보다 작다. 도 4는 IR 강하(IR Drop)에 대한 보상의 시뮬레이션 결과를 보여 준다. 어떤 보상이 없는 전통적 구조에 대해, ARVDD의 전압 강하가 ±0.5V 드리프트할 때, 전류의 최대 드리프팅은 81%까지이고, 반면 본 발명의 구조에서, 전류 변동은 3.4%보다 작다.

[0039] 한편, I_{oled} 전류는 OLED의 문턱 전압(V_{OLED_0})에 상관되고(correlated), 그러므로 그것은 OLED의 열화(degradation)로 인한 밝기(brightness) 손실(loss)을 보상할 수 있다. OLED가 열화되면, V_{OLED_0}는 서서히 증가할 수 있고, 그리고 발광의 효율은 감소할 수 있고, 그리고 그것은 동일한 밝기를 유지하기 위해 더 큰 전류를 제공하는 제1 박막 트랜지스터(드라이브(drive) 트랜지스터)(1)를 필요로 한다. 그러나, 실제 적용(application)에서, 만일 V_{data}<0이고 V_{data}<V_{OLED_0}이면, |V_{data}-V_{OLED_0}|는 V_{OLED_0}가 증가함에 따라 증가할 수 있고, 이는 I_{oled}를 증가시켜 OLED의 밝기 손실을 보상한다.

[0040] 그것은 테일러 급수(Taylor series)의 확장(expansion)으로부터 알 수 있고, 만일 문턱 전압이 드리프트하면, 드리프트된 문턱 전압은

[0041] V'_{OLED_0}=V_{OLED_0}+ΔV_{OLED_0}로 표현될 수 있고, 그러면 ΔV_{OLED_0}에 관한 I_{oled}의 1차 근사 확장(1-order approximate expansion)은 다음과 같다:

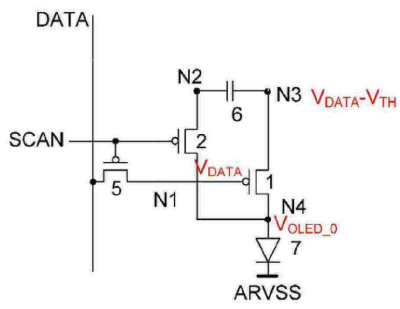
수학적식 5

$$I_{OLED} = \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}]^2 + \mu_p \cdot Cox \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}] \cdot \Delta V_{OLED_0}$$

[0042]

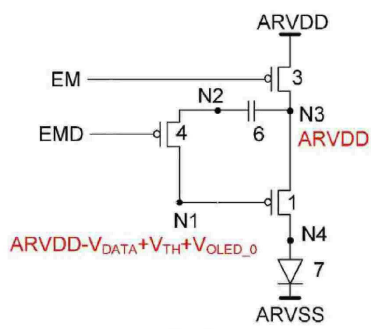
[0043] I_{oled}는 ΔV_{OLED_0}에 대해 선형(linear)이고, 그러므로 I_{oled} 커브(curve)의 기울기(slope)는 OLED 열화의 측정(measurement) 결과에 따라 제1 박막 트랜지스터(1)의 길이(length)에 대한 폭(width)의 비율(ratio)을 설정함에 의해 조정될 수 있어, I_{oled} 커브는 밝기-ΔV_{OLED_0} 커브를 보완(complement)하여 OLED 열화로 인한 밝기 손실을 보상한다. 도 5는 OLED 열화에 대한 보상의 시뮬레이션 결과를 보여 준다. 어떤 보상이 없는 전통적 구조에 대해, OLED이 문턱 전압이 0~0.8V 드리프트할 때, 전류는 완만하게 주는 경향이 있고, 이는 밝기의 강하를

도면2b



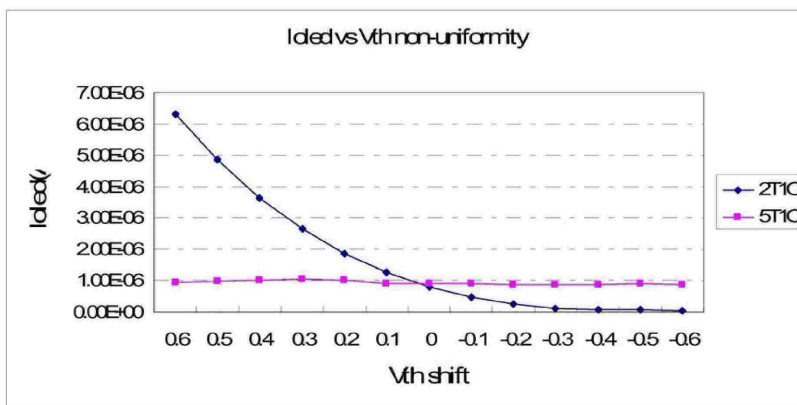
(b) 보상

도면2c

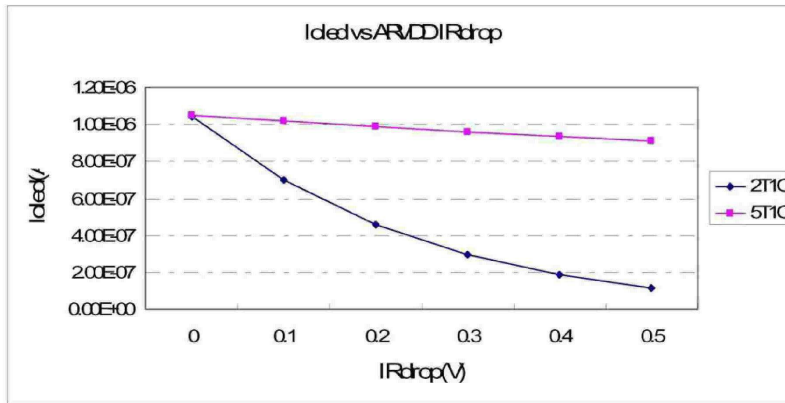


(c) 발광

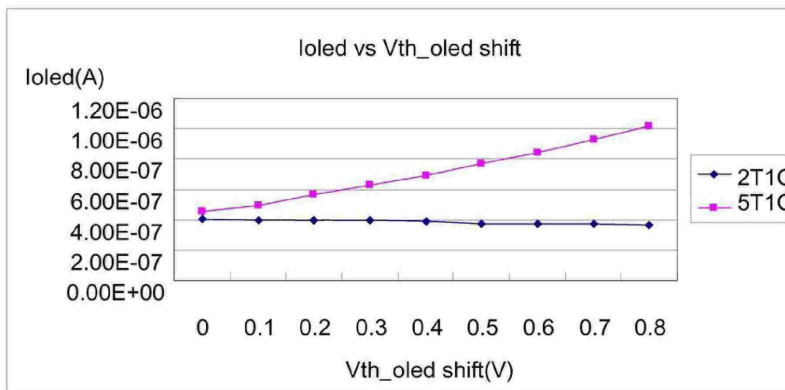
도면3



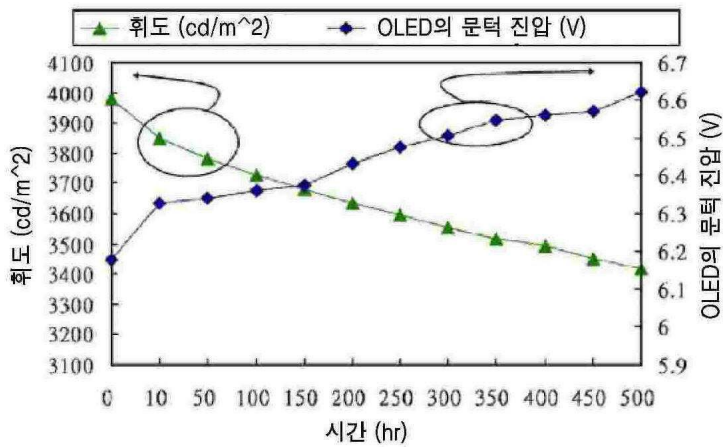
도면4



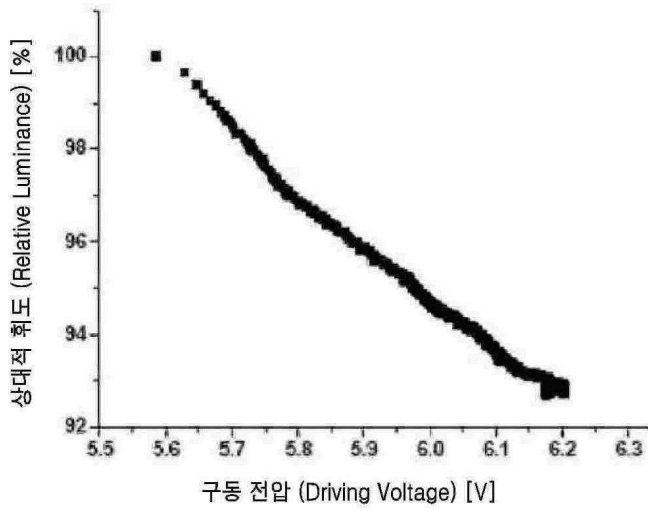
도면5



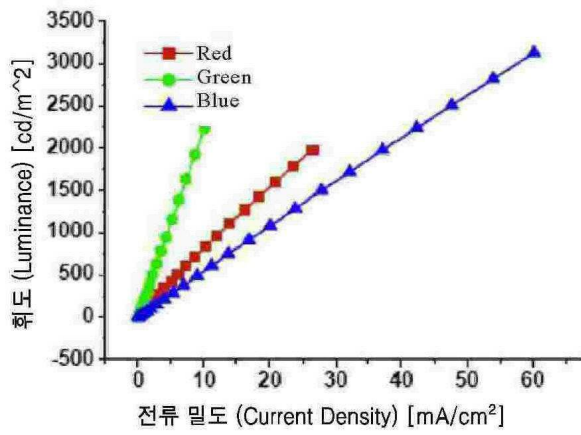
도면6a



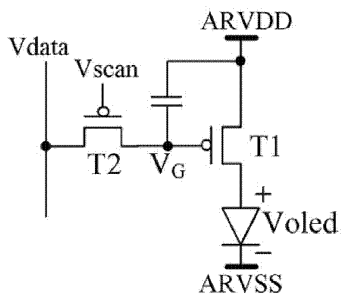
도면6b



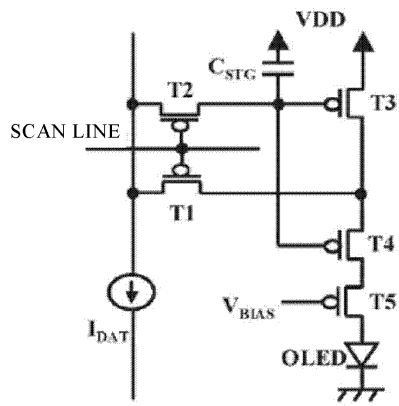
도면6c



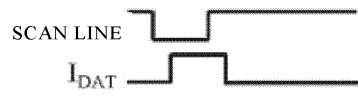
도면7



도면8a



도면8b



专利名称(译)	有机发光二极管的像素结构及其驱动方法		
公开(公告)号	KR101443224B1	公开(公告)日	2014-09-22
申请号	KR1020127032679	申请日	2012-09-12
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	博科技集团股份有限公司		
当前申请(专利权)人(译)	博科技集团股份有限公司		
[标]发明人	WU ZHONGYUAN		
发明人	위종위안		
IPC分类号	G09G3/30 H01L51/50 H01L29/786		
CPC分类号	G09G3/3233 G09G3/02 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2320/0223 G09G2320/043 G09G2300/0861		
优先权	201110271117.X 2011-09-14 CN		
其他公开文献	KR1020130038872A		
外部链接	Espacenet		

摘要(译)

本发明提供有机发光显示器件的像素结构及其驱动方法。像素结构包括第一至第五薄膜晶体管，以及电容器和OLED器件，并且它被设置成使得围绕薄膜晶体管的长度的宽度的速率补偿由于劣化（劣化）引起的亮度损失。有机发光显示器的一部分。在接下来的步骤中是图像的每帧的刷新过程，对像素结构执行：扫描线和第一控制信号（EM）在预充电时段和第二控制信号中处于低电平（EMD）处于高电平并且扫描线在奖励时段处于低电平并且扫描线在发光时段和第一控制信号（EM）和第二控制信号处于高电平（EMD）处于高电平，第一控制信号（EM）和第二控制信号（EMD）处于低电平。

