



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0038806
(43) 공개일자 2010년04월15일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/30 (2006.01)
G09G 3/20 (2006.01) H03K 19/00 (2006.01)

(21) 출원번호 10-2008-0097904

(22) 출원일자 2008년10월06일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

윤중선

서울 구로구 고척2동 하이리빙 아파트 605호

김지훈

서울 영등포구 대림3동 코오롱아파트 104동 1701호

이현행

경북 칠곡군 석적읍 중리 LG필립스LCD기숙사 B동 108호

(74) 대리인

특허법인로알

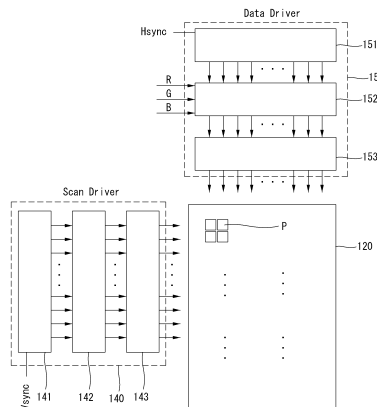
전체 청구항 수 : 총 10 항

(54) 시프트 레지스터와 이를 이용한 표시장치

(57) 요약

본 발명의 실시예는, 오드신호를 입력받는 제1시프트 레지스터블록과 이븐신호를 입력받는 제2시프트 레지스터블록과 제1시프트 레지스터블록의 출력 신호를 입력받는 제3시프트 레지스터블록과 제2시프트 레지스터블록의 출력 신호를 입력받는 제4시프트 레지스터블록을 포함하는 시프트 레지스터부; 및 시프트 레지스터부로부터 출력된 출력신호를 공급받으며 출력신호가 겹치는 구간을 샘플링하여 출력하는 샘플링부를 포함하는 시프트 레지스터를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

오드신호를 입력받는 제1시프트 레지스터블록과 이븐신호를 입력받는 제2시프트 레지스터블록과 상기 제1시프트 레지스터블록의 출력 신호를 입력받는 제3시프트 레지스터블록과 상기 제2시프트 레지스터블록의 출력 신호를 입력받는 제4시프트 레지스터블록을 포함하는 시프트 레지스터부; 및

상기 시프트 레지스터부로부터 출력된 출력신호를 공급받으며 상기 출력신호가 겹치는 구간을 샘플링하여 출력하는 샘플링부를 포함하는 시프트 레지스터.

청구항 2

제1항에 있어서,

상기 샘플링부는,

상기 시프트 레지스터부로부터 출력된 상기 출력신호를 N-1개로 출력하는 것을 특징으로 하는 시프트 레지스터.

청구항 3

제1항에 있어서,

상기 시프트 레지스터부는,

서로 상반되는 두 개의 클록신호에 대응하여 구동하는 것을 특징으로 하는 시프트 레지스터.

청구항 4

제1항에 있어서,

상기 제1 내지 제4시프트 레지스터블록은,

D플립플롭(Delay Flip Flop) 을 포함하는 시프트 레지스터.

청구항 5

제1항에 있어서,

상기 샘플링부는,

상기 시프트 레지스터부로부터 출력된 상기 오드신호와 상기 이븐신호를 각각 입력받는 낸드 게이트와 상기 낸드 게이트로부터 출력된 신호를 반전시키는 인버터를 포함하는 시프트 레지스터.

청구항 6

제1항에 있어서,

상기 샘플링부는,

상기 시프트 레지스터부로부터 출력된 상기 오드신호와 상기 이븐신호를 각각 입력받는 앤드 게이트와 상기 앤드 게이트로부터 출력된 신호를 출력하는 버퍼를 포함하는 시프트 레지스터.

청구항 7

표시패널;

상기 표시패널에 데이터 신호를 공급하는 데이터 구동부; 및

상기 표시패널에 스캔 신호를 공급하는 스캔 구동부를 포함하며,

상기 데이터 구동부 및 상기 스캔 구동부 중 적어도 하나는,

오드신호를 입력받는 제1시프트 레지스터블록과 이븐신호를 입력받는 제2시프트 레지스터블록과 상기 제1시프트 레지스터블록의 출력 신호를 입력받는 제3시프트 레지스터블록과 상기 제2시프트 레지스터블록의 출력 신호를

입력받는 제4시프트 레지스터블록을 포함하는 시프트 레지스터부와, 상기 시프트 레지스터부로부터 출력된 출력 신호를 공급받으며 상기 출력신호가 겹치는 구간을 샘플링하여 출력하는 샘플링부를 포함하는 시프트 레지스터를 포함하는 표시장치.

청구항 8

제7항에 있어서,

상기 데이터 구동부 및 상기 스캔 구동부 중 적어도 하나는,

외부로부터 입력된 하나의 신호를 상기 오드신호와 상기 이븐신호로 구분하여 출력하는 디바이더부를 포함하는 표시장치.

청구항 9

제7항에 있어서,

상기 샘플링부는,

상기 시프트 레지스터부로부터 출력된 상기 오드신호와 상기 이븐신호를 각각 입력받는 낸드 게이트와 상기 낸드 게이트로부터 출력된 신호를 반전시키는 인버터를 포함하는 표시장치.

청구항 10

제7항에 있어서,

상기 샘플링부는,

상기 시프트 레지스터부로부터 출력된 오드신호와 상기 이븐신호를 각각 입력받는 엔드 게이트와 상기 엔드 게이트로부터 출력된 신호를 출력하는 버퍼를 포함하는 표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명의 실시예는 시프트 레지스터와 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다.

[0003] 이와 같은 표시장치는 표시패널과 표시패널에 데이터 신호 및 스캔 신호를 공급하는 구동부를 포함한다. 구동부는 데이터 신호를 표시패널에 공급하는 데이터 구동부와 스캔 신호를 표시패널에 공급하는 스캔 구동부를 포함할 수 있다.

[0004] 데이터 구동부 또는 스캔 구동부 내에는 시프트 레지스터가 포함되어 있는데, 시프트 레지스터는 수평 동기신호 또는 수직 동기신호를 받아 클럭 신호에 동기화 되어 데이터 구동부나 스캔 구동부 내의 샘플링 래치 등의 스위치 신호를 순차적으로 발생시킬 수 있다.

[0005] 한편, 시프트 레지스터는 외부로부터 신호를 입력받는데, 외부로부터 신호를 입력받는 입력 단의 입력신호는 신호 지연과 팬 아웃 로드에 의한 영향으로 인한 오동작을 방지하기 위해 버퍼(글로벌 및 로컬)를 사용할 수 있다. 그런데, 일반적으로 고해상도로 갈수록 시프트 레지스터의 동작을 위한 메인 주파수는 물론 안정적인 동작을 위한 전압 스윙 범위가 증가하게 되는데, 이는 곧 소비전력 증가의 원인이 된다. 따라서, 고해상도 표시장치를 구현하고 시스템의 소비전력을 낮추기 위해서는 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

- [0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 메인 주파수를 1/2 사용하면서도 동일한 순차 신호를 발생시키면서 전압스윙 범위를 작게하여 저 소비 전력을 구현할 수 있는 시프트 레지스터와 이를 이용한 표시장치를 제공하는 것이다.

과제 해결수단

- [0007] 상술한 과제 해결 수단으로 본 발명의 실시예는, 오드신호를 입력받는 제1시프트 레지스터블록과 이븐신호를 입력받는 제2시프트 레지스터블록과 제1시프트 레지스터블록의 출력 신호를 입력받는 제3시프트 레지스터블록과 제2시프트 레지스터블록의 출력 신호를 입력받는 제4시프트 레지스터블록을 포함하는 시프트 레지스터부; 및 시프트 레지스터부로부터 출력된 출력신호를 공급받으며 출력신호가 겹치는 구간을 샘플링하여 출력하는 샘플링부를 포함하는 시프트 레지스터를 제공한다.
- [0008] 샘플링부는, 시프트 레지스터부로부터 출력된 출력신호를 N-1개로 출력할 수 있다.
- [0009] 시프트 레지스터부는, 서로 상반되는 두 개의 클럭신호에 대응하여 구동할 수 있다.
- [0010] 제1 내지 제4시프트 레지스터블록은, D플립플롭(Delay Flip Flop) 을 포함할 수 있다.
- [0011] 샘플링부는, 시프트 레지스터부로부터 출력된 오드신호와 이븐신호를 각각 입력받는 낸드 게이트와 낸드 게이트로부터 출력된 신호를 반전시키는 인버터를 포함할 수 있다.
- [0012] 샘플링부는, 시프트 레지스터부로부터 출력된 오드신호와 이븐신호를 각각 입력받는 앤드 게이트와 앤드 게이트로부터 출력된 신호를 출력하는 버퍼를 포함할 수 있다.
- [0013] 한편, 다른 측면에서 본 발명의 실시예는, 표시패널; 표시패널에 데이터 신호를 공급하는 데이터 구동부; 및 표시패널에 스캔 신호를 공급하는 스캔 구동부를 포함하며, 데이터 구동부 및 상기 스캔 구동부 중 적어도 하나는, 오드신호를 입력받는 제1시프트 레지스터블록과 이븐신호를 입력받는 제2시프트 레지스터블록과 제1시프트 레지스터블록의 출력 신호를 입력받는 제3시프트 레지스터블록과 제2시프트 레지스터블록의 출력 신호를 입력받는 제4시프트 레지스터블록을 포함하는 시프트 레지스터부와, 시프트 레지스터부로부터 출력된 출력신호를 공급받으며 출력신호가 겹치는 구간을 샘플링하여 출력하는 샘플링부를 포함하는 시프트 레지스터를 포함하는 액정표시장치를 제공한다.
- [0014] 데이터 구동부 및 스캔 구동부 중 적어도 하나는, 외부로부터 입력된 하나의 신호를 오드신호와 이븐신호로 구분하여 출력하는 디바이더부를 포함할 수 있다.
- [0015] 샘플링부는, 시프트 레지스터부로부터 출력된 오드신호와 이븐신호를 각각 입력받는 낸드 게이트와 낸드 게이트로부터 출력된 신호를 반전시키는 인버터를 포함할 수 있다.
- [0016] 샘플링부는, 시프트 레지스터부로부터 출력된 오드신호와 이븐신호를 각각 입력받는 앤드 게이트와 앤드 게이트로부터 출력된 신호를 출력하는 버퍼를 포함할 수 있다.

효 과

- [0017] 본 발명의 실시예는, 메인 주파수를 1/2 사용하면서도 동일한 순차 신호를 발생시키면서 전압스윙 범위를 작게하여 저 소비 전력을 구현할 수 있는 시프트 레지스터와 이를 이용한 표시장치를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 도 1은 본 발명의 실시예에 따른 표시장치의 개략적인 블록도 이다.
- [0020] 도 1을 참조하면, 본 발명의 실시예에 따른 표시장치는 복수의 서브 픽셀(P)이 위치하는 표시패널(120)을 포함

할 수 있다. 또한, 표시패널(120)에 스캔 신호를 공급하는 스캔 구동부(140)를 포함할 수 있다. 또한, 표시패널(120)에 데이터 신호를 공급하는 데이터 구동부(150)를 포함할 수 있다.

- [0021] 표시패널(120)은 복수의 서브 픽셀이 매트릭스 형태로 배치된 유기발광패널 또는 액정패널을 포함할 수 있다. 유기발광패널에 배치된 서브 픽셀의 경우 유기 발광층을 포함할 수 있다. 이와 달리, 액정패널의 경우 액정층을 포함할 수 있다.
- [0022] 스캔 구동부(140)는 외부로부터 수직 동기 신호(Vsync)를 공급받고 수직 동기 신호(Vsync)를 참조하여 복수의 서브 픽셀(P)에 공급할 스캔 신호 및 제어 신호 등을 생성할 수 있다.
- [0023] 이와 같은 스캔 구동부(140)는 수직 동기 신호(Vsync)를 공급받는 시프트 레지스터(141)와, 시프트 레지스터(141)로부터 전달받은 신호의 레벨을 조정하는 레벨 시프터(142)와, 레벨 시프터(142)로부터 전달받은 신호를 출력하는 출력 버퍼(143)를 포함할 수 있으나 이에 한정되지 않는다.
- [0024] 데이터 구동부(150)는 외부로부터 수평 동기 신호(Hsync) 및 영상신호(R,G,B)를 공급받고 수평 동기 신호(Hsync)를 참조하여 데이터 신호 등을 생성할 수 있다.
- [0025] 이와 같은 데이터 구동부(150)는 수평 동기 신호(Hsync)를 공급받는 시프트 레지스터(151)와, 시프트 레지스터(151)로부터 전달받은 신호 참조하여 영상 데이터 신호(R,G,B)를 저장하는 래치(152)와, 래치(152)로부터 전달 받은 신호와 영상 데이터 신호(R,G,B)를 아날로그(또는 디지털)로 변환하여 출력하는 출력 버퍼(153)를 포함할 수 있으나 이에 한정되지 않는다.
- [0026] 이하, 표시패널(120)에 대해 설명한다.
- [0027] 도 2는 유기발광패널의 회로 구성 예시도 이다.
- [0028] 도 2에 도시된 서브 픽셀(P)은 일반적인 2T(Transistor) 1C(Capacitor) 구조의 회로 구성을 나타낸다.
- [0029] 도 2를 참조하면, 유기발광패널에 배치된 서브 픽셀(P)은 스캔 배선(Scan)에 게이트가 연결되고 데이터 배선(Data)에 일단이 연결된 스위칭 트랜지스터(SWTFT)를 포함할 수 있다. 또한, 서브 픽셀(P)은 스위칭 트랜지스터(SWTFT)의 타단에 게이트가 연결되고 제2전원배선(VSS)에 일단이 연결된 구동 트랜지스터(DRTFT)를 포함할 수 있다. 또한, 서브 픽셀(P)은 구동 트랜지스터(DRTFT)의 게이트와 제2전원배선(VSS) 사이에 연결된 커패시터(CST)를 포함할 수 있다. 또한, 서브 픽셀(P)은 제1전원배선(VDD)에 애노드가 연결되고 구동 트랜지스터(DRTFT)의 타단에 캐소드가 연결된 유기 발광다이오드(OLED)를 포함할 수 있다.
- [0030] 여기서, 서브 픽셀(P)에 포함된 스위칭 트랜지스터(SWTFT), 구동 트랜지스터(DRTFT)가 N-type인 것을 일례로 설명하였으나 이에 한정되지 않는다.
- [0031] 도 3은 액정패널의 회로 구성 예시도 이다.
- [0032] 도 3에 도시된 서브 픽셀(P)은 일반적인 1T(Transistor) 1C(Capacitor) 구조의 서브 픽셀 회로 구성을 나타낸다.
- [0033] 도 3을 참조하면, 액정패널에 배치된 서브 픽셀(P)은 스캔 배선(Scan)에 게이트가 연결되고 데이터 배선(Data)에 일단이 연결된 트랜지스터(TFT)를 포함할 수 있다. 또한, 서브 픽셀(P)은 트랜지스터(TFT)의 타단에 일단이 연결되고 공통전원배선(Vcom)에 타단이 연결된 액정셀(CLC)를 포함할 수 있다. 또한, 서브 픽셀(P)은 트랜지스터(TFT)의 타단에 일단이 연결되고 공통전원배선(Vcom)에 타단이 연결된 커패시터(CST)를 포함할 수 있다.
- [0034] 여기서, 액정셀(CLC)과 커패시터(CST)가 공통전원배선(Vcom)에 연결된 것을 일례로 설명하였으나 이에 한정되지 않는다.
- [0035] 한편, 데이터 구동부 및 상기 스캔 구동부 중 적어도 하나는 시프트 레지스터부와 샘플링부를 포함하는 시프트 레지스터를 포함할 수 있는데, 이하 시프트 레지스터에 대해 더욱 자세히 설명한다.
- [0036] 도 4는 본 발명의 실시예에 따른 시프트 레지스터의 구성도이고, 도 5는 본 발명의 다른 실시예에 따른 시프트 레지스터의 구성도이다.

[0037] 도 4를 참조하면, 본 발명의 실시예에 따른 시프트 레지스터는 오드신호(SLI_ODD)를 입력받는 제1시프트 레지스터블록(FF1)과 이븐신호(SLI_EVEN)를 입력받는 제2시프트 레지스터블록(FF2)과 제1시프트 레지스터블록(FF1)의 출력 신호를 입력받는 제3시프트 레지스터블록(FF3)과 제2시프트 레지스터블록(FF2)의 출력 신호를 입력받는 제4시프트 레지스터블록(FF4)을 포함하는 시프트 레지스터부(FF)를 포함할 수 있다. 또한, 시프트 레지스터부(FF)로부터 출력된 출력신호를 공급받으며 출력신호가 겹치는 구간을 샘플링하여 출력하는 샘플링부(SM)를 포함할 수 있다.

[0038] 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)은 D플립플롭(Delay Flip Flop)으로 구성될 수 있다. 그러나, 논리회로 등의 조합을 이용하여 하기의 표 1에 도시된 바와 같이 클럭신호에 동기화되어 순차신호를 출력할 수 있다면 이에 한정되지 않는다.

표 1

[0039]

입력		출력
CLK	D	Q
↑	0	0
↑	1	1

[0040] 한편, 본 발명에서는 실시예의 일례로, 시프트 레지스터부(FF)에 포함된 시프트 레지스터블록을 4개로 구성하였지만 이에 한정되지 않는다.

[0041] 시프트 레지스터부(FF)는 서로 상반되는 두 개의 클럭신호(CLK, /CLK)에 대응하여 구동할 수 있다. 그러므로, 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)의 출력은 서로 상반되는 두 개의 클럭신호(CLK, /CLK)에 따라 출력될 수 있게 된다.

[0042] 제1 내지 제4시프트 레지스터블록(FF1..FF4) 중 제1 및 제2시프트 레지스터블록(FF1, FF2)는 외부로부터 공급된 오드신호(SLI_ODD) 및 이븐신호(SLI_EVEN)를 입력받는 입력단으로 볼 수 있으며 제3 및 제4시프트 레지스터블록(FF3, FF4)는 제1 및 제2시프트 레지스터블록(FF1, FF2)의 종속단으로 볼 수 있다. 이와 같은 구성으로 인해 제1 및 제2시프트 레지스터블록(FF1, FF2)의 출력은 제3 및 제4시프트 레지스터블록(FF3, FF4)의 입력으로 전달된다.

[0043] 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)의 출력은 샘플링부(SM)에 연결된다. 샘플링부(SM)는 시프트 레지스터부(FF)로부터 출력된 출력신호를 샘플링하여 N-1개로 출력할 수 있다.

[0044] 샘플링부(SM)는 제1시프트 레지스터블록(FF1)으로부터 출력된 오드신호와 제2시프트 레지스터블록(FF2)으로부터 출력된 이븐신호를 각각 입력받는 낸드 게이트(G)와 낸드 게이트(G)로부터 출력된 신호를 반전시키는 인버터(I)를 포함할 수 있다. 다만, 본 발명의 실시예에서는 시프트 레지스터부(FF)에 포함된 시프트 레지스터블록이 4개로 구성되어 있으므로, 샘플링부(SM)에 포함된 낸드 게이트와 인버터는 3개로 구성한다.

[0045] 따라서, 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)과 샘플링부(SM)에 포함된 낸드 게이트(G)와 인버터(I)는 다음과 같이 연결된다.

[0046] 제1낸드 게이트(G1)는 제1시프트 레지스터블록(FF1) 및 제2시프트 레지스터블록(FF2)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력이 제1인버터(I1)에 전달되도록 연결된다. 제2낸드 게이트(G2)는 제2시프트 레지스터블록(FF2) 및 제3시프트 레지스터블록(FF3)으로부터 이븐신호와 오드신호를 입력받도록 연결되고 이의 출력이 제2인버터(I2)에 전달되도록 연결된다. 제3낸드 게이트(G3)는 제3시프트 레지스터블록(FF3) 및 제4시프트 레지스터블록(FF4)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력이 제3인버터(I3)에 전달되도록 연결된다.

[0047] 이와 달리, 도 5를 참조하면, 시프트 레지스터의 샘플링부(SM)는 다음과 같이 구성될 수도 있다.

[0048] 샘플링부(SM)는 제1시프트 레지스터블록(FF1)으로부터 출력된 오드신호와 제2시프트 레지스터블록(FF2)으로부터 출력된 이븐신호를 각각 입력받는 앤드 게이트(G)와 앤드 게이트(G1)로부터 출력된 신호를 출력하는 버퍼(I)를 포함할 수 있다. 다만, 본 발명의 실시예에서는 시프트 레지스터부(FF)에 포함된 시프트 레지스터블록이 4개로

구성되어 있으므로, 샘플링부(SM)에 포함된 엔드 게이트와 버퍼는 3개로 구성한다.

- [0049] 따라서, 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)과 샘플링부(SM)에 포함된 엔드 게이트(G)와 버퍼(I)는 다음과 같이 연결된다.
- [0050] 제1엔드 게이트(G1)는 제1시프트 레지스터블록(FF1) 및 제2시프트 레지스터블록(FF2)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력이 제1버퍼(I1)에 전달되도록 연결된다. 제2엔드 게이트(G2)는 제2시프트 레지스터블록(FF2) 및 제3시프트 레지스터블록(FF3)으로부터 이븐신호와 오드신호를 입력받도록 연결되고 이의 출력이 제2버퍼(I2)에 전달되도록 연결된다. 제3엔드 게이트(G3)는 제3시프트 레지스터블록(FF3) 및 제4시프트 레지스터블록(FF4)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력이 제3버퍼(I3)에 전달되도록 연결된다.
- [0051] 한편, 오드신호(SLI_ODD) 및 이븐신호(SLI_EVEN)는 외부로부터 입력된 하나의 신호를 오드신호(SLI_ODD)와 이븐신호(SLI_EVEN)로 구분하여 출력하는 디바이더부를 이용할 수 있다.
- [0052] 도 6은 디바이더부의 예시도이다.
- [0053] 도 6을 참조하면, 디바이더부(DM)는 하나의 신호를 입력받는 입력단(DA_ST)과, 하나의 신호를 분주하기 위해 서로 상반되는 두 개의 클럭신호(CLK, /CLK)를 입력받는 트랜스미션 게이트(TG)와, 오드신호 출력부(SLI_ODD)와, 이븐신호 출력부(SLI_EVEN)를 포함할 수 있다. 이와 같은 구성에 의해 디바이더부(DM)는 트랜스미션 게이트(TG)에 입력되는 두 개의 클럭신호(CLK, /CLK)에 따라 오드신호 출력부(SLI_ODD)와, 이븐신호 출력부(SLI_EVEN)로 오드신호 또는 이븐신호를 출력할 수 있게 된다.
- [0054] 여기서, 디바이더부(DM)는 입력단(DA_ST)에 입력되는 신호의 주파수 또는 디바이더부(DM)로부터 출력된 신호를 공급받는 회로에 따라 인버터 또는 버퍼를 구성할 수 있다. 한편, 이러한 디바이더부(DM)는 데이터 구동부 또는 스캔 구동부 내에 위치할 수 있다.
- [0055] 도 7은 도 4에 도시된 시프트 레지스터의 타이밍도 이다.
- [0056] 도 7을 참조하면, 디바이더부(DM)에 공급되는 하나의 신호(DA_ST)와 디바이더부(DM) 및 시프트 레지스터부(FF)에 공급되는 클럭신호(DA_CLK)의 타이밍도가 도시된다.
- [0057] 본 발명의 실시예와 같이, 도 4에 도시된 시프트 레지스터와 도 6에 도시된 디바이더부(DM)를 사용하면 시프트 레지스터의 최종 출력단에 출력되는 데이터(DATA)는 도 7에 도시된 바와 같은 형태로 출력될 수 있게 된다.
- [0058] 한편, 디바이더부(DM)에 공급되는 신호(DA_ST)는 시프트 레지스터를 포함하는 구동부에 따라 다를 수 있다. 데이터 구동부의 경우 디바이더부(DM)에 공급되는 신호(DA_ST)는 수평 동기 신호(Hsync)가 될 수 있다. 반면, 스캔 구동부의 경우 디바이더부(DM)에 공급되는 신호(DA_ST)는 수직 동기 신호(Vsync)가 될 수 있다.
- [0059] 이하, 본 발명의 실시예에 의해 형성된 시프트 레지스터를 3 가지 조건하에서 시뮬레이션하였을 때 나타난 타이밍도를 도시한다. 단, 시프트 레지스터가 저온 다결정실리콘 박막 트랜지스터 기반 상에 형성된 것을 일례로 한다.
- [0060] 도 8 내지 도 10은 시뮬레이션에 의한 시프트 레지스터의 타이밍도이다.
- [0061] 도 8 내지 도 10을 참조하면, 디바이더부(DM)에 공급되는 신호(DA_CLK)와 디바이더부(DM)에 공급된 신호(DA_CLK)가 분주되어 출력된 오드신호(SLI_ODD) 및 이븐신호(SLI_EVEN)가 도시된다. 또한, 플릴플롭부(FF)에 포함된 6개의 시프트 레지스터블록으로부터 출력된 신호(D-FF_OUT<0>..D-FF_OUT<5>)가 도시된다. 또한, 샘플링부(SM)에 포함된 5개의 낸드 게이트로부터 출력된 신호(NAND_OUT<0>..NAND_OUT<4>)와 5개의 인버터로부터 출력된 신호(SW<0>..SW<4>)이 도시된다.
- [0062] 도시된 도 8의 경우 일반적인 상태에서의 시뮬레이션 타이밍도를 나타낸다. 그리고 도 9의 경우 일반적인 상태보다 특성을 좋게한 상태에서의 시뮬레이션 타이밍도를 나타낸다. 그리고 도 10의 경우 일반적인 상태보다 특성을 나쁘게한 상태에서의 시뮬레이션 타이밍도를 나타낸다.

- [0063] 도 8 내지 도 10에 도시된 타이밍도에 의하면, 본 발명의 실시예에 따른 시프트 레지스터는 종래 기술에 의한 시프트 레지스터를 사용했을때 보다 동작속도는 물론 소비전력을 개선할 수 있게 된다. 그 이유는 데이터 구동부 또는 스캔 구동부에 공급되는 신호를 분주하여 메인 신호의 절반을 사용하기 때문이다.
- [0064] 이하, 본 발명의 실시예에 따른 시프트 레지스터에 대해 설명한다.
- [0065] 본 발명의 실시예에 따른 시프트 레지스터는 도 4에 도시된 바와 같이, 오드신호(SLI_ODD)를 입력받는 제1시프트 레지스터블록(FF1)과 이븐신호(SLI_EVEN)를 입력받는 제2시프트 레지스터블록(FF2)과 제1시프트 레지스터블록(FF1)의 출력 신호를 입력받는 제3시프트 레지스터블록(FF3)과 제2시프트 레지스터블록(FF2)의 출력 신호를 입력받는 제4시프트 레지스터블록(FF4)을 포함하는 시프트 레지스터부(FF)를 포함할 수 있다. 또한, 시프트 레지스터부(FF)로부터 출력된 출력신호를 공급받으며 출력신호가 겹치는 구간을 샘플링하여 출력하는 샘플링부(SM)를 포함할 수 있다.
- [0066] 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)은 D플립플롭(Delay Flip Flop)으로 구성될 수 있다. 그러나, 앞서 설명한 표 1과 같은 출력을 형성할 수 있다면 이에 한정되지 않는다.
- [0067] 한편, 본 발명에서는 실시예에서는 일례로, 시프트 레지스터부(FF)에 포함된 시프트 레지스터블록을 4개로 구성하였지만 이에 한정되지 않는다.
- [0068] 시프트 레지스터부(FF)는 서로 상반되는 두 개의 클럭신호(CLK, /CLK)에 대응하여 구동할 수 있다. 그러므로, 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)의 출력은 서로 상반되는 두 개의 클럭신호(CLK, /CLK)에 따라 출력될 수 있게 된다.
- [0069] 제1 내지 제4시프트 레지스터블록(FF1..FF4) 중 제1 및 제2시프트 레지스터블록(FF1, FF2)는 외부로부터 공급된 오드신호(SLI_ODD) 및 이븐신호(SLI_EVEN)를 입력받는 입력단으로 볼 수 있으며 제3 및 제4시프트 레지스터블록(FF3, FF4)는 제1 및 제2시프트 레지스터블록(FF1, FF2)의 종속단으로 볼 수 있다. 이와 같은 구성으로 인해 제1 및 제2시프트 레지스터블록(FF1, FF2)의 출력은 제3 및 제4시프트 레지스터블록(FF3, FF4)의 입력으로 전달된다.
- [0070] 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)의 출력은 샘플링부(SM)에 연결된다. 샘플링부(SM)는 시프트 레지스터부(FF)로부터 출력된 출력신호를 샘플링하여 N-1개로 출력할 수 있다.
- [0071] 샘플링부(SM)는 제1시프트 레지스터블록(FF1)으로부터 출력된 오드신호와 제2시프트 레지스터블록(FF2)으로부터 출력된 이븐신호를 각각 입력받는 낸드 게이트(G)와 낸드 게이트(G)로부터 출력된 신호를 반전시키는 인버터(I)를 포함할 수 있다. 다만, 본 발명의 실시예에서는 시프트 레지스터부(FF)에 포함된 시프트 레지스터블록이 4개로 구성되어 있으므로, 샘플링부(SM)에 포함된 낸드 게이트와 인버터는 3개로 구성한다.
- [0072] 따라서, 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)과 샘플링부(SM)에 포함된 낸드 게이트(G)와 인버터(I)는 다음과 같이 연결된다.
- [0073] 제1낸드 게이트(G1)는 제1시프트 레지스터블록(FF1) 및 제2시프트 레지스터블록(FF2)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력 제1인버터(I1)에 전달되도록 연결된다. 제2낸드 게이트(G2)는 제2시프트 레지스터블록(FF2) 및 제3시프트 레지스터블록(FF3)으로부터 이븐신호와 오드신호를 입력받도록 연결되고 이의 출력이 제2인버터(I2)에 전달되도록 연결된다. 제3낸드 게이트(G3)는 제3시프트 레지스터블록(FF3) 및 제4시프트 레지스터블록(FF4)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력이 제3인버터(I3)에 전달되도록 연결된다.
- [0074] 이와 달리, 도 5를 참조하면, 시프트 레지스터의 샘플링부(SM)는 다음과 같이 구성될 수도 있다.
- [0075] 샘플링부(SM)는 제1시프트 레지스터블록(FF1)으로부터 출력된 오드신호와 제2시프트 레지스터블록(FF2)으로부터 출력된 이븐신호를 각각 입력받는 앤드 게이트(G)와 앤드 게이트(G)로부터 출력된 신호를 출력하는 버퍼(I)를 포함할 수 있다. 다만, 본 발명의 실시예에서는 시프트 레지스터부(FF)에 포함된 시프트 레지스터블록이 4개로 구성되어 있으므로, 샘플링부(SM)에 포함된 앤드 게이트와 버퍼는 3개로 구성한다.
- [0076] 따라서, 시프트 레지스터부(FF)에 포함된 제1 내지 제4시프트 레지스터블록(FF1..FF4)과 샘플링부(SM)에 포함된

엔드 게이트(G)와 버퍼(I)는 다음과 같이 연결된다.

[0077] 제1엔드 게이트(G1)는 제1시프트 레지스터블록(FF1) 및 제2시프트 레지스터블록(FF2)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력이 제1버퍼(I1)에 전달되도록 연결된다. 제2엔드 게이트(G2)는 제2시프트 레지스터블록(FF2) 및 제3시프트 레지스터블록(FF3)으로부터 이븐신호와 오드신호를 입력받도록 연결되고 이의 출력이 제2버퍼(I2)에 전달되도록 연결된다. 제3엔드 게이트(G3)는 제3시프트 레지스터블록(FF3) 및 제4시프트 레지스터블록(FF4)으로부터 오드신호와 이븐신호를 입력받도록 연결되고 이의 출력이 제3버퍼(I3)에 전달되도록 연결된다.

[0078] 이상 본 발명의 실시예는, 메인 주파수를 1/2 사용하면서도 동일한 순차 신호를 발생시키면서 전압스윙 범위를 크게 하지 않아도 시프트 레지스터를 구동할 수 있어 소비 전력을 낮출 수 있는 표시장치를 구현할 수 있는 효과가 있다. 또한, 본 발명의 실시예는 소비 전력을 낮출 수 있어 이를 표시패널에 형성 가능함은 물론 소형 응용제품 적용에 유용한 효과가 있다.

[0079] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0080] 도 1은 본 발명의 실시예에 따른 표시장치의 개략적인 블록도.

[0081] 도 2는 유기발광패널의 회로 구성 예시도.

[0082] 도 3은 액정패널의 회로 구성 예시도.

[0083] 도 4는 본 발명의 실시예에 따른 시프트 레지스터의 구성도.

[0084] 도 5는 본 발명의 다른 실시예에 따른 시프트 레지스터의 구성도.

[0085] 도 6은 디바이더부의 예시도.

[0086] 도 7은 도 4에 도시된 시프트 레지스터의 타이밍도.

[0087] 도 8 내지 도 10은 시뮬레이션에 의한 시프트 레지스터의 타이밍도.

[0088] <도면의 주요 부분에 관한 부호의 설명>

[0089] 120: 표시패널 140: 스캔 구동부

[0090] 141: 시프트 레지스터 142: 레벨 시프터

[0091] 143: 버퍼 150: 데이터 구동부

[0092] 151: 시프트 레지스터 152: 래치

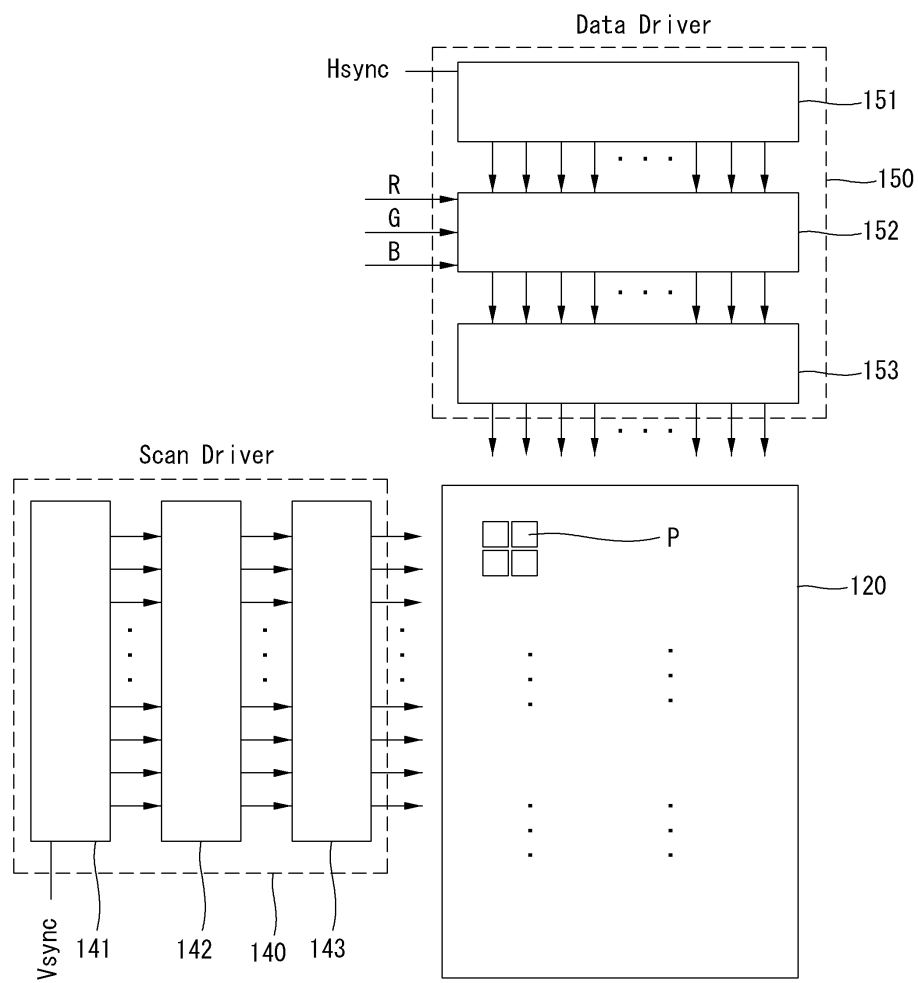
[0093] 153: 버퍼 P: 서브 픽셀

[0094] FF: 시프트 레지스터부 SM: 샘플링부

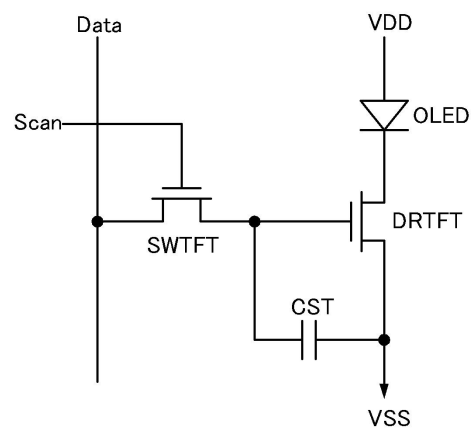
[0095] DM: 디바이더부

도면

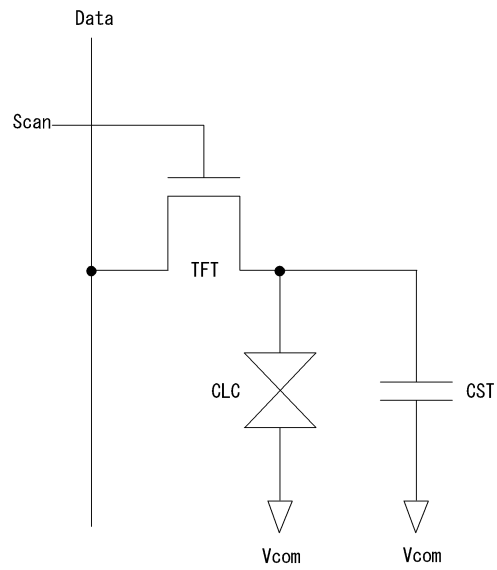
도면1



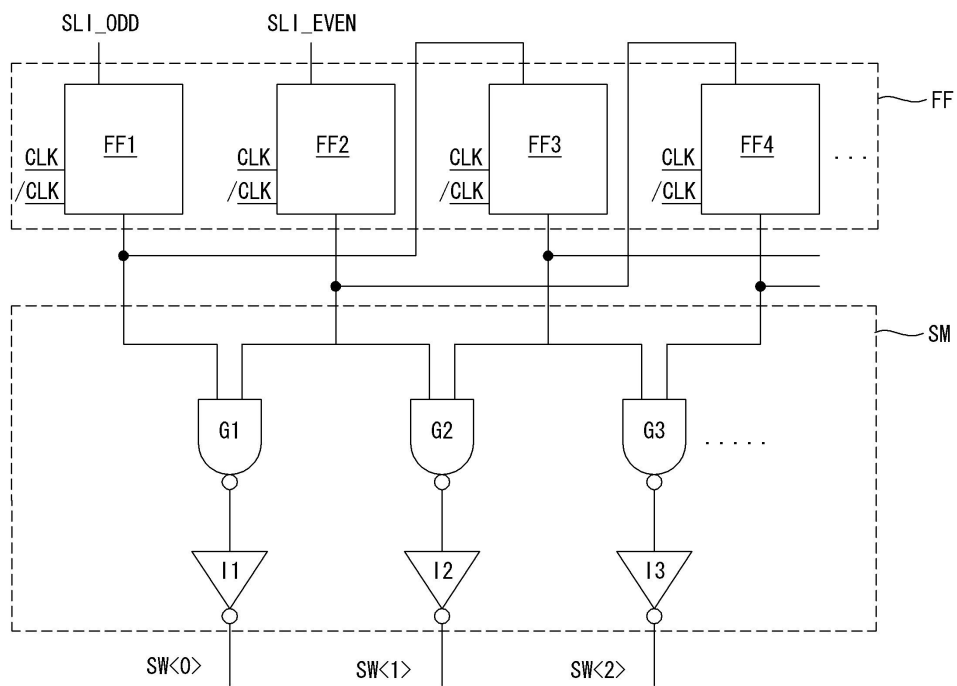
도면2



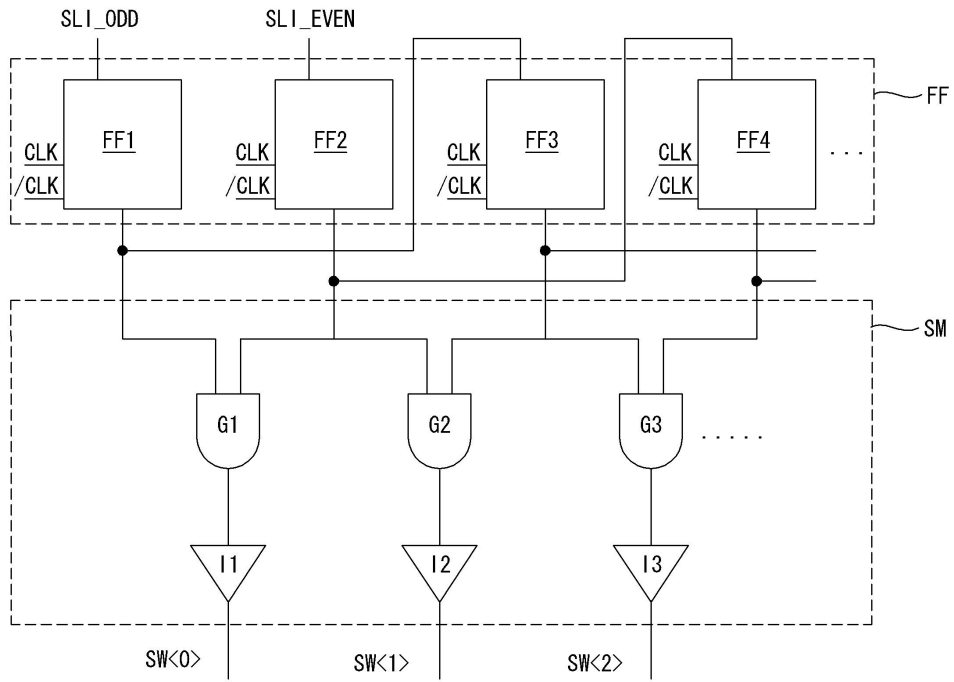
도면3



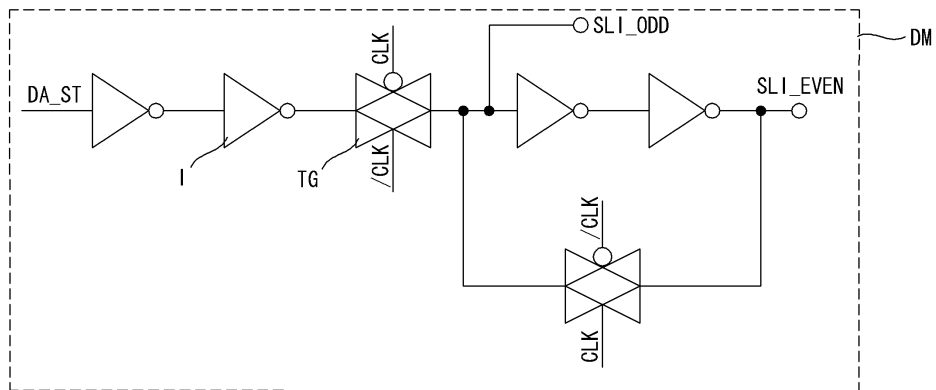
도면4



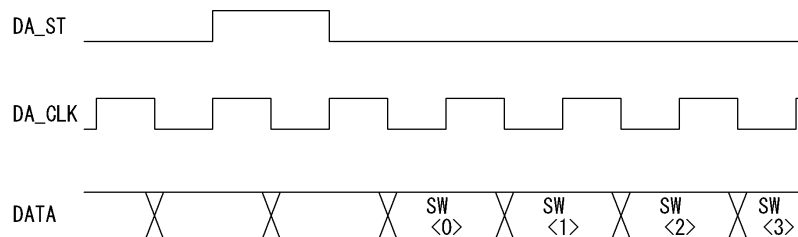
도면5



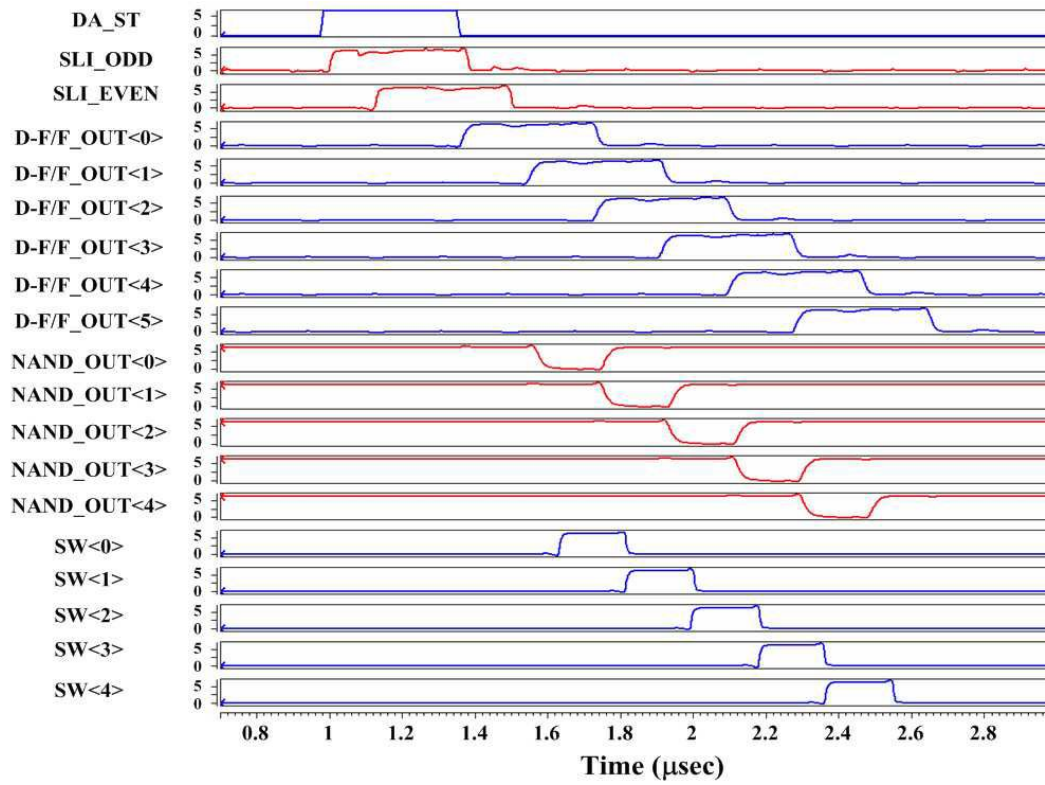
도면6



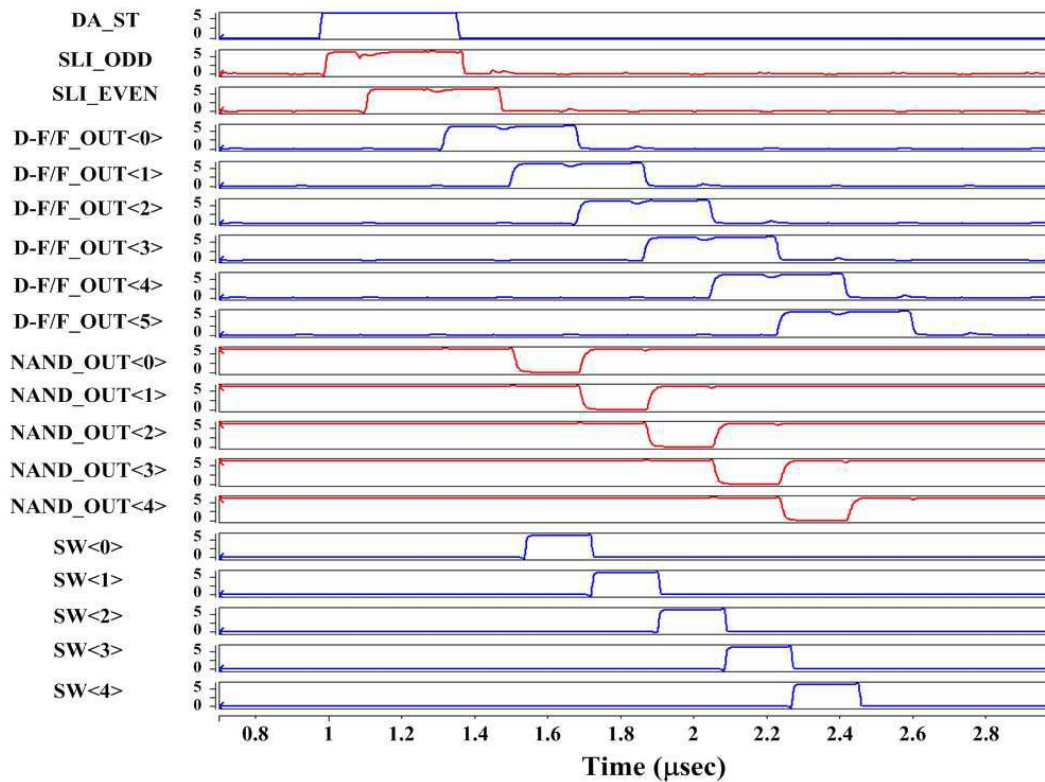
도면7



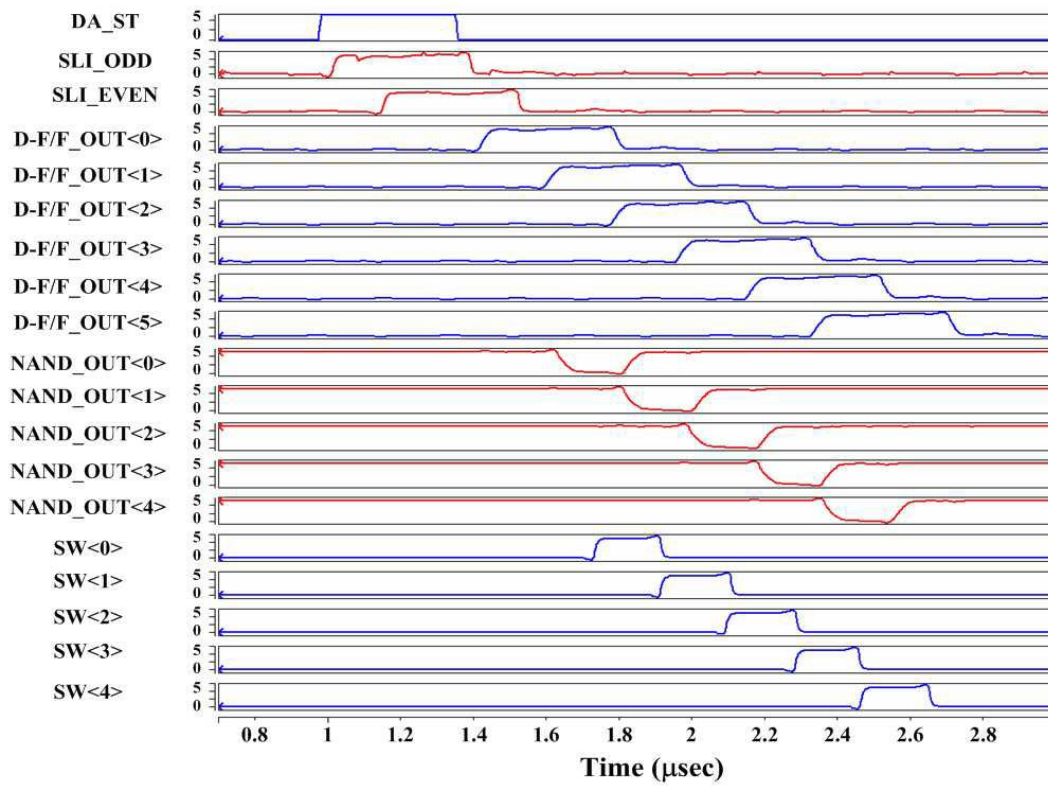
도면8



도면9



도면10



专利名称(译)	移位寄存器和使用它的显示设备		
公开(公告)号	KR1020100038806A	公开(公告)日	2010-04-15
申请号	KR1020080097904	申请日	2008-10-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YOON JOONG SUN 윤중선 KIM JI HUN 김지훈 LEE HYUN HAENG 이현행		
发明人	윤중선 김지훈 이현행		
IPC分类号	G09G3/36 G09G3/30 G09G3/20 H03K19/00		
其他公开文献	KR101510891B1		
外部链接	Espacenet		

摘要(译)

本发明的实施例提供移位寄存器，其包括采样，其对输出信号重叠的部分进行采样，同时提供从包括第四移位寄存器块的移位寄存器部分输出的输出信号，第四移位寄存器块的输出信号为第二移位寄存器块。移位寄存器块输入，移位寄存器部分输出。有机电致发光显示装置，移位寄存器和meristele。

