



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0004500  
(43) 공개일자 2009년01월12일

- |  |   |
|--|---|
| <p>(51) Int. Cl.<br/>H05B 33/08 (2006.01) H05B 33/26 (2006.01)<br/>H01L 29/786 (2006.01) H01L 51/50 (2006.01)</p> <p>(21) 출원번호 10-2008-0053012</p> <p>(22) 출원일자 2008년06월05일<br/>심사청구일자 2008년06월05일</p> <p>(30) 우선권주장<br/>JP-P-2007-00171501 2007년06월29일 일본(JP)</p> | <p>(71) 출원인<br/>미쓰비시덴키 가부시카이가이사<br/>일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고</p> <p>(72) 발명자<br/>이마무라 타쿠지<br/>일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고 미쓰비시덴키가부시카이가이사 나이</p> <p>(74) 대리인<br/>이화익, 권태복</p> |
|--|---|

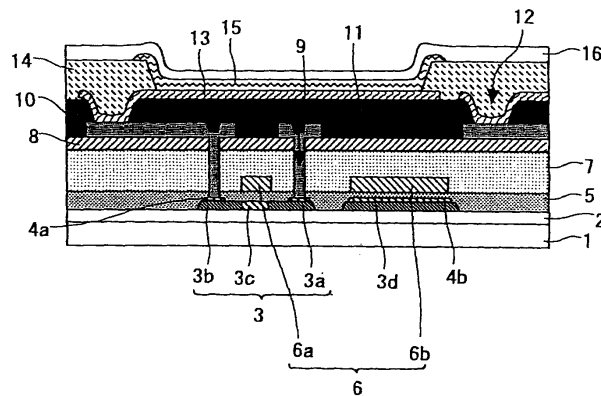
전체 청구항 수 : 총 20 항

(54) 표시장치 및 그 제조 방법

(57) 요약

유기 EL표시장치 형성 시, 사진제판공정을 삭감한 표시장치를 제공한다. 본 발명의 일 양태에 따른 표시장치는, 절연성 기판(1) 위에 형성된 소스 영역(3a)/드레인 영역(3b)을 갖는 다결정 실리콘 막(3)과, 소스 영역(3a)/드레인 영역(3b) 위에 접촉하도록 형성된 제1 메탈막 4a와, 제1 메탈막 4a위에 형성된 게이트 절연막(5)과, 게이트 절연막(5) 위에 형성된 게이트 전극(6a)과, 게이트 전극(6a) 위에 형성된 층간 절연막(7)과, 층간 절연막(7)을 피복하는 패시베이션 막(8)과, 패시베이션 막(8) 위에 형성되어, 층간 절연막(7), 패시베이션 막(8) 및 게이트 절연막(5)에 관통하여 설치된 콘택홀(9)을 통해 다결정 실리콘막(3)과 접속된 신호 배선을 구비한다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

기관 위에 형성된 소스/드레인 영역을 갖는 반도체층과,  
 상기 소스/드레인 영역이 되는 상기 반도체층 위에 접촉하도록 형성된 도전 막과,  
 상기 도전 막 위에 형성된 게이트 절연막과,  
 상기 게이트 절연막 위에 형성된 게이트 전극과,  
 상기 게이트 전극 위에 형성된 층간 절연막과,  
 상기 층간 절연막을 피복하는 패시베이션 막과,  
 상기 패시베이션 막 위에 형성되어, 상기 층간 절연막, 상기 패시베이션 막 및 상기 게이트 절연막에 관통하여 설치된 제1콘택홀을 통해 상기 반도체층과 접속된 신호 배선을 구비하는 것을 특징으로 하는 표시장치.

**청구항 2**

제 1항에 있어서,  
 상기 패시베이션 막을 피복하는 평탄화 막과,  
 상기 평탄화 막 위에 설치되어, 상기 평탄화 막에 설치된 제2콘택홀을 통해 상기 신호 배선과 접속된 애노드 전극을 더 구비하는 것을 특징으로 하는 표시장치.

**청구항 3**

제 1항에 있어서,  
 상기 패시베이션 막과 상기 신호 배선 사이에 설치된 평탄화 막을 더 구비하고,  
 상기 신호 배선과 상기 반도체층을 접속하기 위한 상기 제1콘택홀은, 상기 패시베이션 막, 상기 층간 절연막, 상기 게이트 절연막, 상기 평탄화 막에 관통하여 설치되어 있는 것을 특징으로 하는 표시장치.

**청구항 4**

제 3항에 있어서,  
 상기 애노드 전극과 상기 신호 배선은, 상기 평탄화 막 위에서 접속되는 것을 특징으로 하는 표시장치.

**청구항 5**

제 4항에 있어서,  
 상기 애노드 전극은, 상기 신호 배선의 단부를 덮도록 형성되고, 상기 신호 배선에 접속되어 있는 것을 특징으로 하는 표시장치.

**청구항 6**

제 4항에 있어서,  
 상기 애노드 전극은, 상기 신호 배선과 같은 재료로, 상기 신호 배선으로부터 연장하여 설치되어 있는 것을 특징으로 하는 표시장치.

**청구항 7**

제 2항 내지 제 6항 중 어느 한 항에 있어서,  
 상기 애노드 전극 위에 형성되어, 상기 애노드 전극과의 접촉부에 홀 수송층을 구비하는 발광층을 더 구비하고,  
 상기 애노드 전극은, 상기 홀 수송층보다도 일함수가 큰 것을 특징으로 하는 표시장치.

**청구항 8**

제 1항 내지 제 6항 중 어느 한 항에 있어서,  
 상기 패시베이션 막 및 상기 층간 절연막은, SiO<sub>2</sub>, SiN, SiON 중 어느 하나 또는 이들의 적층막으로 이루어지는 것을 특징으로 하는 표시장치.

**청구항 9**

제 1항 내지 제 6항 중 어느 한 항에 있어서,  
 상기 평탄화 막은 수지막인 것을 특징으로 하는 표시장치.

**청구항 10**

제 1항 내지 제 6항 중 어느 한 항에 있어서,  
 상기 도전 막은, 커패시터 전극이 되는 상기 반도체층 위에 더 형성되어 있는 것을 특징으로 하는 표시장치.

**청구항 11**

기관 위에 소스/드레인 영역을 갖는 반도체층을 형성하고,  
 소스/드레인 영역이 되는 상기 반도체층 위에 접촉하도록 도전 막을 형성하고,  
 상기 도전 막 위에 게이트 절연막을 형성하고,  
 상기 게이트 절연막 위에 게이트 전극을 형성하고,  
 상기 게이트 전극 위에 층간 절연막을 형성하고,  
 상기 층간 절연막을 피복하도록 패시베이션 막을 형성하고,  
 상기 층간 절연막, 상기 패시베이션 막, 상기 게이트 절연막에, 상기 반도체층의 일부를 노출하는 제1콘택홀을 일괄로 형성하고,  
 상기 패시베이션 막 위에, 상기 제1콘택홀을 통해 상기 반도체층과 접속되는 신호 배선을 형성하는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 12**

제 11항에 있어서,  
 상기 패시베이션 막을 피복하도록 평탄화 막을 형성하고,  
 상기 평탄화 막에 제2콘택홀을 형성하고,  
 상기 평탄화 막 위에, 상기 제2콘택홀을 통해 상기 신호 배선과 접속되는 애노드 전극을 형성하는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 13**

제 11항에 있어서,  
 상기 패시베이션 막과 상기 신호 배선 사이에 평탄화 막을 형성하고,  
 상기 신호 배선과 상기 반도체층을 접속하기 위한 상기 제1콘택홀을, 상기 패시베이션 막, 상기 층간 절연막, 상기 게이트 절연막, 상기 평탄화 막에 일괄로 형성하는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 14**

제 13항에 있어서,  
 상기 애노드 전극과 상기 신호 배선을 상기 평탄화 막 위에서 접속하는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 15**

제 14항에 있어서,

상기 애노드 전극을, 상기 신호 배선의 단부를 덮도록 형성하여 상기 신호 배선에 접속하는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 16**

제 14항에 있어서,

상기 애노드 전극을, 상기 신호 배선과 같은 재료로, 상기 신호 배선으로부터 연장하여 형성하는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 17**

제 12항 내지 제 16항 중 어느 한 항에 있어서,

상기 애노드 전극 위에, 상기 애노드 전극과의 접촉부에 이 애노드 전극보다도 일함수가 작은 홀 수송층을 구비하는 발광층을 형성하는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 18**

제 11항 내지 제 16항 중 어느 한 항에 있어서,

상기 패시베이션 막 및 상기 층간 절연막은, SiO<sub>2</sub>, SiN, SiON 중 어느 하나 또는 이들의 적층막으로 이루어지는 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 19**

제 11항 내지 제 16항 중 어느 한 항에 있어서,

상기 평탄화 막은 수지막인 것을 특징으로 하는 표시장치의 제조 방법.

**청구항 20**

제 11항 내지 제 16항 중 어느 한 항에 있어서,

상기 도전 막을, 커패시터 전극이 되는 상기 반도체막 위에 더 형성하는 것을 특징으로 하는 표시장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은, 표시장치 및 그 제조 방법에 관한 것으로, 특히 박막트랜지스터를 갖는 표시장치 및 그 제조 방법에 관한 것이다.

**배경기술**

<2> 종래, 표시장치의 일종으로서 유기 EL표시장치가 있다. 유기 EL표시장치는, EL소자와 같은 발광체를 화소부에 사용하고 있다. 유기 EL소자는, EL층과, EL층을 상하로부터 끼우는 전극을 갖고 있다. 유기 EL표시장치는, EL층을 상하로부터 끼우는 전극 사이에 전류를 흐르게 함으로써 EL층을 발광시키는 것이다. 박형 패널로서 최근 널리 이용되고 있는 액정표시장치와는 달리, 유기 EL표시장치는 자발광형의 표시장치이다. 이 때문에, 유기 EL표시장치는, 콘트라스트나 시야각 의존성, 응답 속도 등에 있어서, 액정표시장치보다도 뛰어나, 고성능 표시장치로서 적용이 확대되고 있다.

<3> 이러한 유기 EL표시장치에 있어서, EL층에 흐르는 전류를 제어하기 위해, 화소 내에 신호 처리 회로가 내장된 액티브형 유기 EL표시장치가 개발되고 있다. EL층으로의 전류를 제어하는 화소신호 처리회로에는, 비정질 실리콘

콘(아모퍼스 실리콘:a-Si)박막이나 다결정 실리콘(폴리실리콘:p-Si)박막 등의 반도체막이 이용된 박막트랜지스터가 이용되고 있다. 이들의 박막트랜지스터는, 반도체층보다도 아래에 게이트 전극이 형성된 역 스택구조형이나, 반도체층보다도 위에 게이트 전극이 형성된 톱 게이트형 등의 종류가 있다. 이들의 박막트랜지스터는, 표시장치의 용도나 성능에 의해 적절히 선택된다.

- <4> 액티브형 유기 EL표시장치에 있어서는, 다결정 실리콘 막을 사용한 박막트랜지스터가 널리 이용되고 있다. 다결정 실리콘 TFT는 이동도가 높고, 장시간 전류를 흐르게 했을 때 발생하는 트랜지스터의 임계값 전압 시프트의 발생도 작다. 이 때문에, 다결정 실리콘 막을 사용한 박막트랜지스터는, 화소신호 처리회로를 제어하는 주변 회로부에도 적용되고 있다.
- <5> 여기에서, 종래의 박막트랜지스터의 구조에 대해 도 7을 참조하여 설명한다. 도 7은, 종래의 박막트랜지스터의 구조를 나타내는 개략적인 단면도다. 도 7에 나타내는 바와 같이, 유리 기판 등의 절연성 기판(1) 위에는, SiN이나 SiO<sub>2</sub> 또는 그것들의 적층막으로 이루어지는 버퍼층(2)이 형성되어 있다. 버퍼층(2)위에는, 섬 모양으로 패터닝 된 다결정 실리콘 막(3)이 형성되어 있다(제1의 사진제판공정).
- <6> 다결정 실리콘 막(3) 위에는, SiO<sub>2</sub>로 이루어지는 게이트 절연막(5)이 형성되어 있다. 또한, 게이트 절연막(5)을 형성한 후, 다결정 실리콘 막(3)으로 이루어지는 커패시터 전극(3d)에, 이온 주입법 혹은 이온 도핑법으로 제1 불순물의 도입이 행해진다(제2의 사진제판공정).
- <7> 제1 불순물 주입후, 게이트 절연막(5)위에 게이트 전극(6a)이 형성된다. 게이트 전극(6a) 형성후, 다결정 실리콘 막(3)의 소스 영역(3a)/드레인 영역(3b)이 되는 소정의 개소에 제2 및 제3의 불순물 도입이 행해진다. 또한, NMOS, PMOS의 각 게이트 전극(6a)을 마스크로서 사용하여 불순물의 도입을 행하는 것으로, 자기 정렬로 n형 소스/드레인 영역 및 p형 소스/드레인 영역을 형성할 수 있다. 또한 게이트 전극(6a)의 가공을 n형 트랜지스터용 게이트 전극과 p형 트랜지스터용 게이트 전극의 2회로 나누어 행함으로써, n형과 p형의 트랜지스터를 동일 기판 위에 나누어 만들 수 있다(제3, 제4의 사진제판공정).
- <8> 또한 박막트랜지스터의 신뢰성 향상을 위해, 저농도 불순물 영역을 형성한 LDD구조로 하는 경우도 있다. 저농도 불순물 영역의 형성 방법에는 몇 가지 방법이 있다. 일반적인 형성 방법으로서, 게이트 전극(6a)을 형성한 후, 이 게이트 전극(6a)을 마스크로서, 다결정 실리콘 막에 저농도 불순물에 의해 제4 불순물 주입을 행한다. 다음에 게이트 전극(6a) 위에 이 게이트 전극(6a)으로부터 소정의 돌출을 갖는 상태의 레지스트 패턴을 사진제판에 의해 형성한다. 그 후에 제4 불순물 주입에 의해 불순물 농도가 높은 제2 불순물 주입을 행한다. 그리고, 제2 불순물 주입 완료후, 게이트 전극 위의 레지스트 패턴을 제거함으로써, 게이트 전극(6a)으로부터 튀어나온 레지스트 패턴 바로 아래에는 저농도 불순물 영역(LDD)이 형성된다. NMOS, PMOS 모두, LDD구조로 할 경우에는, 상기의 LDD 형성 프로세스를 NMOS, PMOS 각각에서 실시하면 된다(제5, 제6의 사진제판공정).
- <9> 다결정 실리콘 막(3)으로의 불순물 주입후, 게이트 전극(6a)위에는 층간 절연막(7)이 형성된다. 그리고, 게이트 절연막(5) 및 층간 절연막(7)에 콘택홀(9)이 형성된다(제7의 사진제판공정). 이 콘택홀(9)은, 다결정 실리콘층(3)의 소스 영역(3a) 및 드레인 영역(3b)을 노출하도록 형성된다. 이들의 콘택홀을 통해 소스 영역(3a)에 접속되는 소스 전극, 또는 드레인 영역(3b)에 접속되는 드레인 전극을 포함하는 신호 배선(10)이 형성된다(제8의 사진제판공정).
- <10> 층간 절연막(7) 위에는 SiN으로 이루어지는 패시베이션 막(8)이 형성되고, 박막 트랜지스터가 구성된다. 패시베이션 막(8)에는, 후술하는 애노드 전극(13)과 신호 배선(10)을 접속하기 위한 스루홀이 형성되어 있다(제9의 사진제판공정).
- <11> 스루홀 형성 후의 패시베이션 막(8)위에는 감광성을 갖는 아크릴 수지 혹은 폴리이미드 막으로 이루어지는 평탄화 막(11)이 형성되어, TFT 표면이 평탄화되고 있다. 그리고, 평탄화 막(11)에는, 신호 배선(10)에 도달하는 스루홀 위를 개구하기 위해 콘택홀(12)이 형성된다(제10의 사진제판공정).
- <12> 평탄화 막(11) 위에는 애노드 전극(13)이 형성된다. 애노드 전극(13)은, 신호 배선(10) 위의 패시베이션 막(8)에 설치된 스루홀과, 평탄화 막(11)에 설치된 콘택홀을 통해 드레인 전극(3b)과 접속되어 있다. 이 패시베이션 막(8)에 설치된 스루홀과 평탄화 막(11)에 설치된 콘택홀은 별도의 공정으로 형성된다.
- <13> 또한, 애노드 전극(13) 형성 후, EL소자를 분리하기 위한 분리막(14), EL층(15), 캐소드 전극(16)의 형성이 행해지지만, 본 발명과는 직접 관계가 없기 때문에 설명을 생략한다.
- <14> 상기한 바와 같은 구조의 액티브형 유기 EL표시장치는 특허문헌 1에 개시되어 있다. 특허문헌 1에 의하면, 애노

드 전극(13) 형성까지의 사진제판공정은 10~11회 필요하며, 제조 비용을 줄이기 위해, 사진제판공정의 삭감이 요구되고 있다.

<15> [특허문헌 1] 일본국 공개특허공보 특개 2007-5807호4

**발명의 내용**

**해결 하고자하는 과제**

<16> 본 발명은, 이러한 사정을 배경으로 행해진 것으로, 본 발명의 목적은 유기 EL표시장치 형성 시, 사진제판공정을 삭감할 수 있는 표시장치 및 그 제조 방법을 제공하는 것이다.

**과제 해결수단**

<17> 본 발명의 일 양태에 따른 표시장치는, 기판 위에 형성된 소스/드레인 영역을 갖는 반도체층과, 상기 소스/드레인 영역이 되는 상기 반도체층 위에 접촉하도록 형성된 도전 막과, 상기 도전 막 위에 형성된 게이트 절연막과, 상기 게이트 절연막 위에 형성된 게이트 전극과, 상기 게이트 전극 위에 형성된 층간 절연막과, 상기 층간 절연막을 피복하는 패시베이션 막과, 상기 패시베이션 막 위에 형성되어, 상기 층간 절연막, 상기 패시베이션 막 및 상기 게이트 절연막에 관통하여 설치된 제1콘택홀을 통해 상기 반도체층과 접속된 신호 배선을 구비하는 것이다.

<18> 본 발명의 일 양태에 따른 표시장치의 제조 방법은, 기판 위에 소스/드레인 영역을 갖는 반도체층을 형성하여, 소스/드레인 영역이 되는 상기 반도체층 위에 접촉하도록 도전 막을 형성하고, 상기 도전 막 위에 게이트 절연막을 형성하고, 상기 게이트 절연막 위에 게이트 전극을 형성하고, 상기 게이트 전극 위에 층간 절연막을 형성하고, 상기 층간 절연막을 피복하도록 패시베이션 막을 형성하고, 상기 층간 절연막, 상기 패시베이션 막, 상기 게이트 절연막에, 상기 반도체층의 일부를 노출하는 제1콘택홀을 일괄로 형성하고, 상기 패시베이션 막 위에, 상기 제1콘택홀을 통해 상기 반도체층과 접속되는 신호 배선을 형성한다.

**효과**

<19> 본 발명에 의하면, 유기 EL표시장치 형성시, 사진제판공정을 삭감할 수 있는 유기 EL표시장치 및 그 제조 방법을 제공할 수 있다.

**발명의 실시를 위한 구체적인 내용**

<20> 이하, 본 발명을 적용가능한 실시예에 대하여 설명한다. 이하의 설명은, 본 발명의 실시예를 설명하는 것으로, 본 발명이 이하의 실시예에 한정되는 것은 아니다. 설명의 명확화를 위해, 이하의 기재 및 도면은, 적절히 생략 및 간략화가 이루어지고 있다.

<21> 실시예 1.

<22> 본 발명의 실시예 1에 따른 유기 EL표시장치에 대해, 도 1을 참조하여 설명한다. 도 1은, 본 실시예에 따른 유기 EL표시장치의 구성을 도시한 도면이다. 도 1에 나타내는 바와 같이, 본 실시예에 따른 유기 EL표시장치(10)는, 절연성 기판(1), 버퍼층(2), 다결정 실리콘 막(3), 제1 메탈막(4a, 4b), 게이트 절연막(5), 제2 메탈막(6), 층간 절연막(7), 패시베이션 막(8), 콘택홀(9), 제3 메탈막(10), 평탄화 막(11), 콘택홀(12), 애노드 전극(13), 분리막(14), 발광층(15), 캐소드 전극(16)을 갖고 있다.

<23> 절연성 기판(1)은, 유리 기판이나 석영 기판 등의 투과성을 갖는 기판이다. 절연성 기판(1) 위에는, 버퍼층(2)이 형성되는 것이 바람직하다. 버퍼층(2)은, 절연성 기판(1)으로부터 유출하는 불순물로부터 후술하는 TFT를 보호하기 위해 설치된다. 버퍼층(2)으로서는, SiN이나 SiO<sub>2</sub> 또는 그것들의 적층막을 사용할 수 있다.

<24> 버퍼층(2)위에는, 반도체막인 다결정 실리콘 막(3)이 설치된다. 다결정 실리콘 막(3)은, 버퍼층(2) 위에 섬 모양으로 형성되어 있다. 다결정 실리콘 막(3)은, 소스 영역(3a), 드레인 영역(3b), 채널 영역(3c) 및 커패시터 전극(3d)이 되는 영역을 포함한다.

<25> 다결정 실리콘 막(3) 중, 소스 영역(3a), 드레인 영역(3b), 커패시터 전극(3d) 위에는, 도전 막이 접촉하도록 형성되어 있다. 구체적으로는, 소스 영역(3a) 및 드레인 영역(3b) 위에는, 도전 막인 제1 메탈막 4a가 형성되어 있다. 제1 메탈막 4a는, 후의 공정에서 형성되는 콘택홀(9)이 다결정 실리콘 막(3)의 소스 영역(3a), 드레인

인 영역(3b)이 관통하는 것을 방지하기 위해 설치된다. 즉, 제1 메탈막 4a는, 에칭 스톱퍼의 역할을 한다. 또한 커패시터 전극(3d) 위에는, 도전 막인 제1 메탈막 4b가 형성되어 있다. 이와 같이, 커패시터 전극(3d) 위에 제1 메탈막 4b가 형성되어 있기 때문에, 다결정 실리콘 막으로 이루어지는 커패시터 전극(3d)에 불순물을 도입할 필요가 없다. 이 때문에, 커패시터 전극(3d)에 불순물의 주입을 행하기 위한 공정을 삭감할 수 있다. 또한, 제1 메탈막(4a, 4b)으로서는, Mo, Cr, W, Ti등을 사용할 수 있다.

<26> 제1 메탈막(4a, 4b) 위에는, 제1 메탈막(4a, 4b) 및 다결정 실리콘 막(3)을 덮도록, 게이트 절연막(5)이 형성되어 있다. 그리고, 게이트 절연막(5) 위에는, 제2 메탈막(6)이 형성되어 있다. 제2 메탈막(6)은, 게이트 전극(6a), 커패시터 전극(6b)을 포함한다. 그리고, 제2 메탈막(6) 위에는, 층간 절연막(7)이 형성되어 있다. 또한 층간 절연막(7)위에는, 층간 절연막을 피복하도록 패시베이션 막(8)이 설치된다. 층간 절연막(7) 및 패시베이션 막(8)은, SiO<sub>2</sub>, SiN, SiON 중 어느 하나 또는 이들의 적층막으로 이루어진다.

<27> 패시베이션 막(8), 층간 절연막(7), 게이트 절연막(6)에는, 이들의 막을 관통하여 설치된 콘택홀(9)이 설치된다. 콘택홀(9)은, 하층에 형성된 소스 영역(3a), 드레인 영역(3b)을 노출하도록 개구되어 있다. 패시베이션 막(8) 위에는, 제3 메탈막(10)이 설치된다. 제3 메탈막(10)으로서는, Al이나 Al을 주성분으로 하는 합금막, Mo, Cr, W, Ta이나 이들을 주성분으로 하는 합금막 또는 그것들의 적층구조를 사용할 수 있다. 제3 메탈막(10)은, 소스 전극, 드레인 전극을 포함하는 신호 배선이 된다. 즉, 패시베이션 막(8) 위에 설치된 신호 배선은, 패시베이션 막(8), 층간 절연막(7) 및 게이트 절연막(5)에 관통하여 설치된 콘택홀(9)을 통해, 반도체층인 다결정 실리콘 막(3)과 접속되어 있다. 이와 같이, 제3 메탈막(10)을 패시베이션 막(8) 위에 형성함으로써, 콘택홀(9)을 패시베이션 막(8), 층간 절연막(7), 게이트 절연막(6)을 관통하도록 일괄로 형성할 수 있다. 종래, 패시베이션 막의 스루홀과, 층간 절연막 및 게이트 절연막에 형성되는 콘택홀은, 별도의 공정으로 형성하고 있었다. 그러나, 본 발명에 의하면, 패시베이션 막(8), 층간 절연막(7) 및 게이트 절연막(5)을 관통하는 콘택홀(9)을 일괄로 형성할 수 있고, 제조 공정을 삭감할 수 있다.

<28> 또한 제3 메탈막(10) 위에는, 패시베이션 막(8)을 피복하도록, 평탄화 막(11)이 설치된다. 그리고, 평탄화 막(11)에는, 하층의 제3 메탈막(10)을 노출시키는 콘택홀(12)이 형성되어 있다. 또한 평탄화 막(11)위에는, 이 평탄화 막(11)에 설치된 콘택홀(12)을 통해 신호 배선이 되는 제3 메탈막(10)과 접속된 애노드 전극(13)이 설치된다. 그리고, 애노드 전극(13) 위에는, 분리막(14)이 설치된다. 분리막(14)은, 후술하는 EL소자를 분리한다. 분리막(14)에는, 애노드 전극(13)을 노출하는 개구부가 설치된다.

<29> 분리막(14)의 개구부에는, 애노드 전극(13)에 접촉하도록 발광층(15)이 설치된다. 발광층(15)은, 예를 들면 도시하지 않은 홀 수송층, 발광층, 전자 수송층, 전자 주입층 등의 복수의 층으로 구성된다. 발광층(15)은, 애노드 전극(13)과의 접촉부에 홀 수송층을 구비하고 있다. 애노드 전극(13)은, 이 홀 수송층보다도 일함수가 큰 재료가 이용되는 것이 바람직하다. 즉, 홀 수송층보다도 일함수가 큰 ITO나 IZO로 이루어지는 투명도전 막이나, Pt, Au, Ir, Cr, Ag, Ni, Al 및 이들의 합금 등을 사용할 수 있다. 이에 따라 애노드 전극(13)과 홀 수송층과의 에너지 장벽을 저감시킬 수 있어, 발광 효율을 향상시키는 것이 가능하게 된다. 발광층(15) 위에는, 캐소드 전극(16)이 설치된다. 애노드 전극(13), 발광층(15), 캐소드 전극(16)이 적층되어, EL소자가 형성된다. 유기 EL 표시장치에는, 복수의 유기 EL소자가 매트릭스 모양으로 형성되어 있다.

<30> 다음에 상기의 액티브형 유기 EL표시장치의 제조 방법에 대해 도 2를 참조하여 설명한다. 도 2는, 본 실시예에 따른 유기 EL표시장치의 제조 방법을 설명하기 위한 도면이다. 도 2에 나타내는 바와 같이, 우선, 절연성 기판 위에 아모퍼스 실리콘의 바탕막으로서 SiN이나 SiO<sub>2</sub> 또는 그것들의 적층막으로 이루어지는 버퍼층(2)이 형성된다(스텝S1). 그리고, 버퍼층(2)위에, 다결정 실리콘 막(3)이 형성된다(스텝S2). 구체적으로는, 우선, 버퍼층(2)위에, 아모퍼스 실리콘 막이 형성된다. 아모퍼스 실리콘 막은, 플라즈마 CVD법에 의해, 두께 50~70nm이 되도록 형성된다. 그 후에 엑시머레이저 어닐 혹은 YAG 레이저 어닐 등에 의해, 아모퍼스 실리콘 막을 용융, 냉각, 고화하여, 다결정 실리콘 막(3)을 얻을 수 있다. 그 후에 드라이 에칭에 의해 다결정 실리콘 막(3)을 섬 모양으로 가공한다(제1사진제판공정).

<31> 다결정 실리콘 막(3)을 섬 모양으로 가공한 후, Mo, Cr, W, Ti등의 제1 메탈막(4a, 4b)이 형성된다(스텝S3). 그 후에 트랜지스터의 소스 영역(3a)/드레인 영역(3b)이 되는 개소 및 커패시터 전극(3d)이 되는 개소에, 제1 메탈막(4a, 4b)이 남도록 패터닝을 실시한다(제2사진제판공정).

<32> 또한, 상기에 있어서는, 다결정 실리콘 막(3)의 패터닝과, 콘택 메탈이 되는 제1메탈막(4a, 4b)의 패터닝을 별도의 사진제판공정으로 실시하고 있지만, 하프톤이나 그레이톤 마스크를 사용하여 1회의 사진제판공정으로 실시

하는 것도 가능하다.

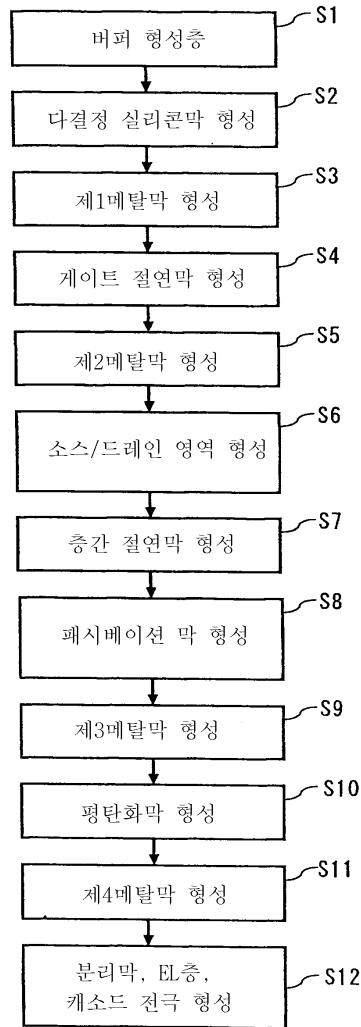
- <33> 다결정 실리콘 막(3), 제1 메탈막(4a, 4b) 형성후, 절연성 기관(1) 전체면에 플라즈마 CVD법에 의해 게이트 절연막(5)이 형성된다(스텝S4). 그리고, 게이트 절연막(5)을 형성한 후, DC마그네트론을 사용한 스퍼터링법에 의해, 게이트 전극(6a), 커패시터 전극(6b) 및 배선(도시하지 않음)을 형성하기 위한 제2 메탈막(6)이 성막된다(스텝S5). 제2 메탈막(6)으로서는, Mo, Cr, W, Al, Ta이나 이들을 주성분으로 하는 합금막을 사용할 수 있다. 그 후에 제2 메탈막(6)의 패터닝을 함으로써, 게이트 전극(6a), 커패시터 전극(6b) 및 배선을 얻을 수 있다(제3 사진제판공정).
- <34> 게이트 전극(6a), 커패시터 전극(6b), 배선을 패터닝한 후, 트랜지스터의 소스 영역(3a)/드레인 영역(3b)을 형성한다(스텝S6). 구체적으로는, 이온주입법 혹은 이온 도핑법으로, 제1 및 제2 불순물 도입을 행한다. 도입하는 불순물 원소로서는, P(인)이나 B(붕소)를 사용할 수 있다. 불순물로서 P를 도입하면 n형의 트랜지스터를 형성할 수 있고, B를 도입하면 p형의 트랜지스터를 형성할 수 있다. 또한 게이트 전극(6a)의 가공을 n형 트랜지스터용 게이트 전극과 p형 트랜지스터용 게이트 전극의 2회로 나누어 행하면, n형과 p형의 트랜지스터를 동일 기관 위에 나누어 만들 수 있다(제4사진제판공정).
- <35> 또한 트랜지스터의 신뢰성 향상을 위해, 저농도 불순물 영역을 형성한 LDD구조로 하는 것도 가능하다. 저농도 불순물 영역의 형성 방법에는 몇 가지 방법이 있지만, 일반적인 형성 방법으로서, 게이트 전극(6a)을 형성한 후, 이 게이트 전극(6a)을 마스크로서, 다결정 실리콘 막(3)에 저농도 불순물에 의해 제3 불순물 주입을 행한다. 다음에 게이트 전극(6a) 위에 이 게이트 전극(6a)으로부터 소정의 돌출을 갖는 상태의 레지스트 패턴을 사진제판에 의해 형성한다. 그 후에 제3 불순물 주입에 의해 불순물 농도가 높은 제1 불순물 주입을 행한다. 그리고, 제1 불순물 주입 완료후, 게이트 전극 위의 레지스트 패턴을 제거함으로써, 게이트 전극(6a)으로부터 튀어나온 레지스트 패턴 바로 아래에는 저농도 불순물 영역(LDD)이 형성된다. NMOS, PMOS 모두, LDD구조로 할 경우에는, 상기의 LDD형성 프로세스를 NMOS, PMOS각각에서 실시하면 된다(제5, 제6사진제판공정).
- <36> 트랜지스터의 소스 영역(3a)/드레인 영역(3b)을 형성한 후, 플라즈마 CVD법에 의해, SiO<sub>2</sub> 혹은 SiN등의 층간 절연막(7)이 형성된다(스텝S7). 그 후에 앞의 공정에 있어서 도입한 불순물을 활성화시키기 위해, 400℃이상의 열처리를 행한다.
- <37> 열처리를 행한 후, SiN등으로 이루어지는 패시베이션 막(8)이 형성된다(스텝S8). 패시베이션 막(8)을 형성한 후, 게이트 절연막(5), 층간 절연막(7) 및 패시베이션 막(8)을 관통하도록 일괄로 콘택홀(9)이 형성된다(제7사진제판공정). 그리고, 패시베이션 막(8) 위에 소스 전극, 드레인 전극 등의 신호 배선이 되는 제3 메탈막(10)이 형성된다(스텝S9). 이에 따라 콘택홀(9)을 통해, 패시베이션 막(8) 위에 형성된 소스 전극, 드레인 전극이 각각 다결정 실리콘 막(3)의 소스 영역(3a), 드레인 영역(3b)에 접속된다(제8사진제판공정). 소스 전극, 드레인 전극이 되는 제3 메탈막(10)은, DC마그네트론을 사용한 스퍼터링법에 의해 성막된다. 제3 메탈막(10)으로서는, Al이나 Al을 주성분으로 하는 합금막, Mo, Cr, W, Ta이나 이들을 주성분으로 하는 합금막 또는 그것들의 적층구조로 할 수 있다. 제3 메탈막의 가공은, 웨트 에칭, 드라이 에칭 어느 것이어도 된다.
- <38> 종래 기술에 있어서의 게이트 절연막, 층간 절연막에 형성된 콘택홀 및 이것과는 다른 공정으로 형성된 패시베이션 막의 스루홀은, 본 실시예에 있어서는, 게이트 절연막, 층간 절연막 및 패시베이션 막에 동시에 형성되는 콘택홀이 된다.
- <39> 본 실시예에 있어서는, 다결정 실리콘 막(3)의 소스 영역(3a)/드레인 영역(3b)의 바로 위에는, 도전 막인 제1 메탈막 4a가 형성되어 있다. 이 때문에, 콘택홀(9)은, 트랜지스터의 소스/드레인 영역이 되는 다결정 실리콘 막(3) 바로 위의 제1 메탈막 4a 위에 형성된다. 종래, 다결정 실리콘 막의 바로 위에는 도전 막은 형성되지 않았다. 이 때문에, 콘택홀이 다결정 실리콘 막을 뚫고 나가는 경우가 있어, 프로세스 윈도우가 좁았다. 그러나, 본 발명에 의하면, 게이트 절연막(5)과 다결정 실리콘 막(3)의 바로 위에 형성한 제1 메탈막 4a와의 선택비를 높게 얻을 수 있다. 이 때문에, 콘택홀(9)의 형성 시, 다결정 실리콘 막(3)을 콘택홀(9)이 관통하는 것을 방지할 수 있다.
- <40> 그리고, 제3 메탈막(10)을 형성한 후, TFT표면을 평탄화하기 위해, 감광성을 갖는 아크릴수지 혹은 폴리이미드막으로 이루어지는 평탄화 막(11)이 형성된다(스텝S10). 이 평탄화 막(11)은, 제3 메탈막(10)과 후술하는 애노드 전극(13)을 접속하기 위한 콘택홀(12)을 형성하기 위해 패터닝 된다(제9사진제판공정).
- <41> 그 후에 평탄화 막(11) 위에 애노드 전극(13)이 되는 제4 메탈막을 형성한다(제10의 사진제판공정). 애노드 전극(13)은, 제3 메탈막(10) 위의 평탄화 막(11)을 개구한 콘택홀(12)을 통해 제3 메탈막(10)과 접속된다. 애노드

전극(13) 형성 후, EL소자를 분리하기 위한 분리막(14)이 형성되어, EL층(15), 캐소드 전극(16)의 형성이 행해진다.

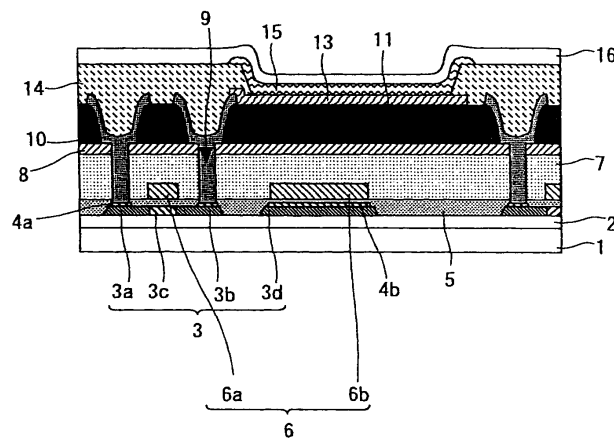
- <42> 이상에서 설명한 바와 같이, 본 발명의 실시예 1에 의하면, 액티브형 유기 EL표시장치의 애노드 전극(13)을 형성할 때까지의 구조를 9~10회의 사진제판공정으로 형성할 수 있다. 이와 같이, 제조 공정수를 삭감할 수 있기 때문에, 유기 EL표시장치의 비용을 삭감하는 것이 가능하게 된다. 또한 다결정 실리콘 막(3)으로의 콘택홀(9)은, 다결정 실리콘 막(3)의 바로 위에 형성한 도전 막 위에 형성하면 되므로, 다결정 실리콘 막(3)을 관통하는 것을 방지할 수 있다. 이와 같이, 프로세스 윈도우를 넓게 할 수 있기 때문에, 제조 수율의 향상을 도모할 수 있다.
- <43> 실시예 2.
- <44> 본 발명의 실시예 2에 대해, 도 3을 참조하여 설명한다. 도 3은, 본 실시예에 따른 유기 EL표시장치의 구성을 도시한 도면이다. 도 3에 있어서, 도 1과 동일한 구성요소에는 동일 부호를 붙여 설명을 생략한다.
- <45> 도 3에 나타내는 바와 같이, 본 실시예에 있어서는, 실시예 1과 달리, 신호 배선이 되는 제3 메탈막(10)이 평탄화 막(11) 위에 형성된다. 즉, 평탄화 막(11)은, 제3 메탈막(10)과, 패시베이션 막(8) 사이에 설치된다. 제3 메탈막(10)과 다결정 실리콘 막(3)을 접속하기 위한 콘택홀(9)은, 게이트 절연막(5), 층간 절연막(7), 패시베이션 막(8), 평탄화 막(11)을 관통하여 설치된다. 또한 애노드 전극(13)과 제3 메탈막은, 평탄화 막(11) 위에 접속되어 있다. 또한, 제3 메탈막(10)의 단부는, 애노드 전극(13)이 되는 제4 메탈막으로 피복되고 있다. 즉, 애노드 전극(13)은, 제3 메탈막(10)의 윗면 및 측면에서 접속된다.
- <46> 상기한 바와 같이, 실시예 1에 있어서는, 게이트 절연막(5), 층간 절연막(7), 패시베이션 막(8)을 관통하는 콘택홀(9)을 형성한 후에, 신호 배선 등이 되는 제3 메탈막(10)을 형성하여 다결정 실리콘 막(3)과 접속했다. 그리고, 제3 메탈막(10)을 형성한 후에 평탄화 막(11)을 형성했다. 본 실시예에 있어서는, 평탄화 막(11)에 형성되는 콘택홀의 형성시에, 패시베이션 막(8), 층간 절연막(7), 게이트 절연막(5)의 콘택홀도 동시에 형성한다. 이에 따라 사진제판공정을 1회 삭감하는 것이 가능하게 된다. 그리고, 평탄화 막(11)을 형성한 후에, 제3 메탈막(10)이 형성된다. 그 후에 제3 메탈막(10)의 단부를 덮도록 애노드 전극(13)이 되는 제4 메탈막을 형성함으로써, 제3 메탈막(10)과 애노드 전극(13)을 접속할 수 있다.
- <47> 실시예 3.
- <48> 본 발명의 실시예 3에 따른 유기 EL표시장치에 대해, 도 4를 참조하여 설명한다. 도 4는, 본 발명의 실시예에 따른 유기 EL표시장치의 구성을 나타내는 도면이다. 또한, 도 4에 있어서는, 도 1과 동일한 구성요소에는 동일 부호를 붙여 설명을 생략한다.
- <49> 실시예 2에 있어서는, 신호 배선이 되는 제3 메탈막(10)과 애노드 전극(13)은 다른 재료로 형성되어, 각각을 평탄화 막(11) 위에서 접속하는 구조로 했다. 본 실시예에 있어서는, 애노드 전극(13)은 제3 메탈막(10)과 같은 재료로 형성되어, 제3 메탈막(10)으로부터 연장하고 있다. 즉, 애노드 전극(13)과 제3 메탈막(10)은, 동일한 공정으로 형성된다. 이에 따라 사진제판공정을 또한 1회 삭감할 수 있다.
- <50> 실시예 4.
- <51> 본 발명의 실시예 4에 따른 유기 EL표시장치에 대해, 도 5를 참조하여 설명한다. 도 5는, 본 실시예에 따른 유기 EL표시장치의 구성을 도시한 도면이다. 도 5에 있어서, 도 1과 동일한 구성요소에는 동일한 부호를 붙여, 설명을 생략한다.
- <52> 도 5에 나타내는 바와 같이, 실시예 3과 마찬가지로, 제3 메탈막(10)은 발광층(15) 아래까지 뻗어 있다. 애노드 전극(13)을 구성하는 제3 메탈막(10) 위에는, 콘택 메탈막(13a)이 설치된다. 따라서, 애노드 전극(13)은, 제3 메탈막(10)과 콘택 메탈막(13a)이 적층된 구조를 갖는다. 콘택 메탈막(13a)으로서는, ITO 혹은 IZO등, 홀 수송층보다도 일함수가 큰 재료를 사용할 수 있다. 이에 따라 애노드 전극(13)과 홀 수송층과의 에너지 장벽을 저감시킬 수 있고, 발광 효율을 향상시키는 것이 가능하게 된다.
- <53> 또한, ITO 혹은 IZO등의 콘택 메탈막(13a)은 도 5에 나타내는 바와 같이 발광층(15) 아래에만 있어도 되고, 또는, 도 6에 나타내는 바와 같이 제3 메탈막(10)의 전체면에 걸쳐 형성해도 좋다.
- <54> 이상에서 설명한 바와 같이, 본 발명에 의하면, 제조 공정수를 삭감할 수 있으므로, 비용의 삭감을 실현하는 것이 가능하게 된다. 또한 커패시터 전극(3b) 위에 도전 막을 형성함으로써, 불순물 도입 공정을 삭감할 수 있다.



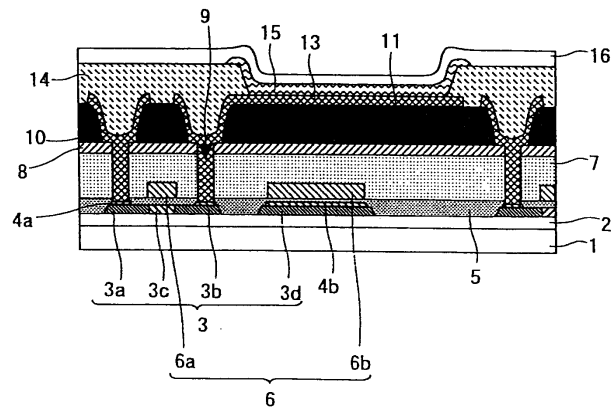
도면2



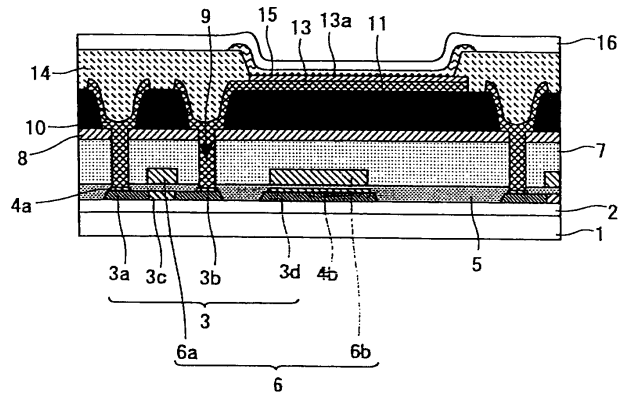
도면3



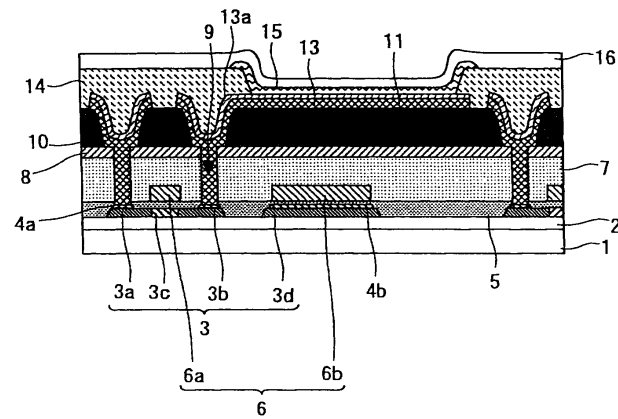
도면4



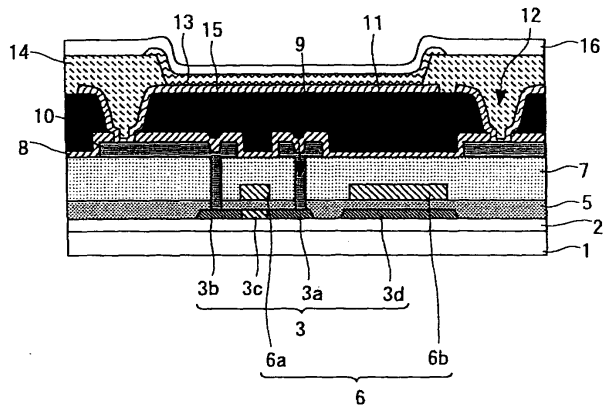
도면5



도면6



도면7



专利名称(译)	显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020090004500A</a>	公开(公告)日	2009-01-12
申请号	KR1020080053012	申请日	2008-06-05
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	IMAMURA TAKUJI		
发明人	IMAMURA, TAKUJI		
IPC分类号	H05B33/08 H05B33/26 H01L29/786 H01L51/50		
CPC分类号	H01L27/3258 H01L27/3262 H01L29/78636		
代理人(译)	LEE HWA我 权泰BOK		
优先权	2007171501 2007-06-29 JP		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在有机EL显示装置形成中提供了减少光机械过程的显示装置。根据本发明的一个方面的显示装置包括多晶硅层(3)，其具有形成在绝缘基板(1)上的区域 - 源极(3a)/漏极区域(3b)，层间绝缘膜(7)钝化膜(8)形成在第一金属膜4a上，该第一金属膜4a接触在第一金属膜4a上形成的区域 - 源极(3a)/漏极区(3b)和栅极绝缘层(5)上栅电极(6a)，形成于栅极绝缘层(5)和层间绝缘膜(7)上，形成于栅电极(6a)和钝化膜(8)上，涂覆层间绝缘层薄膜(7)和钝化薄膜(8)以及通过接触孔(9)连接的信号布线穿过栅极绝缘层(5)并安装有多个多晶硅层(3)。区域源极，漏极区域，绝缘基板，金属膜，钝化膜。

