

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호

10-2006-0046049

(43) 공개일자

2006년05월17일

(21) 출원번호 10-2005-0039214

(22) 출원일자 2005년05월11일

(30) 우선권주장 JP-P-2004-00141891 2004년05월12일 일본(JP)

(71) 출원인 로무 가부시기가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21(72) 발명자 후지사와 마사노리
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21
아베 신이치
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21
야구마 히로시
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21

(74) 대리인 황의인

심사청구 : 있음

(54) 유기 E L 구동 회로 및 이를 이용하는 유기 E L 표시장치

요약

제1 입력 단자로부터 입력된 전류와 내부의 기준 전류 발생 회로로 생성된 기준 전류는 동일 위상이며, 기준 전류 선택 회로에 입력되어서 상기 입력된 전류나 또는 상기 기준 전류가 선택된다. 상기 선택된 전류는 전류 반전 회로에 의해 일시 위상-반전되고, 기준 전류를 복제 및 분배하는 전류 분배 회로(또는 기준 전류 조정 회로)의 커런트 미러 회로를 구동한다. 상기 기준 전류 또는 입력된 전류와 동일 위상이며 상기 기준 전류 또는 입력된 전류와 동일한 전류값을 각각 가지는 전류는 커런트 미러 회로의 출력측 트랜지스터에 생성될 수 있다. 이를 실현하기 위하여, 제2 출력측 트랜지스터는 상기 커런트 미러 회로에 공급됨으로써, 상기 기준 전류와 동일 위상이며 상기 선택된 전류와 실질적으로 동일한 값을 가지는 전류가 상기 출력 단자에서부터 다음 단계의 집적 회로로 입력 기준 전류로서 공급되게 된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 EL 구동 회로가 적용된 유기 EL 표시 장치의 블록 회로도.

도 2는 상기 유기 EL 구동 회로의 컬럼 드라이버의 내부 구성을 나타내는 도면.

도 3은 복수의 컬럼 드라이버를 사용하는 통상의 유기 EL 구동 회로를 나타내는 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL 구동 회로 및 이 유기 EL 구동 회로를 이용하는 유기 EL 표시 장치에 관한 것으로, 상세하게는 컬럼 드라이버 IC 사이의 특성 차이로 인한 휴대 전화기 등에 사용되는 유기 EL 표시 장치의 유기 EL 패널의 표시 스크린상에서 휘도의 불균일을 감소시킬 수 있고, 상기 컬럼 드라이버 IC의 제조 비용을 절감할 수 있고, 특히 고휘도 컬러 표시에 적합한 유기 EL 구동 회로 및 유기 EL 표시 장치에 관한 것이다.

휴대 전화기용 능동형 또는 수동형 유기 EL 표시 장치의 유기 EL 표시 패널에서는 컬럼 라인(유기 EL 소자의 애노드측 구동 라인 또는 데이터 라인)이 396개(132×3)의 단자 핀(컬럼 핀)이고, 로우 라인이 162개의 단자 핀을 가지는 것이 제안되어 왔다. 상기 컬럼 라인 및 로우 라인의 단자 핀의 수는 계속해서 증가하는 경향이 있다.

이러한 단자 핀 수의 증가에 따라, 특히 컬럼 라인측에서 복수의 컬럼 드라이버 IC가 필요하게 된다.

예를 들어, QVGA의 풀 컬러에서 3개의 주 컬러 각각에 대한 단자 핀의 수가 120으로 됨으로써, 전체 360개의 단자 핀이 필요하게 되는 것으로, 즉 3개의 컬럼 드라이버 IC가 현재 필요하게 된다. 그러므로, 컬럼 드라이버 IC 사이의 특성 차이로 인한, 특히 상기 컬럼 드라이버 IC의 구동 전류의 변동으로 인한 유기 EL 표시 장치의 표시 스크린상에 휘도 불균일이 나타난다는 문제가 있다.

예를 들면, JP2001-42827A는 상기 문제를 해결하기 위한 기술을 기술하고 있다.

도 3은 JP2001-42827A에 기재된 회로도이다. 도 3에서, 초단의 컬럼 드라이버 IC(마스터 칩의 제1 애노드 라인 구동 회로)(21)는 기준 전류 제어 회로 RC, 제어 전류 출력 회로 CO, 스위치 S1 내지 Sm을 가지는 스위치 블록 SB, 트랜지스터 Q1 내지 Qm과 바이어스 저항 R1 내지 Rm으로 이루어지며 m개의 전류 구동원으로서 상기 단자 핀에 대응하여 제공된 회로를 포함한다. 다음단의 컬럼 드라이버 IC(슬레이브(slave) 칩의 제2 애노드 라인 구동 회로)(22)는 구동 전류 제어 회로 CC, 스위치 S1 내지 Sm을 가지는 스위치 블록 SB, 트랜지스터 Q1 내지 Qm과 바이어스 저항 R1 내지 Rm으로 이루어지며 m개의 전류 구동원으로서 상기 단자 핀에 대응하여 제공된 회로를 포함한다. 상기 m개의 전류 구동원은 트랜지스터 Q1 내지 Qm과 저항 R1 내지 Rm으로 각각 구성된다. 상기 드라이버의 트랜지스터 Q1 내지 Qm의 출력 전류 I는 스위치 S1 내지 Sm과 출력 단자 X1 내지 Xm을 통해 상기 핀에 각각 공급된다.

상기 기준 전류 제어 회로 RC는 기준 전압 VREF를 공급받은 연산 증폭기 OP, 베이스에 공급된 상기 연산 증폭기 OP의 출력에 의해 구동된 트랜지스터 Qa, 상기 트랜지스터 Qa의 이미터와 그라운드 사이에 제공된 저항 Rp, 트랜지스터 Qa의 상류측에 상기 트랜지스터 Qa의 컬렉터에 접속된 컬렉터를 가지는 트랜지스터 Qb로 구성된다. 상기 저항 Rp에 의해 생성된 전압은 연산 증폭기 OP의 입력으로 귀환됨으로써, 상기 기준 전류 제어 회로는 정전류원을 구성한다. 상기 트랜지스터 Qb의 이미터는 저항 Rr을 통해 (상기 표시 장치의 전원 라인 VDD에 상응하는) 전원 라인 VBE에 접속된다.

커런트 미러 회로는 입력측 트랜지스터로서의 트랜지스터 Qb와, 출력측 트랜지스터로서의 트랜지스터 Q1 내지 Qm 및 제어 전류 출력 회로 CO의 트랜지스터 Qo으로 구성된다. 상기 트랜지스터 Qb는 기준 전류 제어 회로 RC에 의해 생성된 기준 전류 IREF에 의해 구동된다.

상기 컬럼 드라이버 IC(22)의 구동 전류 제어 회로 CC는 기준 전류 제어 회로 RC에 대응한다. 상기 구동 전류 제어 회로 CC는 트랜지스터 Qc 및 Qd를 가진 커런트 미러 회로와 상기 커런트 미러 회로의 출력측 트랜지스터 Qd에 의해 구동된 트랜지스터 Qe로 구성된다. 상기 컬럼 드라이버 IC(22)의 입력측 트랜지스터 Qc는 상기 컬럼 드라이버 IC(21)의 제어 전류 출력 회로 CO의 출력 전류 $I_{out}=i_c$ 를 공급받아서 상기 컬럼 드라이버 IC(22)의 트랜지스터 Qe를 구동한다. 상기 컬럼 드라이버 IC(22)의 트랜지스터 Qe는 출력측 트랜지스터로서 트랜지스터 Q1 내지 Qm을 포함하는 커런트 미러 회로의 입력측 트랜지스터이다.

또한, 저항 R_o 및 R_r 은 동일한 저항값을 가지고, 저항 R_s 는 저항 R_1 내지 R_m 각각의 값과 동일한 값을 가진다. 또한, GA1 내지 GAm은 컬럼 드라이버 IC(22)의 스위치 블록 SB의 스위치 S1 내지 Sm을 온/오프 제어하는 제어 신호를 나타낸다.

상술한 바와 같이 상기 회로내의 컬럼 드라이버 IC(또는 슬레이브 IC)는 컬럼 드라이버 IC(또는 마스터 IC)로부터의 기준 전류에 상응하는 전류에 응답하여 컬럼 드라이버 IC의 기준 전류와 동등하게 된다. 그러나, 이 경우에, 기준 전류를 발생시키는 상기 마스터 컬럼 드라이버 IC(21) 및 상기 슬레이브 컬럼 드라이버 IC(22)의 제어 회로들이 각각 상기 기준 전류 제어 회로 RC와 구동 전류 출력 회로 CO이기 때문에, 상기 마스터 컬럼 드라이버 IC(21)의 기준 전류 IREF와 상기 슬레이브 컬럼 드라이버 IC(22)의 기준 전류 i 와의 차는 상당히 커지게 된다. 그러므로, 컬럼 드라이버 IC(21 및 22)의 경계 영역에서의 휘도 불균일이 충분히 제거될 수 없다.

이러한 문제를 해결하기 위한 기술이 JP2003-288045A에 기재되어 있으며, 이는 집적 페어(paired) 저항의 저항값이 실질적으로 동등하다는 사실을 이용하여 컬럼 드라이버 IC의 구동 전류의 불균일을 제한한다.

JP2001-42827A 및 JP2003-288045A에 기재된 마스터 컬럼 드라이버 IC의 기준 전류 발생 회로와 슬레이브 컬럼 드라이버 IC의 기준 전류 발생 회로는 상술한 바와 같이 상이하기 때문에, 마스터 및 슬레이브 드라이버 IC를 각각 제조해야 하는데 필수적이다. 그러므로, 상기 드라이버 IC의 제조 비용이 높아지게 된다.

한편, 유기 EL 패널의 사이즈가 대형화되는 경향이 있다. 대형 표시 패널의 경우에, 3개 이상의 컬럼 드라이버 IC가 현재 필요하게 된다. 또한, 단자 핀 수의 증가가 단자 핀의 구동 전류의 불균일을 크게 한다. 이로 인해, 구동 전류의 불균일을 개선하기 위하여 고정밀의 구동 전류가 요구된다. JP2003-288045A에 기재된 페어 저항을 이용하는 구동 전류에 있어서, 상기 페어 저항의 저항값의 불균일이 구동 전류에 영향을 주기 때문에, 페어 저항의 사용은 휘도 불균일의 추가 경감의 현재 요청에 대응할 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 이러한 종래 기술의 문제점을 해결하기 위한 것이며, 유기 EL 패널을 구동하는 컬럼 드라이버 IC 사이의 특성 차이로 인한 유기 EL 표시 장치의 표시 스크린상에서의 휘도 불균일을 감소시킬 수 있고, 컬럼 드라이버 IC의 제조 비용을 감소시킬 수 있는 유기 EL 구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 상기와 같은 유기 EL 구동 회로를 이용하는 유기 EL 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

이러한 목적을 달성하기 위하여, 본 발명에 따라 기준 전류 발생 회로에 의해 생성된 기준 전류에 근거하여 유기 EL 패널의 단자 핀에 공급될 구동 전류를 생성하며 드라이버 IC로 구성되는 집적화된 유기 EL 구동 회로는 기준 전류 발생 회로에 의해 생성된 기준 전류와 동일 위상이며, 상기 기준 전류의 값에 상응하는 값을 가지는 외부 공급된 전류를 공급받은 제1 입력 단자와, 출력 단자와, 상기 제1 입력 단자에 공급된 외부 전류 또는 기준 전류를 선택하는 기준 전류 선택 회로와, 상기 기준 전류 선택 회로로부터 선택된 전류의 위상을 상기 기준 전류에 대하여 반전시키는 전류 반전 회로와, 상기 전류 반전 회로로부터 위상-반전 전류를 공급받은 입력측 트랜지스터 및 상기 기준 전류와 동일 위상이며 구동 전류 또는 이 구동 전류가 발생된 전류를 발생시키는 복수의 제1 출력측 트랜지스터를 구비하는 커런트 미러 회로를 포함하고, 상기 커런트 미러 회로는 상기 기준 전류와 동일 위상이며 상기 기준 전류 선택 회로에 의해 선택된 전류의 전류값과 실질적으로 동일한 전류값을 가지는 전류를 출력하는 제2 출력측 트랜지스터를 구비한다.

본 발명에 따르면, 제1 입력 단자에 외부 공급된 전류 또는 상기 제1 입력 단자에 공급된 전류와 동일 위상인 상기 기준 전류 발생 회로에 의해 생성된 기준 전류는 기준 전류 선택 회로에 의해 선택된다. 이에 따라 선택된 전류의 위상은 상기 전류 반전 회로에 의해 일시 반전되어서, 상기 기준 전류를 복제하여 분배하는 기준 전류 분배 회로 또는 전류 분배 회로인 커런트 미러 회로를 구동한다. 이로 인해, 기준 또는 입력된 전류와 동일한 전류값을 가지며 상기 기준 전류 또는 상기 외부 입력 전류와 동일 위상인 전류를 상기 커런트 미러 회로의 출력측 트랜지스터에 생성할 수 있다. 그러므로, 본 발명에서, 상기 커런트 미러 회로의 제2 출력측 트랜지스터는 상기 기준 전류와 동일 위상인 선택된 전류와 실질적으로 동일한 전류가 다음단 IC에 공급될 입력 기준 전류로서 본 발명의 IC의 출력 단자로부터 출력될 수 있도록 제공된다. 또한, 그 다음의 IC와 동일한 구성을 가지는 그 전의 IC의 출력 단자로부터의 입력 기준 전류는 상기 제1 입력 단자에서 수용될 수 있다.

본 발명의 IC는 기준 전류로서 상기 제1 입력 단자에 입력된 전류 또는 내부 발생된 기준 전류를 이용할 수 있다. 또한, 상기 기준 전류와 상응하는 값을 가지며 동일 위상인 전류를 공급할 수 있다. 또한, 상기 기준 전류의 값에 상응하는 값을 가지며 후자와 동일 위상인 전류를 상기 출력 단자에서부터 다른 IC로 공급할 수 있다. 그러므로, 유기 EL 구동 회로에서 동일한 구성을 가지는 복수의 IC를 제공함으로써, 각각의 IC는 상기 IC가 상기 기준 전류로서 상기 제1 입력 단자에 공급된 전류에 근거하여 구동 전류를 생성하는 경우에 슬레이브 IC(슬레이브 칩)로 되거나, 또는 상기 IC가 출력 단자 전류에 의해 다른 동일한 IC를 구동하는 경우에 마스터 IC(마스터 칩)로 된다. 그 결과, 유기 EL 구동 회로의 드라이버 IC는 상기 마스터 IC 또는 슬레이브 IC로 될 수 있게 된다.

상기 슬레이브 IC는 상기 마스터 IC의 출력 단자로부터의 기준 전류와 동일 위상이며 실질적으로 동일한 전류에 응답하여, 상기 마스터 IC와 동일한 상기 기준 전류 선택 회로 및 상기 전류 반전 회로를 통해 상기 마스터 IC와 동일한 커런트 미러 회로를 구동한다. 상기 기준 전류를 수용하는 전류 반전 회로에서부터 상기 마스터 IC의 커런트 미러 회로까지의 회로는 상기 슬레이브 IC와 동일한 회로 구성을 가진다. 물론, 상기 구동 전류를 생성하며, 상기 커런트 미러 회로에 다음 회로가 동일하게 제조될 수 있다.

그 결과, 각각의 IC의 출력 단자로부터 출력된 구동 전류의 불균일이 감소됨에 따라, 유기 EL 패널을 구동하는 상기 컬럼 드라이버 IC 사이의 특성내에서의 변동으로 인한 상기 유기 EL 표시 장치의 표시 스크린상의 휘도 불균일은 감소된다.

특히, 상기 커런트 미러 회로의 입력측 트랜지스터에 대하여 상기 제1 출력측 트랜지스터의 상류측에 복수의 제2 출력측 트랜지스터를 배열함으로써, 상기 제2 출력측 트랜지스터 각각은 기준 전류를 복수의 슬레이브 IC에 제공할 수 있다. 그 결과, 상기 마스터 IC는 복수의 슬레이브 IC를 구동할 수 있게 됨에 따라, 상기 마스터 및 슬레이브 IC의 각 출력 단자로부터 출력된 전류의 불균일이 억제될 수 있다.

상기 제1 및 제2 출력측 트랜지스터의 양 측상에 상기 커런트 미러 회로의 2개 입력측 트랜지스터를 제공하고, 상기 출력측 트랜지스터 배열의 양 측으로부터 상기 제1 및 제2 출력측 트랜지스터를 구동함으로써, 마스터 드라이버 IC로서 임의의 드라이버 IC의 최종 컬럼 라인과 슬레이브 IC로서 다음 드라이버 IC의 최초 컬럼 라인과의 사이의 차이를 감소함에 따라, 표시 스크린상의 휘도 불균일을 감소하는 것이 가능하다.

그 결과, 본 발명에 따라, 단자 핀의 수가 증가되는 경우에도, 상기 유기 EL 패널을 구동하는 컬럼 드라이버 IC 사이의 특성 차이로 인한 휴대 전화기와 같은 유기 EL 표시 장치의 표시 스크린상의 휘도 불균일이 감소될 수 있다. 또한, 모든 컬럼 드라이버 IC가 마스터 IC 또는 슬레이브 IC로서 사용될 수 있기 때문에, 컬럼 드라이버 IC의 제조 비용을 감소시킬 수 있다.

또한, 이 명세서에서 컬럼 드라이버는 능동 매트릭스형의 유기 EL 패널의 데이터 라인을 구동하는 드라이버 IC 또는 수동 매트릭스형의 유기 EL 패널의 컬럼 라인을 구동하는 드라이버 IC일 수도 있다.

도 1에서, 참조 부호 10은 능동 매트릭스형의 유기 EL 표시 장치를 나타내고, 참조 부호 11, 12, 13은 상기 유기 EL 표시 장치의 유기 EL 구동 회로의 컬럼 드라이버 IC를 나타낸다.

컬럼 드라이버 IC(11 내지 13)는 동일한 구성이며, 이들 각각은 도 2에 도시된 바와 같이, 예를 들어 상기 컬럼 드라이버 IC(11)는 기준 전류 발생 회로(1), 기준 전류 선택 회로(2), 기준 전류 분배 회로(3), 유기 EL 패널의 각 단자 핀에 대해 제공된 D/A 변환 블록(4)으로 구성된다.

상기 D/A 변환 블록(4)은 레지스터(6)를 통해 MPU(7)로부터 표시 데이터 DAT에 응답하여 상기 표시 데이터에 따른 기준 전류 발생 회로(1)에 의해 생성된 기준 구동 전류를 증폭하고, 매번 표시 휘도에 대응하여 구동 전류(방전 전류)를 생성한다. 이에 따라 생성된 구동 전류는 데이터 라인(컬럼 라인)측상에서 출력 단자 P1, . . . P1, . . . Pn을 통해 능동 매트릭스형의 유기 EL 패널(5)의 픽셀 회로(9)에 송출되어서 상기 픽셀 회로(9)의 캐패시터 C를 충전하고, 상기 픽셀 회로(9)의 유기 EL 소자(9a)를 구동한다.

또한, 각 D/A 변환 블록(4)은 기준 전류 분배 회로(3)를 구성하는 커런트 미러 회로의 입력측 트랜지스터인 입력측 트랜지스터와, 복수의 출력측 트랜지스터와, 상응하는 수의 스위치 회로를 가지는 커런트 미러 회로이다(도 2). 그러므로, 상기 D/A 변환 블록(4)은 전류 스위칭형 D/A 컨버터를 구성한다.

도 1에서 $Xa, \dots, Xi, \dots, Xn, X2a, \dots, X2i, \dots, X2n, X3a, \dots, X3i, \dots, X3n$ 은 하나의 수평 라인에 대한 각각의 픽셀에 대응하는 컬럼 드라이버(11, 12, 13)의 출력 단자 $P1, \dots, Pi, \dots, Pn$ 각각에 접속된 데이터 라인(컬럼 라인)을 나타낸다.

단자(11a, 11b)는 컬럼 드라이버 IC(11)의 입력 단자이고, 단자(11c 내지 11h)는 상기 출력 단자 $P1, \dots, Pi, \dots, Pn$ 으로부터 별개로 제공된 컬럼 드라이버 IC(11)의 출력 단자이다. 상기 컬럼 드라이버 IC(12)에 있어서, 입력 단자(12a 및 12b), 출력 단자(12c 내지 12h)는 컬럼 드라이버 IC(11)의 입력 단자(11a 및 11b)와, 출력 단자(11c 내지 11h)에 대응하여 제공된다. 동일하게, 입력 단자(13a 및 13b), 출력 단자(13c 내지 13h)는 컬럼 드라이버 IC(13)내에 제공된다. 컬러 표시에 있어서, 상기 기준 전류 분배 회로(3)와 D/A 변환 블록(4)은 R, G, B 컬러 각각에 대하여 제공된다.

상기 기준 전류 분배 회로(3) 또는 상기 기준 전류 발생 회로(1)와 기준 전류 분배 회로(3)와의 사이에, 기준 전류 조정 회로(미도시)가 R, G, B 컬러 각각에 대응하여 제공된다. 상기 기준 전류 발생 회로(1)에 의해 생성된 기준 구동 전류는 상기 기준 전류 조정 회로에 의해 조정되어서 표시 스크린상에서의 화이트 밸런스를 조정한다.

3개의 주 컬러와 상기 기준 전류 조정 회로와의 차이가 본 발명에 직접적으로 관계되지 않기 때문에, 상기 기준 전류 조정 회로 중 하나가 일반적으로 기술될 것이다.

도 2에 나타낸 바와 같이, 상기 기준 전류 발생 회로(1)는 기준 전류원(1a)과 전류 반전 회로(1b)로 구성된다. 상기 기준 전류 선택 회로(2)가 상기 기준 전류원(1a)과 전류 반전 회로(1b)와의 사이에 제공된다. 상기 기준 전류 선택 회로(2)는 아날로그 스위치(트랜스미션 게이트)(2a 및 2b), 인버터(2c)로 구성된다. 상기 아날로그 스위치(2a)는 기준 전류원(1a)과 전류 반전 회로(1b)와의 사이에 제공되고, 상기 스위치(2b)는 입력 단자(11a)와 전류 반전 회로(1b)와의 사이에 제공된다.

상기 인버터(2c)는 입력 단자(11b)에 접속된 입력측 단자와, 온/오프 제어 신호를 수용하는 아날로그 스위치(2a)의 비-반전측 입력 단자 및 온/오프 제어 신호를 수용하는 아날로그 스위치(2b)의 반전측 입력 단자에 접속된 출력측 단자를 포함한다. 또한, 상기 입력 단자(11b)는 온/오프 제어 신호를 수용하는 아날로그 스위치(2a)의 반전측 입력 단자와 온/오프 제어 신호를 수용하는 아날로그 스위치(2b)의 비-반전측 입력 단자에 직접 접속되어 있다.

이로 인해, "0"비트(bit)가 상기 입력 단자(11b)에 입력되는 경우에, 아날로그 스위치(2a)는 온으로 되고, 상보적으로 아날로그 스위치(2b)는 오프로 된다. 이 상태에서, 상기 기준 전류원(1a)의 기준 전류 I_{ref} 가 전류 반전 회로(1b)에 공급된다. 한편, "1"비트가 상기 입력 단자(11b)에 입력되는 경우에, 아날로그 스위치(2b)는 온으로 되고, 상보적으로 아날로그 스위치(2a)는 오프로 된다. 이 상태에서, 상기 컬럼 드라이버 IC(11)의 외부 입력 단자(11a)에 공급되며 상기 기준 전류 I_{ref} 와 동일 위상인 전류 I_r 은 전류 반전 회로(1b)로 송출된다.

또한, 도 1에 도시된 바와 같이, 기준 전류값을 선택하는 선택 비트 신호 B1, B2, B3은 제어 회로(8)에서부터 컬럼 드라이버 IC 각각의 입력 단자(11b, 12b, 13b)로 공급된다. 상기 기준 전류원(1a)은 전원 라인 + VDD에 전원 공급된다.

도 2를 참조하면, 상기 전류 반전 회로(1b)는 입력측 N채널 MOS 트랜지스터 TN1과 출력측 N채널 MOS 트랜지스터 TN2를 구비하는 커런트 미러 회로로 구성된다. 다이오드-접속된 트랜지스터 TN1은 아날로그 스위치(2a 및 2b)의 출력 단자에 접속된 드레인과, 접지된 소스를 가진다.

상기 N채널 트랜지스터 TN2는 상기 기준 전류 분배 회로(3)를 형성하는 커런트 미러 회로의 양 단부에 제공된 입력측 트랜지스터 TPa 및 TPb의 드레인에 접속된 드레인과, 접지된 소스를 가진다.

그러므로, 상기 기준 전류원(1a)의 기준 전류 I_{ref} , 또는 입력 단자(11a)에 외부 공급되며 상기 기준 전류 I_{ref} 와 동일 위상인 전류 I_r 은 전류 반전 회로(1b)에 입력된다. 상기 전류 반전 회로(1b)는 기준 전류 I_{ref} 또는 전류 I_r 의 위상을 반전하여 위상-반전된 출력 전류인 싱크 전류(출력 전류)를 미러 전류로서 생성한다. 상기 미러 전류는 상기 기준 전류 분배 회로(3)의 입력측 트랜지스터 TPa 및 TPb의 드레인에 공급된다.

상기 기준 전류 분배 회로(3)는 다이오드-접속된 입력측 P채널 MOS 트랜지스터 TPa 및 TPb와, 6개의 출력측 P채널 MOS 트랜지스터 TP1 내지 TP6과, 각 출력 단자 $P1, \dots, Pi, \dots, Pn$ 에 대응하여 제공된 D/A 변환 블록(4)으로 구성되며, 출력측상에서 미러 전류로서 입력측 전류를 복제하고 상기 미러 전류를 각각의 단자 핀에 분배하는 전류 복제/분배 회로로서 동작한다.

상기 D/A 변환 블록(4)은 상기 표시 데이터를 아날로그 데이터로 변환하고, 출력측 트랜지스터는 상기 기준 전류 분배 회로(3)의 출력측 트랜지스터로 동작한다. 즉, 단일의 커런트 미러 회로는 도 1에 도시된 바와 같이 상기 기준 전류 분배 회로(3)와 D/A 변환 블록(4)로 구성되고, 도 2에 도시된 바와 같이 기준 전류 분배형 D/A 변환 회로를 구성한다.

상기 D/A 변환 블록(4)의 TPc 내지 TPm 각각은 입력측 P채널 MOS 트랜지스터 TPa 및 TPb에 커런트 미러 접속된 복수의 출력측 P채널 MOS 트랜지스터를 나타낸다.

상기 D/A 변환 블록(4)의 상류측상에 제공된 출력측 트랜지스터 TP1 내지 TP6의 소스와 상기 D/A 변환 블록(4)의 출력측 트랜지스터 TPc 내지 TPm의 소스는 전원 라인 + VDD의 전압보다 높은 전압인 전원 라인 + Vcc에 접속된다. 상기 트랜지스터 TP1 내지 TP6의 드레인은 각각 출력 단자(11c 내지 11h)에 접속된다.

상기 D/A 변환 블록(4)의 출력측 트랜지스터 TPc 내지 TPm이 상기 기준 전류 분배 회로(3)의 입력측 트랜지스터 TPa 및 TPb와 함께 커런트 미러 회로를 구성하기 때문에, 상기 D/A 변환 블록은 전류 스위칭 D/A 변환 회로를 각각 형성한다. 각 전류 스위칭 D/A 변환 회로의 출력측 트랜지스터는 8-비트 표시 데이터의 중량에 대응하여 중량되고, 상기 스위치 회로는 중량된 출력측 트랜지스터와 직렬로 접속된다.

그러므로, 상기 출력측 트랜지스터 TPc 내지 TPm 각각은 8-비트의 중량을 가지는 하나의 출력측 트랜지스터에 대응한다. 상기 출력측 트랜지스터에 직렬로 접속된 스위치 회로는 도 2에 도시된 바와 같이 각각 표시 데이터에 따라 온/오프 제어된다.

상기 D/A 변환 블록(4)은 각각의 단자 핀에 대응하여 공급되고, D/A 변환 블록(4)의 출력 단자는 출력 단자 P1, . . . Pi, . . . Pn에 각각 접속된다.

각각의 D/A 변환 블록(4)의 출력측 트랜지스터의 출력 전류는 레지스터(6)의 표시 데이터 DAT에 의해 온/오프 제어되는 각 스위치 회로에 의해 선택되고, 상기 D/A 변환 블록(4)의 선택된 출력 전류의 합계는 아날로그-변환값으로 발생된다. 그 합계는 상기 D/A 변환 블록에서부터 출력 단자 P1, . . . Pi, . . . Pn으로 구동 전류로서 출력된다.

상기 트랜지스터 TP1 내지 TP6은 상기 기준 전류를 슬레이브 IC인 드라이버 IC에 송출하는 회로를 구성한다. 상기 입력측 트랜지스터 TPa에 대한 트랜지스터 TP1 내지 TP6의 위치는 D/A 변환 블록(4)의 출력측 트랜지스터 TPc 내지 TPm의 상류측상에 있다. 한편, 상기 입력측 트랜지스터 TPb는 최종 D/A 변환 블록(4)의 최종 출력측 트랜지스터의 하류측상에 제공된다. 또한, 상기 입력측 트랜지스터 TPb는 최종 출력측 트랜지스터 TPm 이전 또는 이후에 배치되어도 된다.

상기 트랜지스터 TP1 내지 TP6의 수는 본 실시예에서 6개이지만, 상기 트랜지스터 TPc 내지 TPm의 수는 수십개이다. 그러므로, 상기 트랜지스터의 출력 전류의 정밀도는 상기 트랜지스터 TPa의 근처에 트랜지스터 TP1 내지 TP6을 배열함으로써 향상된다.

따라서, 상기 입력측 트랜지스터 TPa로부터 멀리 떨어진 트랜지스터 TPm의 출력 전류의 정밀도는 상기 TPm과 입력측 트랜지스터 TPa 사이의 거리에 대응하여 악화된다. 그러나, 상기 출력측 트랜지스터 TPm의 근처나 또는 이후에 입력측 트랜지스터 TPb를 제공함으로써, 트랜지스터 TPc 내지 TPm의 출력 전류의 불균일을 억제할 수 있다. 이로 인해, 다음의 슬레이브 IC의 최초의 단자 핀에 따른 최초 컬럼 라인(데이터 라인)에 대응하는 트랜지스터 TPc의 구동 전류의 불균일의 차이는 최초 출력측 트랜지스터 TPc의 출력 전류와 실질적으로 동일한 최종 출력측 트랜지스터 TPm의 출력 전류를 제조함으로써 감소된다.

또한, 드라이버 IC 영역의 엣지 부분에 제공된 트랜지스터 셀은 일반적으로 상기 단자 핀에 공급될 구동 전류를 생성하는 회로에 사용되지 않는 더미(dummy) 트랜지스터이며, 그 이유는 상기 트랜지스터 셀의 오퍼레이팅 특성이 상기 드라이버 IC 내측에 제공된 트랜지스터 셀과 다소 상이하기 때문이다.

상기 출력측 트랜지스터 TP1 내지 TP6과 TPc 내지 TPm이 제공된 IC 영역의 양 단부에 공급된 상기 더미 트랜지스터는 커런트 미러 회로의 출력측 트랜지스터의 라인의 양 측상에 위치한 입력측 트랜지스터 TPa 및 TPb로서 사용될 수 있다.

이 경우에, 상기 출력측 트랜지스터 TP1 내지 TP6과 TPc 내지 TPm의 영역의 양 측부에 배열된 입력측 트랜지스터 TPa 및 TPb는 상기 출력측 트랜지스터를 양 측으로부터 구동할 수 있다.

도 1에 도시된 바와 같이, 상기 드라이버 IC(11)는 상기 기준 전류의 발생을 위해 마스터 IC로서 동작한다. 상기 드라이버 IC(12 및 13)는 드라이버 IC(11)로부터 공급된 기준 전류 I_{ref} 에 응답하는 슬레이브 IC로서 동작한다. 상기 트랜지스터 TP1 내지 TP6 각각에 대한 입력측 트랜지스터, TPa 및 TPb 각각의 채널폭(게이트폭)비는 1:1이다. 각각이 상기 기준 전류 I_{ref} 와 실질적으로 동일하며 기준 전류 I_{ref} 와 동일 위상인 기준 전류 I_r 은 상기 트랜지스터 TP1 내지 TP6의 드레인에서부터 출력 단자(11c 내지 11h)로 방전 전류로서 각각 출력된다.

상기 트랜지스터 TP1의 드레인 전류는 출력 단자(11c), 배선 라인(20)(도 1)을 통해 슬레이브 IC(12)의 입력 단자(12a)에 입력된다. 또, 상기 트랜지스터 TP2의 드레인의 전류는 출력 단자(11d), 배선 라인(21)(도 1)을 통해 슬레이브 IC(13)의 입력 단자(13a)에 입력된다.

그 이외의 출력 단자(11e 내지 11h)는 접지된다. 또한, 상기 트랜지스터 TP1 내지 TP6과 TPc 내지 TPm의 출력 전류가 μA 단위이기 때문에, 전체 전력 소비는 상기 전류가 그라운드 GND로 흐르는 경우에도 실질적으로 증가되지 않는다.

상기 드라이버 IC(13)의 출력 단자(13e 내지 13h)에 대해서도 동일하다.

상기 드라이버 IC(11)는 마스터 IC이기 때문에, 입력 단자(12a)로부터의 전류는 없다. 그러므로, 상기 기준 전류원(1a)은 제어 회로(8)로부터 선택 비트 신호 B1(="0")에 따라 선택된다. 이에 따라, 상기 기준 전류원(1a)으로부터의 기준 전류 I_{ref} 는 전류 반전 회로(1b)에 입력된다. 이 경우에, 상기 "0"비트는 신호를 입력받지 않은 상태와 상응하기 때문에, 상기 기준 전류원(1a)의 선택은 선택 비트 신호 B1이 없어도 가능하다. 또한, 이 경우에 저항을 통해 상기 입력 단자(12a)를 그라운드 GND로 끌어 내리는 것이 바람직하다.

한편, 상기 슬레이브 IC의 드라이버 IC(12)는 제어 회로(8)로부터의 선택 비트 신호 B2(="1")에 응답하여, 상기 기준 전류원(1a)가 아닌 입력 단자(12a)로부터 기준 전류 I_{ref} 를 선택한다. 이로 인해, 상기 드라이버 IC(11)의 트랜지스터 TP6의 드레인에 분배된 기준 전류 I_r 은 상기 드라이버 IC(12)의 전류 반전 회로(1b)에 입력된다.

상기 슬레이브 IC의 드라이버 IC(13)는 상기 제어 회로(8)로부터 선택 비트 신호 B3(="1")에 응답하여 상기 입력 단자(13a)를 선택함으로써, 상기 드라이버 IC(11)의 트랜지스터 TP5의 드레인으로부터의 기준 전류 I_r 이 드라이버 IC(13)의 전류 반전 회로(1b)에 입력된다.

그러므로, 상기 드라이버 IC(11, 12, 13) 각각은 그 내부의 기준 전류 발생 회로(1)의 기준 전류 I_{ref} 에 상응하며 상기 기준 전류 I_{ref} 와 동일 위상인 기준 전류 I_r 에 의해 상기 전류 반전 회로(1b)를 통하여 상기 기준 전류 분배 회로(3)의 입력측 P 채널 MOS 트랜지스터 TPa 및 TPb를 구동한다.

그 결과, 상기 슬레이브 IC의 드라이버 IC(12, 13)의 기준 전류 분배 회로(3)의 D/A 변환 블록(4)은 상기 기준 전류 I_r 에 근거하여 유기 EL 패널의 단자 핀에 공급될 구동 전류를 생성한다.

이 경우에, 상기 슬레이브 칩의 드라이버 IC(12 및 13) 각각은 상기 기준 전류 I_{ref} 와 실질적으로 동일하며 동일 위상인 전류 I_r 을 상기 마스터 드라이버 IC(11)의 출력 단자(11c 및 11d)에 상응하는 출력 단자로부터 받고, 이에 응답하여 기준 전류 선택 회로(2)와 전류 반전 회로(1b)를 통해 상기 기준 전류 분배 회로(3)와 D/A 변환 블록(4)를 구성하는 커런트 미러 회로를 구동한다.

상술한 바와 같이, 상기 슬레이브 드라이버 IC(12 및 13)는 상기 드라이버 IC(11)의 기준 전류 발생 회로(1a)의 기준 전류 I_{ref} 를 기준으로서 이용하여 상기 마스터 드라이버 IC(11)와 동일하게 구성된 회로를 통하여 구동 전류를 생성함으로써 구동 전류의 불균일이 감소된다.

본 실시예에서, 상기 기준 전류 선택 회로(2)는 제어 회로(8)로부터의 설정 신호에 따라 외부 입력된 전류 I_r 또는 내부의 기준 전류 I_{ref} 를 선택한다. 그러나, 상기 기준 전류 선택 회로(2)는 ROM이 형성된 레이어내에서 컨택트 배선 패턴을 형성함으로써 기준 전류 I_{ref} 또는 전류 I_r 을 선택함에 따라, 상기 기준 전류 선택 회로(2)는 데이터가 ROM에 기록된 때에 이와 동시에 선택될 대상이 되는 층상에서 컨택트와 접속될 수 있도록 할 수도 있다. 이 경우에, 상기 기준 전류 선택 회로(2)는 데이터가 ROM에 기록된 때에 제조 단계의 마스크 옵션 처리에서 선택되는 선택 전류로 제조될 수 있다. 그러므로, 이 경우에 기준 전류 선택 회로(2)에 대하여 선택하기 위한 입력 비트 데이터를 필요로 하지 않는다. 또, 상기 배선 접속에서 특수 논리 회로 등을 포함한 하드웨어 회로를 필요로 하지 않는다. 또한, 상기 기준 전류 선택 회로는 각각의 배선 라인내의 퓨즈(fuse)를 구비하도록 구성되고, 상기 퓨즈는 구동 회로의 제조 단계에서 선택적으로 커트된다.

상술한 실시예와 같이, 상기 마스터 IC 또는 슬레이브 IC의 선택이 상기 선택 비트 B1, B2, B3에 따라 실행될 수 있는 방식으로 구동 회로를 구성함으로써, 상기 드라이버 IC가 표시 장치내에 조립된 후 휘도의 불균일이 상기 표시 장치상에서 발견되며, 내부 기준 전류 I_{ref} 와 외부 입력된 전류 I_r 중 최적의 하나를 선택할 수 있다.

또한, 상술한 실시예에서, 상기 입력측 트랜지스터의 근처에 배열된 상기 기준 전류 분배 회로(3)의 6개의 출력측 트랜지스터 TP1 내지 TP6은 6개의 슬레이브 드라이버 IC에 대하여 기준 전류를 생성하는 출력측 트랜지스터로 할당된다. 상기 출력측 트랜지스터는 단일의 출력측 트랜지스터 또는 6 보다 큰 수인 복수의 출력측 트랜지스터로 대체되기도 한다.

또한, 상술한 실시예에서, 상기 출력측 트랜지스터 TPa 및 TPb의 양 측에 배열된 입력측 트랜지스터 TPa 및 TPb는 후자의 출력측 트랜지스터를 구동하기 때문에, 상기 출력측 트랜지스터 TP1 내지 TP6 중 어느 하나는 기준 전류 I_r 를 출력할 수 있다.

상기 슬레이브 드라이버 IC(12 및 13) 각각은 상기 마스터 드라이버 IC(11)와 동일한 구성을 가지기 때문에, 상기 드라이버 IC(12 및 13) 중 하나는 상기 기준 전류 I_r 를 다른 슬레이브 IC의 드레인에 분배한다. 물론, 복수의 마스터 드라이버 IC는 스크린상에서 휘도 불균일에 대응하여 사용되기도 한다.

화이트 밸런스를 조정하기 위하여, 기준 전류 조정 회로가 R, G, B 컬러 각각에 대하여 제공된 경우에, 도 2에 도시된 바와 같이 상기 기준 전류 분배 회로(3) 각각이 사용될 수 있다. 즉, 상기 D/A 변환 블록(4)이 R, G, B 컬러 각각에 대하여 제공되고, 3개의 D/A 변환 블록(4) 모두가 기준 전류 조정 회로로서 사용된다. 그 이유는 기준 전류 조정 회로로서의 3개 D/A 변환 블록(4)이 예비결정된 설정 데이터를 D/A 변환함으로써 각각의 R, G, B 컬러에 대응하는 기준 구동 전류를 생성할 수 있기 때문이다.

화이트 밸런스를 조정하기 위한 기준 전류 조정 회로는 하나의 기준 전류 분배 회로(3)와 R, G, B 컬러에 대한 3개의 D/A 변환 블록(4)으로 구성된 커런트 미러 회로에 의해 실현될 수 있다. 이 경우에, 각각의 단자 핀에 대응하는 기준 전류 분배 회로를 별개로 제공하는 것이 필요하다. 그 이유는 상기 기준 전류 분배 회로가 상기 기준 전류 분배 회로(3)로 구성된 커런트 미러 회로이고, 상기 D/A 변환 블록(4)이 3개의 D/A 변환 블록(4) 각각의 하류측상에 제공되기 때문이다. 그러나, 이 경우에 도 2에 도시된 상기 기준 전류 분배 회로(3)와 D/A 변환 블록(4)를 구성하는 커런트 미러 회로의 복수의 출력측 P 채널 MOS 트랜지스터 TPc 내지 TPm과 상기 입력측 P 채널 MOS 트랜지스터 TPa 및 TPb는 각각 입력측 N 채널 MOS 트랜지스터가 된다. 상기 커런트 미러 회로의 소스측은 접지되고, 출력측 N 채널 MOS 트랜지스터 TPc 내지 TPm의 드레인은 출력 단자에 접속됨으로써, 커런트 싱크형 출력 회로가 된다. 상기 N 채널 MOS 트랜지스터 TPa 및 TPb의 드레인은 상기 기준 전류 조정 회로로부터 기준 구동 전류를 받는다.

상술한 실시예에서, 상기 마스터 드라이버 IC(11)는 구동 회로의 초단에 제공되고, 상기 슬레이브 드라이버 IC(12 및 13)는 하류측에 제공된다. 그러나, 상기 마스터 드라이버 IC(11)의 위치는 구동 회로의 초단으로 한정되지 않는다. 특히, 복수의 슬레이브 드라이버 IC, 마스터 드라이버 IC는 예를 들어 슬레이브 드라이버 IC(12), 마스터 드라이버 IC(11), 슬레이브 드라이버 IC(13)의 순서로 된 슬레이브 드라이버 라인의 중앙 위치에 배열될 수도 있다.

상술한 실시예의 기준 전류 분배 회로(커런트 미러 회로)에서, 상기 기준 전류 I_r 은 커런트 미러 회로의 출력측 트랜지스터 내에 생성되며, 출력 단자 (11c 내지 11h)와 단자 핀 P1 내지 Pn 각각에 분배된다. 이 경우에는 전류값 I_r 이 아니라, D/A 변환 회로의 각 출력측 트랜지스터에 대한 상기 입력측 트랜지스터의 채널폭(게이트폭)비를 변화시켜서 전류 $K \times I_r$ 을 생성할 수 있다. 또한, 상술한 기준 전류 조정 회로로부터 상이한 방식으로 R, G, B 컬러에 대응하는 D/A 변환 블록을 제공하고, 이에 따라 기준 구동 전류를 조정하여 스크린상에서 화이트 밸런스를 조정하는 것이 가능하다.

또한, 상술한 실시예의 전류 구동 회로는 2개의 입력측 구동 트랜지스터와 다수의 출력측 트랜지스터를 구비한다. 그러나, 단일의 입력측 트랜지스터 또는 2이상의 입력측 트랜지스터로 구성될 수도 있다.

또한, 상술한 실시예의 구동 회로가 주로 MOS FET으로 구성되어 있으나, 바이폴라 트랜지스터로 구성될 수도 있다. 또, N 채널 트랜지스터(또는 npn형 트랜지스터)는 P 채널(또는 pnp) 트랜지스터로 대체될 수도 있으며, P 채널형(또는 pnp형) 트랜지스터는 N 채널(또는 npn형) 트랜지스터로 대체될 수도 있다.

발명의 효과

본 발명에 따르면, 유기 EL 패널을 구동하는 컬럼 드라이버 IC 사이의 특성 차이로 인한 유기 EL 표시 장치의 표시 스크린 상에서의 휘도 불균일을 감소시킬 수 있고, 컬럼 드라이버 IC의 제조 비용을 감소시킬 수 있는 유기 EL 구동 회로를 제공 및 이를 이용하는 유기 EL 표시 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

기준 전류 발생 회로에 의해 생성된 기준 전류에 근거하여 유기 EL 패널의 단자 핀에 대응하여 생성된 구동 전류로 유기 EL 패널을 구동하는 집적 유기 EL 구동 회로에 있어서,

상기 기준 전류와 동일 위상이며 상기 기준 전류의 값에 상응하는 값을 가지는, 상기 집적 유기 EL 구동 회로의 외부 전류를 공급받은 제1 입력 단자와,

출력 단자와,

상기 외부 전류 또는 상기 기준 전류를 선택하는 기준 전류 선택 회로와,

상기 기준 전류에 대하여 상기 기준 전류 선택 회로의 출력 위상을 반전하는 전류 반전 회로와,

하나의 입력측 트랜지스터, 복수의 제1 출력측 트랜지스터 및 하나의 제2 출력측 트랜지스터를 포함하는 커런트 미러 회로를 구비하고,

상기 커런트 미러 회로는 상기 전류 반전 회로의 출력 전류에 응답하여, 구동 전류 또는 상기 기준 전류와 동일 위상이며 상기 구동 전류가 그로부터 얻어지는 전류를 상기 복수의 제1 출력측 트랜지스터에서 생성하고, 상기 제2 출력측 트랜지스터는 상기 기준 전류와 동일 위상이며 상기 기준 전류 선택 회로에 의해 선택된 전류의 값과 실질적으로 동일한 값을 가지는 전류를 상기 출력 단자에 출력하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 2.

제1항에 있어서,

상기 제2 출력측 트랜지스터는 상기 입력측 트랜지스터에 대하여 상기 제1 출력측 트랜지스터의 상류측상에 배열되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 3.

제2항에 있어서,

상기 제2 출력측 트랜지스터의 출력 전류는 상기 집적 유기 EL 구동 회로와 동일한 구성을 가지는 다른 집적 유기 EL 구동 회로의 제1 입력 단자에 공급되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 4.

제2항에 있어서,

상기 제1 입력 단자는 상기 집적 유기 EL 구동 회로와 동일한 구성을 가지는 다른 집적 유기 EL 구동 회로의 제2 출력측 트랜지스터의 출력 전류를 공급받는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 5.

제3항에 있어서,

상기 복수의 제1 출력측 트랜지스터가 상기 단자 핀에 대응하여 각각 제공되고,

상기 구동 전류 또는, 상기 구동 전류가 얻어진 전류가 상기 단자 핀에 대응하여 각각 생성되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 6.

제4항에 있어서,

상기 복수의 제1 출력측 트랜지스터가 상기 단자 핀에 대응하여 각각 제공되고,

상기 구동 전류 또는, 상기 구동 전류가 얻어진 전류가 상기 단자 핀에 대응하여 각각 생성되고,

상기 전류 반전 회로가 커런트 미러 회로로 구성되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 7.

제2항에 있어서,

상기 기준 전류 선택 회로는 유기 EL 구동 회로의 제조 단계에서 배선을 접속하는 선택에 의해 입력된 또는, 제2 입력 단자를 통해 상기 유기 EL 구동 회로의 외부 입력된 소정의 선택 신호에 응답하여 상기 입력된 전류 또는 기준 전류를 선택하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 8.

제7항에 있어서,

상기 복수의 입력측 트랜지스터, 복수의 제2 출력측 트랜지스터 및 복수의 출력 단자가 제공되고,

적어도 2개의 상기 입력측 트랜지스터는 상기 제1 및 제2 출력측 트랜지스터의 트랜지스터 배열에서의 대향하는 단부에 배열되어서 상기 제1 및 제2 출력측 트랜지스터를 구동하고,

상기 제2 출력측 트랜지스터는 상기 입력측 트랜지스터의 어느 하나에 대하여 제1 출력측 트랜지스터의 상류측상에 배열되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 9.

제8항에 있어서,

상기 기준 전류 선택 회로는 2개의 아날로그 스위치로 구성되고,

상기 아날로그 스위치 중 하나의 한 말단은 상기 기준 전류 발생 회로에 접속되며, 상기 아날로그 스위치의 다른 말단은 상기 제1 입력 단자에 접속되며, 상기 아날로그 스위치의 다른 말단들은 상기 전류 반전 회로에 공통으로 접속되고,

상기 아날로그 스위치는 1-비트(bit) 신호에 의해 상보적으로 온/오프 제어되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 10.

제7항에 있어서,

상기 입력측 트랜지스터와 상기 복수의 제1 출력측 트랜지스터는 D/A 변환 회로를 구성하고,

상기 복수의 제1 출력측 트랜지스터는 상기 D/A 변환 회로의 D/A 변환 블록을 형성하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 11.

제10항에 있어서,

상기 커런트 미러 회로는 P채널 MOS 트랜지스터로 구성되고,

상기 복수의 D/A 변환 블록은 상기 단자 핀에 대응하여 각각 제공되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 12.

제8항에 있어서,

상기 커런트 미러 회로는 P채널 MOS 트랜지스터로 구성되고,

상기 복수의 D/A 변환 블록은 적, 녹, 청 컬러에 대응하여 각각 제공되어서 적, 녹, 청 컬러 각각에 대응하여 기준 전류를 조정하는 회로를 형성하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 13.

기준 전류 발생 회로에 의해 생성된 기준 전류에 근거하여 유기 EL 패널의 단자 핀에 대응하여 생성된 구동 전류로 유기 EL 패널을 구동하는 복수의 집적 회로를 포함하는 유기 EL 구동 회로에 있어서,

상기 집적 회로 각각은

상기 기준 전류와 동일 위상이며 상기 기준 전류의 값에 상응하는 값을 가지는, 상기 집적 유기 EL 구동 회로의 외부 전류를 공급받은 제1 입력 단자와,

출력 단자와,

상기 외부 전류 또는 상기 기준 전류를 선택하는 기준 전류 선택 회로와,

상기 기준 전류에 대하여 상기 기준 전류 선택 회로의 출력 위상을 반전하는 전류 반전 회로와,

하나의 입력측 트랜지스터, 복수의 제1 출력측 트랜지스터 및 하나의 제2 출력측 트랜지스터를 포함하는 커런트 미러 회로를 구비하고,

상기 커런트 미러 회로는 상기 전류 반전 회로의 출력 전류에 응답하여, 구동 전류나 또는 상기 기준 전류와 동일 위상이며 상기 구동 전류가 얻어지는 전류를 상기 복수의 제1 출력측 트랜지스터에서 생성하고, 상기 제2 출력측 트랜지스터는 상기 기준 전류와 동일 위상이며 상기 기준 전류 선택 회로에 의해 선택된 전류의 값과 실질적으로 동일한 값을 가지는 전류를 상기 출력 단자에 출력하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 14.

제13항에 있어서,

상기 집적 회로 각각의 출력측 트랜지스터는 상기 입력측 트랜지스터에 대하여 상기 제1 출력측 트랜지스터의 상류측상에 배열되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 15.

제14항에 있어서,

상기 집적 회로 각각의 상기 복수의 제1 출력측 트랜지스터는 상기 단자 핀에 대응하여 제공되고,

상기 구동 전류나 또는, 상기 구동 전류가 얻어지는 전류는 상기 집적 회로에 대하여 할당된 상기 단자 핀에 대응하여 생성되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 16.

제14항에 있어서,

상기 기준 전류 선택 회로는 제조 단계에서 배선을 접속하는 선택에 의해, 또는 상기 입력 단자를 통해 외부의 소정 선택 신호에 따라 상기 입력된 전류 또는 기준 전류를 선택하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 17.

기준 전류 발생 회로에 의해 생성된 기준 전류에 근거하여 유기 EL 패널의 단자 핀에 대응하여 생성된 구동 전류로 유기 EL 패널을 구동하는 복수의 집적 회로를 포함하는 유기 EL 표시 장치에 있어서,

상기 집적 회로 각각은

상기 기준 전류와 동일 위상이며 상기 기준 전류의 값에 상응하는 값을 가지는, 상기 집적 유기 EL 구동 회로의 외부 전류를 공급받은 제1 입력 단자와,

출력 단자와,

상기 외부 전류 또는 상기 기준 전류를 선택하는 기준 전류 선택 회로와,

상기 기준 전류에 대하여 상기 기준 전류 선택 회로의 출력 위상을 반전하는 전류 반전 회로와,

하나의 입력측 트랜지스터, 복수의 제1 출력측 트랜지스터, 하나의 제2 출력측 트랜지스터를 포함하는 커런트 미러 회로를 구비하고,

상기 커런트 미러 회로는 상기 전류 반전 회로의 출력 전류에 응답하여, 구동 전류나 또는 상기 기준 전류와 동일 위상이며 상기 구동 전류가 얻어지는 전류를 상기 복수의 제1 출력측 트랜지스터에서 생성하고, 상기 제2 출력측 트랜지스터는 상기 기준 전류와 동일 위상이며 상기 기준 전류 선택 회로에 의해 선택된 전류의 값과 실질적으로 동일한 값을 가지는 전류를 상기 출력 단자에 출력하고,

상기 복수의 집적 회로 중 하나의 제2 출력측 트랜지스터의 출력 전류는 상기 출력 단자를 통해 잔류된 집적 회로 중 적어도 하나의 제1 입력 단자에 입력되는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 18.

제17항에 있어서,

상기 집적 회로 각각의 출력측 트랜지스터는 상기 입력측 트랜지스터에 대하여 상기 제1 출력측 트랜지스터의 상류측상에 배열되는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 19.

제18항에 있어서,

상기 집적 회로 각각의 상기 복수의 제1 출력측 트랜지스터는 상기 단자 핀에 대응하여 제공되고,

상기 구동 전류나 또는, 상기 구동 전류가 얻어지는 전류는 상기 집적 회로에 대해 할당된 상기 단자 핀에 대응하여 생성되는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 20.

제18항에 있어서,

상기 기준 전류 선택 회로는 제조 단계에서 배선을 접속하는 선택에 의해, 또는 상기 입력 단자를 통해 외부의 소정 선택 신호에 따라 상기 입력된 전류 또는 기준 전류를 선택하는 것을 특징으로 하는 유기 EL 표시 장치.

도면

도면3



