

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30
G09G 3/20
G09G 3/36

(11) 공개번호 10-2005-0043931
(43) 공개일자 2005년05월11일

(21) 출원번호	10-2005-7003849	(87) 국제공개번호	WO 2004/025614
(22) 출원일자	2005년03월04일	(43) 공개일자	2005년05월11일
번역문 제출일자	2005년03월04일		
(86) 국제출원번호	PCT/JP2003/011235	(87) 국제공개번호	WO 2004/025614
국제출원출원일자	2003년09월03일	국제공개일자	2004년03월25일

(30) 우선권주장 JP-P-2002-00268036 2002년09월13일 일본(JP)

(71) 출원인 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고

(72) 발명자 다카기 유이치
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고 소니 가 부시
끼 가이샤내
오가 겐이치로
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고 소니 가 부시
끼 가이샤내
다치모리 히로시
일본국 카나가와켄 요코하마시 호도가야쿠 고우도초 134 소니 엘 에스
아이 디자인 가부시끼 가이샤내

(74) 대리인 신관호

심사청구 : 없음

(54) 전류 출력형 구동회로 및 디스플레이 디바이스

명세서

기술분야

본 발명은, 예를 들면 유기EL(Electroluminescence) 디스플레이 디바이스에 적합한 기준전류의 시분할 분배 방식을 채용한 전류 출력형 구동회로 및 그것을 구비한 디스플레이 디바이스에 관한 것이다.

배경기술

최근, 선명한 콘트라스트로 시야각이 넓고, 자발광이기 때문에, 백 라이트가 불필요하고 박형화에 적절한 유기EL 디스플레이 패널이 주목을 끌고 있다.

유기EL 디스플레이 패널은, 인치 사이즈에 있어서는 실용화 단계에 들어가고, 재료나 제조기술이나 구동회로의 진보에 의해, 최근, 13 ~ 17 인치 사이즈의 시작(試作) 패널의 발표가 잇따르고 있다.

유기EL 소자는, 다이오드와 같은 곡선적인 전류-전압 특성을 가지고 있으며, 휘도-전류 특성은 직선적인 비례 관계를 갖고 있다.

이와 같이 유기EL 소자나 박막 트랜지스터(TFT : Thin Film Transistor)에는, 임계 전압이 있고, 불규칙하다. 이 때문에, 유기EL 디스플레이 패널에서는, 휘도와 비례 관계를 가지는 전류 제어의 구동회로를 이용하는 것으로, 디스플레이 패널의 휘도의 고르지 않음을 작게 하는 것이 제안되고 있다.

퍼스널 컴퓨터나 텔레비전 등의 용도의 액정 패널에서는, 많은 비트의 고계조(高階調) 표시가 요구된다.

패널 상에 형성되는 저온 폴리실리콘 TFT의 회로만으로는 많은 비트의 디지털/아날로그 컨버터(DAC) 등의 복잡한 회로를 제작하는 것은 곤란하기 때문에, 수직 방향의 데이터 선을 구동하는 전압 출력형의 드라이버 IC를 패널의 주변부에 정착하여 모듈화하는 것이 행해지고 있다.

대형의 디스플레이 패널의 구동회로에 있어서는, 복수의 드라이버를 사용하여 분할하고 화면을 구동하는 것이 행해지고 있다. 이러한 경우, 드라이버 사이에 특성 불균일이 존재하면, 분할하여 구동하고 있는 화면의 경계선에 휘도의 단차(段差)가 발생한다고 하는 문제가 있다.

액정 디스플레이의 경우에는, 데이터 선 드라이버는 전압 출력형이다. 이 때문에, 기준 전압의 배선 라인을 드라이버 집적 회로(드라이버 IC) 사이에서 공통으로 접속한다고 하는 간단한 방법으로, 휘도 단차를 매우 작게 하는 것이 가능하다.

도 1은, 액정 디스플레이용의 데이터 선 드라이버 등에서 이용되고 있는 기준 전압 발생회로를 나타내는 회로도이다.

이 기준 전압 발생회로는, 전원 전압(V_{DD})의 공급 라인과 접지 라인(GND)과의 사이에 직렬로 접속된 저항 소자($R_0 \sim R_7$)의 저항 분할에 의해 V_0, V_8, \dots, V_{64} 의 9개의 기준 전압을 발생하고 있다. 그리고, 이러한 기준 전압간을 또한 DAC 등에 의해 더욱 상세하게 보간하고, 예를 들면 8등분함으로써, 64계조(階調)의 전압 출력을 얻을 수 있다.

이 기준 전압 발생회로를 드라이버 IC 내에 설치한 경우, 저항의 절대치가 드라이버 IC 마다 불균일해도, 기준 전압 출력은 저항비로 정해지기 때문에 드라이버 IC 사이에 불균일해지는 것은 거의 없다.

도 2는, 전압 출력형 데이터 선 드라이버에 있어서의 기준 전압의 드라이버 IC 사이의 접속방식을 설명하기 위한 도면이다.

이 경우, 디스플레이 패널(PNL)은 n 개의 양극 드라이버 IC($1 \sim n$)에 의해서 분할하여 구동된다.

비록 드라이버 IC 사이에서 기준 전압 출력의 불균일이 있었다고 해도, 도 2에 나타낸 바와 같이, V_0, V_8, \dots, V_{64} 의 기준 전압마다 전부의 드라이버 IC의 기준 전압의 단자를 접속하여 버리면, 기준 전압마다 평균화된 전압이 전부의 드라이버 IC에 공급되게 된다.

이 때문에, 분할하여 구동하고 있는 화면의 경계선에 문제가 되는 레벨의 휘도 단차가 발생하지는 않는다.

그런데, 유기EL 디스플레이의 경우에는, 데이터 선 드라이버는 전류 출력형이 적합하다.

유기EL 디스플레이에 적절한 전류 출력형의 드라이버 IC에 있어서, 상기와 같이 공통의 기준 전압을 드라이버 IC에 공급하고 나서 각각의 드라이버 IC로 전압-전류 변환하여 기준 전류를 발생하면, 전압-전류 변환회로를 구성하는 오피(OP) 앰프의 오프셋 전압이나 저항 소자의 불균일에 의해 드라이버 IC 사이에서 기준 전류가 불균일해진다. 또, 최종적인 출력의 바로 앞에서 전압-전류 변환을 행해도 출력 단자 사이에서 출력 전류가 불균일하게 된다.

이 전류 불균일의 요인을 줄이기 위해서, 전류 출력형의 양극 드라이버 IC에 있어서의 전류 연결 방식을 채용한 유기EL 풀 컬러 모듈 구동 시스템이 제안되고 있다(예를 들어, 비특허 문헌 1: 「유기EL 풀 컬러 모듈 구동 시스템의 개발」, Pioneer R&D VOL. 11, NO. 1; PAGE. 29-36; 2001, 오찌, 사카모토, 이시즈카, 츠치다, 참조).

도 3a는, 이 유기EL 풀 컬러 모듈 구동 시스템을 나타내는 도면이다. 이 구동 시스템에 있어서도, 디스플레이 패널(OPNL)은 n 개의 양극 드라이버 IC($1 \sim n$)에 의해 분할하여 구동된다.

본 구동 시스템에 있어서는, 각 드라이버 IC 각각에 기준 전류원을 설치하여 전류를 설정하면, IC의 성능이나 전류 설정부의 개체차에서 기준 전류가 미묘하게 달라, IC단위로 휘도 단차를 일으키는 경우가 있다. 또, 각 IC에 가변 저항을 이용하고, IC 마다 조정하는 것은 양산화에는 부적합하기 때문에, 인접 IC의 제일 가까운 전류 출력을 기준 전류로 하는 것으로 설정 전류의 불균일을 흡수하고, 휘도 단차를 해소하고 있다.

이 전류 연결 방식에 의하면, 드라이버 사이의 휘도 조절 공정이 불필요해져, 패널 상의 기준 전류의 배선도 비교적 줄일 수 있다.

상술한 것처럼, 도 3a에 나타내는 전류 연결 방식으로는, 좌우에 인접한 드라이버의 경계선에 대응한 휘도 단차는 해소된다.

그렇지만, 도 3b에 나타낸 바와 같이, 드라이버 IC 내의 전류 불균일이 n 개분 가산되는 것에 의해 좌단의 드라이버의 기준 전류(IREF)와 우단의 드라이버의 기준 전류(IREF)($n-1$)가 달라지는 것이 있다.

그런데, 대형의 디스플레이 패널에서는 횡방향으로 디스플레이 패널을 분할하여 구동할 뿐만 아니라, 상하 방향에 대해서도 패널 상의 데이터 선을 1/2의 위치에서 상하 분할하고, 데이터 선의 배선 용량을 1/2로 한다. 그것과 함께, 상하로 드라이버를 배치하여 병렬 구동하여 1개당 드라이버가 구동하지 않으면 안되는 주사선 개수를 반감하는 것으로 구동 주파수를 내리는 것이 행해지고 있다.

이러한 경우, 상기의 전류 연결 방식으로는 디스플레이 패널의 상하의 경계선에서 휘도 단차가 발생하는 것이 있다.

이상과 같이, 종래의 기준 전류의 공급 방법에서는, 대형으로 고계조(高階調) 표시의 유기EL 디스플레이를 실현하는 것이 곤란하다.

이 때문에, 유기EL 디스플레이 패널에 있어서도 유기EL 소자의 구동에 적절한 전류 출력형의 데이터 선 드라이버(소스 드라이버)의 출현이 기다려지고 있다.

발명의 상세한 설명

본 발명의 목적은, 디스플레이 등의 구동 대상을 분할 구동하고 있는 드라이버 사이의 휘도 단차를 충분히 작게 하는 것이나, 디스플레이 패널 상의 기준 전류의 배선 개수를 삭감할 수 있고, 유기EL 소자의 구동에 적절한 전류 출력형 구동회로 및 그것을 구비한 디스플레이 패널을 제공하는 것에 있다.

상기 목적을 달성하기 위해, 본 발명의 제 1의 관점에 관련되는 전류 출력형 구동회로는, 복수의 영역으로 분할하여 분담된 구동 대상에 대해서 구동 전류를 출력하는 전류 출력형 구동회로이며, 구동 대상의 각 분담 영역에 대응해서 설치된 복수의 드라이버를 가지고, 각 드라이버는, 공급되는 기준 전류와 화상 데이터에 대응한 구동 전류를 상기 구동 대상의 대응하는 분담 영역에 출력하는 출력 수단과, 기준 전류 입력 단자로부터 입력한 기준 전류를 샘플 홀드 한 후, 출력 수단에 공급하는 기준 전류원 회로를 가진다.

본 발명의 제 2의 관점과 관련되는 전류 출력형 구동회로는, 복수의 영역으로 분할하여 분담된 구동 대상에 대해서 구동 전류를 출력하는 전류 출력형 구동회로이며, 구동 대상의 각 분담 영역에 대응해서 설치된 복수의 드라이버를 가지고, 각 드라이버는, 공급되는 기준 전류를 상기 구동 대상의 대응하는 분담 영역으로 출력하는 출력 수단과, 기준 전류 입력 단자로부터 입력한 기준 전류를 샘플 홀드 한 후, 출력 수단에 공급하는 기준 전류원 회로를 가진다. 또한, 기준 전류 입력 단자가 다른 드라이버의 기준 전류 입력 단자와 공통의 전류 배선에 의해 접속되고, 각 드라이버의 기준 전류원 회로에는, 기준 전류가 시분할로 분배된다.

본 발명의 제 3의 관점과 관련되는 디스플레이 디바이스는, 복수의 영역으로 분할하여 분담된 디스플레이 패널의 당해 분담 영역에 대해서 구동 전류를 출력하는 디스플레이 디바이스이며, 디스플레이 패널의 각 분담 영역에 대응해서 설치된 복수의 드라이버를 가지고, 각 드라이버는, 공급되는 기준 전류를 구동 전류로서 디스플레이 패널의 대응하는 분담 영역으로 출력하는 출력 수단과, 기준 전류 입력 단자로부터 입력한 기준 전류를 샘플 홀드 한 후, 출력 수단에 공급하는 기준 전류원 회로를 가진다.

본 발명의 제 4의 관점과 관련되는 디스플레이 디바이스는, 복수의 영역으로 분할하여 분담된 디스플레이 패널의 당해 분담 영역에 대해서 구동 전류를 출력하는 디스플레이 디바이스이며, 디스플레이 패널의 각 분담 영역에 대응해서 설치된 복수의 드라이버를 가지고, 각 드라이버는, 공급되는 기준 전류를 구동 전류로서 디스플레이 패널의 대응하는 분담 영역으로 출력하는 출력 수단과, 기준 전류 입력 단자로부터 입력한 기준 전류를 샘플 홀드 한 후, 출력 수단에 공급하는 기준 전류원 회로를 가지며, 또한, 기준 전류 입력 단자가 다른 드라이버의 기준 전류 입력 단자와 공통의 전류 배선에 의해 접속되고, 각 드라이버의 기준 전류원 회로에는, 기준 전류가 시분할로 분배된다.

본 발명에 의하면, 예를 들어 각 드라이버의 기준 전류 입력 단자가 다른 드라이버의 기준 전류 입력 단자와 공통의 전류 배선에 의해 접속된다.

각 드라이버에서는, 기준 전류 분배 개시를 나타내는 신호를 받으면, 기준 전류 입력 단자로부터 기준 전류가 기준 전류원 회로에 받아들여지고, 기준 전류 분배 개시를 나타내는 신호가 다음단의 드라이버 회로에 출력된다.

기준 전류를 받아들인 기준 전류원 회로에 있어서, 기준 전류를 샘플 홀드 한 후, 출력 수단에 공급된다.

그리고, 기준 전류원 회로로부터 공급된 기준 전류가 출력 수단으로부터 구동 전류로서 구동 대상의 대응하는 분담 영역에 출력된다.

또, 예를 들어 화상 데이터의 동작이 정지하고 있는 수직 블랭킹(blanking) 기간에 기준 전류의 각 드라이버로 분배를 행한다. 화상 데이터의 전송에 수반하여 디지털 노이즈가 발생하고 있는 수직 블랭킹 기간 후에는 각 드라이버의 기준 전류원 회로에 유지 보관된 전류가 기준 전류로서 이용된다.

본 발명에 의하면, 분할 구동하고 있는 드라이버 사이의 휘도 단차를 충분히 작게 할 수 있고, 또, 디스플레이 패널 상의 기준 전류의 배선 개수를 삭감할 수 있다.

게다가, 수직 블랭킹 기간에 화상 데이터의 신호를 고정하여 각 데이터 선 드라이버의 분배를 행하는 것으로, 기준 전류로 디지털 신호의 크로스 토크의 영향을 큰 폭으로 작게 할 수 있다.

또, 화상 데이터를 전송하고 있을 때는, 각 드라이버의 기준 전류원 회로에 설치된 커런트 샘플링 회로에 홀드 한 기준 전류를 이용하는 것으로, 동작중의 노이즈의 영향을 작게 할 수 있다.

그 결과, 대형으로 고계조의 유기EL 디스플레이를 실현할 수 있는 이점이 있다.

도면의 간단한 설명

도 1은, 액정 디스플레이용의 데이터 선 드라이버 등에서 이용되는 기준 전압 발생회로를 나타내는 회로도이다.

도 2는, 전압 출력형 데이터 선 드라이버에 있어서의 기준 전압의 드라이버 IC 사이의 접속방식을 설명하기 위한 도면이다.

도 3a 및 도 3 b는, 전류 출력형의 양극 드라이버 IC에 있어서의 전류 연결 방식을 채용한 유기EL 풀 컬러 모듈 구동 시스템을 나타내는 도면이다.

도 4는, 본 발명과 관련되는 전류 출력형 구동회로를 채용한 유기EL 디스플레이 디바이스의 제 1의 실시 형태를 나타내는 구성도이다.

도 5a ~ 도 5h는, 도 1의 디스플레이 디바이스에서의 기준 전류의 샘플링 인계 동작에 대해 설명하기 위한 도면이다.

도 6은, 본 발명과 관련되는 전류 출력형 드라이버 IC의 구성예를 나타내는 블록도이다.

도 7은, 본 실시 형태와 관련되는 기준 전류원 회로의 제 1의 구성예를 나타내는 블록도이다.

도 8은, 도 7의 정전류원 회로의 구성예를 나타내는 회로도이다.

도 9는, 도 7의 커런트 샘플링 회로 및 커런트 미러 회로의 구체적인 구성예를 나타내는 회로도이다.

도 10a ~ 도 10m은, 제어신호 발생회로에 의한 커런트 샘플링 회로의 제어 동작에 대해 설명하기 위한 도면이다.

도 11a ~ 도 11c는, 커런트 미러 회로를 구성하는 저항 소자의 레이아웃 예를 나타내는 도면이다.

도 12는, 도 11a ~ 도 11c의 레이아웃의 효과를 설명하기 위한 도면이다.

도 13a ~ 도 13h는, 기준 전류의 드라이버 IC 사이의 분배 동작을 설명하기 위한 도면이다.

도 14는, 드라이버 IC 사이에 분배하기 위한 기준 전류 배선의 실드 및 안정화 방법을 설명하기 위한 도면이다.

도 15는, 본 실시 형태와 관련되는 기준 전류원 회로의 제 2의 구성예를 나타내는 블록도이다.

도 16은, 본 실시 형태와 관련되는 전류 출력형 드라이버 IC를 구성하는 전류 출력 회로의 1 구성예를 나타내는 회로도이다.

도 17은, 전류 출력 회로의 제 1 및 제 2의뱅크에 채용되는 커런트 샘플링 회로의 구성예를 나타내는 회로도이다.

도 18a ~ 도 18h는, 본 실시 형태와 관련되는 전류 출력형 드라이버 IC의 동작을 나타내는 타이밍 차트이다.

도 19는, 본 실시 형태와 관련되는 전류 출력형 드라이버 IC를 구성하는 레지스터 어레이의 1 구성예를 나타내는 회로도이다.

도 20은, 본 실시 형태와 관련되는 전류 출력형 드라이버 IC를 구성하는 레지스터 어레이, 제어신호 발생회로, DAC 및 전류 출력 회로를 포함한 부분 회로의 구성을 나타내는 블록도이다.

도 21a ~ 도 21g는, 본 실시 형태와 관련되는 전류 출력형 드라이버 IC의 부분 회로의 동작을 나타내는 타이밍 차트이다.

도 22는, 본 발명과 관련되는 전류 출력형 구동회로를 채용한 유기EL 디스플레이 디바이스의 제 2의 실시 형태를 나타내는 구성도이다.

도 23a ~ 도 23n은, 도 22의 디스플레이 디바이스에서의 기준 전류의 샘플링 인계 동작에 대해 설명하기 위한 도면이다.

* 부호의 설명

100. 유기EL 디스플레이 디바이스

101, 101-1 ~ 101-n. 전류 출력형 데이터 선 드라이버(드라이버 IC)

200(-1 ~ -n), 200a, 200b. 기준 전류원 회로(IREFC)

300. 제어회로(CTL) 400. 기입회로(WRT)

- 500. 플러그용 쌍방향 시프트 레지스터(FSFT)
- 600. 화상 데이터용 레지스터 어레이(REGARY)
- 700-1, 700-(m/2). 제어신호 발생회로(GEN)
- 800-1 ~ 800-m. 전류 출력형 DAC(디지털/아날로그 컨버터)
- 900-1 ~ 900-m. 전류 출력 회로(IOUT)
- 901. 제 1의 बैं크 902. 제 2의 बैं크
- 903. 전류 출력 트랜지스터 어레이
- 1000. 테스트 회로(TST)

실시에

< 제 1 실시 형태 >

도 4는, 본 발명과 관련되는 전류 출력형 구동회로를 채용한 유기EL 디스플레이 디바이스의 제 1의 실시 형태를 나타내는 구성도이다.

본 디스플레이 디바이스(100)는, 도 4에 나타난 바와 같이, 전류 출력형 구동회로를 구성하는 n개의 전류 출력형 데이터 선 드라이버(이하 단에 드라이버 IC 라고 한다)(101-1 ~ 101-n) 및 구동 대상의 디스플레이 패널(102)을 가지고 있다.

본 디스플레이 디바이스(100)는, n개의 구동 영역(DRVA1 ~ DRVn)으로 분할되어 있다. 그리고, 디스플레이 패널(102)의 도면 중의 긴 쪽 방향의 한 변측(도면 중의 상단측)에 n개의 드라이버 IC(101-1 ~ 101-n)가 각 구동 영역(DRVA1 ~ DRVn)에 대응하도록 병렬적으로 배치되어 있다. 디스플레이 디바이스(100)는, n개의 드라이버 IC(101-1 ~ 101-n)에 의해 분할 구동된다.

이 구성은, 예를 들어 PC(컴퓨터)의 모니터나 소형의 텔레비전의 경우에 상당한다.

각 드라이버 IC(101-1 ~ 101-n)는, 기본적으로 동일 구성을 가지고, 도 4에 나타난 바와 같이, 기준 전류원 회로(IREFC)(200-1 ~ 200-n)를 포함한다.

기준 전류원 회로(200)(-1 ~ -n)는, 마스터가 되는 1개의 드라이버 IC(본 실시 형태에서는(101-1))의 기준 전류 발생회로의 외부 저항 접속 단자(REXT)와 접지(GND)와의 사이에 저항 소자(REXT)를 접속하고, 저항 소자(REXT)의 저항값에 따라 기준 전류 출력 단자(TIREFOUT)에 디스플레이 패널(102)의 각 분할 구동 영역(DRVA1 ~ DRVAn)을 구동하는 각 드라이버 IC(101-1 ~ 101-n)에 공통되는 기준 전류(IREF)를 발생한다.

각 드라이버 IC(101-1 ~ 101-n)의 기준 전류원 회로(200-1 ~ 200-n)는, 공급되는 기준 전류(IREF)를 샘플 홀드 하고 나서 드라이버 내부에 공급한다.

기준 전류원 회로(200-1 ~ 200-n)는, 입력 단자(TREFSTART), 출력 단자(TREFNEXT), 단자(TREXT), 기준 전류 출력 단자(TIREFOUT), 기준 전류 입력 단자(TIREFIN), 전류 분배 단자(TIREF1 ~ TIREFm)를 가지고 있다.

본 실시 형태에 대해서는, 마스터의 드라이버 IC(도 4에서는 (101))의 기준 전류 출력 단자(TIREFOUT)로부터 출력되는 기준 전류(IREF)를, 공통의 전류 배선(CML1)에서 각 드라이버 IC(101-1 ~ 101-n)의 기준 전류 입력 단자(TIREFIN)로 접속하고 있다.

그리고, 도 4의 구성에서는, 마스터에 의한 기준 전류(IREF)와 각 드라이버 IC(101-1 ~ 101-n)가 받는 전류가 동일한 것으로 되기 때문에, 다음에 상술한 바와 같이, 드라이버 IC(101-1), 드라이버 IC(101-2), ..., 드라이버 IC(101-n)는 시분할로 기준 전류(IREF)를 받도록 전류 분배 방식을 채용하고 있다.

또한, 도 4에 있어서 기준 전류(IREF)는 드라이버 IC(101-1)에서 발생하고 있지만, 예를 들어, 별도로 전류 출력형의 DAC를 설치하여 공급하도록 구성하는 것도 가능하다.

또, 드라이버 IC(101-1), 드라이버 IC(101-2), ..., 드라이버 IC(101-n)의 차례로 기준 전류를 받아들이기 위해, 매우 적합하게는, 입력 단자(TREF START)와 출력 단자(TREFNEXT)에 의해 기준 전류 받아들이는 용도의 플러그를 이동시키기 위해, 이들 입출력 단자가 차례로 접속되고 있다.

구체적으로는, 초단의 마스터 드라이버 IC(101-1)의 기준 전류원 회로(200-1)의 입력 단자(TREFSTART)는 신호(REFSTART)의 입력단에 접속되고, 출력 단자(TREFNEXT)가 다음단의 드라이버 IC(101-2)의 기준 전류원 회로(200-2)의 입력 단자(TREFSTART)에 접속되어 있다.

드라이버 IC(101-2)의 출력 단자(TREFNEXT)가 다음단의 도시하지 않은 드라이버 IC(101-3)의 입력 단자(TREFSTART)에 접속되어 있다.

이하와 같이 하여, 드라이버 IC(101-(n-1))의 출력 단자(TREFNEXT)가 최종단의 드라이버 IC(101-n)의 입력 단자(TREFSTART)에 접속되어 있다.

또한, 이러한 방법을 취하지 않고, 샘플링 시간을 나타내는 제어 단자를 설치하여, 패널 상에 설치한 제어용IC에 의해 집중하여 제어하도록 구성하는 것도 가능하다.

또, 본 디스플레이 디바이스(100)는, 상술한 것처럼, 복수의 드라이버 IC(101-1 ~ 101-n)로 분할하여 디스플레이 패널(102)을 구동하기 때문에, 화상 데이터도 복수의 드라이버 IC에 차례로 기입되어 진다.

이 때문에, 드라이버 IC 사이에 기입 위치를 나타내는 플래그를 인계하기 위한 입출력 단자(TSTART / NEXT, TNEXT / START)가 설치되어 있다.

그리고, 초단의 마스터 드라이버 IC(101-1)의 입출력 단자(TSTART / NEXT)는, 화상 데이터의 전송 개시를 나타내는 펄스신호(START)의 입력 단자에 접속되고, 입출력 단자(TNEXT / START)가 다음단의 드라이버 IC(101-2)의 입출력 단자(TSTART / NEXT)에 접속되어 있다. 드라이버 IC(101-2)의 입출력 단자(TNEXT / START)가 다음단의 도시하지 않은 드라이버 IC(101-3)의 입출력 단자(TSTART / NEXT)에 접속되어 있다.

이하와 같이 하여, 드라이버 IC(101-(n-1))의 입출력 단자(TNEXT / START)가 최종단의 드라이버 IC(101-n)의 입출력 단자(TSTART / NEXT)에 접속되어 있다.

이러한 구성에 있어서, 예를 들어 도시하지 않는 기입 방향 제어신호(DIR)에 의해, DIR = H(논리 하이레벨)일 때는, 입출력 단자(TSTART / NEXT)는 START 입력으로서 기능한다. TNEXT / START 단자는 NEXT 출력으로서 기능하고, 도면 중 드라이버 IC의 좌측에서 우측으로 플래그가 이동하여 화상 데이터가 기입된다.

또, DIR = L(논리 로우레벨)일 때는, 입출력 단자(TNEXT / START)가 START 입력으로서 기능한다. 입출력 단자(TSTART / NEXT)는 NEXT 출력으로서 기능하고, 드라이버 IC(101-n)의 입출력 단자(TNEXT / START)에, 화상 데이터의 전송 개시를 나타내는 펄스신호(START)의 입력 단자에 접속되고, 도면 중 드라이버 IC의 우측에서 좌측으로 플래그가 이동하여 화상 데이터가 기입된다.

즉, 디스플레이 패널의 상변에 드라이버 IC를 배치한 경우에는, 기입 방향 제어신호 DIR = H로서, 디스플레이 패널의 하변에 드라이버 IC를 배치한 경우에는, 기입 방향 제어신호 DIR = L로 하는 것으로, 동일한 반도체 칩으로 대응한다.

여기서, 도 4의 디스플레이 디바이스(100)에서의 기준 전류의 샘플링 인계 동작에 대해서, 도 5a ~ 도 5h의 타이밍 차트에 관련지어 설명한다. 또한, 이하의 동작의 설명은 어디까지나 일례로, 패널 상에 설치한 제어용IC에 의해, 집중하여 제어하도록 구성하는 것도 가능하다.

이 경우, 도시하지 않는 기입 방향 제어신호(DIR)가 DIR = H(논리 하이레벨)로 공급된다. 입출력 단자(TSTART / NEXT)는 START 입력으로서 기능하고, 입출력 단자(TNEXT / START)는 NEXT 출력으로서 기능한다.

여기서, 도 5a에 나타낸 바와 같이, 수평 동기 신호(HSYNC)의 (아래쪽) 펄스가 입력한 후, 도 5b에 나타낸 바와 같이, 드라이버 IC(101-1)의 입출력 단자(TSTART(/NEXT))에 화상 데이터의 전송 개시를 나타내는 제 1의 신호로서의 펄스신호(START = START)(1)가 입력된다.

드라이버 IC(101-1)의 중을 플래그가 이동하여 드라이버 IC(101-1)의 화상 데이터용의 메모리에 기입하면, 드라이버 IC(101-1)의 입출력 단자(TNEXT(/START))로부터 드라이버 IC(101-2)의 입출력 단자(TSTART(/NEXT))로 드라이버 IC(101-2)의 기입 개시를 나타내는 펄스신호(START)(2)가 출력된다. 이것에 의해, 드라이버 IC(101-2)로 플래그가 이동하여 드라이버 IC(101-2)의 화상 데이터용의 메모리에 화상 데이터가 기입된다.

이와 같이하여, 펄스신호 START(3) ~ START(n)가 차례 차례로 출력되고, 각 드라이버 IC(101-3 ~ 101-n)의 화상 데이터용의 메모리에 화상 데이터가 기입된다.

또, 도 5e에 나타낸 바와 같이, 드라이버 IC(101-1)의 입력 단자(TREFSTART)에 기준 전류(IREF)의 분배 개시를 나타내는 제 2의 신호로서의 펄스신호(REFSTART)가 입력된다.

펄스신호(REFSTART)는, 도 5b 및 도 5e에 나타낸 바와 같이, 펄스신호 START(1)에 오버랩하도록 입력된다. 드라이버 IC(101-1)는, 펄스신호 START(1)를 구동 클럭으로서 펄스신호(REFSTART)를 래치로써, 1 사이클 후의 펄스신호 START(1)의 하강 에지에서 1 사이클 폭의 신호 REFNEXT(1) 펄스를 출력 단자(TREFNEXT)로부터 출력한다. 드라이버 IC(101-1)는, 펄스신호 REFNEXT(1) 발생시에 기준 전류(IREF)를 기준 전류 입력 단자(TIREFIN)로부터 받아들인다.

드라이버 IC(101-2)의 입력 단자(TREFSTART)로 펄스신호(REFNEXT)가 입력된다. 펄스신호 REFNEXT(1)는, 도 5c 및 도 5f에 나타낸 바와 같이, 펄스신호 START(2)에 오버랩하고 있다. 드라이버 IC(101-2)는, 펄스신호 START(2)를 구동 클럭으로서 펄스신호 REFNEXT(1)를 래치하고, 1 사이클 후의 펄스신호 START(2)의 하강 에지에서 1 사이클 폭의 펄스신호 REFNEXT(2)를 출력 단자(TREFNEXT)로부터 출력한다. 드라이버 IC(101-2)는, 펄스신호 REFNEXT(2) 발생 시에 기준 전류(IREF)를 기준 전류 입력 단자(TIREFIN)로부터 받아들인다.

동일하게 하여, REFNEXT(3) ~ REFNEXT(n)의 펄스가 각 드라이버 IC(101-3 ~ 101-(n-1))로부터 차례차례 출력되고, 각 드라이버 IC(101-3 ~ 101-n)에 기준 전류(IREF)가 차례로 받아들여진다.

이하에, 상기 기능을 가지는 드라이버 IC(101(-1 ~ -n))의 구체적인 구성 및 각부의 기능에 대해서, 도면과 관련하여 순서대로 설명한다.

도 6은, 본 발명과 관련되는 전류 출력형 드라이버 IC의 구성예를 나타내는 블록도이다.

본 드라이버 IC(101)는, 도 6에 나타낸 바와 같이, 기준 전류원 회로(IREFC)(200), 제어회로(CTL)(300), 기입회로(WRT)(400), 플러그용 쌍방향 시프트 레지스터(FSFT)(500), 화상 데이터용 레지스터 어레이(REGARY)(600), 제어신호 발생회로(GEN)(700-1, 700-(m/2)), 전류 출력형 DAC(디지털/아날로그 컨버터)(800-1, 800-2, ..., 800-(m-1), 800-m), 전류 출력회로(IOUT)(900-1, 900-2, ..., 900-(m-1), 900-m), 테스트 회로(TST)(1000)를 가지고 있다.

각 드라이버 IC(101-1 ~ 101-n)의 기준 전류원 회로(200)는, 입력 신호(REFNEXT)의 제어에 따라서 기준 전류 입력 단자(TIREFIN)를 통해 기준 전류(IREF)를 드라이버 IC 내부로 받아들이고, 받아들인 기준 전류(IREF)를 DAC 수분으로 복제 또는 시분할로 분배하여 DAC(800-1 ~ 800-m)으로 출력한다.

기준 전류원 회로(200)는, 마스터가 되는 1개의 드라이버 IC(본 실시형태에서는 (101-1))의 기준 전류 발생회로의 외부 저항 접속 단자(REXT)와 접지(GND)와의 사이에 저항소자(REXT)를 접속하고, 저항소자(REXT)의 저항값에 따라 기준 전류 출력 단자(TIREFOUT)에 디스플레이 패널(102)의 각 분할 구동 영역(DRVA1 ~ DRVA_n)을 구동하는 각 드라이버 IC에 공통되는 기준 전류(IREF)를 발생한다.

또는 기준 전류(IREF)는, 예를 들어 디스플레이 패널(102)에 별도 설치한 정전류 발생회로나 전류 출력형 DAC 등의 전류원으로부터, 마스터로 이루어지는 1개의 드라이버 IC(본 실시 형태에서는 (101-1))로 공급되도록 구성된다.

도 7은, 본 실시 형태와 관련되는 기준 전류원 회로의 제 1의 구성예를 나타내는 블록도이다.

본 기준 전류원 회로(200a)는, 도 7에 나타낸 바와 같이, 기준 전류 발생회로로서의 정전류원 회로(ISRC)(201), 기준 전류를 시분할로 받아들이기 위한 커런트 샘플링회로(CSMPL)(202), 커런트 미러 회로(CURMR)(203) 및 커런트 샘플링회로(202)의 동작을 제어하기 위한 제어신호(CTL(201), CTL(202))를 발생하는 제어신호 발생회로(CLTGEN)(204)를 가지고 있다.

정전류원 회로(201)는, 마스터가 되는 1개의 드라이버 IC(본 실시 형태에서는 101-1)로서 이용되는 경우, 외부 저항 접속 단자(TREXT)와 접지(GND)와의 사이에 저항 소자(REXT)를 접속하고, 그 저항값에 따라 기준 전류(IREF)를 발생하여, 기준 전류 출력 단자(TIREFOUT)로부터 출력한다.

기준 전류 출력 단자(TIREFOUT)는, 공통의 배선(CML1)(도 7에는 도시하고 있지 않다)에 의해 동일 및 다른 기준 전류원 회로의 커런트 샘플링 회로(202)의 기준 전류 입력 단자(TIREFIN)에 접속된다.

이 정전류원 회로(201)는, 디스플레이 패널(102) 상의 부품 점수를 줄이기 위해 드라이버 IC 내에 설치되어 있다.

도 8은, 도 7의 정전류원 회로의 구성예를 나타내는 회로도이다.

정전류원 회로(201)는, 도 8에 나타낸 바와 같이, 밴드갭 정전압 발생회로(BGVGEN), 연산 증폭기를 이용한 피드백 회로(2012), 저항 소자(R201)와 pnp형 트랜지스터(Q201)로 이루어지는 제 1전류원(2013), 저항 소자(R202)와 pnp형 트랜지스터(Q202)로 이루어지는 전류원(2014), pnp형 트랜지스터(Q203, Q204) 및 외부 저항 소자(REXT)에 의해 구성되어 있다.

저항 소자(R201)의 일단이 전원 전압(V_{DD})의 공급 라인에 접속되어, 타단이 트랜지스터(Q201)의 이미터에 접속되어 있다. 트랜지스터(Q201)의 콜렉터가 트랜지스터(Q203)의 이미터에 접속되고, 트랜지스터(Q203)의 콜렉터가 단자(TREXT) 및 피드백 회로(2012)의 비반전 입력 단자(+)에 접속되어 있다.

저항 소자(R202)의 일단이 전원 전압(V_{DD})의 공급 라인에 접속되고, 타단이 트랜지스터(Q202)의 이미터에 접속되어 있다. 트랜지스터(Q202)의 콜렉터가 트랜지스터(Q204)의 이미터에 접속되고, 트랜지스터(Q204)의 콜렉터가 기준 전류 출력 단자(TIREFOUT)에 접속되어 있다.

트랜지스터(Q201, Q202)의 베이스가 피드백 회로(2012)의 출력에 접속되고, 트랜지스터(Q203, Q204)의 베이스가 도시하고 있지 않은 바이어스 회로의 베이스 전압(VKP1)의 공급 라인에 접속되어 있다.

또, 피드백 회로(2012)의 반전 입력 단자(-)가 밴드갭 정전압 발생회로(2011)의 전압 공급 라인에 접속되어 있다.

밴드갭 정전압 발생회로(2011)는, 전원 전압 의존성이나 온도 의존성을 매우 작게 한 전압(VBG)을 발생한다.

피드백 회로(2012)는, 단자(TREXT)의 전압이(VBG)에 일치하도록, 출력전압(AMPO)에 의해, 제 1전류원(2013) 및 제 2전류원(2014)에 흐르는 전류치를 제어한다.

이것에 의해, 정전류원 회로(201)는, 트랜지스터(Q204)의 콜렉터 측에 다음 식으로 주어지는 기준 전류(IREF)를 발생하여, 기준 전류 출력 단자(TIREFOUT)로부터 출력한다.

$$IREF = (VBG / KREXT) \times (KR201 / KR202) \dots (1)$$

여기서, KREXT는 외부 저항 소자(REXT)의 저항치, KR201는 제 1전류원(2013)의 저항 소자(R201)의 저항치, KR202는 제 2전류원(2014)의 저항 소자(R202)의 저항치를 각각 나타내고 있다.

커런트 샘플링 회로(202)는, 예를 들어 2개의 제 1전류 메모리 및 제 2전류 메모리를 가지고, 제어신호 발생회로(204)에 의해 제 1제어신호(CTL201) 및 제 2제어신호(CTL202)에 따라서, 제 1전류 메모리 또는 제 2전류 메모리에 기준 전류 입력 단자(TIERFIN)로부터 공급되는 기준 전류(IREF)를 기입한다. 또한, 제 1전류 메모리 또는 제 2전류 메모리의 기입 동작에 병행하고, 제 2전류 메모리 또는 제 1전류 메모리에 이미 기입한 기준 전류(IREF)를 출력 단자(TIRCSO)로부터 커런트 미러 회로(203)에 출력한다(독출한다).

커런트 미러 회로(203)는, 커런트 샘플링 회로(202)의 제 1 또는 제 2의 전류 메모리에 샘플링 된(기입 된) 기준 전류(IREF)를 받고, DAC(800)-1 ~ 800-m의 수에 상당하는 기준 전류(IREF1 ~ IREFm)를 복제하고, DAC(800)-1 ~ 800-m에 공급한다.

도 9는, 도 7의 커런트 샘플링 회로(202) 및 커런트 미러 회로(203)의 구체적인 구성예를 나타내는 회로도이다.

커런트 샘플링 회로(202)는, 도 9에 나타낸 바와 같이, 제 1전류 메모리(2021) 및 제 2전류 메모리(2022)를 가지고 있다. 이들 제 1전류 메모리(2021) 및 제 2전류 메모리(2022)가 기준 전류 입력 단자(TIREFIN)에 대해서 병렬로 접속되어 있다.

도 9에서는, 제 1전류 메모리(2021)가 기준 전류 입력 단자(IREFIN)로부터 기준 전류를 받아들이고 있는 상태에서, 제 2전류 메모리(2022)가 먼저 받아들이는 전류를 출력 단자(TIRCSO)로부터 커런트 미러 회로(203)에 출력하고 있다.

제 1전류 메모리(2021)는, 절연 게이트형 전계 효과 트랜지스터이며, 예를 들어 n채널 MOS(NMOS) 트랜지스터(M211, M212), 스위칭 소자(SW211 ~ SW216) 및 캐패시터(C211, C212)를 가지고 있다.

NMOS 트랜지스터(M211)의 소스가 접지(GND)에 접속되고, 캐패시터(C211)의 제 1전극 및 캐패시터(C212)의 제 1전극이 접지(GND)에 접속되고, 드레인이 NMOS 트랜지스터(M212)의 소스 및 스위칭 소자(SW211)의 단자(a)에 접속된다. 게이트가 캐패시터(C211)의 제 2전극, 스위칭 소자(SW211)의 단자(b) 및 스위칭 소자(SW215)의 단자(a, b)에 각각 접속되어 있다.

NMOS 트랜지스터(M212)의 드레인이 스위칭 소자(SW212)의 단자(a), 스위칭 소자(SW213)의 단자(a), 스위칭 소자(SW214)의 단자(a)에 접속된다. 게이트가 캐패시터(C212)의 제 2전극, 스위칭 소자(SW212)의 단자(b), 스위칭 소자(SW216)의 단자(a, b)에 접속되어 있다.

그리고, 스위칭 소자(SW213)의 단자(b)가 기준 전류 입력 단자(TIREFIN)에 접속되고, 스위칭 소자(SW214)의 단자(b)가 출력 단자(TIRCSO)에 접속되어 있다.

제 2전류 메모리(2022)는, NMOS 트랜지스터(M221, M222), 스위칭 소자(SW221 ~ SW226) 및 캐패시터(C221, C222)를 가지고 있다.

NMOS 트랜지스터(M221)의 소스가 접지(GND)에 접속되고, 캐패시터(C221)의 제 1전극 및 캐패시터(C222)의 제 1전극이 접지(GND)에 접속된다. 드레인이 NMOS 트랜지스터(M222)의 소스 및 스위칭 소자(SW221)의 단자(a)에 접속되고, 게이트가 캐패시터(C221)의 제 2전극, 스위칭 소자(SW221)의 단자(b) 및 스위칭 소자(SW225)의 단자(a, b)에 각각 접속되어 있다.

NMOS 트랜지스터(M222)의 드레인이 스위칭 소자(SW222)의 단자(a), 스위칭 소자(SW223)의 단자(a) 및 스위칭 소자(SW224)의 단자(a)에 접속된다. 게이트가 캐패시터(C222)의 제 2전극, 스위칭 소자(SW222)의 단자(b), 스위칭 소자(SW226)의 단자(a, b)에 접속되어 있다.

그리고, 스위칭 소자(SW223)의 단자(b)가 기준 전류 입력 단자(TIREFIN)에 접속되고, 스위칭 소자(SW224)의 단자(b)가 출력 단자(TIRCSO)에 접속되어 있다.

이상의 구성을 가지는 커런트 샘플링 회로(202)는, 제어신호 발생회로(204)에 의해 발생하는 제어신호(CTL201, CTL202)에 근거하는 각 스위칭 소자(SW211 ~ 216, SW221 ~ SW226)의 전환(온 / 오프) 제어에 의해, 제 1전류 메모리

(2021) 또는 제 2전류 메모리(2022)에 기준 전류 입력 단자(TIERFIN)로부터 공급되는 기준 전류(IREF)를 기입하고, 제 2전류 메모리(2022) 또는 제 1전류 메모리(2021)에 이미 기입한 기준 전류(IREF)의 출력 단자(TIRCSO)로의 출력(독출) 동작을 행한다.

구체적인 제어에 대해서는 후술한다.

커런트 미러 회로(203)는, 예를 들어 저항 소자(R211, R212)와 pnp형 트랜지스터(Q211, Q212, Q213, Q214)로 이루어지는 윌슨 정전류원(2031), npn형 트랜지스터(Q215, Q216)로 이루어지는 윌슨 정전류원의 출력 전류를 받는 출력 전류 부하(2032), npn형 트랜지스터(Q217, Q218, Q219, Q220)로 이루어지는 트랜지스터(Q214)의 베이스 전류를 캔슬하기 위한 베이스 전류 싱크(2033) 및 저항 소자(R221)와 pnp형 트랜지스터(Q221, Q231)로 이루어지는 전류원(2034-1), (저항 소자(R222)와 pnp형 트랜지스터(Q222, Q232)로 이루어지는 전류원(2034-)), ..., 저항 소자(R22m)와 pnp형 트랜지스터(Q22m, Q23m)로 이루어지는 전류원(2034-m)에 의해 구성되어 있다.

기준 전류(IREF)의 입력 단자(TIRCSI)가 커런트 샘플링 회로(202)의 출력 단자(TIRCSO)에 접속되어 있다. 그리고, 입력 단자(TIRCSI)에 트랜지스터(Q213)의 콜렉터, 트랜지스터(Q214)의 베이스 및 트랜지스터(Q217)의 콜렉터에 접속되어 있다.

저항 소자(R211)의 일단이 전원 전압(V_{DD})의 공급 라인에 접속되고, 타단이 트랜지스터(Q211)의 이미터에 접속되고, 트랜지스터(Q211)의 콜렉터가 트랜지스터(Q213)의 이미터에 접속되어 있다. 저항 소자(R212)의 일단이 전원 전압(V_{DD})의 공급 라인에 접속되고, 타단이 트랜지스터(Q212)의 이미터에 접속되고, 트랜지스터(Q212)의 콜렉터가 트랜지스터(Q214)의 이미터 및 트랜지스터(Q211, Q212)의 베이스, 또한 트랜지스터(Q221 ~ Q22m)의 베이스에 접속되어 있다.

트랜지스터(Q214)의 콜렉터가 트랜지스터(Q215)의 이미터에 접속되고, 트랜지스터(Q215)의 콜렉터가 트랜지스터(Q216)의 콜렉터 및 베이스에 접속되고, 트랜지스터(Q216)의 콜렉터가 접지(GND)에 접속되어 있다.

트랜지스터(Q215)의 베이스가 트랜지스터(Q218)의 콜렉터 및 트랜지스터(Q217 및 Q218)의 베이스에 접속되어 있다. 트랜지스터(Q217)의 이미터가 트랜지스터(Q219)의 콜렉터 및 트랜지스터(Q219 및 Q220)의 베이스에 접속되어 있다. 트랜지스터(Q218)의 이미터가 트랜지스터(Q220)의 콜렉터에 접속되고, 트랜지스터(Q219, Q220)의 이미터가 접지(GND)에 접속되어 있다.

또, 저항 소자(R221)의 일단이 전원 전압(V_{DD})의 공급 라인에 접속되고, 타단이 트랜지스터(Q221)의 이미터에 접속된다. 트랜지스터(Q221)의 콜렉터가 트랜지스터(Q231)의 이미터에 접속되고, 트랜지스터(Q231)의 콜렉터가 기준 전류 출력 단자(TIERF1)에 접속되어 있다.

동일하게 하여, 저항 소자(R22n)의 일단이 전원 전압(V_{DD})의 공급 라인에 접속되고, 타단이 트랜지스터(Q22n)의 이미터에 접속된다. 트랜지스터(Q22n)의 콜렉터가 트랜지스터(Q23n)의 이미터에 접속되고, 트랜지스터(Q23n)의 콜렉터가 기준 전류 출력 단자(TIERFn)에 접속되어 있다.

또한, 트랜지스터(Q213, Q231 ~ Q23m)의 베이스가 도시하고 있지 않은 바이어스 전압 발생회로의 베이스 전압(VKP2)의 공급 라인에 접속되어 있다.

이러한 구성을 가지는 커런트 미러 회로(203)에 대해서는, 커런트 샘플링 회로(202)로부터 공급된 기준 전류(IREF)가 각 전류원(2034-1 ~ 2034-m)에 전달되어 복제된다. 이러한 복제된 기준 전류(IREF1 ~ IREFm)가 각 기준 전류 출력 단자(TIERF1 ~ TIERFm)로부터 DAC(800)-1 ~ 800-m에 공급된다.

제어신호 발생회로(204)는, 제어신호(CTL201)에 의해 커런트 샘플링 회로(202)의 제 1전류 메모리(2021)의 스위칭 소자(SW211 ~ 216), 제어신호(CTL202)에 의해 제 2전류 메모리(2022)의 스위칭 소자(SW221 ~ SW226)의 전환(온 / 오프) 제어를 행하고, 제 1전류 메모리(2021) 또는 제 2전류 메모리(2022)에 기준 전류 입력 단자(TIERFIN)로부터 공급되는 기준 전류(IREF)를 기입하게 하고, 제 2전류 메모리(2022) 또는 제 1전류 메모리(2021)에 이미 기입한 기준 전류(IREF)의 출력 단자(TIRCSO)에 출력시킨다.

제어신호 발생회로(204)는, 드라이버 IC가 펄스신호(REFNEXT)를 발생하고 있을 때 제 1전류 메모리(2021) 또는 제 2전류 메모리(2022)에 기준 전류(IREF)를 기입하는 동작을 행하게 한다.

그리고, 제어신호 발생회로(204)는, 제 1전류 메모리(2021)와 제 2전류 메모리(2022)에의 기입을, 펄스신호(REFNEXT)가 입력 할 때마다 교대로 행하게 한다.

즉, 제어신호 발생회로(204)는, 다른 한쪽의 전류 메모리에 기입을 행하고 있어도, 반드시, 다른 한쪽의 전류 메모리로부터 출력 전류가 공급되도록 커런트 샘플링 회로(202)의 제어를 행한다.

제어신호 발생회로(204)가 발생하는 제어신호(CTL201)에는, 커런트 샘플링 회로(202)의 제 1전류 메모리(2021)의 스위칭 소자(SW211)를 온 / 오프 제어하는 신호(CSW211), 스위칭 소자(SW212)를 온 / 오프 제어하는 신호(CSW212), 스위칭 소자(SW213)를 온 / 오프 제어하는 신호(CSW213), 스위칭 소자(SW214)를 온 / 오프 제어하는 신호(CSW214), 스위칭 소자(SW215)를 온 / 오프 제어하는 신호(CSW215) 및 스위칭 소자(SW216)를 온 / 오프 제어하는 신호(CSW216)를 포함한다.

동일하게, 제어신호 발생회로(204)가 발생하는 제어신호(CTL202)에는, 커런트 샘플링 회로(202)의 제 2전류 메모리(2022)의 스위칭 소자(SW221)를 온 / 오프 제어하는 신호(CSW221), 스위칭 소자(SW222)를 온 / 오프 제어하는 신호(CSW222), 스위칭 소자(SW223)를 온 / 오프 제어하는 신호(CSW223), 스위칭 소자(SW224)를 온 / 오프 제어하는 신호(CSW224), 스위칭 소자(SW225)를 온 / 오프 제어하는 신호(CSW225) 및 스위칭 소자(SW226)를 온 / 오프 제어하는 신호(CSW226)를 포함한다.

다음에, 도 10a ~ 도 10m에 관련지어 제어신호 발생회로(204)에 의한 커런트 샘플링 회로(202)의 제어 동작에 대해 설명한다.

또한, 여기에서는, 제 1전류 메모리(2021)에 대한 제어 동작을 설명한다. 제 2전류 메모리(2022)에 대한 제어 동작도 이와 같이 행해지는 것으로, 여기에서는 그 설명은 생략한다.

전류 기입 시에는, 도 10b ~ 도 10g에 나타낸 바와 같이, 스위칭 소자(SW214)가 오프 한 상태로 스위칭 소자(SW211과 SW212와 SW213)가 온 하도록 제어신호(CSW214, CSW211 ~ CSW213)가 제어신호 발생회로(204)에 의해 커런트 샘플링 회로(202)에 공급된다.

이것에 수반하여, 스위칭 소자(SW211과 SW212와 SW213)가 온 하고 NMOS 트랜지스터(M211과 M212)는 각각 다이오드 접속한 상태로 된다. 이것에 의해, 입력 전류가 각각의 MOS 트랜지스터에 흐르고, 각각의 드레인 전압이 캐패시터(C211)의 전극 및 캐패시터(C212)의 전극에 입력된다. 이때, 드레인 전압 = 게이트 전압이므로, 입력 전류가 정확히 포화 전류가 되는 게이트 전압이 입력된다.

전류 기입에서 전류 독출로 옮길 때에는, 스위칭 소자(SW214)가 오프 한 상태로 스위칭 소자(SW211, SW212, SW213)의 차례로 오프 하도록, 제어신호(CSW214, CSW211 ~ CSW213)가 제어신호 발생회로(204)에 의해 커런트 샘플링 회로(202)에 공급된다.

이것에 수반하여, NMOS 트랜지스터(M211)의 게이트 전압, NMOS 트랜지스터(M212)의 게이트 전압이 차례로 캐패시터(C211)의 전극 및 캐패시터(C212)의 전극에 홀드 된다.

마지막으로 스위칭(SW214)이 온 하도록 제어신호(CSW214)가 제어신호 발생회로(204)에 의해 커런트 샘플링 회로(202)에 공급된다.

또, 스위칭 소자(SW215와 SW216)는, 스위칭(SW211, SW212)이 오프 할 경우에 반대로 온 하도록, 제어신호(CSW215, CSW216)가 제어신호 발생회로(204)에 의해 커런트 샘플링 회로(202)에 공급된다.

스위칭 소자(SW215와 SW216)가 온 하고, 스위칭(SW211, SW212)이 오프 함으로써, 스위칭 소자(SW211, SW212)의 스위칭 동작으로 발생하는 차지가 캔슬된다.

전류 독출 시에는, 스위칭 소자(SW211과 SW212와 SW213)가 오프 하고, 스위칭 소자(SW214)가 온 하도록, 제어신호(CSW214, CSW211 ~ CSW213)가 제어신호 발생회로(204)에 의해 커런트 샘플링 회로(202)에 공급된다.

이것에 수반하여, 스위칭 소자(SW211과 SW212와 SW213)가 오프 하고, 스위칭 소자(SW214)가 온 한 상태로, 캐패시터(C211)에 홀드 된 게이트 전압으로 정해지는 NMOS 트랜지스터(M211)의 포화 전류가, 출력 단자(TIRCSO)에 출력된다. 전류 독출 시에, NMOS 트랜지스터(M212)는 캐스코드의 트랜지스터로서 기능한다.

이상, 캐스코드의 구성을 가지는 MOS 트랜지스터를 설치하는 것과 스위칭 동작으로 발생하는 차지를 캔슬하는 스위칭 소자를 설치한 것에 의해 전류 기입 시와 전류 독출 시의 전류치는 충분한 정밀도에서 일치한다. 그 때문에, 마스터의 기준 전류를 매우 높은 정밀도로 각 드라이버에 분배하는 것이 가능하게 된다.

캐스코드의 구성을 가지는 MOS 트랜지스터를 추가함으로써 전류 기입 시와 전류 독출 시의 전류 정밀도를 개선할 수 있다고 했지만, 캐스코드의 구성을 취하는 것으로 콘덴서에 보관 유지되는 전압(VGS) 중 전류치(IREF)를 결정하는 실효적인 전압 $V_{eff} = VGS - V_{th}$ 의 값이 작아진다고 하는 불이익이 발생한다.

커런트 샘플링 회로가 동작하는데 필요한 전압(V_{max})은 이하의 식 2 ~ 식 6으로 주어진다. 우선, 여기서, $VGS1 = V_{eff1} + V_{th}$, $VGS2 = V_{eff2} + V_{th}$ 로 두면, 제 1의 MOS 트랜지스터(M211)에 대해서, 다음 식이 성립한다.

$$I_{max} = (1 / 2)\beta(W1 / L)*(VGS1 - V_{th})^2$$

$$= (1 / 2)\beta(W1 / L)*V_{eff1}^2 \quad \dots(2)$$

동일하게, 제 2의 MOS 트랜지스터(M212)에 대해서, 다음 식을 얻을 수 있다.

$$I_{max} = (1 / 2)\beta(W2 / L)*(VGS2 - V_{th})^2$$

$$= (1 / 2)\beta(W2 / L)*V_{eff2}^2 \quad \dots(3)$$

식 2와 식 3에 있어서, W1과 W2는, 각각 트랜지스터(M211과 M212)의 채널 폭을 나타내고, L은 트랜지스터(M211과 M212)의 채널 길이를 나타낸다. I_{max}는, 전류 출력형 구동회로의 출력 전류의 최대치이다.

식 2 및 식 3에 있어서의 V_{eff1}와 V_{eff2}는, MOS 트랜지스터(M211과 M212)에 전류를 흘리기 위해서 필요한 실효적인 전압이라고 말할 수 있다. 이 실효적인 전압이 작으면, 드레인 - 게이트 사이의 커플링 용량의 영향이나 스위칭 소자(SW211, SW212)의 온 / 오프시의 영향을 받기 쉬워진다.

캐스코드의 구성을 취하는 MOS 트랜지스터(M211과 M212)에 인가되는 최대의 전압 V_{max}는, 다음 식에 의해서 주어진다.

$$V_{max} = V_{GS1} + V_{GS2} + \alpha$$

$$= V_{eff1} + V_{eff2} + 2V_{th} + \alpha \quad \dots(4)$$

식 4에 있어서, 정수 α 는, 스위칭 소자(SW213과 SW214)를 구성하는 MOS 트랜지스터의 드레인 - 소스 사이의 전압으로, $\alpha = V_{DS} \approx 0.2V$ 정도이다. DAC 출력과의 접속을 고려하면, 최대 전압 V_{max}는, 다음 식에 의해서 주어진다.

$$V_{max} \leq (1/2)V_{DD} \quad \dots(5)$$

여기서, V_{th} = 0.75 V, V_{DD} = 4.75 V로 하면, 다음의 결과를 얻을 수 있다.

$$V_{eff1} + V_{eff2} = 0.675V \quad \dots(6)$$

식 6에 의하면, V_{eff1}이나 V_{eff2}는, 수백 mV라는 상당히 작은 전압을 취하는 것을 알 수 있다. 샘플링 홀드 시에 발생하는 수mV의 오차도 문제가 되기 때문에, 드라이버 IC 사이에 분배하기 위한 기준 전류 배선에 디지털 신호의 크로스 토크 등이 생기지 않도록 충분한 주의가 필요하다.

다음에, 커런트 미러 회로(203)를 구성하는 저항 소자의 레이아웃, 기준 전류의 드라이버 IC 사이의 분배 동작 및 드라이버 IC 사이에 분배하기 위한 기준 전류 배선의 실드 및 안정화 방법에 대해서, 도면과 관련지어 설명한다.

도 11a ~ 도 11c는, 커런트 미러 회로(203)를 구성하는 저항 소자의 레이아웃 예를 나타내는 도면이다.

여기에서는, 드라이버 IC 내에 설치된 DAC의 개수를 m = 8로 한 경우에 대해 설명한다. 상술한 것처럼 저항 소자(R211, R212)는 월슨 정전류원(2031)을 구성하는 저항 소자이다. 또, 저항(R221, R222, ..., R228)은 전류원(2034-1), 전류원(2034-2), ..., 전류원(2034-8)을 구성하는 저항 소자이다.

그리고, 커런트 미러 회로(203)는, 드라이버 IC 내에 도면 중 좌측에서 우측으로 배치되어 있는 DAC(800)-1, DAC(800)-2, ..., DAC(800)-8에 기준 전류(IREF1, IREF2, ..., IREF8)를 공급한다.

도 11a는, 매우 적합한 레이아웃 예를 나타내고 있다.

도 11a의 예에서는, 드라이버 IC 칩 좌단의 DAC(800)-1의 기준 전류원(2034-1)의 저항 소자(R221)와 칩 우단의 DAC(800)-8의 기준 전류원(2034-8)의 저항 소자(R228)가, 월슨 정전류원(2031)의 저항 소자(R211, R212)와 가깝게 되도록 레이아웃 되고 있다.

또, DAC에 공급하는 기준 전류원의 저항 소자를 좌측에서 우측으로 하나 걸러 할당해 가고, 우로부터 좌로 하나 걸러 되돌아오도록 할당하고 있다.

이와 같이 레이아웃 함으로써, 드라이버 IC 내의 인접한 DAC 사이의 회도의 차이를 작게 한 채로, 드라이버 IC의 좌단과 드라이버 IC의 우단에 대응한 부분의 회도의 차이도 작게 할 수 있다. 그 결과, 예를 들어 도 12에 나타낸 바와 같이, 디스플레이 패널(102)을 긴 방향(도 4 중, 횡 방향)으로 분할하여 구동하는 드라이버 사이의 회도 단차를 작게 할 수 있다.

도 11b도, 매우 적합한 레이아웃 예를 나타내고 있다.

도 11b의 레이아웃이 도 11a와 다른 점은, 각각의 저항 소자를, 예를 들어 1/2의 값의 2개의 저항 소자로 구성하고, 이른바 비스듬히 교차하는 레이아웃한 점에 있다.

월슨 정전류원(2031)의 저항 소자(R211, R212)를 비스듬히 교차하는 레이아웃함으로써, 월슨 정전류원(2031)의 불균일을 작게 할 수 있다.

동일하게, 드라이버 IC 좌단의 DAC(800)-1의 기준 전류원의 저항(R21)과 드라이버 우단의 DAC(800)-8의 기준 전류원의 저항(R28)을 비스듬히 교차하는 레이아웃함으로써, 드라이버 IC의 좌단과 드라이버 IC의 우단에 대응한 부분의 회도의 불균일을 작게 할 수 있다. 다른 저항 소자도, 이들에 맞추어 비스듬히 교차하는 레이아웃 한다.

또, 매우 적합하게는, 트랜지스터의 배치도 도 11a 또는 도 11b에 나타난 저항 소자의 레이아웃과 같은 차례로 레이아웃하는 것이 바람직하다. 도 11c는, 비교를 위해서 필요한 예를 나타내고 있다.

도 11c에서는, 드라이버 IC 칩 좌단의 DAC(800)-1의 기준 전류원(2034-1)의 저항 소자(R221)와 윗측 정전류원(2031)의 저항 소자(R211, R212)에 가깝지만, 칩 우단의 DAC(800)-8의 기준 전류원(2034-8)의 저항 소자(R228)는 멀기 때문에, 드라이버 IC 내에서 인접한 DAC 사이의 휘도의 차이가 작아도, 드라이버의 좌단과 드라이버의 우단에 대응한 부분의 휘도의 차이가 크게 되어 버린다. 이 때문에, 드라이버를 복수개 늘어놓았을 경우, 드라이버 사이에 휘도 단차가 발생하기 쉬워진다.

도 13a ~ 도 13h는, 기준 전류(IREF)의 드라이버 IC 사이의 분배 동작의 설명하기 위한 도면이다.

본 디스플레이 디바이스(100)에 있어서는, 기준 전류(IREF)의 각 드라이버 IC(데이터 선 드라이버)로의 분배는, 도 13a ~ 도 13h 나타낸 바와 같이, 수직 블랭킹 기간(TBLE)에 행하여, 각 드라이버 IC(101-1 ~ 101-n)에서는, 커런트 샘플링 회로(202)에 샘플 홀드 한 전류를 실질적인 기준 전류로서 이용한다.

예를 들어 대형의 디스플레이 패널의 경우, 마스터의 기준 전류의 배선은 디스플레이 패널 상을 길게 끌어 돌려지게 된다. 이 때문에, 디지털 신호와의 크로스 토크나 전원계의 임피던스의 존재에 의해, 디지털 노이즈가 중첩이 쉽게(쓰기 쉬워)되고 있다. 예를 들어 화상 데이터의 전송에 수반하여 발생하는 디지털 노이즈가 마스터의 기준 전류를 덮어쓰면, 큰 디지털 노이즈가 발생하는 특성의 패턴을 표시했을 때에, 노이즈에 의한 휘도 불균일이 발생하는 등의 문제가 있다.

통상, 수직 블랭킹 기간은 화면상에는 표시되지 않기 때문에, 화상 데이터의 값을 고정하는 것으로서 디지털 노이즈의 발생을 억제할 수 있다.

이 기간에 기준 전류의 각 데이터 선 드라이버의 분배를 행하는 것으로, 노이즈가 덮어쓰지 않는 같은 값의 기준 전류를 분배할 수 있다.

수직 블랭킹 기간 후는, 패널 상을 끌어 돌려진 기준 전류를 직접 이용하지 않고, 각 드라이버 IC(101-1 ~ 101-n)의 기준 전류원 회로(200-1 ~ 200-n)의 커런트 샘플링 회로(202)에 샘플 홀드 한 전류를 각 드라이버 IC의 기준 전류로서 이용한다. 이 방식에 의해, 상기의 노이즈의 문제를 해소할 수 있다.

또, 수직 블랭킹 기간 후는, 각 드라이버 IC의 기준 전류를 샘플 홀드하는 회로가 모두 오프하여 공통의 기준 전류 배선의 전위가 변동하여 버린다. 그 때문에, 매우 적합하게는, 커런트 샘플링 회로(202)의 더미 회로를 설치하고, 공통의 기준 전류 배선의 전위 변동을 억제하는 것이 바람직하다.

도 14는, 드라이버 IC 사이에 분배하기 위한 기준 전류 배선의 실드 및 안정화 방법을 설명하기 위한 도면이다.

본 디스플레이 디바이스(100)에서는, 마스터의 기준 전류(IREF)의 배선은 실드용의 전원 배선의 사이를 통한다.

또, 다층 기판의 경우에는, 실드용의 전원층 상을 달리게 한다(배선한다). 실드용의 전원으로서, 기준 전류원 회로(200) 내에 설치된 커런트 샘플링 회로(202)를 구성하는 예를 들어 제 1전류 메모리(2021)에 있어서, 상술한 바와 같이, 다이오드 접속하는 트랜지스터(M211, M212)가 n채널 MOS(NMOS)의 경우에는, 아날로그계의 접지 전압원(GNDa)에 접속한다.

다이오드 접속하는 트랜지스터(M211, M212)가 p채널 MOS(PMOS)의 경우에는, 아날로그계의 전원 전압원((VDDa))에 접속한다.

데이터 선 드라이버 IC에는 다수의 디지털 신호가 입력한다. 마스터의 기준 전류(IREF)의 배선과 이러한 디지털 신호 배선 사이에서 크로스 토크가 있으면, 커런트 샘플링 회로(202)에 홀러드는 전류는 디지털 신호가 변화해서 수백 ns ~ 수 μS의 사이에서 변동하여 버린다. 변동하고 있을 때 전류 메모리에서 홀드하여 버리면, 디스플레이 패널을 분할하여 구동하고 있는 데이터 선 드라이버 마다 휘도 단차가 발생하여 버린다.

이 때문에, 마스터의 기준 전류의 배선은 실드용의 전원 배선 사이를 통하여, 디지털 신호 배선과의 커플링 용량(Ccross)이 극력(極力)이 붙지 않도록 한다.

또, 다층 기판의 경우에는, 마스터의 기준 전류(IREF)의 배선은 실드용의 전원층상을 달리게 하는 것으로 배선 용량(Cs)의 값을 크게 하고, 크로스 토크에 의한 변동(ΔVcross)을 작게 한다.

$$\Delta V_{cross} = (V_{IH} - V_{IL}) \times (C_{cross} / C_s) \times N_{dig}$$

$$\Delta I/I \approx 2 \Delta V_{cross} / V_{eff} \quad \dots(7)$$

여기서, Veff는 전류 메모리의 캐패시터에 홀드한 실효적인 전압 Veff = Vgs - Vth 이다.

또한, 본 디스플레이 디바이스(100)에서는, 이미 언급한 바와 같이, 수직 블랭킹 기간에 화상 데이터의 값을 고정하고, 크로스 토크의 양을 감소하여 기준 전류의 분배를 행한다. 호적(好適)하게는, 디스플레이 디바이스의 전송으로는, 소진폭의 전송기술이나 소진폭에서 차동의 전송기술(LVDS)을 이용한다.

예를 들어 제 1전류 메모리(2021)에 있어서, 상술한 바와 같이 다이오드 접속하는 트랜지스터(M211, M212)가 NMOS의 경우에는, 아날로그계의 접지(GNDa)를 기준으로서 IDS가 정해지므로, 캐패시터(C211, C212)의 접지 단자는 접지 전압원(GNDa)에 접속한다.

다이오드 접속하는 트랜지스터(M211, M212)가 PMOS의 경우에는, 아날로그계의 전원 전압원((VDDa))를 기준으로서 IDS가 정해지므로, 캐패시터(C211, C212)의 접지 단자는 전원 전압원((VDDa))에 접속한다.

이 때문에, 실드용의 전원 배선도 캐패시터(C211, C212)의 접지 단자와 동일하게, NMOS의 전류 메모리의 경우에는 아날로그계의 접지 전압원(GNDa)을 사용하고, PMOS의 전류 메모리의 경우에는 아날로그계의 전원 전압원((VDDa))을 사용한다.

반대 극성의 전원을 실드에 이용해 버리면, 아날로그계의 접지 전압원(GNE)(a)이나 전원 전압원((VDDa))이라 할지라도, 수십 mV이상의 노이즈를 가지고 있어, 전류 메모리가 샘플링 홀드 할 때의 정밀도에 영향을 주게 된다.

화상 데이터가 전송되고 있는 동안은, 디스플레이 패널(102) 상의 각 드라이버가 높은 주파수로 동작하고 있다. 이 때문에, 전원계의 임피던스의 존재에 의해, 각 IC의 전원 레벨은 따로따로 변동하고 있다.

상술한 예의 같이, 드라이버 IC(101-1)로부터 마스터의 기준 전류를 출력하고, 드라이버 IC(101-n)에서 받는다고 하면, 드라이버 IC(101-n)에 있어서는, 드라이버 IC(101-1)의 GNDa와 드라이버 IC(101-n)의 GNDa의 레벨차가 노이즈로서 기준 전류에 오버랩하여 보이게 된다.

커런트 샘플링 회로(202)를 설치함으로써, 접지 전압원(GNDa)의 레벨이 변동해도 전류 메모리의 캐패시터(C211, C212)에 의해 게이트 전압도 함께 변동하고, 결국, 트랜지스터(M211, M212)의 게이트 소스 사이 전압은 변동하지 않기 때문에, 안정된 기준 전류를 드라이버 내에 공급할 수 있다.

도 15는, 본 실시 형태와 관련되는 기준 전류원 회로의 제 2의 구성예를 나타내는 블록도이다.

본 기준 전류원 회로(200b)가 도 7의 기준 전류원 회로(200a)와 다른 점은, 정전류원 회로를 설치하는 대신에, 기준 전류(IREF)는, 예를 들어 디스플레이 패널(102)에 별도로 설치한 정전류 발생회로나 전류 출력형 DAC 등의 전류원으로 부터, 각각의 드라이버 IC(본 실시 형태에서는 101-1 ~ n)에 공급하도록 하였다.

그 외의 구성, 기능은, 도 7의 회로와 같다.

또한, 커런트 미러 회로 대신에, 복수 개의 커런트 샘플링 회로에 접속하도록 구성하는 것도 가능하다.

이상, 기준 전류원 회로(200)의 구체적인 구성 및 기능에 대해서 상세하게 설명했지만, 이하, 드라이버 IC(101)의 나머지의 다른 구성요소의 기능에 대해서 설명한다.

테스트 회로(1000)는, 입력 신호(TMODE 및 TCL)에 대응하고, 회로 전체의 동작을 테스트하고, 해당하는 회로의 테스트 출력을 TOUT에 출력한다.

제어회로(300)는, 방향 제어신호(DIR), 리셋신호(RESET), 로드펄스(LOAD), 래치펄스(LATCH) 및 클럭신호(MCLK)에 따르고, 기입회로(400), 플러그용 쌍방향 시프트 레지스터(500) 및 제어신호 발생회로(700-1 ~ 700-(m/2))에 각각 구동 클럭신호나 제어신호를 출력한다.

기입회로(400)는, 제어회로(300)로부터의 구동 클럭신호나 제어신호에 근거하여, 입력되는 m비트의 화상 데이터(Din [m-1, 0])를 래치하고, 매우 적합하게는 시리얼·패럴렐 변환에 의해 동작 주파수를 낮게 하고, 화상 데이터용 레지스터 어레이(600)에 출력한다.

플러그용 쌍방향 시프트 레지스터(500)는, 방향 제어신호(DIR)나 제어회로(300)로부터 입력되는 구동 클럭신호나 제어신호에 따라서, 시프트 레지스터의 양단으로부터 각각 입력되는 플러그 신호(펄스신호)(START/NEXT와 NEXT/START)를 좌측 또는 우측의 어느 쪽의 방향으로 시프트 한다. 시프트 한 플러그 신호를 화상 데이터용 레지스터 어레이(600)에 공급하여, 기입회로(400)로부터 입력되는 화상 데이터를 기입하는 레지스터 어레이의 위치(어드레스)를 선택한다.

화상 데이터용 레지스터 어레이(화상용 메모리)(600)는, 예를 들어 더블 버퍼형의 레지스터로부터 구성되어 있고, 기입회로(400)로부터 입력되는 화상 데이터를 전단의 레지스터에서 보관 유지한다. 래치펄스(LATCH)의 입력에 따라 보관 유지된 화상 데이터를 후단의 레지스터에 전송하고, 제어신호 발생회로(700-1, 700-(m/2))로부터 입력되는 채널 선택 신호에 따라서, 디지털·아날로그 변환 회로 DAC(800-1 ~ 800-m)에 차례차례 출력한다.

DAC(800-1 ~ 8001-m)는, 전류 출력형 디지털 / 아날로그 변환 회로이다. 즉, 이러한 변환 회로는, 화상 데이터용 레지스터 어레이(600)로부터 차례차례 입력되는 화상 데이터에 대응한 전류 신호를 발생하고, 전류 출력 회로(900-1 ~ 900-m)를 구성하는 커런트 샘플링 회로에 시분할로 출력한다.

전류 출력 회로(900-1, 900-2, ..., 900-m)는, 전술한 본 발명과 관련되는 커런트 샘플링 회로 및 고내압 또는 중내압의 전류 출력 트랜지스터에 대해서 구성되어 있다. 이러한 전류 출력 회로는, 디지털·아날로그 변환 회로 DAC(800-1, 800-2, ..., 800-m)로부터 입력되는 화상 데이터에 대응한 변환 전류를 샘플링하여 보관 유지하고, 그리고, 보관 유지된 전류를 LOAD 신호의 입력에 따라 복수의 출력 단자에 출력한다.

본 실시 형태의 전류 출력형 드라이버 IC(IOI)는, 외부로부터 공급되는 제어신호에 근거하여, 입력되는 화상 데이터(Din [m-1.0])를 보관 유지한다. 보관 유지된 화상 데이터를 채널 선택 신호에 따라서 DAC(800-1 ~ 800-m)에 출력한다.

디지털·아날로그 변환 회로 DAC(800-1 ~ 800-m)에 의해, 기준 전류원 회로(200)로부터 공급된 기준 전류(IREF) 및 입력되는 화상 데이터에 대응한 전류가 생성되어 전류 출력 회로(900-1 ~ 900-m)에 공급된다. 그리고, 전류 출력 회로(900-1 ~ 900-m)에 의해, 디지털·아날로그 변환 회로 DAC(800-1 ~ 800-m)로부터 공급된 전류가 보관 유지되어, 보관 유지된 전류가 LOAD 신호의 입력에 따라 복수의 출력 단자에 출력되어, 도시하지 않는 디스플레이 패널 상의 복수의 데이터선에 공급된다.

도 16은, 본 실시 형태의 전류 출력 회로의 일 구성예를 나타내는 회로도이다.

전류 출력 회로(900)는, 도 16에 나타낸 바와 같이, 각각 복수의 커런트 샘플링 회로로 이루어지는 제 1의 बैं크(901), 제 2의 बैं크(902) 및 디스플레이 패널(102)을 구동하는데 필요한 전압에 충분한 중내압 또는 고내압의 소정의 내압을 가지는 복수의 트랜지스터로 이루어지는 전류 출력 트랜지스터 어레이(903)에 의해 구성되어 있다.

도 16에 나타낸 바와 같이, 제 1의 बैं크(901)와 제 2의 बैं크(902)에, 출력 전류의 채널의 수만큼 각각 복수의 커런트 샘플링 회로(901-1 ~ 901-n, 902-1 ~ 902-n)가 배치되어 있다.

제 1의 बैं크(901)의 각 채널의 커런트 샘플링 회로(901-1 ~ 901-n)는, 제 2의 बैं크(902)의 각각의 채널의 커런트 샘플링 회로(902-1 ~ 902-n)에 대응해서 배치되어 있다.

또한, 제 1의 बैं크(901)와 제 2의 बैं크(902)의 각 채널의 커런트 샘플링 회로(901-1 ~ 901-n, 902-1 ~ 902-n)는, 전류 출력 트랜지스터 어레이(903)의 각 채널의 소정의 내압을 가지는 트랜지스터(903-1 ~ 903-n)에 대응해서 배치되어 있다.

예를 들어, 제 1의 बैं크(901)에 있어서, 1 채널째의 커런트 샘플링 회로(901-1)와 제 2의 बैं크(902)의 1 채널째의 커런트 샘플링 회로(902-1) 및 전류 출력 트랜지스터 어레이(903)에 있어서의 1 채널째의 소정의 내압을 가지는 트랜지스터(903-1)에 대응해서 배치되어 있다.

커런트 샘플링 회로(901-1)의 전류 출력 단자(IOUT)와 커런트 샘플링 회로(902-1)의 전류 출력 단자(IOUT)가 소정의 내압을 가지는 트랜지스터(903-1)의 소스에 공통으로 접속되고 있다.

동일하게, 제 1의 बैं크(901)의 n채널째의 커런트 샘플링 회로(901-n)와 제 2의 बैं크(902)의 n채널째의 커런트 샘플링 회로(902-n) 및 전류 출력 트랜지스터 어레이(903)에 있어서의 n채널째의 소정의 내압을 가지는 트랜지스터(903-n)에 대응해서 배치되어 있다.

커런트 샘플링 회로(901-n)의 전류 출력 단자(IOUT)와 커런트 샘플링 회로(902-n)의 전류 출력 단자(IOUT)가 소정의 내압을 가지는 트랜지스터(903-n)의 소스에 공통으로 접속되고 있다.

전류 출력 트랜지스터 어레이(903)에 있어서, 소정의 내압을 가지는 트랜지스터(903-1, 903-2, ..., 903-n)의 드레인 은, 각각 출력 패드(904-1, 904-2, ..., 904-n)에 접속되고 있다.

제 1의 बैं크(901) 및 제 2의 बैं크(902)의 모든 커런트 샘플링 회로(901-1 ~ 901-n, 902-1 ~ 902-n)의 전류 입력단자(IIN)는, 도 16에 나타내지 않은 전류 출력형 DAC의 전류 출력 단자에 접속되고 있다. 제 1의 बैं크(901)의 커런트 샘플링 회로(901-1 ~ 901-n)와 제 2의 बैं크(902)의 커런트 샘플링 회로(902-1 ~ 902-n)는, 제어신호(OE0, OE1)에 따라서 교대로 기입 모드와, 독출 모드로 제어된다.

이들 커런트 샘플링 회로(901-1 ~ 901-n, 902-1 ~ 902-n)에 의해, DAC의 출력 전류에 대응한 구동 전류를 전류 출력 트랜지스터(903-1, 903-2, ..., 903-n)를 거쳐서 부하측인 도시하지 않는 데이터 선에 출력한다.

본 실시 형태의 전류 출력 회로(900)는, 예를 들어, 유기EL소자를 구동하는 경우, 10V ~ 20V 정도의 전압으로, DAC의 출력 전류에 대응한 구동 전류를 유기EL소자에 공급할 필요가 있다.

이 때문에, 각 출력 채널마다 1개의 중내압 또는 고내압의 소정의 내압을 가지는 트랜지스터(903-1 ~ 903-n)를 설치하고, 커런트 샘플링 회로로부터의 출력 전류를 패드(904-1 ~ 904-n)를 거쳐서, 각 채널의 유기EL소자에 출력하는 것으로 고전압에 대응하고 있다.

도 17은, 전류 출력 회로(900)의 제 1 및 제 2의 बैं크(901, 902)에 채용되는 커런트 샘플링 회로(901-1 ~ 901-n, 902-1 ~ 902-n)의 구체적인 구성예를 나타내는 회로도이다.

본 전류 출력 회로(900)의 커런트 샘플링 회로는, 도 17에 나타난 바와 같이, PMOS 트랜지스터(M901, M902), 스위칭 소자(SW901 ~ SW906), 캐패시터(C901, C902), 2 입력 NAND 게이트(NG901 ~ NG903) 및 인버터(INV901 ~ 905)를 가지고 있다.

도 17에 나타난 바와 같이, 전류 출력 회로(900)의 커런트 샘플링 회로에 있어서, NAND 게이트(NG901)와 인버터(INV901)의 출력 신호에 의해, 스위칭 소자(SW901와 SW905)의 온 / 오프가 제어되고, NAND 게이트(NG902)와 인버터(INV902)의 출력 신호에 의해, 스위칭 소자(SW902와 SW906)가 온 / 오프가 제어된다.

또, 인버터(INV903)의 출력 신호에 의해, 스위칭 소자(SW903)가 온 / 오프가 제어되고, 인버터(INV905)의 출력 신호에 의해, 스위칭 소자(SW904)가 온 / 오프가 제어된다.

또한, 도 17에 나타난 바와 같이, 스위칭 소자(SW901, SW902, SW905와 SW906)는, PMOS 트랜지스터에 의해 구성되고, 스위칭 소자(SW903와 SW904)는, NMOS 트랜지스터에 의해 구성되어 있다.

NAND 게이트(NG901)의 입력 단자에 각각 클럭신호(CK1)와 인버터(INV903)의 출력 신호가 입력되고, NAND 게이트(NG902)의 입력 단자에 각각 클럭신호(CK2)와 인버터(INV903)의 출력 신호가 입력 된다.

NAND 게이트(NG903)의 입력 단자에 각각 선택 신호(SEL)와 기입 인에이블 신호(WE)가 인가된다.

인버터(INV901)의 입력 단자가 NAND 게이트(NG901)의 출력 단자에 접속되고, 인버터(INV902)의 입력 단자가 NAND 게이트(NG902)의 출력 단자에 접속된다. 인버터(INV903)의 입력 단자가 NAND 게이트(NG903)의 출력 단자에 접속되어 있다.

또, 인버터(INV904)의 입력 단자에, 출력 인에이블 신호(OE)가 인가된다. 인버터(INV905)의 입력 단자가 인버터(INV904)의 출력 단자에 접속되어 있다.

본 커런트 샘플링 회로에 있어서, 전류 기입(샘플링) 때, 선택 신호(SEL)와 기입 인에이블 신호(WE)가 함께 하이레벨로 보관 유지하여, 인버터(INV903)의 출력이 하이레벨이 되고, 스위칭 소자(SW903)가 온 한다. 이 때, 클럭신호(CK1와 CK2)가 하이레벨로 보관 유지되므로, NAND 게이트(NG901와 NG902)의 출력이 하이레벨, 인버터(INV901와 INV902)의 출력이 로우레벨로 각각 보관 유지된다. 이 때, 스위칭 소자(SW901, SW902와 SW903)가 온 하고, 그 외의 스위칭 소자(SW904, SW905와 SW906)가 오프 한다. 이것에 의해, 트랜지스터(M901와 M902)의 게이트 전압이 각각 캐패시터(C901와 C902)의 전극에 입력 한다.

전류 기입 종료 후, 클럭신호(CK1와 CK2)가 차례차례 로우레벨로 완전히 교체된다. 이것에 따라서, 스위칭 소자(SW901와 SW902)가 차례차례 오프 상태로 완전히 교체된다. 한편, 스위칭 소자(SW901)가 오프에 수반하여, 스위칭 소자(SW905)가 온 하고, 스위칭 소자(SW902)가 오프 하는데 수반하여, 스위칭 소자(SW906)가 온 한다.

그리고, 기입 인에이블 신호(WE)가 로우레벨로 완전히 교체되면, 스위칭 소자(SW903)가 오프 한다. 이 때, 캐패시터(C901와 C902)에 의해, 트랜지스터(M901와 M902)의 게이트 전압이 각각 보관 유지 된다.

전류 독출(전류 출력) 때, 출력 인에이블 신호(OE)가 하이레벨로 보관 유지된다. 이것에 따라서, 스위칭 소자(SW904)가 온 하므로, 캐패시터(C901와 C902)에 보관 유지되고 있는 전압에 의해, 트랜지스터(M901와 M902)가 각각의 게이트 전압에 의해서 정해지는 포화 전류를 흘려, 이 전류가 출력 단자(Tout)로부터 부하측에 출력된다.

본 커런트 샘플링 회로의 PMOS 트랜지스터(M902)는, 캐스 코드의 트랜지스터로서 동작하므로, 출력 전류 정밀도의 개선 및 부하측의 불균형에 의한 영향을 저감 할 수 있다.

본 커런트 샘플링 회로에 있어서, 매우 적합하게는, 스위칭 소자(SW905)를 구성하는 MOS 트랜지스터의 채널 폭은 스위칭 소자(SW901)를 구성하는 MOS 트랜지스터의 채널 폭의 대략 1 / 2로 형성된다. 또는, 3개의 게이트 가운데, 1개를 스위칭 소자(SW905)로서 사용하여 2개를 스위칭 소자(SW901)로서 사용한다. 또한, 스위칭 소자(SW902와 SW906)를 구성하는 MOS 트랜지스터에 대해서도 동일하다.

전류 기입에서 홀드 상태로 옮길 때, 스위칭 소자(SW901와 SW902)가 오프 할 때에 발생하는 차지 전하를 캔슬하는 것이 정확한 기입 전류를 홀드하기 위해서 중요하다. 스위칭 소자(SW901이나 SW902)가 오프 하는 것보다 먼저 스위칭 소자(SW905나 SW906)가 온 하면, 캔슬하는 효과가 매우 작아져 버린다. 이 때문에, 스위칭 소자(SW901와 SW902)를 구동하는 NAND 출력보다 후의 인버터의 출력으로 스위칭 소자(SW905와 SW906)를 구동한다.

본 커런트 샘플링 회로에 의하면, 반도체 집적회로화 했을 경우에 문제가 되는 스위칭 동작의 영향도 개선할 수 있고, 또, 전류 기입 시와 전류 독출 시의 전류치는 충분한 정밀도로 일치하고, 또한 출력 부하측의 회로의 불균일에 의한 영향이 억제된다.

이상과 같이, 각 커런트 샘플링 회로에 있어서, 선택 신호(SEL)와 기입 인에이블 신호(WE)가 액티브 상태(예를 들어, 하이레벨)일 때, 클럭신호(CK1와 CK2)에 의해 설정한 타이밍에서 커런트 샘플링 회로의 캐패시터(C901와 C902)에 DAC로부터의 출력 전류에 대응한 게이트 전압이 받아들여지고, 보관 유지된다. 그리고, 독출 인에이블 신호(OE)가 액티브 상태(예, 하이레벨)일 때, 캐패시터(C901와 C902)에 보관 유지되고 있는 게이트 전압에 대응한 전류가 출력된다.

이 때문에, 본 실시 형태의 전류 출력 회로(900)에 의해서, 각 커런트 샘플링 회로에 의해, DAC의 출력 전류에 근거하고, 고정밀도의 구동 전류가 각 채널의 유기EL소자에 공급된다.

도 18a ~ 도 18h는, 도 6의 전류 출력형 드라이버 IC의 동작을 나타내는 타이밍 차트이다. 이하, 도 16 및 도 18a ~ 도 18e를 참조하면서, 도 6의 전류 출력형 드라이버 IC의 동작에 대해 설명한다.

도 16에 나타난 바와 같이, 제 1의 बैं크(901)와 제 2의 बैं크(902)의 커런트 샘플링 회로는, 교대로 인에이블 신호(OEO와 OEI)에 의해, 기입 동작과 독출 동작이 제어된다. 즉, 제 1의 बैं크(901)의 각 커런트 샘플링 회로의 기입 인에이블 신호(WE)로서, 인에이블 신호(OEO)가 입력되어 독출 인에이블 신호(OE)로서, 인에이블 신호(OEI)가 입력된다. 반대로, 제 2의 बैं크(902)의 각 커런트 샘플링 회로에 있어서, 기입 인에이블 신호(WE)로서, 인에이블 신호(OEI)가 입력 되고, 독출 인에이블 신호(OE)로서, 인에이블 신호(OEO)가 입력된다.

이 때문에, 제 1의 बैं크(901)의 커런트 샘플링 회로가 기입 때, 제 2의 बैं크(902)의 커런트 샘플링 회로가 전류를 출력하고, 반대로, 제 2의 बैं크(902)의 커런트 샘플링 회로가 기입 때, 제 1의 बैं크(901)의 커런트 샘플링 회로가 전류를 출력한다. 즉, 제 1의 बैं크(901)의 커런트 샘플링 회로와 제 2의 बैं크(902)의 커런트 샘플링 회로가 교대로 기입 모드와 독출(전류 출력) 모드로 제어된다.

도 18a ~ 도 18f에 나타난 바와 같이, 클럭신호(CK1, CK2) 및 인에이블 신호(OEO, OEI)는, 래치 펄스(LATCH)에 동기하여 생성된다. 또한, 래치 펄스(LATCH)는, 시스템에 의해서 생성되고, 제어신호 발생회로(700-1, 700-(m/2))에 공급된다. 이러한 제어신호 발생회로(700-1, 700-(m/2))에 의해, 상술한 클럭신호(CK1, CK2), 인에이블 신호(OEO, OEI)가 각각 생성되고, 전류 출력 회로(900)에 공급된다.

도 18a ~ 도 18f에 나타난 바와 같이, 래치 펄스(LATCH)에 동기하고, 클럭신호(CK1, CK2) 인에이블 신호(OEO, OEI)가 생성된다. 래치 펄스(LATCH)의 각 주기마다, 인에이블 신호(OEO)와 인에이블 신호(OEI)가 교대로 하이레벨과 로우레벨로 보관 유지된다.

인에이블 신호(OEO)가 하이레벨 때, 제 1의 बैं크(901)의 커런트 샘플링 회로가 기입을 행한다. 이 때, 제 1의 बैं크(901)의 커런트 샘플링 회로(901-1, 901-2, ..., 901-n)에 있어서, 클럭신호(CK1과 CK2)에 의해 설정한 타이밍으로, 캐패시터(C901과 C902)에 트랜지스터(M901와 M902)의 게이트 전압이 각각 인가되어 보관 유지된다.

다음의 래치 펄스(LATCH)의 주기에 있어서, 인에이블 신호(OEO)가 로우레벨로 전환되고, 인에이블 신호(OEI)가 하이레벨로 전환한다. 이 때문에, 제 2의 बैं크(902)의 커런트 샘플링 회로가 기입을 행하여, 제 1의 बैं크(901)의 커런트 샘플링 회로가 독출하여, 즉 전류 출력을 행한다.

도 18g 및 도 18h에 나타난 바와 같이, 이 때, 예를 들어, 제 1의 बैं크(901)의 커런트 샘플링 회로(901-1)의 전류 출력 단자(IOUT)로부터 전류가 출력된다.

상술한 바와 같이, 본 실시 형태의 전류 출력 회로(900)에 있어서, 인에이블 신호(OEO와 OEI)에 따라서, 제 1의 बैं크(901)의 커런트 샘플링 회로와 제 2의 बैं크(902)의 커런트 샘플링 회로가 교대로 기입 모드와 독출 모드로 제어되어, 기입 모드 때 커런트 샘플링 회로는 DAC로부터의 출력 전류에 따라서 기입을 행하고, 그리고, 독출 모드 때 기입 모드 동작시에 보관 유지된 전류를 출력하므로, DAC의 출력 전류에 대응한 전류를 고정밀도로 부하 측에 공급한다.

도 19는, 도 6의 전류 출력형 드라이버 IC(IOI)에 있어서의 레지스터 어레이(600)(화상 메모리)의 일 구성예를 나타내는 회로도이다.

또한, 도 19에 나타내는 회로에는, 도 6에 DAC 1개분에 대응하는 레지스터 어레이의 부분 회로이다. 이하의 설명에서는, 편의상 이 부분 회로를 레지스터 어레이로 하여, 부호(600)를 붙여 설명한다.

도 19에 나타난 바와 같이, 레지스터 어레이(600)를 구성하는 단위 셀은, 예를 들어, 트랜지스터 게이트를 유지하는 D형 래치 회로가 2단 접속한 더블 버퍼형의 래치 회로(602-11, 602-12, ..., 602-1n ~ 602-ml, 602-m2, ..., 602-mn)이다.

래치 회로(602-11~602-mn)는, DAC 1개의 출력에 접속하는 커런트 샘플링 회로의 채널 수 n을 워드 수로서, 화상 데이터의 비트폭 m을 비트폭으로 한 $n \times m$ 의 어레이를 구성하고 있다.

각 래치 회로(602-11 ~ 602-mn)에 있어서, 전단의 래치 회로의 트랜지스터 게이트는, 플라그 레지스터(500-1, 500-2, ..., 500-i)의 출력(WD1, WD2, ..., WD_i)에 의해서 온 / 오프 된다.

이러한 구성에 있어서는, 예를 들어 스타트 펄스 신호(START)가 플라그 레지스터(500-1)에 입력 된다. 또, 화상 데이터가 기입 회로를 거쳐서 드라이버 IC 내부의 데이터 버스(DX0 ~ DX_{m-1}, DY0 ~ DY_{m-1} 및 DZ0 ~ DZ_{m-1})에 출력된다.

스타트 펄스 신호(START)가 플라그 레지스터(500-1, 500-2, ..., 500-i)에 의해서 차례차례 시프트 되는 것으로, 예를 들어, 3 채널씩 화상 데이터가 2단 접속한 더블 버퍼형의 래치 회로 가운데, 전단의 래치 회로에 기입된다.

화상 데이터의 기입이 끝나면, 래치 펄스(LATCH)의 입력에 의해, 각각의 더블 버퍼형의 래치 회로에 있어서, 전단의 래치 회로에 보관 유지되고 있는 화상 데이터가 후단의 래치 회로에 출력된다. 후단의 래치 회로의 출력 부분은 선택 회로로 되

어 있고, 각 선택 회로의 출력이 공통의 데이터 버스(606)[m-1, 0]의 해당하는 비트선에 접속되어 있다. 데이터 버스(606)[m-1, 0]이 버퍼(604)의 입력 측에 접속되어 있다. 버퍼(604)의 출력 단자가 DAC의 디코더의 입력 단자에 접속되어 있다. 즉, 더블 버퍼형의 래치 회로의 출력이 버퍼(604)를 거쳐서, DAC의 디코더에 입력 된다.

더블 버퍼형의 래치 회로(602-il, 602-i2, ..., 602-in) 중, 어느 래치 회로의 출력이 버퍼(604)에 출력되는가는, 각각의 더블 버퍼형 래치 회로의 후단의 선택 회로에 입력되는 선택 신호(SEL1, SEL2, ..., SELn)에 의해서 제어된다.

도 16에 나타난 바와 같이, 선택 신호(SEL1, SEL2, ..., SELn)가 버퍼(605)에 입력 되고, 버퍼(605)에 의해서 버퍼 된 선택 신호가 각각의 더블 버퍼형 래치 회로(602-11, 602-12, ..., 602-1n ~ 602-m1, 602-m2, ..., 602-mn)에 출력된다.

또, 도 20은, 도 6의 레지스터 어레이(600), 제어신호 발생회로(700), DAC(800) 및 전류 출력 회로(900)를 포함한 부분 회로의 구성을 나타내는 블록도이다.

도 20의 구성에 있어서, 시분할로 레지스터 어레이(600)로부터 디지털의 화상 데이터를 독출하고, DAC(800)에 의해서 화상 데이터에 대응한 전류가 출력되고, 수차 전류 출력 회로(900)에 기입한다고 하는 일련의 동작을 한다. 제어신호 발생회로(700)는, 이 일련의 동작을 제어하기 위한 제어신호를 발생하고, 전류 출력형태 구동회로의 각 구성 부분에 출력한다.

예를 들어, DAC(800)의 디코더의 입력 예에는, n채널 분의 레지스터 어레이(603-1, 603-2, ..., 603-n)가 선택 회로 및 출력 버퍼(604)를 거쳐서 접속되어 있다. DAC(800)의 출력 측에는, n채널 분의 전류(IO1, IO2, ..., IOn)를 출력하는 전류 출력 회로(900)가 접속되어 있다. 어느 채널의 화상 데이터를 레지스터 어레이(600)로부터 선택하고, DAC(800)에 출력하는지, 제어신호 발생회로(700)에 의해서 생성한 선택 신호(SEL1, SEL2, ..., SELn)에 의해서 제어된다. 선택된 채널의 화상 데이터가 레지스터 어레이(600)로부터 DAC(800)의 디코더에 입력되고, DAC(800)에 의해 전류 출력에 변환되고, 전류 출력 회로(900)에 기입된다.

전류 출력 회로(900)에 있어서, 도 20에 나타난 바와 같이, 제 1의 बैं크(901)의 각각의 커런트 샘플링 회로와 제 2의 बैं크(902)의 각각의 커런트 샘플링 회로는, 제어신호 발생회로(700)로부터 입력되는 교대로 하이레벨과 로우레벨로 전환하는 인에이블 신호(OEO와 OE1)에 따라서, 기입 모드와 독출 모드를 반복하고, DAC(800)로부터 출력된 전류를 받아들이고, 또한 전류 출력 트랜지스터를 거쳐서 도시하지 않은 화상 표시 소자, 예를 들면, 유기EL소자에 출력한다.

도 21a ~ 도 21g는, 도 20의 각 구성 부분의 동작을 나타내는 타이밍 차트이다. 이하, 도 20 및 도 21a ~ 도 21g를 참조하면서, 이 회로군의 기본 동작에 대해 설명한다.

각 동작 주기에 있어서, 래치 펄스(LATCH)의 입력에 의해, 제어신호 발생회로(700)가 클리어 되고, 동작이 스타트한다.

도 21a ~ 도 21g에 나타난 바와 같이, 래치 펄스(LATCH)에 있어서, 제어신호 발생회로(700)에서 선택 신호(SEL1, SEL2, ..., SELn)가 차례로 생성된다. 또, 각각의 선택 신호와 함께, 각 채널에 공급되는 클럭신호(CK11, CK12, CE21, CK22, ..., CK1n, CK2n)도 차례로 생성된다.

선택 신호(SEL1, SEL2, ..., SELn)가 레지스터 어레이(600)에 공급되고, 이것에 따라 레지스터 어레이(600)에 보관 유지되고 있는 각 채널의 화상 데이터가 차례차례 독출되어 디지털·아날로그 변환 회로 DAC(800)의 디코더에 입력된다.

DAC(800)에 의해서, 입력 되는 화상 데이터가 순서대로 전류 출력에 변환되어 전류 출력 회로(900)에 출력된다. 전류 출력 회로(900)에 있어서, 제 1의 बैं크(901)와 제 2의 बैं크(902) 중, 인에이블 신호(OEO와 OE1)에 의해, 한편이 기입 모드로 제어되고, 다른 편이 독출 모드로 제어된다. DAC(800)로부터 출력되는 전류가, 채널 선택 신호(SEL1, SEL2, ..., SELn)에 따라서, 기입 모드 측의 बैं크에 있는 각 커런트 샘플링 회로에 차례로 기입된다.

또한, 커런트 샘플링 회로에는, 채널 선택 신호와 동시에, 제 1의 스위치 회로를 먼저 오프 시키기 위한 제 1의 클럭신호군(CK11, CK12, ..., CX1n)과 제 1의 스위치 회로에 따라서 제 2의 스위치 회로를 오프 시키기 위한 제 2의 클럭신호군(CK21, CK22, ..., CK2n)이 공급된다. 이러한 선택 신호는, 채널마다 갖추지 않고, 여러 종류의 선택 신호를 조합하는 형식으로 배선 개수를 줄여도 좋고, 또, 클럭신호는, 채널마다 갖추지 않고, 2 ~ 3 그룹의 신호를 공용해도 좋다.

도 21a ~ 도 21g에 나타난 바와 같이, 외부로부터 로드 펄스(LOAD)가 입력되면, 기입 모드와 독출 모드의 변경을 제어하는 OEO와 OE1의 신호가 반전하고, 교대로 로우레벨과 하이레벨로 전환한다. 인에이블 신호(OEO)가 로우레벨로 인에이블 신호(OE1)가 하이레벨 때에는, 제 1의 बैं크(901)의 커런트 샘플링 회로가 전류 독출 모드로 동작하고, 전류의 출력이 행하고, 제 2의 बैं크(902)의 커런트 샘플링 회로가 기입 모드로 동작하고, DAC로부터의 출력 전류를 받아들인다. 한편, 인에이블 신호(OEO)가 하이레벨로 인에이블 신호(OE1)가 로우레벨 일때는, 제 2의 बैं크(902)의 커런트 샘플링 회로가 독출 모드로 동작하고, 각 커런트 샘플링 회로로부터 홀드 한 전류가 출력되어, 제 1의 बैं크(901)의 커런트 샘플링 회로가 기입 모드로 동작하고, DAC로부터의 출력 전류를 받아들인다.

이상과 같이, 충분한 전류 출력 정밀도를 가지는 전류 샘플링(커런트 샘플링) 회로를 이용하고, 커런트 샘플링 회로에 시분할로 전류 기입을 제어하는 제어신호 발생회로를 설치하고, 또한 전류 출력형의 D/A변환 회로의 출력 전류를 시분할로 복수의 커런트 샘플링 회로에 기입하는 방식을 취하는 것으로, D/A변환 회로의 개수를 저감하고, 많은 비트의 DAC를 레이아웃 하는 것이 가능해진다.

이상 설명한 것처럼, 본 제 1의 실시 형태에 의하면, 커런트 샘플링 회로 이용함으로써, 마스터의 기준 전류를 공용할 수 있으므로, 디스플레이를 분할 구동하고 있는 드라이버 사이의 휘도 단차를 충분히 작게 할 수 있고, 또, 디스플레이 패널 상의 기준 전류의 배선 개수를 삭감할 수 있다.

또, 수직 블랭킹 기간에 화상 데이터의 신호를 고정하고 각 데이터 선 드라이버로의 분배를 행하는 것으로, 기준 전류로의 디지털 신호의 크로스 토크의 영향을 큰 폭으로 작게 할 수 있다. 또, 화상 데이터를 전송하고 있을 때는, 각 드라이버의 기준 전류원 회로에 설치한 커런트 샘플링 회로에 홀드 한 기준 전류를 이용하는 것으로, 동작 중의 노이즈의 영향을 작게 할 수 있다.

이상과 같이, 본 실시 형태와 관련되는 디스플레이 디바이스에 의해 대형으로 고계조의 유기EL 디스플레이를 실현할 수 있다.

< 제 2 실시 형태 >

도 22는, 본 발명과 관련되는 유기EL 디스플레이 디바이스의 제 2의 실시 형태를 나타내는 구성도이다.

본 제 2의 실시 형태가 상술한 제 1의 실시 형태와 다른 점은, 디스플레이 패널(102a)을 도면 중 긴 쪽 방향(횡 방향)으로 분할하고, 또한 상하로도 분할하고, 상하 양쪽에서 드라이버 IC(101-1 ~ 101-n 및 101-(n+1) ~ 101-(2n))에 의해 구동하도록 한 점에 있다.

본 제 2의 실시 형태에 있어서는, 디스플레이 패널(102a)은, 도면 중 상반분이 n개의 드라이버 IC(101-1 ~ 101-n)에 의해서 분할하여 구동되고, 하반분이 동일하게 n개의 드라이버 IC(101-(n+1) ~ 101-(2n))에 의해서 분할하여 구동된다.

이 구성은, 대형의 디스플레이의 경우에 매우 적합하다.

본 제 2의 실시 형태에 있어서도, 드라이버 IC(101-1 ~ 101-(2n))의 차례로 기준 전류를 받아들이기 위해, 매우 적합하게는, 입력 단자(TREFSTART)와 T출력 단자(REFNEXT)에 의해 기준 전류를 받아들이는용의 플라그를 이동하기 위해, 이들 입출력 단자가 차례로 접속되어 있다.

이러한 방법을 취하지 않고, 샘플링 기간을 나타내는 제어 단자를 설치하고, 패널 상에 설치한 제어용 IC에 의해 집중하고 제어하도록 구성하는 것도 가능하다.

또, 본 디스플레이 디바이스(100a)는, 제 1의 실시 형태와 동시에, 복수의 드라이버 IC(101-1 ~ 101-n, 101-(n+1) ~ 101-(2n))로 분할하여 디스플레이 패널(102)을 구동하기 때문에, 화상 데이터도 복수의 드라이버 IC에 차례로 기입된다.

이 때문에, 드라이버 IC 사이에 기입 위치를 나타내는 플라그를 인계하기 위한 입출력 단자(TSTART / NEXT, TNEXT / START)가 설치되어 있다.

그리고, 초단의 마스터 드라이버 IC(101-1)의 입출력 단자(TSTART / NEXT)는, 화상 데이터의 전송 개시를 나타내는 펄스 신호(START)의 입력단에 접속되고, 입출력 단자(TNEXT / START)가 다음단의 드라이버 IC(101-2)의 입출력 단자(TSTART / NEXT)로 접속되어 있다. 드라이버 IC(101-2)의 입출력 단자(TNEXT / START)가 다음단의 도시하지 않은 드라이버 IC(101-3)의 입출력 단자(TSTART / NEXT)에 접속되어 있다.

이하와 동일하게 하여, 드라이버 IC(101-(2n-1))의 입출력 단자(TNEXT / START)가 최종 단의 드라이버 IC(101-(2n))의 입출력 단자(TSTART / NEXT)에 접속되어 있다.

이러한 구성에 있어서, 예를 들어 도시하지 않는 기입 방향 제어신호(DIR)에 의해, DIR = H(논리 하이레벨) 일때는, 입출력 단자(TSTART / NEXT)는 START 입력으로서 기능하고, TNEXT / START 단자는 NEXT 출력으로서 기능하고, 도면 중 드라이버 IC의 좌측에서 우측으로 플라그가 이동하여 화상 데이터가 기입된다(디스플레이 패널의 상측의 드라이버 IC(101-1 ~ 101-n)).

또, DIR = L(논리 로우레벨) 일때는, 입출력 단자(TNEXT / START)가 START 입력으로서 기능하고, 입출력 단자(TSTART / NEXT)는 NEXT 출력으로서 기능하고, 도면 중 드라이버 IC의 좌측으로부터 우측으로(디스플레이 패널에서 좌측에서 우측으로) 플라그가 이동하여 화상 데이터가 기입된다(디스플레이 패널의 하측의 드라이버(101-(n+1) ~ 101-(2n))).

여기서, 도 22의 디스플레이 패널(100a)로의 기준 전류의 샘플링 인계 동작에 있어서, 도 23a ~ 도 23n의 타이밍 차트와 관련하여 설명한다. 또한, 이하의 동작의 설명은 어디까지나 일례로, 패널 상에 설치한 제어용 IC에 의해, 집중하여 제어하도록 구성하는 것도 가능하다.

이 경우, 디스플레이 패널의 상측의 드라이버 IC(101-1 ~ 101-n)는, 도시하지 않는 기입 방향 제어신호(DIR)가 DIR = H(논리 하이레벨)로 공급되고, 입출력 단자(TSTART / NEXT)는 START 입력으로서 기능하고, 입출력 단자(TNEXT / START)는 NEXT 출력으로서 기능한다.

이것에 대해서, 디스플레이 패널의 하측의 드라이버(101-(n+1) ~ 101-(2n))는, 도시하지 않는 기입 방향 제어신호(DIR)가 DIR = L(논리 로우레벨)로 공급되고, 입출력 단자(TSTART / NEXT)는 NEXT 입력으로서 기능하고, 입출력 단자(TNEXT / START)는 START 출력으로서 기능한다.

여기서, 도 23a에 나타낸 바와 같이, 수평 동기 신호(HSYNC)의 (하향) 펄스가 입력 한 후, 도 23b 및 도 23e에 나타낸 바와 같이, 드라이버 IC(101-1)의 입출력 단자(TSTART(/NEXT))와 드라이버 IC(101-(n+1))의 입출력 단자(T(NEXT/)/START)에 화상 데이터의 전송 개시를 나타내는 펄스신호(START 펄스 = START(1) 펄스 = START(n + 1))가 입력된다.

드라이버 IC(101-1)의 가운데를 플러그가 이동하여 드라이버 IC(101-1)의 화상 데이터용의 메모리에 기입이 끝나면, 드라이버 IC(101-1)의 입출력 단자(TNEXT(/START))로부터 드라이버 IC(101-2)의 입출력 단자(TSTART(/NEXT))로 드라이버 IC(101-2)의 기입 개시를 나타내는 펄스 신호(START(2))가 출력된다. 이것에 의해, 드라이버 IC(101-2)에 플러그가 이동하여 드라이버 IC(101-2)의 화상 데이터용의 메모리에 기입되어 진다.

동일하게, 드라이버 IC(101-(n+1))의 가운데를 플러그가 이동하여 드라이버 IC(101-(n+1))의 화상 데이터용의 메모리에 기입되면, 드라이버 IC(101-(n+1))의 입출력 단자(TSTART(/NEXT))로부터 드라이버 IC(101-(n+2))의 입출력 단자(T(NEXT/)/START)에 드라이버 IC(101-(n+2))의 기입 개시를 나타내는 펄스신호(START(n+2))가 출력된다. 이것에 의해, 드라이버 IC(101-(n+2))에 플러그가 이동하여 드라이버 IC(101-(n+2))의 화상 데이터용의 메모리에 기입되어 진다.

동일하게, 펄스 신호(START(3) ~ START(n), START(n+3) ~ START(2n))가 차례 차례로 출력되고, 각 드라이버 IC(101-3 ~ 101-n, 101-(n+3) ~ 101-(2n))의 화상 데이터용의 메모리에 화상 데이터가 기입된다.

또, 도 23h에 나타낸 바와 같이, 드라이버 IC(101-1)의 입력 단자(TREFSTART)에 기준 전류(IREF)의 분배 개시를 나타내는 펄스신호(REFSTART)가 입력된다.

펄스 신호(REFSTART)는, 도 23b 및 도 23h에 나타낸 바와 같이, 펄스(START(1))에 오버랩 하도록 입력된다. 드라이버 IC(101-1)는, 펄스 신호(START(1))를 구동 클럭으로서 펄스 신호(REFSTART)를 래치하고, 1 사이클 후의 펄스 신호(START(1))의 하강 에지에서 1 사이클 폭의 신호(REFNEXT(1)) 펄스를 출력 단자 TREFNEXT 단자로부터 출력한다. 드라이버 IC(101-1)는, 펄스 신호 REFNEXT(1) 펄스 발생시에 기준 전류(IREF)를 기준 전류 입력 단자(IREFIN)로부터 받아들인다.

드라이버 IC(101-2)의 입력 단자(TREFSTART)에 펄스 신호(REFNEXT(1))가 입력된다. 펄스 신호(REFNEXT(1))는, 도 23c 및 도 23i에 나타낸 바와 같이, 펄스 신호(START(2))에 오버랩하고 있다. 드라이버 IC(101-2)는, 펄스 신호(START(2))를 구동 클럭으로서 펄스 신호(REFNEXT(1))를 래치하고, 1 사이클 후의 펄스 신호(START(2))의 하강 에지에서 1 사이클 폭의 펄스 신호(REFNEXT(2))를 출력 단자(TREFNEXT)로부터 출력한다. 드라이버 IC(101-2)는, 펄스 신호(REFNEXT(2)) 발생 시에 기준 전류(IREF)를 기준 전류 입력 단자(TIREFIN)로부터 받아들인다.

동일하게, REFNEXT(3) ~ REFNEXT(2n)의 펄스가 각 드라이버 IC(101-3 ~ 101-(2n-1))로부터 차례차례 출력되고, 각 드라이버 IC(101-3 ~ 101-(2n))에 기준 전류(IREF)가 차례로 받아들여 진다.

본 제 2의 실시 형태에 있어서는, 그 외의 구성 및 기능은 상술한 제 1의 실시 형태와 같다.

본 제 2의 실시 형태에 있어서는, 상술한 제 1의 실시 형태의 효과와 같은 효과를 얻게됨으로써, 대형의 디스플레이에 매우 적합하게 통용될 수 있는 이점이 있다.

산업상 이용 가능성

본 발명의 전류 출력형 구동회로는, 분할 구동하고 있는 드라이버 사이의 휘도 단차를 충분히 작게 할 수 있고, 또, 디스플레이 패널 상의 기준 전류의 배선 개수를 삭감할 수 있어, 기준 전류로의 디지털 신호의 크로스 토크의 영향을 큰 폭으로 작게 할 수 있고, 또, 동작 중의 노이즈의 영향을 작게 할 수 있기 때문에, 대형으로 고계조 유기EL디스플레이 등에 적용 가능하다.

(57) 청구의 범위

청구항 1.

복수의 영역으로 분할하여 분담된 구동 대상에 대해서 구동 전류를 출력하는 전류 출력형 구동회로에 있어서,

상기 구동 대상의 각 분담 영역에 대응해서 설치된 복수의 드라이버를 가지고,

상기 각 드라이버는,

공급되는 기준 전류와 화상 데이터에 대응한 상기 구동 전류를, 상기 구동 대상의 대응하는 분담 영역에 출력하는 출력 수단과,

기준 전류 입력 단자로부터 입력한 기준 전류를 샘플 홀드 한 후, 상기 출력 수단에 공급하는 기준 전류원 회로를 가지는 전류 출력형 구동회로.

청구항 2.

제 1항에 있어서,

상기 기준 전류원 회로는, 제어신호에 따라서 상기 기준 전류를 샘플 홀드하는 전류 메모리를 포함하는 커런트 샘플링 회로와,

상기 커런트 샘플링 회로의 전류 메모리의 상기 기준 전류의 기입 및 독출 동작을 제어하는 제어신호를 상기 커런트 샘플링 회로에 출력하는 제어회로를 적어도 가지는 전류 출력형 구동회로.

청구항 3.

제 2항에 있어서,

상기 커런트 샘플링 회로는, 제 1전류 메모리 및 제 2전류 메모리를 포함하며,

상기 제어회로는, 상기 제 1 전류 메모리와 제 2전류 메모리에 상기 기준 전류 입력 단자로부터 입력하는 기준 전류의 기입과, 기입한 기준 전류의 독출을 교대로 행하도록 상기 제어신호를 상기 커런트 샘플링 회로에 출력하는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 4.

제 2항에 있어서,

상기 출력 수단은, 복수의 전류 출력형의 디지털·아날로그 변환 회로를 포함하며,

상기 기준 전류원 회로의 커런트 샘플링 회로의 전류 메모리로부터 독출된 기준 전류를 또한 복제 또는 시분할로 분배하는 것으로 복수의 기준 전류로 늘리는 수단을 가지고,

상기 복수의 기준 전류는, 상기 복수의 디지털·아날로그 변환 회로에 공급되는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 5.

제 4항에 있어서,

상기 각 드라이버는, 입력 데이터에 따라서, 복수 채널의 전류를 출력하는 드라이버에 있어서,

상기 입력 데이터를 보관 유지하는 레지스터 어레이를 또한 가지고,

상기 기준 전류원 회로의 샘플 홀드 한 기준 전류를 또한 복제 또는 시분할로 분배하는 것으로 복수의 기준 전류로 늘리는 수단을 가지고,

상기 출력 수단은,

상기 복수의 기준 전류를 받고, 상기 레지스터 어레이의 보관 유지 데이터에 대응한 전류를 출력하는 복수의 변환 회로와,

상기 변환 회로의 출력 전류에 따라서, 교대로 전류 기입 모드와 전류 독출 모드로 동작하는 제 1군의 전류 샘플링 회로와 제 2군의 전류 샘플링 회로를 가지는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 6.

제 5항에 있어서,

상기 입력 데이터는, 디지털 화상 데이터이며,

상기 화상 데이터의 동작이 정지하고 있는 수직 블랭킹 기간에 기준 전류의 상기 각 드라이버로의 분배를 행하는 수단을 가지고,

상기 각 드라이버는, 상기 화상 데이터의 전송에 수반하여 디지털 노이즈가 발생하고 있는 수직 블랭킹 기간 후에 있어서는 각 드라이버의 기준 전류원 회로에 보관 유지한 전류를 기준 전류로서 이용하는 것을 특징으로 하는 전류 출력형 구동 회로.

청구항 7.

복수의 영역으로 분할하여 분담된 구동 대상에 대해서 구동 전류를 출력하는 전류 출력형 구동회로에 있어서,

상기 구동 대상의 각 분담 영역에 대응해서 설치된 복수의 드라이버를 가지고,

상기 각 드라이버는,

공급되는 기준 전류를 상기 구동 전류로서 상기 구동 대상의 대응하는 분담 영역에 출력하는 출력 수단과,

기준 전류 입력 단자로부터 입력한 기준 전류를 샘플 홀드 한 후, 상기 출력 수단에 공급하는 기준 전류원 회로를 가지고, 또한,

상기 기준 전류 입력 단자가 다른 드라이버의 기준 전류 입력 단자와 공통의 전류 배선에 의해 접속되고,

상기 각 드라이버의 기준 전류원 회로에는, 기준 전류가 시분할로 분배되는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 8.

제 7항에 있어서,

상기 각 드라이버는, 기준 전류 분배 개시를 나타내는 신호를 받으면, 상기 기준 전류 입력 단자로부터 상기 기준 전류를 상기 기준 전류원 회로에 받아들이고, 기준 전류 분배 개시를 나타내는 신호를 다음단의 드라이버 회로에 출력하는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 9.

제 8항에 있어서,

상기 각 드라이버는, 데이터 메모리를 가지고, 데이터의 기입 개시를 나타내는 제 1의 신호를 받으면, 입력 데이터를 상기 데이터 메모리에 기입하고, 데이터의 기입 개시를 나타내는 상기 제 1의 신호를 다음단의 드라이버에 출력하고, 또한, 기준 전류 분배 개시를 나타내는 제 2의 신호를 받으면, 상기 제 1의 신호에 동기하여 상기 기준 전류 입력 단자로부터 상기 기준 전류를 상기 기준 전류원 회로로 받아들이고, 기준 전류 분배 개시를 나타내는 상기 제 2의 신호를 다음단의 드라이버 회로에 출력하는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 10.

제 7항에 있어서,

상기 기준 전류원 회로는, 제어신호에 따라서 상기 기준 전류를 샘플 홀드하는 전류 메모리를 포함한 커런트 샘플링 회로와,

상기 커런트 샘플링 회로의 전류 메모리의 상기 기준 전류의 기입 및 독출 동작을 제어하는 제어신호를 상기 커런트 샘플링 회로에 출력하는 제어회로를 적어도 가지는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 11.

제 10항에 있어서,

상기 커런트 샘플링 회로는, 제 1전류 메모리 및 제 2전류 메모리를 포함하고,

상기 제어회로는, 상기 제 1전류 메모리와 제 2전류 메모리에 상기 기준 전류 입력 단자로부터 입력하는 기준 전류의 기입과, 기입 기준 전류의 독출을 교대로 행하도록 상기 제어신호를 상기 커런트 샘플링 회로에 출력하는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 12.

제 10항에 있어서,

상기 출력 수단은, 복수의 전류 출력형의 디지털·아날로그 변환 회로를 포함하며,

상기 기준 전류원 회로의 커런트 샘플링 회로의 전류 메모리로부터 독출된 기준 전류를 또한 복제 또는 시분할로 분배하는 것으로 복수의 기준 전류로 늘리는 수단을, 가지고,

상기 복수의 기준 전류는, 상기 복수의 디지털·아날로그 변환 회로에 공급되는 것을 특징으로 하는 전류 출력형 구동회로.

청구항 13.

제 7항에 있어서,

적어도 마스터로 이루어지는 상기 드라이버의 기준 전류원 회로는, 기준 전류를 생성하여 상기 공통의 전류 배선에 공급하는 기준 전류 발생회로를 포함하여 구성된 것을 특징으로 하는 전류 출력형 구동회로.

청구항 14.

제 10항에 있어서,

적어도 마스터로 이루어지는 상기 드라이버의 기준 전류원 회로는, 기준 전류를 생성하여 상기 공통의 전류 배선에 공급하는 기준 전류 발생회로를 포함하여 구성된 것을 특징으로 하는 전류 출력형 구동회로.

청구항 15.

제 7항에 있어서,

상기 각 드라이버는, 입력 데이터에 따라서, 복수 채널의 전류를 출력하는 드라이버이며,

상기 입력 데이터를 보관 유지하는 레지스터 어레이를 또한 가지고,

상기 기준 전류원 회로의 샘플 홀드 한 기준 전류를 또한 복제 또는 시분할로 분배하는 것으로 복수의 기준 전류로 늘리는 수단을 가지고,

상기 출력 수단은,

상기 복수의 기준 전류를 받고, 상기 레지스터 어레이의 보관 유지 데이터에 대응한 전류를 출력하는 복수의 변환 회로와,

상기 변환 회로의 출력 전류에 따라서, 교대로 전류 기입 모드와 전류 독출 모드로 동작하는 제 1군의 전류 샘플링 회로와 제 2군의 전류 샘플링 회로를 가지는 전류 출력 회로를 구비하여 구성된 것을 특징으로 하는 전류 출력형 구동회로.

청구항 16.

제 15항에 있어서,

상기 입력 데이터는, 디지털 화상 데이터이며,

상기 화상 데이터의 동작이 정지하고 있는 수직 블랭킹 기간에 기준 전류의 상기 각 드라이버로의 분배를 행하는 수단을 가지고,

상기 각 드라이버는, 상기 화상 데이터의 전송에 수반하여 디지털 노이즈가 발생하고 있는 수직 블랭킹 기간 후에 있어서는 각 드라이버의 기준 전류원 회로에 보관 유지한 전류를 기준 전류로서 이용하는 것을 특징으로 하는 전류 출력형 구동 회로.

청구항 17.

제 7항에 있어서,

상기 기준 전류의 배선은 실드용의 전원 배선 기간에 배치되어 있는 것을 특징으로 하는 전류 출력형 구동 회로.

청구항 18.

제 7항에 있어서,

상기 기준 전류의 배선은, 실드용의 전원층을 포함한 다층 배선의 경우, 해당 실드용 전원층의 상층에 배치되어 있는 것을 특징으로 하는 전류 출력형 구동 회로.

청구항 19.

제 7항에 있어서,

각 드라이버의 기준 전류를 샘플 홀드하는 회로가 모두 오프 했을 때에, 상기 공통의 기준 전류 배선의 전위가 큰 폭으로 변동하는 것을 억제하는 수단을 가지는 것을 특징으로 하는 전류 출력형 구동 회로.

청구항 20.

제 12항에 있어서,

상기 기준 전류를 복수의 기준 전류로 늘리는 수단은, 입력단에 배치된 저항 소자를 포함한 정전류원과, 출력단에 상기 출력 수단의 출력부에 대응하도록 병렬로 배치되어, 저항 소자를 포함한 복수의 기준 전류원으로부터 구성된 커런트 미러 회로를 가지고,

상기 복수의 기준 전류원 중 양단부에 배치되는 기준 전류원의 저항 소자가 상기 정전류원의 저항 소자의 근방에 배치되어 있는 것을 특징으로 하는 전류 출력형 구동 회로.

청구항 21.

제 20항에 있어서,

상기 기준 전류원을 구성하는 저항 소자를 분할하여 각각이 비스듬히 교차 되도록 레이아웃 되고 있는 것을 특징으로 하는 전류 출력형 구동 회로.

청구항 22.

복수의 영역으로 분할하여 분담된 디스플레이 패널의 해당 분담 영역에 대해서 구동 전류를 출력하는 디스플레이 디바이스에 있어서,

상기 디스플레이 패널의 각 분담 영역에 대응해서 설치된 복수의 드라이버를 가지고,

상기 각 드라이버는,

공급되는 기준 전류를 상기 구동 전류로서 상기 디스플레이 패널의 대응하는 분담 영역에 출력하는 출력 수단과,

기준 전류 입력 단자로부터 입력한 기준 전류를 샘플 홀드 한 후, 상기 출력 수단에 공급하는 기준 전류원 회로를 가지는 것을 특징으로 하는 디스플레이 디바이스.

청구항 23.

복수의 영역으로 분할하여 분담된 디스플레이 패널의 해당 분담 영역에 대해서 구동 전류를 출력하는 디스플레이 디바이스에 있어서,

상기 디스플레이 패널의 각 분할 영역에 대응해서 설치된 복수의 드라이버를 가지고,

상기 각 드라이버는,

공급되는 기준 전류를 상기 구동 전류로서 상기 디스플레이 패널의 대응하는 분담 영역에 출력하는 출력 수단과,

기준 전류 입력 단자로부터 입력 한 기준 전류를 샘플 홀드 한 후, 상기 출력 수단에 공급하는 기준 전류원 회로를 가지고, 또한,

상기 기준 전류 입력 단자가 다른 드라이버의 기준 전류 입력 단자와 공통의 전류 배선에 의해 접속되고,

상기 각 드라이버의 기준 전류원 회로에는, 기준 전류가 시분할로 분배되는 것을 특징으로 하는 디스플레이 디바이스.

청구항 24.

제 23항에 있어서,

상기 각 드라이버는, 기준 전류 분배 개시를 나타내는 신호를 받으면, 상기 기준 전류 입력 단자로부터 상기 기준 전류를 상기 기준 전류원 회로에 받아들이고, 기준 전류 분배 개시를 나타내는 신호를 다음단의 드라이버 회로에 출력하는 것을 특징으로 하는 디스플레이 디바이스.

청구항 25.

제 23항에 있어서,

상기 각 드라이버는, 데이터 메모리를 가지고, 데이터의 기입 개시를 나타내는 제 1의 신호를 받으면, 입력 데이터를 상기 데이터 메모리에 기입하며, 데이터의 기입 개시를 나타내는 상기 제 1의 신호를 다음단의 드라이버에 출력하고, 또한, 기준 전류 분배 개시를 나타내는 제 2의 신호를 받으면, 상기 제 1의 신호에 동기하여 상기 기준 전류 입력 단자로부터 상기 기준 전류를 상기 기준 전류원 회로에 받아들이고, 기준 전류 분배 개시를 나타내는 상기 제 2의 신호를 다음단의 드라이버 회로에 출력하는 것을 특징으로 하는 디스플레이 디바이스.

청구항 26.

제 23항에 있어서,

상기 기준 전류의 배선은 실드용 전원 배선 기간에 배치되어 있는 것을 특징으로 하는 디스플레이 디바이스.

청구항 27.

제 23항에 있어서,

상기 기준 전류의 배선은, 실드용 전원층을 포함하는 다층 배선의 경우, 해당 실드용 전원층의 상층에 배치되어 있는 것을 특징으로 하는 디스플레이 디바이스.

청구항 28.

제 23항에 있어서,

각 드라이버의 기준 전류를 샘플 홀드하는 회로가 모두 오프 했을 때에, 상기 공통의 기준 전류 배선의 전위가 큰 폭으로 변동하는 것을 억제하는 수단을 가지는 것을 특징으로 하는 디스플레이 디바이스.

요약

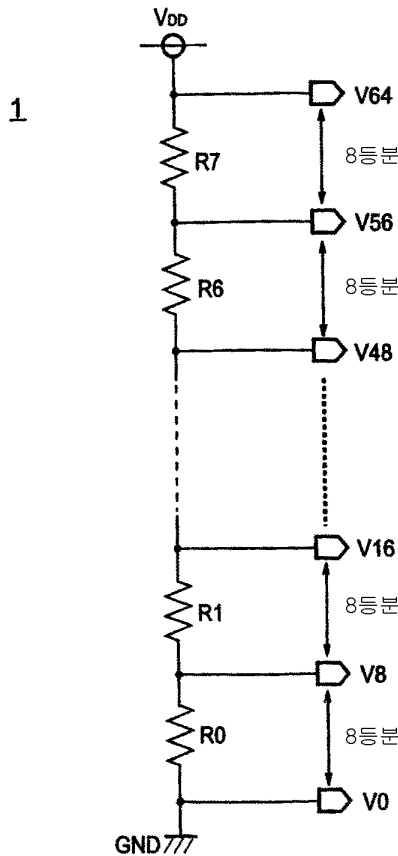
디스플레이 패널(102)의 각 분담 영역에 따라서 설치된 복수의 드라이버(101-1 ~ 101-n)를 가지고, 각 드라이버는, 공급되는 기준 전류(IREF)를 구동 전류로서 디스플레이 패널(102)의 대응하는 분담 영역(DRVA1 ~ DRVAn)에 출력하는 출력 수단과, 기준 전류 입력 단자로부터 입력된 기준 전류를 샘플 홀드 한 후, 출력회로에 공급하는 기준 전류 회로(200-1 ~ 200-n)를 가지고, 기준 전류 입력 단자가 다른 드라이버의 기준 전류 입력 단자와 공통의 전류 배선(CML1)에 의해 접속되고, 각 드라이버의 기준 전류원 회로는, 기준 전류가 시분할로 분배된다. 본 발명에 의하면, 디스플레이(구동대상)를 분담 구동하고 있는 드라이버 기간에 휘도 단차를 충분히 작게 할 수 있기 때문에, 종래의 기준 전류의 공급 방법으로 실현할 수 없어서, 대형으로 고계조 표시의 유기EL 디스플레이를 실현할 수 있다.

대표도

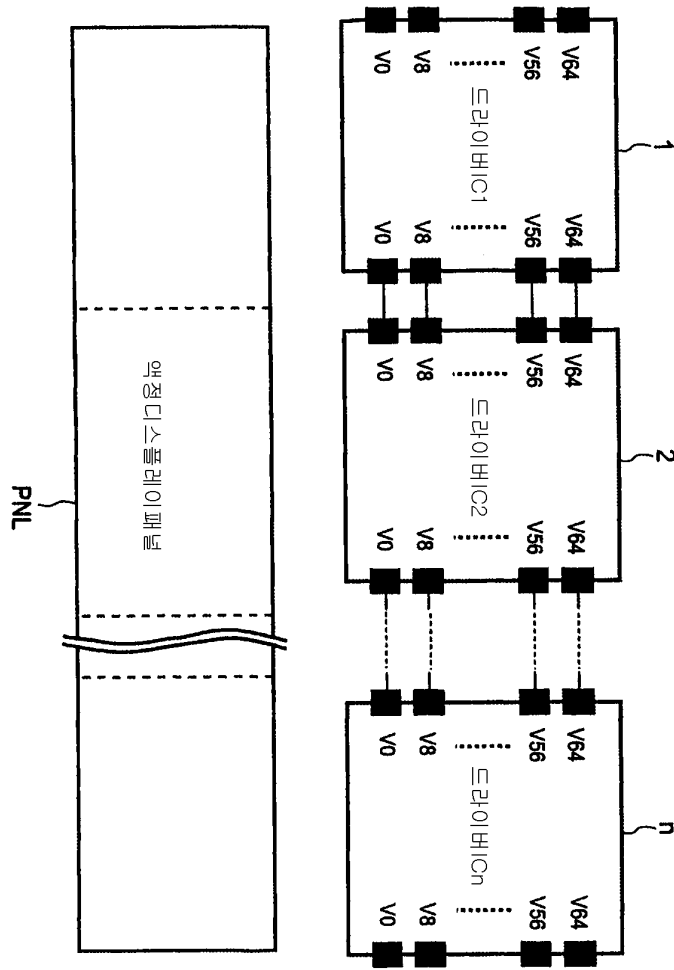
도 4

도면

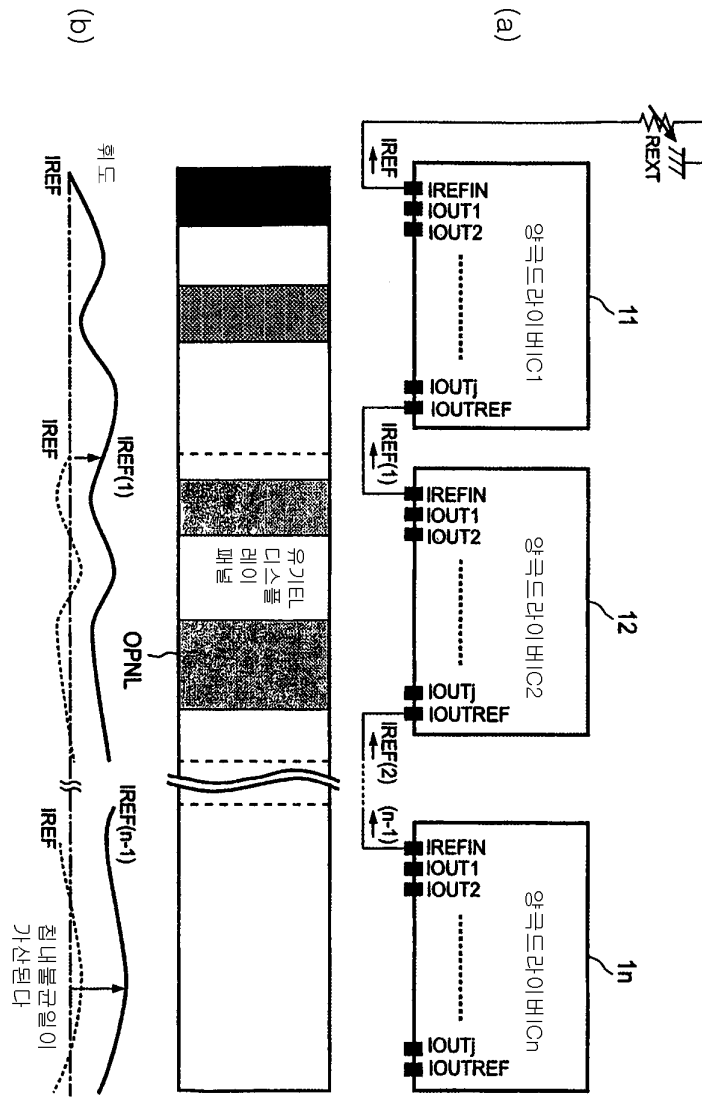
도면1



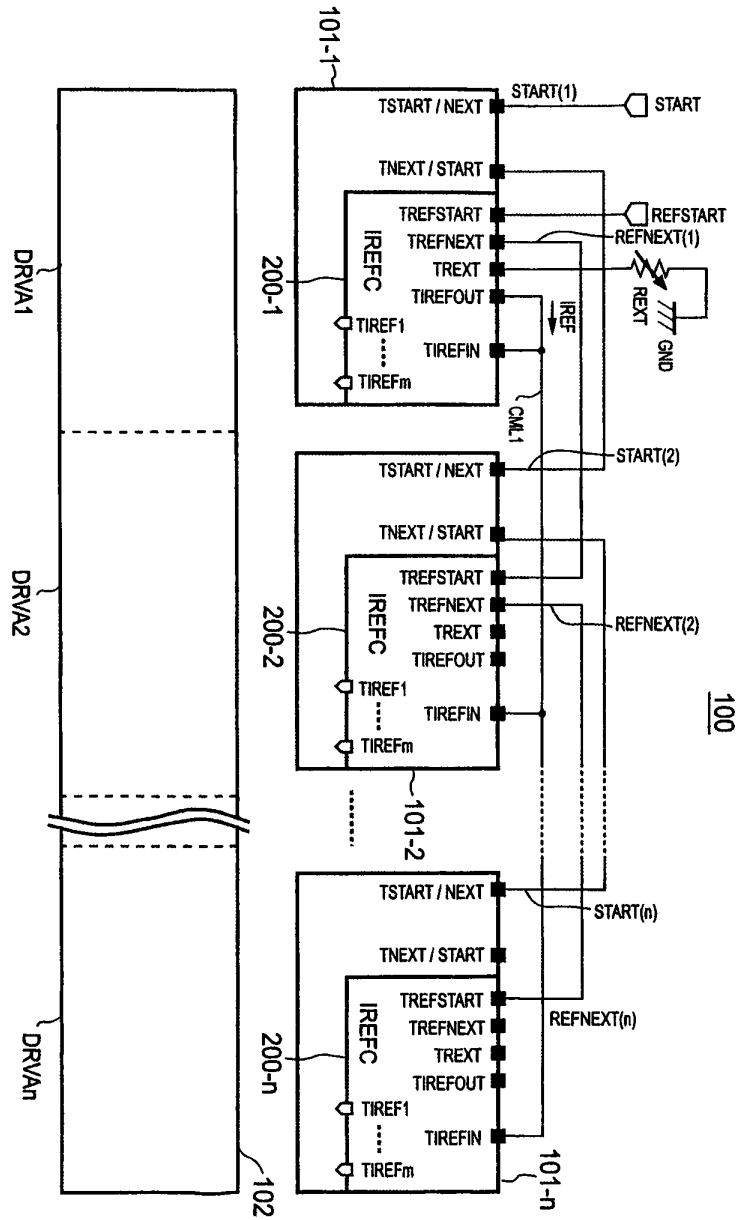
도면2



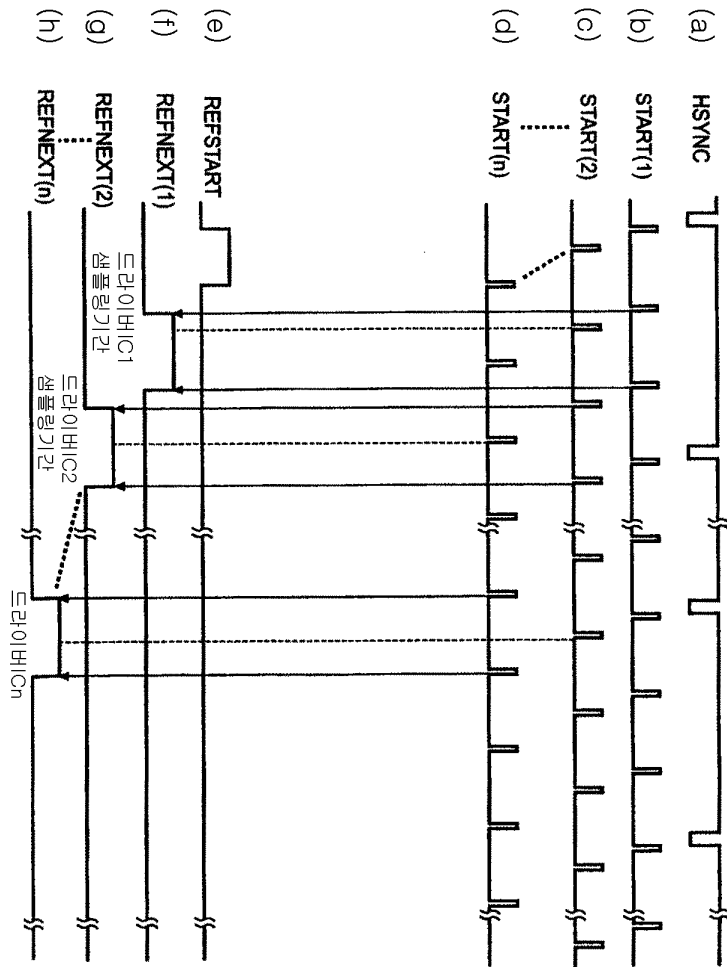
도면3



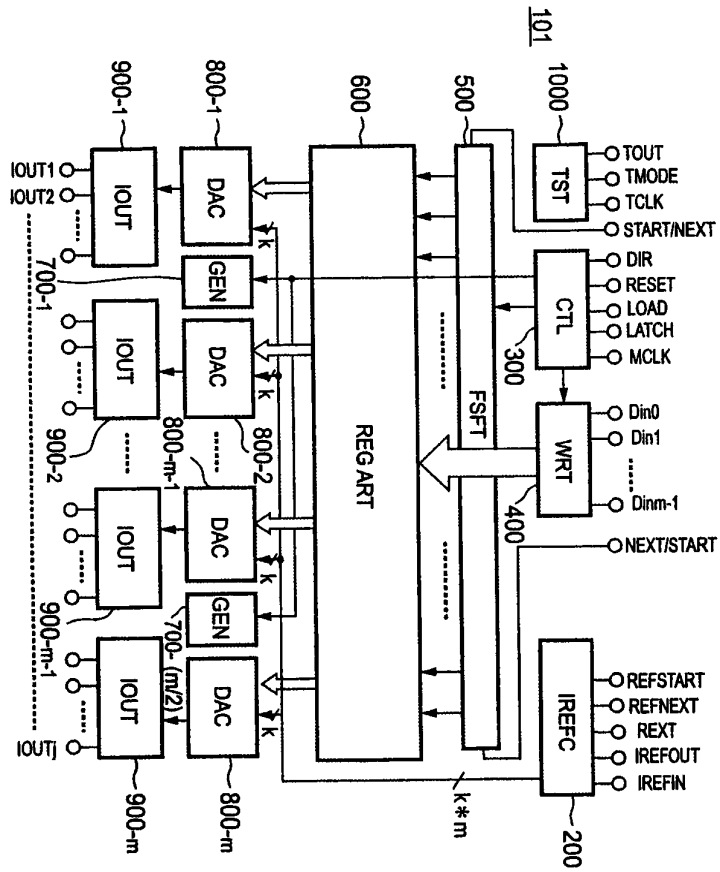
도면4



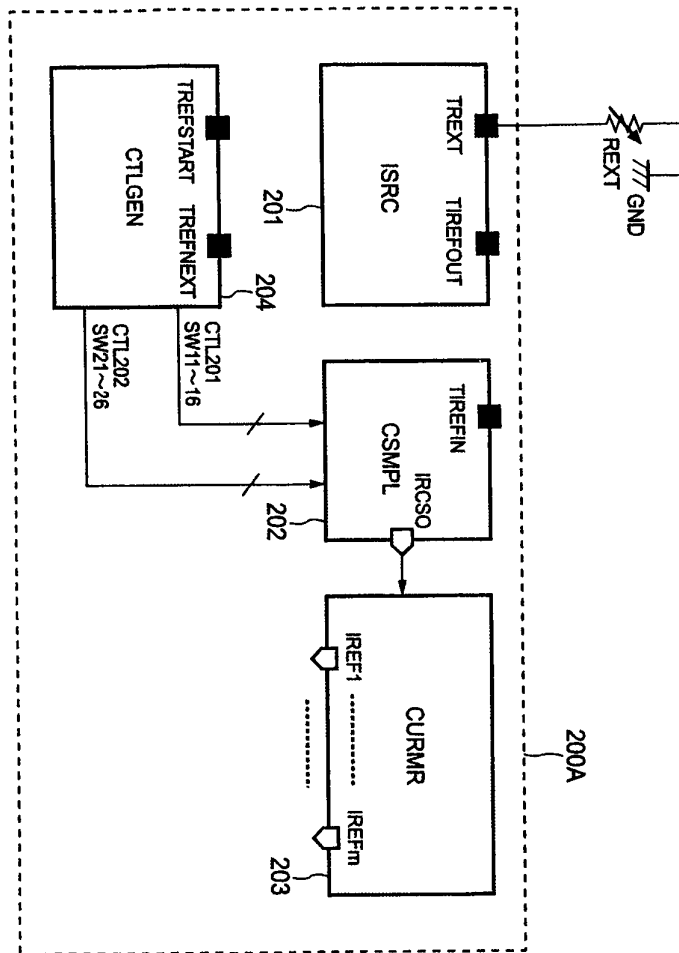
도면5



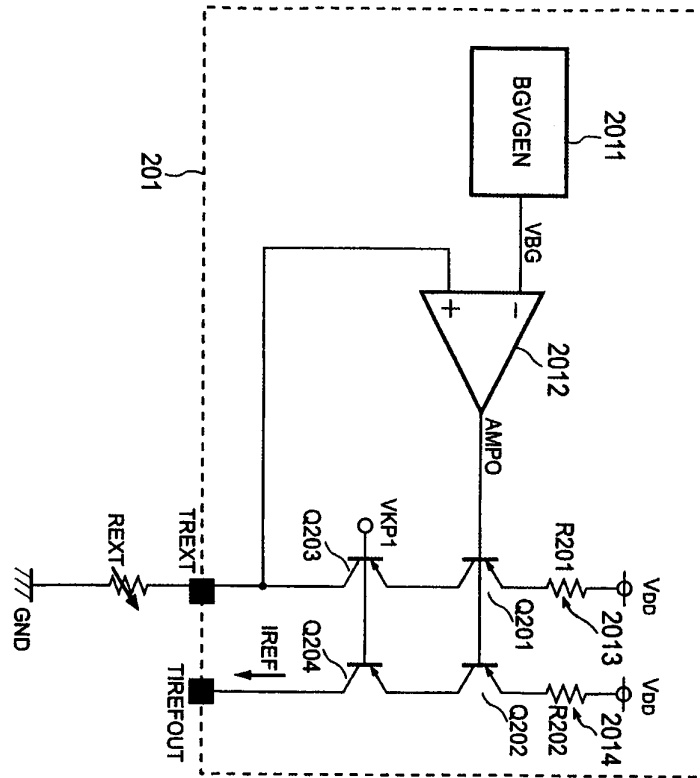
도면6



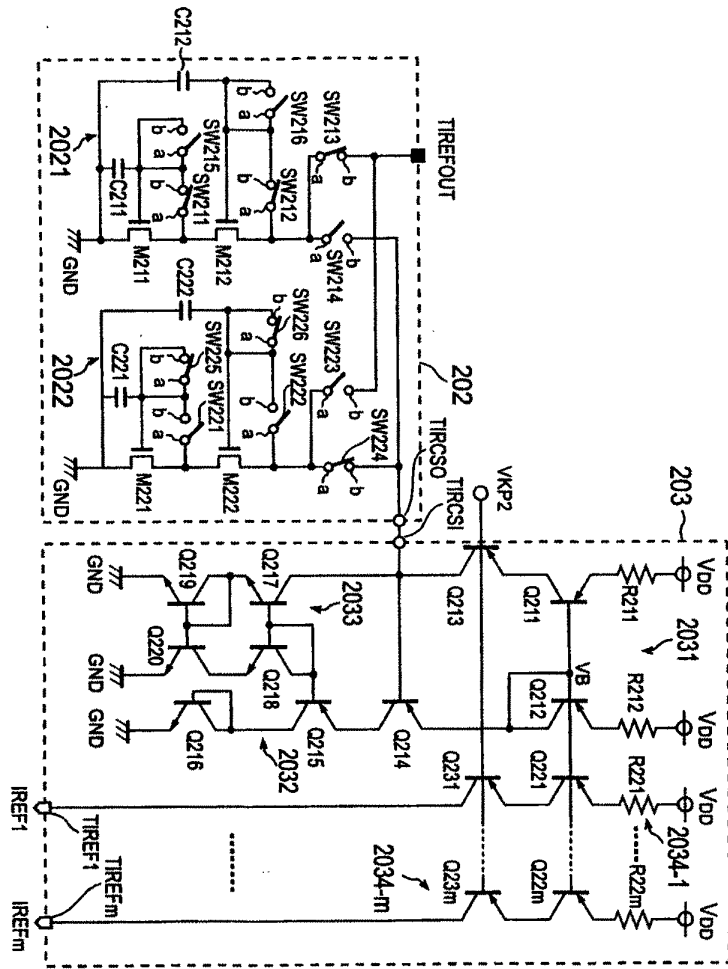
도면7



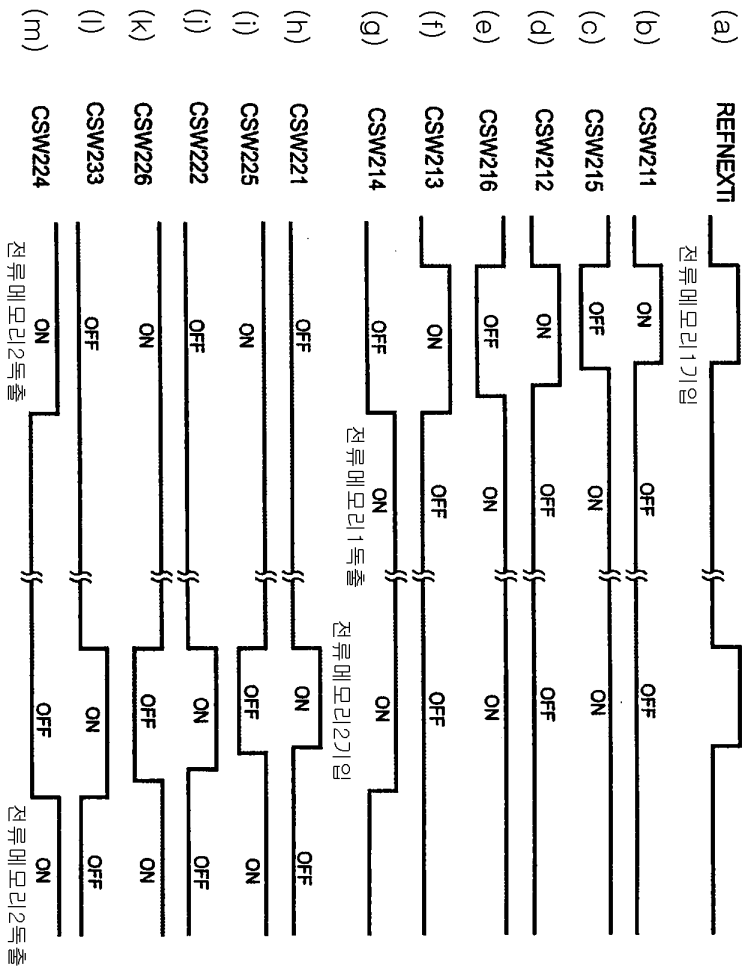
도면8



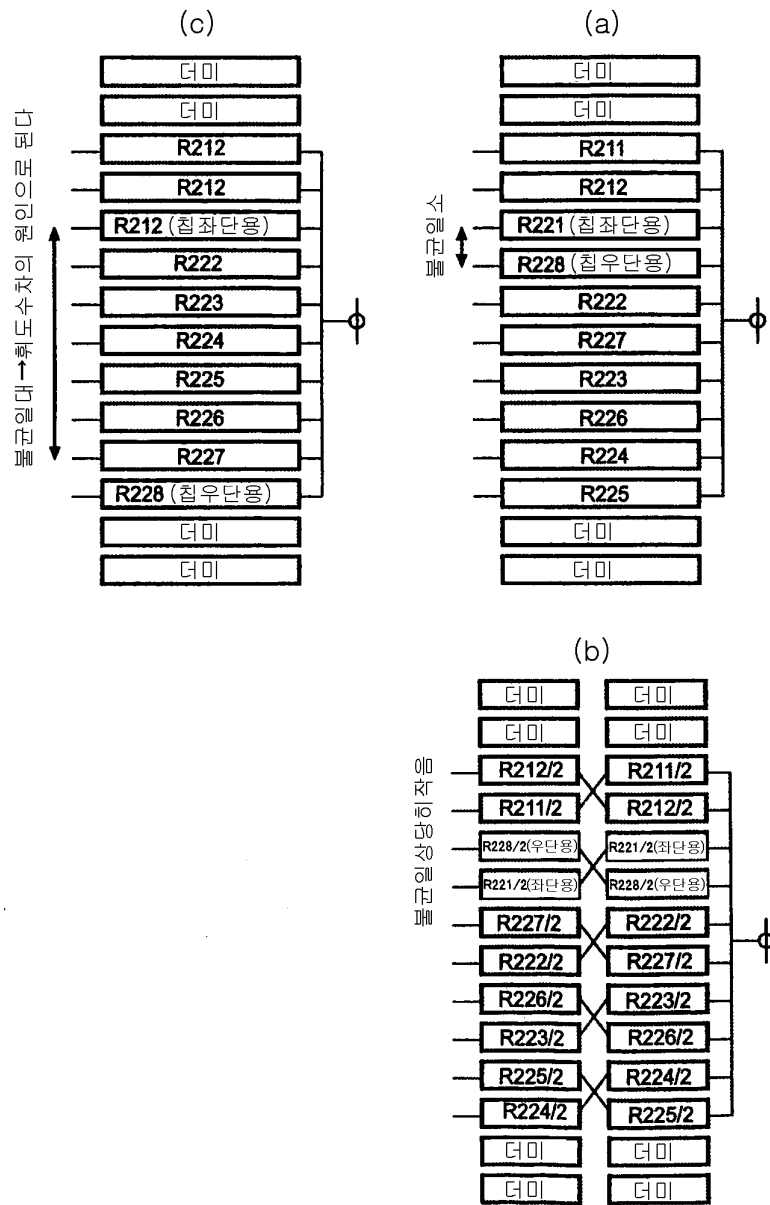
도면9



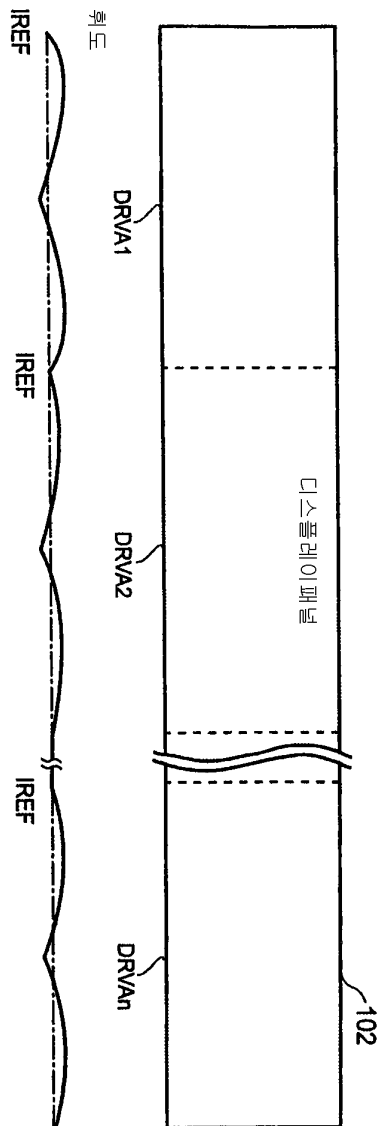
도면10



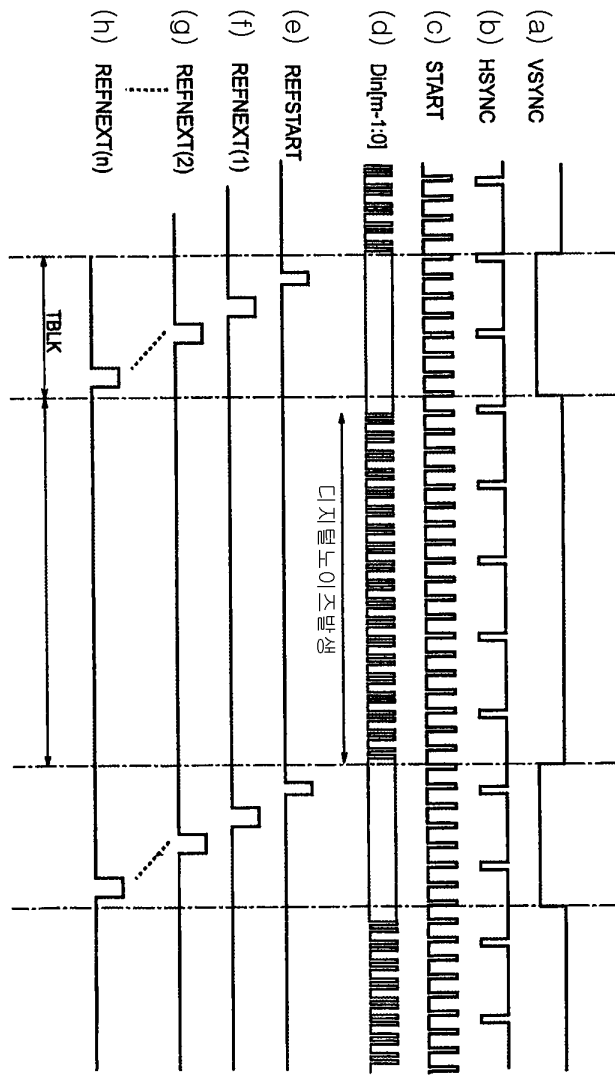
도면11



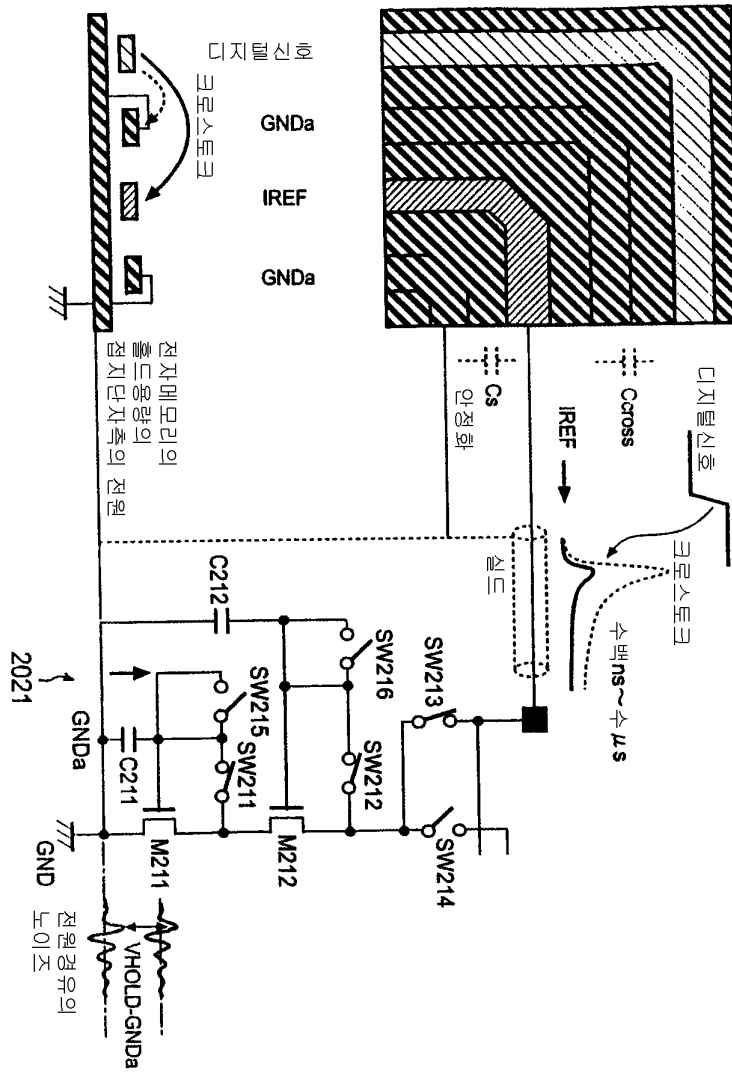
도면12



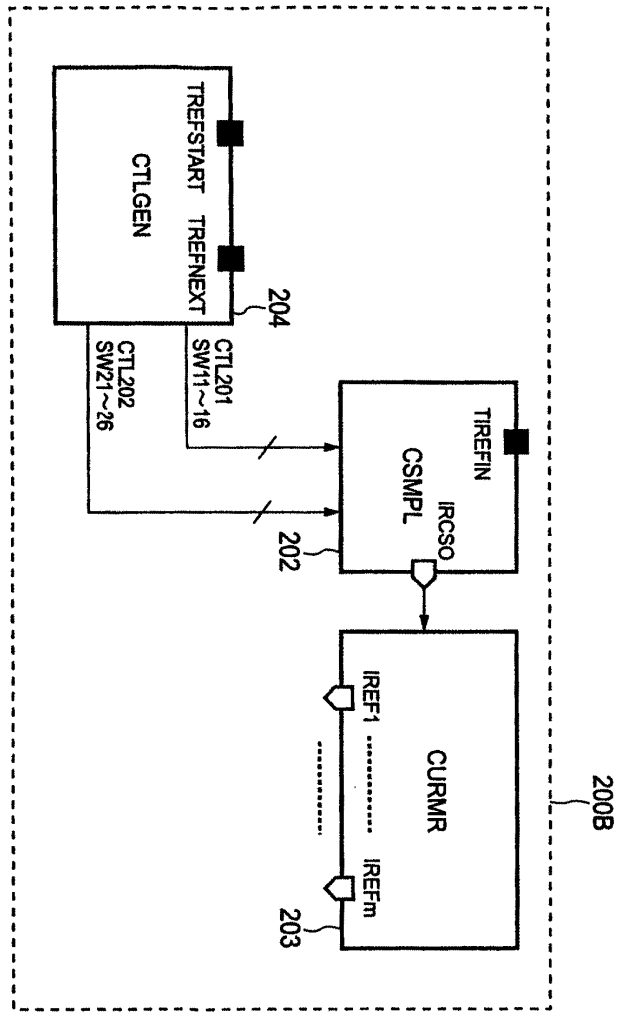
도면13



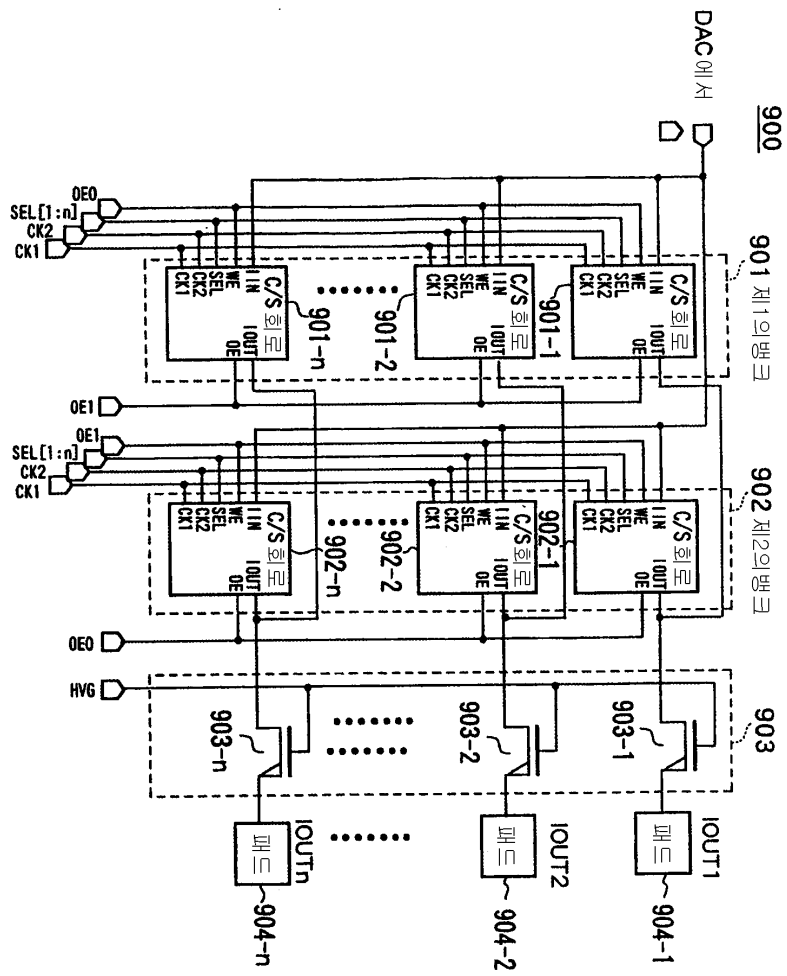
도면14



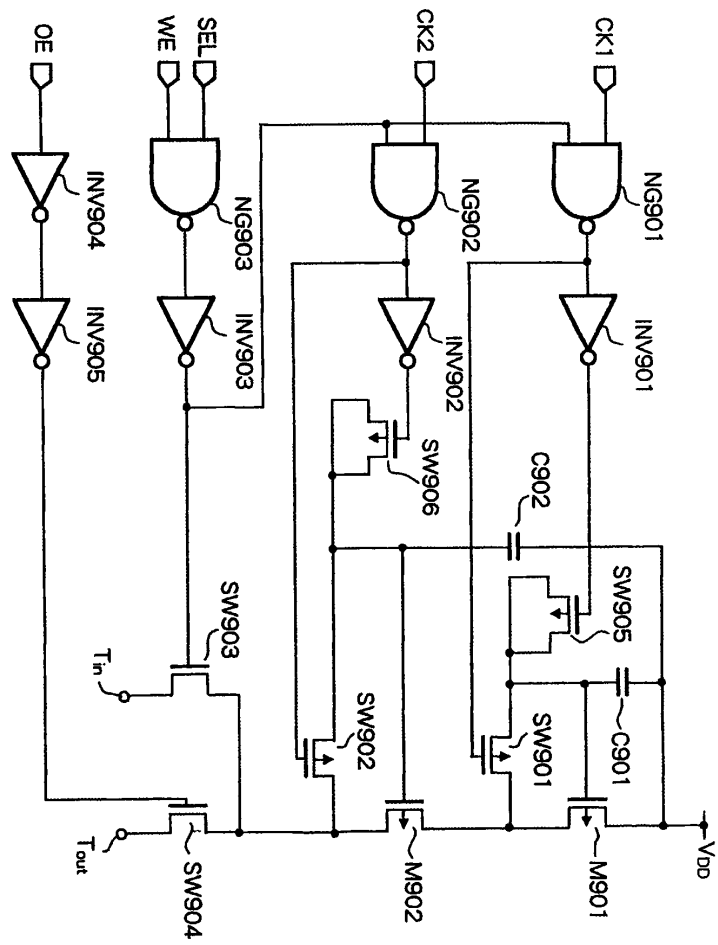
도면15



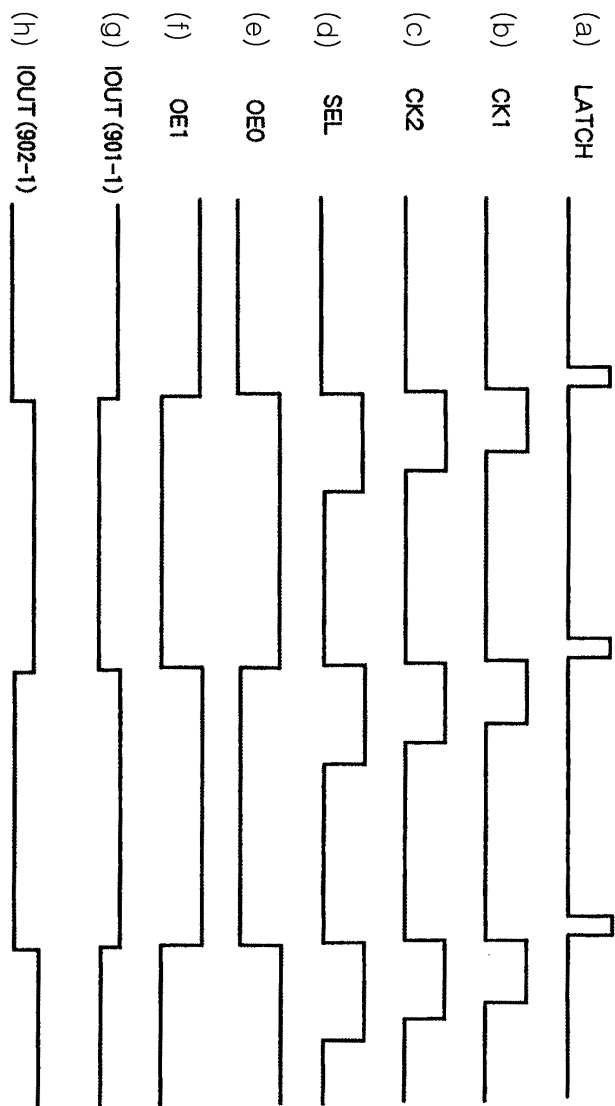
도면16



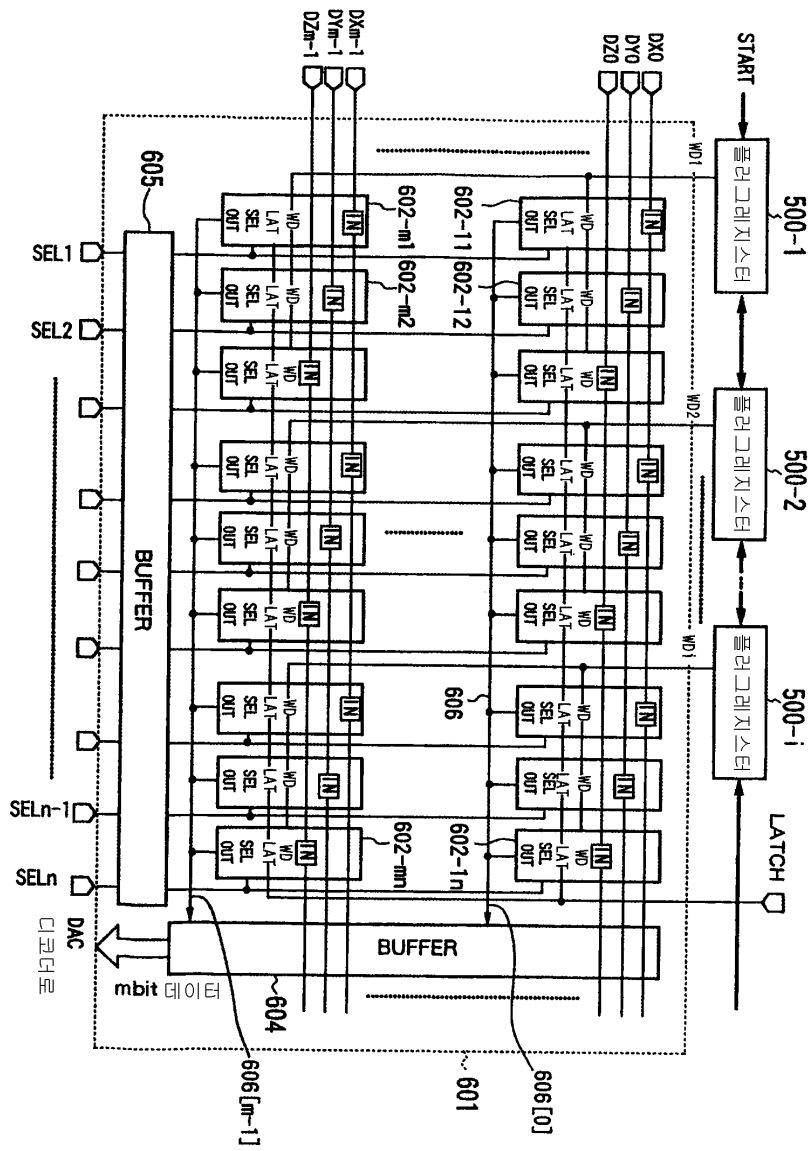
도면17



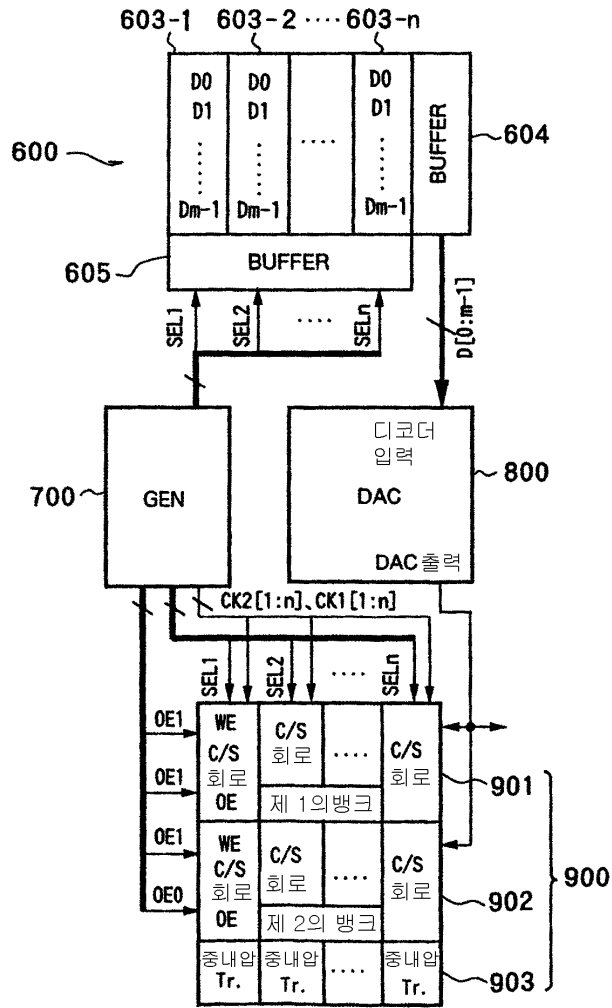
도면18



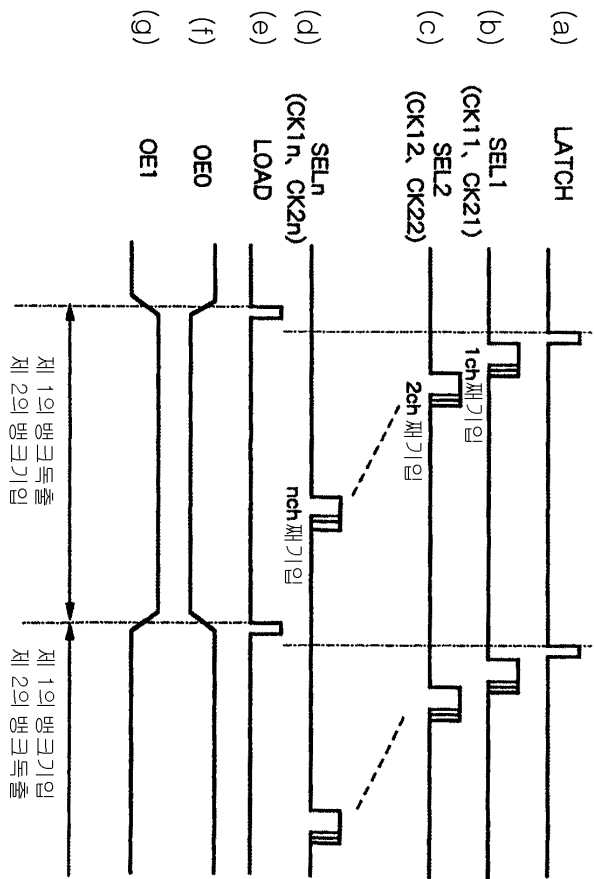
도면19



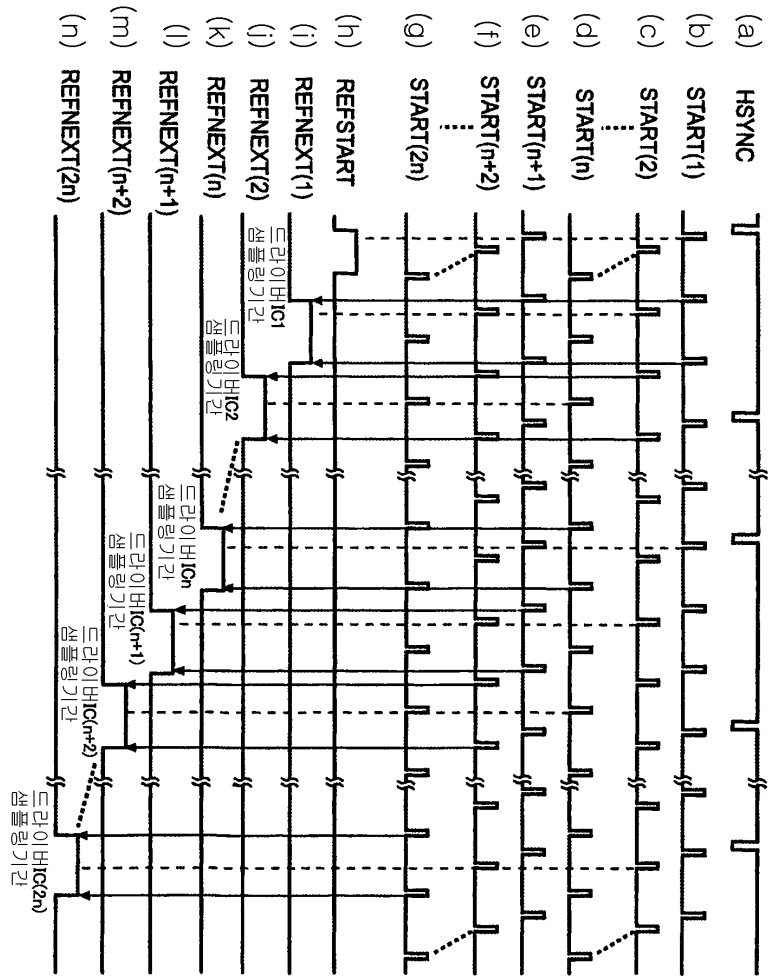
도면20



도면21



도면23



专利名称(译)	电流输出型驱动电路和显示装置		
公开(公告)号	KR1020050043931A	公开(公告)日	2005-05-11
申请号	KR1020057003849	申请日	2003-09-03
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	TAKAGI YUICHI 다카기유이치 OGA GENICHIRO 오가겐이치로 TACHIMORI HIROSHI 다치모리히로시		
发明人	다카기유이치 오가겐이치로 다치모리히로시		
IPC分类号	G09G3/30 H01L51/50 G09G3/32 G09G3/20 G11C27/02 G09G3/36		
CPC分类号	G09G2310/027 G09G3/3283 G09G2330/028		
优先权	2002268036 2002-09-13 JP		
其他公开文献	KR100964359B1		
外部链接	Espacenet		

摘要(译)

它是每个驱动器连接到显示面板 (102) 的相应分配区域 (DRVA1~DRVAn) 的参考电流 (IREF), 其中根据每个分配区域安装了多个驱动器 (101-1~101-n) 显示面板 (102) 作为驱动电流, 驱动器的参考电流输入端子具有不同的标准电流电路 (200-1~200-n), 其在采样输出均值, 输出和参考电流之后从参考电流输入端子输入, 它提供给输出电路。参考电流输入端子和电流接线 (CML1) 共用。每个驱动器的参考电流源电路将参考电流分配给分时。根据本发明, 在分配当前驱动的驱动器周期中, 足以使显示器 (驱动对象) 的亮度阶梯式滑轮变小。因此, 用常规参考电流的供电方法无法实现。可以用大尺寸实现高灰度指示的有机EL显示。

