



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월24일  
(11) 등록번호 10-0815828  
(24) 등록일자 2008년03월17일

(51) Int. Cl.  
H05B 33/12 (2006.01)  
(21) 출원번호 10-2001-0032750  
(22) 출원일자 2001년06월12일  
심사청구일자 2006년06월12일  
(65) 공개번호 10-2001-0112623  
(43) 공개일자 2001년12월20일  
(30) 우선권주장  
2000-176215 2000년06월13일 일본(JP)  
(56) 선행기술조사문헌  
KR1020010007247A  
US06518594 B1

(73) 특허권자  
소니 가부시끼 가이샤  
일본국 도쿄도 미나토구 코난 1-7-1  
(72) 발명자  
히라노타카시  
일본국도쿄도시나가와구키타시나가와6초메7반35고  
소니가부시끼가이샤내  
(74) 대리인  
이병호, 장훈

전체 청구항 수 : 총 4 항

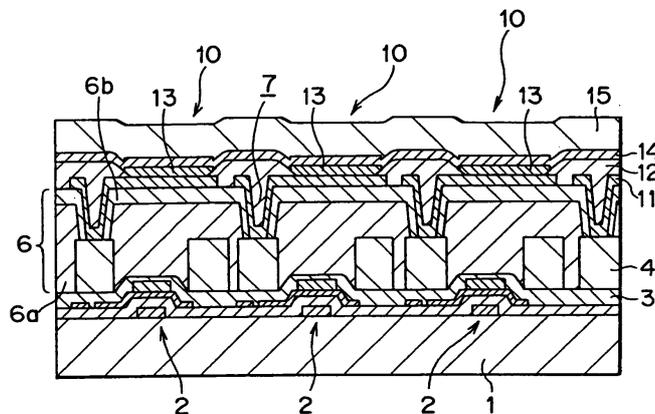
심사관 : 김창균

(54) 디스플레이 장치

(57) 요약

본 발명은 기판 상의 배선으로 인한 리세스 및 돌출부를 덮는 상태로 기판 상에 제공된 층간 절연막과, 상기 층간 절연막 상에 제공된 유기 EL 디바이스를 포함하는 디스플레이 장치로서, 층간 절연막은 배선을 매립하는 상태로 형성되는 평탄화 절연층(flattening insulation layer)과, 평탄화 절연층의 표면을 덮는 상태로 형성되는 코팅층을 포함한다. 평탄화 절연층은, 예를 들면, 스핀 온 글래스 또는 수지 재료에 의해 유기 화합물 함유 재료로 이루어지는 코팅막이고, 코팅층은 무기 재료의 막이다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

기관의 리세스 및 돌출부를 덮는 상태로 상기 기관 상에 제공된 층간 절연막과 상기 층간 절연막 상에 제공된 디스플레이 디바이스를 포함하는 디스플레이 장치에 있어서,

상기 층간 절연막은, 유기 화합물 함유 재료로 이루어지고 상기 리세스 및 돌출부를 매립하는 상태로 형성되는 평탄화 절연층과, 무기 재료로 구성되고 상기 평탄화 절연층의 표면을 덮는 상태로 형성되는 코팅층을 포함하며,

상기 층간 절연막에는 상기 층간 절연막의 하부 층에 도달하는 콘택트 홀이 제공되며,

상기 코팅층은 상기 콘택트 홀의 측면 주위 벽을 덮는 상태로 제공되는, 디스플레이 장치.

**청구항 2**

제 1 항에 있어서,

상기 디스플레이 디바이스는 유기 전계 발광 디바이스인, 디스플레이 장치.

**청구항 3**

제 1 항에 있어서,

상기 평탄화 절연층은 코팅막으로 이루어지는, 디스플레이 장치.

**청구항 4**

제 1 항에 있어서,

상기 평탄화 절연층은 스핀 온 글래스(spin on glass) 또는 수지 재료로 이루어지는, 디스플레이 장치.

**청구항 5**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <12> 본 발명은 디스플레이 장치에 관한 것으로서, 특히 유기 전계 발광 디바이스(organic electroluminescence device)를 디스플레이 디바이스로서 사용하는 액티브 매트릭스형 유기 전계 발광 디스플레이에 적합한 디스플레이 장치에 관한 것이다.
- <13> 유기 재료의 전계 발광(이하 "EL"이라 칭함)을 이용하는 유기 전계 발광 디바이스는 유기 포지티브 홀 수송층(organic positive hole transport layer) 및 유기 발광층이 캐소드와 애노드 사이에 적층되는 유기층을 포함하고, 저전압 DC 구동으로 큰 휘도 광 방출(luminance light emission)을 가능하게 하는 발광 디바이스로서 주목받고 있다.
- <14> 그러한 유기 EL 디바이스를 디스플레이 디바이스로서 사용하는 디스플레이 장치들 중에서, 각각의 픽셀에서 유기 EL 디바이스를 구동시키기 위한 박막 트랜지스터(이하 "TFT"라 칭함)를 포함하는 액티브 매트릭스형 디스플레이 장치는 TFT를 덮는 상태로 평탄화 절연층 및 기관 상에 제공된 배선을 포함하고, 유기 EL 디바이스는 평탄화 절연층 상에 제공된다. 유기 EL 디바이스 및 배선은 평탄화 절연층에 제공되는 콘택트 홀을 통해 상호 접속된다.
- <15> 예를 들면, 일본 특개평 제 10(1998)-189252 호에 개시된 바와 같이 평탄화 절연층으로서, 폴리이미드 등의 수

지 재료의 스핀 코팅에 의해 제공된 막, 및 CVD(Chemical Vapor Deposition)에 이어서 중합체 코팅 및 RIE(Reactive Ion Etching)에 의해 전체 표면을 다시 에칭함으로써 산화규소-기초 재료막 또는 질화규소-기초 재료막을 구축(build up)함으로써 생성된 막이 사용되고 있다.

<16> 그러나, 이들 디스플레이 장치는 다음 문제점들을 갖는다.

<17> 즉, 스핀 코팅 등의 코팅에 의해 형성된 평탄화 절연층은 주로 유기 재료로 구성되거나 또는 유기 재료를 포함하고, 따라서, 큰 흡수성(water-absorbing property)을 갖는다. 예를 들면, 상업적으로 이용가능한 코팅 액체를 사용하여 코팅함으로써 형성된 폴리이미드막은 약 1 내지 3% 만큼의 흡수 계수를 갖는다. 디스플레이 디바이스로서 사용된 유기 EL 디바이스는 유기 재료로 구성된 발광부를 갖기 때문에, 습기의 흡수는 휘도의 저하 또는 구동 전압의 상승을 초래할 수 있다. 따라서, 상기한 바와 같이 흡습성이 큰 재료가 평탄화 절연층으로서 사용되는 경우, 평탄화 절연층으로부터 점차로 방출되는 습기는 디스플레이 디바이스의 디스플레이 성능에 심각한 영향을 미치고, 따라서 디스플레이 장치로서 충분히 장기적인 신뢰도가 얻어질 수 없다. 또한, 습기 흡수로 인한 디스플레이 디바이스의 악화는 디스플레이 장치의 생산 공정에서 역시 계속되기 때문에, 평탄화 절연층으로부터 습기의 방출은 디스플레이 장치의 수율의을 저하시키게 한다.

<18> 한편, CVD 방법 및 RIE를 사용하는 에칭 백(etching back)에 의해 평탄화 절연층을 형성하는 경우에, 평탄화 절연층 상에 이후 제공되는 유기 EL 디바이스에 대해 충분한 편평도를 얻기는 곤란하다. 특히, RIE에 의해 전체 표면을 에칭 백하는 경우에, 에칭될 막의 약한 부분들은 선택적으로 에칭된다. 따라서, 배선 등을 매립함으로써 형성된 큰 리세스 및 돌출부(recesses and projections)가 완화되더라도, 완전히 평탄화되지 않은 에칭될 막의 초기 표면의 에칭이 진행됨으로써 에칭 중인 막의 입자 형상(grain shape)은 과장되고, 에칭 백되는 막의 편평도는 더욱 손상된다. 또한, 큰 면적을 갖는 기판이 사용되는 경우, 기판의 전체 표면 상에 균일한 편평도를 얻기는 매우 곤란하다.

<19> 디스플레이 디바이스가 그러한 불충분한 편평도를 갖는 평탄화 절연층 상에 제공되는 경우에, 디스플레이 디바이스를 구성하는 각각의 층의 균일한 막 두께를 얻기 곤란하고, 균일한 디스플레이 특성을 얻기가 곤란하다. 특히, 디스플레이 디바이스로서 사용되는 유기 EL 디바이스의 발광부는 극히 얇은 유기막으로 구성되어 있기 때문에, 막 두께의 분산은 디스플레이 특성에 영향을 미칠 수 있다. 예를 들면, 구동 시에 작은막 두께 부분에서 전계의 편재된 집중으로 인한 전류 누설 등의 문제가 발생할 수 있고, 안정한 디스플레이를 수행하기 곤란하다.

**발명이 이루고자 하는 기술적 과제**

<20> 따라서, 본 발명의 목적은 상기 문제점들을 해결하고, 수율이 우수하고 장기적인 신뢰도를 갖는 액티브 매트릭스형 디스플레이 장치에 적합한 디스플레이 장치를 제공하는 것이다.

**발명의 구성 및 작용**

<21> 본 발명에 따라서, 기판의 리세스 및 돌출부를 덮는 상태로 기판 상에 제공된 층간 절연막과 상기 층간 절연막 상에 제공된 디스플레이 디바이스를 포함하는 디스플레이 장치가 제공되며, 층간 절연막은 유기 화합물 함유 재료로 이루어지고, 상기 리세스 및 돌출부를 매립하는 상태로 형성되는 평탄화 절연층과, 무기 재료로 구성되고, 상기 평탄화 절연층의 표면을 덮는 상태로 형성되는 코팅층을 포함한다.

<22> 이러한 구성에 의해, 평탄화 절연층은 유기 화합물 함유 재료로 구성되기 때문에, 평탄화 절연층은 우수한 편평도를 갖는 코팅막으로서 제공될 수 있다. 따라서, 코팅층과 함께 평탄화 절연층이 편평도가 우수한 층간 절연막을 제공하고, 디스플레이 디바이스는 층간 절연막 상에 제공될 수 있으므로, 디스플레이 디바이스를 구성하는 각각의 층의 막 두께는 균일해질 수 있다. 또한, 코팅층은 무기 재료로 구성되기 때문에, 이 코팅층은 평탄화 절연층을 구성하는 유기 재료로부터 방출되는 가스 성분(예를 들면, 수증기)에 대한 장벽(barrier)으로서 기능하고, 코팅층 상에 제공된 디스플레이 디바이스의 측면으로의 가스 성분(특히, 수증기)의 공급이 방지되고, 그로 인해 습기 흡수로 인한 디스플레이 장치의 열화(deterioration)가 방지된다.

<23> 따라서, 이하 상세히 설명하는 바와 같이, 본 발명의 디스플레이 장치에 따라, 디스플레이 디바이스는 평탄화 절연층 및 코팅층을 포함하는 다중층 구조를 갖는 층간 절연막 상에 제공되고, 그로 인해, 예를 들면, 액티브 매트릭스형 디스플레이 장치의 기판 등의 배선으로 인한 리세스 및 돌출부를 갖는 기판 상의 층간 절연막을 통해 제공되는 디스플레이 디바이스의 디스플레이 특성을 안정화시킬 수 있고, 습기 흡수로 인한 열화를 방지할 수 있다. 따라서, 보다 큰 수율과 보다 큰 장기적인 신뢰도를 갖는 디스플레이 장치를 고안할 수 있다.

- <24> 본 발명의 상기 목적 및 다른 목적들, 특징 및 장점들은 본 발명의 양호한 일부 실시예들을 예로서 도시한 첨부한 도면과 관련하여 이루어진 하기 설명 및 첨부된 특허청구의 범위로부터 명백해질 것이다.
- <25> 이하, 본 발명에 따른 디스플레이 장치의 실시예는 도면을 참조하여 설명될 것이다. 여기서, 디스플레이 디바이스로서 유기 EL 디바이스를 사용하는 액티브 매트릭스형 디스플레이 장치에 본 발명을 적용시킨 일 실시예는 설명될 것이다.
- <26> 도 1에 도시된 디스플레이 장치는, 예를 들면, 유리 재료로 구성된 기판(1) 상의 매트릭스 형태로 구성된 바닥 게이트형(상부 게이트형도 채택될 수 있음)의 TFT(2), 및 TFT를 덮는 상태로 형성되는 절연막(3)을 포함한다. 절연막(3) 상에는, 콘택트 홀(도시하지 않음)을 통해 TFT(2)에 접속된 배선(4)이 제공되고, 배선(4)은 기판(1)의 표면 상에 가장 큰 리세스 및 돌출부를 제공한다.
- <27> 절연막(3) 상에는, 층간 절연막(6)이 배선(4)을 매립하는 상태로 제공된다. 층간 절연막(6)은 배선(4)을 매립하는 상태로 절연막(3) 상에 형성되는 평탄화 절연층(6a)과, 평탄화 절연층(6a) 상에 제공되는 코팅층(6b)을 포함하는 다중층 구조를 갖는다. 여기서, 평탄화 절연층(6a)은 SOG 또는 수지 재료(예를 들면, 폴리이미드 수지, 아크릴계 수지, 또는 유기 실리카막) 등의 유기 재료를 사용하여 얻어진 재료로 구성되고, 스핀 코팅 방법 등의 코팅 방법에 의해 형성된 코팅막이다. 다른 한편, 코팅층(6b)은 평탄화 절연층(6a)으로부터 가스 방출을 억제시키기 위한 가스 장벽 특성을 갖는 절연 재료를 사용함으로써 형성된다. 코팅층(6b)은 산화 규소( $\text{Si}_3\text{N}_4$ ), 비정질 실리콘( $\alpha\text{-Si}$ ) 또는 산화 알루미늄( $\text{Al}_2\text{O}_3$ ) 등의 무기 재료를 사용함으로써 단일층 또는 다중층 구조를 갖도록 제공된다. 또한, 코팅층(6b)은 평탄화 절연층(6a)으로부터 가스 방출을 억제하기에 충분한 막 두께를 갖는다.
- <28> 그러한 다중층 구조를 갖는 층간 절연막(6)은 배선(4)에 도달하는 콘택트 홀(7)이 제공된다. 콘택트 홀(7)의 측면 주위 벽은 코팅층(6b)에 의해 덮이고, 평탄화 절연층(6a)의 콘택트 홀(7)을 향한 상부 표면 및 표면들은 전체가 코팅층(6b)으로 덮인다. 따라서, 도 2에 도시된 바와 같이, 코팅층(6b)의 개구부(opening portion)(7b)는 평탄화 절연층(6a)에 형성된 개구부(7a)의 바닥 표면 오프닝 내부에 제공된다. 도 2의 콘택트 홀(7)은 원형 개구 형상(circular opening shape)을 갖지만, 콘택트 홀(7)의 개구 형상은 이것으로 제한되지 않고, 직사각형(정사각형을 포함함)이거나 다각형일 수 있다.
- <29> 유기 EL 디바이스(10)는 콘택트 홀(7)을 통해 배선(4)에 접속되는 상태로 층간 절연막(6) 상에 제공된다. 유기 EL 디바이스(10)는, 예를 들면, 기판(1)의 반대쪽 측면으로부터 발광시키는 상부 발광형(top luminescence type)으로 되어 있고, 콘택트 홀(7)을 통해 배선(4)에 접속되는 하부 전극(11), 하부 전극(11)의 주변부를 덮는 상태로 제공된 절연층(12), 하부 전극(11) 상에 제공된 유기층(13), 및 유기층(13) 상에 제공된 상부 전극(14) 및 투명 전극(15)을 포함한다. 유기 EL 디바이스(10)는 광이 기판(1)의 측면으로부터 나오는 전송형(transmission type)으로 이루어질 수 있다.
- <30> 다음으로, 디스플레이 장치의 성분 소자들에 대한 상세한 설명은 도 3a 내지 3d 및 도 4a 내지 4c에 도시된 부분 공정도를 사용하여 형성 단계 순으로 설명될 것이다.
- <31> 먼저, 도 3a에 도시된 바와 같이, 바닥 게이트형 TFT들(2)이, 예를 들면, 투명한 유리로 구성된 기판(1) 상에 제공되고, 절연막(3)이 TFT들(2)을 덮는 상태로 제공된다. 다음으로, 절연막(3)은 콘택트 홀(도시하지 않음)이 제공되고, 콘택트 홀(7)을 통해 TFT(2)에 접속될 배선(4)이 절연막(3) 상에 제공된다. 배선(4)은 TFT들(2)을 서로 접속시키기 위한 것이거나 또는 이후 단계들에서 형성되는 유기 EL 디바이스와 TFT들(2)을 접속시키기 위한 것이고, 예를 들면, 약  $1.0\mu\text{m}$  높이의 알루미늄 배선으로서 형성된다. 배선(4)의 형상은 기판(1)의 표면 내에 리세스 및 돌출부의 가장 큰 원인이다.
- <32> 다음으로, 도 3b에 도시된 바와 같이, 배선(4)의 형성으로 발생하는 리세스 및 돌출부를 평탄화하기 위해, 평탄화 절연층(6a)은 배선(4)으로 인한 리세스 및 돌출부를 매립하는 상태로 그 위에 형성된 배선(4)과 함께 절연막(3) 상에 형성된다. 평탄화 절연층(6a)은 포지티브형 감광 폴리이미드로 구성된다. 절연막(3) 상의 평탄화 절연층(6a)의 형성은 3200rpm의 회전수로 스핀 코팅 방법에 의해 감광 폴리이미드를 도포함으로써 수행된다. 코팅 직후, 평탄화 절연층(6a)은  $90^\circ\text{C}$ 의 고온 플레이트 상에서 10분 동안 프리베이킹(prebaking)된다. 프리베이킹 후 평탄화 절연층(6a)의 코팅막 두께는 약  $2.4\mu\text{m}$ 이고, 배선(4)은 평탄화 절연층(6a)에 매립된다.
- <33> 이후, 평탄화 절연층(6a)의 패턴 노출은 노출 장치를 사용함으로써 수행되고, 그로 인해 노출된 부분은 현상액(developing liquid)에 용해된다. 패턴 노출은 예를 들면 500mJ의 노출량으로 근접 노출 장치를 사용함으로써

수행된다.

- <34> 패턴 노출 후, 평탄화 절연층(6a)은 샤워어 회전형 현상 장치(shower rotation type developing apparatus)를 사용함으로써 전개되어, 노출된 부분들은 현상액에 용해되고 제거된다. 현상액으로서, 2.38% TMAH 수용액(테트라메틸암모늄 히드록사이드)(예를 들면, 도쿄 오가 코규 컴퍼니 리미티드제 MND-3)이 사용되고, 현상 시간은 약 3분이다.
- <35> 상기 일련의 리소그래피 처리에 의해, 평탄화 절연층(6a)은 상기 형상으로 패터닝되고, 배선(4)에 도달하는 개구부들(7a)이 제공된다.
- <36> 이후, 평탄화 절연층(6a)을 구성하는 감광성 폴리이미드의 이미드화(사이클화)를 일으키는 베이킹은 청정한 베이킹 노(clean baking furnace)에서 수행된다. 이러한 경우에, 베이킹은 170℃의 질소 분위기에서 60분 동안 수행되고, 베이킹은 350℃에서 30분 동안 수행된다. 베이킹 후 평탄화 절연층(6a)의 막 두께는 약 2.0 $\mu$ m이고, 배선(4)은 평탄화 절연층(6a)에 매립된다. 이러한 경우에, 평탄화 절연층(6a)의 표면의 편평도(리세스와 돌출부간의 최대 높이 차이)는 약 0.3 $\mu$ m이고, 흡수 계수는 약 1.5 wt%이다.
- <37> 평탄화 절연층(6a)은 그것이 스핀 코팅 등의 코팅 방법에 의해 형성되는 코팅막인 한은 상기 감광성 폴리이미드로 제한되지 않고, 감광성 또는 SOG막이 아닌 수지 재료의 막일 수 있다. 그러나, 평탄화 절연층(6a)이 감광성이 아닌 재료를 사용함으로써 형성되는 경우, 레지스트 패턴은 이와 같이 형성된 평탄화 절연층(6a) 상에 제공되고, 평탄화 절연층(6a)은 마스크로서 레지스트 패턴을 사용함으로써 에칭되어 개구부(7a)를 생성한다.
- <38> 평탄화 절연층(6a)에 개구부(7a)가 제공된 후, 코팅층(6b)은 도 3c에 도시된 바와 같이 개구부(7a)의 내벽들을 포함하여 평탄화 절연층(6a)의 노출된 표면을 덮는 상태로 제공된다. 여기서, 산화규소(SiO<sub>2</sub>)로 구성된 코팅층(6b)은 플라즈마 CVD에 의해 형성된다. 이러한 경우에, 실레인(SiH<sub>4</sub>) 및 아산화질소(N<sub>2</sub>O)는 반응성 가스로서 사용되고, 막 형성은 320℃의 막 형성 온도에서 및 50Pa의 막 형성 대기압에서 수행된다. 따라서, 충분한 가스 장벽 특성 및 용이한 프로세싱을 보장하는 막 두께(여기서, 500nm)를 갖는 산화규소로 구성된 코팅층(6b)이 제공된다. 코팅층(6b)의 형성 방법은 플라즈마 CVD 방법으로 제한되지 않지만, 충분한 가스 장벽 특성을 갖는 막이 얻어질 수 있는 막 형성 방법을 적용하는 것이 바람직하다.
- <39> 다음으로, 레지스트 패턴(도시되지 않음)이 코팅층(6b) 상에 제공되고, 평탄화 절연층(6a)에 형성되는 개구부(7a)의 바닥 표면의 코팅층(6b)이 마스크로서 레지스트 패턴을 사용하여 에칭되고, 그로 인해 코팅층(6b)은 개구부(7b)가 제공된다. 이러한 경우에, 도 2에 도시된 바와 같이, 코팅층(6b)의 개구부(7b)가 평탄화 절연층(6a)에 형성된 개구부(7a)의 바닥 개구부 내부에 제공된다. 산화 규소로 구성된 코팅층(6)의 에칭은, 예를 들면, 불화 수소산 및 불화 암모늄의 혼합 용액을 사용한 습식 에칭에 의해서 또는 불소 함유 가스(예를 들면, 테트라플루오라이드, CF<sub>4</sub>)를 사용하는 건식 에칭에 의해 수행된다.
- <40> 상기 공정에 의해, 코팅층(6b)으로 평탄화 절연층(6a)의 노출된 표면을 덮는 상태가 유지되는 동안, 평탄화 절연층(6a) 및 이를 덮는 코팅층(6b)으로 구성된 층간 절연막(6)은 배선(4)에 도달하는 콘택트 홀(7)이 제공된다.
- <41> 평탄화 절연층(6a) 및 이를 덮는 코팅층(6b)으로 구성되고, 코팅층(6b)으로 덮히는 측면 주위 벽(side circumferential walls)을 갖는 콘택트 홀(7)이 제공되는 층간 절연막(6)의 형성 방법은 상기 공정에 제한되지 않고, 다음 공정에 의해 수행될 수 있다.
- <42> 먼저, 평탄화 절연층 및 코팅층이 제공되고, 이어서 평탄화 절연층 및 코팅층은 마스크로서 레지스트 패턴을 사용하여 에칭함으로써 배선에 도달하는 콘택트 홀들이 제공된다. 다음으로, 제2 코팅층이 콘택트 홀들의 내벽들을 덮는 상태로 제공되고, 제2 코팅층은 제2 코팅층으로 구성된 측벽들이 콘택트 홀들의 내벽들 상에 남겨지는 상태로 다시 에칭된다. 그에 따라, 평탄화 절연층의 상부 측면이 코팅층으로 덮히고, 콘택트 홀들의 내벽이 제2 코팅층으로 덮히는 평탄화 절연층이 얻어진다. 그러한 방법에 따라, 콘택트 홀들을 형성하기 위한 레지스트 패턴의 형성은 단 한번 수행되고, 마스크 단계들의 수의 감소를 충족시킨다. 또한, 미세한 디자인에 적절한 마스크 매칭은 필요치 않다.
- <43> 배선(4)에 도달하는 콘택트 홀들(7)을 구비한 층간 절연막(6)이 상기 방법들로부터 선택된 방법에 의해 형성된 후, 유기 EL 디바이스(10)는 하기 방식으로 층간 절연막(6) 상에(즉, 코팅층(6b) 상에) 제공된다. 광이 기관(1)과 반대쪽 측면으로부터 방출되는 상부 발광형의 유기 EL 디바이스를 제공하는 경우는 실시예로서 설명될 것이지만, 본 발명은 이 실시예에 제한되지 않고, 광이 기관(1)의 측면으로부터 나오는 투과형의 유기 EL 디바이스가 제공될 수도 있다.

- <44> 먼저, 도 3d에 도시된 바와 같이, 금속(예를 들면, Cr)으로 구성된 하부 전극(11)은 콘택트 홀(7)을 통해 배선(4)에 접속되는 상태로 코팅층(6b) 상에 제공된다. 하부 전극(11)은 유기 EL 디바이스의 애노드로서 사용된다.
- <45> 하부 전극(11)을 제공하기 위해, 먼저, 200nm 두께의 크롬(Cr)막이 DC 스퍼터링 방법에 의해 형성된다. 이러한 경우에, 예를 들면, 아르곤(Ar)은 스퍼터 가스로서 사용되고, 막 형성은 0.2Pa의 스퍼터링 대기압 및 300W의 DC 출력을 설정함으로써 수행된다. 다음으로, 크롬막은 마스크로서 통상의 리소그래피 기술에 의해 형성된 레지스트 패턴을 사용하여 에칭되고, 그로 인해 소정의 형상으로 패터닝된 크롬으로 구성된 하부 전극(11)이 얻어진다.
- <46> 크롬막의 에칭은 황산세슘암모늄 및 과염소산의 혼합 수용액에 기초한 에칭액, 예를 들면 ETCH-1(상표명, 산요 화학 인더스트리스, 리미티드사 제품)을 사용하는 습식 에칭에 의해 수행되고, 그로 인해 큰 정확도 및 양호한 재생성을 가진 에칭이 수행된다. 보다 큰 정확도가 필요한 경우, 건식 에칭이 수행된다. 건식 에칭의 경우에, 예를 들면, 염소(Cl<sub>2</sub>) 및 산소(O<sub>2</sub>)의 혼합 가스가 에칭 가스로서 사용된다. 이러한 경우에, 특히, RIE(반응성 이온 에칭)가 수행될 수 있고, 그로 인해 큰 정확도로 처리할 수 있고, 에칭중인 측벽의 형상을 제어할 수 있다. 예를 들면, 소정의 에칭 상태 하의 에칭에 의해, 에칭 중인 측벽들이 테이퍼링(tapering)될 수 있고, 그에 따라 후기 단계들에 제공되는 하부 전극(11)과 상부 전극 사이의 회로 단락 가능성이 감소될 수 있다.
- <47> 도 4a에 도시된 바와 같이, 하부 전극(11)의 상부 측면 상에 개구부(12a)를 갖고, 하부 전극(11)의 주변 에지를 덮는 절연층(12)이 제공된다. 절연층(12)을 구성하는 재료는 특별히 제한되지 않고, 예를 들면, 산화 규소(SiO<sub>2</sub>)가 본 발명에 사용되었다.
- <48> 절연층(12)을 제공하기 위해, 먼저, 200nm 두께를 갖는 산화 규소막이, 예를 들면, 스퍼터링에 의해 제공되고, 레지스트 패턴이 통상의 리소그래피 기술에 의해 산화규소막 상에 제공된다. 이후, 산화규소막은 마스크로서 레지스트 패턴을 사용하여 에칭되고, 그로 인해 하부 전극(11)의 상부 측면 상에 개구부(12a)를 갖고, 하부 전극(11)의 주변 에지를 덮는 절연층(12)이 얻어진다. 에칭은 불화 수소산 및 불화 암모늄의 혼합 수용액을 사용하는 습식 에칭이거나 또는 건식 에칭일 수 있다. 절연층(12)은 필요에 따라 형성될 수 있고, 절연층(12)이 제공될 때, 하부 전극(11)과 후기 단계에서 제공될 상부 전극 간의 회로 단락을 방지할 수 있다. 절연층(12)이 제공되는 경우, 절연층(12)의 개구부(12a)는 유기 EL 디바이스의 발광부에 대응한다.
- <49> 다음으로, 도 4b에 도시된 바와 같이, 필요에 따라 절연층(12)이 제공된 기판은 진공 증착 장치에 놓이고, 진공 증착은 마스크(A)의 상부 측면으로부터 수행되어 개별적으로 독립적인 상태로 하부 전극(11)을 덮는 유기층(13)을 제공한다. 마스크(A)는 그와 같이 디자인됨으로써 절연층(12)의 에지부 역시 유기층(13)으로 덮히고, 그로 인해 하부 전극(11)은 유기층(13)으로 완전히 덮힌다. 유기층(13)은 유기 포지티브 홀 주입층, 유기 포지티브 홀 수송층, 및 전자 수송층으로서 또한 작용하는 유기 발광 층의 적층 구조를 갖고, 이는 본 명세서에 실질적으로 나타내지 않고, 하부 측면으로부터 이러한 순서대로 순차로 제공된다.
- <50> 상기한 바의 구조를 갖는 유기층(13)의 일 실시예로서, MTDATA(4,4',4"-트리스(3-메틸페닐페닐아미노)트리페닐아민)층은 유기 포지티브 홀 주입층으로서 30nm의 막 두께로 제공되고, α-NPD (비스(N-나프틸)-N-페닐벤지딘)층이 유기 포지티브 홀 수송층으로서 20nm의 막 두께로 제공되고, Alq<sub>3</sub>(β-퀴놀리놀 알루미늄 착물) 층이 유기 발광층으로서 50nm의 막 두께로 제공된다.
- <51> 유기층(13)의 진공 증착에 있어서, 각 재료의 0.2g이 저항 가열을 위해 각각의 보트에 패키징되고, 이는 진공 증착 장치의 소정의 전극에 부합되고, 증착 대기압은 1.0x10<sup>-4</sup> Pa로 감소되고, 전압은 각각의 보트 상에 부과되어 보트 내에 재료를 순차로 증착시킨다. 마스크(A)로서, 금속 마스크가 사용된다.
- <52> 다음으로, 도 4c에 도시된 바와 같이, 마스크가 제거되고, 증착은 유기층(13)을 덮는 상부 전극(14) 및 기판(1)의 상부 측면의 전체 표면에 걸쳐 절연층(12)을 형성하기 위해 수행된다. 상부 전극(14)은 유기 EL 디바이스의 캐소드로서 사용되고, 예를 들면 마그네슘(Mg)과 은(Ag)의 합금으로 구성된다. 상부 전극의 막 두께는, 예를 들면, 10nm이다. 상부 전극(14)의 진공 증착은 유기층(13)의 증착이 수행된 진공 증착 장치에서 연속적으로 수행된다.
- <53> 상부 전극(14)의 진공 증착에서, 마그네슘 0.1g 및 은 0.4g이 보트에 패키징되고, 이는 진공 증착 장치의 소정의 전극에 부합되고, 증착 대기압은 1.0x10<sup>-4</sup> Pa로 감소되고, 전압은 보트에 포함된 마그네슘 및 은을 동시 증착시키기 위해 각각의 보트에 적용된다. 이러한 경우에, 은에 대한 마그네슘의 막 형성 속도의 비율은 약 9:1이 되도

록 설정된다.

- <54> 이후, 도 1에 도시된 바와 같이, 투명한 전극막(15)이 상부 전극(14) 상에 제공된다. 여기서, 투명한 전극막(15)으로서, 실온에서막으로 형성될 때 양호한 도전성을 보이는 산화 아연 인듐(In-Zn-O)에 기초한 투명한 도전성 재료가 사용되었다. 그러한 재료로 구성된 투명 전극막(15)의 막 형성은, 예를 들면, DC 스퍼터링 방법에 의해 수행된다. 막 형성의 일 예로서, 아르곤(Ar) 및 산소(O<sub>2</sub>)의 혼합 가스(Ar:O<sub>2</sub>의 부피비=1000:5)가 스퍼터 가스로서 사용되고, 스퍼터링 대기압은 0.3Pa이고, DC 출력은 40W이고, 투명 전극막(15)의 막 두께는 200nm이다.
- <55> 상기 방식으로, 하부 전극(애노드)(11), 유기층(13), 상부 전극(캐소드)(14) 및 투명 전극막(15)의 적층 구조를 갖는 다수의 유기 EL 디바이스(10)가 디스플레이 디바이스로서 층간 절연막(6) 상에 순차로 제공된다. 유기 EL 디바이스(10) 각각은 층간 절연막(6) 및 배선(4)에 제공된 콘택트 홀(7)을 통해 TFT(2)에 접속된다.
- <56> 또한, 상기 방식으로, 디스플레이 디바이스로서 제공된 각각의 유기 EL 디바이스(10)가 유기 EL 디바이스(10)를 구동하기 위해 TFT(2)와 접속되는 액티브 매트릭스형 디스플레이 장치가 얻어진다.
- <57> 상기한 바와 같이 구축된 디스플레이 장치에서, 평탄화 절연층(6a)은 스핀 코팅 방법 등의 코팅 방법에 의해 형성되고, 따라서 편평도가 우수하고, 배선(4)은 평탄화 절연층(6a) 및 이를 덮는 코팅층(6b)으로 구성된 편평도가 우수한 층간 절연막(6)에 매립된다. 이어서, 유기 EL 디바이스(10)는 편평도가 우수한 층간 절연막(6) 상에 제공될 수 있다. 따라서, 유기 EL 디바이스(10)는 막 두께 균일도가 우수한 유기층의 박막을 갖고, 그로 인해 하부 전극(11)과 상부 전극(14) 간의 회로 단락이 방지되고, 발광 평면에서 발광의 균일도가 설계될 수 있고, 안정한 디스플레이 특성이 보장될 수 있다.
- <58> 더욱이, 평탄화 절연층(6a)을 덮는 코팅층(6b)은 무기 재료로 형성되기 때문에, 코팅층(6b)은 코팅막으로서 제공되는 평탄화 절연층(6a)으로부터 방출된 가스 성분(예를 들면, 수증기)에 반하는 장벽으로서 작용하고, 코팅층(6b) 상에 제공된 유기 EL 디바이스의 측면으로의 가스 성분(특히, 수증기)의 방출이 방지된다. 또한, 층간 절연막(6)에 제공된 콘택트 홀(7)의 측면 주위 벽은 코팅층(6b)으로 덮히기 때문에, 콘택트 홀(7)의 측면 주위 벽으로부터 유기 EL 디바이스(10)의 측면으로의 습기의 방출 역시 방지된다. 따라서, 생산 단계 동안 습기 흡수로 인한 유기 EL 디바이스(10)의 열화를 방지할 수 있고, 장기간의 구동 중에 습기 흡수로 인한 유기 EL 디바이스(10)의 열화를 방지할 수 있다. 상기한 바의 결과로서, 액티브 매트릭스형 디스플레이 장치의 증가된 수율 및 증가된 장기간의 신뢰도를 설계할 수 있다.
- <59> 또한, 층간 절연막(6)에 제공된 콘택트 홀(7)의 측면 주위 벽은 코팅층(6b)으로 덮히기 때문에, 습기 흡수로 인한 유기 EL 디바이스(10)의 열화는 유기 EL 디바이스(10)가 콘택트 홀(7)의 상부 측면 상에 제공되는 경우에조차 방지될 수 있다.
- <60> 다음으로, 상기한 바와 같이 얻어진 디스플레이 장치의 평가 결과를 나타낼 것이다. 여기서, 실제 예로서, 상기 실시예에 기재된 바와 같이 구성된 디스플레이 장치의 디스플레이 디바이스(유기 EL 디바이스)를 위해, 구동 전압, 구동 전류, 초기 구동 시점에서의 휘도, 및 100시간 동안 공기 중에서 구동한 후의 휘도를 측정하였다. 또한, 비교예 1로서, 각각의 값을 기관 상에 직접적으로 제공된 유기 EL 디바이스에 대해 측정하였다. 더욱이, 종래 구조를 갖는 디스플레이 장치에 대응하는 비교예 2로서, 각각의 값은 평탄화 절연층으로만 구성된 층간 절연막 상에 직접적으로 제공된 유기 EL 디바이스에 대해 측정하였다. 측정 결과는 아래 표 1에 나타난다. 비교예 1 및 2에서 평탄화 절연층 및 유기 EL 디바이스는 실제 예의 디스플레이 장치에서의 그것들과 동일한 방식으로 형성된다.

**표 1**

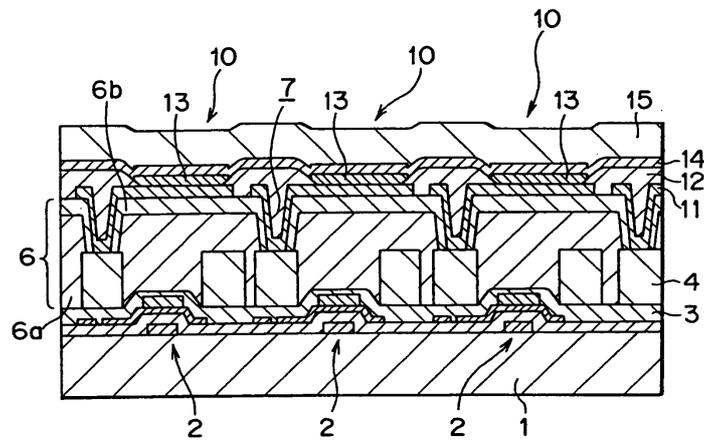
| <61>  | 구동 전압 | 구동 전류                 | 초기 휘도                  | 100시간 후 휘도            |
|-------|-------|-----------------------|------------------------|-----------------------|
| 실제예   | 8.9V  | 39 mA/cm <sup>2</sup> | 990 cd/m <sup>2</sup>  | 955 cd/m <sup>2</sup> |
| 비교예 1 | 8.9V  | 39 mA/cm <sup>2</sup> | 1000 cd/m <sup>2</sup> | 970 cd/m <sup>2</sup> |
| 비교예 2 | 11.2V | 39 mA/cm <sup>2</sup> | 560 cd/m <sup>2</sup>  | 270 cd/m <sup>2</sup> |

<62> 표 1에 나타낸 바와 같이, 실제예에서 유기 EL 디바이스의 초기 구동 시점에서 휘도(초기 휘도)는 층간 절연막이 제공되지 않는 비교예 1의 유기 EL 디바이스의 그것과 마찬가지로 높은 레벨로 유지되는 것으로 밝혀졌다.

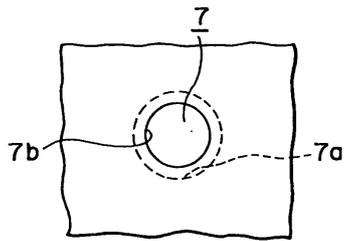


도면

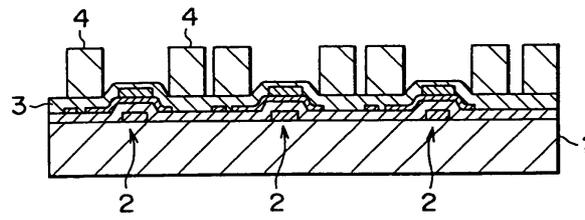
도면1



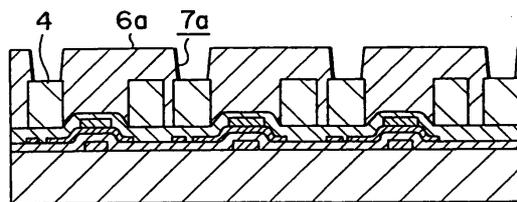
도면2



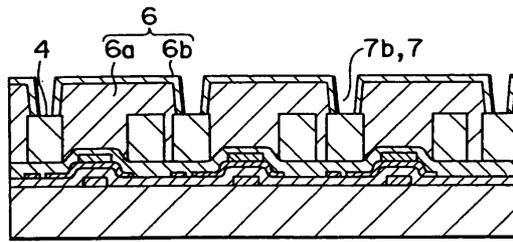
도면3a



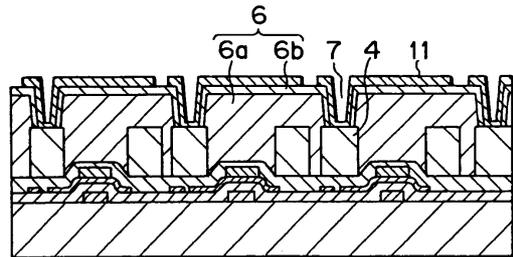
도면3b



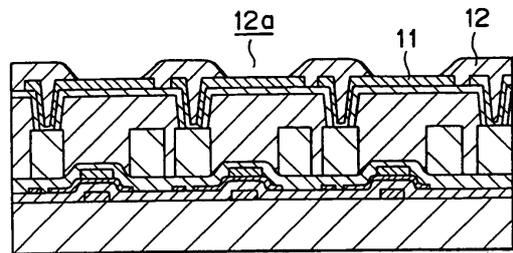
도면3c



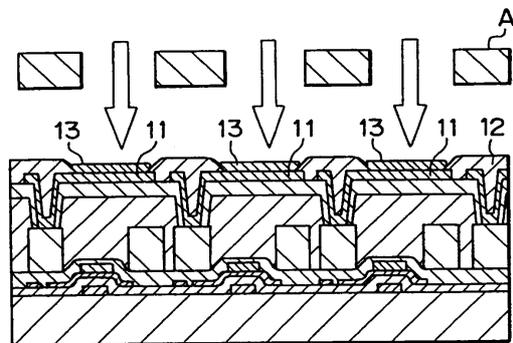
도면3d



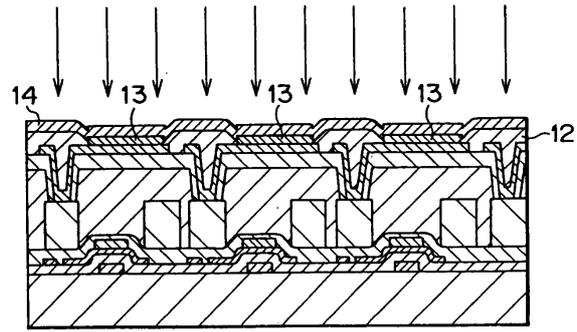
도면4a



도면4b



도면4c



|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 显示设备   |         |            |
| 公开(公告)号        | <a href="#">KR100815828B1</a>  | 公开(公告)日 | 2008-03-24 |
| 申请号            | KR1020010032750  | 申请日     | 2001-06-12 |
| [标]申请(专利权)人(译) | 索尼公司   |         |            |
| 申请(专利权)人(译)    | 索尼公司   |         |            |
| 当前申请(专利权)人(译)  | 索尼公司   |         |            |
| [标]发明人         | HIRANO TAKASHI   |         |            |
| 发明人            | HIRANO, TAKASHI  |         |            |
| IPC分类号         | H05B33/12 H05B33/02 G09F9/30 H01B1/12 H01L21/312 H01L21/336 H01L27/32 H01L29/786 H01L51/50 H01L51/52 H05B33/26 |         |            |
| CPC分类号         | H01B1/122 H01L27/3248 H01L27/3258 Y10S428/917  |         |            |
| 代理人(译)         | 李, 何炳<br>李昌勋   |         |            |
| 优先权            | 2000176215 2000-06-13 JP   |         |            |
| 其他公开文献         | KR1020010112623A   |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

摘要(译)

显示装置，其特征在于，具有在覆盖由基板上的布线引起的凹凸的状态下设置在基板上的层间绝缘膜，和设置在该层间绝缘膜上的有机EL元件的结构，该层间绝缘膜具有平坦化的绝缘层。在埋入布线的条件下形成涂层，并且在覆盖平坦化绝缘层的表面的条件下形成涂层。平坦化绝缘层是由包含有机化合物的材料制成的涂膜，例如旋涂在玻璃或树脂材料上，并且该涂膜层是无机材料的膜。

