



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월22일
(11) 등록번호 10-0768980
(24) 등록일자 2007년10월15일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0028442

(22) 출원일자 2006년03월29일

심사청구일자 2006년03월29일

(65) 공개번호 10-2006-0106758

공개일자 2006년10월12일

(30) 우선권주장

JP-P-2005-00098657 2005년03월30일 일본(JP)

(56) 선행기술조사문헌

JP11327491 A

(뒷면에 계속)

전체 청구항 수 : 총 4 항

(73) 특허권자

도시바 마쯔시타 디스플레이 테크놀로지 컴퍼니, 리미티드

일본 도쿄도 미나토구 4조메 고난 1-8

(72) 발명자

나카무라 노리오

일본 도쿄도 미나토구 고난 4조메 1-8 도시바 마쯔시타디스플레이 테크놀로지 컴퍼니, 리미티드
지적 재산부 내

(74) 대리인

구영창, 이중희, 장수길

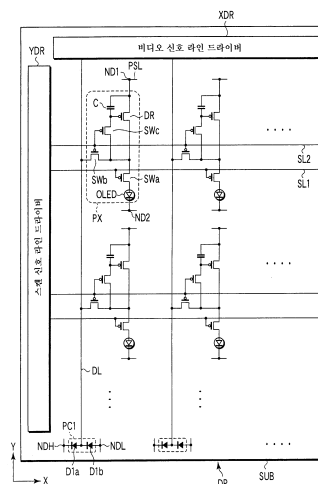
심사관 : 천대식

(54) 디스플레이

(57) 요약

디스플레이는 비디오 신호 라인(DL), 비디오 신호(DL)를 출력하는 전류원(CS), 리셋 신호를 출력하는 전압원(VS), 및 각각이 구동 회로(DR, SWc, C) 및 디스플레이 소자(OLED)를 포함하는 픽셀들(PX)을 포함한다. 디스플레이는 블랭킹 주기 동안 리셋 동작을 수행한다. 리셋 동작은 전압원(VS)을 비디오 신호 라인(DL)에 접속하여 비디오 신호 라인(DL)에 리셋 신호를 기입하는 한편 전류원(LS)을 비디오 신호 라인(DL)으로부터 분리하는 것을 포함한다.

대표도 - 도1



(56) 선행기술조사문헌

JP2004363202 A

KR1020020040319 A

KR1020030004774 A

KR1020030094059 A

특허청구의 범위

청구항 1

비디오 신호 라인,

비디오 신호를 출력하는 전류원,

리셋 신호를 출력하는 전압원,

상기 비디오 신호 라인을 따라 배열되는 픽셀들 - 상기 픽셀들의 각각은, 비디오 신호의 크기에 대응하는 크기의 구동 전류를 출력하는 구동 회로, 및 흐르는 전류의 크기에 따라 광학적 특성을 변화시키는 디스플레이 소자를 포함함 -, 및

상기 비디오 신호 라인과 고전위 단자 사이에 접속되어 상기 비디오 신호 라인으로부터 상기 고전위 단자로 순방향 전류가 통하여 흐르게 되는 제1 다이오드, 및 상기 비디오 신호 라인과 저전위 단자 사이에 접속되어 상기 저전위 단자로부터 상기 비디오 신호 라인으로 순방향 전류가 통하여 흐르게 되는 제2 다이오드를 포함하는 보호 회로

를 포함하는 디스플레이로서,

상기 디스플레이는 액티브 스캐닝 주기와 블랭킹 주기를 교대로 반복하고, 상기 액티브 스캐닝 주기 동안 상기 픽셀들을 순차적으로 선택하고, 선택된 픽셀에 대하여 기입 동작을 수행하고, 비선택 픽셀들의 각각에 대하여 디스플레이 동작을 수행하며, 상기 블랭킹 주기 동안 리셋 동작을 수행하도록 구성되고,

상기 기입 동작은 상기 비디오 신호 라인을 통하여 상기 구동 회로를 상기 전류원에 접속하여 상기 구동 회로상에 상기 비디오 신호를 기입하는 한편, 상기 구동 회로로부터 상기 디스플레이 소자를 분리시키는 것을 포함하고,

상기 디스플레이 동작은 상기 구동 회로를 상기 디스플레이 소자에 접속하여 상기 구동 전류가 상기 디스플레이 소자를 통하여 흐르게 하는 한편, 상기 구동 회로를 상기 비디오 신호 라인으로부터 분리시키는 것을 포함하며,

상기 리셋 동작은 상기 전압원을 상기 비디오 신호 라인에 접속하여 상기 비디오 신호 라인상에 상기 리셋 신호를 기입하는 한편, 상기 전류원을 상기 비디오 신호 라인으로부터 분리시키는 것을 포함하는 디스플레이.

청구항 2

제1항에 있어서, 상기 리셋 신호의 크기는, 상기 기입 동작에 의해 설정될 수 있는 상기 비디오 신호 라인의 전압 범위 내의 전압에서 설정되는 디스플레이.

청구항 3

제1항에 있어서, 상기 리셋 신호의 크기는 상기 비디오 신호가 최저 그레이 레벨에 대응할 때 상기 기입 동작에 의하여 설정되는 상기 비디오 신호 라인의 전압에서 설정되는 디스플레이.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 구동 회로는,

제어 단자, 전원 공급 단자에 접속된 제1 단자, 및 상기 제어 단자와 상기 제1 단자 사이의 전압에 대응하는 크기의 전류를 출력하는 제2 단자를 포함하는 구동 제어 소자,

정전위 단자와 상기 제어 단자 사이에 접속된 커패시터, 및

제1 상태와 제2 상태 간에 스위칭하는 스위치 그룹 - 상기 제1 상태는 상기 제2 단자, 상기 제어 단자, 및 상기 비디오 신호 라인이 서로 접속되어 있는 상태이고, 상기 제2 상태는 상기 제2 단자, 상기 제어 단자, 및 상기 비디오 신호 라인이 서로 분리되어 있는 상태임 -

을 포함하는 디스플레이.

청구항 6

삭제

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

<11> [문헌 1] 미국특허 제6,373,454 호

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 디스플레이에 관한 것이며, 특히, 픽셀들에 비디오 신호들로서 전류 신호들이 공급되는 액티브 매트릭스 디스플레이(active matrix display)에 관한 것이다.

<13> 문헌 1은 각각의 픽셀 회로가 전류 미러(current mirror) 회로를 포함하는 액티브 매트릭스 유기 EL(electroluminescent) 디스플레이를 기술한다. 본 디스플레이에는, 전류 신호가 각각의 픽셀에 비디오 신호로서 공급되어 유기 EL 소자가 비디오 신호의 크기에 대응하는 휘도(luminance)에서 광을 방출하도록 한다.

<14> 디스플레이를 구동하기 위하여, 액티브 스캐닝 주기 및 블랭킹 주기(수직 블랭킹 주기)가 정상적으로 교번된다. 액티브 스캐닝 주기 동안, 예를 들면, 각각의 로우(row)에 대하여 픽셀들이 순차적으로 선택되며, 선택된 픽셀들에 비디오 신호가 기입된다. 각각의 픽셀 내의 유기 EL 소자는, 액티브 스캐닝 주기의 비선택 주기 동안 및 블랭킹 주기 동안, 비디오 신호의 크기에 대응하는 휘도에서 광을 방출해야 한다.

<15> 그러나, 본 발명자는 본 발명을 실시할 때 다음의 사실을 발견하였다. 전류 신호가 비디오 신호로서 각각의 픽셀에 기입되는 디스플레이에서, 액티브 스캐닝 주기 동안 먼저 선택된 수 개 로우들(rows)의 픽셀들은 낮은 그레이 레벨(gray level) 범위의 그레이 레벨들을 높은 재생성(reproducibility)을 가지면서 디스플레이할 수 없을 수도 있다. 이것은 각각의 픽셀 또는 비디오 신호 라인 드라이버 내의 회로에 대한 정전 손상(electrostatic damage)을 방지하는 보호회로에 비디오 신호 라인들이 접속하는 경우에 특히 두드러진다.

발명이 이루고자 하는 기술적 과제

<16> 본 발명의 목적은 전류 신호가 비디오 신호로서 각각의 픽셀에 기입되는 디스플레이가 액티브 스캐닝 주기 동안 먼저 선택된 로우들의 픽셀들에서 우수한 이미지 품질을 달성하는 것을 가능하게 하는 것이다.

발명의 구성 및 작용

<17> 본 발명의 일 측면에 따르면, 비디오 신호 라인, 비디오 신호를 출력하는 전류원, 리셋 신호를 출력하는 전압원, 및 비디오 신호 라인을 따라 배열되며, 각각은 비디오 신호의 크기에 대응하는 크기로 구동 전류를 출력하는 구동 회로, 및 전류 흐름의 크기에 따라 그 광학적 특성을 변화시키는 디스플레이 소자를 포함하는 픽셀들을 포함하는 디스플레이가 제공되며, 상기 디스플레이는 액티브 스캐닝 주기와 블랭킹 주기를 교대로 반복하고, 액티브 스캐닝 주기 동안 픽셀들을 순차적으로 선택하고, 선택된 픽셀에서 기입 동작을 수행하고, 비선택 픽셀들의 각각에서 디스플레이 동작을 수행하며, 블랭킹 주기 동안 리셋 동작을 수행하도록 구성되고, 상기 기입 동작은 비디오 신호 라인을 통하여 구동 회로를 전류원에 접속하여 구동 회로상에 비디오 신호를 기입하는 한편 디스플레이 소자를 구동 회로로부터 분리시키는 것을 포함하고, 상기 디스플레이 동작은 구동 회로를 디스플레이 소자에 접속하여 디스플레이 소자를 통하여 구동 전류가 흐르게 하는 한편 비디오 신호 라인으로부터 구동 회로를 분리시키는 것을 포함하며, 상기 리셋 동작은 전압원을 비디오 신호 라인에 접속하여 비디오 신호 라인상에 리셋 신호를 기입하는 한편, 비디오 신호 라인으로부터 전류원을 분리시키는 것을 포함한다.

<18> 본 발명의 실시예들이 이하에서 도면들을 참조하여 상술될 것이다. 도면들에서, 동일하거나 유사한 기능들을 달성하는 구성요소들은 동일한 참조부호들로 표시되며 중복 설명은 생략될 것이다.

- <19> 도 1은 본 발명의 제1 실시예에 따른 디스플레이를 도시하는 평면도이다. 도 2는 도 1에 도시된 디스플레이를 위하여 채택될 수 있는 구조의 일예를 도시하는 부분 단면도이다. 도 3은 도 1에 도시된 디스플레이의 일부를 도시하는 등가회로도이다. 도 2에서, 디스플레이는, 그 디스플레이면, 즉 그 전면 또는 발광면이 도면 하부를 향하는 한편, 그 후면은 도면 상부를 향하도록 그려진다.
- <20> 디스플레이는 액티브 매트릭스 구동 방법을 이용하는 하부 방출 유기 EL 디스플레이(bottom emission organic EL display)이다. 유기 EL 디스플레이는 디스플레이 패널 DP, 비디오 신호 라인 드라이버 XDR, 및 스캔 신호 라인 드라이버 YDR을 포함한다.
- <21> 디스플레이 패널 DP는 유리 기판과 같은 절연 기판을 포함한다. 예를 들면, 도 2에 도시된 언더코트층(undercoat layer, UC)으로서 기판 SUB 상에 SiN_x 층 및 SiO_x 층이 순차적으로 스택된다.
- <22> 각각에 소스 및 드레인이 형성되어 있는 폴리실리콘층들과 같은 반도체층들 SC, TEOS(tetraethyl orthosilicate)를 이용하여 형성될 수 있는 게이트 절연체 GI, 및 예를 들면 MoW로 만들어진 게이트 G가 언더코트층 UC상에 순차적으로 스택되어 상부 게이트형 박막 트랜지스터들(top gate-type thin-film transistors)을 형성한다. 본 실시예에서, 박막 트랜지스터들은 p채널 박막 트랜지스터들 및 n채널 박막 트랜지스터들이다. p채널 박막 트랜지스터들은 도 1 및 도 3에 도시된 구동 제어 소자들 DR, 스위치들 SWa 내지 SWc, 및 다이오드들 D1a로서 이용된다. n채널 박막 트랜지스터들은 도 1 및 도 3에 도시된 다이오드들 D1b로서 이용된다.
- <23> 도 1 및 도 3에 도시된 스캔 신호 라인들 SL1 및 SL2 및 커패시터 C의 하부 전극들이 게이트 절연체 GI상에 더 배치된다. 이 구성요소들은 게이트 G의 경우와 동일한 단계에서 형성될 수 있다.
- <24> 도 1에 도시된 바와 같이, 스캔 신호 라인들 SL1 및 SL2는 픽셀들 PX의 로우들을 따라, 즉 X 방향으로 연장하고, 픽셀들 PX의 컬럼들을 따라 Y 방향으로 배열된다. 스캔 신호 라인들 SL1 및 SL2는 스캔 신호 라인 드라이버 YDR에 접속된다.
- <25> 도 2에 도시된 층간 절연막 II는 게이트 절연체 GI, 게이트 G, 스캔 신호 라인들 SL1 및 SL2, 및 커패시터들 C의 하부 전극들을 커버한다. 층간 절연막 II는, 예를 들면, 플라즈마 CVD에 의하여 형성된 SiO_x 층이다. 층간 절연막 II의 일부는 커패시터들 C의 유전체층들로서 이용된다.
- <26> 층간 절연막 II상에는, 도 1 및 도 3에 도시된 커패시터들 C의 상부 전극들, 도 2에 도시된 소스 전극들 SE 및 드레인 전극들 DE, 및 도 1 및 도 3에 도시된 비디오 신호 라인들 DL 및 전원 공급 라인들 PSL이 배치된다. 이 구성요소들은 동일한 단계에서 형성될 수 있으며, 예를 들면, Mo, Al, 및 Mo의 3층 구조를 가질 수 있다.
- <27> 소스 전극들 SE 및 드레인 전극들 DE는 층간 절연막 II에 형성된 콘택홀들을 통하여 박막 트랜지스터들의 소스들 및 드레인들에 전기적으로 접속된다.
- <28> 도 1에 도시된 바와 같이, 비디오 신호 라인들 DL은 Y 방향으로 연장하며 X 방향으로 배열된다. 비디오 신호 라인들 DL은 비디오 신호 라인 드라이버 XDR에 접속된다.
- <29> 전원 공급 라인들 PSL은, 예를 들면, Y 방향으로 연장하며 X 방향으로 배열된다.
- <30> 도 2에 도시된 패시베이션막(passivation film, PS)은 소스 전극들 SE, 드레인 전극들 DE, 비디오 신호 라인들 DL, 전원 공급 라인들 PSL, 및 커패시터들 C의 상부 전극들을 커버한다. 패시베이션막 PS는, 예를 들면, SiN_x 로 만들어진다.
- <31> 도 2에 도시된 바와 같이, 전방 전극들로서(front electrodes) 광투과성(light-transmissive) 제1 전극들 PE는 패시베이션막 PS상에 서로 이격되도록 배열된다. 제1 전극들 PE의 각각은 패시베이션막 PS에 형성된 스루홀을 통하여, 스위치 SWa의 드레인이 접속되는 드레인 전극 DE에 접속된 픽셀 전극이다.
- <32> 본 실시예에서, 제1 전극 PE는 애노드(anode)이다. 투명 도전 산화물(transparent conductive oxide), 예를 들면, ITO(indium tin oxide)가 제1 전극 PE의 재료로서 이용될 수 있다.
- <33> 도 2에 도시된 파티션 절연층(partition insulating layer) PI가 패시베이션막 PS 위에 더 배치된다. 파티션 절연층 PI는 제1 전극들 PE에 대응하는 위치들에 형성된 스루홀들 또는 제1 전극들 PE에 의하여 형성된 컬럼들 또는 로우들에 대응하는 위치들에 형성된 슬릿들을 갖는다. 여기에서는, 예로서, 파티션 절연층 PI는 제1 전극들 PE에 대응하는 위치들에서 형성된 스루홀들을 갖는다.
- <34> 파티션 절연층 PI는 예를 들면, 유기 절연층이다. 파티션 절연층 PI는, 예를 들면, 포토리소그래피 기술을 이

용하여 형성될 수 있다.

- <35> 제1 전극들 PE의 각각에는 액티브층으로서 방출층(emitting layer)을 포함하는 유기층 ORG가 배치된다. 방출층은, 예를 들면, 적색, 녹색, 또는 청색광을 방출하는 발광 유기 화합물(luminescent organic compound)을 포함하는 박막이다. 방출층 이외에, 유기층 ORG는 홀 주입층, 홀 전달층, 홀 블로킹층, 전자 전달층, 및 전자 주입층을 포함할 수 있다.
- <36> 파티션 절연층 PI 및 유기층 ORG는 카운터 전극으로서 제2 전극 CE로 커버된다. 제2 전극 CE는 픽셀들 PX간에 공유된 공통 전극이다. 본 실시예에서, 제2 전극 CE는 후방 전극(back electrode) 역할을 하는 광반사 캐소드(light-reflective cathode)이다. 예를 들면, 비디오 신호 라인들 DL이 형성된 층 위에 전극선(도시하지 않음)이 형성되며, 제2 전극 CE는 파티션 절연층 PI 및 패시베이션막 PS에 형성된 콘택트홀을 통하여 전극선으로 전기 접속된다. 각각의 유기 EL 소자 OLED는 제1 전극 PE, 유기층 ORG, 및 제2 전극 CE로 구성된다.
- <37> 복수의 픽셀들 PX는 절연 기판 SUB상에 매트릭스 형상으로 배열된다. 픽셀들 PX의 각각은 비디오 신호 라인 DL 및 스캔 신호 라인 SL1의 교차점 근처에 배치된다.
- <38> 각각의 픽셀 PX는 디스플레이 소자로서 유기 EL 소자 OLED, 구동 회로, 및 출력 제어 스위치 SWa를 포함한다. 본 실시예에서, 도 1 및 3에 도시된 바와 같이, 구동 회로는 구동 제어 소자 DR, 선택 스위치 SWb, 다이오드 접속 스위치 SWc, 및 커패시터 C를 포함한다. 전술된 바와 같이, 본 실시예에서, 구동 제어 소자 DR 및 스위치들 SWa 내지 SWc는 p채널 박막 트랜지스터들이다. 스위치들 SWb 내지 SWc는 비디오 신호 라인 DL과 구동 제어 소자 DR의 드레인 및 게이트가 서로 접속되어 있는 제1 상태와 그들이 서로 분리되어 있는 제2 상태 사이에서 스위칭하는 스위치 그룹을 형성한다.
- <39> 구동 제어 소자 DR, 출력 제어 스위치 SWa, 및 유기 EL 소자 OLED는 이 순서로 제1 전원 공급 단자 ND1과 제2 전원 공급 단자 ND2 사이에 직렬로 접속된다. 본 실시예에서, 제1 전원 공급 단자 ND1는 전원 공급 라인 PSL에 접속된 고전위 전원 공급 단자이다. 제2 전원 공급 단자 ND2는 저전위 전원 공급 단자이다.
- <40> 스위치 SWa의 게이트는 스캔 신호 라인 SL1에 접속된다. 선택 스위치 SWb는 구동 제어 소자 DR의 드레인과 비디오 신호 라인 DL 사이에 접속된다. 선택 스위치 SWb의 게이트는 스캔 신호 라인 SL2에 접속된다. 다이오드 접속 스위치 SWc는 구동 제어 소자 DR의 드레인과 게이트 사이에 접속된다. 다이오드 접속 스위치 SWc의 게이트는 스캔 신호 라인 SL2에 접속된다.
- <41> 커패시터 C는 구동 제어 소자 DR의 게이트와 정전위 단자 사이에 접속된다. 본 실시예에서, 커패시터 C는 제1 전원 공급 단자 ND1과 구동 제어 소자 DR의 게이트 사이에 접속된다.
- <42> 보호 회로 PC1은 각각의 비디오 신호 라인 DL에 접속된다. 보호 회로 PC1은 다이오드 D1a 및 D1b를 포함한다. 다이오드 D1a는 비디오 신호 라인 DL과 고전위 단자 NDH 사이에 접속되어 비디오 신호 라인 DL로부터 고전위 단자 NDH로 다이오드 D1a를 통하여 순방향 전류가 흐른다. 고전위 단자 NDH의 전위는 비디오 신호 라인 DL의 경우보다 더 높게 설정된다. 비디오 신호 라인 DL과 저전위 단자 NDL 사이에는 다이오드 D1b가 접속되어 고전위 단자 NDH로부터 비디오 신호 라인 DL로 다이오드 D1a를 통하여 순방향 전류가 흐른다. 저전위 단자 NDL의 전위는 비디오 신호 라인 DL의 경우보다 더 낮게 설정된다. 본 실시예에서, 다이오드 D1a는 게이트가 고전위 단자 NDH에 접속되는 p채널 박막 트랜지스터이고, 다이오드 D1b는 게이트가 저전위 단자 NDL에 접속되는 n채널 박막 트랜지스터이다.
- <43> 디스플레이 패널 DP 위에는 비디오 신호 라인 드라이버 XDR이 장착된다. 도 3에 도시된 바와 같이, 비디오 신호 라인 드라이버 XDR은 각각의 비디오 신호 라인 DL에 대하여 전류원 Cs, 스위치 SWvs, 및 보호 회로 PC2를 포함한다. 비디오 신호 라인 드라이버 XDR은 멀티플렉서 MLT, 전압원 VS, 참조 트랜지스터(reference transistor) TRref, 및 제어 라인 CL을 더 포함한다.
- <44> 멀티플렉서 MLT는 클럭 신호 CLK, 개시 신호 START, 시리얼 신호(serial signal)로서 비디오 신호 DATA가 공급되는 입력 단자들을 포함한다. 멀티플렉서 MLT는 각각의 전류원 CS에 대한 출력 단자들을 더 포함한다. 멀티플렉서 MLT는 클럭 신호 CLK 및 개시 신호 START의 제어하에 시리얼 신호로부터의 비디오 신호 DATA를 패러렐 신호들(parallel signals)로 변환하고 패러렐 신호들을 각각의 전류원 CS에 출력한다. 본 실시예에서, 멀티플렉서 MLT는 각각의 전류원 CS에 6 비트 디지털 신호로서 비디오 신호를 출력한다.
- <45> 참조 트랜지스터 TRref는 본 실시예에서는 p채널 박막 트랜지스터이다. 참조 트랜지스터 TRref의 소스는 저항 소자 R을 통하여 정전위 단자 ND1'에 접속된다. 참조 트랜지스터 TRref의 드레인은 접지선에 접속된다. 디스

플레이 구동시, 참조 전류 Iref는 참조 트랜지스터 TRref의 소스와 드레인 사이에 흐르게 된다.

- <46> 비디오 신호 라인 드라이버 XDR의 출력 단자, 즉 비디오 신호 라인에 접속된 단자와 접지선 사이에 전류원 CS가 접속된다. 전류원 CS는 멀티플렉서 MLT가 패러렐 신호들로서 출력하는 디지털 신호를 아날로그 신호로 변환한다. 본 실시예에서, 전류원 CS는 멀티플렉서 MLT가 출력하는 6 비트 디지털 비디오 신호를 전류 신호로서 아날로그 비디오 신호로 변환한다.
- <47> 전류원 CS는 복수 세트의 정전류원 TRdgt 및 스위치 SWdgt를 포함한다. 각각의 세트의 정전류원 TRdgt 및 스위치 SWdgt는 비디오 신호 라인 드라이버 XDR의 출력 단자와 접지선 사이에 직렬 접속된다. 본 실시예에서, 전류원 CS는 6 세트의 정전류원 TRdgt 및 스위치 SWdgt를 포함하며, 정전류원 TRdgt 및 스위치들 SWdgt는 p채널 전계효과 트랜지스터들이다.
- <48> 정전류원들 TRdgt의 게이트들은 참조 트랜지스터 TRref의 게이트에 접속된다. 스위치들 SWdgt의 게이트는 멀티플렉서 MLT의 출력 단자들에 각각 접속된다. 예를 들면, 정전류원들 TRdgt중 하나는 참조 트랜지스터 TRref의 경우와 동일한 구조를 갖고, 나머지 다섯은 채널폭을 제외하고는 참조 트랜지스터 TRref의 경우와 동일한 구조를 갖는다. 6개 정전류원들 TRdgt는, 각각, 참조 전류 Iref의 크기의 1배, 2배, 4배, 8배, 16배, 및 32배인 크기를 갖는 정전류들을 출력하는 한편 스위치들 SWdgt는 폐쇄된다.
- <49> 스위치 SWvs 및 전압원 VS는 이 순서로 비디오 신호 라인 드라이버 XDR의 출력 단자와 접지선 사이에 직렬 접속된다.
- <50> 전압원 VS는 정전압으로서 리셋 신호를 출력한다. 예를 들면, 전압 신호 VS의 출력은 비디오 신호가 최저 그레이 레벨(lowest gray level)에 대응하는 경우 기입 동작에 의하여 설정되는 비디오 신호 라인 DL의 전압과 거의 동일한 정전압이다.
- <51> 본 실시예에서, 스위치 SWvs는 p채널 전계효과 트랜지스터이다. 스위치 SWvs의 게이트는 제어 라인 CL에 접속된다. 제어 라인 CL에는 블랭킹 주기와 유효 스캐닝 주기 사이의 전환에 거의 동기하여 신호 레벨이 변화하는 제어 신호 BLK가 공급된다.
- <52> 보호 회로 PC2는 비디오 신호 라인 드라이버 XDR의 출력 단자에 접속된다. 보호 회로 PC2는 다이오드 D2a 및 D2b를 포함한다. 고전위 단자 NDH'와 비디오 신호 라인 드라이버 XDR의 출력 단자 사이에는 다이오드 D2a가 접속되어 이를 통하여 비디오 신호 라인 드라이버 XDR의 출력 단자로부터 고전위 단자 NDH'로 순방향 전류가 흐른다. 고전위 단자 NDH'의 전위는 비디오 신호 라인 드라이버 XDR의 출력 단자의 경우보다 더 높게 설정된다. 저전위 단자 NDL'와 비디오 신호 라인 드라이버 XDR의 출력 단자 사이에 다이오드 D2b가 접속되어 이를 통하여 저전위 단자 NDL'로부터 비디오 신호 라인 드라이버 XDR의 출력 단자로 순방향 전류가 흐른다. 저전위 단자 NDL'의 전위는 비디오 신호 라인 드라이버 XDR의 출력 단자의 경우보다 더 낮게 설정된다. 본 실시예에서, 다이오드 D2a는 p채널 전계 효과 트랜지스터이고 그 게이트는 고전위 단자 NDH'에 접속되며, 다이오드 D2b는 n채널 전계 효과 트랜지스터이고 그 게이트는 접지선에 접속된다.
- <53> 디스플레이 패널 DP 위에는 스캔 신호 라인 드라이버 YDR이 더 장착된다. 전술된 바와 같이, 스캔 신호 라인들 SL1 및 SL2는 스캔 신호 라인 드라이버 YDR에 접속된다.
- <54> 유기 EL 디스플레이는, 예를 들면, 후술되는 방법에 의하여 구동된다.
- <55> 도 4는 도 1 내지 3에 도시된 디스플레이 구동 방법의 일 예를 도시하는 타이밍차트이다. 도 4는 픽셀들이 형성하는 로우들의 수가 M인 경우 구동 방법을 도시한다. 본 도면에서, 횡좌표는 시간을 나타내는 한편, 종좌표는 전위를 나타낸다.
- <56> 도 4의 "XDR 출력"의 경우, "Isig(m)"으로 도시된 주기 동안, 비디오 신호 라인 드라이버 XDR은 비디오 신호 Isig(m)를 비디오 신호 라인 DL에 출력한다. "Vrst"로 도시된 주기 동안, 비디오 신호 라인 드라이버 XDR은 리셋 신호 Vrst를 비디오 신호 라인 DL에 출력한다. 도 4에서, "SL1 전위" 및 "SL2 전위"로 도시된 파형들은 각각 스캔 신호 라인들 SL1 및 SL2의 전위들을 나타낸다. 도 4에서, "CL 전위"로 도시된 파형은 제어 신호 라인 CL의 전위를 나타낸다.
- <57> 본 방법에 따르면, 유효 스캐닝 주기 및 블랭킹 주기는 교대로 반복된다. 유효 스캐닝 주기 동안, 픽셀들의 로우들은 순차적으로 선택되는 한편 스위치 SWvs는 개방된다. 선택된 로우에 포함된 각각의 셀에서 기입 동작이 수행된다. 비선택 로우들에 포함된 각각의 픽셀에서 디스플레이 동작이 수행된다.

- <58> 예를 들면, 픽셀들의 제 m 로우가 선택되는 주기(제 m 로우 선택 주기로 호칭) 동안, 제 m 로우에 포함된 각각의 픽셀의 스위치 SWa는 개방된다. 그 후, 멀티플렉서 MLT는 6 비트 디지털 비디오 신호를 각각의 전류원 CS에 출력하고, 제 m 로우에 포함된 각각의 픽셀의 스위치들 SWb 및 SWc는 폐쇄된다.
- <59> 전류원 CS는 디지털 비디오 신호를 아날로그 비디오 신호로서 기입 전류 Isigm으로 변환한다. 기입 전류 Isigm은 제1 전원 공급 단자 ND1으로부터 전류원 CS로 흐른다. 결과적으로, 구동 제어 소자 DR의 게이트 전위는 기입 전류 Isigm이 구동 제어 소자 DR의 소스와 드레인 사이에 흐를 때의 값으로 설정된다.
- <60> 그 후, 스위치들 SWb 및 SWc는 개방된다. 그 후, 스위치 SWa는 폐쇄되어 제 m 로우 선택 주기를 종료한다.
- <61> 스위치 SWa가 폐쇄되는 경우, 크기가 기입 전류 Isigm의 크기에 대응하는 구동 전류 Idrvm은 유기 EL 소자 OLED를 통하여 흐른다. 비선택 주기 동안, 스위치 SWa는 폐쇄 상태로 유지된다. 따라서, 각각의 픽셀 PX의 유기 EL 소자 OLED는 픽셀이 다시 선택될 때까지 구동 전류 Idrvm의 크기에 대응하는 휘도(luminance)에서 광방출을 계속한다.
- <62> 블랭킹 주기 동안, 리셋 동작이 수행된다. 먼저, 모든 스위치들 SWdgt가 개방된다. 그 후, 스위치 SWvs가 폐쇄되며, 전압원 VS는 리셋 신호를 비디오 신호 라인 DL에 출력한다. 즉, 비디오 신호 라인 DL의 전위는 리셋 전위에서 설정된다. 후속하여, 스위치 SWvs는 개방된다. 블랭킹 주기 동안, 스위치들 SWb 및 SWc는 모든 픽셀들 PX에서 개방으로 유지됨을 주목한다.
- <63> 디스플레이의 비디오 신호 라인 드라이버 XDR이 전압원 VS 및 스위치 SWvs를 포함하지 않는다면, 비디오 신호 라인 DL은 블랭킹 주기 동안 플로팅(floating) 상태에 있는 것이 고려될 수 있다. 그러나, 작은 역방향 전류, 즉 누설 전류는 다이오드들 D1a, D1b, D2a, 및 D2b의 각각을 통하여 흐른다. 다이오드들 D1a 및 D2a를 통하여 흐르는 누설 전류의 합은 다이오드들 D1b 및 D2b를 통하여 흐르는 누설 전류의 합과 반드시 일치하지는 않는다.
- <64> 이런 이유로, 블랭킹 주기 직후 비디오 신호 라인 DL의 전위는 블랭킹 주기 개시 직후 비디오 신호 라인 DL의 전위와 상이할 수 있다. 예를 들면, 블랭킹 주기 직후의 비디오 신호 라인 DL의 전위는 기입 동작에 의하여 설정되는 비디오 신호 라인 DL의 최저 전위보다 더 낮게 될 수 있다.
- <65> 이 경우, 제1 로우의 한 픽셀 PX에서 낮은 그레이 레벨 범위 내의 그레이 레벨(gray level)을 디스플레이하기 위하여, 비디오 신호 라인 DL의 전위는 제1 로우 선택 주기 동안 기입 동작에 의하여 크게 증가되어야 한다. 그러나, 낮은 그레이 레벨 범위 내에서 그레이 레벨을 디스플레이하기 위한 기입 전류 Isig1의 크기가 작으므로, 제1 로우 선택 주기 동안 비디오 신호 라인 DL의 전위를 충분히 변경시키기는 어렵다. 따라서, 제1 로우의 픽셀의 경우, 구동 제어 소자 DR의 게이트 전위는 기입 전류 Isig1의 크기에 대응하는 값으로 정확히 설정될 수 없으며, 이것은 높은 재생성을 갖고 낮은 그레이 레벨 범위 내에서 각각의 그레이 레벨을 디스플레이하는 것을 어렵게 한다.
- <66> 비디오 신호 라인 DL의 전위가 블랭킹 주기 동안 크게 변화하는 경우, 액티브 스캐닝 주기가 개시된 후 마주친 수 개의 로우들에 포함된 픽셀들 PX에서 유사한 현상이 발생한다. 따라서 액티브 스캐닝 주기 동안 먼저 선택된 수 개의 로우들의 픽셀들이 높은 재생성을 갖고 낮은 그레이 레벨 범위 내에서 그레이 레벨들을 디스플레이하는 것은 통상적으로 어렵다.
- <67> 대조적으로, 블랭킹 주기 동안 도 1 내지 4를 참조하여 설명된 리셋 동작을 수행함으로써, 제1 로우의 픽셀들 PX에서 기입 동작을 개시하기 직전의 비디오 신호 라인 DL의 전위는 리셋 전위와 거의 동일하게 설정될 수 있다. 따라서, 예를 들어, 비디오 신호 Isigm이 최저 그레이 레벨에 대응하는 경우 기입 동작에 의하여 설정되는 비디오 신호 라인 DL의 전위와 거의 동일한 값으로 리셋 신호를 설정함으로써, 제1 로우의 픽셀들 PX에서 낮은 그레이 레벨 범위 내의 그레이 레벨을 디스플레이하는데 필요한 비디오 신호 라인의 전위의 변화량을 크게 감소시키는 것이 가능해진다. 따라서, 액티브 스캐닝 주기 동안 처음 선택된 수 개의 로우들의 픽셀들 PX가 높은 재생성을 갖고 낮은 그레이 레벨 범위에서 그레이 레벨들을 디스플레이하는 것이 가능하다.
- <68> 리셋 신호의 크기는 비디오 신호 Isigm이 최저 그레이 레벨에 대응하는 경우 기입 동작에 의하여 설정되는 비디오 신호 라인 DL의 전위와 상이할 수 있다. 리셋 신호의 크기는 기입 동작이 설정할 수 있는 비디오 신호 라인의 전압 범위 내의 한 전압으로 설정될 수 있다. 높은 재생성을 갖고 낮은 그레이 레벨 범위에서 각각의 그레이 레벨을 디스플레이하는 점에서, 리셋 신호의 크기는 비디오 신호가 최저 그레이 레벨에 대응하는 경우 기입 동작에 의해 설정되는 비디오 신호 라인 DL의 전압과 거의 동일한 것이 유리하다.
- <69> 본 발명의 제2 실시예가 후술될 것이다.

- <70> 도 5는 본 발명의 제2 실시예에 따르는 디스플레이의 일부를 도시하는 등가회로도이다. 디스플레이는 액티브 매트릭스 구동 방법을 이용하는 하부 방출 유기 EL 디스플레이이다. 유기 EL 디스플레이는 아래의 구성이 이용되는 것을 제외하고는 도 1 내지 3에 도시된 유기 EL 디스플레이의 경우와 유사한 구조를 갖는다.
- <71> 이 디스플레이에서는, 비디오 신호 라인 드라이버 XDR 대신 스위치 SWvs 및 제어 라인 CL이 디스플레이 패널 DP에 조립된다. 또한, 이 디스플레이에서는, 디스플레이 패널 DP가 레벨 시프터(level shifter, LS)를 더 포함한다. 스위치 SWvs 및 정전압원 VS는 이 순서로 비디오 신호 라인 DL과 접지선 사이에 직렬 접속된다. 레벨 시프터 LS의 입력 단자는 제어 라인 CL에 접속된다. 레벨 시프터 LS의 출력 단자는 스위치 SWvs의 게이트에 접속된다.
- <72> 이 디스플레이는 도 4를 참조하여 설명된 것과 거의 유사한 방식으로 구동될 수 있다.
- <73> 따라서, 본 실시예는 제1 실시예에서 기술된 것들과 유사한 효과들을 갖는다.
- <74> 제1 및 제2 실시예에서는, 도 1, 3, 및 5에 도시된 구조들이 픽셀들 PX를 위하여 채택된다. 그러나, 다른 구조들이 픽셀들 PX를 위하여 이용될 수 있다. 예를 들면, 다이오드 접속 스위치 SWc는 구동 제어 소자 DR의 드레인과 게이트 사이에 접속되는 것이 아니라, 비디오 신호 라인 DL과 구동 제어 소자 DR의 게이트 사이에 접속될 수 있다. 대안적으로, 선택 스위치 SWb는 비디오 신호 라인 DL과 구동 제어 소자 DR의 드레인 사이에 접속되는 것이 아니라, 비디오 신호 라인 DL과 구동 제어 소자 DR의 게이트 사이에 접속될 수 있다.
- <75> 부가적인 장점들 및 변형들은 당업자에게는 용이할 것이다. 따라서, 최광의측면의 본 발명은 본 명세서에 도시되고 기술된 상세한 세부 설명 및 대표적인 실시예들에 한정되는 것이 아니다. 따라서, 첨부된 청구범위 및 그 균등물들에 의하여 정의된 일반적인 본 발명의 개념의 취지 또는 범위로부터 벗어나지 않고 다양한 변형들이 이루어질 수 있다.

발명의 효과

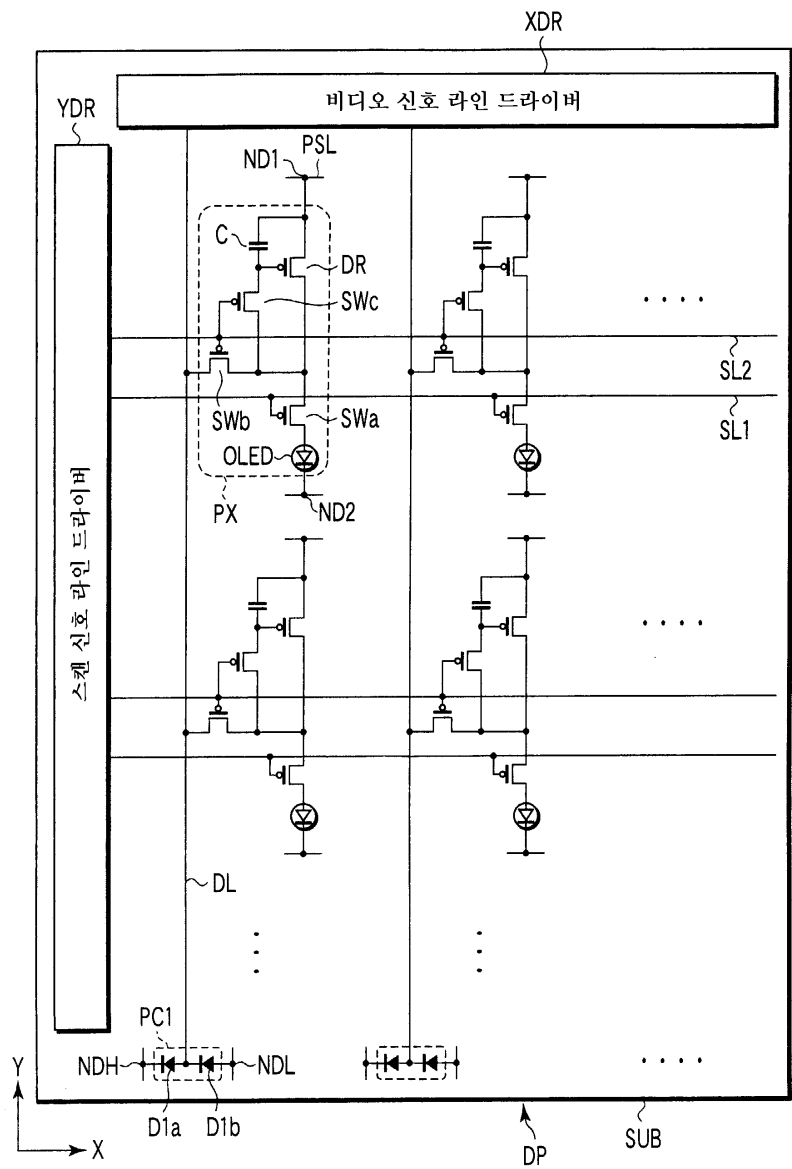
- <76> 본 발명에 따르면, 전류 신호가 비디오 신호로서 각각의 픽셀에 기입되는 디스플레이가 액티브 스캐닝 주기 동안 먼저 선택된 로우들의 픽셀들에서 우수한 이미지 품질을 달성하는 것이 가능하게 된다.

도면의 간단한 설명

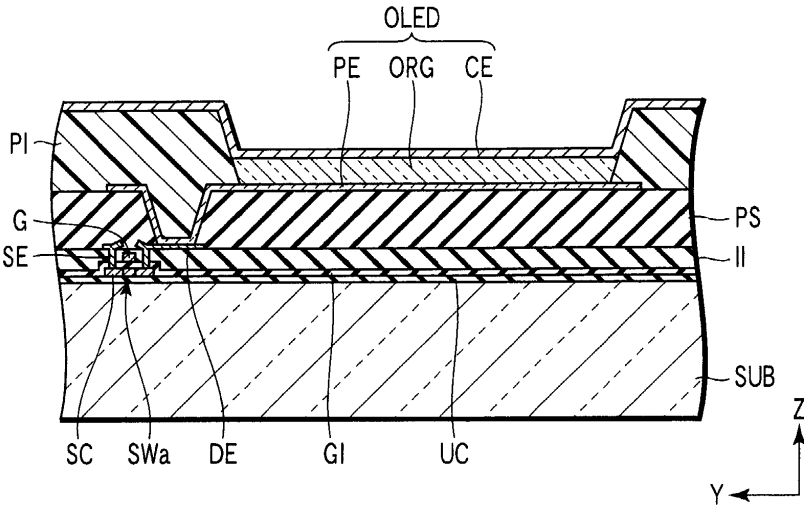
- <1> 도 1은 본 발명의 일 실시예에 따른 디스플레이를 도시하는 평면도.
 - <2> 도 2는 도 1에 도시된 디스플레이를 위하여 채택될 수 있는 구조의 일 예를 도시하는 부분 단면도.
 - <3> 도 3은 도 1에 도시된 디스플레이의 일 부분을 도시하는 등가회로도.
 - <4> 도 4는 도 1 내지 3에 도시된 디스플레이를 구동하는 방법의 일 예를 도시하는 타이밍 차트.
 - <5> 도 5는 본 발명의 제2 실시예에 따른 디스플레이의 일 부분을 도시하는 등가회로도.
 - <6> *도면의 주요부분에 대한 부호의 설명*
 - <7> DP: 디스플레이 패널 XDR: 비디오 신호 라인 드라이버
 - <8> PX: 픽셀 YDR: 스캔 신호 라인 드라이버
 - <9> OLED: 유기 EL 소자 SUB: 기판
 - <10> DR: 드라이브 제어 소자 SWb: 선택 스위치

도면

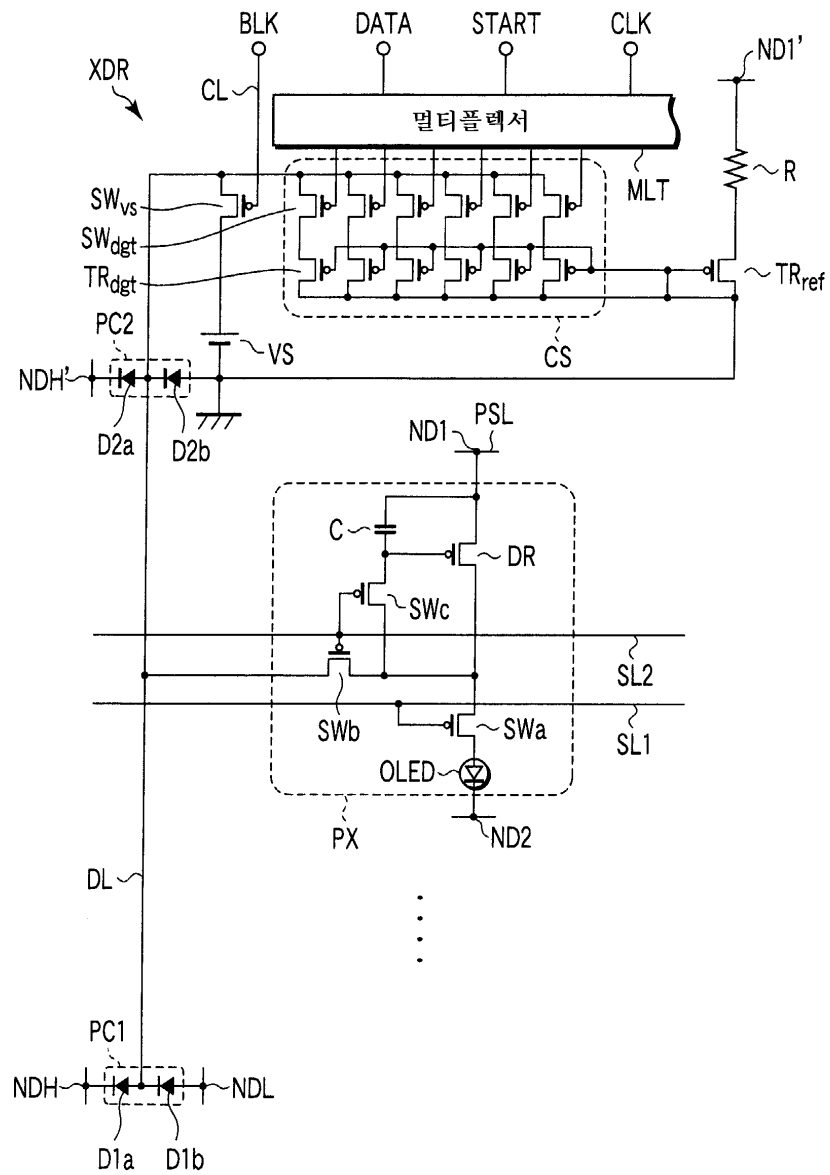
도면1



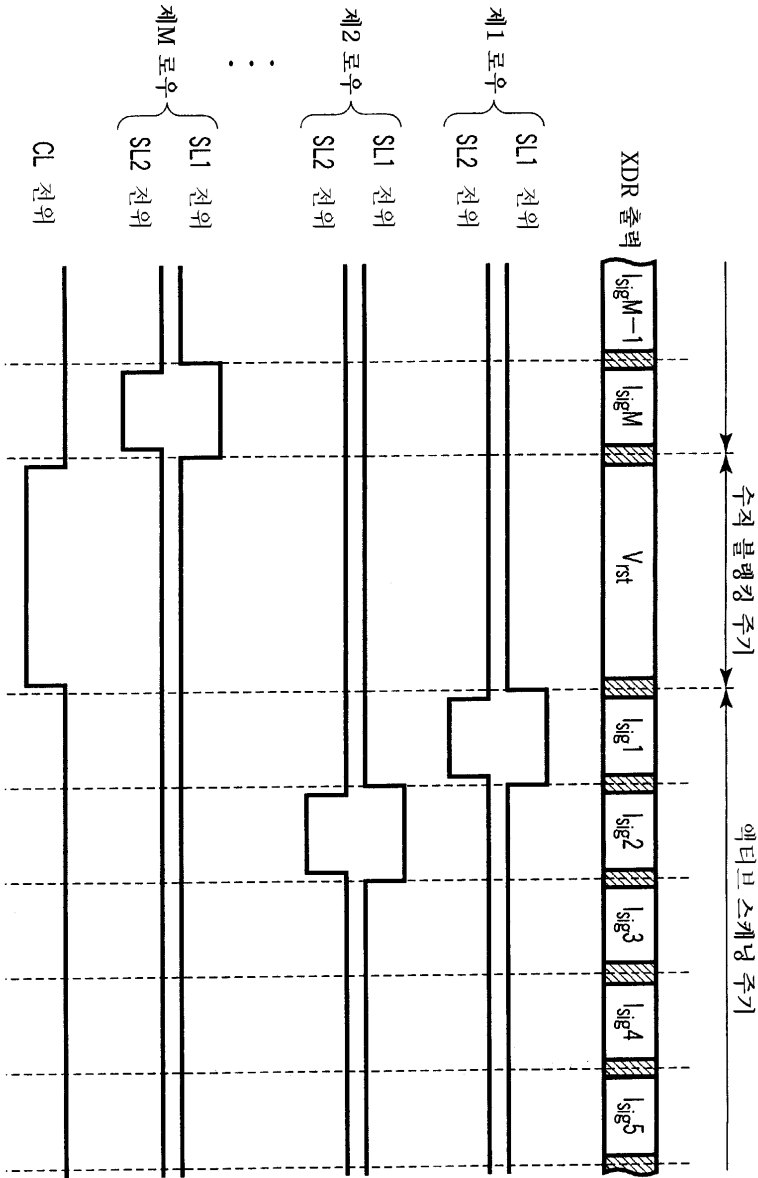
도면2



도면3



도면4



专利名称(译)	显示		
公开(公告)号	KR100768980B1	公开(公告)日	2007-10-22
申请号	KR1020060028442	申请日	2006-03-29
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	NAKAMURA NORIO 나까무라노리오		
发明人	나까무라노리오		
IPC分类号	G09G3/30 G09G3/32 G09G3/20		
CPC分类号	G09G3/3283 G09G3/3233 G09G2300/0861 G09G2310/0248		
代理人(译)	Jangsugil Yijunghui		
优先权	2005098657 2005-03-30 JP		
其他公开文献	KR1020060106758A		
外部链接	Espacenet		

摘要(译)

显示器包括视频信号线DL，用于输出视频信号DL的电流源CS，用于输出复位信号的电压源VS，以及驱动电路DR，SWc，C和显示元件OLED，（PX）包括像素（PX）。显示器在消隐期间执行重置操作。复位操作包括在将电压源VS连接到视频信号线DL以将复位信号写入视频信号线DL的同时断开电流源LS与视频信号线DL的连接。 专利号10-0768980

