

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G09G 3/30

(45) 공고일자 2005년08월17일
(11) 등록번호 10-0507550
(24) 등록일자 2005년08월02일

(21) 출원번호 10-2003-0033717
(22) 출원일자 2003년05월27일

(65) 공개번호 10-2003-0091820
(43) 공개일자 2003년12월03일

(30) 우선권주장 JP-P-2002-00153501 2002년05월28일 일본(JP)

(73) 특허권자 로무 가부시기가이샤
일본 교토시 우교구 사이잉 미조사키쥬 21

(72) 발명자 아베시니치
일본국교토후교토시우교구사이인미조사키쥬21반지로무가부시기가이샤내

(74) 대리인 황의인

심사관 : 천대식

(54) 구동 전류 조절 회로, 이 구동 전류 조절 회로를 이용한유기 E L 소자 구동 회로 및 이 유기 E L 소자 구동회로를 이용한 유기 E L 디스플레이 장치

요약

단자 핀 모두에 대한 구동 전류는 스위치 회로로 데이터를 온/오프 스위칭하므로써 재기록형 비휘발성 메모리에 저장된 데이터에 따라 조절된다. 데이터를 기록하는 것은 상기 비휘발성 메모리내의 휘도 변동 또는 휘도 불균일성을 수정하는 휘도 조절에 필수적이며, 휘도 변동 또는 휘도 불균일성이 감소된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 EL 소자 구동 회로의 칼럼 구동기의 블록 회로도.

도 2는 시프트 레지스터를 구비한 비휘발성 메모리의 회로도.

도 3은 휘발성 메모리로 구성된 시프트 레지스터를 구비한, 도 2의 비휘발성 메모리의 회로도.

도 4는 통상의 칼럼 라인 전류 구동 회로의 구동단의 블록도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 구동 전류 조절 회로, 이 구동 전류 조절 회로를 이용한 유기 EL(Electro Luminescence) 소자 구동 회로 및 이 유기 EL 소자 구동 회로를 이용한 유기 EL 디스플레이 장치에 관한 것으로, 보다 상세하게는 이동전화기, PHS 등의 디스플레이 스크린의 휘도 변동 또는 휘도 불균일성을 감소시킬 수 있으며, 제조 효율을 향상시킬 수 있고, 고 휘도 컬러 디스플레이를 제공하는데 적절한 유기 EL 디스플레이 장치에 관한 것이다.

자발광을 이용한 고 휘도 디스플레이를 실현하는 유기 EL 디스플레이 장치는 소형 디스플레이 스크린상의 디스플레이에 적합한 것으로 알려져있다. 또한 유기 EL 디스플레이 장치는 이동전화기, PHS, DVD 플레이어, 또는 PDA(Personal Digital Assistants)등에 장착되는 차세대 디스플레이 장치로 주목받고 있다. 이 유기 EL 디스플레이 장치는, 액정 디스플레이 장치와 같이 전압에 의해 구동되는 경우, 휘도 변동이 상당히 커지며, R(red), G(green), B(blue) 사이의 감도상 차이가 있으므로 컬러 디스플레이의 휘도 조절이 어려워지는 문제점이 있다.

이러한 문제점을 고려하여, 전류 구동 회로를 사용하는 유기 EL 디스플레이 장치가 최근까지 제안되어 왔다. 예를 들어, JPH10-112391A는 전류 구동 시스템을 적용함으로써 휘도 변동의 문제점을 해소하는 기술을 개시한다.

396(132*3)개의 칼럼라인용 단자 핀 및 162개의 로우(row)라인용 단자 핀을 갖는, 이동전화기용 유기 EL 디스플레이 장치의 유기 EL 디스플레이 패널이 제시되었다. 그러나, 칼럼라인과 로우라인의 수가 계속해서 증가되는 경향이 있다.

능동 매트릭스(active matrix)형태 또는 수동 매트릭스(passive matrix)형태의 상기 유기 EL 디스플레이 패널의 전류 구동 회로의 출력단은, 예컨대 단자 핀 각각에 대해, 커런트 미러 회로로 구성된 출력 회로와 같은, 전류원 구동 회로를 포함한다. 미국특허 출원 제 10,102,671의 일본 대응 특허 JP2002-82662(JP2001-86967 및 JP2001-396219을 가지고 우선권 주장을 하는 국내 출원)에 공지된 바와 같이, 회로의 구동단은 단자 핀 각각에 대해 복수의 출력측 트랜지스터를 갖는 병렬-구동형 커런트 미러 회로(레퍼런스 전류 분배 회로)를 포함한다. 개시된 구동단에서, 출력회로 구동용의 복수의 미러 전류는 레퍼런스 전류 발생 회로에서 공급되고 각 핀에 공급된 레퍼런스 전류에 기초하여 각 단자 핀에 대응적으로 발생된다. 또한, 각 단자 핀에 공급된 미러 전류는 각각 k-배 전류 증폭 회로(k-time currents amplifier circuit)에 의해 증폭되며, 상기 k는 2이상의 정수이고, 출력 회로는 증폭된 전류로 구동된다. k-배 증폭 회로를 포함하는 구동단은 JP 2002-33719에 공지된 바와 같으며, 여기서 D/A 컨버터 회로는 각 단자 핀에 대응하여 제공된다. 이같이 공지된 회로 구조에서, D/A 컨버터 회로는 칼럼측 단자 핀에 대응하는 디스플레이 데이터를 아날로그 데이터로 변환하여 동시에 칼럼측 구동 전류를 발생시킨다.

일반적으로, 유기 EL 디스플레이 장치에서, 칼럼측(애노드측)(anode side) 라인 중 하나는 전류 방전측이 되며 로우측(캐소드측)(cathode side) 라인은 전류 싱크측(sink side)이 된다. 칼럼측 전류 구동 회로로부터의 구동 전류는 유기 EL 소자의 애노드측에 공급된다. 이에 따라, 칼럼측(EL 소자의 애노드측)의 구동 전류는 디스플레이 휘도에 직접적으로 영향을 미친다.

JP2002-82662에서, 구동 전류는 제조단계에서 레이저-트리밍형 구동 전류 조절 회로를 이용하여 레퍼런스 전류 발생 회로로부터의 레퍼런스 전류를 조절함으로써 조절된다.

도 4는 JP2002-82662에 공지된 칼럼라인 전류 구동 회로의 구동단을 나타내는 회로도이다. 이 칼럼라인 전류 구동 회로(20)는 레퍼런스 전류 인버트 회로(21), 레이저-트리밍형 구동 전류 조절 회로(22), (구동 전류 분배 회로에 대응하는)구동 전류 발생 회로(23), 복수(n)의 k배 구동 전류 발생 회로(82), 및 복수(n)의 N배 출력 단자(84)를 갖는 복수의 커런트 미러 출력 회로(83)를 포함한다.

또한, 참조부호 91은 구동단앞에 있으며 입력 단자 D1~D4를 갖춘 단에 제공된 4-비트(bit) D/A 컨버터를 나타낸다.

칼럼 구동기 IC에 있어서, 레퍼런스 전류를 단자 핀에 분배하기 위한 구동 전류 발생 회로(23)는 입력측 트랜지스터 Qa 및 이 트랜지스터 Qa에 커런트-미러 연결된 복수(n)의 출력측 트랜지스터 Qn($n \geq 30$)를 포함한다. 트랜지스터 Qn의 출력 전류는 각 트랜지스터 Qn에 대응하여 제공된 n개의 k배 구동 전류 발생 회로(82)에 전달된다. 각 구동 전류는 n개의 k배

구동 전류 발생 회로(82) 및 n 개의 N 배 출력 커런트-미러 출력 회로(83)를 통해 $k \times n$ 배로 증폭되며, 칼럼 라인의 n 개의 출력 단자 핀(84)에 출력된다. 또한, JP2002-82662에서, 입력측 트랜지스터 Q_a 는 n 개의 출력측 트랜지스터 $Q_n(n \geq 30)$ 의 중앙에 설치된다.

n 개의 k 배 구동 전류 발생 회로(82)는 스위치 제어 회로(82)에 의해 제어되어 유기 EL 소자 구동용 피크 전류를 발생시키고 디스플레이 데이터 등을 설정한다.

또한, 도 4에서, 참조부호 4는 15V의 전력원, 7은 전력원 라인 + VDD와 연결된 3V의 전력원, 5는 제어기를 나타낸다.

트랜지스터 Q_1 및 트랜지스터 Q_2 는 각각 커런트 미러 회로의 입력측 및 출력측 트랜지스터이며, 트랜지스터 Q_3 및 트랜지스터 Q_4 , Q_5 는 각각 커런트 미러 회로의 입력측 트랜지스터 및 출력측 트랜지스터이다. 또한, 트랜지스터 Q_6 및 트랜지스터 Q_7 은 각각 커런트 미러 회로의 입력측 트랜지스터 및 출력측 트랜지스터이다. 트랜지스터 Q_6 의 이미터는 저항 $R_{b1} \sim R_{bn}$ 의 직렬회로와 연결된다. 트랜지스터 Q_7 의 이미터는 저항 $R_{c1} \sim R_{cn}$ 의 직렬회로와 연결된다. 레이저-트리밍용 퓨즈 $H_{b1} \sim H_{bn}$ 및 $H_{c1} \sim H_{cn}$ 은 각 직렬회로와 병렬 연결되며 경우에 따라 IC 제조단계에서 레이저 빔으로 절단된다. 이같이 퓨즈를 임의 절단함으로써, 구동 전류 발생 회로(22)에 의해 발생된 구동 전류 mI (트랜지스터 Q_7 의 컬렉터 전류)가 조절된다.

단일 입력측 트랜지스터 및 복수(n)의 출력측 트랜지스터를 갖춘 커런트 미러 회로로 구성된 구동 전류 분배 회로(23)의 입력측 트랜지스터 Q_a 의 구동 전류는 상기 구동 전류 조절 회로(22)에 의해 조절된다. 이에 따라 모든 제품의 휘도 변동은 각 출력 트랜지스터의 구동 전류를 조절함으로써 제한된다.

특히, JP2002-82662에서, 제품의 휘도 변동은 물론 모든 제품의 휘도 불균일성은, 단일 입력측 트랜지스터를 n 개의 출력 트랜지스터의 중앙에 설치하고 모든 제품의 R, G, B 간의 휘도차를 조절함으로써 제한된다.

그러나, 단일 입력 트랜지스터를 갖춘 커런트 미러 회로의 출력측 트랜지스터의 수(n)는 증가되며, 중앙 위치에 있는 출력측 트랜지스터의 전류는 대향측에 위치한 출력 트랜지스터 중 하나의 전류와는 실질적으로 차이하게 된다. 이러한 전류차는 k 배 구동 전류 발생 회로(82) 및 n 개의 N 배 커런트 미러 출력 회로(84) 등에 의해 증폭된다. 마지막 출력단내의 단자 핀 구동 전류는 단자 핀의 위치에 따라 상당히 달라지게된다. 이에 따라 구동 전류들간의 차는 휘도 변동 또는 휘도 불균일성을 일으킨다.

출력 단자 핀의 위치에 따라 달라지는 이 휘도차를 감소하기 위해서는, 구동 전류 조절 회로를 각 출력 단자 핀에 대응하게 제공함으로써 구동 전류들을 개별적으로 조절하는 것이 고려된다. 이 경우, 레이저-트리밍을 통한 조절이 제품의 위탁 테스트단계에서 시행될시 설치 수가 매우 증가하게 되어, 제품 제조의 처리율을 감소시킨다. 또한 제품의 회로 크기가 커질 수 밖에 없다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 이동전화기 또는 PHS 등의 디스플레이 스크린의 휘도 변동 또는 휘도 불균일성을 감소하며, 제조 효율을 향상시킬 수 있는 유기 EL 소자 구동 회로의 구동 전류 조절 회로를 제공하는 것이다.

본 발명의 다른 목적은 이동전화기 또는 PHS 등의 디스플레이 스크린의 휘도 변동 또는 휘도 불균일성을 감소하며, 제조 효율을 향상시킬 수 있는 유기 EL 소자 구동 회로를 제공하는 것이다.

본 발명의 또다른 목적은 이동전화기 또는 PHS 등의 디스플레이 스크린의 휘도 변동 또는 휘도 불균일성을 감소하며, 제조 효율을 향상시킬 수 있는 유기 EL 디스플레이 장치를 제공하는 것이다.

이같은 목적을 달성하기 위해서, 본 발명에 따라, 유기 EL 디스플레이 패널의 모든 단자 핀의 구동 전류를 조절하는 유기 EL 소자 구동 회로의 구동 전류 조절 회로는, 메모리에 저장된 데이터를 선택적으로 통과시키는 스위치 회로와, 상기 단자 핀 구동용 구동 전류, 또는 상기 구동 전류의 기본 전류 및 상기 스위치 회로의 온/오프(ON/OFF) 작동에 기초하여 소정 전류를 발생하기 위한, 상기 단자 핀 모두를 위해 제공된 전류 발생 회로를 포함하며, 메모리는 데이터가 기록된 비휘발성 메모리 또는 비휘발성 메모리에 기록된 데이터가 기록된 휘발성 메모리이고, 또한 상기 메모리는 소정 전류에 따른 구동 전류를 조절하도록 개조되는 것을 특징으로 한다.

본 발명에서, 스위치 회로의 온/오프 작동에 따른 재기록형 비휘발성 메모리로부터 공급된 데이터에 대응하여 각 단자 핀의 구동 전류를 조절하는 것이 가능하다. 이에 따라, 비휘발성 메모리내 휘도 변동 또는 휘도 불균일성을 수정하기 위한 휘도 조절에 요구되는 데이터를 기록함으로써 휘도 변동 또는 휘도 불균일성을 감소시킬 수 있다.

예를 들어, 제품의 위탁 테스트 단계에서, 제품의 위탁 테스트 단계에서 트림되는 설치 수가 상당히 크게되는 경우라해도, 제품으로 조립된 디스플레이 패널의 디스플레이 스크린상에서의 휘도 불균일성 또는 제품의 휘도 변동에 따른 비휘발성 메모리내에 소정 데이터를 기록하는 것만으로 휘도를 용이하게 조절할 수 있다.

결과적으로, 제품 제조의 처리율을 향상시키며, 이동전화기 또는 PHS 등과 같은 모든 장치의 휘도 변동 또는 휘도 불균일성을 감소시키고, 제조 효율을 향상시킬 수 있다.

발명의 구성 및 작용

도 1은 본 발명의 실시예에 따른 유기 EL 소자 구동 회로의 칼럼 구동기(20)의 블럭 회로도이다. 도 1에서, 칼럼 구동기(20)는 도 4와 같이 k배 구동 전류 발생 회로(82)와 n배 출력을 출력하는 n개의 커런트 미러 출력 회로(83)의 조합 회로에 대응하며, 유기 EL 디스플레이 패널의 모든 단자 핀에 제공된다.

참조 부호 10으로 도시된 회로는 D/A 컨버터 회로(11)를 갖는 도 4의 k배 구동 전류 발생 회로(82)의 조합 회로에 대응하며 디스플레이 데이터에 대응하는 구동 전류를 발생시킨다. 참조 부호 12는 구동 전류 발생 회로, 13은 커런트-미러형 전류 출력 회로, 14는 피크 전류 발생 회로, 15는 제어 회로, 16은 레지스터, 17은 비휘발성 메모리, 18은 정전류 공급원을 나타낸다. 정전류 공급원(18)은 도 4에 도시된 구동 전류 분배 회로(23)의 모든 단자 핀에 제공된 트랜지스터 Qn의 출력 전류에 대응하는 출력 전류($I_o = mI$)를 출력한다.

D/A 컨버터 회로(11)는 N 채널 입력측 트랜지스터 TNa 및 이 트랜지스터 TNa에 병렬 연결된 N 채널 입력측 트랜지스터 TNp를 포함한다. N 채널 출력측 트랜지스터 TNb~TNn는 상기 입력측 트랜지스터 TNa 및 TNp와 커런트-미러 연결된다.

상기 트랜지스터 TNp에 대한 TNa의 채널폭(게이트폭) 비율은 1:9로 설정된다. 트랜지스터 TNa의 소스(source)는 저항 Ra를 통해 접지되며, 상기 트랜지스터 TNp의 소스는 저항 Rpa 및 스위치 회로 SWpa를 통해 접지된다.

또한, 상기 1:9의 채널폭(게이트폭) 비율은 나머지 하나의 MOS 트랜지스터에 대해 우수한 페어링(pairing) 특성을 갖는 9개의 MOS 트랜지스터를 병렬-연결함으로써 실현될 수도 있다.

입력측 트랜지스터 TNa 및 TNp는 입력단자(11a)와 연결되며 이 입력단자(11a)를 통해 구동 전류 조절 회로(12)로부터 조절된 전류 I_p 를 공급받는다.

상기 구동 전류 조절 회로(12)는 정전류 공급원(18)으로부터 전류 $I_o (=mI)$ 를 공급받고, D/A 컨버터 회로(11)의 입력 단자(11a)를 이용하여 단자 핀에 대응하는 조절된 전류 I_p 를 입력측 커런트-미러 트랜지스터 TNa에 공급한다. 스위치 회로 SWpa가 오프상태인 주기의 초기부분에서, 피크 전류 I_{pa} 는 디스플레이 데이터에 대응하는 출력 전류 I_a 로서 D/A 컨버터 회로(11)의 출력 단자(11b)에 발생된다. 그 다음 스위치 회로 SWpa가 온으로 켜진 경우, 구동 전류 I_p 는 입력측 트랜지스터 TNa 및 TNp로 분기되어 흐른다. 이 경우, 피크 전류 I_{pa} 의 1/10인 정상 상태의 구동 전류 I_a 가 출력 단자(11b)에서 발생된다.

저항 Rb 내지 Rn-1는 출력측 트랜지스터 TNb 내지 TNn-1의 소스 및 트랜지스터 Trb 내지 Trn-1의 드레인 사이에 각각 제공된다. 이에 따라 상기 저항들로 인해, D/A 컨버터 회로(11)의 커런트 페어링 특성의 정밀도를 향상시킬 수 있다.

트랜지스터 Trb 내지 Trn-1의 게이트는 j-bit의 디스플레이 데이터가 레지스터(16)로부터 입력된 입력단자 do 내지 dn-1와 연결된다. 트랜지스터 Trb 내지 Trn-1의 소스는 접지된다.

커런트 미러형 전류 출력 회로(13)는 도 4의 커런트-미러형 전류 출력 회로(83)에 대응하며, 구동 레벨 시프트 회로(drive level shift circuit)(13a) 및 출력 커런트-미러 회로(13b)를 포함한다.

상기 구동 전류 조절 회로(12)는 N 채널 MOS 트랜지스터 Tr1 및 Tr2로 구성된 커런트-미러 구동 회로(12a), 커런트-미러형 구동 회로(12a)에 의해 구동된 P 채널 트랜지스터 Tr3 ~ Tr7로 구성된 커런트-미러형 조절 회로(12b), 및 비휘발성 메모리(17)를 포함한다.

상기 커런트-미러형 구동 회로(12a)의 입력측 트랜지스터 Tr1의 드레인은 정전류 소스(18)와 연결되며, 전류 $I_o (=mI)$ 를 공급받는다. 상기 트랜지스터의 소스는 저항 R1을 통해 접지된다. 상기 입력측 트랜지스터 Tr1에 대한 커런트 미러 구동 회로(12a)의 출력측 트랜지스터 Tr2의 채널폭(게이트폭) 비율은 P(P는 2이상의 정수)로 설정된다. 트랜지스터 Tr2의 드레인은 커런트 미러 조절 회로(12b)의 입력측 트랜지스터 Tr3의 드레인과 연결된다. 트랜지스터 Tr2의 소스는 저항 R2를 통해 접지된다.

이에 따라, 전류 $P \cdot I_o$ 는 출력측 트랜지스터 Tr2에 흐르고, 트랜지스터 Tr3는 상기 전류에 의해 구동된다. 이에 따라, $P \cdot I_o$ 의 미러 전류는 출력측 트랜지스터 Tr4로부터 출력된다.

커런트-미러 연결된 트랜지스터 Tr3~Tr7의 소스는 전력원 라인 + VDD와 연결된다. 출력측 트랜지스터 Tr4의 드레인은 D/A 컨버터 회로(11)의 출력 단자(11a)와 연결된다. 출력측 트랜지스터 Tr5~Tr7의 드레인은 각 스위치 회로 SW1~SW3를 통해 트랜지스터 Tr4의 드레인과 연결됨에 따라 출력측 트랜지스터 Tr5~Tr7가 트랜지스터 Tr4와 병렬 연결되도록 한다. 상기 트랜지스터 Tr5~Tr7는 출력측 트랜지스터 Tr4로부터 출력된 미러 전류 $P \cdot I_o$ 를 수정하는 전류 수정 회로를 구성한다.

예를 들어, D/A 출력측 회로(11)의 출력측상에서 필요한 전류의 정밀도는, 6-비트 톤에서 1LSB(해상도)로 표시되며, $1\mu A$ 이하이다. 이같은 요구사항을 만족시키기 위해서, 트랜지스터 Tr3에 대한 트랜지스터 Tr5~Tr7의 채널폭(게이트폭) 비율은 예컨대 1/10, 1/20 및 1/40으로 설정된다.

스위치 SW1~SW3를 선택적 또는 전체적으로 온시켜서 전류 $P \cdot I_o/10$, $P \cdot I_o/20$ 및/또는 $P \cdot I_o/40$ 를 전류 $P \cdot I_o$ 에 부가하므로써 D/A 컨버터 회로(11)의 구동 전류를 조절할 수 있게 된다. 이에 따라 조절된 구동 전류는 D/A 컨버터 회로(11)를 통해 커런트-미러형 전류 출력 회로(13)에 단자 핀의 구동 전류로 출력 및 증폭되기 때문에, 상기 단자 핀 구동 전류는 구동 전류 조절 회로(12)에 의해 조절 될 수 있다. 또한, 조절전 전류 $P \cdot I_o$ 는 하한치(예컨대 3σ) 근처 또는 구동 전류 변동의 하한치로 설정된다. 이같이 설정하므로써, 단자 핀에 공급될 구동 전류를 적절히 결정할 수 있다.

온/오프로 제어되는 스위치 회로 SW1~SW3의 선택은 비휘발성 메모리(17)의 소정 영역에 저장된 3-비트 데이터에 따라 실행된다. 예를 들어 3-비트 데이터가 "010"인 경우, 비트 "1"에 대응하는 스위치 회로 SW2는 온으로 켜지며, 비트 "0"에 대응하는 스위치 회로 SW1 및 SW3 각각은 오프로 된다.

비휘발성 메모리(17)에 저장된 데이터는 MPU(19)에 의해 설정된다. 또한, 상기 비휘발성 메모리(17)는 $3 \cdot n$ (n은 하나의 구동기 IC의 칼럼 라인의 단자 핀의 총 수) 비트 이상의 메모리 용량을 갖는다. 3-비트 영역은 모든 단자 핀에 할당된다.

상기 MPU(19)는 모든 단자 핀의 휘도 조절용 3-비트 데이터를 발생시키며, $3 \cdot n$ 비트를 비휘발성 메모리(17)에 저장한다. 상기 3-비트 데이터는 데이터 DAT로서 클럭 CLK에 따라 비휘발성 메모리(17)에 공급된다. 이에 따라, 휘도 조절을 수평 스캔 방향의 픽셀로 실행할 수 있다.

또한, 모든 단자 핀용 3-비트 데이터는 각 단자 핀의 수직 스캔 방향으로 측정된 디스플레이 스크린 픽셀의 휘도 평균값으로 발생되어, 그 결과 총 $3n$ 비트의 데이터 DAT가 된다. 이 경우, 휘도 조절이 필수적이지 않은 단자 핀의 3-비트 데이터는 "000"이다. 실제로 3-비트 데이터는 휘도 조절이 필요한 모든 단자 핀을 위해 발생된다.

또한, 수평 스캔 및 수직 스캔내 디스플레이 스크린의 모든 픽셀에 대한 휘도 조절을 실행하는 것이 가능하다. 이 경우, MPU(19)는 수직 스캔 라인의 위치에 따라 달라지는 모든 단자 핀의 휘도 조절을 위해 3-비트 데이터를 발생시키고, $3 \cdot n \cdot S$ 비트를 비휘발성 메모리(17)에 저장하며, 여기서 S는 수직 스캔 라인의 수이다.

이같은 휘도 조절은 조립된 제품의 디스플레이 스크린을 모니터링하고 상이한 휘도를 갖는 픽셀에 대한 데이터 DAT를 발생시키므로써 가능하다. 이에 따라 발생된 $3n$ -비트 데이터는 제품의 위탁 테스트 단계에서 MPU(19)에 의해 기록된다. 이러한 방식에 있어서, 제품의 디스플레이 스크린상의 휘도 불균일성 또는 휘도 변동이 조절될 수 있다.

FRAM, MRAM 또는 EEPROM 등은 비휘발성 메모리(17)로 사용되기도 한다. 또한, 3개의 스위치 회로 SW1~SW3가 본 실시예에 제공되지만, 스위치 회로의 수가 제한되는 것은 아니며, 1개이거나 또는 3개 이상이다. 이에 따라, 휘도 조절용 데이터는 적어도 1비트를 갖는다.

이하, 커런트-미러형 전류 출력 회로(13)가 기술될 것이다.

구동 레벨 시프트 회로(13a)는 D/A 컨버터 회로(11)의 출력을 출력단 커런트-미러 회로(13b)에 전달하는데 사용되며, N 채널 MOS FET TN_v가 구비된다. 상기 MOS FET TN_v의 게이트는 바이어스 라인 V_b와 연결된다. 상기 MOS FET TN_v의 소스는 D/A 컨버터 회로(11)의 출력 단자(11b)와 연결된다. 상기 MOS FET TN_v의 드레인은 출력단 커런트-미러 회로(13b)의 입력 단자(13c)와 연결된다.

이에 따라, 디스플레이 데이터에 대응하는, D/A 컨버터 회로(11)의 출력 전류 I_a에 따른 입력 단자(13c)에 구동 전류 I_a를 발생시킬 수 있다.

출력단 커런트-미러 회로(13b)는 P채널 MOS FETs TP_u 및 TP_w, P채널 MOS FETs TP_x 및 TP_y를 포함한다. 출력단 커런트-미러 회로(13b)의 트랜지스터 TP_y에 대한 트랜지스터 TP_x의 게이트폭 비율은 1:N이다. 트랜지스터 TP_x 및 트랜지스터 TP_y의 소스는 전역원 라인 VDD의 전압보다 높은, 약 +15V의 전역원 라인 +VCC와 연결된다. 출력측 트랜지스터 TP_y는 칼럼측 출력 단자 핀(9)과 연결되며, 구동 주기동안 구동 전류 N*I_a를 상기 핀(9)에 공급한다. 유기 EL 소자(8)는 출력 단자 핀(9) 및 접지 GND 사이에 연결된다. 또한, 도 1의 V_c는 바이어스 라인을 나타낸다.

입력측 트랜지스터 TN_p, 저항 R_{pa} 및 스위치 회로 SW_{pa}는 피크 전류 발생 회로(14)를 구성한다. 상기 스위치 회로 SW_{pa}는 초기 구동 주기에서 일정 시간 t_p동안 오프상태로 유지되며, 일정 시간 후 제어 회로(15)로부터의 제어 신호 CONT에 의해 온으로 켜진다.

구동 개시 시간에서, 스위치 회로 SW_{pa}는 제어 회로(15)로부터의 제어 신호 CONT를 공급받지 않는다. 이에 따라, 전류 I_p는 입력측 트랜지스터 TN_a에 흐르며, I_p*M(M은 입력 단자 do~dn-1 중 하나에 설정된 데이터에 대응함)인 전류가 발생되어, 그 결과 피크 전류 I_{pa}=M*I_p가 D/A 컨버터 회로(11)의 출력 단자(11b)에서 발생된다. 피크 전류 발생 주기 t_p가 지난 후, 제어 신호 CONT가 발생되어 스위치 회로 SW_{pa}를 온으로 켜다. 이에 따라, 입력측 트랜지스터 TN_a내 전류는 입력측 트랜지스터 TN_p에 분기된다. 이 트랜지스터의 게이트폭 비율이 1:9이기 때문에, 전류 I_p/10는 입력측 트랜지스터 TN_a에 흐르며 전류 9*I_p/10는 입력측 트랜지스터 TN_p에 흐른다. 그 결과, 커런트 미러 회로의 입력측 구동 전류는 실질적으로 1/10이 된다. 전류 I_a(=I_{pa}/10)는 D/A 컨버터 회로(11)의 출력 단자(11b)에서 발생된다.

또한, 용량성 부하 특성을 갖는 유기 EL 소자(4)를 피크 전류로 초기 충전하는데 충분하므로, 피크 전류 주기 t_p의 개시 시간 지연이 구동 개시 시간과 항상 일치할 필요는 없다.

도 2는 시프트 레지스터 구조를 갖는 비휘발성 메모리(17)의 구체적인 예를 나타낸다.

참조부호 171은 병렬 연결된, n개의 단을 포함하는 3개의 시프트 레지스터를 나타낸다. 각 단은 비휘발성 래치로서 n개의 출력 단자 핀(9) 각각에 대응하게 제공된 n개의 플립플롭(flip-flop)(17a 내지 17n)의 직렬 연결을 포함한다. 각 단에서 3개의 비휘발성 래치의 병렬 연결에 의해, 각 단은 3-비트 비휘발성 메모리가 된다.

휘도 조절용 3*n 비트의 데이터 DAT(트리밍 데이터)의 각 3-비트 데이터는 플립-플롭(17a)에 입력되며, MPU(19)로부터의 클럭 CLK에 따른 각 단에 연속 시프트되고, 휘도 조절 데이터로 플립플롭(17a~17n)에 저장된다.

각 단에서의 3개의 플립플롭의 반전된 출력 Q(오버 바가 있는)은 모든 단자 핀의 휘도를 조절하기 위해서 인버터(170)를 통해 각 단자 핀에 대응하는 구동 전류 조절 회로(12)의 스위치 회로 SW1~SW3에 출력되어 스위치 회로를 선택적으로 온/오프함으로써 모든 제품의 디스플레이 패널상의 휘도 불균일성 또는 휘도 변동이 감소되도록 한다.

도 3은 본 발명의 다른 실시예인 시프트 레지스터(172)를 나타낸다. 상기 시프트 레지스터(172)는 휘발성 메모리가 구비된다.

도 3에 도시된 상기 시프트 레지스터(172)는 도 1에 도시된 바와 같이 n개의 단을 각각 포함하는 병렬-연결된 3개의 시프트 레지스터를 포함한다. 그러나, 각 단은 데이터 래치용 휘발성 래치로서 n개의 출력 단자 핀(9) 각각에 대응하게 제공된 n개의 플립-플롭(172a~172n)의 직렬 연결을 포함한다.

휘도 조절용 $3 \times n$ 비트의 데이터 DAT(트리밍 데이터)는 제어 회로(15)로부터 플립-플롭(172a)에 직렬로 입력된다. 이와 동시에, 플립-플롭(172a~172n)은 제어 회로(15)로부터 클럭 CLK에 따른 휘도 조절 데이터를 저장한다.

트리밍 데이터 DAT는 제어 회로(15)에 제공된 비휘발성 메모리(15a)에 저장된다. 전력원 스위치 SW가 온으로 켜진 경우 MPU(19)는 제어 신호 S를 발생시킨다. MPU(19)의 제어 신호 S에 있어서, 제어 신호(15)는 클럭 신호 CLK 및 트리밍 데이터 DAT를 발생시키고 시프트 레지스터(172)에 트리밍 데이터를 기록한다.

트리밍 데이터 DAT는 키보드를 통해 외부에서 입력된 데이터에 따른 MPU(19)에 의해 비휘발성 메모리(15a)에 기록된다.

이 경우, 제어 회로(15)는 도 2에 도시된 바와 같이 MPU(19)가 된다. 휘도 조절 데이터 저장용 휘발성 메모리는 상기 시프트 레지스터에 제한되지않는다. 이는 RAM 등이기도 하다.

또한, 유기 EL 디스플레이 장치에서, 칼럼측 전류 구동 회로는 상술된 로우측 스캔에 따른 구동 전류를 출력한다. 이에 따라, 실제적으로 도 1에 도시된 유기 EL 소자(8)가 출력 단자 핀(9) 및 접지 GND 사이에 연결된다해도 유기 EL 소자(8)는 로우 스캔 회로를 통해 접지된다.

상술된 바와 같이, 스위치 회로 SW1~SW3의 수는 어떤 수도 될 수 있다. 단일의 스위치 회로가 사용된다면, 하나의 비트 데이터만이 스위치 회로를 온/오프 제어하는데 필요하다.

이 실시예는 구동 전류 조절 회로(12)를 포함하기 때문에, 통상의 레이저 트리밍 구동 전류 조절 회로(22)는 제거된다. 구동 전류 조절 회로(22)가 제거되지않은 경우, 이는 단자 핀 각각에 대한 구동 전류를 조절하는 것이 아니라 레퍼런스 전류를 전체적으로 조절하는 데 사용된다. 또한, 본 발명에서 레이저 트리밍 구동 전류 조절 회로를 개별적으로 제공하는 것이 가능하다. 본 발명에 따른, 각 단자 핀에 대한 휘도 조절이 R, G 및 B를 커버하는 총 휘도 조절이 될 수 있으므로, R, G 및 B를 전체적으로 커버하는 레퍼런스 전류 조절 회로는 본 발명의 레퍼런스 전류 조절 회로와 함께 사용되기도 한다. 당연히 R, G 및 B 각각의 개별 휘도 조절은 물론 R, G 및 B를 커버하는 전체 휘도 조절을 위해 구동 전류 조절 회로(12)를 사용할 수 있다.

또한, 구동 전류 조절 회로(12)는 (입력단 또는 초기단내) 레퍼런스 전류 발생용 레퍼런스 전류 발생 회로 및 유기 EL 패널의 단자 핀 전류-구동용 출력단 사이의 모든 위치에 제공되는 것으로, 상기 위치에 모든 출력 단자 핀을 위한 구동 전류가 흐르는 조건하에 제공된다. 또한, 디스플레이 데이터를 공급받은 D/A 컨버터 회로는 입력단(또는 초기단) 및 출력단 사이에 설치된다.

단색 디스플레이용 전류 구동 회로가 본 발명의 전류 구동 회로로 사용되기 때문에, 전류 구동 회로를 R, G 및 B 각각에 대응하게 제공할 필요는 없다.

상기 실시예는 주로 MOS FETs으로 구성되지만, 양극성 트랜지스터를 사용하여 구성될 수도 있다. 또한, 상기 실시예에서, N 채널(또는 npn) 트랜지스터가 P 채널(또는 pnp) 트랜지스터로 또는 그 반대로 대체될 수도 있다.

발명의 효과

본 발명에 따른 구동 전류 조절 회로, 이 구동 전류 조절 회로를 이용한 유기 EL 소자 구동 회로 및 이 유기 EL 소자 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공하여, 이동전화기 또는 PHS 등의 디스플레이 스크린의 휘도 변동 또는 휘도 불균일성을 감소시키고, 제조 효율을 향상시킬 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위안에서 다양한 수정 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

유기 EL 디스플레이 패널의 단자 핀들 중 하나의 단자 핀의 구동 전류를 조절하기 위한, 유기 EL 소자 구동 회로의 구동 전류 조절 회로에 있어서,

메모리에 저장된 데이터를 선택적으로 통과시키는 스위치 회로; 및

상기 단자 핀을 구동시키는 구동 전류, 또는 상기 구동 전류의 기본 전류 및 상기 스위치 회로의 온/오프(ON/OFF) 작동에 기초하여 소정 전류를 발생시키며, 상기 모든 단자 핀들을 위해 제공되는 전류 발생 회로를 포함하되,

상기 메모리는 데이터가 기록된 비휘발성 메모리 또는 비휘발성 메모리에 기록된 데이터가 기록된 휘발성 메모리이고, 또한 소정 전류에 따른 구동 전류를 조절하도록 개조되는 것을 특징으로 하는 유기 EL 소자 구동 회로의 구동 전류 조절 회로.

청구항 2.

제1항에 있어서,

상기 단자 핀의 구동 전류를 발생시키는 출력단 전류 소스를 추가로 포함하되,

상기 전류 발생 회로는 출력단 전류 소스 구동용 구동단에 제공된 제1 커런트 미러 회로를 포함하고,

상기 제1 커런트 미러 회로는 입력측 구동 트랜지스터 및 이 입력측 구동 트랜지스터와 커런트 미러에 연결된 제1 및 제2 출력측 트랜지스터를 포함하며,

상기 제2 출력측 트랜지스터는 상기 스위치 회로를 통해 제1 출력측 트랜지스터와 병렬 연결되어 제1 출력측 트랜지스터의 출력에 소정 전류를 발생시키는 것을 특징으로 하는 유기 EL 소자 구동 회로의 구동 전류 조절 회로.

청구항 3.

제2항에 있어서,

상기 제2 출력측 트랜지스터를 각각 포함하는 복수의 직렬 회로 및 상기 스위치 회로는 제1 출력측 트랜지스터와 병렬 연결되고,

상기 비휘발성 메모리는 상기 유기 EL 디스플레이 패널의 복수의 단자 핀에 대응하여 제공된 복수의 단을 각각 갖는 복수의 시프트 레지스터를 포함하며,

상기 단은 직렬 회로의 스위치 회로에 각각 대응하고,

상기 단의 출력은 상기 각 스위치 회로에 공급되는 것을 특징으로 하는 유기 EL 소자 구동 회로의 구동 전류 조절 회로.

청구항 4.

제2항에 있어서,

제2 출력측 트랜지스터를 각각 포함하는 복수의 직렬 회로 및 상기 스위치 회로는 제1 출력측 트랜지스터와 병렬 연결되고,

상기 메모리는 비휘발성 메모리에 기록된 데이터로 기록되거나 또는 상기 구동 전류 조절 회로의 외부에 제공된 비휘발성 메모리로부터 전달된 데이터가 기록된 휘발성 메모리이고,

상기 데이터는 프로세서 또는 제어기를 통해 비휘발성 메모리에 기록되며,

상기 비휘발성 메모리는 상기 유기 EL 디스플레이 패널의 복수의 단자 핀에 대응하여 제공된 복수의 단을 각각 갖는 복수의 시프트 레지스터를 포함하고,

상기 단은 상기 직렬 회로의 스위치 회로에 각각 대응하고,

상기 단의 출력은 상기 각 스위치 회로에 제공되는 것을 특징으로 하는 유기 EL 소자 구동 회로의 구동 전류 조절 회로.

청구항 5.

제1항에 있어서,

상기 메모리는 상기 구동 전류 조절 회로의 외부에 제공된 비휘발성 메모리로부터 전달된 데이터가 기록된 휘발성 메모리인 것을 특징으로 하는 유기 EL 소자 구동 회로의 구동 전류 조절 회로.

청구항 6.

제1항 내지 제5항 중 어느 한 항에 기재된 구동 전류 조절 회로를 포함하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 7.

제6항에 있어서,

상기 구동 단은 출력단 전류 소스 또는 상기 출력단 전류 소스 중 하나를 구동할 구동 전류를 발생시키기 위한 디스플레이 데이터에 응답하는 D/A 컨버터 회로를 포함하며,

상기 D/A 컨버터 회로는 제2 커런트 미러 회로를 포함하고, 상기 소정 전류는 상기 D/A 컨버터 회로의 제2 커런트 미러 회로의 입력측 트랜지스터를 구동하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 8.

제7항에 있어서,

상기 제2 커런트 미러 회로의 복수의 입력측 트랜지스터는 상호 병렬 연결되며,

핀 구동 전류를 피크로 되게하는 전류가 상기 복수의 입력측 트랜지스터 중 적어도 하나의 소정 전류에 의해 상기 D/A 컨버터 회로의 출력에서 발생되고,

핀 구동 전류를 정상으로 되게하는 전류는 상기 적어도 하나의 입력측 트랜지스터내 소정 전류를 상기 적어도 하나의 입력측 트랜지스터와 병렬적인 복수의 입력측 트랜지스터 중 적어도 다른 하나에 분기함으로써 상기 D/A 컨버터 회로의 출력에서 발생하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 9.

유기 EL 디스플레이 패널;

상기 유기 EL 디스플레이 패널의 복수의 단자 핀을 전류-구동하는 출력단; 및

상기 출력단의 단자핀용 구동 전류를 조절하는 유기 EL 소자 구동 회로의 구동 전류 조절 회로를 포함하되,

상기 구동 전류 조절 회로는 메모리에 저장된 데이터를 선택적으로 통과시키는 스위치 회로 및 상기 유기 EL 디스플레이 패널의 단자 핀 모두에 제공된 전류 발생 회로를 포함하고,

상기 전류 발생 회로는 상기 단자 핀 구동용 전류 또는 상기 구동 전류의 기본 전류에 응답하여, 상기 구동 전류 또는 상기 구동 전류의 기본 전류 및 스위치 회로의 온/오프 스위치 작동에 따라 소정 전류를 발생시키며,

상기 메모리는 상기 데이터가 기록된 비휘발성 메모리 또는 비휘발성 메모리에 기록된 데이터가 기록된 휘발성 메모리이고,

상기 메모리는 상기 소정 전류에 따른 구동 전류를 조절하도록 개조되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 10.

제9항에 있어서,

상기 단자 핀 구동 전류를 발생시키는 출력단 전류 소스를 추가로 포함하되,

상기 전류 발생 회로는 제1 커런트 미러 회로를 포함하고,

상기 제1 커런트 미러 회로는 입력측 구동 트랜지스터 및 이 입력측 구동 트랜지스터와 커런트-미러에 연결된 제1 및 제2 출력측 트랜지스터를 포함하며,

상기 제2 출력측 트랜지스터는 상기 스위치 회로를 통해 제1 출력측 트랜지스터와 병렬 연결되고,

상기 소정 전류는 상기 제1 출력측 트랜지스터의 출력에서 발생하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 11.

제10항에 있어서,

상기 제2 출력측 트랜지스터를 각각 포함하는 복수의 직렬 회로 및 상기 스위치 회로는 상기 제1 출력측 트랜지스터와 병렬 연결되며,

상기 비휘발성 메모리는 상기 유기 EL 디스플레이 패널의 복수의 단자 핀에 대응하여 제공된 복수의 단을 각각 갖는 복수의 시프트 레지스터를 포함하고,

상기 단은 상기 직렬 회로의 스위치 회로와 각각 대응하며,

상기 단의 출력은 상기 각각의 스위치 회로에 공급되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 12.

제10에 있어서,

상기 제2 출력측 트랜지스터를 각각 포함하는 복수의 직렬 회로 및 상기 스위치 회로는 상기 제1 출력측 트랜지스터와 병렬 연결되며,

상기 메모리는 비휘발성 메모리에 기록된 데이터가 기록되거나 또는 상기 구동 전류 조절 회로의 외부에서 제공된 비휘발성 메모리로부터 전달된 데이터가 기록된 휘발성 메모리이고,

상기 데이터는 프로세서 또는 제어기를 통해 상기 비휘발성 메모리에 기록되며,

상기 휘발성 메모리는 유기 EL 디스플레이 패널의 복수의 단자 핀에 대응하여 제공된 복수의 단을 각각 갖는 복수의 시프트 레지스터를 포함하고,

상기 단은 상기 직렬 회로의 스위치 회로에 각각 대응하며,

상기 단의 출력은 상기 각각의 스위치 회로에 공급되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 13.

제10항에 있어서,

상기 구동단은 상기 출력단 전류 소스 구동용 구동 전류를 발생시키기 위한 디스플레이 데이터에 응답하는 D/A 컨버터 회로를 포함하며,

상기 D/A 컨버터 회로는 제2 커런트 미러 회로를 포함하고,

상기 소정 전류는 상기 D/A 컨버터 회로의 제2 커런트 미러 회로의 입력측 트랜지스터를 구동하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 14.

제13항에 있어서,

상기 제2 커런트 미러 회로의 복수의 입력측 트랜지스터는 상호 병렬 연결되며,

핀 구동 전류를 피크로 되게하는 전류가 상기 복수의 입력측 트랜지스터 중 적어도 하나의 소정 전류에 의해 상기 D/A 컨버터 회로의 출력에서 발생되고,

또한 핀 구동 전류를 정상으로 되게하는 전류는 상기 적어도 하나의 입력측 트랜지스터내의 소정 전류를 상기 적어도 하나의 입력측 트랜지스터와 병렬적인 복수의 입력측 트랜지스터 중 적어도 다른 하나에 분기하므로써 상기 D/A 컨버터 회로의 출력에서 발생하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

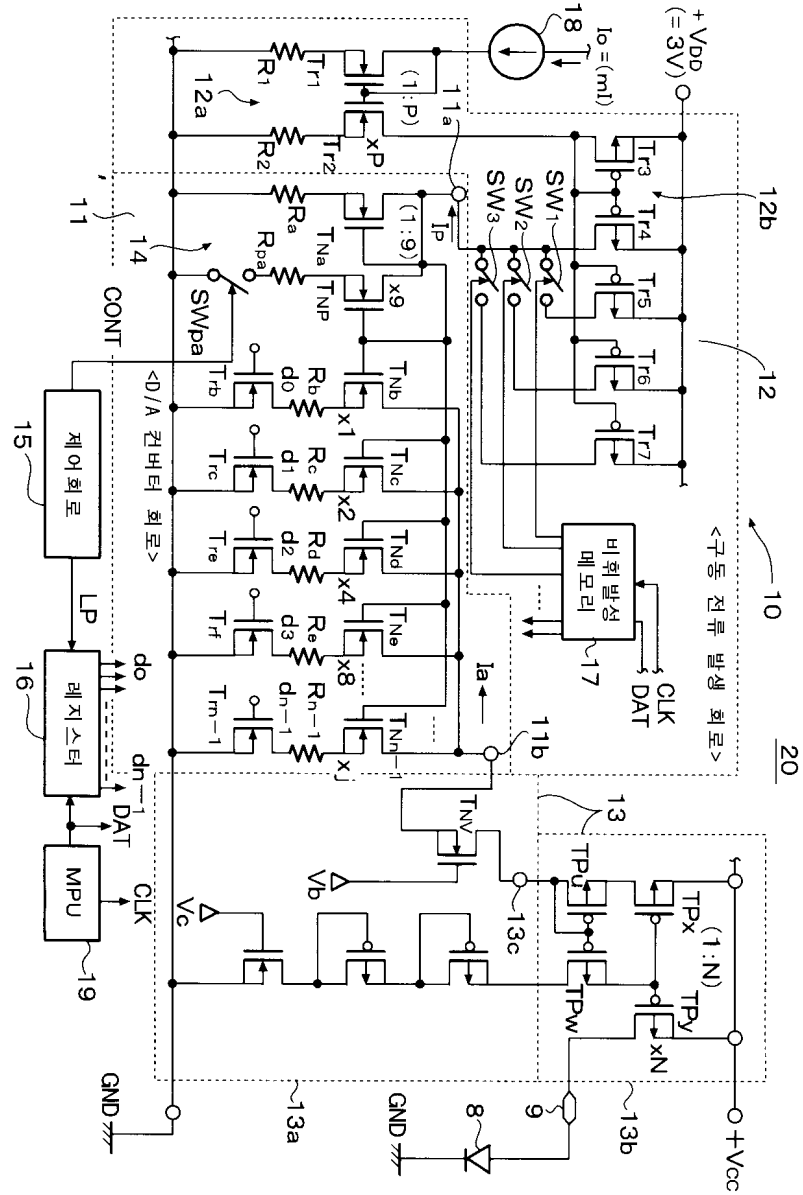
청구항 15.

제9항에 있어서,

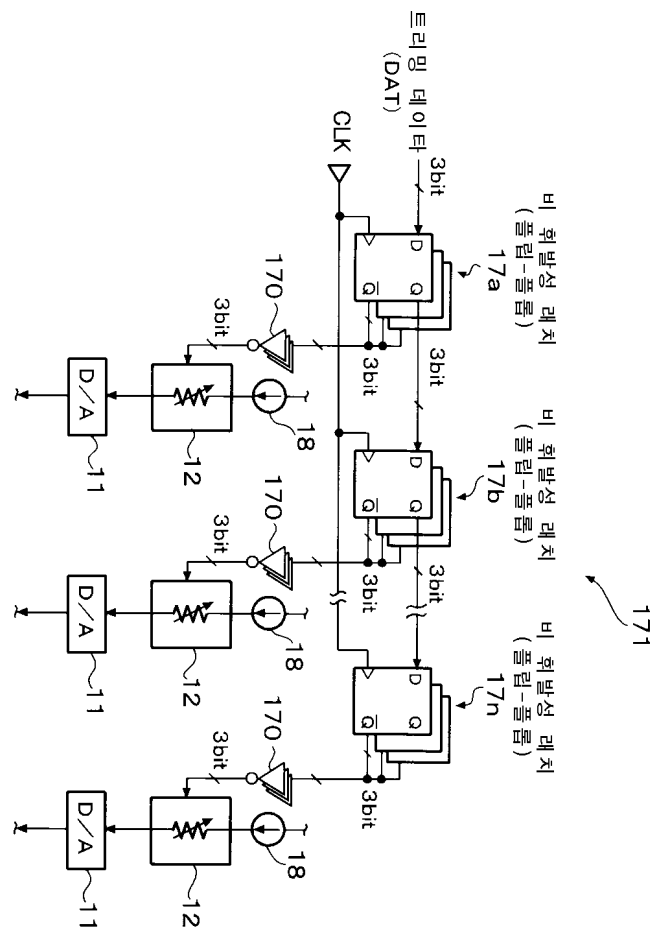
상기 메모리는 상기 구동 전류 조절 회로의 외부에서 제공된 비휘발성 메모리로부터 전달된 데이터가 기록된 휘발성 메모리인 것을 특징으로 하는 유기 EL 디스플레이 장치.

도면

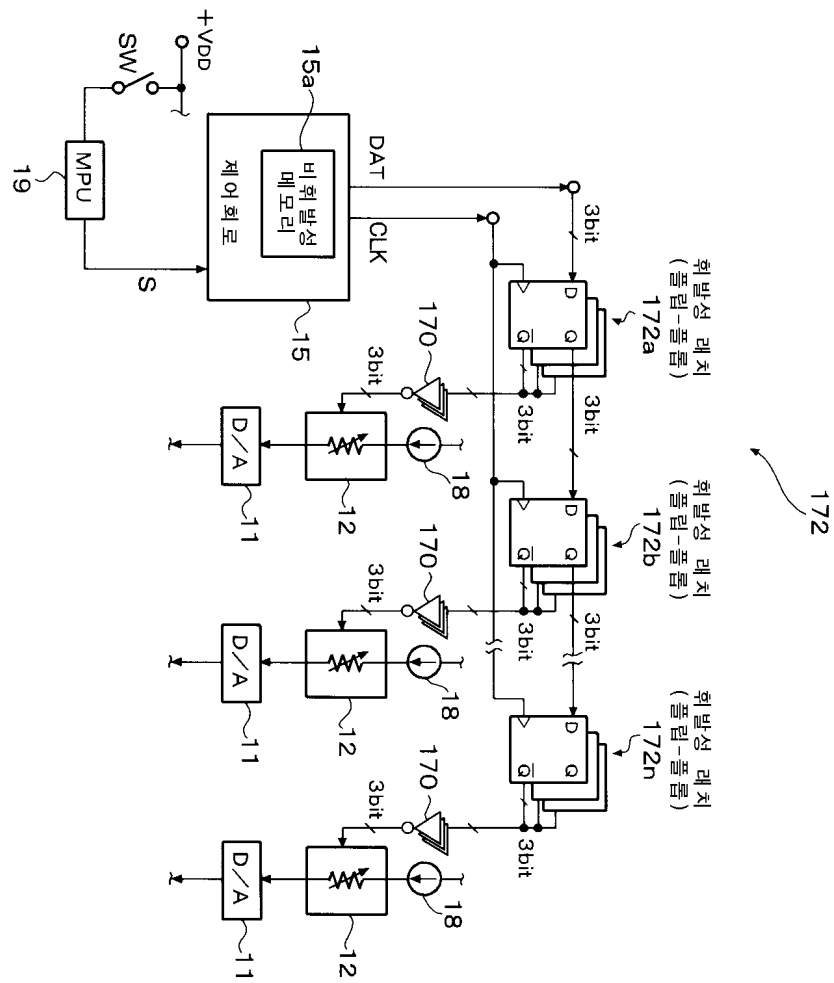
도면1



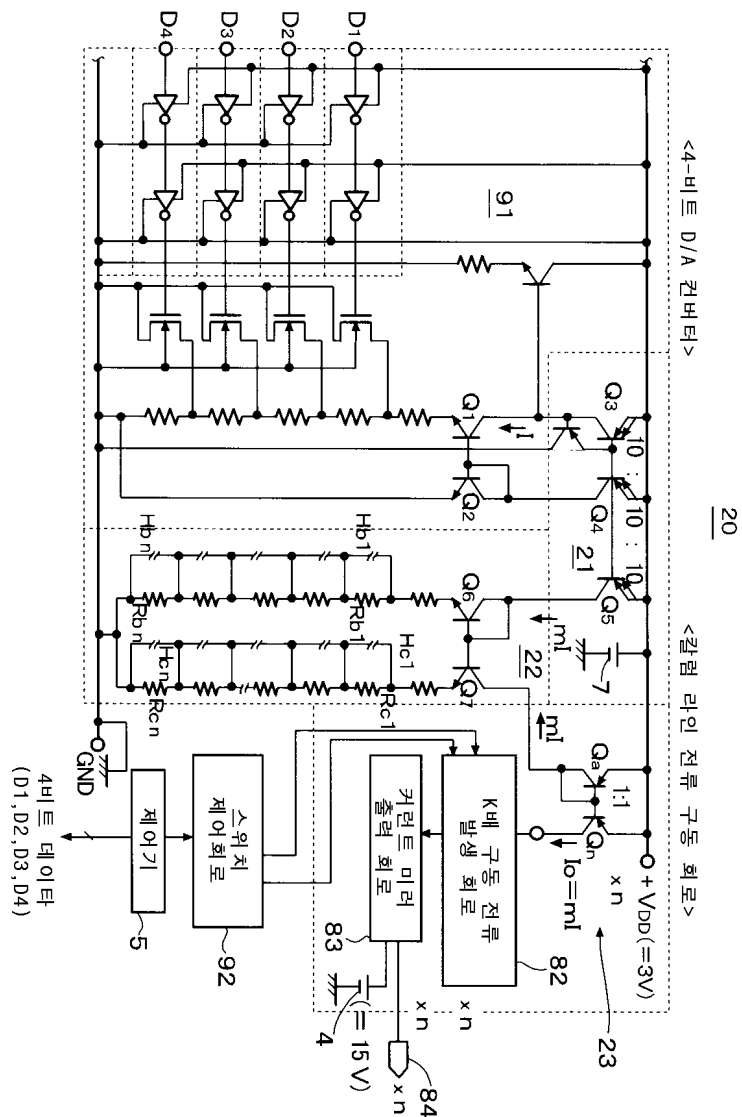
도면2



도면3



도면4



专利名称(译)	驱动电流调节电路，使用该驱动电流调节电路的有机EL元件驱动电路，		
公开(公告)号	KR100507550B1	公开(公告)日	2005-08-17
申请号	KR1020030033717	申请日	2003-05-27
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	ABE SHINICHI		
发明人	ABE,SHINICHI		
IPC分类号	H01L51/50 G09G3/30 H05B33/14 G09G3/20 G11C5/14		
CPC分类号	G11C5/147		
优先权	2002153501 2002-05-28 JP		
其他公开文献	KR1020030091820A		
外部链接	Espacenet		

摘要(译)

通过将数据接通/断开到开关电路，根据存储在可重写非易失性存储器中的数据来调节两个端子引脚的驱动电流。记录数据对于亮度控制以校正非易失性存储器中的亮度变化或亮度不均匀性是必要的，并且亮度变化或亮度不均匀性降低。 1

