



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0108930
(43) 공개일자 2009년10월19일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)
G09G 5/10 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2008-0034287

(22) 출원일자 2008년04월14일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정시덕

서울특별시 강동구 명일동 엘지아파트 101동 112
3호

고병식

경기도 광명시 철산3동 472-4

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

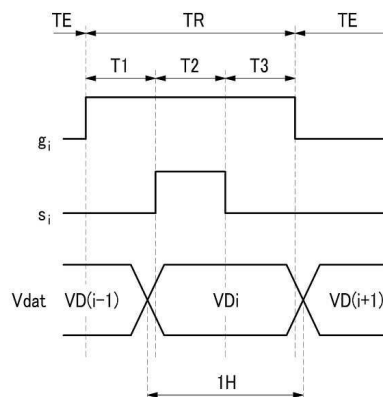
전체 청구항 수 : 총 22 항

(54) 표시 장치 및 그 구동 방법

(57) 요약

본 발명은 표시 장치 및 그 구동 방법에 관한 것이다. 본 발명의 한 실시예에 따른 표시 장치는, 복수의 주사 신호를 생성하는 주사 구동부, 데이터 전압을 생성하는 데이터 구동부, 그리고 상기 주사 신호에 따라 상기 데이터 전압을 받고 상기 데이터 전압에 해당하는 휘도를 표시하는 복수의 화소를 포함한다. 상기 각 화소는 자신의 주사 신호가 제1 상태일 때 흑색을 표시함과 동시에 다른 화소의 데이터 전압 및 자신의 데이터 전압을 수신하며, 상기 자신의 주사 신호가 제2 상태일 때 상기 데이터 전압의 수신을 중지하고 상기 자신의 데이터 전압에 해당하는 휘도를 표시한다. 이와 같이 하면 주사 신호의 고전압 구간 길이를 조정함으로써 임펄스 구동을 실현할 수 있다.

대표도 - 도3



(72) 발명자

김영일

경기도 수원시 영통구 망포동 702 동수원2차 쌍용
스윗닷홈 201동301호

박경태

경기 수원시 영통구 원천동 71-1 아주아파트 가동
405호

특허청구의 범위

청구항 1

복수의 주사 신호를 생성하는 주사 구동부,

데이터 전압을 생성하는 데이터 구동부, 그리고

상기 주사 신호에 따라 상기 데이터 전압을 받고 상기 데이터 전압에 해당하는 휘도를 표시하는 복수의 화소를 포함하며,

상기 각 화소는 자신의 주사 신호가 제1 상태일 때 흑색을 표시함과 동시에 다른 화소의 데이터 전압 및 자신의 데이터 전압을 수신하며, 상기 자신의 주사 신호가 제2 상태일 때 상기 데이터 전압의 수신을 중지하고 상기 자신의 데이터 전압에 해당하는 휘도를 표시하는

표시 장치.

청구항 2

제1항에서,

상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함하며,

상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결되어 있고,

상기 제1 스테이지 각각은,

제1 클럭 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제1 래치, 그리고

상기 제1 래치의 출력 신호를 제2 클럭 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제1 파형 절단기를 포함하고,

상기 제2 스테이지 각각은,

상기 제2 클럭 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제2 래치, 그리고

상기 제2 래치의 출력 신호를 상기 제1 클럭 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제2 파형 절단기

를 포함하며,

상기 제1 클럭 신호와 상기 제2 클럭 신호는 180도의 위상 차이를 가지는

표시 장치.

청구항 3

제2항에서,

상기 제1 및 제2 클럭 신호 각각은 듀티비가 50%보다 크며 상기 주사 신호는 상기 제1 클럭 신호 또는 상기 제2 클럭 신호가 높은 레벨인 동안 상기 제1 상태를 유지하는 표시 장치.

청구항 4

제3항에서,

상기 주사 구동부는 복수의 보상 신호를 생성하며,

상기 각 화소는,

상기 자신의 데이터 전압에 따라 구동 전류를 생성하는 구동 트랜지스터, 그리고

상기 구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소자를 포함하며,

상기 각 화소는 자신의 주사 신호가 제1 상태인 동안 자신의 보상 신호에 따라 상기 구동 트랜지스터의 문턱 전압을 보상하는

표시 장치.

청구항 5

제4항에서,

상기 제1 스테이지 각각은,

상기 제1 파형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기

를 포함하고,

상기 제2 스테이지 각각은,

상기 제2 파형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기

를 포함하는

표시 장치.

청구항 6

제5항에서,

상기 출력 제한 신호의 주기는 상기 제1 및 제2 클록 신호의 주기의 절반인 표시 장치.

청구항 7

제1항에서,

상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함하며,

상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결되어 있고,

상기 제1 스테이지 각각은,

제1 클록 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제1 래치

를 포함하고,

상기 제2 스테이지 각각은,

제2 클록 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제2 래치

를 포함하며,

상기 제1 클록 신호와 상기 제2 클록 신호는 180도의 위상 차이를 가지는

표시 장치.

청구항 8

제7항에서,

상기 제1 및 제2 클록 신호 각각은 듀티비가 50% 이하이며 상기 주사 신호는 상기 제1 및 제2 클록 신호의 반 주기보다 긴 시간 동안 상기 제1 상태를 유지하는 표시 장치.

청구항 9

제8항에서,

상기 주사 구동부는 복수의 보상 신호를 생성하며,

상기 각 화소는,

상기 자신의 데이터 전압에 따라 구동 전류를 생성하는 구동 트랜지스터, 그리고

상기 구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소자

를 포함하며,

상기 각 화소는 자신의 주사 신호가 제1 상태인 동안 자신의 보상 신호에 따라 상기 구동 트랜지스터의 문턱 전압을 보상하는

표시 장치.

청구항 10

제9항에서,

상기 제1 스테이지 각각은,

상기 제1 래치의 출력 신호를 상기 제2 클록 신호에 따라 절단하여 출력하는 제1 과형 절단기, 그리고

상기 제1 과형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기

를 포함하고,

상기 제2 스테이지 각각은,

상기 제2 래치의 출력 신호를 상기 제1 클록 신호에 따라 절단하여 출력하는 제2 과형 절단기, 그리고

상기 제2 과형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기

를 포함하는

표시 장치.

청구항 11

제10항에서,

상기 출력 제한 신호의 주기는 상기 제1 및 제2 클록 신호 주기의 절반인 표시 장치.

청구항 12

복수의 주사 신호 및 복수의 보상 신호를 생성하는 주사 구동부,

데이터 전압을 생성하는 데이터 구동부, 그리고

상기 주사 신호에 따라 상기 데이터 전압을 받고 상기 데이터 전압에 해당하는 휘도를 표시하는 복수의 화소

를 포함하며,

상기 각 화소는,

구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소자,

제1 접점과 제2 접점 사이에 연결되어 있는 축전기,

제1 전압과 연결되어 있는 입력 단자, 출력 단자, 그리고 상기 제2 접점에 연결되어 있는 제어 단자를 가지며, 상기 구동 전류를 출력하는 구동 트랜지스터,

상기 주사 신호가 제1 상태인 동안 상기 데이터 전압을 상기 제1 접점에 연결하고 상기 주사 신호가 제2 상태인 동안 제2 전압을 상기 제1 접점에 연결하는 제1 스위칭부,

상기 보상 신호에 따라 상기 제2 전압과 상기 제2 접점 사이의 연결을 단속하는 제2 스위칭부, 그리고

상기 주사 신호가 상기 제1 상태인 동안 상기 제2 접점을 상기 구동 트랜지스터의 출력 단자에 연결하고 상기 주사 신호가 상기 제2 상태인 동안 상기 발광 소자를 상기 구동 트랜지스터의 출력 단자에 연결하는 제3 스위칭부

를 포함하며,

상기 데이터 구동부는 하나의 수평 주기마다 상기 데이터 전압을 바꾸며,

상기 주사 신호는 하나의 수평 주기보다 긴 시간 동안 상기 제1 상태를 유지하는

표시 장치.

청구항 13

제12항에서,

상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함하며,

상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결되어 있고,

상기 제1 스테이지 각각은,

제1 클록 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제1 래치,

상기 제1 래치의 출력 신호를 제2 클록 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제1 과형 절단기, 그리고

상기 제1 과형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기

를 포함하고,

상기 제2 스테이지 각각은,

상기 제2 클록 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제2 래치,

상기 제2 래치의 출력 신호를 상기 제1 클록 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제2 과형 절단기, 그리고

상기 제2 과형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기

를 포함하며,

상기 제1 및 제2 클록 신호 각각의 주기는 상기 수평 주기와 동일하고

상기 제1 클록 신호와 상기 제2 클록 신호는 180도의 위상 차이를 가지는

표시 장치.

청구항 14

제13항에서,

상기 제1 및 제2 클록 신호 각각은 듀티비가 50%보다 크며 상기 주사 신호는 상기 제1 클록 신호 또는 상기 제2 클록 신호가 높은 레벨인 동안 상기 제1 상태를 유지하는 표시 장치.

청구항 15

제14항에서,

상기 출력 제한 신호의 주기는 상기 제1 및 제2 클록 신호 주기의 절반인 표시 장치.

청구항 16

제12항에서,

상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함하며,

상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결되어 있고,

상기 제1 스테이지 각각은,

제1 클록 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제1 래치,

상기 제1 래치의 출력 신호를 제2 클록 신호에 따라 절단하여 출력하는 제1 파형 절단기, 그리고

상기 제1 파형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기

를 포함하고,

상기 제2 스테이지 각각은,

상기 제2 클록 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제2 래치,

상기 제2 래치의 출력 신호를 상기 제1 클록 신호에 따라 절단하여 출력하는 제2 파형 절단기, 그리고

상기 제2 파형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기

를 포함하며,

상기 제1 및 제2 클록 신호 각각의 주기는 상기 수평 주기와 동일하고

상기 제1 클록 신호와 상기 제2 클록 신호는 180도의 위상 차이를 가지는

표시 장치.

청구항 17

제16항에서,

상기 제1 및 제2 클록 신호 각각은 듀티비가 50% 이하인 표시 장치.

청구항 18

제17항에서,

상기 출력 제한 신호의 주기는 상기 제1 및 제2 클록 신호 주기의 절반인 표시 장치.

청구항 19

제12항에서,

상기 주사 신호가 상기 제1 상태인 동안 상기 제2 스위칭부는 상기 제2 접점을 상기 제2 전압과 연결했다가 그 연결을 끊는 표시 장치.

청구항 20

제19항에서,

상기 제2 접점이 상기 제2 전압과 연결되는 동안 상기 축전기는 상기 구동 트랜지스터의 문턱 전압을 저장하는

표시 장치.

청구항 21

한 수평 주기마다 변하는 데이터 전압을 출력하는 단계,

화소에 인가되는 주사 신호를 상기 한 수평 주기보다 긴 시간 동안 고전압으로 만들어 상기 화소의 발광을 중지 시킴과 동시에 상기 데이터 전압이 상기 화소에 인가되도록 하는 단계, 그리고

상기 주사 신호를 저전압으로 만들어 상기 화소에 대한 상기 데이터 전압의 인가를 중지하는 동시에 상기 데이터 전압에 해당하는 휘도로 상기 화소가 발광하게 하는 단계

를 포함하는 표시 장치의 구동 방법.

청구항 22

제21항에서,

상기 화소는,

상기 데이터 전압에 따라 구동 전류를 생성하는 구동 트랜지스터, 그리고

상기 구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소자

를 포함하며,

상기 구동 방법은,

상기 주사 신호가 고전압인 동안 상기 구동 트랜지스터의 문턱 전압을 보상하는 단계

를 더 포함하는

표시 장치의 구동 방법.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 표시 장치 및 그 구동 방법에 관한 것으로서, 특히 유기 발광 표시 장치 및 그 구동 방법에 관한 것이다.

배경 기술

<2> 유기 발광 표시 장치 등 유지형(hole type) 평판 표시 장치의 경우에는 정지 영상이든 동영상이든 관계 없이 일정 시간, 예를 들면 한 프레임 시간 동안 고정된 영상을 표시한다. 예를 들어 계속해서 움직이는 어떤 물체를 표시할 때 그 물체는 한 프레임 동안 특정 위치에 머물러 있다가, 다음 프레임에는 한 프레임의 시간 후에 그 물체가 이동한 위치에 머물러 있는 등 물체의 움직임이 이산적으로(discrete) 표시된다. 한 프레임의 시간은 잔상이 유지되는 시간 내이기 때문에 이와 같은 방식으로 표시하더라도 물체의 움직임이 연속적으로 보인다.

<3> 그러나 계속해서 움직이는 물체를 화면을 통해서 보는 경우 사람의 시선이 물체의 움직임을 따라 연속해서 움직이기 때문에 표시 장치의 이산적인 표시 방식과 충돌하여 화면의 흐려짐(blurring)이 나타난다. 예를 들어 표시 장치가 첫 번째 프레임에서 (가)의 위치에 물체가 머물러 있는 것으로 표시하고 두 번째 프레임에서는 (나)의 위치에 그 물체가 머물러 있는 것으로 표시한다고 하자. 첫 번째 프레임에서 사람의 시선은 (가)의 위치에서 (나)에 이르는 그 물체의 예상 이동 경로를 따라 이동한다. 하지만 실제로 (가)와 (나)를 제외한 그 중간 위치에는 그 물체가 표시되지 않는다.

<4> 결국 첫 번째 프레임 동안 사람이 인식한 휘도는 (가)에서 (나) 사이의 경로에 있는 화소들의 휘도를 적분한 값, 즉 물체의 휘도와 배경의 휘도를 적절하게 평균한 값이 나오므로 물체가 흐릿하게 보이는 것이다.

<5> 유지형 표시 장치에서 물체가 흐려지는 정도는 표시 장치가 표시를 유지하는 시간과 비례하므로 한 프레임 내에서 일부 시간 동안만 영상을 표시하고 나머지 시간 동안은 검은 색을 표시하는 이른바 임펄스(impulse) 구동 방

식이 제시되었다. 이 방식의 경우 영상을 표시하는 시간이 짧아져 휘도가 줄어들므로, 표시하는 시간 동안의 휘도를 더 높이거나 검은 색 대신 인접한 프레임과의 중간 휘도를 표시하는 방법이 제시되었다. 그러나 이러한 방법은 소비 전력이 커지고 구동이 복잡해질 수 있다.

- <6> 한편, 유기 발광 표시 장치의 화소는 유기 발광 소자(organic light emitting element)와 이를 구동하는 박막 트랜지스터(thin film transistor, TFT)를 구비하는데 이들을 오랜 시간 동작시키면 문턱 전압이 변화하여 예상한 휘도가 나오지 않을 수 있으며, 박막 트랜지스터에 포함된 반도체의 특성이 표시 장치 내에서 균일하지 않을 경우 화소간 휘도 편차가 생길 수 있다.

발명의 내용

해결 하고자하는 과제

- <7> 본 발명이 해결하고자 하는 과제는 유기 발광 표시 장치에서 영상이 흐려지는 현상을 줄이는 것이다.

과제 해결수단

- <8> 본 발명의 한 실시예에 따른 표시 장치는, 복수의 주사 신호를 생성하는 주사 구동부, 데이터 전압을 생성하는 데이터 구동부, 그리고 상기 주사 신호에 따라 상기 데이터 전압을 받고 상기 데이터 전압에 해당하는 휘도를 표시하는 복수의 화소를 포함한다. 상기 각 화소는 자신의 주사 신호가 제1 상태일 때 흑색을 표시함과 동시에 다른 화소의 데이터 전압 및 자신의 데이터 전압을 수신하며, 상기 자신의 주사 신호가 제2 상태일 때 상기 데이터 전압의 수신을 중지하고 상기 자신의 데이터 전압에 해당하는 휘도를 표시한다.
- <9> 상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함할 수 있으며, 상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결될 수 있다. 상기 제1 스테이지 각각은, 제1 클럭 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제1 래치, 그리고 상기 제1 래치의 출력 신호를 제2 클럭 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제1 과형 절단기를 포함할 수 있다. 상기 제2 스테이지 각각은, 상기 제2 클럭 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제2 래치, 그리고 상기 제2 래치의 출력 신호를 상기 제1 클럭 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제2 과형 절단기를 포함할 수 있다. 상기 제1 클럭 신호와 상기 제2 클럭 신호는 180도의 위상 차이를 가질 수 있다.
- <10> 상기 제1 및 제2 클럭 신호 각각은 듀티비가 50%보다 크며 상기 주사 신호는 상기 제1 클럭 신호 또는 상기 제2 클럭 신호가 높은 레벨인 동안 상기 제1 상태를 유지할 수 있다.
- <11> 상기 주사 구동부는 복수의 보상 신호를 생성하며, 상기 각 화소는, 상기 자신의 데이터 전압에 따라 구동 전류를 생성하는 구동 트랜지스터, 그리고 상기 구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소자를 포함하며, 상기 각 화소는 자신의 주사 신호가 제1 상태인 동안 자신의 보상 신호에 따라 상기 구동 트랜지스터의 문턱 전압을 보상할 수 있다.
- <12> 상기 제1 스테이지 각각은, 상기 제1 과형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기를 포함하고, 상기 제2 스테이지 각각은, 상기 제2 과형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기를 포함할 수 있다.
- <13> 상기 출력 제한 신호의 주기는 상기 제1 및 제2 클럭 신호의 주기의 절반일 수 있다.
- <14> 상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함할 수 있으며, 상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결될 수 있다. 상기 제1 스테이지 각각은, 제1 클럭 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제1 래치를 포함하고, 상기 제2 스테이지 각각은 제2 클럭 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제2 래치를 포함할 수 있다. 상기 제1 클럭 신호와 상기 제2 클럭 신호는 180도의 위상 차이를 가질 수 있다.
- <15> 상기 제1 및 제2 클럭 신호 각각은 듀티비가 50% 이하이며 상기 주사 신호는 상기 제1 및 제2 클럭 신호의 반 주기보다 긴 시간 동안 상기 제1 상태를 유지할 수 있다.
- <16> 상기 주사 구동부는 복수의 보상 신호를 생성할 수 있다. 상기 각 화소는, 상기 자신의 데이터 전압에 따라 구동 전류를 생성하는 구동 트랜지스터, 그리고 상기 구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소

자를 포함하며, 상기 각 화소는 자신의 주사 신호가 제1 상태인 동안 자신의 보상 신호에 따라 상기 구동 트랜지스터의 문턱 전압을 보상할 수 있다.

- <17> 상기 제1 스테이지 각각은, 상기 제1 래치의 출력 신호를 상기 제2 클록 신호에 따라 절단하여 출력하는 제1 파형 절단기, 그리고 상기 제1 파형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기를 포함하고, 상기 제2 스테이지 각각은, 상기 제2 래치의 출력 신호를 상기 제1 클록 신호에 따라 절단하여 출력하는 제2 파형 절단기, 그리고 상기 제2 파형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기를 포함할 수 있다.
- <18> 상기 출력 제한 신호의 주기는 상기 제1 및 제2 클록 신호 주기의 절반일 수 있다.
- <19> 본 발명의 한 실시예에 따른 표시 장치는, 복수의 주사 신호 및 복수의 보상 신호를 생성하는 주사 구동부, 데이터 전압을 생성하는 데이터 구동부, 그리고 상기 주사 신호에 따라 상기 데이터 전압을 받고 상기 데이터 전압에 해당하는 휘도를 표시하는 복수의 화소를 포함한다.
- <20> 상기 각 화소는, 구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소자, 제1 접점과 제2 접점 사이에 연결되어 있는 축전기, 제1 전압과 연결되어 있는 입력 단자, 출력 단자, 그리고 상기 제2 접점에 연결되어 있는 제어 단자를 가지며, 상기 구동 전류를 출력하는 구동 트랜지스터, 상기 주사 신호가 제1 상태인 동안 상기 데이터 전압을 상기 제1 접점에 연결하고 상기 주사 신호가 제2 상태인 동안 제2 전압을 상기 제1 접점에 연결하는 제1 스위칭부, 상기 보상 신호에 따라 상기 제2 전압과 상기 제2 접점 사이의 연결을 단속하는 제2 스위칭부, 그리고 상기 주사 신호가 상기 제1 상태인 동안 상기 제2 접점을 상기 구동 트랜지스터의 출력 단자에 연결하고 상기 주사 신호가 상기 제2 상태인 동안 상기 발광 소자를 상기 구동 트랜지스터의 출력 단자에 연결하는 제3 스위칭부를 포함한다. 상기 데이터 구동부는 하나의 수평 주기마다 상기 데이터 전압을 바꾸며, 상기 주사 신호는 하나의 수평 주기보다 긴 시간 동안 상기 제1 상태를 유지한다.
- <21> 상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함할 수 있으며, 상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결될 수 있다. 상기 제1 스테이지 각각은, 제1 클록 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제1 래치, 상기 제1 래치의 출력 신호를 제2 클록 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제1 파형 절단기, 그리고 상기 제1 파형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기를 포함할 수 있다. 상기 제2 스테이지 각각은, 상기 제2 클록 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호로서 출력하는 제2 래치, 상기 제2 래치의 출력 신호를 상기 제1 클록 신호에 따라 절단하여 상기 주사 신호로서 출력하는 제2 파형 절단기, 그리고 상기 제2 파형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기를 포함할 수 있다. 상기 제1 및 제2 클록 신호 각각의 주기는 상기 수평 주기와 동일하고 상기 제1 클록 신호와 상기 제2 클록 신호는 180도의 위상 차이를 가질 수 있다.
- <22> 상기 제1 및 제2 클록 신호 각각은 듀티비가 50%보다 크며 상기 주사 신호는 상기 제1 클록 신호 또는 상기 제2 클록 신호가 높은 레벨인 동안 상기 제1 상태를 유지할 수 있다.
- <23> 상기 출력 제한 신호의 주기는 상기 제1 및 제2 클록 신호 주기의 절반일 수 있다.
- <24> 상기 주사 구동부는 복수의 제1 스테이지 및 복수의 제2 스테이지를 포함하는 시프트 레지스터를 포함할 수 있으며, 상기 제1 스테이지와 상기 제2 스테이지는 번갈아 연결될 수 있다. 상기 제1 스테이지 각각은, 제1 클록 신호에 따라 전단 제2 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제1 래치, 상기 제1 래치의 출력 신호를 제2 클록 신호에 따라 절단하여 출력하는 제1 파형 절단기, 그리고 상기 제1 파형 절단기의 출력 신호를 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제1 출력 제한기를 포함할 수 있다. 상기 제2 스테이지 각각은, 상기 제2 클록 신호에 따라 전단 제1 스테이지의 캐리 출력 신호를 지연시켜 자신의 캐리 출력 신호 및 상기 주사 신호로서 출력하는 제2 래치, 상기 제2 래치의 출력 신호를 상기 제1 클록 신호에 따라 절단하여 출력하는 제2 파형 절단기, 그리고 상기 제2 파형 절단기의 출력 신호를 상기 출력 제한 신호에 따라 절단하여 상기 보상 신호로서 출력하는 제2 출력 제한기를 포함할 수 있다. 상기 제1 및 제2 클록 신호 각각의 주기는 상기 수평 주기와 동일하고 상기 제1 클록 신호와 상기 제2 클록 신호는 180도의 위상 차이를 가질 수 있다.
- <25> 상기 제1 및 제2 클록 신호 각각은 듀티비가 50% 이하일 수 있다.

- <26> 상기 출력 제한 신호의 주기는 상기 제1 및 제2 클록 신호 주기의 절반일 수 있다.
- <27> 상기 주사 신호가 상기 제1 상태인 동안 상기 제2 스위칭부는 상기 제2 접점을 상기 제2 전압과 연결했다가 그 연결을 끊을 수 있다.
- <28> 상기 제2 접점이 상기 제2 전압과 연결되는 동안 상기 축전기는 상기 구동 트랜지스터의 문턱 전압을 저장할 수 있다.
- <29> 본 발명의 한 실시예에 따른 표시 장치의 구동 방법은, 한 수평 주기마다 변하는 데이터 전압을 출력하는 단계, 화소에 인가되는 주사 신호를 상기 한 수평 주기보다 긴 시간 동안 고전압으로 만들어 상기 화소의 발광을 중지 시킴과 동시에 상기 데이터 전압이 상기 화소에 인가되도록 하는 단계, 그리고 상기 주사 신호를 저전압으로 만들어 상기 화소에 대한 상기 데이터 전압의 인가를 중지하는 동시에 상기 데이터 전압에 해당하는 휘도로 상기 화소가 발광하게 하는 단계를 포함할 수 있다.
- <30> 상기 화소는, 상기 데이터 전압에 따라 구동 전류를 생성하는 구동 트랜지스터, 그리고 상기 구동 전류의 크기에 따라 세기를 달리하여 발광하는 발광 소자를 포함하며, 상기 구동 방법은 상기 주사 신호가 고전압인 동안 상기 구동 트랜지스터의 문턱 전압을 보상하는 단계를 더 포함할 수 있다.

효 과

- <31> 이와 같이 주사 신호의 고전압 구간 길이를 조정함으로써 임펄스 구동을 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

- <32> 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <33> 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대하여 설명한다.
- <34> 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치에서 한 화소의 등가 회로도이다.
- <35> 도 1을 참고하면, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 표시판(display panel)(300), 주사 구동부(400), 데이터 구동부(500) 및 신호 제어부(600)를 포함한다.
- <36> 표시판(300)은 복수의 신호선(G_1 - G_n , S_1 - S_n , D_1 - D_n), 복수의 전압선(도시하지 않음), 그리고 이들에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(PX)를 포함한다.
- <37> 신호선(G_1 - G_n , S_1 - S_n , D_1 - D_n)은 주사 신호를 전달하는 복수의 주사 신호선(G_1 - G_n), 보상 신호를 전달하는 복수의 보상 신호선(S_1 - S_n), 그리고 데이터 신호를 전달하는 복수의 데이터선(D_1 - D_n)을 포함한다. 주사 신호선(G_1 - G_n) 및 보상 신호선(S_1 - S_n)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고, 데이터선(D_1 - D_n)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- <38> 전압선은 구동 전압을 전달하는 구동 전압선(도시하지 않음)을 포함한다.
- <39> 도 2에 도시한 바와 같이, 각 화소(PX)는 유기 발광 소자(LD), 구동 트랜지스터(Qd), 축전기(Cst) 및 5개의 스위칭 트랜지스터(Qs1-Qs5)를 포함한다.
- <40> 구동 트랜지스터(Qd)는 출력 단자, 입력 단자 및 제어 단자를 가진다. 구동 트랜지스터(Qd)의 제어 단자는 접점(N2)에서 축전기(Cst)와 연결되어 있고, 입력 단자는 구동 전압(Vdd)과 연결되어 있고, 출력 단자는 스위칭 트랜지스터(Qs5)와 연결되어 있다.
- <41> 축전기(Cst)의 일단은 접점(N2)에서 구동 트랜지스터(Qd)와 연결되어 있고, 접점(N1)에서 스위칭 트랜지스터(Qs1, Qs2)와 연결되어 있다.
- <42> 스위칭 트랜지스터(Qs1-Qs5)는 세 개의 스위칭부(SU1, SU2, SU3)로 묶을 수 있다.
- <43> 스위칭부(SU1)는 주사 신호(g_i)($i=1,2,\dots, N$)에 응답하여 데이터 전압(Vdat)과 유지 전압(Vsus) 중 택일해서 접점(N1)에 연결하며 두 개의 스위칭 트랜지스터(Qs1, Qs2)를 포함한다. 스위칭 트랜지스터(Qs1)는 접점(N1)과

데이터 전압(Vdat) 사이에 연결되어 있고, 스위칭 트랜지스터(Qs2)는 접점(N1)과 유지 전압(Vsus) 사이에 연결되어 있다.

- <44> 스위칭부(SU2)는 보상 신호(s_i)에 응답하여 유지 전압(Vsus)과 접점(N2)의 연결을 단속(斷續)하며, 유지 전압(Vsus)과 접점(N2) 사이에 연결되어 있는 스위칭 트랜지스터(Qs2)를 포함한다.
- <45> 스위칭부(SU3)는 주사 신호(g_i)에 응답하여 접점(N2)과 발광 소자(LD) 중 택일해서 구동 트랜지스터(Qd)의 출력 단자에 연결하며, 두 개의 스위칭 트랜지스터(Qs4, Qs5)를 포함한다. 스위칭 트랜지스터(Qs4)는 구동 트랜지스터(Qd)의 출력 단자와 접점(N1) 사이에 연결되어 있고, 스위칭 트랜지스터(Qs5)는 구동 트랜지스터(Qd)의 출력 단자와 유기 발광 소자(LD) 사이에 연결되어 있다.
- <46> 스위칭 트랜지스터(Qs1, Qs3, Qs4)는 n-채널 전계 효과 트랜지스터이고, 스위칭 트랜지스터(Qs2, Qs5) 및 구동 트랜지스터(Qd)는 p-채널 전계 효과 트랜지스터이다. 전계 효과 트랜지스터의 예로는 박막 트랜지스터(thin film transistor, TFT)를 들 수 있으며, 이들은 다결정 규소 또는 비정질 규소를 포함할 수 있다. 스위칭 트랜지스터(Qs1-Q5) 및 구동 트랜지스터(Qd)의 채널형(channel type)이 뒤바뀔 수 있으며, 이 경우에는 이들을 구동하는 신호의 파형 또한 뒤집힐 수 있다.
- <47> 유기 발광 소자(LD)의 애노드(anode)와 캐소드(cathode)는 각각 스위칭 트랜지스터(Qs5)와 공통 전압(Vss)에 연결되어 있다. 유기 발광 소자(LD)는 스위칭 트랜지스터(Qs5)를 통하여 구동 트랜지스터(Qd)가 공급하는 전류(I_{LD})의 크기에 따라 세기를 달리하여 발광함으로써 화상을 표시하며, 이 전류(I_{LD})의 크기는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이의 전압의 크기에 의존한다.
- <48> 다시 도 1을 참조하면, 주사 구동부(400)는 표시판(300)의 주사 신호선(G_1-G_n) 및 보상 신호선(S_1-S_n)에 연결되어 있으며, 고전압(Von)과 저전압(Voff)의 조합으로 이루어진 주사 신호와 보상 신호를 주사 신호선(G_1-G_n) 및 보상 신호선(S_1-S_n)에 각각 인가한다.
- <49> 고전압(Von)은 스위칭 트랜지스터(Qs1, Qs3, Qs4)를 도통시키거나 스위칭 트랜지스터(Qs2, Qs5)를 차단시킬 수 있으며, 저전압(Voff)은 스위칭 트랜지스터(Qs1, Qs3, Qs4)를 차단시키거나 스위칭 트랜지스터(Qs2, Qs5)를 도통시킬 수 있다. 유지 전압(Vsus)은 낮은 전압으로서 저전압(Voff)과 마찬가지로 스위칭 트랜지스터(Qs1, Qs3, Qs4)를 차단시키거나 스위칭 트랜지스터(Qs2, Qs5)를 도통시킬 수 있다. 이 유지 전압(Vsus)과 구동 전압(Vdd)은 구동 전압선을 통하여 인가될 수 있다.
- <50> 데이터 구동부(500)는 표시판(300)의 데이터선(D_1-D_m)에 연결되어 있으며 영상 신호를 나타내는 데이터 전압(Vdat)을 데이터선(D_1-D_m)에 인가한다.
- <51> 신호 제어부(600)는 주사 구동부(400), 데이터 구동부(500), 발광 구동부 등의 동작을 제어한다.
- <52> 이러한 구동 장치(400, 500, 600) 각각은 적어도 하나의 집적 회로 칩의 형태로 표시판(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 표시판(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600)가 신호선(G_1-G_n , S_1-S_n , D_1-D_m) 및 트랜지스터(Qs1-Qs6, Qd) 따위와 함께 표시판(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <53> 그러면 이러한 유기 발광 표시 장치의 표시 동작에 대하여 도 3 내지 도 7을 도 1 및 도 2와 함께 참고로 하여 상세하게 설명한다.
- <54> 도 3은 본 발명의 한 실시예에 따른 유기 발광 표시 장치에서 한 행의 화소에 인가되는 구동 신호를 도시한 파형도의 예이고, 도 4 내지 도 7은 도 3에 도시한 각 구간에서 한 화소의 등가 회로도이다.
- <55> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(Din) 및 이의 표시를 제어하는 입력 제어 신호(ICON)를 수신한다. 입력 영상 신호(Din)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 입력 제어 신호(ICON)의 예로는 수직 동기 신호와 수평 동기 신호, 메인 클록 신호, 데이터 제한 신호(data enable

signal) 등이 있다.

- <56> 신호 제어부(600)는 입력 영상 신호(Din)와 입력 제어 신호(ICON)를 기초로 입력 영상 신호(Din)를 표시판(300)의 동작 조건에 맞게 적절히 처리하고 주사 제어 신호(CONT1)와 데이터 제어 신호(CONT2) 등을 생성한다. 신호 제어부(600)는 주사 제어 신호(CONT1)를 주사 구동부(400)로 내보내고, 데이터 제어 신호(CONT2)와 출력 영상 신호(Dout)는 데이터 구동부(500)로 내보낸다.
- <57> 주사 제어 신호(CONT1)는 주사 신호선(G_1-G_n) 및 보상 신호선(S_1-S_n)에 대한 고전압(Von)의 주사 시작을 지시하는 주사 시작 신호(scanning start signal)(STV)와 그 고전압(Von)의 출력 주기를 제어하는 적어도 하나의 클록 신호, 고전압(Von)의 지속 시간을 한정하는 출력 제한 신호(output enable signal)(OE) 등을 포함할 수 있다.
- <58> 데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 디지털 영상 신호(Dout)의 전송 시작을 알리는 수평 동기 시작 신호와 데이터선(D_1-D_m)에 아날로그 데이터 전압을 인가하라는 로드 신호 및 데이터 클록 신호(HCLK) 등을 포함한다.
- <59> 주사 구동부(400)는 신호 제어부(600)로부터의 주사 제어 신호(CONT1)에 따라 주사 신호선(G_1-G_n)에 인가되는 주사 신호와 보상 신호선(S_1-S_n)에 인가되는 보상 신호를 차례로 고전압(Von)으로 바꾸었다가 다시 저전압(Voff)으로 바꾼다.
- <60> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 각 행의 화소(PX)에 대한 디지털 출력 영상 신호(Dout)를 수신하고, 출력 영상 신호(Dout)를 아날로그 데이터 전압(Vdat)으로 변환한 다음, 이를 데이터선(D_1-D_m)에 인가한다. 데이터 구동부(500)는 도 3에 도시한 것처럼, 한 수평 주기(1H) 동안 한 행의 화소(PX)에 대한 데이터 전압(Vdat)을 출력한다.
- <61> 이제부터 특정 화소 행, 예를 들면 i 번째 행에 초점을 맞추어 설명한다.
- <62> 도 3을 참고하면, 주사 구동부(400)는 신호 제어부(600)로부터의 주사 제어 신호(CONT1)에 따라 주사 신호선(G_i)에 인가되는 주사 신호(g_i)를 고전압(Von)으로 바꾼다. 이때 보상 신호선(S_i)에 인가되는 보상 신호(s_i)는 저전압(Voff) 상태이고, 데이터선(D_1-D_m)에 인가되는 데이터 전압(Vdat)은 이전 행의 화소에 대한 데이터 전압[VD(i-1)]과 현재 행의 화소에 대한 데이터 전압(VDi)이다. 그러나 주사 신호(g_i)가 고전압(Von)으로 바뀌는 시점에 따라서 데이터선(D_1-D_m)에 인가되는 데이터 전압(Vdat)은 더 이전 행의 화소에 대한 데이터 전압이 될 수도 있다.
- <63> 그러면 도 4에 도시한 바와 같이 스위칭 트랜지스터(Qs1, Qs4)가 도통되고, 스위칭 트랜지스터(Qs2, Qs5)가 차단되며, 스위칭 트랜지스터(Qs3)는 차단 상태를 유지한다.
- <64> 스위칭 트랜지스터(Qs5)가 차단되면, 유기 발광 소자(LD)의 발광이 멈추며 이때부터 주사 신호(g_i)가 저전압(Voff)으로 바뀌어 스위칭 트랜지스터(Qs5)가 다시 도통될 때까지의 기간이 바로 발광 중지 구간(TR)이 된다.
- <65> 스위칭 트랜지스터(Qs3)가 차단 상태이고 스위칭 트랜지스터(Qs4)가 도통되면, 유기 발광 소자(LD)에 전류를 흘리고 있던 구동 트랜지스터(Qd)는 그 출력 단자가 제어 단자와 연결되면서 접점(N2)으로 전류를 흘린다. 그러다가 접점(N2)의 전압, 즉 구동 트랜지스터(Qd) 제어 단자의 전압과 입력 단자의 전압의 차가 구동 트랜지스터(Qd)의 문턱 전압(Vth)이 되면 구동 트랜지스터(Qd)가 차단 상태가 된다. 이때 스위칭 트랜지스터(Qs1)가 도통 상태이므로 접점(N1)에는 이전 화소행의 데이터 전압[VD(i-1)]이 인가되다가 현재 화소행의 데이터 전압(VDi)이 인가되기 시작한다.
- <66> 이와 같이 이 구간에서는 대부분 이전 화소행의 데이터 전압[VD(i-1)]이 축전기(Cst)에 충전되므로 사전 충전 구간(precharging period)(T1)이라 한다.
- <67> 도 3을 참고하면, 주사 구동부(400)는 이어 보상 신호선(S_i)에 인가되는 보상 신호(s_i)를 고전압(Von)으로 바꾸며 이에 따라 본 충전 구간(charging period)(T2)이 시작된다.
- <68> 그러면 도 5에 도시한 바와 같이 스위칭 트랜지스터(Qs3)가 도통되고, 스위칭 트랜지스터(Qs1, Qs4)는 도통 상태를 유지하며, 스위칭 트랜지스터(Qs2, Qs5)는 차단 상태를 유지한다.
- <69> 이 상태에서는 접점(N1)에 현재 화소행의 데이터 전압(VDi)이 인가되고, 접점(N2)에 유지 전압(Vsus)이 인가되

며, 두 접점(N1, N2) 사이의 전압 차는 축전기(Cst)에 저장된다. 그러므로 구동 트랜지스터(Qd)가 도통되어 전류를 흘리지만, 스위칭 트랜지스터(Qs5)가 차단되어 있으므로 유기 발광 소자(LD)는 발광 중지 상태를 유지한다.

<70> 도 3을 참고하면, 보상 신호(s_i)가 저전압(Voff)으로 바뀌어 스위칭 트랜지스터(Qs3)가 차단 상태가 되면서 보상 구간(T3)이 시작된다. 주사 신호(g_i)는 이 구간(T3)에서도 고전압(Von)을 계속 유지하므로 스위칭 트랜지스터(Qs1, Qs4)는 도통 상태를 유지하고, 스위칭 트랜지스터(Qs2, Qs5)는 차단 상태를 유지한다.

<71> 그러면 도 6에 도시한 바와 같이 접점(N2)이 유지 전압(Vsus)으로부터 분리된다. 그런데 구동 트랜지스터(Qd)는 도통 상태를 유지하므로 축전기(Cst)에 충전되어 있는 전하들이 구동 트랜지스터(Qd)를 통하여 방전된다. 이 방전은 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이의 전압 차가 구동 트랜지스터(Qd)의 문턱 전압(V_{th})이 될 때까지 지속하다가 멈춘다.

<72> 그러므로 접점(N2)의 전압(V_{N2})은 다음과 같은 전압 값으로 수렴한다.

수학식 1

<73> $V_{N2} = V_{dd} + V_{th}$

<74> 이때 접점(N1)의 전압(V_{N1})은 현재 화소행의 데이터 전압(VDi)을 유지하므로 축전기(Cst)에 저장된 전압은,

수학식 2

<75> $V_{N1} - V_{N2} = V_{Di} - (V_{dd} + V_{th})$

<76> 이다.

<77> 그런 후 도 3에 도시한 바와 같이, 주사 구동부(400)는 주사 신호(g_i)를 저전압(Voff)으로 바꾸어 스위칭 트랜지스터(Qs1, Qs4)를 차단시키고 스위칭 트랜지스터(Qs2, Qs5)를 도통시킴으로써 발광 구간(TE)이 시작된다. 보상 신호(s_i)는 이 구간(TE)에서도 저전압(Voff)을 계속 유지하므로 스위칭 트랜지스터(Qs3) 또한 차단 상태를 유지한다.

<78> 그러면 도 7에 도시한 바와 같이 접점(N1)은 데이터 전압(Vdat)으로부터 분리되어 유지 전압(Vsus)과 연결되고, 구동 트랜지스터(Qd)의 제어 단자는 고립된다(floating).

<79> 그러므로 접점(N2)의 전압(V_{N2})은,

수학식 3

<80> $V_{N2} = V_{dd} + V_{th} - V_{Di} + V_{sus}$

<81> 이다.

<82> 한편, 스위칭 트랜지스터(Qs5)의 도통으로 인하여 구동 트랜지스터(Qd)의 출력 단자는 발광 소자(LD)와 연결되며, 구동 트랜지스터(Qd)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이의 전압 차(V_{gs})에 의하여 제어되는 출력 전류(I_{LD})를 흘린다.

수학식 4

<83> $I_{LD} = 1/2 \times K \times (V_{gs} - V_{th})^2$

<84> $= 1/2 \times K \times (V_{N2} - V_{dd} - V_{th})^2$

<85> $= 1/2 \times K \times (V_{dd} + V_{th} - V_{Di} + V_{sus} - V_{dd} - V_{th})^2$

<86> $= 1/2 \times K \times (V_{Di} - V_{sus})^2$

- <87> 여기서, K 는 구동 트랜지스터(Qd)의 특성에 따른 상수로서 $K = \mu \cdot C_i \cdot W/L$ 이며, μ 는 전계 효과 이동도, C_i 는 게이트 절연층의 용량, W 는 구동 트랜지스터(Qd)의 채널 폭, L 은 구동 트랜지스터(Qd)의 채널 길이를 나타낸다.
- <88> [수학식 4]에 따르면 발광 구간(TE)에서의 출력 전류(I_{LD})는 오로지 데이터 전압(V_{dat})과 고정된 유지 전압(V_{sus})에 의해서만 결정된다. 따라서 출력 전류(I_{LD})는 구동 트랜지스터(Qd)의 문턱 전압(V_{th})에 영향을 받지 않는다.
- <89> 출력 전류(I_{LD})는 유기 발광 소자(LD)에 공급되고, 유기 발광 소자(LD)는 출력 전류(I_{LD})의 크기에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- <90> 그러므로 구동 트랜지스터(Qd) 사이의 문턱 전압(V_{th})에 편차가 있거나 각 구동 트랜지스터(Qd)의 문턱 전압(V_{th})의 크기가 시간에 따라 변화하더라도 균일한 영상을 표시할 수 있다.
- <91> 이와 같이 주사 신호(g_i)를 고전압(V_{on})으로 만드는 시기를 필요한 만큼 앞당겨 줌으로써 원하는 시간 동안 그러므로 발광 소자(LD)가 발광하지 못하도록 함으로써 화소(PX)가 검은 상태에 있는 시간을 늘려줄 수 있다.
- <92> 그러면, 이와 같은 주사 신호와 보상 신호를 만드는 주사 구동부에 대하여 도 8 내지 도 12를 참고하여 상세하게 설명한다.
- <93> 도 8은 본 발명의 한 실시예에 따른 주사 구동부의 블록도이고, 도 9는 도 8에 도시한 주사 구동부에서 시프트 레지스터의 회로도인 한 예이고, 도 10은 도 9의 주사 구동부를 가지는 유기 발광 표시 장치의 신호 파형도이고, 도 11은 도 8에 도시한 주사 구동부에서 시프트 레지스터의 회로도의 다른 예이고, 도 12는 도 11의 주사 구동부를 가지는 유기 발광 표시 장치의 신호 파형도이다.
- <94> 도 8을 참고하면, 본 발명의 한 실시예에 따른 주사 구동부(400)는 차례대로 연결되어 있는 시프트 레지스터(shift register)(410), 레벨 시프터(level shifter)(460) 및 버퍼(buffer)(470)를 포함한다.
- <95> 시프트 레지스터(410)는 차례대로 연결되어 있는 복수의 스테이지를 포함하며, 주사 시작 신호(STV), 복수의 클록 신호(CK1, CKB1, CK2, CKB2) 및 출력 제한 신호(OE)가 입력된다.
- <96> 각 스테이지는 주사 신호(g_1 - g_n) 및 보상 신호(s_1 - s_n)를 생성하여 출력한다.
- <97> 레벨 시프터(460)는 시프트 레지스터(410)에서 나온 주사 신호(g_1 - g_n) 및 보상 신호(s_1 - s_n)의 전압 값을 조절하여 출력하며, 버퍼(470)는 레벨 시프터(460)에서 나온 주사 신호(g_1 - g_n) 및 보상 신호(s_1 - s_n)를 유지해 주는 역할을 한다.
- <98> 도 9에 도시한 시프트 레지스터(420)에서 각 스테이지[STi, ST(i+1)]는 래치(latch)(422), 파형 절단기(waveform cutter)(424), 출력 제한기(output definer)(426)를 포함한다.
- <99> 래치(422)는 이전 스테이지의 캐리 출력 신호(C_{i-1} , C_i)[첫 번째 스테이지인 경우 주사 시작 신호(STV)]를 지연시켜 자신의 캐리 출력 신호(C_i , C_{i+1})로서 출력하며, 두 개의 클록형 반전기(clocked inverter)와 하나의 정규 반전기(regular inverter)를 포함한다. 하나의 클록형 반전기는 이전 스테이지의 캐리 출력 신호(C_{i-1} , C_i)를 반전시켜 제1/제2 클록 신호(CK1/CK2)에 따라 정규 반전기에 내보내며, 정규 반전기는 입력 신호를 반전시켜 출력한다. 다른 하나의 클록형 반전기는 정규 반전기의 출력을 반전시켜 제1/제2 반전 클록 신호(CKB1/CKB2)에 따라 정규 반전기에 내보낸다.
- <100> 도 10에 도시한 것처럼, 제1 및 제2 클록 신호(CK1, CK2)의 주기는 수평 주기(1H)의 두 배이고, 듀티비는 50%보다 크다. 제1 클록 신호(CK1)와 제2 클록 신호(CK2)는 약 180도의 위상 차이를 가지며, 제1/제2 반전 클록 신호(CKB1/CKB2)는 제1/제2 클록 신호(CK1/CK2)의 반전 신호이다. 주사 시작 신호(STV) 및 캐리 출력 신호(C_{i-1} , C_i , C_{i+1})는 2 수평 주기(2H) 동안 고전압(V_{on}) 상태를 유지하며, 각 캐리 출력 신호(C_i , C_{i+1})는 전단 캐리 출력 신호(C_{i-1} , C_i)보다 약 한 수평 주기(1H) 정도 지연된다.
- <101> 파형 절단기(424)는 래치(422)의 출력 신호를 제2/제1 클록 신호(CK2/CK1)에 따라 절단하여 출력한다. 파형 절단기(424)는 NAND 게이트와 반전기를 포함하며 논리로 보면 AND 게이트와 동일하다. NAND 게이트는 래치(422)의 출력과 제2/제1 클록 신호(CK2/CK1)를 두 입력으로 하며 그 출력은 반전기에 입력된다. 파형 절단기(424)의

출력 신호는 주사 신호($g_1 \sim g_n$)가 되며, 대략 제2/제1 클록 신호(CK2/CK1)의 고전압 구간 동안 고전압이다.

- <102> 출력 제한기(426)는 과형 절단기(424)의 출력 신호를 출력 제한 신호(OE)에 따라 절단하여 출력한다. 출력 제한기(426) 역시 NAND 게이트와 반전기를 포함하며 논리로 보면 AND 게이트와 동일하다. NAND 게이트는 과형 절단기(424)의 출력과 출력 제한 신호(OE)를 두 입력으로 하며 그 출력은 반전기에 입력된다. 출력 제한 신호(OE)의 주기는 한 수평 주기(1H)와 동일하며 대략 50%의 듀티비를 가질 수 있으나 이에 한정되지는 않는다. 출력 제한기(426)의 출력은 보상 신호($s_1 \sim s_n$)가 되며 주사 신호($g_1 \sim g_n$)가 고전압인 동안 두 번 고전압이 된다.
- <103> 주사 신호($g_1 \sim g_n$)가 고전압인 구간은 1 수평 주기보다 길며 앞쪽 반 구간 동안은 각 화소(PX)에 이전 화소행의 데이터 전압[VD0~VD(n-1)](단, VD0는 무효 데이터 전압)이 인가되고 뒤쪽 반 구간 동안 해당 화소의 데이터 전압(VD1~VDn)이 인가된다. 보상 신호($s_1 \sim s_n$)는 주사 신호($g_1 \sim g_n$)가 고전압인 구간에서 앞쪽 반 구간 동안 한 번 고전압이 되고, 뒤쪽 반 구간 동안 다시 한 번 고전압이 된다. 이와 같이 하면 이전 화소행의 데이터 전압[VD0~VD(n-1)]에 따라 구동 트랜지스터(Qd)가 동작하긴 하지만 유기 발광 소자(LD)가 동작하지 않기 때문에 각 화소(PX)가 이전 화소행의 데이터 전압[VD0~VD(n-1)]을 휘도로 표시하지는 않는다.
- <104> 결과적으로 각 화소(PX)는 1 수평 주기보다 긴 시간 동안 흑색을 표시하므로 임펄스 효과가 높아진다.
- <105> 한편, 도 11에 도시한 시프트 레지스터(430)에서는 각 스테이지[STi, ST(i+1)]가 래치(432), 전압 유지기(voltage sustainer)(434), 과형 절단기(436) 및 출력 제한기(438)를 포함한다.
- <106> 래치(432)는 이전 스테이지의 캐리 출력 신호(C_{i-1} , C_i)[첫 번째 스테이지인 경우 주사 시작 신호(STV)]를 지연시켜 자신의 캐리 출력 신호(C_i , C_{i+1})로서 출력하며, 도 9에서와 마찬가지로 두 개의 클록형 반전기(clocked inverter)와 하나의 정규 반전기(regular inverter)를 포함한다. 하나의 클록형 반전기는 이전 스테이지의 캐리 출력 신호(C_{i-1} , C_i)를 반전시켜 제1/제2 클록 신호(CK1/CK2)에 따라 정규 반전기에 내보내며, 정규 반전기는 입력 신호를 반전시켜 출력한다. 다른 하나의 클록형 반전기는 정규 반전기의 출력을 반전시켜 제1/제2 반전 클록 신호(CKB1/CKB2)에 따라 정규 반전기에 내보낸다.
- <107> 도 12에 도시한 것처럼, 제1 및 제2 클록 신호(CK1, CK2)의 주기는 수평 주기(1H)의 두 배이고, 듀티비는 50% 이하이다. 제1 클록 신호(CK1)와 제2 클록 신호(CK2)는 약 180도의 위상 차이를 가지며, 제1/제2 반전 클록 신호(CKB1/CKB2)는 제1/제2 클록 신호(CK1/CK2)의 반전 신호이다. 주사 시작 신호(STV) 및 캐리 출력 신호(C_{i-1} , C_i , C_{i+1})는 2 수평 주기(2H) 동안 고전압(Von) 상태를 유지하며, 각 캐리 출력 신호(C_i , C_{i+1})는 전단 캐리 출력 신호(C_{i-1} , C_i)보다 약 한 수평 주기(1H) 정도 지연된다.
- <108> 전압 유지기(434)는 두 개의 반전기를 포함하며 그 출력이 주사 신호(g_i , g_{i+1})가 된다. 주사 신호($g_1 \sim g_n$)는 2 수평 주기(2H) 동안 고전압(Von) 상태를 유지하며, 각 주사 신호($g_1 \sim g_n$)는 주사 시작 신호(STV) 또는 전단 주사 신호($g_1 \sim g_{n-1}$)보다 약 한 수평 주기(1H) 정도 지연된다. 전압 유지기(434)를 생략하고 캐리 출력 신호(C_{i-1} , C_i , C_{i+1})를 바로 주사 신호($g_1 \sim g_n$)로 사용할 수도 있다.
- <109> 과형 절단기(436)는 래치(432)의 출력 신호를 제2/제1 클록 신호(CK2/CK1)에 따라 절단하여 출력한다. 과형 절단기(436)는 NAND 게이트와 반전기를 포함하며 논리로 보면 AND 게이트와 동일하다. NAND 게이트는 래치(432)의 출력과 제2/제1 클록 신호(CK2/CK1)를 두 입력으로 하며 그 출력은 반전기에 입력된다.
- <110> 출력 제한기(438)는 과형 절단기(436)의 출력 신호를 출력 제한 신호(OE)에 따라 절단하여 출력한다. 출력 제한기(438) 역시 NAND 게이트와 반전기를 포함하며 논리로 보면 AND 게이트와 동일하다. NAND 게이트는 과형 절단기(436)의 출력과 출력 제한 신호(OE)를 두 입력으로 하며 그 출력은 반전기에 입력된다. 출력 제한 신호(OE)의 주기는 한 수평 주기(1H)와 동일하며 대략 50%의 듀티비를 가질 수 있으나 이에 한정되지는 않는다. 출력 제한기(438)의 출력은 보상 신호(s_i , s_{i+1})가 되며 도 9 및 도 10에서와는 달리 주사 신호($g_1 \sim g_n$)가 고전압인 동안 한 번만 고전압이 된다.
- <111> 주사 신호($g_1 \sim g_n$)가 고전압인 구간은 1 수평 주기보다 길며 앞쪽 반 구간 동안은 각 화소(PX)에 이전 화소행의 데이터 전압[VD0~VD(n-1)](단, VD0는 무효 데이터 전압)이 인가되고 뒤쪽 반 구간 동안 해당 화소의 데이터 전압(VD1~VDn)이 인가된다. 보상 신호($s_1 \sim s_n$)는 주사 신호($g_1 \sim g_n$)가 고전압인 구간에서 뒤쪽 반 구간 동안 한 번

고전압이 된다.

- <112> 결과적으로 각 화소(PX)는 1 수평 주기보다 긴 시간 동안 흑색을 표시하므로 임펄스 효과가 높아진다. 특히, 본 실시예에서 주사 신호($g_1 \sim g_n$)가 고전압인 시간은 주사 시작 신호(STV)의 고전압 구간을 늘려 줌으로써 원하는 만큼 길게 해 줄 수 있으므로 도 9 및 도 10에 도시한 실시예에 비하여 흑색 표시 시간을 자유롭게 조절할 수 있다.
- <113> 도 9 내지 도 12에 도시한 주사 구동부 및 구동 방법은 도 2에 도시한 화소(PX)가 아닌 경우에도 적용할 수 있으며, 유기 발광 표시 장치가 아닌 경우에도 적용할 수 있다. 예를 들면, 각 화소가 주사 신호가 고전압 상태일 때 흑색을 표시함과 동시에 데이터 전압을 수신하며, 주사 신호가 저전압 상태일 때 데이터 전압의 수신을 중지하고 자신의 데이터 전압에 해당하는 휘도를 표시하는 경우에 적용할 수 있다. 도 2에서 구동 트랜지스터(Qd)의 문턱 전압 보상을 위한 스위칭 트랜지스터(Qs2, Qs3, Qs4)가 생략된 경우에도 도 9 내지 도 12에 도시한 주사 구동부 및 구동 방법을 적용할 수 있는데, 이 경우 보상 신호와 관련된 부분(426, 436, 438)은 생략될 수 있다.
- <114> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

- <115> 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- <116> 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치에서 한 화소의 등가 회로도이다.
- <117> 도 3은 본 발명의 한 실시예에 따른 유기 발광 표시 장치에서 한 행의 화소에 인가되는 구동 신호를 도시한 파형도의 예이다.
- <118> 도 4 내지 도 7은 도 3에 도시한 각 구간에서 한 화소의 등가 회로도이다.
- <119> 도 8은 본 발명의 한 실시예에 따른 주사 구동부의 블록도이다.
- <120> 도 9는 도 8에 도시한 주사 구동부에서 시프트 레지스터의 회로도의 한 예이다.
- <121> 도 10은 도 9의 주사 구동부를 가지는 유기 발광 표시 장치의 신호 파형도이다.
- <122> 도 11은 도 8에 도시한 주사 구동부에서 시프트 레지스터의 회로도의 다른 예이다.
- <123> 도 12는 도 11의 주사 구동부를 가지는 유기 발광 표시 장치의 신호 파형도이다.

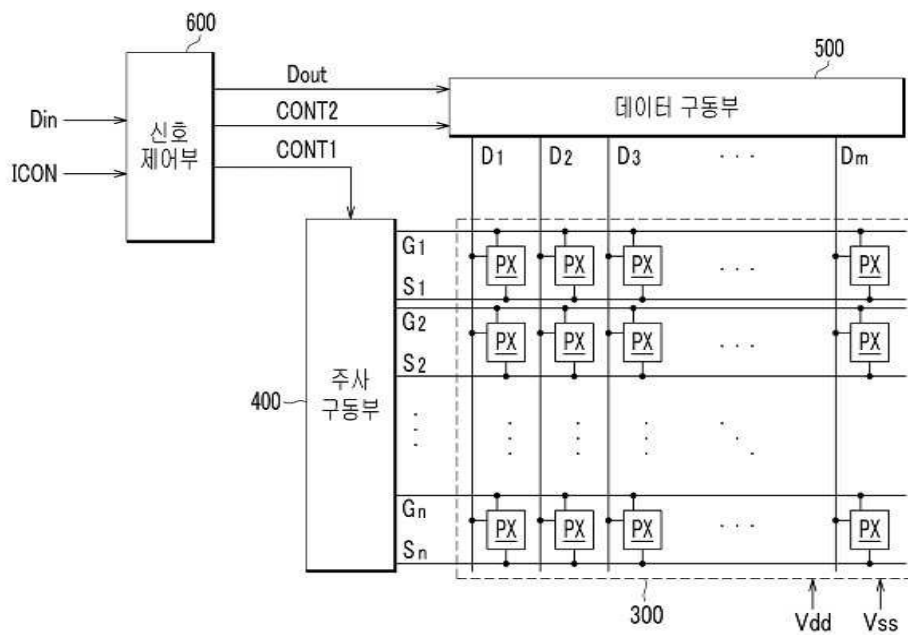
<도면 부호의 설명>

- | | |
|-------------------------------|--|
| <125> 300: 표시판 | 400: 주사 구동부 |
| <126> 410, 420, 430: 시프트 레지스터 | 422, 432: 래치 |
| <127> 424, 436: 파형 절단기 | 426, 438: 출력 제한기 |
| <128> 434: 전압 유지기 | 460: 레벨 시프터 |
| <129> 470: 버퍼 | 500: 데이터 구동부 |
| <130> 600: 신호 제어부 | CK1, CKB1, CK2, CKB2: 클록 신호 |
| <131> CONT1: 주사 제어 신호 | CONT2: 데이터 제어 신호 |
| <132> Cst: 유지 축전기 | C_{i-1} , C_i , C_{i+1} : 캐리 출력 신호 |
| <133> Din: 입력 영상 신호 | Dout: 출력 영상 신호 |
| <134> $D_1 \sim D_m$: 데이터선 | |
| <135> $G_1 \sim G_n$: 주사 신호선 | $g_1 \sim g_n$: 주사 신호 |

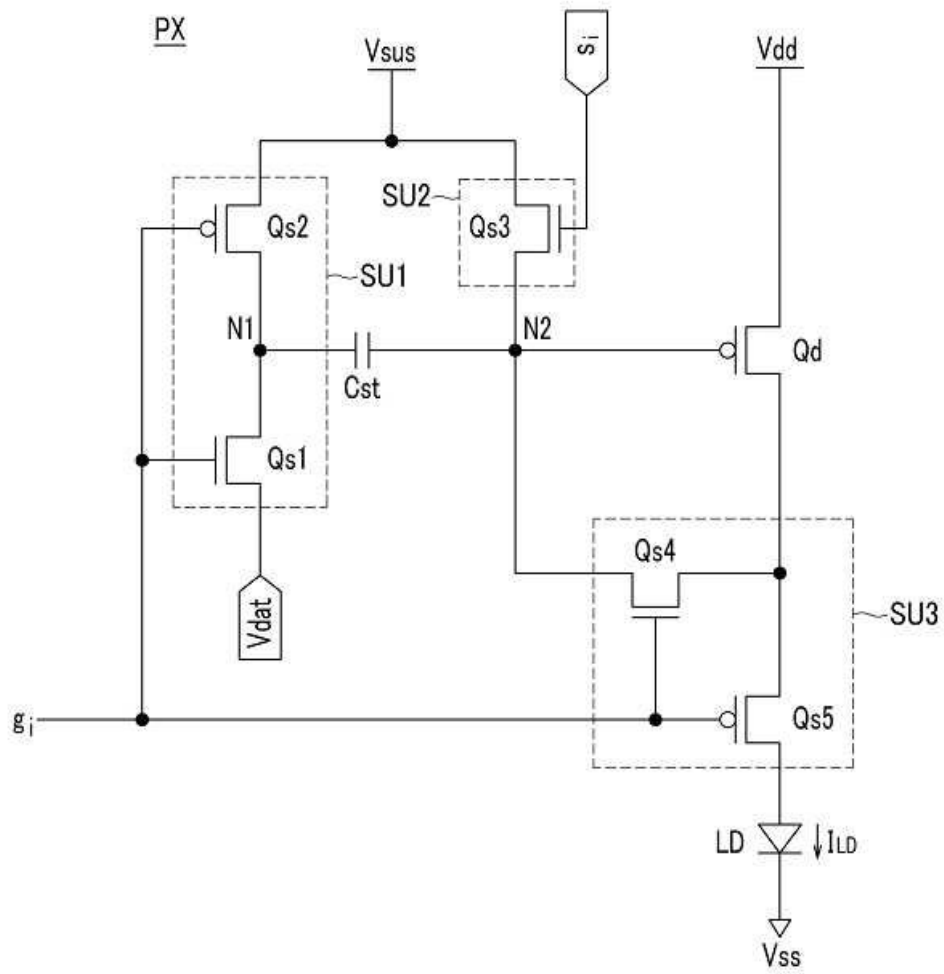
<136>	ICON: 입력 제어 신호	I_{LD} : 구동 트랜지스터의 출력 전류
<137>	LD: 유기 발광 소자	N1, N2: 접점
<138>	OE: 출력 제한 신호	PX: 화소
<139>	Qd: 구동 트랜지스터	Qs1~Qs5: 스위칭 트랜지스터
<140>	STV: 주사 시작 신호	SU1~SU3: 스위칭부
<141>	S_1 ~ S_n : 보상 신호선	s_1 ~ s_n : 보상 신호
<142>	TR: 발광 중지 구간	TE: 발광 구간
<143>	T1: 사전 충전 구간	T2: 본 충전 구간
<144>	T3: 보상 구간	
<145>	Vdat, VD0~VDn: 데이터 전압	Vdd: 구동 전압
<146>	Voff: 저전압	Von: 고전압
<147>	Vss: 공통 전압	Vsus: 유지 전압

도면

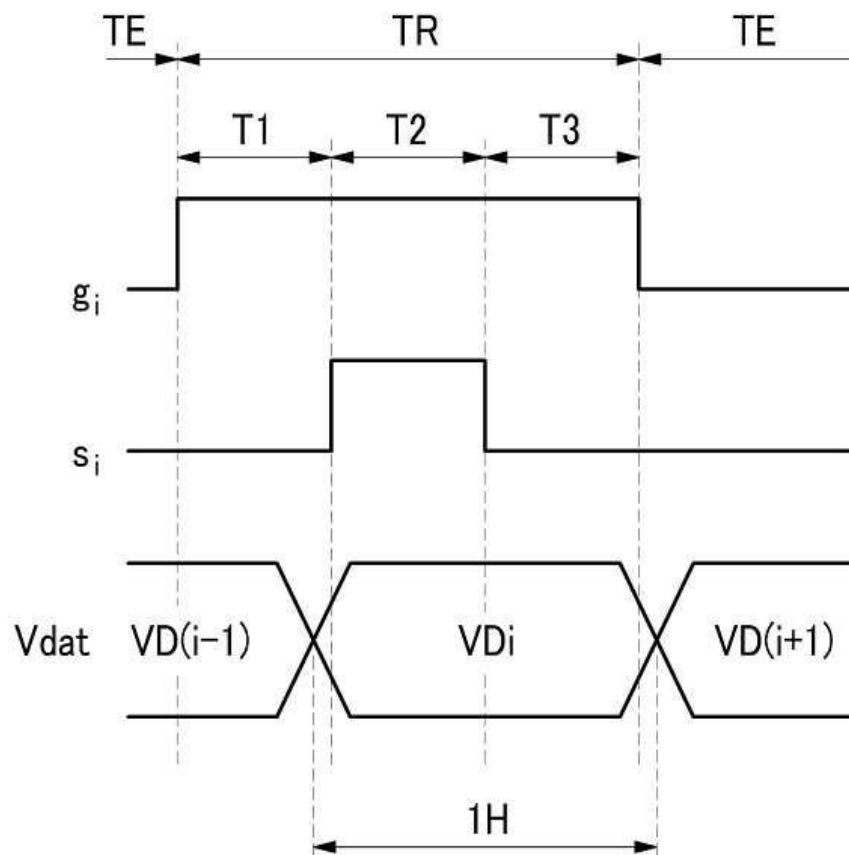
도면1



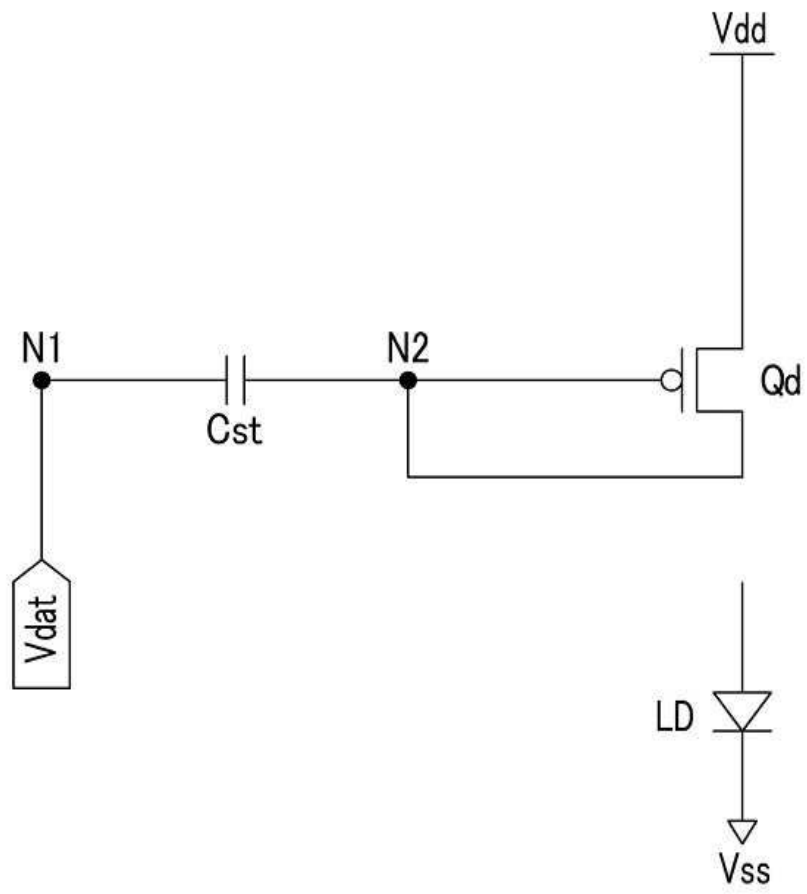
도면2



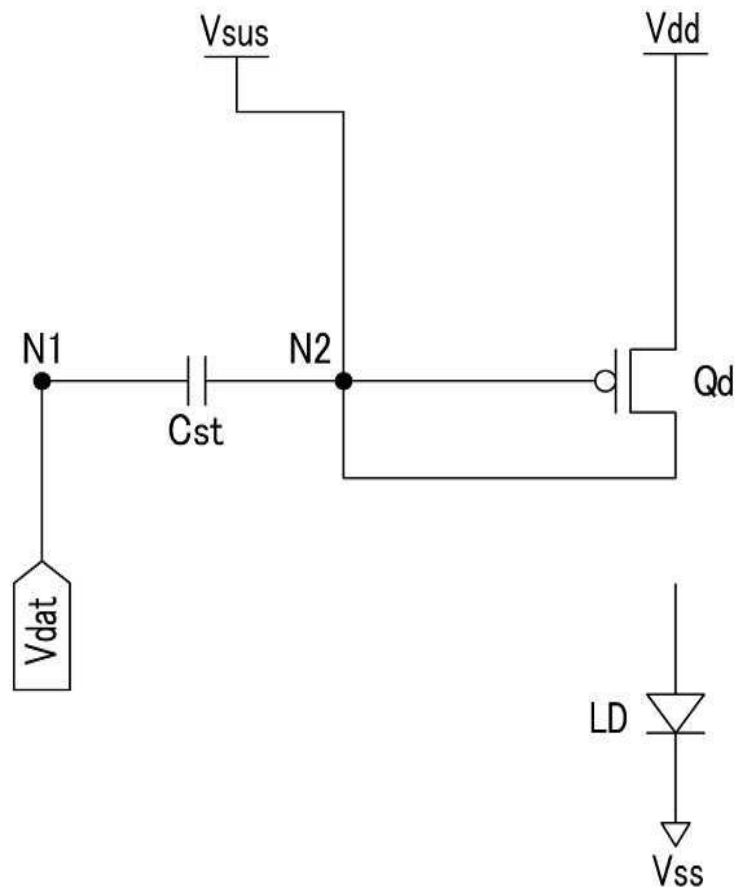
도면3



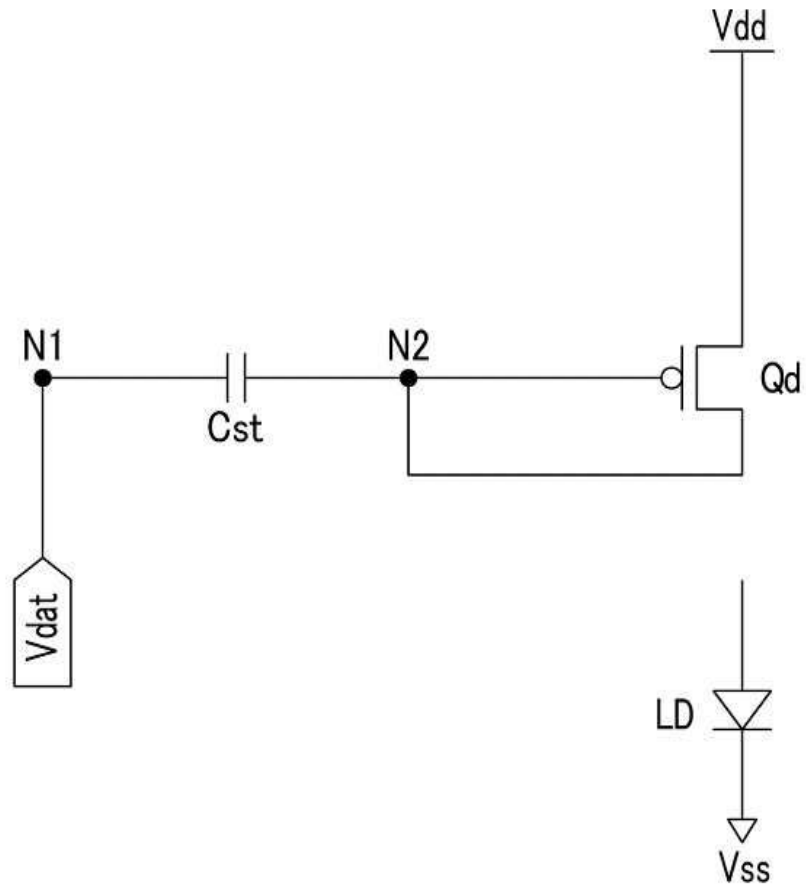
도면4



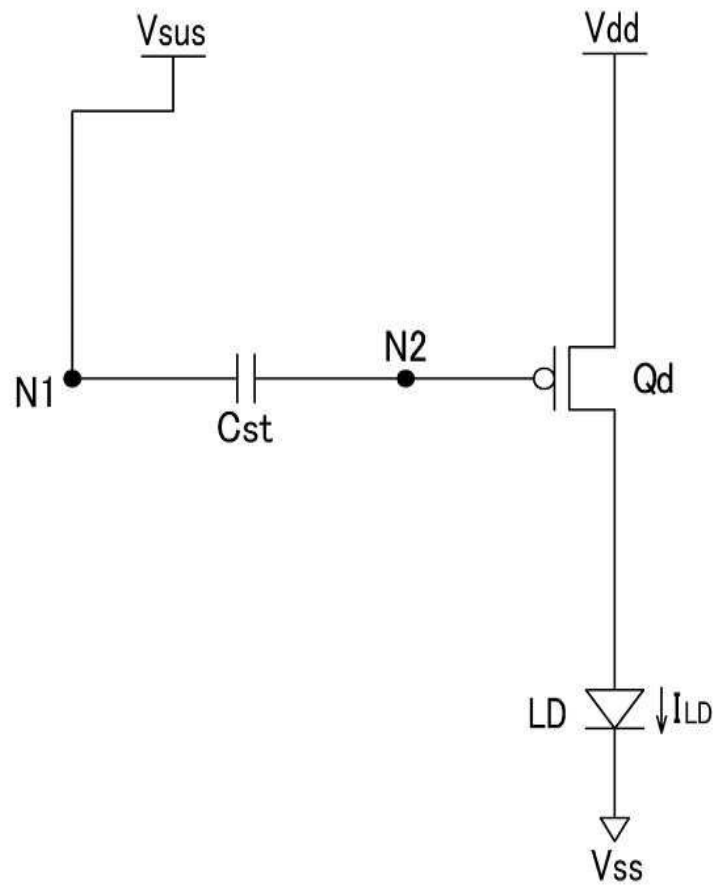
도면5



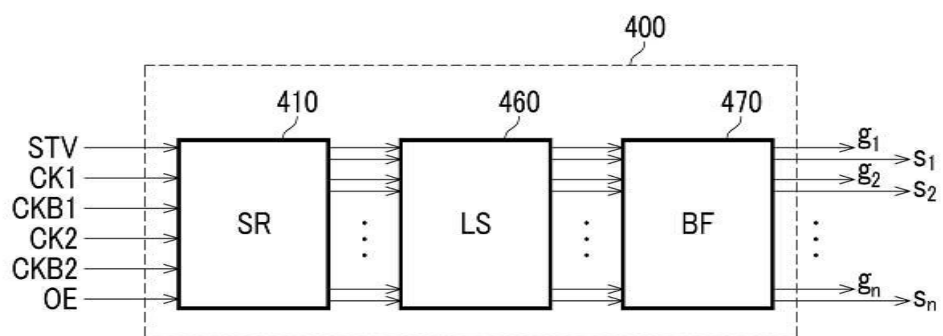
도면6



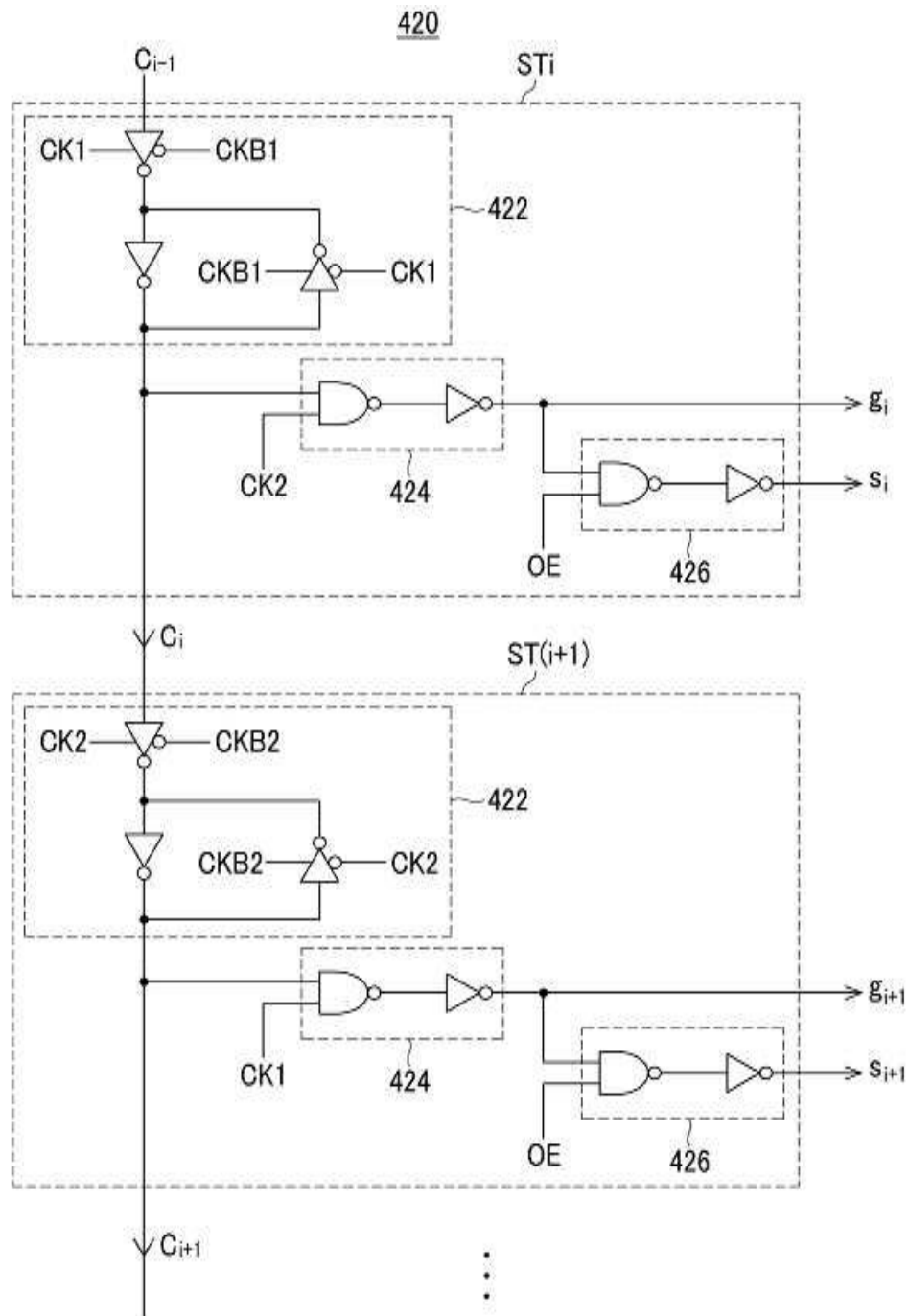
도면7



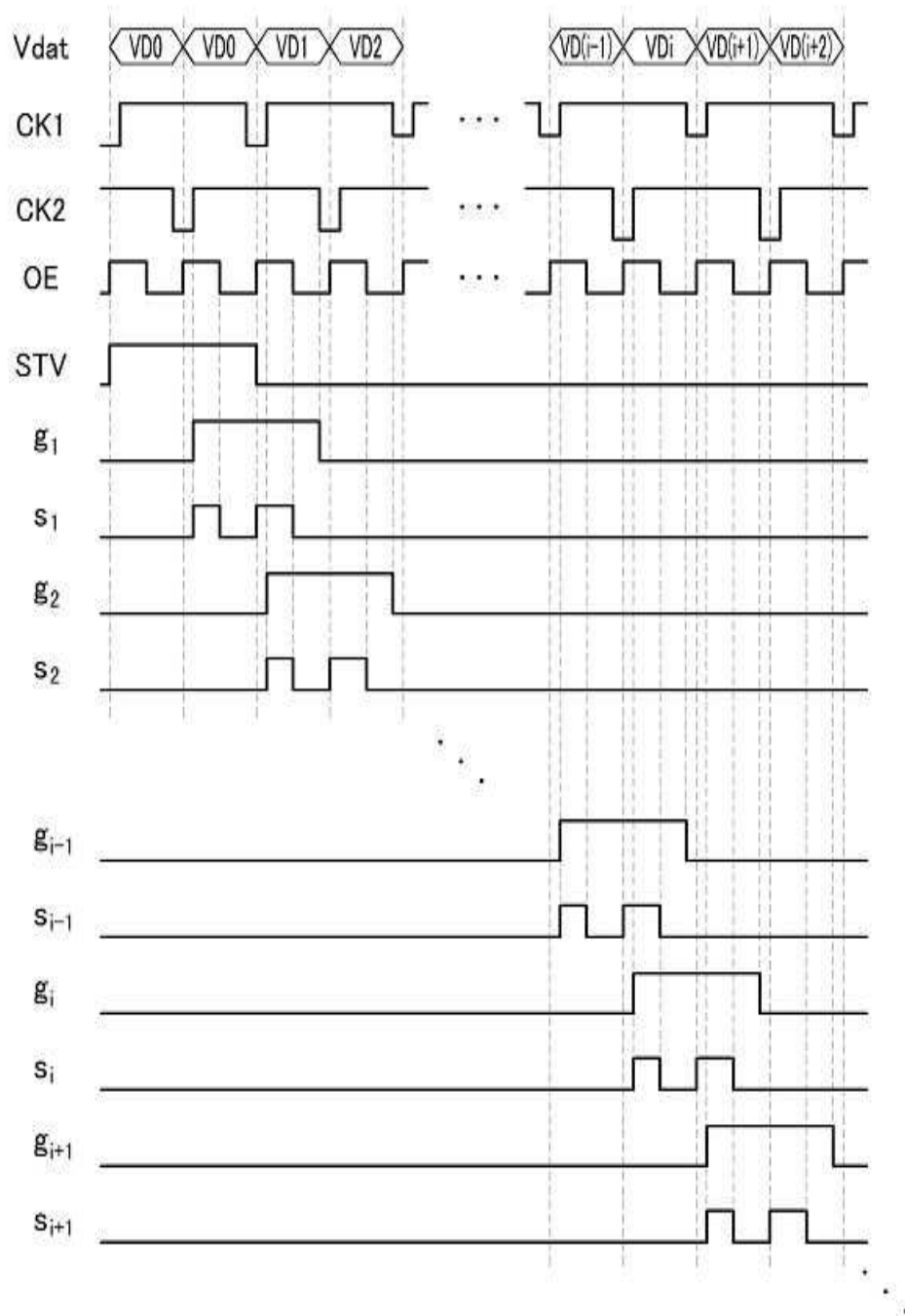
도면8



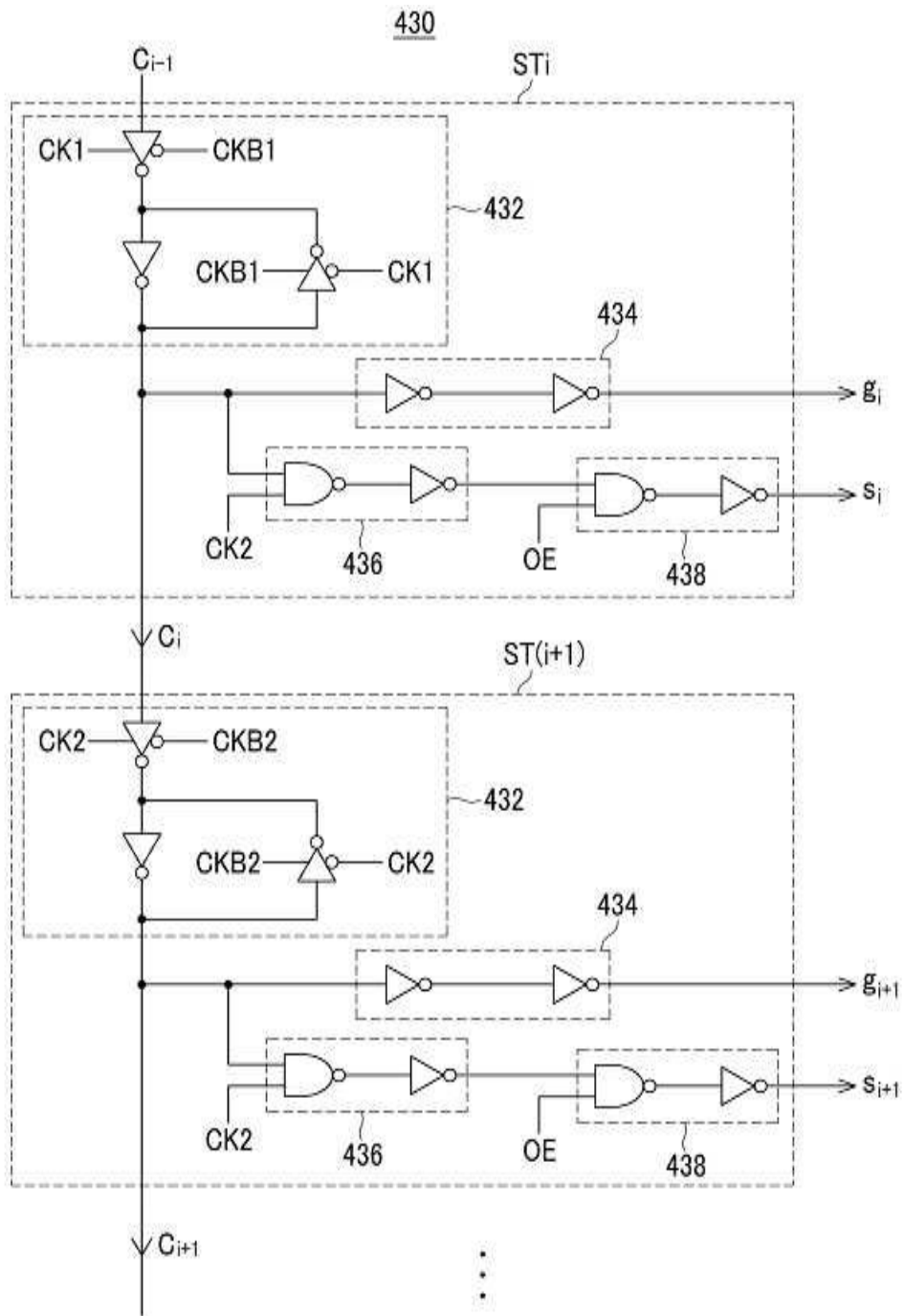
도면9



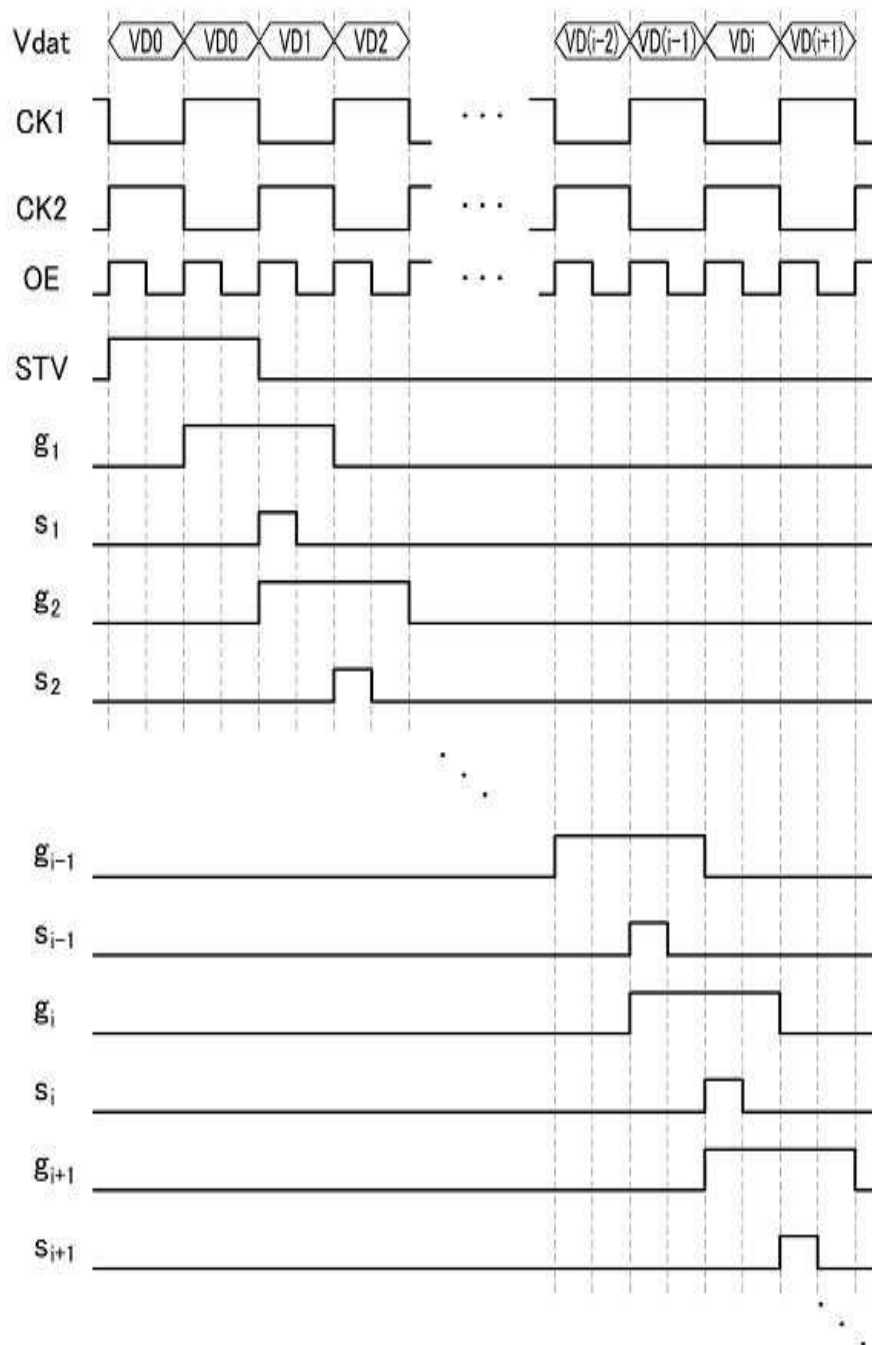
도면10



도면11



도면12



专利名称(译)	显示装置及其驱动方法		
公开(公告)号	KR1020090108930A	公开(公告)日	2009-10-19
申请号	KR1020080034287	申请日	2008-04-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SUNG SI DUK 성시덕 KOH BYUNG SIK 고병식 KIM YOUNG IL 김영일 PARK KYONG TAE 박경태		
发明人	성시덕 고병식 김영일 박경태		
IPC分类号	G09G3/30 G09G3/20 G09G5/10 H05B33/12		
CPC分类号	G09G3/3258 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2320/0238 G09G2300/0819 G09G2300/0838 G09G2320/0261 G09G3/3266		
其他公开文献	KR101447997B1		
外部链接	Espacenet		

摘要(译)

显示装置及其驱动方法技术领域根据本发明实施例的显示装置包括：扫描驱动器，用于产生多个扫描信号；数据驱动器，用于产生数据电压；以及数据驱动器，用于根据扫描信号接收数据电压，并显示与数据电压对应的亮度并且有多个像素。其中，每个像素在其扫描信号处于第一状态时显示黑色并接收其自身的数据电压和其自身的数据电压，并且当其自身的扫描信号处于第二状态时，并显示与自身数据电压对应的亮度。以这种方式，可以通过调节扫描信号的高压部分长度来实现脉冲驱动。

