



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/12 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호 10-2007-0055588

(43) 공개일자 2007년05월30일

(21) 출원번호 10-2007-7008322(분할)

(22) 출원일자 2007년04월12일

심사청구일자 2007년04월27일

번역문 제출일자 2007년04월12일

(62) 원출원 특허10-2005-7021004

원출원일자 : 2005년11월04일

심사청구일자

2005년11월04일

(86) 국제출원번호 PCT/JP2004/006153

(87) 국제공개번호

WO 2004/100118

국제출원일자 2004년04월28일

국제공개일자

2004년11월18일

(30) 우선권주장

JP-P-2003-00129528

2003년05월07일

일본(JP)

JP-P-2003-00277166

2003년07월18일

일본(JP)

JP-P-2004-00045517

2004년02월20일

일본(JP)

(71) 출원인

도시바 마쯔시타 디스플레이 테크놀로지 컴퍼니, 리미티드

일본 도쿄도 미나토구 4쵸메 고난 1-8

(72) 발명자

다카하라, 히로시

일본 571-0807 오사카후 네야가와시 우즈마사 1011-1-345

(74) 대리인

구영창

장수길

이중희

전체 청구항 수 : 총 10 항

(54) E L 표시 장치

(57) 요약

EL 소자 및 상기 EL 소자에 전류를 공급하는 구동용 트랜지스터를 갖는 화소가 매트릭스 형상으로 배치된 표시 화면과, 상기 화소와 접속된 소스 신호선을 갖는 EL 표시 장치로서, 상기 구동용 트랜지스터의 특성 또는 상기 화소의 구동용 트랜지스터의 특성을 나타내는 데이터를 취득하는 특성 취득 회로와, 상기 구동용 트랜지스터의 특성 또는 상기 화소의 구동용 트랜지스터의 특성을 나타내는 데이터를 이용하여, 상기 표시 화면의 각각의 화소에 인가하는 게조 신호를 발생하는 게조 신호 발생 회로를 구비하는 것을 특징으로 하는 EL 표시 장치가 제공되었다.

대표도

도 519

특허청구의 범위

청구항 1.

EL 소자 및 상기 EL 소자에 전류를 공급하는 구동용 트랜지스터를 갖는 화소가 매트릭스 형상으로 배치된 표시 화면과, 상기 화소와 접속된 소스 신호선을 갖는 EL 표시 장치로서,

상기 구동용 트랜지스터의 특성 또는 상기 화소의 구동용 트랜지스터의 특성을 나타내는 데이터를 취득하는 특성 취득 회로와,

상기 구동용 트랜지스터의 특성 또는 상기 화소의 구동용 트랜지스터의 특성을 나타내는 데이터를 이용하여, 상기 표시 화면의 각각의 화소에 인가하는 게조 신호를 발생하는 게조 신호 발생 회로

를 구비하는 것을 특징으로 하는 EL 표시 장치.

청구항 2.

제1항에 있어서,

상기 구동용 트랜지스터의 특성 또는 상기 화소의 구동용 트랜지스터의 특성을 나타내는 데이터는, 상기 화소의 구동용 트랜지스터의 게이트 단자의 전위를 나타내는 것을 특징으로 하는 EL 표시 장치.

청구항 3.

제1항에 있어서, 상기 표시 화면은, 적색의 화소, 녹색의 화소, 청색의 화소 및 백색의 화소가 매트릭스 형상으로 배치되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 4.

제1항에 있어서,

게이트 드라이버 회로를 더 구비하고,

상기 게이트 드라이버 회로는, 상기 화소와 동일한 프로세스 공정에서 형성되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 5.

제1항에 있어서,

상기 게조 신호 발생 회로는, 전류 신호 발생 회로와 전압 신호 발생 회로를 갖는 것을 특징으로 하는 EL 표시 장치.

청구항 6.

제1항에 있어서,

상기 화소를 선택하는 게이트 드라이버 회로와,

상기 화소에 인가하는 게조 신호를 출력하는 출력 회로와,

상기 EL 표시 장치에 입력되는 영상 신호로부터, 상기 표시 화면에 흐르는 전류 또는 상기 표시 화면에 흐르는 전류에 준하는 데이터를 구하는 연산 회로와,

상기 전류 또는 상기 전류에 준하는 데이터에 기초하여, 상기 게이트 드라이버 회로를 제어하는 게이트 드라이버 제어 회로

를 더 구비하는 것을 특징으로 하는 EL 표시 장치.

청구항 7.

제1항에 있어서,

상기 화소의 EL 소자의 애노드 전압과 캐소드 전압 중 적어도 한 쪽을 발생하는 전압 발생 회로를 더 구비하고,

상기 전압 발생 회로는, 상기 애노드 전압과 캐소드 전압 중 적어도 한 쪽의 전압을 가변할 수 있는 것을 특징으로 하는 EL 표시 장치.

청구항 8.

제1항에 있어서,

상기 EL 소자에 인가하는 전압을 발생하는 전압 발생 회로와,

상기 전압 발생 회로가 발생한 전압을, 상기 표시 화면의 EL 소자에 전달하는 배선과,

상기 전압 발생 회로의 출력을 오픈 상태로 하는 출력 오픈 회로

를 더 구비하는 것을 특징으로 하는 EL 표시 장치.

청구항 9.

제1항에 있어서,

감마 커브를 발생하는 감마 회로를 더 구비하고,

상기 감마 회로는, 래더 저항과 DA 변환 회로를 갖는 것을 특징으로 하는 EL 표시 장치.

청구항 10.

제1항에 있어서,

차동-병렬 신호 변환 회로를 더 구비하고,

상기 영상 신호는 차동 신호인 것을 특징으로 하는 EL 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 유기 또는 무기 일렉트로루미네센스(EL) 소자 등을 이용한 EL 표시 패널(표시 장치) 등의 자발광 표시 패널에 관한 것이다. 또한, 이들의 표시 패널 등의 구동 회로(IC 등) 및 구동 방법 등에 관한 것이다.

전기 광학 변환 물질로서 유기 일렉트로루미네센스(EL) 재료를 이용한 액티브 매트릭스형의 화상 표시 장치는 화소에 기입되는 전류에 따라서 발광 휘도가 변화한다. 유기 EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형이다. 유기 EL 표시 패널은, 액정 표시 패널에 비하여 화상의 시인성이 높은, 백 라이트가 불필요하고, 응답 속도가 빠르다는 등의 이점을 갖는다.

유기 EL 표시 패널도 단순 매트릭스 방식과 액티브 매트릭스 방식의 구성이 가능하다. 전자는 구조가 단순하지만 대형이고 또한 고정밀의 표시 패널의 실현이 곤란하다. 그러나, 저렴하다. 후자는 대형, 고정밀 표시 패널을 실현할 수 있다. 그러나, 제어 방법이 기술적으로 어렵고, 비교적 고가라고 하는 과제가 있다. 현재에서는, 액티브 매트릭스 방식의 개발이 왕성히 행해지고 있다. 액티브 매트릭스 방식은, 각 화소에 설치한 발광 소자에 흐르는 전류를 화소 내부에 설치한 박막 트랜지스터(트랜지스터)에 의해서 제어한다.

액티브 매트릭스 방식의 유기 EL 표시 패널은, 예를 들면, 일본국 공개특허 평성 8-234683호 공보에 개시되어 있다.

여기에, 상기 특허 문헌의 모든 개시는, 모두 그대로 여기에 인용(참조)함으로써, 일체화된다.

이 표시 패널의 일 화소분의 등가 회로를 도 2에 도시한다. 화소(16)는 발광 소자인 EL 소자(15), 제1 트랜지스터(구동용 트랜지스터)(11a), 제2 트랜지스터(스위칭용 트랜지스터)(11b) 및 축적 용량(컨덴서)(19)으로 이루어진다. 발광 소자(15)는 유기 일렉트로루미네센스(EL) 소자이다. 본 명세서에서는, EL 소자(15)에 전류를 공급(제어)하는 트랜지스터(11a)를 구동용 트랜지스터(11)라고 부른다. 또한, 도 2의 트랜지스터(11b)와 같이, 스위치로서 동작하는 트랜지스터를 스위칭용 트랜지스터(11)라고 부른다.

유기 EL 소자(15)는 대부분의 경우, 정류성이 있기 때문에, OLED(유기 발광 다이오드)라고 불리는 경우가 있다. 도 1, 도 2 등에서는 발광 소자(15)로서 다이오드의 기호를 이용하고 있다.

본 발명에 있어서의 발광 소자(15)는 OLED에 한정하는 것이 아니고, 소자(15)에 흐르는 전류량에 의해서 휘도가 제어되는 것이면 된다. 예를 들면, 무기 EL 소자가 예시된다. 그 밖에, 반도체로 구성되는 백색 발광 다이오드가 예시된다. 또한, 발광 트랜지스터라도 된다. 또한, 발광 소자(15)는 반드시 정류성이 요구되는 것은 아니다. 쌍방향성 소자라도 된다.

도 2의 동작에 대하여 설명한다. 게이트 신호선(17)을 선택 상태로 하고, 소스 신호선(18)에 휘도 정보를 나타내는 전압의 영상 신호를 인가한다. 트랜지스터(11a)가 도통하여, 영상 신호가 축적 용량(19)에 충전된다. 게이트 신호선(17)을 비선택 상태로 하면, 트랜지스터(11a)가 오프로 된다. 트랜지스터(11b)는 전기적으로 소스 신호선(18)으로부터 분리된다. 그러나, 트랜지스터(11a)의 게이트 단자 전위는 축적 용량(컨덴서)(19)에 의해서 안정적으로 유지된다. 트랜지스터(11a)를 통하여 발광 소자(15)에 흐르는 전류는, 트랜지스터(11a)의 게이트/드레인 단자간 전압 Vgd에 따른 값으로 된다. 발광 소자(15)는 트랜지스터(11a)를 통하여 공급되는 전류량에 따른 휘도로 계속해서 발광한다.

발명이 이루고자 하는 기술적 과제

유기 EL 표시 패널은, 저온 폴리실리콘 트랜지스터 어레이를 이용하여 패널을 구성한다. 그러나, 유기 EL 소자는, 전류에 의해 발광하기 때문에, 폴리실리콘 트랜지스터 어레이의 트랜지스터 특성에 변동이 있으면, 표시 얼룩이 발생한다.

도 2는 전압 프로그램 방식의 화소 구성이다. 도 2에 도시하는 화소 구성에서는, 전압의 영상 신호를 트랜지스터(11a)에서 전류 신호로 변환한다. 따라서, 트랜지스터(11a)에 특성 변동이 있으면, 변환되는 전류 신호에도 변동이 발생한다. 통상적으로, 트랜지스터(11a)는 50% 이상의 특성 변동이 발생하고 있다. 따라서, 도 2의 구성에서는 표시 얼룩이 발생한다.

전압 프로그램 방식에서 발생하는 표시 얼룩은, 전류 프로그램 방식의 구성을 채용함으로써 저감하는 것이 가능하다. 전류 프로그램 방식을 실시하기 위해서는, 전류 구동 방식의 드라이버 회로가 필요하다. 그러나, 전류 구동 방식의 드라이버 회로에도 전류 출력단을 구성하는 트랜지스터 소자에 변동이 발생한다. 그 때문에, 각 출력 단자로부터의 계조 출력 전류에 변동이 발생하여, 양호한 화상 표시를 할 수 없는 경우가 있었다. 또한, 전류 프로그램 방식은, 저계조 영역에서는 구동 전류가 작다. 그 때문에, 소스 신호선(18)의 기생 용량에 의해 양호하게 구동할 수 없는 경우가 있었다. 특히, 0계조계의 전류는, 0이다. 따라서, 화상 표시를 변경할 수 없는 경우가 있었다.

이와 같이, 예를 들면, 유기 EL 표시 패널을 이용하여 양호한 화상 표시를 얻는 것이 곤란하다고 하는 과제가 있었다.

발명의 구성

발명의 개시

제1의 본 발명은, 매트릭스 형상으로 배치된 EL 소자 및 구동 소자와,

프로그램 전압 신호를 발생하는 전압 계조 회로, 프로그램 전류 신호를 발생하는 전류 회로 수단, 및 상기 프로그램 전압 신호와 상기 프로그램 전류 신호와의 절환을 행하는 절환 회로를 갖는, 상기 구동 소자에 신호를 인가하는 드라이버 회로 수단을 구비한 EL 표시 장치이다.

제2의 본 발명은, 매트릭스 형상으로 배치된 EL 소자 및 구동 소자가 형성되고, 상기 구동 소자에 신호를 인가하는 소스 신호선을 갖는 EL 표시 장치의 구동 방법으로서,

1수평 주사 기간은, 전압 신호를 상기 소스 신호선에 인가하는 A 기간과, 전류 신호를 상기 소스 신호선에 인가하는 B 기간을 갖고,

상기 B 기간은, 상기 A 기간의 종료 후 혹은 동시에 개시되는 EL 표시 장치의 구동 방법이다.

제3의 본 발명은, 소스 신호선의 일단(一端)에 접속된 제1 소스 드라이버 회로와,

상기 소스 신호선의 타단에 접속된 제2 소스 드라이버 회로를 구비하고,

상기 제1 소스 드라이버 회로 및 상기 제2 소스 드라이버 회로는, 계조에 대응한 전류를 출력하는 EL 표시 장치이다.

제4의 본 발명은, 화소가 매트릭스 형상으로 형성된 EL 표시 장치의 구동 방법으로서,

상기 EL 표시 장치에 인가되는 영상 신호의 크기로부터 점등률을 구하고,

상기 점등률에 대응하여 흐르는 전류를 제어하는 EL 표시 장치의 구동 방법이다.

제5 본 발명은, 적색의 화소에 인가하는 제1 출력 전류의 크기를 규정하는 제1 기준 전류원과,

녹색의 화소에 인가하는 제2 출력 전류의 크기를 규정하는 제2 기준 전류원과,

청색의 화소에 인가하는 제3 출력 전류의 크기를 규정하는 제3 기준 전류원과,

상기 제1 기준 전류원과 상기 제2 기준 전류원과 상기 제3 기준 전류원을 제어하는 제어 수단을 구비하고,

상기 제어 수단은, 상기 제1 출력 전류와 상기 제2 출력 전류와 상기 제3 출력 전류의 크기를 비례하여 변화시키는 EL 표시 장치이다.

이와 같이, 본 발명의 표시 패널(표시 장치)의 드라이버 회로는, 주로 단위 전류를 출력하는 복수의 트랜지스터를 구비하고, 이 트랜지스터의 개수를 변화시킴으로써 출력 전류를 출력하는 것이다. 또한, 본 발명의 표시 장치 등은, duty비 제어, 기준 전류 제어 등을 실시한다.

본 발명의 소스 드라이버 회로는, 기준 전류의 발생 회로를 갖고, 또한, 게이트 드라이버 회로를 제어함으로써, 전류 제어, 휘도 제어를 실현한다. 또한, 화소는, 복수 혹은 단독의 구동용 트랜지스터를 갖고, EL 소자(15)에 흐르는 전류 변동이 발생하지 않도록 구동한다. 따라서, 트랜지스터의 임계값 변동에 의한 표시 얼룩의 발생을 억제하는 것이 가능하게 된다. 또한, duty비 제어 등에 의해 다이내믹 범위가 넓은 화상 표시를 실현할 수 있다.

본 발명의 표시 패널, 표시 장치 등은, 고화질, 양호한 동화상 표시 성능, 저소비 전력, 저코스트화, 고휘도화 등의 각각의 구성에 따라서 특징이 있는 효과를 발휘한다.

본 발명을 이용하면, 저소비 전력의 정보 표시 장치 등을 구성할 수 있기 때문에, 전력을 소비하지 않는다. 또한, 소형 경량화할 수 있기 때문에, 자원을 소비하지 않는다. 따라서, 지구 환경, 우주 환경에 친화적인 것으로 된다.

<발명을 실시하기 위한 최량의 형태>

본 명세서에 있어서, 각 도면은 이해를 용이하게 하기 위해, 또한 작도를 용이하게 하기 위해서, 생략 및 확대 혹은 축소한 개소가 있다. 예를 들면, 도 4에 도시하는 표시 패널의 단면도에서는 박막 밀봉막(41) 등을 충분히 두껍게 도시하고 있다. 한편, 도 3에 있어서, 밀봉 뚜껑(40)은 얇게 도시하고 있다. 또한, 생략한 개소도 있다. 예를 들면, 본 발명의 표시 패널 등에서는, 반사 방지를 위해 원편광판 등의 위상 필름(38, 39)이 필요하다. 그러나, 본 명세서의 각 도면에서는 원편광판 등을 생략하고 있다. 이상의 것은 이하의 도면에 대해서도 마찬가지이다. 또한, 동일 번호 또는 기호 등을 붙인 개소는 동일 혹은 유사한 형태 혹은 재료 혹은 기능 혹은 동작을 갖는다.

각 도면 등에서 설명한 내용은 특별히 언급이 없더라도, 다른 실시예 등과 조합할 수 있다. 예를 들면, 도 3, 도 4의 본 발명의 표시 패널에 터치 패널 등을 부가하여, 도 154 내지 도 157에 도시하는 정보 표시 장치로 할 수 있다.

본 명세서에서는, 구동용 트랜지스터(11), 스위칭용 트랜지스터(11)는 박막 트랜지스터로서 설명하지만, 이것에 한정되는 것은 아니다. 박막 다이오드(TFD), 링 다이오드 등으로도 구성할 수 있다. 또한, 박막 소자에 한정되는 것은 아니고, 실리콘 웨이퍼에 형성한 트랜지스터라도 된다. 물론, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터라도 된다. 이들 도 기본적으로 박막 트랜지스터이다. 그 밖에, 바리스터, 사이리스터, 링 다이오드, 포토 다이오드, 포토 트랜지스터, PLZT 소자 등이어도 되는 것은 물론이다. 즉, 본 발명의 트랜지스터(11), 게이트 드라이버 회로(12), 소스 드라이버 회로(IC)(14) 등은, 이들 중 어느 것이어도 사용할 수 있다.

소스 드라이버 회로(IC)(14)는, 간단한 드라이버 기능뿐만 아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함), 데이터 변환 회로, 래치 회로, 커맨드 디코더, 시프트 회로, 어드레스 변환 회로, 화상 메모리 등을 내장시켜도 된다.

기판(30)은 글래스 기판으로서 설명하지만, 실리콘 웨이퍼로 형성해도 된다. 또한, 기판(30)은, 금속 기판, 세라믹 기판, 플라스틱 시트(판) 등을 사용해도 된다. 또한, 본 발명의 표시 패널 등을 구성하는 트랜지스터(11), 게이트 드라이버 회로(12), 소스 드라이버 회로(IC)(14) 등은, 글래스 기판 등에 형성하고, 전사 기술에 의해 다른 기판(플라스틱 시트)으로 옮겨 구성 또는 형성한 것이어도 되는 것은 물론이다. 뚜껑(40)의 재료 혹은 구성에 관해서도 기판(30)과 마찬가지이다. 또한, 뚜껑(40), 기판(30)은 방열성을 양호하게 하기 위해, 사파이어 글래스 등을 이용해도 되는 것은 물론이다.

이하, 본 발명의 EL 표시 패널에 대하여 도면을 참조하면서 설명한다. 유기 EL 표시 패널은, 도 3에 도시하는 바와 같이 화소 전극으로서의 투명 전극(35)이 형성된 글래스 기판(30)(어레이 기판(30)) 상에, 전자 수송층, 발광층, 정공 수송층 등으로 이루어지는 적어도 1층의 유기 기능층(EL층)(29), 및 금속 전극(반사막)(캐소드)(36)이 적층된 것이다. 투명 전극(화소 전극)(35)인 양극(애노드)에 플러스, 금속 전극(반사 전극)(36)인 음극(캐소드)에 마이너스의 전압을 가하고, 투명 전극(35) 및 금속 전극(36) 사이에 직류를 인가함으로써, 유기 기능층(EL막)(29)이 발광한다.

또한, 밀봉 뚜껑(40)과 어레이 기관(30)과의 공간에는 건조제(37)를 배치한다. 이것은, 유기 EL막(29)은 습도에 약하기 때문이다. 건조제(37)에 의해 시일(seal)제를 침투하는 수분을 흡수하여 유기 EL막(29)의 열화를 방지한다. 또한, 밀봉 뚜껑(40)과 어레이 기관(30)은 도 251에 도시하는 바와 같이 주변부를 밀봉 수지(2511)로 밀봉한다.

밀봉 뚜껑(40)이라 함은, 외부로부터의 수분의 침입을 방지 혹은 억제하는 수단으로서, 뚜껑의 형상에 한정되는 것은 아니다. 예를 들면, 글래스판 혹은 플라스틱판 혹은 필름 등이어도 된다. 또한, 용착 글래스 등이어도 된다. 또한, 수지 혹은 무기 재료 등의 구성체라도 된다. 또한, 증착 기술 등을 이용하여 박막 형상으로 형성(도 4를 참조할 것)한 것이어도 된다.

도 251에 도시하는 바와 같이, 밀봉 뚜껑(40)과 어레이 기관(30) 사이에, 박형의 스피커(2512)를 배치 또는 형성해도 된다. 일례로서 스피커(2512)는 모바일 기기 등에서 사용하고 있는 박막형의 것을 사용한다. 밀봉 뚜껑(40)의 오목부에는 공간(2514)이 있기 때문에, 이 공간(2514)에 스피커(2512)를 배치함으로써, 공간(2514)을 유효하게 이용할 수 있다. 또한, 공간(2514) 내에서 스피커(2512)가 진동하기 때문에, 패널의 표면으로부터 음향을 발생하도록 구성할 수 있다. 물론, 스피커(2512)는, 표시 패널의 이면(관찰면의 반대면)에 배치해도 된다. 스피커(2512)가 진동하고, 공간(2514)이 진동하여 양호한 음향 디바이스를 구성할 수 있다. 스피커(2512)는 건조제(37)와 동시에 고정하거나, 건조제(37) 이외의 개소에 밀봉 뚜껑(40)에 접착하여 고정한다. 밀봉 뚜껑(40)에 직접 스피커(2512)를 형성하는 구성이어도 된다.

밀봉 뚜껑(40)의 공간(2514) 혹은 밀봉 뚜껑(40)의 면 등에 온도 센서(도시 생략)를 형성 또는 배치한다. 이 온도 센서의 출력 결과에 의해, 이후에 설명하는 duty비 제어, 기준 전류비 제어, 점등률 제어 등을 실시해도 된다.

스피커(2512)의 단자 배선은, 기관(30) 등에 알루미늄의 증착막으로 형성한다. 단자 배선은, 밀봉 뚜껑(40) 외부에 인출 전원 혹은 신호선에 접속한다.

스피커(2512)와 마찬가지로, 박형의 마이크를 배치 또는 형성해도 된다. 또한, 압전 진동자를 스피커로서 이용해도 된다. 또한, 스피커, 마이크 등의 구동 회로는 폴리실리콘 기술을 이용하여 어레이(30)에 직접 형성 혹은 배치해도 되는 것은 물론이다.

스피커(2512) 혹은 마이크 등의 표면은, 무기 재료 혹은 유기 재료 혹은 금속 재료의 1종류 혹은 복수 종류로 이루어지는 박막 혹은 후막(2513)을 증착 혹은 도포하여 밀봉한다. 밀봉함으로써 스피커(2512) 등으로부터 발생하는 가스 등에 의한 유기 EL막 등의 열화를 억제할 수 있다.

EL 표시 패널(EL 표시 장치)의 과제로서, 패널 내부에서 발생하는 할레이션(halation)을 원인으로 하는 콘트라스트 저하가 있다. EL 소자(15)(EL막(29))로부터 발생한 광이 패널 내부에 갇히어 난반사하기 때문에 발생한다.

이 과제를 해결하기 위해, 본 발명의 EL 표시 패널에서는, 화상 표시에 비유효한 표시 영역(무효 영역)에 광 흡수막(광 흡수 수단)을 형성 또는 배치하고 있다. 광 흡수막을 형성함으로써, 화소(16)로부터 발생한 광이 기관(30) 등에서 난반사함으로써 발생하는 할레이션에 의한 표시 콘트라스트 저하를 억제할 수 있다.

무효 영역이라 함은, 기관(30) 혹은 밀봉 뚜껑(40)의 측면이 예시된다. 또한, 기관(30) 및 표시 영역 이외에(예를 들면, 게이트 드라이버 회로(12), 소스 드라이버 회로(IC)(14)가 형성된 영역 및 그 근방 등), 뚜껑(40)의 전체면(하측 취출의 경우) 등이 예시된다.

광 흡수막을 구성하는 물질로서는, 아크릴 수지 등의 유기 재료에 카본을 함유시킨 것, 흑색의 색소 혹은 안료를 유기 수지 중에 분산시킨 것, 컬러 필터와 같이 젤라틴이나 카제인을 흑색의 산성 염료로 염색한 것이 예시된다. 그 밖에, 단일로 흑색으로 되는 플루오란계 색소를 발색시켜 이용한 것이어도 되고, 녹색계 색소와 적색계 색소를 혼합한 배색 블랙을 이용할 수도 있다. 또한, 스퍼터에 의해 형성된 PrMnO_3 막, 플라즈마 중합에 의해 형성된 프탈로시아닌막 등이 예시된다.

또한, 광 흡수막으로서 금속 재료를 이용해도 된다. 예를 들면, 6가 크롬이 예시된다. 6가 크롬은 흑색이고, 광 흡수막으로서 기능한다. 그 밖에, 오팔 글래스, 산화 티탄 등의 광 산란 재료라도 된다. 광을 산란시킴으로써, 결과적으로 광을 흡수하는 것과 등가로 되기 때문이다.

도 3의 본 발명의 유기 EL 표시 패널은, 글래스의 뚜껑(40)을 이용하여 밀봉하는 구성이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 4에 도시하는 바와 같이 필름(41)(박막이어도 됨. 즉, 박막 밀봉막(41)임)을 이용한 밀봉 구조라도 된다.

밀봉 필름(박막 밀봉막)(41)으로서는 전해 컨덴서의 필름에 DLC(다이아몬드 라이크 카본)을 증착한 것을 이용하는 것이 예시된다. 이 필름은 수분 침투성이 매우 나쁘다(방습 성능이 높다). 이 필름을 밀봉막(41)으로서 이용한다. 또한, DLC(다이아몬드 라이크 카본)막 등을 전극(36)의 표면에 직접 증착하는 구성도 되는 것은 물론이다. 그 밖에, 수지 박막과 금속 박막을 다층으로 적층하여, 박막 밀봉막을 구성해도 된다.

박막(41) 혹은 밀봉 구조를 형성하는 막의 두께는, 상기 간섭 영역의 막 두께에는 한정되지 않는다. 5~10 μ m 이상 혹은 100 μ m 이상의 두께를 갖도록 구성 혹은 형성해도 되는 것은 물론이다. 또한, 밀봉 구성의 박막(41) 등이 투과성을 갖는 경우에는, 도 4의 A측이 광 출사측으로 되고, 불투과성 혹은 광 반사성의 기능 혹은 구조를 갖는 경우에는, B측이 광 출사측으로 된다.

A측과 B측으로부터의 양쪽으로부터 광이 출사되도록 구성해도 된다. 이 구성을 채용하는 경우에는, A측으로부터 EL 표시 패널의 화상을 보는 경우와, B측으로부터 EL 표시 패널의 화상을 보는 경우에는 화상이 좌우 반전한다. 따라서, A측으로부터 EL 표시 패널의 화상을 보는 경우와, B측으로부터 EL 표시 패널의 화상을 보는 경우에는, 수동으로 혹은 오토 매트로 화상의 좌우를 반전시키는 기능을 부가한다. 이 기능의 실현은, 영상 신호의 1화소행 혹은 복수 화소행분을 라인 메모리에 축적하고, 라인 메모리의 판독 방향을 반전시키면 된다.

도 4와 같이 밀봉 뚜껑(40)을 이용하지 않고, 밀봉막(41)으로 밀봉하는 구성을 박막 밀봉이라고 부른다. 기관(30)측으로부터 광을 취출하는 「하측 취출(도 3을 참조할 것. 광 취출 방향은 도 3의 B 화살표 방향임)」의 경우의 박막 밀봉막(41)은, EL막을 형성한 후, EL막 상에 캐소드로 되는 알루미늄 전극을 형성한다. 다음으로, 이 알루미늄막 상에 완충층으로서의 수지층을 형성한다. 완충층으로서, 아크릴, 에폭시 등의 유기 재료가 예시된다. 또한, 막 두께는 1 μ m 이상 10 μ m 이하의 두께가 적합하다. 더욱 바람직하게는, 막 두께는 2 μ m 이상 6 μ m 이하의 두께가 적합하다. 이 완충막 상에 밀봉막(74)을 형성한다.

완충막이 없으면, 응력에 의해 EL막의 구조가 무너져, 줄무늬 형상으로 결함이 발생한다. 밀봉막(41)은 상술한 바와 같이, DLC(다이아몬드 라이크 카본), 혹은 전해 컨덴서의 층 구조(유전체 박막과 알루미늄 박막을 교대로 다층 증착한 구조)가 예시된다.

유기 EL막(29)측으로부터 광을 취출하는 「상측 취출(도 4를 참조할 것. 광 취출 방향은 도 4의 A 화살표 방향임)」의 경우의 박막 밀봉은, 유기 EL막(29)을 형성한 후, 유기 EL막(29) 상에 캐소드(혹은 애노드)로 되는 Ag-Mg막을 20Å 이상 300Å의 막 두께로 형성한다. 그 위에, ITO 등의 투명 전극을 형성하여 저저항화한다. 다음으로, 바람직하게는 이 전극막 상에 완충층으로서의 수지층을 형성한다. 이 완충막 상에 밀봉막(41)을 형성한다.

도 3 등에 있어서, 유기 EL막(29)으로부터 발생한 광의 절반은, 반사막(캐소드 전극)(36)에서 반사되어, 어레이 기관(30)을 투과하여 출사된다. 그러나, 반사막(캐소드 전극)(36)에는 외광을 반사하여 비침이 발생해서 표시 콘트라스트를 저하시킨다. 이 대책을 위해, 어레이 기관(30)에 $\lambda/4$ 판(위상 필름)(38) 및 편광판(편광 필름)(39)을 배치하고 있다. 편광판(39)과 위상 필름(38)을 일체로 한 것은 원편광판(원편광 시트)라고 불린다.

도 3, 도 4 등의 구성에 있어서, 광 출사면에, 미세한 사각추, 삼각추 등의 프리즘을 형성함으로써, 표시 휘도를 향상시킬 수 있다. 사각추의 경우에는, 저변의 1변은, 100 μ m 이하 10 μ m 이상으로 한다. 더욱 바람직하게는, 30 μ m 이하 10 μ m 이상으로 한다. 삼각추의 경우에는, 저변의 직경을 100 μ m 이하 10 μ m 이상으로 한다. 더욱 바람직하게는, 30 μ m 이하 10 μ m 이상으로 한다.

화소(16)가 반사 전극인 경우에는 EL막(29)으로부터 발생한 광은 상측 방향으로 출사된다(도 4의 A방향으로 광이 출사). 따라서, 위상판(38) 및 편광판(39)은 광 출사측에 배치하는 것은 물론이다.

반사형 화소(16)는, 화소 전극(35)을, 알루미늄, 크롬, 은 등으로 구성해서 얻어진다. 또한, 화소 전극(35)의 표면에, 볼록부(혹은 요철부)를 설치함으로써 유기 EL막(29)과의 계면이 넓어져 발광 면적이 커지고, 또한, 발광 효율이 향상한다. 또한, 캐소드(36)(애노드(35))로 되는 반사막을 투명 전극에 형성하거나, 혹은 반사율을 30% 이하로 저감할 수 있는 경우에는, 원편광판은 불필요하다. 비침이 대폭으로 감소하기 때문이다. 또한, 광의 간섭도 저감하여 바람직하다.

블록부(혹은 요철부)는, 회절 격자로 하는 것은 광 취출에 효과가 있다. 회절 격자는 2차원 혹은 3차원 구조로 한다. 회절 격자의 눈금은 $0.2\mu\text{m}$ 이상 $2\mu\text{m}$ 이하로 하는 것이 바람직하다. 이 범위에서 광 효율이 양호한 결과가 얻어진다. 특히, 회절 격자의 눈금은 $0.3\mu\text{m}$ 이상 $0.8\mu\text{m}$ 이하로 하는 것이 바람직하다. 또한, 회절 격자의 형상은, 사인커브 형상으로 하는 것이 바람직하다.

도 1 등에 있어서, 트랜지스터(11)는 LDD(lightly doped drain) 구조를 채용하는 것이 바람직하다.

EL 표시 장치의 컬러화는, 마스크 증착에 의해 행하지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 청색 발광의 EL 층을 형성하고, 발광하는 청색광을, R, G, B의 색 변환층(CCM: 컬러 체인지 미디엄즈)에서 R, G, B 광으로 변환해된다. 예를 들면, 도 4에 있어서, 박막 밀봉막(41) 상 혹은 아래에 컬러 필터를 배치한다. 물론, 프레시전(precision) 새도우 마스크를 이용한 RGB 유기 재료(EL 재료)의 구분 주입 방식을 채용해도 된다. 본 발명의 컬러 EL 표시 패널은 이들의 어떠한 방식을 이용해도 된다.

본 발명의 EL 패널(EL 표시 장치)의 화소(16)의 구조는, 도 1 등에 도시하는 바와 같이, 1개의 화소(16)가 4개의 트랜지스터(11) 및 EL 소자(15)에 의해 형성된다. 화소 전극(35)은 소스 신호선(18)과 중첩되도록 구성한다. 소스 신호선(18) 상에 절연막 혹은 아크릴 재료로 이루어지는 평탄화막(32)을 형성하여 절연하고, 평탄화막(32) 상에 화소 전극(35)을 형성한다. 이와 같이 소스 신호선(18) 상의 적어도 1부에 화소 전극(35)을 중첩하는 구성을 하이 애퍼쳐(HA) 구조라고 부른다. 불필요한 간섭광 등이 저감되어, 양호한 발광 상태를 기대할 수 있다.

평탄화막(32)은 층간 절연막으로서도 기능한다. 평탄화막(32)은, $0.4\mu\text{m}$ 이상 $2.0\mu\text{m}$ 이하의 막 두께로 구성 혹은 형성한다. 평탄화막(32)의 막 두께가 $0.4\mu\text{m}$ 이하이면, 층간 절연이 불량으로 되기 쉽다(수율 저하). $2.0\mu\text{m}$ 이상이면 콘택트 접속부(34)의 형성이 곤란하게 되어, 콘택트 불량이 발생하기 쉽다(수율이 저하함).

본 발명의 표시 장치에 있어서, 화소 구성은, 도 1을 중심으로 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 2, 도 6~도 13, 도 28, 도 31, 도 33~도 36, 도 158, 도 193~도 194, 도 574, 도 576, 도 578~도 581, 도 595, 도 598, 도 602~도 604, 도 607의 (a), (b), (c)에도 적용할 수 있는 것은 물론이다.

EL 표시 패널은, R, G, B에서 발광 효율이 서로 다른 경우가 많다. 그 때문에, 구동용 트랜지스터(11a)가 흘리는 전류가 R, G, B에서 서로 다르다. 예를 들면, 도 235에 도시하는 바와 같이, B의 화소(16)를 구동하는 구동용 트랜지스터(11a)가 점선이라고 하면, G의 화소(16)를 구동하는 구동용 트랜지스터(11a)가 실선으로 된다. 도 235의 종축은, 구동용 트랜지스터(11a)가 흘리는 전류(S-D 전류)(μA)이다. 즉, 프로그램 전류 I_w 이고, 횡축은 구동용 트랜지스터(11a)의 게이트 단자 전압이다.

도 235에 도시하는 바와 같이, R, G, B에서 게이트 단자 전압에 대한 S-D 전류의 크기가 서로 다르면 전류(전압) 프로그램 정밀도가 저하한다(도 235에서는 실선의 특성의 정밀도가 없어짐). 이 과제에 대하여, 구동용 트랜지스터(11a)의 채널 폭(W)과 채널 길이(L)로 이루어지는 WL비를 조정하여 트랜지스터(11a)의 설계를 행한다. 트랜지스터(11a)의 설계는, 동일 게이트 단자 전압에 대하여, R, G, B의 구동용 트랜지스터(11a)가 출력하는 S-D 전류의 차가 2배 이내로 되도록 하는 것이 바람직하다.

본 명세서에서는 EL 소자(15)로서 유기 EL 소자(OEL, PEL, PLED, OLED 등 다종 다양한 약칭으로 기술됨)를 예로 들어 설명하지만, 이것에 한정하는 것은 아니고, 무기 EL 소자에도 적용되는 것은 물론이다.

유기 EL 표시 패널에 이용되는 액티브 매트릭스 방식은, 특정한 화소를 선택하여, 필요한 표시 정보를 공급할 수 있는 것과, 1프레임 기간을 통하여 EL 소자에 전류를 흘릴 수 있는 것의 2가지의 조건을 만족시키지 않으면 안된다.

이 2가지의 조건을 만족시키기 위해서, 도 2에 도시하는 종래의 유기 EL의 화소 구성에서는, 제1 트랜지스터(11b)는 화소를 선택하기 위한 스위칭용 트랜지스터로서 기능시킨다. 또한, 제2 트랜지스터(11a)는 EL 소자(15)에 전류를 공급하기 위한 구동용 트랜지스터로서 기능시키고 있다.

이 구성을 이용하여 계조를 표시시키는 경우, 구동용 트랜지스터(11a)의 게이트 전압으로서 계조에 따른 전압을 인가할 필요가 있다. 따라서, 구동용 트랜지스터(11a)의 온 전류의 변동이 그대로 표시에 나타난다.

트랜지스터의 온 전류는 단결정으로 형성된 트랜지스터이면 매우 균일하지만, 저렴한 글래스 기판에 형성할 수 있는 형성 온도가 450도 이하인 저온 폴리실리콘 기술로 형성한 저온 다결정 트랜지스터에서는, 그 임계값의 변동이 $\pm 0.2V \sim 0.5V$ 인 범위에서 변동이 있다. 그 때문에, 구동용 트랜지스터(11a)를 흐르는 온 전류가 이것에 대응하여 변동하여, 표시에 얼룩이 발생한다. 이들의 얼룩은, 임계값 전압의 변동뿐만 아니라, 트랜지스터의 이동도, 게이트 절연막의 두께 등에서도 발생한다. 또한, 트랜지스터(11)의 열화에 의해서도 특성은 변화한다.

이 현상은, 저온 폴리실리콘 기술에 한정되는 것은 아니고, 프로세스 온도가 450도(섭씨) 이상인 고온 폴리실리콘 기술이어도, 고상(固狀)(CGS) 성장시킨 반도체막을 이용하여 트랜지스터 등을 형성한 것이어도 발생한다. 그 밖에, 유기 트랜지스터라도 발생한다. 아몰퍼스 실리콘 트랜지스터라도 발생한다.

도 2와 같이, 전압을 기입하는 것에 의해 계조를 표시시키는 방법에서는, 균일한 표시를 얻기 위해서, 디바이스의 특성을 엄밀하게 제어할 필요가 있다. 그러나, 현상의 저온 다결정 폴리실리콘 트랜지스터 등에서는 이 변동을 소정 범위 이내로 억제할 수 없다.

본 발명의 표시 패널의 화소(16)를 구성하는 트랜지스터(11)는, p-채널 폴리실리콘 박막 트랜지스터에 구성된다. 또한, 트랜지스터(11b)는, 듀얼 게이트 이상인 멀티 게이트 구조로 하고 있다.

본 발명의 표시 패널의 화소(16)를 구성하는 트랜지스터(11b)는, 트랜지스터(11a)의 소스-드레인간의 스위치로서 작용한다. 따라서, 트랜지스터(11b)는, 가능한 한 ON/OFF비가 높은 특성이 요구된다. 트랜지스터(11b)의 게이트의 구조를 듀얼 게이트 구조 이상의 멀티 게이트 구조로 함으로써 ON/OFF비가 높은 특성을 실현할 수 있다.

화소(16)의 트랜지스터(11)를 구성하는 반도체막은, 저온 폴리실리콘 기술에 있어서, 레이저 어닐링에 의해 형성하는 것이 일반적이다. 이 레이저 어닐링의 조건의 변동이 트랜지스터(11) 특성의 변동으로 된다. 그러나, 1화소(16) 내의 트랜지스터(11)의 특성이 일치해 있으면, 전류 프로그램을 행하는 방식에서는, 소정의 전류가 EL 소자(15)에 흐르도록 구동할 수 있다. 이 점은, 전압 프로그램에 없는 이점이다. 레이저로서는 엑시머 레이저를 이용하는 것이 바람직하다.

또한, 본 발명에 있어서, 반도체막의 형성은, 레이저 어닐링 방법에 한정되는 것은 아니고, 열 어닐링 방법, 고상(CGS) 성장에 의한 방법이어도 된다. 그 밖에, 저온 폴리실리콘 기술에 한정되는 것은 아니고, 고온 폴리실리콘 기술을 이용해도 되는 것은 물론이다. 또한, 아몰퍼스 실리콘 기술을 이용하여 형성한 반도체막이어도 된다.

본 발명에서는, 어닐링시의 레이저 조사 스폿(선 형상의 레이저 조사 범위)를 소스 신호선(18)에 평행하게 조사한다. 또한, 1화소 열과 일치하도록 레이저 조사 스폿을 이동시킨다. 물론, 1화소 열에 한정되는 것은 아니고, 예를 들면, RGB 화소를 1화소의 단위로 레이저를 조사해도 된다(이 경우에는, 3화소 열로 된다). 또한, 복수의 화소에 동시에 조사해도 된다. 또한, 레이저의 조사 범위의 이동이 오버랩해도 되는 것은 물론이다(통상적으로, 이동하는 레이저 광의 조사 범위는 오버랩하는 것이 보통이다).

레이저 어닐링시의 선 형상의 레이저 스폿을 소스 신호선(18)의 형성 방향과 일치시키는(소스 신호선(18)의 형성 방향과, 레이저 스폿의 길이 방향을 평행하게 함) 것에 의해, 1개의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(모빌리티, V_t , S값 등)을 균일하게 할 수 있다.

화소는 RGB의 3화소로 정방형의 형상으로 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로로 긴 화소 형상으로 된다. 따라서, 레이저 조사 스폿을 세로로 길게 하여 어닐링함으로써, 1화소 내에서는 트랜지스터(11)의 특성 변동이 발생하지 않도록 할 수 있다. 또한, R, G, B의 화소 개구율은 서로 다르게 해도 된다. 개구율을 서로 다르게 함으로써, 각 RGB의 EL 소자(15)에 흐르는 전류 밀도를 서로 다르게 할 수 있다. 전류 밀도를 서로 다르게 함으로써, RGB의 EL 소자(15)의 열화 속도를 동일하게 할 수 있다. 열화 속도를 동일하게 하면, EL 표시 장치의 화이트 밸런스 어긋남이 발생하지 않는다.

어레이 기판(30)의 구동용 트랜지스터(11a)의 특성 분포(특성 변동)는, 도핑 공정에서도 발생한다. 도 591의 (a)에 도시하는 바와 같이, 도핑 헤드(5911)에는, 도핑을 위한 구멍이 등간격으로 뚫려 있다. 따라서, 도 591의 (a)에 도시하는 바와 같이, 도핑에 의한 특성 분포가 줄무늬 형상으로 발생한다.

본 발명의 어레이 기판의 제조 방법에서는, 도 591에 도시하는 바와 같이, 도핑에 의한 특성의 분포 방향(도 591)과, 레이저 어닐링 방향에 의한 특성 분포 방향(도 592)과 소스 신호선(18)의 형성 방향(도 593)을 일치시키고 있다. 이상과 같이 구성(형성)함으로써, 전류 구동 방식에 있어서 구동용 트랜지스터(11a)의 특성 변동을 전류 프로그램 방식에 의해 양호하게 보상할 수 있다.

도 591의 도핑 공정에서는, 도핑 헤드(3461)의 주사 방향에 특성 분포가 발생한다(도핑 헤드의 수직 방향에 특성 분포가 발생함). 도 592의 레이저 어닐링 공정에서는, 레이저 헤드(3462)의 주사 방향의 수직 방향에 특성 분포가 발생한다(레이저 헤드의 길이 방향에 특성 분포가 발생함). 레이저 어닐링은, 선 형상의 레이저 광이 기판(30)에 조사되어, 선 형상으로 레이저 어닐링되기 때문이다. 즉, 선 형상으로 레이저 쏘여, 레이저 조사 위치를 순차적으로 어긋나게 함으로써 기판(30) 전체가 레이저 어닐링된다.

도 593에 도시하는 바와 같이, 레이저 헤드(5912)의 길이 방향은, 소스 신호선(18)과 평행하다(선 형상의 레이저 광은 소스 신호선(18)과 평행하게 되도록 조사된다). 또한, 도 591에 도시하는 바와 같이, 도핑 헤드(5911)는, 소스 신호선(18)의 형성 방향과 수직으로 되도록 배치되어 조작된다(도핑에 의한 특성 분포 방향이 소스 신호선(18)과 평행하게 되도록 도핑이 실시된다).

또한, 도 594에 도시하는 바와 같이, 화소(16)의 구동용 트랜지스터(11a)의 길이 방향(채널 면적이 $a \times b$ 로 형성되어 있을 때, a 또는 b 의 긴 변)과 레이저 헤드(5912)의 방향이 일치하도록, 트랜지스터(11a)가 형성 또는 배치된다(레이저 헤드(5912)의 주사 방향과 수직으로 트랜지스터(11a)의 채널의 길이 방향이 형성 또는 배치된다). 1 레이저 쏘기로 트랜지스터(11a)의 채널이 어닐링되어, 특성 변동이 저감되기 때문이다. 또한, 트랜지스터(11a)의 채널의 길이 방향과, 소스 신호선(18)과 평행하게 되도록, 트랜지스터(11a)가 형성 또는 배치된다. 본 발명의 제조 방법은, 레이저 어닐링 공정을 실시한 후, 도핑 공정을 실시한다.

또한, 이상의 제조 방향 혹은 구성은, 도 2, 도 9, 도 10, 도 13, 도 11, 도 602, 도 603, 도 604, 도 607의 (a), (b), (c) 등에 도시한 다른 화소 구성에도 적용할 수 있는 것은 물론이다.

본 발명의 소스 드라이버 회로(IC)(16)를 구성하는 단위 트랜지스터(154)는 일정한 면적이 필요하다. 단위 트랜지스터(154)에 일정한 트랜지스터 사이즈가 필요한 이유 중 하나는, 웨이퍼(5891)에 모빌리티의 특성 분포가 있기 때문이다. 도 589는 웨이퍼(5891)의 특성 분포의 상태를 개념적으로 도시하고 있다. 일반적으로 웨이퍼의 특성 분포(5892)는 띠 형상(줄무늬 형상)으로 되어 있다. 띠 형상의 부분의 특성이 근사해 있다.

특성 분포(5892)를 경감하기 위해서는, IC 프로세스의 확산 공정을 연구함으로써 개선한다. 1개의 확산 공정을 복수회 실시하는 것이 유효하다. 확산 공정에 있어서, 도핑 등을 주사함으로써 실시하고 있다. 이 주사에 의해, 주기적으로 단위 트랜지스터의 특성(특히 V_t)이 주기적으로 다르게 된다. 따라서, 확산 공정을 복수회 실시하여, 각 확산 공정의 개시 위치를 어긋나게 하는 것에 의해 주기적인 트랜지스터의 특성 분포가 평균화된다. 따라서, 주기적 얼룩이 없어진다. 이 공정을 실시하지 않으면, 통상적으로, 3~5mm 주기의 단위 트랜지스터의 특성 분포가 발생한다. 주사를 1~2mm 어긋나게 하여 복수회 실시하는 것이 적절하다.

이상과 같이 본 발명의 소스 드라이버 회로(IC)(14)의 제조 방법은, 소스 드라이버 회로(IC)(14)의 트랜지스터의 모빌리티를 설정 혹은 규정하는 확산 공정에 있어서, 상기 확산 공정을 복수회로 나누거나, 혹은 반복해서 실시하는 것이 특징이다. 이상의 공정은, 전류 출력의 소스 드라이버 회로(IC)(14)에 유효한 혹은 특징이 있는 제조 방법이다.

소스 드라이버 회로(IC)(14)의 형성에서 레이아웃을 연구하는 것도 유효하다. 도 590의 (a)와 같이 소스 드라이버 IC 칩(14)을 레이아웃하는 것보다 도 590의 (b)의 특성 분포(5892)의 방향으로 레이아웃한다. 즉, 웨이퍼(5891)의 특성 분포(5892)의 방향과 IC 칩의 길이 방향이 일치하도록 IC의 레티클을 레이아웃 설정한다.

도 589와 같은 특성 분포(5892)가 발생하고 있는 경우에는, 도 551의 (a)에 도시하는 바와 같이, 트랜지스터군(431c)의 단위 트랜지스터(154)를 정연하게 배치하는 것보다는, 도 551의 (b)와 같이 트랜지스터군을 구성하는 단위 트랜지스터(154)를 분산시켜 배치하는 쪽이 단자(155) 간의 특성 변동이 적어진다. 또한, 도 551에 있어서, 동일 해칭의 단위 트랜지스터(154)가 트랜지스터군(431c)을 구성하는 것으로 하고 있다.

단위 트랜지스터(154)의 특성 변동은, 트랜지스터군(431c)의 출력 전류에 의해서도 다르다. 출력 전류는, EL 소자(15)의 효율에 의해서 결정된다. 예를 들면, G색의 EL 소자의 발광 효율이 높으면 G색의 출력 단자(155)로부터 출력되는 프로그램 전류는 작아진다. 반대로, B색의 EL 소자의 발광 효율이 낮으면 B색의 출력 단자(155)로부터 출력되는 프로그램 전류는 커진다.

프로그램 전류가 작아지는 것은, 단위 트랜지스터(154)가 출력하는 전류가 작아지는 것을 의미한다. 전류가 작아지면 단위 트랜지스터(154)의 변동도 커진다. 단위 트랜지스터(154)의 변동을 작게 하기 위해서는, 트랜지스터 사이즈를 크게 하면 된다.

도 1에 도시하는 본 발명의 EL 표시 패널의 화소 구성 등에 대하여 설명을 한다. 게이트 신호선(제1 주사선)(17a)을 액티브(ON 전압을 인가)로 한다. 동시에, 구동용의 트랜지스터(11a)에는, 스위치용 트랜지스터(11c)를 통해서, 상기 EL 소자(15)에 홀리도록 프로그램 전류 I_w 를 소스 드라이버 회로(IC)(14)로부터 흘린다. 또한, 구동용 트랜지스터(11a)의 게이트 단자(G)와 드레인 단자(D) 사이를 단락하도록 트랜지스터(11b)가 동작한다. 동시에, 트랜지스터(11a)의 게이트 단자(G)와 소스 단자(S) 사이에 접속된 컨덴서(캐패시터, 축적 용량, 부가 용량)(19)에 트랜지스터(11a)의 게이트 전압(혹은 드레인 전압)을 기억한다(도 5의 (a)를 참조할 것).

또한, 컨덴서(축적 용량)(19)의 크기는, 0.2pF 이상 2pF 이하로 하는 것이 바람직하고, 그 중에서도 컨덴서(축적 용량)(19)의 크기는, 0.4pF 이상 1.2pF 이하로 하는 것이 바람직하다.

바람직하게는, 화소 사이즈를 고려하여 컨덴서(19)의 용량을 결정한다. 1화소에 필요한 용량을 C_s (pF)로 하고, 1화소가 차지하는 면적을 S_p 로 한다. S_p 라는 것은 개구율이 아니다. 각 RGB의 1개의 화소가 차지하는 면적이다. 예를 들면, R 화소가 $200\mu\text{m} \times 67\mu\text{m}$ 이면, $S_p = 13400$ 평방 μm 이다.

S_p (평방 μm)로 하면, $1500/S_p \leq C_s \leq 30000/S_p$ 로 하고, 더욱 바람직하게는, $3000/S_p \leq C_s \leq 15000/S_p$ 로 되도록 한다. 또한, 트랜지스터(11)의 게이트 용량은 작기 때문에, 여기서 말하는 Q라 함은, 축적 용량(컨덴서)(19) 단독의 용량이다. C_s 가 $1500/S_p$ 보다 작으면, 게이트 신호선(17)의 관통 전압의 영향이 커지고, 또한, 전압의 유지 특성이 저하하여, 휘도 경사 등이 발생한다. 또한, TFT의 보상 성능이 저하한다. C_s 가 $30000/S_p$ 보다 크면, 화소(16)의 개구율이 저하한다. 그 때문에, EL 소자(15)의 전계 밀도가 높아져, EL 소자(15)의 수명이 저하하는 등 악영향이 발생한다. 또한, 컨덴서 용량에 의해, 전류 프로그램의 기입 시간이 길어져, 저계조 영역에서 기입 부족이 발생한다.

또한, 축적 용량(19)의 용량값을 C_s , 제2 트랜지스터(11b)의 오프 전류값을 I_{off} 로 한 경우, 다음 식을 만족시키는 것이 바람직하다.

$$3 < C_s / I_{off} < 24$$

더욱 바람직하게는, 다음 식을 만족시키는 것이 바람직하다.

$$6 < C_s / I_{off} < 18$$

트랜지스터(11b)의 오프 전류를 5pA 이하로 함으로써, EL을 흐르는 전류값의 변화를 2% 이하로 억제하는 것이 가능하다. 이것은 누설 전류가 증가하면, 전압비 기입 상태에 있어서 게이트-소스간(컨덴서의 양단)에 축적된 전하를 1필드 기간 유지할 수 없기 때문이다. 따라서, 컨덴서(19)의 축적용 용량이 크면 오프 전류의 허용량도 커진다. 상기 식을 만족시키는 것에 의해서 인접 화소간의 전류값의 변동을 2% 이하로 억제할 수 있다.

이상의 축적 용량 C_s 등에 관한 사항은, 도 1의 화소 구성에 한정되는 것은 아니고, 그 밖의 전류 프로그램 방식의 화소 구성에도 적용할 수 있는 것은 물론이다.

EL 소자(15)의 발광 기간에서는, 게이트 신호선(17a)을 비액티브(OFF 전압을 인가), 게이트 신호선(17b)을 액티브로 한다. 프로그램 전류 $I_w = I_e$ 가 흐르는 경로를, EL 소자(15)에 접속된 경로로 전환하고, 기억한 프로그램 전류 I_w 를 상기 EL 소자(15)에 홀리도록 동작시킨다(도 5의 (b)를 참조할 것).

도 1의 화소 회로는, 1화소 내에 4개의 트랜지스터(11)를 갖고 있다. 구동용 트랜지스터(11a)의 게이트 단자는 트랜지스터(11b)의 소스 단자에 접속되어 있다. 트랜지스터(11b) 및 트랜지스터(11c)의 게이트 단자는 게이트 신호선(17a)에 접속

되어 있다. 트랜지스터(11b)의 드레인 단자는 트랜지스터(11c)의 소스 단자 및 트랜지스터(11d)의 소스 단자에 접속되고, 트랜지스터(11c)의 드레인 단자는 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트 단자는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인 단자는 EL 소자(15)의 애노드 전극에 접속되어 있다.

도 1에서는 모든 트랜지스터는 P 채널로 구성하고 있다. P 채널은 다소 N 채널의 트랜지스터와 비교하여 모빌리티가 낮지만, 내압이 크고 또한 열화도 발생하기 어렵기 때문에 바람직하다. 그러나, 본 발명은 EL 소자 구성을 P 채널로 구성하는 것에만 한정되는 것은 아니다. N 채널만으로 구성해도 된다. 또한, N 채널과 P 채널의 양쪽을 이용하여 구성해도 된다.

패널을 저코스트로 제작하기 위해서는, 화소를 구성하는 트랜지스터(11)를 모두 P 채널로 형성하고, 내장 게이트 드라이버 회로(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5매로 되어, 저코스트화, 고 수율화를 실현할 수 있다.

이하, 더욱 본 발명의 이해를 용이하게 하기 위해, 본 발명의 EL 소자 구성에 대하여 도 5를 이용하여 설명한다. 본 발명의 EL 소자 구성은 2개의 타이밍에 의해 제어된다. 제1 타이밍은 필요한 전류값을 기억시키는 타이밍이다. 이 타이밍에서 트랜지스터(11b) 및 트랜지스터(11c)가 ON함으로써, 등가 회로로서 도 5의 (a)로 된다. 여기서, 신호선으로부터 소정의 전류 I_w 가 기입된다. 이에 따라 트랜지스터(11a)는 게이트와 드레인이 접속된 상태로 되고, 이 트랜지스터(11a)와 트랜지스터(11c)를 통하여 전류 I_w 가 흐른다. 따라서, 트랜지스터(11a)의 게이트-소스의 전압은 I_1 이 흐르는 전압으로 된다.

제2 타이밍은 트랜지스터(11a)와 트랜지스터(11c)가 폐쇄되고, 트랜지스터(11d)가 개방되는 타이밍이고, 그 때의 등가 회로는 도 5의 (b)로 된다. 트랜지스터(11a)의 소스-게이트간의 전압은 유지된 채로 된다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, I_w 의 전류는 일정하게 된다.

이상의 동작을 도시하면, 도 19에 도시하는 바와 같이 된다. 도 19의 (a)의 191a는, 표시 화면(144)에 있어서의, 임의의 시각에서의 전류 프로그램되어 있는 화소(행)(기입 화소행)을 나타내고 있다. 화소(행)(191a)은, 도 5의 (b)에 도시하는 바와 같이 비점등(비표시 화소(행))으로 한다.

도 1의 화소 구성의 경우에는, 도 5의 (a)에 도시하는 바와 같이 전류 프로그램시에는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 구동용 트랜지스터(11a)를 흐르고, 프로그램 전류 I_w 를 흘리는 전류가 유지되도록, 컨덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음으로, EL 소자(15)에 전류를 흘리는 기간은 도 5의 (b)와 같이, 트랜지스터(11c, 11b)가 오프하고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되어, 트랜지스터(11b, 11c)가 오프한다. 한편, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되어, 트랜지스터(11d)가 온한다.

이 타이밍차트를 도 21에 도시한다. 도 21 등에 있어서, 괄호안의 첨자(예를 들면, (1) 등)는 화소행의 번호를 나타내고 있다. 즉, 게이트 신호선(17a(1))이라 함은, 화소행(1)의 게이트 신호선(17a)을 나타내고 있다. 또한, 도 4의 상단의 *H (「*」에는 임의의 기호, 수치가 적용되고, 수평 주사선의 번호를 나타냄)라 함은, 수평 주사 기간을 나타내고 있다. 즉, 1H라 함은 제1번째의 수평 주사 기간이다. 또한, 이상의 사항은, 설명을 용이하게 하기 위함이며, 한정(1H의 번호, 1H 주기, 화소행 번호의 순서 등)하는 것은 아니다.

도 21에서 알 수 있는 바와 같이, 각 선택된 화소행(선택 기간은, 1H로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압이 인가되고 있는 때에는, 게이트 신호선(17b)에는 오프 전압이 인가되고 있다. 또한, 이 기간은, EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 선택되어 있지 않은 화소행에 있어서, 게이트 신호선(17a)에 오프 전압이 인가되고, 게이트 신호선(17b)에는 온 전압이 인가되고 있다.

또한, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트는 동일한 게이트 신호선(11a)에 접속하고 있다. 그러나, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트를 다른 게이트 신호(11)에 접속해도 된다(도 6을 참조할 것). 도 6에 있어서, 1화소의 게이트 신호선은 3개로 된다(도 1의 구성은 2개이다).

도 6의 화소 구성에서는, 트랜지스터(11b)의 게이트의 ON/OFF 타이밍과 트랜지스터(11c)의 게이트의 ON/OFF 타이밍을 개별로 제어함으로써, 트랜지스터(11a)의 변동에 의한 EL 소자(15)의 전류값 변동을 더욱 저감할 수 있다.

도 6의 화소 구성에 있어서, 화소(16)에 전류 프로그램을 행할 때에는, 게이트 신호선(17a1, 17a2)를 동시에 선택하여, 트랜지스터(11b, 11c)를 온시킨다. 또한, 전류 프로그램을 실시하고 있는 화소(16)의 게이트 신호선(17b)에는 오프 전압을 인가하여, 트랜지스터(11d)를 오프시켜 둔다.

선택한 화소행에 있어서의 전류 프로그램 기간(통상적으로, 1수평 주사 기간)을 완료할 때는, 우선, 게이트 신호선(17a1)에 오프 전압(Vgh)을 인가하여, 트랜지스터(11b)를 오프시킨다. 이 때는, 게이트 신호선(17a2)에는 온 전압(Vgl)이 인가되고 있어, 트랜지스터(11c)는 온 상태이다. 다음으로, 게이트 신호선(17a2)에 오프 전압을 인가하여, 트랜지스터(11c)를 오프시킨다.

이상과 같이, 트랜지스터(11b, 11c)의 양쪽이 온인 상태로부터, 트랜지스터(11b, 11c)를 오프 상태로 할 때(상기 화소행의 전류 프로그램 기간을 종료시킬 때)에는, 우선, 트랜지스터(11b)를 오프로 하여, 구동용 트랜지스터(11a)의 게이트 단자(G)와 드레인 단자(D) 사이를 오픈으로 한다(게이트 신호선(17a1)에 오프 전압(Vgh)을 인가함). 다음으로, 트랜지스터(11c)를 오프로 하여, 소스 신호선(18)과 구동용 트랜지스터(11a)의 드레인 단자(D)를 분리한다(게이트 신호선(17a2)에 오프 전압(Vgh)을 인가함).

게이트 신호선(17a1)에 오프 전압을 인가하고 나서, 게이트 신호선(17a2)에 오프 전압을 인가할 때까지의 기간 Tw는, 0.1μsec 이상 10μsec 이하의 기간으로 하는 것이 바람직하다. 혹은, 1H의 기간을 Th라고 했을 때, Tw는, Th/500 이상 Th/10 이하로 하는 것이 바람직하다. 특히, Tw는, Th/200 이상 Th/50 이하로 하는 것이 바람직하다.

이상의 사항은, 도 6의 화소 구성에 한정되는 것은 아니다. 예를 들면, 도 12 등의 화소 구성에도 적용된다. 도 12의 화소 구성에 있어서, 화소(16)에 전류 프로그램을 행할 때에는, 게이트 신호선(17a1, 17a2)을 동시에 선택하여, 트랜지스터(11d, 11c)를 온시킨다. 또한, 전류 프로그램을 실시하고 있는 화소(16)의 게이트 신호선(17b)에는 오프 전압을 인가하여, 트랜지스터(11e)를 오프시켜 둔다.

선택한 화소행에 있어서의 전류 프로그램 기간(통상적으로, 1수평 주사 기간)을 완료할 때에는, 우선, 게이트 신호선(17a1)에 오프 전압(Vgh)을 인가하여, 트랜지스터(11d)를 오프시킨다. 이 때에는, 게이트 신호선(17a2)은 온 전압(Vgl)이 인가되고 있어, 트랜지스터(11c)는 온 상태이다. 다음으로, 게이트 신호선(17a2)에 오프 전압을 인가하여, 트랜지스터(11c)를 오프시킨다.

이상과 같이, 트랜지스터(11d, 11c)의 양쪽이 온인 상태로부터, 트랜지스터(11d, 11c)를 오프 상태로 할 때(상기 화소행의 전류 프로그램 기간을 종료시키는 시간)에는, 우선, 트랜지스터(11d)를 오프로 하여, 트랜지스터(11a)의 게이트 단자(G)와 드레인 단자(D) 사이를 오픈으로 한다(게이트 신호선(17a1)에 오프 전압(Vgh)을 인가함). 다음으로, 트랜지스터(11c)를 오프로 하여, 소스 신호선(18)과 트랜지스터(11a)의 드레인 단자(D)를 분리한다(게이트 신호선(17a2)에도 오프 전압(Vgh)을 인가함).

도 12에서도 도 6과 마찬가지로, 게이트 신호선(17a1)에 오프 전압을 인가하고 나서, 게이트 신호선(17a2)에 오프 전압을 인가할 때까지의 기간 Tw는, 0.1μsec 이상 10μsec 이하의 기간으로 하는 것이 바람직하다. 혹은, 1H의 기간을 Th라고 했을 때, Tw는, Th/500 이상 Th/10 이하로 하는 것이 바람직하다. 특히, Tw는, Th/200 이상 Th/50 이하로 하는 것이 바람직하다.

이상의 사항은, 도 10 등의 화소 구성에 있어서도 적용할 수 있는 것은 물론이다. 또한, 도 12에서는 구동용 트랜지스터(11b)와 EL 소자(15) 사이에 스위칭용 트랜지스터(11e)를 배치하고 있지만, 도 13에 도시하는 바와 같이, 스위칭용 트랜지스터(11e)를 생략해도 되는 것은 물론이다.

또한, 본 발명의 화소 구성은 도 1, 도 12의 구성에 한정되는 것은 아니다. 예를 들면, 도 7과 같이 구성해도 된다. 도 7은, 도 1의 구성과 비교하여 스위칭용 트랜지스터(11d)가 없다. 대신에 절환 스위치(71)가 형성 또는 배치되어 있다. 도 1의 스위치(11d)는 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류를 온 오프(홀린다, 흘리지 않는다) 제어하는 기능을 갖는다. 이후의 실시예에서도 설명을 하겠지만, 본 발명은 이 트랜지스터(11d)의 온 오프 제어 기능이 중요한 구성 요소이다. 트랜지스터(11d)를 형성하지 않고, 온 오프 기능을 실현하는 것이 도 7의 구성이다.

도 7에 있어서, 절환 스위치(71)의 a단자는, 애노드 전압 Vdd에 접속되어 있다. 또한, a 단자에 인가하는 전압은 애노드 전압 Vdd에 한정되는 것은 아니고, EL 소자(15)에 흐르는 전류를 오프할 수 있는 전압이면 어느 것이어도 된다.

절환 스위치(71)의 b단자는, 캐소드 전압(도 7에서는 접지로 도시하고 있음)에 접속되어 있다. 또한, b단자에 인가하는 전압은 캐소드 전압에 한정되는 것은 아니고, EL 소자(15)에 흐르는 전류를 온할 수 있는 전압이면 어느 것이어도 된다.

절환 스위치(71)의 c단자에는 EL 소자(15)의 캐소드 단자가 접속되어 있다. 또한, 절환 스위치(71)는 EL 소자(15)에 흐르는 전류를 온 오프시키는 기능을 갖는 것이면 어느 것이어도 된다. 따라서, 도 7의 형성 위치에 한정되는 것은 아니고, EL 소자(15)의 전류가 흐르는 경로이면 어느 것이어도 된다. 또한, 스위치의 기능이 한정되는 것도 아니고, EL 소자(15)에 흐르는 전류를 온 오프할 수 있으면 어느 것이어도 된다. 즉, 본 발명에서는, EL 소자(15)의 전류 경로에 EL 소자(15)에 흘리는 전류를 온 오프할 수 있는 스위칭 수단을 구비하면, 어떠한 화소 구성이어도 된다.

본 명세서에 있어서, 오프라는 것은 완전하게 전류가 흐르지 않는 상태를 의미하는 것은 아니다. EL 소자(15)에 흐르는 전류를 통상보다 저감할 수 있는 것이면 된다. 이상의 사항은 본 발명의 다른 구성에 있어서도 마찬가지이다. 즉, 트랜지스터(11d)는 EL 소자(15)가 발광하는 누설 전류를 흘려도 된다.

절환 스위치(71)는, P 채널과 N 채널의 트랜지스터를 조합하는 것에 의해 용이하게 실현할 수 있기 때문에 설명은 필요 없을 것이다. 물론, 스위치(71)는 EL 소자(15)에 흐르는 전류를 온 오프할 뿐이므로, P 채널 트랜지스터 혹은 N 채널 트랜지스터로도 형성할 수 있는 것은 물론이다.

스위치(71)가 a단자에 접속되어 있을 때에는, EL 소자(15)의 캐소드 단자에 애노드 전압 Vdd가 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G가 어떠한 전압 유지 상태이더라도 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, EL 소자(15)는 비점등 상태로 된다. 물론, 구동용 트랜지스터(11a)의 소스 단자(S)-드레인 단자(D) 간의 전압을, 컷오프 혹은 그 근방으로 할 수 있도록, 절환 스위치(회로)(71)의 a단자의 전압을 설정하면 된다.

스위치(71)가 b단자에 접속되어 있을 때에는, EL 소자(15)의 캐소드 단자에 캐소드 전압 Vss가 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G에 유지된 전압 상태에 따라서 EL 소자(15)에 전류가 흐른다. 따라서, EL 소자(15)는 점등 상태로 된다.

이상의 것으로부터 도 7의 화소 구성에서는, 구동용 트랜지스터(11a)와 EL 소자(15) 사이에는 스위칭용 트랜지스터(11d)가 형성되어 있지 않다. 그러나, 스위치(71)를 제어함으로써 EL 소자(15)의 점등 제어를 행할 수 있다.

화소(16)의 스위칭용 트랜지스터(11) 등은 포토 트랜지스터라도 된다. 예를 들면, 외광의 강약에 의해 포토 트랜지스터(11)를 온 오프시켜, EL 소자(15)에 흐르는 전류를 제어함으로써, 표시 패널의 휘도를 변화시킬 수 있다.

도 1, 도 2, 도 6, 도 11, 도 12 등의 화소 구성에서는, 구동용 트랜지스터(11a) 혹은 (11b)는 1화소당 1개이다. 본 발명은 이것에 한정되는 것은 아니고, 구동용 트랜지스터(11a)는 1화소에 복수개를 형성 또는 배치해도 된다.

도 8은 1화소(16)에 복수개의 구동용 트랜지스터(11a)가 형성 또는 구성된 실시예이다. 도 8에서는 1화소에 2개의 구동용 트랜지스터(11a1, 11a2)가 형성되고, 2개의 구동용 트랜지스터(11a1, 11a2)의 게이트 단자는 공통의 컨덴서(19)에 접속되어 있다. 구동용 트랜지스터(11a)를 복수개 형성함으로써, 프로그램되는 전류 변동이 저감된다고 하는 효과가 있다. 다른 구성은, 도 1 등과 마찬가지이므로 설명을 생략한다.

도 8에 있어서, 구동용 트랜지스터(11a)는 3개 이상으로 구성(형성)해도 되는 것은 물론이다. 또한, 복수의 구동용 트랜지스터(11a)는 N 채널과 P 채널의 양쪽을 이용하여 구성(형성)해도 된다.

도 1, 도 12는 구동용 트랜지스터(11a)가 출력하는 전류를 EL 소자(15)에 흘리고, 상기 전류를 구동용 트랜지스터(11a)와 EL 소자(15) 사이에 배치된 스위칭 소자(11d) 또는 트랜지스터(11e)에서 온 오프 제어하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 도 9의 구성이 예시된다.

도 9의 실시예에서는, EL 소자(15)에 흘리는 전류가 구동용 트랜지스터(11a)에서 제어된다. EL 소자(15)에 흐르는 전류를 온 오프시키는 것은 Vdd 단자와 EL 소자(15) 사이에 배치된 스위칭 소자(11d)에서 제어된다. 따라서, 본 발명은 스위칭 소자(11d)의 배치는 어디라도 되고, EL 소자(15)에 흐르는 전류를 제어할 수 있는 것이면 어느 것이어도 된다. 동작 등은 도 1 등과 마찬가지 혹은 유사하므로 설명을 생략한다.

또한, 도 10의 화소 구성에 있어서, 모든 트랜지스터는 N 채널로 구성하고 있다. 그러나, 본 발명은 EL 소자 구성을 N 채널로 구성하는 것에만 한정되는 것은 아니다. N 채널과 P 채널의 양쪽을 이용하여 구성해도 된다.

도 10의 화소 구성은, 2개의 타이밍에 의해 제어된다. 제1 타이밍은 필요한 전류값을 기억시키는 타이밍이다. 제1 타이밍에서는 게이트 신호선(17a1, 17a2)에 온 전압(V_{gh})이 인가됨으로써, 트랜지스터(11b) 및 트랜지스터(11c)가 ON한다. 또한, 게이트 신호선(17b)에 오프 전압(V_{gl})이 인가되어, 트랜지스터(11d)가 OFF한다. 따라서, 소스 신호선(18)으로부터 소정의 전류 I_w 가 기입된다. 이에 따라 트랜지스터(11a)는 게이트와 드레인이 단락된 상태로 되고, 구동용 트랜지스터(11a)는 트랜지스터(11c)를 통하여 프로그램 전류가 흐른다.

선택한 화소행에 있어서의 전류 프로그램 기간(통상적으로, 1수평 주사 기간)을 완료할 때에는, 우선, 게이트 신호선(17a1)에 오프 전압(V_{gh})을 인가하여, 트랜지스터(11b)를 오프시킨다. 이 때에는, 게이트 신호선(17a2)은 온 전압(V_{gl})이 인가되고 있어, 트랜지스터(11c)는 온 상태이다. 다음으로, 게이트 신호선(17a2)에 오프 전압을 인가하여, 트랜지스터(11c)를 오프시킨다.

이상과 같이, 트랜지스터(11b, 11c)의 양쪽이 온인 상태에서부터, 트랜지스터(11b, 11c)를 오프 상태로 할 때(상기 화소행의 전류 프로그램 기간을 종료시키는 시간)에는, 우선, 트랜지스터(11b)를 오프로 하여, 트랜지스터(11a)의 게이트 단자(G)와 드레인 단자(D) 사이를 오픈으로 한다(게이트 신호선(17a1)에 오프 전압(V_{gh})을 인가함). 다음으로, 트랜지스터(11c)를 오프로 하여, 소스 신호선(18)과 트랜지스터(11a)의 드레인 단자(D)를 분리한다(게이트 신호선(17a2)에도 오프 전압(V_{gh})을 인가함).

제2 타이밍은 게이트 신호선(17a1, 17a2)에 오프 전압이 인가되고, 게이트 신호선(17b)에 온 전압이 인가된다. 따라서, 트랜지스터(11b)와 트랜지스터(11c)가 오프하여, 트랜지스터(11d)가 온한다. 이 경우, 트랜지스터(11a)는 항상 포화 영역에서 동작하기 때문에, I_w 의 전류는 일정하게 된다.

전류 프로그램 방식의 화소(도 1, 도 6 내지 도 13, 도 31 내지 도 36 등)에서는, 구동용 트랜지스터(11a)(도 11, 도 12 등에서는 트랜지스터(11b))의 특성의 변동은 트랜지스터 사이즈에 상관이 있다. 특성 변동을 작게 하기 위해서, 구동용 트랜지스터(11)의 채널 길이 L 을 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 구동용 트랜지스터(11)의 채널 길이 L 을 $10\mu\text{m}$ 이상 $50\mu\text{m}$ 이하로 하는 것이 바람직하다. 이것은, 채널 길이 L 을 길게 한 경우, 채널에 포함되는 입계가 증가하는 것에 의해서 전계가 완화되어 킹크 효과가 낮게 억제되기 때문이라고 생각된다.

이상과 같이, 본 발명은, EL 소자(15)에 전류가 유입되는 경로, 또는 EL 소자(15)로부터 전류가 유출되는 경로(즉, EL 소자(15)의 전류 경로임)에 EL 소자(15)에 흐르는 전류를 제어하는 회로 수단을 구성 또는 형성 혹은 배치한 것이다.

전류 프로그램 방식의 하나인 커런트 미러 방식이더라도, 도 11, 도 12에 도시하는 바와 같이, 구동용 트랜지스터(11b)와 EL 소자(15) 사이에 스위칭 소자로서의 트랜지스터(11e)를 형성 또는 배치함으로써 EL 소자(15)에 흐르는 전류를 온 오프할 수 있다. 트랜지스터(11e)는 도 7의 절환 스위치(회로)(71)로 치환해도 된다.

도 11의 스위칭용 트랜지스터(11d, 11c)는 1개의 게이트 신호선(17a)에 접속되어 있지만, 도 12에 도시하는 바와 같이, 트랜지스터(11c)는 게이트 신호선(17a2)에서 제어하고, 트랜지스터(11d)는 게이트 신호선(17a1)에서 제어하도록 구성해도 된다. 앞서서도 설명한 바와 같이, 도 12의 화소 구성 쪽이, 화소(16)의 제어의 범용성이 높아져, 구동용 트랜지스터(11b)의 특성 보상 성능도 향상한다.

다음으로, 본 발명의 EL 표시 패널 혹은 EL 표시 장치에 대하여 설명을 한다. 도 14는 EL 표시 장치의 회로를 중심으로 한 설명도이다. 화소(16)는 매트릭스 형상으로 배치 또는 형성되어 있다. 각 화소(16)에는 각 화소의 전류 프로그램을 행하는 프로그램 전류를 출력하는 소스 드라이버 회로(IC)(14)가 접속되어 있다. 소스 드라이버 회로(IC)(14)의 출력단은 영상 신호의 비트 수에 대응한 커런트 미러 회로가 형성되어 있다(나중에 설명함). 예를 들면, 64계조이면, 63개의 커런트 미러 회로가 각 소스 신호선에 형성되고, 이들의 커런트 미러 회로의 개수를 선택함으로써 원하는 전류를 소스 신호선(18)에 인가할 수 있도록 구성되어 있다(도 15, 도 57, 도 58, 도 59 등을 참조할 것).

소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)의 최소 출력 전류는 0.5nA 이상 100nA 로 하고 있다. 특히 단위 트랜지스터(154)의 최소 출력 전류는 2nA 이상 20nA 로 하는 것이 바람직하다. 드라이버 IC(14) 내의 단위 트랜지스터군(431c)을 구성하는 단위 트랜지스터(154)의 정밀도를 확보하기 위함이다.

소스 드라이버 회로(IC)(14)는, 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 회로를 내장한다. 도 16 등을 참조할 것. 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 혹은 디스차지 회로의 전압(전류) 출력값은, R, G, B에서 독립적으로 설정할 수 있도록 구성하는 것이 바람직하다. EL 소자(15)의 임계값이 RGB에서 서로 다르기 때문이다.

프리차지 전압은, 구동용 트랜지스터(11a)의 게이트(G) 단자에 상승 전압 혹은 상승 전압 이하의 전압을 인가하는 방법이라고도 생각할 수 있다. 즉, 구동용 트랜지스터(11a)를 오프 상태로 하는 것에 의해 프로그램 전류 I_w 가 0으로 되는 상태를 발생시켜, EL 소자(15)에 전류가 흐르지 않도록 한다. 소스 신호선(18)의 전하의 충전은 부차적인 것이다.

본 발명에 있어서, 소스 드라이버 회로(IC)(14)는 반도체 실리콘 칩으로 형성하고, 글래스 온 칩(COG) 기술로 기판(30)의 소스 신호선(18)의 단자와 접속되어 있다. 한편, 게이트 드라이버 회로(12)는 저온 폴리실리콘 기술로 형성하고 있다. 즉, 화소의 트랜지스터와 동일한 프로세스로 형성하고 있다. 이것은, 소스 드라이버 회로(IC)(14)와 비교하여 내부의 구조가 용이하고, 동작 주파수도 낮기 때문이다. 따라서, 저온 폴리실리콘 기술로 형성해도 용이하게 형성할 수 있고, 또한, 표시 패널의 협소한 프레임화를 실현할 수 있다. 물론, 게이트 드라이버 회로(12)를 실리콘 칩으로 형성하고, COG 기술 등을 이용하여 기판(30) 상에 실장해도 되는 것은 물론이다. 또한, 게이트 드라이버 회로(IC)(12), 소스 드라이버 회로(IC)(14)를 COF 혹은 TAB 기술로 실장해도 된다. 또한, 화소 트랜지스터 등의 스위칭 소자, 게이트 드라이버 등은 고온 폴리실리콘 기술로 형성해도 되고, 유기 재료로 형성(유기 트랜지스터)해도 된다.

게이트 드라이버 회로(12)는 게이트 신호선(17a)용의 시프트 레지스터 회로(141a)와, 게이트 신호선(17b)용의 시프트 레지스터 회로(141b)를 내장한다. 또한, 설명을 용이하게 하기 위해서, 화소 구성은 도 1을 예로 들어 설명한다. 또한, 도 6, 도 12와 같이 게이트 신호선(17a)이 게이트 신호선(17a1과 17a2)으로 구성되는 경우에는, 각각 독립적으로 시프트 레지스터 회로(141)를 형성하거나, 1개의 시프트 레지스터 회로(141)의 출력 신호를 로직 회로에서 게이트 신호선(17a1, 17a2)의 제어 신호를 발생시킨다.

각 시프트 레지스터 회로(141)는 포지티브상(正相)과 네가티브상(負相)의 클럭 신호(CLKxP, CLKxN), 스타트 펄스(STx)로 제어된다(도 14를 참조할 것). 그 밖에, 게이트 신호선의 출력, 비출력을 제어하는 인에이블(ENABL) 신호, 시프트 방향을 상하 역전하는 업다운(UPDOWN) 신호를 부가하는 것이 바람직하다. 그 밖에, 스타트 펄스가 시프트 레지스터 회로(141)에 시프트되고, 그리고 출력되고 있는 것을 확인하는 출력 단자 등을 설치하는 것이 바람직하다.

시프트 레지스터 회로(141)의 시프트 타이밍은 컨트롤 IC(760)(후술함)로부터의 제어 신호로 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로(141)를 내장한다. 또한, 클럭 신호는 포지티브상만으로 해도 된다. 포지티브상의 클럭 신호로 함으로써 신호선 수를 삭감할 수 있어, 협소한 프레임화를 실현할 수 있다.

시프트 레지스터 회로(141)의 버퍼 용량은 작기 때문에, 직접은 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(141)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트(143) 사이에는 적어도 2개 이상의 인버터 회로(142)가 형성되어 있다.

소스 드라이버 회로(IC)(14)를 저온 폴리실리콘 등의 폴리실리콘 기술로 기판(30) 상에 직접 형성하는 경우도 마찬가지이고, 소스 신호선(18)을 구동하는 트랜스퍼 게이트 등의 아날로그 스위치의 게이트와 소스 드라이버 회로(IC)(14)의 시프트 레지스터 사이에는 복수의 인버터 회로가 형성된다.

이하의 사항(시프트 레지스터의 출력과, 신호선을 구동하는 출력단(출력 게이트 혹은 트랜스퍼 게이트 등의 출력단 사이에 배치되는 인버터 회로에 관한 사항)은, 소스 드라이브 및 게이트 드라이버 회로에 공통의 사항이다.

EL 표시 패널의 색 온도는, 색 온도가 7000K(켈빈) 이상 12000K 이하의 범위에서, 화이트 밸런스를 조정했을 때, 각 색의 전류 밀도의 차가 $\pm 30\%$ 이내로 되도록 한다. 더욱 바람직하게는 $\pm 15\%$ 이내로 되도록 한다. 예를 들면, 전류 밀도가 100A/평방미터인 것으로 하면, 3원색이 모두 70A/평방미터 이상 130A/평방미터 이하로 되도록 한다. 더욱 바람직하게는, 3원색이 모두 85A/평방미터 이상 115A/평방미터 이하로 되도록 한다.

유기 EL 소자(15)는 자기 발광 소자이다. 이 발광에 의한 광이 스위칭 소자로서의 트랜지스터에 입사하면 포토컨덕터 현상(포토컨)이 발생한다. 포토컨이라 함은, 광 여기에 의해 트랜지스터 등의 스위칭 소자의 오프 시에서의 누설(오프 누설)이 증가하는 현상을 말한다.

이 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버 회로(12)(경우에 따라서는 소스 드라이버 회로(IC)(14))의 하층, 화소 트랜지스터(11)의 하층의 차광막을 형성하고 있다. 특히 구동용 트랜지스터(11a)의 게이트 단자의 전위 위치(c로 나타냄)와 드레인 단자의 전위 위치(a로 나타냄) 사이에 배치된 트랜지스터(11b)를 차광하는 것이 바람직하다.

이 구성을 도 314의 (a), (b)에 도시하고 있다. 특히 표시 패널이 흑색 표시인 경우에는, 도 314의 (a), (b)에 있어서의 EL 소자(15)의 애노드 단자의 전위 위치 b의 전위가 캐소드 전위에 가깝다. 그 때문에, TFT(17b)가 온 상태이면, 전위 a도 낮아진다. 그 때문에, 트랜지스터(11b)의 소스 단자와 드레인 단자 사이의 전위(c전위와 a전위 사이)가 커져, 트랜지스터(11b)가 누설되기 쉬워진다. 이 과제에 대해서는, 도 314의 (a), (b)에 도시하는 바와 같이 차광막(3141)을 형성하는 것이 유효하다.

차광막(3141)은 크롬 등의 금속 박막으로 형성하고, 그의 막 두께는 50nm 이상 150nm 이하로 한다. 막(3141)의 두께가 얇으면 차광 효과가 부족하고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11)의 패터닝이 곤란하게 된다.

드라이버 회로(12) 등은 이면뿐만 아니라, 표면으로부터의 광의 진입도 억제해야 한다. 포토커플의 영향에 의해 오동작하기 때문이다. 따라서, 본 발명에서는, 캐소드 전극이 금속막인 경우에는, 드라이버 회로(12) 등의 표면에도 캐소드 전극을 형성하고, 이 전극을 차광막으로서 이용하고 있다.

그러나, 드라이버 회로(12) 상에 캐소드 전극을 형성하면, 이 캐소드 전극으로부터의 전계에 의한 드라이버의 오동작 혹은 캐소드 전극과 드라이버 회로의 전기적 접촉이 발생할 가능성이 있다. 이 과제에 대처하기 위해서, 본 발명에서는 드라이버 회로(12) 등의 상에 적어도 1층, 바람직하게는 복수층의 유기 EL막을 화소 전극 상의 유기 EL막 형성과 동시에 형성한다.

이하, 본 발명의 구동 방법에 대하여 설명을 한다. 도 1에 도시하는 바와 같이, 게이트 신호선(17a)은 행 선택 기간에 도통 상태(여기서는 도 1의 트랜지스터(11)가 P 채널 트랜지스터이기 때문에 로우 레벨에서 도통으로 됨)로 되고, 게이트 신호선(17b)은 비선택 기간일 때에 온 전압을 인가한다.

소스 신호선(18)에는 기생 용량(도시 생략)이 존재한다. 기생 용량은, 소스 신호선(18)과 게이트 신호선(17)과의 교차부의 용량, 트랜지스터(11b), 트랜지스터(11c)의 채널 용량 등에 의해 발생한다.

기생 용량은 소스 신호선(18)뿐만 아니라, 소스 드라이버 IC(14)에서도 발생한다. 도 17에 도시하는 바와 같이, 보호 다이오드(171)가 주원인이다. 보호 다이오드(171)는, IC(14)를 정전기로부터 보호하는 목적을 갖지만, 컨덴서로 되어 기생 용량으로도 되어 버린다. 일반적인 보호 다이오드의 용량은 3~5pF이다.

본 발명의 소스 드라이버 회로(IC)(14)(나중에 상세하게 설명함)에서는, 도 17에 도시하는 바와 같이, 접속 단자(155)와 전류 출력 회로(164) 사이에 서지 저감 저항(172)을 형성 또는 배치하고 있다. 저항(172)은 폴리실리콘 또는 확산 저항으로 형성한다. 저항(172)의 저항값은, 1KΩ 이상 1MΩ 이하로 한다. 이 저항(172)에 의해, 외부로부터의 정전기가 억제된다. 따라서, 보호 다이오드(171)의 사이즈가 작아도 된다. 보호 다이오드(171)가 작으면 보호 다이오드에 따른 기생 용량의 크기도 작아진다.

도 17에서는 소스 드라이버 IC(14) 내에 저항(172)을 형성 또는 배치하고 있도록 도시하고 있지만, 이것에 한정되는 것은 아니고, 저항(172)은, 어레이(30)에 형성 또는 배치해도 되는 것은 물론이다. 또한, 다이오드(트랜지스터를 다이오드 구성으로 한 것을 포함함)(171)에 대해서도 마찬가지이다.

저항(171a와 171b)은 트리밍에 의해 저항값을 조정할 수 있도록 구성하는 것이 바람직하다. 트리밍에 의해, 저항(171a와 171b)의 저항값을 조정할 수 있고, 소스 신호선(18)에 흐르는 누설 전류를 없앨 수 있다. 트리밍 이외의 것으로 저항값 등을 조정하는 것도 가능하다. 예를 들면, 저항(171)을 확산 저항으로 형성하는 것보다, 가열함으로써 저항값을 조정할 수 있다. 예를 들면, 저항에 레이저 광을 조사하여, 가열함으로써 저항값을 변화시킬 수 있다.

IC 칩을 전체적으로 혹은 부분적으로 가열함으로써 IC 칩 내에 형성 또는 구성된 저항값을 전체적으로 혹은 일부의 저항의 저항값을 조정 혹은 변화시킬 수 있다. 또한, 복수의 저항(171a) 등을 형성하고, 1개 이상의 저항(171a)과 소스 신호선(18)과의 접속을 컷함으로써 전체적으로 저항값의 조정을 실현할 수 있어, 누설 전류 등을 없앨 수 있다. 이상의 트리밍, 조정 등에 관한 사항은 저항(172)에 대해서도 적용되는 것은 물론이다.

소스 신호선(18)의 전류값 변화에 요하는 시간 t 는 부유 용량의 크기를 C , 소스 신호선의 전압을 V , 소스 신호선에 흐르는 전류를 I 로 하면, $t=C \cdot V/I$ 이다. 예를 들면, 프로그램 전류를 10배 크게 하면, 전류값 변화에 요하는 시간을 10분의 1로 짧게 할 수 있다. 따라서, 짧은 수평 주사 기간 내에 소정의 전류값을 기입하기 위해서는 전류값을 증가시키는 것이 유효하다.

프로그램 전류를 N 배로 하면 EL 소자(15)에 흐르는 전류도 N 배로 된다. 그 때문에, EL 소자(15)의 휘도도 N 배로 된다. 그래서, 소정의 휘도를 얻기 위해서, 예를 들면, 도 1의 트랜지스터(17d)의 도통 기간을 $1/N$ 로 한다.

이상과 같이, 소스 신호선(18)의 기생 용량의 충방전을 충분히 행하고, 소정의 전류값을 화소(16)의 트랜지스터(11a)에 전류 프로그램을 행하기 위해서는, 소스 드라이버 회로(IC)(14)로부터 비교적 큰 전류를 출력할 필요가 있다. 그러나, N 배의 프로그램 전류를 소스 신호선(18)에 흘리면 이 프로그램 전류값이 화소(16)에 프로그램되어, 소정의 전류에 대하여 N 배의 큰 전류가 EL 소자(15)에 흐른다. 예를 들면, 10배의 전류로 프로그램하면, 당연히, 10배의 전류가 EL 소자(15)에 흘러, EL 소자(15)는 10배의 휘도로 발광한다. 소정의 발광 휘도로 하기 위해서는, EL 소자(15)에 흐르는 시간을 $1/10$ 로 하면 된다. 이와 같이 구동하는 것에 의해, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있고, 소정의 발광 휘도를 얻을 수 있다.

또한, 10배의 전류값을 화소의 트랜지스터(11a)(정확하게는 컨덴서(19)의 단자 전압을 설정하고 있음)에 기입하고, EL 소자(15)의 온 시간을 $1/10$ 로 하는 것으로 했지만 이것은 일례이다. 경우에 따라서는, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 $1/5$ 로 해도 된다. 반대로, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 $1/2$ 배로 하는 경우도 있을 것이다. 또한, 1배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 $1/5$ 로 해도 된다.

본 발명은, 화소에의 기입 전류를 소정값 이외의 값으로 하고, EL 소자(15)에 흐르는 전류를 간헐 상태로 하여 구동하는 것에 특징이 있다. 본 명세서에서는 설명을 용이하게 하기 위해서, N 배의 전류값을 화소(16)의 구동용 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 $1/N$ 배로 하는 것으로서 설명한다. 그러나, 이것에 한정되는 것은 아니고, $N1$ 배($N1$ 은 1 이상에 한정되는 것은 아님)의 전류값을 화소(16)의 구동용 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 $1/(N2)$ 배($N2$ 는 1 이상이다. $N1$ 과 $N2$ 는 서로 다름)라도 되는 것은 물론이다.

본 발명의 구동 방법은, 예를 들면, 백(白) 래스터 표시로 하고, 표시 화면(144)의 1필드(프레임) 기간의 평균 휘도를 $B0$ 이라고 가정한 경우, 각 화소(16)의 휘도 $B1$ 이 평균 휘도 $B0$ 보다 높아지도록 전류 프로그램을 행하는 구동 방법이다. 또한, 적어도 1필드(프레임) 기간에 있어서, 비표시 영역(192)이 발생하도록 하는 구동 방법이다. 따라서, 본 발명의 구동 방법에서는, 1필드(프레임) 기간의 평균 휘도는 $B1$ 보다 낮아진다.

1필드(프레임) 기간에 있어서, 통상 휘도로 전류 프로그램을 화소(16)에 대하여 실시하여, 비표시 영역(192)이 발생하도록 하는 구동 방법이다. 이 방식에서는, 1필드(프레임) 기간의 평균 휘도는 통상의 구동 방법(종래의 구동 방법)보다 낮아진다. 그러나, 동화상 표시 성능을 향상시킬 수 있는 효과가 발휘된다.

본 발명은, 화소 구성이 전류 프로그램 방식에만 한정되지 않는다. 예를 들면, 도 26과 같은 전압 프로그램 방식의 화소 구성에도 적용할 수 있다. 1프레임(필드)의 소정 기간을 높은 휘도로 표시하고, 다른 기간을 비점등 상태로 하는 것이, 전압 구동 방식에 있어서도, 동화상 표시 성능의 향상 등에 유효하기 때문이다. 또한, 전압 구동 방식에 있어서도, 소스 신호선(18)의 기생 용량의 영향은 무시할 수 없다. 특히 대형 EL 표시 패널에 있어서, 기생 용량이 크기 때문에, 본 발명의 구동 방법을 실시하는 것은 효과가 있다.

도 23에 도시하는 바와 같이, 간헐적인 간격(비표시 영역(192)/표시 영역(193))은 등간격에 한정되는 것은 아니다. 예를 들면, 랜덤이어도 된다(전체적으로, 표시 기간 혹은 비표시 기간이 소정값(일정 비율)으로 되면 된다). 또한, RGB에서 서로 다르더라도 된다. 즉, 백(화이트) 밸런스가 최적으로 되도록, R, G, B 표시 기간 혹은 비표시 기간이 소정값(일정 비율)으로 되도록 조정(설정)하면 된다.

비표시 영역(192)이라 함은, 임의의 시각에 있어서 비점등 EL 소자(15)의 화소(16) 영역이다. 표시 영역(193)이라 함은, 임의의 시각에 있어서 점등 EL 소자(15)의 화소(16) 영역이다. 비표시 영역(192), 표시 영역(193)은, 수평 동기 신호에 동기하여, 1화소행씩 위치가 시프트해 간다.

본 발명의 구동 방법의 설명을 용이하게 하기 위해서, $1/N$ 이라 함은, $1F$ (1 필드 또는 1 프레임)를 기준으로 하여 이 $1F$ 를 $1/N$ 로 하는 것으로서 설명한다. 그러나, 1 화소행이 선택되고, 전류값이 프로그램되는 시간(통상적으로, 1 수평 주사 기간($1H$))이 있고, 또한, 주사 상태에 따라서는 오차도 발생하는 것은 물론이다. 물론, 게이트 신호선($17a$)으로부터의 관통 전압에 의해서도, 이상적인 상태로부터 변화한다. 여기서는 설명을 용이하게 하기 위해서, 이상적인 상태로서 설명한다.

액정 표시 패널은, $1F$ (1 필드 혹은 1 프레임)의 기간 동안에는, 화소에 기입한 전류(전압)를 유지한다. 그 때문에, 동화상 표시를 행하면 표시 화상의 윤곽 블러 현상(blur:흐릿해짐)이 발생한다고 하는 과제가 발생한다.

유기(무기) EL 표시 패널(표시 장치)도 $1F$ (1 필드 혹은 1 프레임)의 기간 동안에는, 화소에 기입한 전류(전압)를 유지한다. 따라서, 액정 표시 패널과 마찬가지로 과제가 발생한다. 한편, CRT와 같이 전자총으로 선 표시의 집합으로서 화상을 표시하는 디스플레이는, 사람의 눈의 잔상 특성을 이용하여 화상 표시를 행하기 때문에, 동화상 표시 화상의 윤곽 블러 현상은 발생하지 않는다.

본 발명의 구동 방법에서는, $1F/N$ 의 기간 동안만, EL 소자(15)에 전류를 흘리고, 다른 기간($1F(N-1)/N$)에는 전류를 흘리지 않는다. 본 발명의 구동 방식을 실시하여 화면의 1 점을 관측한 경우를 생각한다. 이 표시 상태에서는 $1F$ 마다 화상 데이터 표시, 흑색 표시(비점등)가 반복해서 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 간헐 표시 상태로 된다. 동화상 데이터 표시를, 간헐 표시 상태에서 보면 화상의 윤곽 블러 현상이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

본 발명의 구동 방법에서는 간헐 표시를 실현한다. 그러나, 간헐 표시를 실시하는 데 있어서, 트랜지스터($11d$)는 최대라도 $1H$ 주기로 온 오프 제어하는 것만이어도 된다. 따라서, 회로의 메인 클럭은 종래와 변함이 없기 때문에, 회로의 소비 전력이 증가하는 일도 없다. 액정 표시 패널에서는, 간헐 표시를 실현하기 위해 화상 메모리가 필요하다. 본 발명은, 화상 데이터는 각 화소(16)에 유지되어 있다. 그 때문에, 본 발명의 구동 방법에 있어서, 간헐 표시를 실시하기 위한 화상 메모리는 불필요하다.

본 발명의 구동 방법은 스위칭의 트랜지스터($11d$), 혹은 트랜지스터($11e$)(도 12 등) 등을 온 오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류 I_w 를 오프해도, 화상 데이터는 그대로 화소(16)의 컨덴서(19)에 유지되어 있다. 따라서, 다음의 타이밍에서 스위칭 소자($11d$) 등을 온시켜, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 이전에 흐르고 있던 전류값과 동일하다.

본 발명에서는 흑색 삽입(흑색 표시 등의 간헐 표시)을 실현할 때에 있어서도, 회로의 메인 클럭을 올릴 필요가 없다. 또한, 시간 축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불필요하다. 또한, 유기 EL 소자(15)는 전류를 인가하고 나서 발광할 때까지의 시간이 짧아, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하고, 또한 간헐 표시를 실시하는 것에 의해 종래의 데이터 유지형의 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치에서 소스 신호선(18)의 배선 길이가 길어져, 소스 신호선(18)의 기생 용량이 커지는 경우에는, N 값을 크게 하는 것에 의해 대응할 수 있다. 소스 신호선(18)에 인가하는 프로그램 전류값을 N 배로 한 경우, 게이트 신호선($17b$)(트랜지스터($11d$))의 도통 기간을 $1F/N$ 으로 하면 된다. 이에 따라, 텔레비전, 모니터 등의 대형 표시 장치 등에도 적용이 가능하다.

전류 구동에서는, 특히 흑레벨의 화상 표시에서는 $20nA$ 이하의 미소 전류로 화소의 컨덴서(19)를 프로그램할 필요가 있다. 따라서, 기생 용량이 소정값 이상의 크기로 발생하면, 1 화소행에 프로그램하는 시간(기본적으로는 $1H$ 이내이다. 단, 2 화소행을 동시에 기입하는 경우도 있으므로 $1H$ 이내에 한정되는 것은 아니다.)내에 기생 용량을 충방전할 수 없다. $1H$ 기간에 충방전할 수 없으면, 화소에의 기입 부족으로 되어, 해상도가 나오지 않는다.

도 1의 화소 구성의 경우, 도 6의 (a)에 도시하는 바와 같이, 전류 프로그램시에는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터($11a$)를 흐르고, I_w 를 흘리는 전류가 유지되도록 컨덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터($11d$)는 오픈 상태(오프 상태)이다.

다음으로, EL 소자(15)에 전류를 흘리는 기간은 도 6의 (b)와 같이, 트랜지스터($11c$, $11b$)가 오프하여, 트랜지스터($11d$)가 동작한다. 즉, 게이트 신호선($17a$)에 오프 전압(V_{gh})이 인가되어, 트랜지스터($11b$, $11c$)가 오프한다. 한편, 게이트 신호선($17b$)에 온 전압(V_{gl})이 인가되어, 트랜지스터($11d$)가 온한다.

프로그램 전류 I_w 가 본래 흐리는 전류(소정값)의 N 배라고 하면, 도 6의 (b)의 EL 소자(15)에 흐르는 전류 I_e 도 10배로 된다. 따라서, 소정값의 10배의 휘도로 EL 소자(15)는 발광한다. 즉, 도 18에 도시하는 바와 같이, 배율 N 을 높게 할수록, 화소(16)의 순간의 표시 휘도 B 도 높아진다. 기본적으로는 배율 N 과 화소(16)의 휘도는 비례 관계로 된다.

따라서, 트랜지스터(11d)를 본래 온하는 시간(약 $1F$)의 $1/N$ 의 기간만 온시키고, 다른 기간($(N-1)/N$ 기간은 오프시키면, $1F$ 전체의 평균 휘도는 소정의 휘도로 된다. 이 표시 상태는, CRT가 전자총으로 화면을 주사하고 있는 것과 근사한다. 다른 점은, 화상을 표시하고 있는 범위가 화면 전체의 $1/N$ (전체 화면을 1로 함)이 점등하고 있는 점이다(CRT에서는, 점등하고 있는 범위는 1화소행(엄밀하게는 1화소이다)).

본 발명에서는, 이 $1F/N$ 의 표시(점등) 영역(193)이 도 19의 (b)에 도시하는 바와 같이 표시 화면(144)의 상측으로부터 하측으로 이동한다. 또한, 표시 영역(193)의 주사 방향은 표시 화면(144)의 하측으로부터 상측이어도 된다. 또한, 랜덤이어도 된다.

본 발명에서는, $1F/N$ 의 기간 동안만, EL 소자(15)에 전류가 흐르고, 다른 기간($1F \cdot (N-1)/N$)은 상기 화소행의 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, 각 화소(16)는 간헐 표시로 된다. 그러나, 사람의 눈에는 잔상에 의해 화상이 유지된 상태로 되므로, 전체 화면이 균일하게 표시되어 있는 것처럼 보인다.

도 19에 도시하는 바와 같이, 기입 화소행(191a)은 비점등 표시 영역(192)으로 한다. 그러나, 이것은, 도 1, 도 2 등의 화소 구성의 경우이다. 도 11, 도 12 등에 도시하는 커런트 미러의 화소 구성에서는, 기입 화소행(191)은 점등 상태로 해도 된다. 그러나, 본 명세서에서는, 설명을 용이하게 하기 위해서, 주로, 도 1의 화소 구성을 예시하여 설명한다.

이상과 같이, 도 19, 도 23 등과 같이 소정 구동 전류 I_w 보다 큰 전류로 프로그램하고, 간헐 구동하는 구동 방법을 N 배 펄스 구동이라고 부른다. 도 19의 구동 방법에서는 $1F$ 마다 화상 데이터 표시, 흑색 표시(비점등)가 반복해서 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄 띄엄 표시하는(간헐 표시) 상태로 된다.

액정 표시 패널(본 발명 이외의 EL 표시 패널)에서는, $1F$ 의 기간, 화소에 데이터가 유지되어 있기 때문에, 동화상 표시의 경우에는 화상 데이터가 변화해도 그 변화에 추종할 수 없어, 동화상 블러 현상으로 되어 있었다(화상의 윤곽 블러 현상). 그러나, 본 발명에서는 화상을 간헐 표시하기 때문에, 화상의 윤곽 블러 현상이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

도 19에 도시하는 바와 같이, 구동하기 위해서는, 화소(16)의 전류 프로그램 기간(도 1의 화소 구성에 있어서는, 게이트 신호선(17a)의 온 전압 V_{gl} 이 인가되고 있는 기간)과, EL 소자(15)를 오프 또는 온 제어하고 있는 기간(도 1의 화소 구성에 있어서는, 게이트 신호선(17b)의 온 전압 V_{gl} 또는 오프 전압 V_{gh} 가 인가되고 있는 기간)을 독립적으로 제어할 수 있을 필요가 있다. 따라서, 게이트 신호선(17a)과 게이트 신호선(17b)은 분리되어 있을 필요가 있다.

예를 들면, 게이트 드라이버 회로(12)로부터 화소(16)에 배선된 게이트 신호선(17)이 1개인 경우, 게이트 신호선(17)에 인가된 로직(V_{gh} 또는 V_{gl})을 트랜지스터(11b)에 인가하고, 게이트 신호선(17)에 인가된 로직을 인버터에서 변환하여(V_{gl} 또는 V_{gh}), 트랜지스터(11d)에 인가한다고 하는 구성에서는, 본 발명의 구동 방법은 실시할 수 없다. 따라서, 본 발명에서는, 게이트 신호선(17a)을 조작하는 게이트 드라이버 회로(12a)와, 게이트 신호선(17b)을 조작하는 게이트 드라이버 회로(12b)가 필요하게 된다.

도 19의 구동 방법의 타이밍차트를 도 20에 도시한다. 또한, 본 발명 등에 있어서, 설명을 용이하게 하기 위해서, 특별히 언급이 없을 때의 화소 구성은 도 1인 것으로 한다. 도 20에서 알 수 있는 바와 같이, 각 선택된 화소행(선택 기간은, $1H$ 로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압(V_{gl})이 인가되고 있을 때(도 20의 (a)를 참조)에는, 게이트 신호선(17b)에는 오프 전압(V_{gh})이 인가되고 있다(도 20의 (b)를 참조). 이 기간은, EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태).

선택되어 있지 않은 화소행에 있어서, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가되고 있다. 또한, 이 기간에는 EL 소자(15)에 전류가 흐르고 있다(점등 상태). 또한, 점등 상태에서는, EL 소자(15)는 소정의 N 배의 휘도($N \cdot B$)로 점등하고, 그 점등 기간은 $1F/N$ 이다. 따라서, $1F$ 를 평균한 표시 패널의 표시 휘도는, $(N \cdot B) \times (1/N) = B$ (소정 휘도)로 된다. 또한, N 은 1 이상이면 어느 값이어도 된다.

도 21은, 도 20의 동작을 각 화소행에 적용한 실시예이다. 게이트 신호선(17)에 인가하는 전압 파형을 나타내고 있다. 전압 파형은 오프 전압을 V_{gh} (H 레벨)로 하고, 온 전압을 V_{gl} (L 레벨)로 하고 있다. (1) (2) 등의 첨자는 선택하고 있는 화소행 번호를 나타내고 있다.

도 21에 있어서, 게이트 신호선(17a(1))이 선택되고(V_{gl} 전압), 선택된 화소행의 트랜지스터(11a)로부터 소스 드라이버 회로(IC)(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배이다. 단, 소정값이라 함은 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정값이 아니다. 커패시터(19)에는 N배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소행 (1)이 선택되어 있을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(1)에는 오프 전압(V_{gh})이 인가되고, EL 소자(15)에는 전류가 흐르지 않는다.

1H 후에는, 게이트 신호선(17a(2))이 선택되고(V_{gl} 전압), 선택된 화소행의 트랜지스터(11a)로부터 소스 드라이버 회로(IC)(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배이다. 따라서, 커패시터(19)에는 N배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소행 (2)가 선택되어 있을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(2)에는 오프 전압(V_{gh})이 인가되고, EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소행 (1)의 게이트 신호선(17a(1))에는 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)(1)에는 온 전압(V_{gl})이 인가되기 때문에, 점등 상태로 되어 있다.

다음의 1H 후에는, 게이트 신호선(17a(3))이 선택되고, 게이트 신호선(17b)(3)에는 오프 전압(V_{gh})이 인가되고, 화소행 (3)의 EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소행 (1) (2)의 게이트 신호선(17a(1) (2))에는 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)(1) (2)에는 온 전압(V_{gl})이 인가되기 때문에, 점등 상태로 되어 있다.

이상의 동작을 1H의 동기 신호에 동기하여 화상을 표시해 간다. 그러나, 도 21의 구동 방식에서는, EL 소자(15)에는 N배의 전류가 흐른다. 따라서, 표시 화면(144)은 N배의 휘도로 표시된다. 물론, 이 상태에서 소정의 휘도표시를 행하기 위해서는, 프로그램 전류를 $1/N$ 로 해 두면 되는 것은 물론이다. $1/N$ 의 전류이면 기생 용량 등에 의해 기입 부족이 발생하기 때문에, 높은 전류로 프로그램하고, 흑색 화면(비점등 표시 영역)(192)의 삽입에 의해 소정의 휘도를 얻는 것은 본 발명의 기본적인 주지이다.

그러나, 기생 용량의 영향을 무시할 수 있거나 혹은 영향이 경미한 경우에는, $N=1$ 로 해서, 본 발명의 구동 방법을 실시해도 되는 것은 물론이다. 이 구동 방법은, 도 99 내지 도 116 등을 이용하여 나중에 설명한다.

또한, 본 발명의 구동 방법에 있어서, 소정 전류보다 높은 전류가 EL 소자(15)에 흐르도록 하여, 소스 신호선(18)의 기생 용량을 충분히 충전한다고 하는 개념이다. 즉, EL 소자(15)에 N배의 전류를 흘리지 않아도 된다. 예를 들면, EL 소자(15)에 병렬로 전류 경로를 형성하고(더미의 EL 소자를 형성하고, 이 EL 소자는 차광막을 형성하여 발광시키지 않는 등), 더미 EL 소자와 EL 소자(15)로 분류하여 프로그램 전류를 흘려도 된다. 예를 들면, 프로그램 대상의 화소(16)에 기입하는 프로그램 전류를 $0.2\mu A$ 로 한다. 소스 드라이버 회로(IC)(14)로부터 출력하는 프로그램 전류를 $2.0\mu A$ 로 한다.

따라서, 소스 드라이버 회로(IC)(14)로부터 보면, $N=2.0/0.2=10$ 이다. 소스 드라이버 회로(IC)(14)로부터 출력된 프로그램 전류 중, $1.8\mu A(2.0-0.2)$ 를 더미 화소에 흘린다. 남은 $0.2\mu A$ 를 대상 화소(16)의 구동용 트랜지스터(11a)에 흘린다. 더미 화소행은 발광시키지 않거나, 혹은, 차광막 등을 형성하여, 발광하고 있더라도 시각적으로 보이지 않도록 구성한다.

이상과 같이 구성함으로써, 소스 신호선(18)에 흘리는 전류를 N배로 증가시킴으로써, 구동용 트랜지스터(11a)에 N배의 전류가 흐르도록 프로그램할 수 있다. 또한, EL 소자(15)에는, N배보다는 충분히 작은 전류를 흘릴 수 있게 된다.

도 19의 (a)는 표시 화면(144)에의 기입 상태를 도시하고 있다. 도 19의 (a)에 있어서, 191a는 기입 화소행이다. 소스 드라이버 IC(14)로부터 각 소스 신호선(18)에 프로그램 전류가 공급된다. 또한, 도 19 등에서는 1H 기간에 기입하는 화소행은 1행이다. 그러나, 하등 1H에 한정되는 것은 아니고, 0.5H 기간이어도, 2H 기간이어도 된다. 또한, 소스 신호선(18)에 프로그램 전류를 기입하는 것으로 했지만, 본 발명은 전류 프로그램 방식에 한정되는 것은 아니고, 소스 신호선(18)에 기입되는 것이 전압인 전압 프로그램 방식(도 28 등)이어도 된다.

도 19의 (a)에 있어서, 게이트 신호선(17a)이 선택되면 소스 신호선(18)에 흐르는 전류가 트랜지스터(11a)에 프로그램된다. 이 때, 게이트 신호선(17b)에는 오프 전압이 인가되고 EL 소자(15)에는 전류가 흐르지 않는다. 이것은, EL 소자(15)측

에 트랜지스터(11d)가 온 상태이면, 소스 신호선(18)으로부터 EL 소자(15)의 용량 성분이 보이고, 이 용량에 영향을 받아 컨덴서(19)에 충분히 정확한 전류 프로그램을 할 수 없게 되기 때문이다. 따라서, 도 1의 구성을 예로 하면, 도 19의 (b)에 도시하는 바와 같이 전류가 기입되고 있는 화소행은 비점등 영역(192)으로 된다.

N(여기서는, 앞서 설명한 바와 같이 $N=10$ 으로 함)배의 전류로 프로그램했다고 한다면, 화면의 휘도는 10배로 된다. 따라서, 표시 화면(144)의 90%의 범위를 비점등 영역(192)으로 하면 된다. 표시 패널의 표시 화면(144)의 수평 주사선이 QCIF의 220개($S=220$)라고 하면, 22개를 표시 영역(193)으로 하고, $220-22=198$ 개를 비표시 영역(192)으로 하면 된다.

일반적으로 설명하면, 수평 주사선(화소행 수)을 S라고 하면, S/N의 영역을 표시 영역(193)으로 하고, 이 표시 영역(193)을 N배의 휘도로 발광시킨다(N은 1 이상의 값이다). 이 표시 영역(193)을 화면의 상하 방향으로 주사한다. 따라서, $S(N-1)/N$ 의 영역은 비점등 영역(192)으로 한다. 이 비점등 영역은 흑색 표시(비발광)이다. 또한, 이 비발광부(192)는 트랜지스터(11d)를 오프스킴으로써 실현한다. 또한, N배의 휘도로 점등시킨다고 했지만, 당연히 밝기 조정, 감마 조정에 의해 N배의 값이 변화하는 것은 물론이다.

또한, 이전의 실시예에서, 10배의 전류로 프로그램했다고 한다면, 화면의 휘도는 10배로 되고, 표시 화면(144)의 90%의 범위를 비점등 영역(192)으로 하면 되는 것으로 했다. 그러나, 이것은, RGB의 화소를 공통으로 비점등 영역(192)으로 하는 것에 한정되는 것은 아니다. 예를 들면, R의 화소는 $1/8$ 을 비점등 영역(192)으로 하고, G의 화소는 $1/6$ 을 비점등 영역(192)으로 하고, B의 화소는 $1/10$ 을 비점등 영역(192)으로, 각각의 색에 따라 변화시켜도 된다. 또한, RGB의 색으로 개별 비점등 영역(192)(혹은 점등 영역(193))을 조정할 수 있도록 해도 된다. 이들을 실현하기 위해서는, R, G, B에서 개별의 게이트 신호선(17b)이 필요하게 된다. 그러나, 이상의 RGB의 개별 조정을 가능하게 함으로써, 화이트 밸런스를 조정하는 것이 가능하게 되어, 각 계조에 있어서 색의 밸런스 조정이 용이하게 된다. 이 실시예를 도 22에 도시한다.

도 19의 (b)에 도시하는 바와 같이, 기입 화소행(191a)을 포함하는 화소행을 비점등 영역(192)으로 하고, 기입 화소행(191a)보다 상측 화면의 S/N(시간적으로는 $1F/N$)의 범위를 표시 영역(193)으로 한다(기입 주사가 화면의 상측으로부터 하측 방향인 경우, 화면을 하측으로부터 상측으로 주사하는 경우에는, 그의 반대로 된다). 화상 표시 상태는, 표시 영역(193)이 떠 형상으로 되어, 화면의 상측으로부터 하측으로 이동한다.

도 19의 표시에서는, 1개의 표시 영역(193)이 화면의 상측으로부터 하측 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(193)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 닫았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉬워진다.

이 과제에 대해서는, 도 23에 도시하는 바와 같이, 표시 영역(193)을 복수로 분할하면 된다. 이 분할된 총합이 $S(N-1)/N$ 의 면적으로 되면, 도 19의 밝기와 동등하게 된다. 또한, 분할된 표시 영역(193)은 동일하게(등분으로) 할 필요는 없다. 또한, 분할된 비표시 영역(192)도 동일하게 할 필요는 없다.

이상과 같이, 표시 영역(193)을 복수로 분할하는 것에 의해 화면의 깜빡거림은 감소한다. 따라서, 플리커의 발생은 없고, 양호한 화상 표시를 실현할 수 있다. 또한, 분할은 더욱 미세하게 해도 된다. 그러나, 분할할수록 동화상 표시 성능은 저하한다.

도 24는 게이트 신호선(17)의 전압 파형 및 EL의 발광 휘도를 도시하고 있다. 도 24에서 명확한 바와 같이, 게이트 신호선(17b)을 Vgl로 하는 기간(F/N)을 복수로 분할(분할수 K)하고 있다. 즉, Vgl로 하는 기간은 $1F/(K \cdot N)$ 의 기간을 K회 실시한다. 이와 같이 제어하면, 플리커의 발생을 억제할 수 있어, 저 프레임 레이트의 화상 표시를 실현할 수 있다.

화상의 분할수는 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 유저가 밝기 조정 스위치를 누르는 것에 의해, 혹은 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경해도 된다. 또한, 유저가 휘도를 조정하도록 구성해도 된다. 표시할 화상의 내용, 데이터에 따라 수동으로 혹은 자동적으로 변화시키도록 구성해도 된다.

도 24 등에 있어서, 게이트 신호선(17b)을 Vgl로 하는 기간($1F/N$)을 복수로 분할(분할수 K)하고, Vgl로 하는 기간은 $1F/(K \cdot N)$ 의 기간을 K회 실시하는 것으로 했지만, 이것에 한정되는 것은 아니다. $1F/(K \cdot N)$ 의 기간을 $L(L \neq K)$ 회 실시해도 된다. 즉, 본 발명은, EL 소자(15)에 흘리는 기간(시간)을 제어함으로써 표시 화면(144)을 표시하는 것이다. 따라서, $1F/(K \cdot N)$ 의 기간을 $L(L \neq K)$ 회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 표시 화면(144)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, $L=2$ 와 $L=3$ 에서는 50%의 휘도(콘트라스트) 변화로 된다. 또한, 화상의 표시 영역(193)을 분할할 때, 게이트 신호선(17b)을 Vgl로 하는 기간은 동일 기간에 한정되는 것은 아니다.

이상의 실시예는, 트랜지스터(11d) 또는 절환 스위치(회로)(71) 등에 의해 EL 소자(15)에 흐르는 전류를 차단하고, 또한, EL 소자(15)에 흐르는 경로를 형성함으로써, 표시 화면(144)을 온 오프(점등, 비점등)하는 것이었다. 즉, 컨덴서(19)에 유지된 전하에 의해 구동용 트랜지스터(11a)에 복수회, 대략 동일 전류를 흘리는 것이다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 컨덴서(19)에 유지된 전하를 충방전시킴으로써, 표시 화면(144)을 온 오프(점등, 비점등)하는 방식이어도 된다.

도 25는 도 23의 화상 표시 상태를 실현하기 위한, 게이트 신호선(17)에 인가하는 전압 파형이다. 도 25와 도 21의 차이는, 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 대응하고, 그 개수분만큼 온 오프(Vgl과 Vgh) 동작한다. 다른 점은 도 21과 동일하므로 설명을 생략한다.

또한, 본 발명의 명세서에 있어서, 표시 화면(144)에 있어서, 표시 영역(193)과 전체 표시 영역(144)의 비율을 duty비라고 부르는 경우가 있다. 즉, duty비는 표시 영역(193)의 면적/전체 표시 영역(144)의 면적이다. 혹은, duty비는 온 전압이 인가되고 있는 게이트 신호선(17b)의 개수/전체 게이트 신호선(17b)의 개수이기도 하다. 또한, 게이트 신호선(17b)에 온 전압이 인가되고, 이 게이트 신호선(17b)에 접속되어 있는 선택 화소행 수/표시 영역(144)의 전체 화소행 수이기도 하다.

duty비의 역수(전체 화소행 수/선택 화소행 수)는 일정 이하가 아니면, 플리커가 발생한다. 이 관계를 도 266에 도시한다. 도 266에 있어서, 횡축은, 전체 화소행 수/선택 화소행 수 즉 duty비의 역수이다. 종축은 플리커의 발생비이다. 1이 가장 작고, 커질수록 플리커의 발생이 현저하게 되는 것을 나타내고 있다.

도 266의 결과에 따르면, 전체 화소행 수/선택 화소행 수는 8 이하로 하는 것이 적절하다. 즉, duty비는, 1/8 이상으로 하는 것이 바람직하다. 또한, 다소 플리커가 발생해도 되는 경우(실용상 문제없는 범위)에는, 전체 화소행 수/선택 화소행 수는 10 이하로 하는 것이 적절하다. 즉, duty비는, 1/10 이상으로 하는 것이 바람직하다.

도 271, 도 272는 2화소행을 동시에 선택하는 구동 방법의 실시예이다. 도 271에 있어서, 기입 화소행이 (1)화소행째일 때, 게이트 신호선(17a)은 (1) (2)가 선택되어 있다(도 272를 참조할 것). 즉, 화소행(1) (2)의 스위칭 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 각 화소행의 게이트 신호선(17a)에 온 전압이 인가되고 있을 때, 게이트 신호선(17b)에는 오프 전압이 인가된다.

따라서, 1H 및 2H번째의 기간에서는, 화소행(1) (2)의 스위칭 트랜지스터(11d)가 오프 상태이고, 대응하는 화소행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(192)이다. 또한, 도 271에서는, 플리커의 발생을 저감하기 위해서, 표시 영역(193)을 5분할하고 있다.

이상적으로는, 2화소(행)의 트랜지스터(11a)가, 각각이 $I_w \times 5$ ($N=10$ 인 경우. 즉, $K=2$ 이므로, 소스 신호선(18)에 흐르는 전류는 $I_w \times K \times 5 = I_w \times 10$ 으로 됨)의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 컨덴서(19)에는, 5배의 전류가 프로그램되어 유지된다.

동시에 선택하는 화소행이 2화소행($K=2$)이므로, 2개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1화소당, $10/2=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는, 2개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

예를 들면, 기입 화소행(191a)에, 본래 기입하는 전류 I_d 로 하고, 소스 신호선(18)에는 $I_w \times 10$ 의 전류를 흘린다. 기입 화소행(191b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다. 화소행(191b)은, 1H 기간 동안에는 (191a)와 동일 표시이다. 그 때문에, 기입 화소행(191a)과 전류를 증가시키기 위해서 선택한 화소행(191b)을 적어도 비표시 상태(192)로 하는 것이다.

다음의, 1H 후에는, 게이트 신호선(17a(1))은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한, 동시에, 게이트 신호선(17a(3))이 선택되고(Vgl 전압), 선택된 화소행 (3)의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소행 (1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a(2))은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한, 동시에, 게이트 신호선(17a(4))이 선택되고(Vgl 전압), 선택된 화소행 (4)의 트랜지스터(11a)로부터 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소행 (2)에는 정규의 화상 데이터가

유지된다. 이상의 동작과 1화소행씩 시프트(물론, 복수 화소행씩 시프트해도 된다. 예를 들면, 의사 인터레이스 구동이면, 2행씩 시프트할 것이다. 또한, 화상 표시의 관점으로부터, 복수의 화소행에 동일 화상을 기입하는 경우도 있을 것임)하면서 주사함으로써 1화면이 재기입된다.

도 271의 구동 방법에서는, 각 화소에는 5배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 5배로 된다. 따라서, 표시 영역(193)의 휘도는 소정값보다 5배로 된다. 이것을 소정의 휘도로 하기 위해서는, 이전에 설명한 바와 같이, 기입 화소행(191)을 포함하고, 또한 표시 화면 1의 1/5의 범위를 비표시 영역(192)으로 하면 된다.

도 274의 (a), (b)에 도시하는 바와 같이, 2개의 기입 화소행(191)(191a, 191b)가 선택되고, 화면(144)의 상측면으로부터 하측면으로 순차적으로 선택되어 간다(도 273도 참조할 것. 도 273에서는 화소행(16a와 16b)이 선택되어 있다). 그러나, 도 274의 (b)와 같이, 화면의 하측면까지 오면 기입 화소행(191a)은 존재하지만, (191b)는 없어진다. 즉, 선택하는 화소행이 1개밖에 없게 된다. 그 때문에, 소스 신호선(18)에 인가된 전류는, 모두 화소행(191a)에 기입된다. 따라서, 화소행(191a)과 비교하여, 2배의 전류가 화소에 프로그램되어 버린다.

이 과제에 대하여, 본 발명은, 도 274의 (b)에 도시하는 바와 같이 화면(144)의 하측면에 더미 화소행(2741)을 형성(배치)하고 있다. 따라서, 선택 화소행이 화면(144)의 하측면까지 선택된 경우에는, 화면(144)의 최종 화소행과 더미 화소행(2741)이 선택된다. 그 때문에, 도 274의 (b)의 기입 화소행에는, 규정대로의 전류가 기입된다. 또한, 더미 화소행(2741)은 표시 영역(144)의 상단 혹은 하단에 인접하여 형성한 것처럼 도시했지만, 이것에 한정되는 것은 아니다. 표시 영역(144)으로부터 떨어진 위치에 형성되어 있어도 된다. 또한, 더미 화소행(2741)은, 도 1의 스위칭 트랜지스터(11d), EL 소자(15) 등은 형성할 필요는 없다. 형성하지 않음으로써, 더미 화소행(2741)의 사이즈는 작아지므로 패널의 프레임이 짧게 할 수 있다.

도 275는 도 274의 (b)의 상태를 나타내고 있다. 도 275에서 명확한 바와 같이, 선택 화소행이 화면(144)의 하측면의 화소(16c)행까지 선택된 경우에는, 화면(144)의 최종 화소행(2741)이 선택된다. 더미 화소행(2741)은 표시 영역(144) 밖에 배치한다. 즉, 더미 화소행(2741)은 점등하지 않거나, 혹은 점등시키지 않거나, 혹은 점등해도 표시로서 보이지 않도록 구성한다. 예를 들면, 화소 전극과 트랜지스터(11)와의 컨택트홀을 없애거나, 더미 화소행에는 EL 소자(15)를 형성하지 않거나 하는 것이다. 도 275의 더미 화소행(2741)은 EL 소자(15), 트랜지스터(11d), 게이트 신호선(17b)을 도시하고 있지만, 구동 방법의 실시에는 불필요하다. 실제로 개발한 본 발명의 표시 패널에서는, 더미 화소행(2741)에는 EL 소자(15), 트랜지스터(11d), 게이트 신호선(17b)을 형성하고 있지 않다. 단, 화소 전극을 형성하는 것이 바람직하다. 화소 내의 기생 용량이 다른 화소(16)와 동일하게 되지 않고, 유지되는 프로그램 전류에 차이가 발생하는 경우가 있기 때문이다.

도 274의 (a), (b)에서는, 화면(144)의 하측면에 더미 화소(행)(2741)을 설치하는(형성하는, 배치하는) 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 276의 (a)에 도시하는 바와 같이, 화면의 하측면으로부터 상측면으로 주사한다. 상하 역전 주사하는 경우에는, 도 276의 (b)에 도시하는 바와 같이 화면(144)의 상측면에도 더미 화소행(2741)을 형성해야 한다. 즉, 화면(144)의 상측면을 하측면의 각각에 더미 화소행(2741)을 형성(배치)한다. 이상과 같이 구성함으로써, 화면의 상하 반전 주사에도 대응할 수 있게 된다.

이상의 실시에는, 2화소행을 동시 선택하는 경우였다. 본 발명은 이것에 한정되는 것은 아니고, 예를 들면, 5화소행을 동시 선택하는 방식이어도 된다. 즉, 5화소행 동시 구동인 경우에는, 더미 화소행(2741)은 4행분 형성하면 된다.

더미 화소행(2741)의 수는, 동시에 선택하는 화소행의 수 M-1의 화소행을 형성하면 된다. 예를 들면, 동시에 선택하는 화소행이 5화소행이면, 기입 화소행(191)은 4화소행이다. 동시에 선택하는 화소행이 10화소행이면, 10-1=9 화소행이다.

도 274, 도 276은 더미 화소행(2741)을 형성하는 경우에 있어서, 더미 화소행의 배치 위치의 설명도이다. 기본적으로, 표시 패널은 상하 반전 구동하는 것으로 해서, 더미 화소행(2741)을 화면(144)의 상하에 배치하고 있다.

이상의 실시에는, 1화소행을 순차적으로 선택하여 화소에 전류 프로그램을 행하는 방식, 혹은, 복수의 화소행을 순차적으로 선택하여 화소에 전류 프로그램을 행하는 방식이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 화상 데이터에 따라서 1화소행을 순차적으로 선택하여 화소에 전류 프로그램을 행하는 방식과, 복수의 화소행을 순차적으로 선택하여 화소에 전류 프로그램을 행하는 방식을 조합해도 된다.

이하, 본 발명의 인터레이스 구동에 대하여 설명한다. 도 533은 인터레이스 구동을 행하는 본 발명의 표시 패널의 구성이다. 도 533에 있어서, 홀수 화소행의 게이트 신호선(17a)은 게이트 드라이버 회로(12a1)에 접속되어 있다. 짝수 화소행의

게이트 신호선(17a)은 게이트 드라이버 회로(12a2)에 접속되어 있다. 한편, 홀수 화소행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b1)에 접속되어 있다. 짝수 화소행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b2)에 접속되어 있다.

따라서, 게이트 드라이버 회로(12a1)의 동작(제어)에 의해 홀수 화소행의 화상 데이터가 순차적으로 재기입된다. 홀수 화소행은, 게이트 드라이버 회로(12b1)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행해진다. 또한, 게이트 드라이버 회로(12a2)의 동작(제어)에 의해 짝수 화소행의 화상 데이터가 순차적으로 재기입된다. 또한, 짝수 화소행은, 게이트 드라이버 회로(12b2)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행해진다.

도 532의 (a)는, 제1 필드에서의 표시 패널의 동작 상태이다. 도 532의 (b)는, 제2 필드에서의 표시 패널의 동작 상태이다. 또한, 설명을 용이하게 하기 위해서, 1프레임은 2필드로 구성되어 있는 것으로 한다. 도 532에 있어서, 사선을 기입한 게이트 드라이버(12)는 데이터의 주사 동작이 행해지고 있지 않은 것을 나타내고 있다. 즉, 도 532의 (a)의 제1 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a1)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b2)가 동작한다. 도 532의 (b)의 제2 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a2)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b1)가 동작한다. 이상의 동작이 프레임 내에서 반복된다.

도 534가 제1 필드에서의 화상 표시 상태이다. 도 534의 (a)가 기입 화소행(전류(전압) 프로그램을 행하고 있는 홀수 화소행) 위치를 도시하고 있다. 도 534의 (a1)→(a2)→(a3)로 기입 화소행 위치가 순차적으로 시프트된다. 제1 필드에서는, 홀수 화소행이 순차적으로 재기입된다(짝수 화소행의 화상 데이터는 유지되어 있다). 도 534의 (b)가 홀수 화소행의 표시 상태를 도시하고 있다. 또한, 도 534의 (b)는 홀수 화소행만을 도시하고 있다. 짝수 화소행은 도 534의 (c)에 도시하고 있다. 도 534의 (b)에서도 명확한 바와 같이, 홀수 화소행에 대응하는 화소의 EL 소자(15)는 비점등 상태이다. 한편, 짝수 화소행은, 도 534의 (c)에 도시하고 있는 바와 같이 표시 영역(193)과 비표시 영역(192)을 주사한다.

도 535가 제2 필드에서의 화상 표시 상태이다. 도 535의 (a)가 기입 화소행(전류(전압) 프로그램을 행하고 있는 홀수 화소행) 위치를 도시하고 있다. 도 535의 (a1)→(a2)→(a3)으로 기입 화소행 위치가 순차적으로 시프트된다. 제2 필드에서는, 짝수 화소행이 순차적으로 재기입된다(홀수 화소행의 화상 데이터는 유지되어 있다). 도 535의 (b)가 홀수 화소행의 표시 상태를 도시하고 있다. 또한, 도 535의 (b)는 홀수 화소행만을 도시하고 있다. 짝수 화소행은 도 535의 (c)에 도시하고 있다. 도 535의 (b)에서도 명확한 바와 같이, 짝수 화소행에 대응하는 화소의 EL 소자(15)는 비점등 상태이다. 한편, 홀수 화소행은, 도 535의 (c)에 도시하고 있는 바와 같이 표시 영역(193)과 비표시 영역(192)을 주사한다.

이상과 같이 구동함으로써, 인터레이스 구동을 EL 표시 패널로 용이하게 실현할 수 있다. 또한, N배 펄스 구동을 실시함으로써 기입 부족도 발생하지 않고, 동화상 블러 현상도 발생하지 않는다. 또한, 전류(전압) 프로그램의 제어와, EL 소자(15)의 점등 제어도 용이하고, 회로도 용이하게 실현할 수 있다.

본 발명의 구동 방식은, 도 534, 도 535의 구동 방식에 한정되는 것은 아니다. 예를 들면, 도 536의 구동 방식도 예시된다. 도 534, 도 535는, 전류(전압) 프로그램을 행하고 있는 홀수 화소행 또는 짝수 화소행은 비표시 영역(192)(비점등, 흑색 표시)으로 하는 것이었다. 도 536의 실시예는, EL 소자(15)의 점등 제어를 행하는 게이트 드라이버 회로(12b1, 12b2)의 양쪽을 동기시켜 동작시키는 것이다. 단, 전류(전압) 프로그램을 행하고 있는 화소행(191)은 비표시 영역으로 되도록 제어하는 것은 물론이다(도 11, 도 12의 커런트 미러 화소 구성에서는 그럴 필요는 없다).

도 536에서는, 홀수 화소행과 짝수 화소행의 점등 제어가 동일하므로, 게이트 드라이버 회로(12b1과 12b2)의 2개로 설치할 필요는 없다. 게이트 드라이버 회로(12b)를 1개로 점등 제어할 수 있다.

도 536은, 홀수 화소행과 짝수 화소행의 점등 제어를 동일하게 하는 구동 방법이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 537은, 홀수 화소행과 짝수 화소행의 점등 제어를 서로 다르게 한 실시예이다. 특히, 도 537은 홀수 화소행의 점등 상태(표시(점등) 영역(193), 비표시(비점등) 영역(192))의 역 패턴을 짝수 화소행의 점등 상태로 한 예이다. 따라서, 표시 영역(193)의 면적과 비표시 영역(192)의 면적은 동일하게 되도록 하고 있다. 물론, 표시 영역(193)의 면적과 비표시 영역(192)의 면적은 동일하게 되는 것에 한정되는 것은 아니다.

또한, 도 535, 도 534에 있어서, 홀수 화소행 혹은 짝수 화소행에서 모든 화소행을 비점등 상태로 하는 것에 한정되는 것은 아니다.

이상의 실시예는, 1화소행씩 전류(전압) 프로그램을 실시하는 구동 방법이었다. 그러나, 본 발명의 구동 방법은 이것에 한정되는 것은 아니고, 도 538에 도시하는 바와 같이 2화소행(복수 화소행)을 동시에 전류(전압) 프로그램을 행해도 되는 것은 물론이다(도 274~도 276과 그의 설명도 참조할 것). 도 538의 (a)는 홀수 필드의 실시예이고, 도 538의 (b)는 짝수 필드의 실시예이다. 홀수 필드에서는, (1, 2) 화소행, (3, 4) 화소행, (5, 6) 화소행, (7, 8) 화소행, (9, 10) 화소행, (11, 12) 화소행, ……(n, n+1) 화소행(n은 1 이상의 정수)의 조에서 2화소행을 순차적으로 선택하여, 전류 프로그램을 행하여 간다. 짝수 필드에서는, (2, 3) 화소행, (4, 5) 화소행, (6, 7) 화소행, (8, 9) 화소행, (10, 11) 화소행, (12, 13) 화소행, ……(n+1, n+2) 화소행(n은 1 이상의 정수)의 조에서 2화소행을 순차적으로 선택하여, 전류 프로그램을 행하여 간다.

이상과 같이 각 필드에서 복수 화소행을 선택하여 전류 프로그램을 행함으로써 소스 신호선(18)에 흘리는 전류를 증가시킬 수 있어, 흑색 기입을 양호하게 할 수 있다. 또한, 홀수 필드와 짝수 필드에서 선택하는 복수 화소행의 조를 적어도 1화소행 어긋나게 하는 것에 의해, 화상의 해상도를 향상시킬 수 있다.

도 538의 실시예는, 각 필드에서 선택하는 화소행을 2화소행으로 했지만, 이것에 한정되는 것은 아니고 3화소행으로 해도 된다. 이 경우에는, 홀수 필드와 짝수 필드에서 선택하는 3화소행의 조는 1화소행 어긋나게 하는 방법과, 2화소행 어긋나게 하는 방법의 2방식을 선택할 수 있다. 또한, 각 필드에서 선택하는 화소행은 4화소행 이상으로 해도 된다. 또한, 1프레임을 3필드 이상으로 구성하도록 해도 된다.

또한, 도 538의 실시예에서는, 2화소행을 동시에 선택하는 것으로 했지만, 이것에 한정되는 것은 아니고, 1H를 전반 1/2H와 후반의 1/2H로 하고, 홀수 필드에서는, 제1H 기간의 전반의 1/2H 기간에 제1 화소행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제2 화소행을 선택하여 전류 프로그램을 행한다. 다음의 제2H 기간의 전반의 1/2H 기간에 제3 화소행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제4 화소행을 선택하여 전류 프로그램을 행한다. 또한, 다음의 제3H 기간의 제1H 기간의 전반의 1/2H 기간에 제5 화소행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제6 화소행을 선택하여 전류 프로그램을 행한다. ……로 구동해도 된다.

또한, 짝수 필드에서는, 제1H 기간의 전반의 1/2H 기간에 제2 화소행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제3 화소행을 선택하여 전류 프로그램을 행한다. 다음의 제2H 기간의 전반의 1/2H 기간에 제4 화소행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제5 화소행을 선택하여 전류 프로그램을 행한다. 또한, 다음의 제3H 기간의 제1H 기간의 전반의 1/2H 기간에 제6 화소행을 선택하여 전류 프로그램을 행하고, 후반의 1/2H 기간에 제7 화소행을 선택하여 전류 프로그램을 행한다. ……로 구동해도 된다.

이상의 실시예에 있어서도 각 필드에서 선택하는 화소행을 2화소행으로 했지만, 이것에 한정되는 것은 아니고 3화소행으로 해도 된다. 이 경우에는, 홀수 필드와 짝수 필드에서 선택하는 3화소행의 조는 1화소행 어긋나게 하는 방법과, 2화소행 어긋나게 하는 방법의 2방식을 선택할 수 있다. 또한, 각 필드에서 선택하는 화소행은 4화소행 이상으로 해도 된다.

본 발명의 N배 펄스 구동 방법에서는, 각 화소행에서, 게이트 신호선(17b)의 파형을 동일하게 하여, 1H의 간격으로 시프트시켜 인가해 간다. 이와 같이 주사함으로써, EL 소자(15)가 점등하고 있는 시간을 1F/N로 규정하면서, 순차적으로, 점등하는 화소행을 시프트시킬 수 있다. 이와 같이, 각 화소행에서, 게이트 신호선(17b)의 파형을 동일하게 하여, 시프트시키고 있는 것을 실현하는 것은 용이하다. 도 14의 시프트 레지스터 회로(141a, 141b)에 인가하는 데이터인 ST1, ST2를 제어하면 되기 때문이다. 예를 들면, 입력 ST2가 L 레벨일 때, 게이트 신호선(17b)에 Vgl가 출력되고, 입력 ST2가 H 레벨일 때, 게이트 신호선(17b)에 Vgh가 출력되는 것으로 하면, 시프트 레지스터(17b)에 인가하는 ST2를 1F/N의 기간만 L 레벨로 입력하고, 다른 기간은 H 레벨로 한다. 이 입력된 ST2를 1H에 동기한 클럭 CLK2로 시프트해 갈 뿐이다.

EL 표시 패널(EL 표시 장치)에 있어서의 흑색 표시는 완전하게 비점등이므로, 액정 표시 패널을 간헐 표시한 경우와 같이, 콘트라스트 저하도 없다. 또한, 도 1, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 28, 도 271 등의 구성에 있어서는, 트랜지스터(11d) 혹은 트랜지스터(11e) 혹은 절환 스위치(회로)(71)를 온 오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 이것은, 컨텐서(19)에 화상 데이터가 메모리(아날로그값이므로) 계조수는 무한대)되어 있기 때문이다. 즉, 각 화소(16)에, 화상 데이터는 1F의 기간 중에는 유지되어 있다. 이 유지되어 있는 화상 데이터에 상당하는 전류를 EL 소자(15)에 흘릴지의 여부를 트랜지스터(11d, 11e) 등의 제어에 의해 실현하고 있는 것이다.

따라서, 이상의 구동 방법은, 전류 구동 방식에 한정되는 것은 아니고, 전압 구동 방식에도 적용할 수 있는 것이다. 즉, EL 소자(15)에 흘리는 전류를 각 화소 내에서 보존하고 있는 구성에 있어서, 구동용 트랜지스터(11)를 EL 소자(15) 간의 전류 경로를 온 오프함으로써, 간헐 구동을 실현하는 것이다.

컨텐서(19)의 단자 전압을 유지하는 것은 플리커 저감과 저소비 전력화에 중요하다. 1필드(프레임) 기간에 컨텐서(19)의 단자 전압이 변화(충방전)하면, 화면 휘도가 변화하여, 프레임 레이트가 저하했을 때에 깜빡거림(플리커 등)이 발생하기 때문이다. 트랜지스터(11a)가 1프레임(1필드) 기간에 EL 소자(15)에 흘리는 전류는, 적어도 65% 이하로 저하하지 않도록 할 필요가 있다. 이 65%라 함은, 화소(16)에 기입하고, EL 소자(15)에 흘리는 전류의 최소가 100%라고 했을 때, 다음의 프레임(필드)에서 상기 화소(16)에 기입하기 직전의 EL 소자(15)에 흘리는 전류가 65% 이상이라고 하는 것이다.

도 1의 화소 구성에서는, 간헐 표시를 실현하는 경우로 하지 않는 경우에는, 1화소를 구성하는 트랜지스터(11)의 개수에 변화는 없다. 즉, 화소 구성은 그대로이고, 소스 신호선(18)의 기생 용량의 영향을 제거하여, 양호한 전류 프로그램을 실현하고 있다. 게다가, CRT에 가까운 동화상 표시를 실현하고 있는 것이다.

또한, 게이트 드라이버 회로(12)의 동작 클럭은 소스 드라이버 회로(IC)(14)의 동작 클럭과 비교하여 충분히 느리기 때문에, 회로의 메인 클럭이 높아지는 일은 없다. 또한, N의 값의 변경도 용이하다.

또한, 화상 표시 방향(화상 기입 방향)은, 1필드(1프레임)째에서는 화면의 상측으로부터 하측 방향으로 하고, 다음의 제2 필드(프레임)째에서는 화면의 하측으로부터 상측 방향으로 해도 된다. 즉, 상측으로부터 하측 방향과, 하측으로부터 상측 방향을 교대로 반복한다.

또한, 1필드(1프레임)째에서는 화면의 상측에서 하측 방향으로 하고, 일단, 전체 화면을 흑색 표시(비표시)로 한 후, 다음의 제2 필드(프레임)째에서는 화면의 하측으로부터 상측 방향으로 해도 된다. 또한, 일단, 전체 화면을 흑색 표시(비표시)로 해도 된다. 또한, 화면의 중앙부로부터 주사해도 된다. 또한, 주사 개시 위치를 랜덤화해도 된다.

또한, 이상의 구동 방법의 설명에서는, 화면의 기입 방법을 화면의 상측으로부터 하측 혹은 하측으로부터 상측으로 했지만, 이것에 한정되는 것은 아니다. 화면의 기입 방향은 끊임없이, 화면의 상측으로부터 하측 혹은 하측으로부터 상측으로 고정하고, 비표시 영역(192)의 동작 방향을 1필드째에서는 화면의 상측으로부터 하측 방향으로 하고, 다음의 제2 필드째에서는 화면의 하측으로부터 상측 방향으로 해도 된다. 또한, 1프레임을 3필드로 분할하고, 제1 필드에서는 R, 제2 필드에서는 G, 제3 필드에서는 B로 하여, 3필드로 1프레임을 형성하는 것으로 해도 된다. 또한, 1수평 주사 기간(1H)마다, R, G, B를 절환하여 표시해도 된다(도 25 내지 도 39와 그의 설명 등을 참조할 것). 이상의 사항은 다른 본 발명의 실시예에서도 마찬가지이다.

비표시 영역(192)는 완전하게 비점등 상태일 필요는 없다. 미약한 발광 혹은 저휘도의 화상 표시가 있어도 실용상은 문제 없다. 즉, 표시(점등) 영역(193)보다 표시 휘도가 낮은 영역이라고 해석해야 한다. 또한, 비표시 영역(192)이라 함은, R, G, B 화상 표시 중, 1색 또는 2색만이 비표시 상태라는 경우도 포함된다. 또한, R, G, B 화상 표시 중, 1색 또는 2색만이 저휘도의 화상 표시 상태라는 경우도 포함된다.

기본적으로는 표시 영역(193)의 휘도(밝기)가 소정값에 유지되는 경우, 표시 영역(193)의 면적이 넓어질수록, 표시 화면(144)의 휘도는 높아진다. 예를 들면, 표시 영역(193)의 휘도가 100(nt)인 경우, 표시 영역(193)이 전체 표시 화면(144)에 차지하는 비율이 10% 내지 20%인 것으로 하면, 화면의 휘도는 2배로 된다. 따라서, 전체 표시 화면(144)에 차지하는 표시 영역(193)의 면적을 변화시킴으로써, 화면의 표시 휘도를 변화시킬 수 있다. 표시 화면(144)의 표시 휘도는 표시 화면(144)에 차지하는 표시 영역(193)의 비율에 비례한다.

표시 영역(193)의 면적은 도 14에 도시하는 시프트 레지스터 회로(141)로의 데이터 펄스(ST2)를 제어함으로써, 임의로 설정할 수 있다. 또한, 데이터 펄스의 입력 타이밍, 주기를 변화시킴으로써, 도 23의 표시 상태와 도 19의 표시 상태를 절환할 수 있다. 1F 주기에서의 데이터 펄스 수를 많게 하면, 표시 화면(144)은 밝아지고, 적게 하면, 표시 화면(144)은 어두워진다. 또한, 연속해서 데이터 펄스를 인가하면 도 19의 표시 상태로 되고, 간헐적으로 데이터 펄스를 입력하면 도 23의 표시 상태로 된다.

종래의 화면의 휘도 조정에서는, 표시 화면(144)의 휘도가 낮을 때에는, 게조 성능이 저하한다. 즉, 고휘도 표시일 때에는 64계조 표시를 실현할 수 있어도, 저휘도 표시일 때에는, 절반 이하의 계조수밖에 표시할 수 없는 경우가 대부분이다. 이것과 비교하여, 본 발명의 구동 방법에서는, 화면의 표시 휘도에 의존하지 않고, 최고인 64계조 표시를 실현할 수 있다.

이상의 실시예는, 주로, N=2배, 4배 등으로 하는 실시예였다. 그러나, 본 발명은 정수배에 한정되는 것이 아닌 것은 물론이다. 또한, N=1보다 큰 것에 한정되는 것도 아니다. 예를 들면, 임의의 시각에서 표시 화면(144)의 절반 이하의 영역을 비점등 영역(192)으로 하는 경우도 있다. 소정값의 5/4배의 전류 Iw로 전류 프로그램하고, 1F의 4/5 기간 점등시키면, 소정의 휘도를 실현할 수 있다.

본 발명은 이것에 한정되는 것은 아니다. 일례로서, 10/4배의 전류 Iw로 전류 프로그램하고, 1F의 4/5 기간 동안 점등시키는 방법도 있다. 이 경우에는, 소정 휘도의 2배로 점등한다. 또한, 5/4배의 전류 Iw로 전류 프로그래밍하고, 1F의 2/5 기간 동안 점등시키는 방법도 있다. 이 경우에는, 소정 휘도의 1/2배로 점등한다. 또한, 5/4배의 전류 Iw로 전류 프로그래밍하고, 1F의 1/1 기간 동안 점등시키는 방법도 있다. 이 경우에는, 소정 휘도의 5/4배로 점등한다. 또한, 1배의 전류 Iw로 전류 프로그래밍하고, 1F의 1/4 기간 동안 점등시키는 방법도 있다. 이 경우에는, 소정 휘도의 1/4배로 점등한다.

즉, 본 발명은, 프로그램 전류의 크기와, 1F의 점등 기간을 제어함으로써, 표시 화면의 휘도를 제어하는 방식이다. 1F 기간보다 짧은 기간 점등시킴으로써, 흑색 화면(192)을 삽입할 수 있어, 동화상 표시 성능을 향상시킬 수 있다. 반대로, N을 1 이상으로 하고, 1F의 기간, 항상 점등시킴으로써 밝은 화면을 표시할 수 있다.

바람직하게는, 화소에 기입하는 전류(소스 드라이버 회로(IC)(14)로부터 출력하는 프로그램 전류)는, 화소 사이즈를 A 평방mm로 하고, 백 래스터 표시의 소정 휘도를 B(nt)로 했을 때, 프로그램 전류 I(μ A)는,

$$(A \times B) / 20 \leq I \leq (A \times B)$$

의 범위로 하는 것이 바람직하다. 발광 효율이 양호하게 되고, 또한, 전류 기입 부족이 해소된다.

또한, 바람직하게는, 프로그램 전류 I(μ A)는, $(A \times B) / 10 \leq I \leq (A \times B)$ 의 범위로 하는 것이 바람직하다.

도 20, 도 24에서는, 게이트 신호선(17a)의 동작 타이밍과 게이트 신호선(17b)의 기입 타이밍에 대해서는 언급하고 있지 않다. 그러나, 임의의 화소가 선택되어 있다고 했을 때(상기 화소가 접속되어 있는 게이트 신호선(17a)에 온 전압이 인가되고 있을 때), 그 전후의 1H 기간(1수평 주사 기간)에는 게이트 신호선(17b)(EL측의 트랜지스터(11d)를 제어하는 게이트 신호선)에는, 오프 전압을 인가한다. 전후 1H 기간에 게이트 신호선(17b)에 오프 전압을 인가한 상태로 함으로써, 패널에 크로스토크가 발생하지 않고, 안정된 화상 표시를 실현할 수 있다.

이 구동 방법의 타이밍차트를 도 26에 도시한다. 도 26에서는, 게이트 신호선(17a)에는, 1H(선택 기간)에 온 전압(Vgl)이 인가되고 있다. 상기 화소행이 선택되어 있는 1H 기간의 전후 1H 기간(합계 3H 기간)에는, 게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되고 있다.

또한, 이상의 실시예는 선택 기간의 전후 1H 기간 동안은, 게이트 신호선(17b)에는 오프 전압을 인가하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 27에 도시하는 바와 같이, 선택 기간 전의 1H 기간과 선택 기간 후의 2H 기간에, 게이트 신호선(17b)에 오프 전압을 인가하도록 구성해도 된다. 이상의 실시예는, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

EL 소자(15)를 온 오프하는 주기는 0.5msec 이상으로 할 필요가 있다. 이 주기가 짧으면, 사람의 눈의 잔상 특성에 의해 완전한 흑색 표시 상태로 되지 않고, 화상이 희미해진 것처럼 되어, 마치 해상도가 저하한 것처럼 된다. 또한, 데이터 유지형의 표시 패널의 표시 상태로 된다. 그러나, 온 오프 주기가 100msec 이상으로 되면, 점멸 상태로 보인다. 따라서, EL 소자의 온 오프 주기는 0.5 μ sec 이상 100 msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 2msec 이상 30msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 3msec 이상 20msec 이하로 해야 한다.

앞서도 기재했지만, 흑색 화면(192)의 분할수는, 1개로 하면 양호한 동화상 표시를 실현할 수 있지만, 화면의 깜빡거림이 보이기 쉬워진다. 따라서, 흑색 삽입부를 복수로 분할하는 것이 바람직하다. 그러나, 분할수를 너무 많게 하면 동화상 블러 현상이 발생한다. 분할수는 1 이상 8 이하로 해야 한다. 더욱 바람직하게는 1 이상 5 이하로 하는 것이 바람직하다.

또한, 흑색 화면의 분할수는 정지 화상과 동화상에서 변경할 수 있도록 구성하는 것이 바람직하다. 분할수라 함은, N=4에서는, 75%가 흑색 화면이고, 25%가 화상 표시이다. 이 때, 75%의 흑색 표시부를 75%의 흑색 띠상태에서 화면의 상하 방향으로 주사하는 것이 분할수 1이다. 25%의 흑색 화면과 25/3%의 표시 화면의 3블록에서 주사하는 것이 분할수 3이다.

정지 화상은 분할수를 많게 한다. 동화상은 분할수를 적게 한다. 절환은 입력 화상에 따라서 자동적(동화상 검출 등)으로 행해도 되고, 유저가 수동으로 행해도 된다. 또한, 표시 장치의 영상 등에 입력 콘센트에 대응하여 절환하도록 구성하면 된다.

예를 들면, 휴대 전화 등에 있어서, 벽지 표시, 입력 화면에서는, 분할수를 10 이상으로 한다(극단적으로는 1H마다 온 오프 해도 된다). NTSC의 동화상을 표시할 때는, 분할수를 1 이상 5 이하로 한다. 또한, 분할수는 3 이상의 다단계로 절환할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 분할수 없음, 2, 4, 8 등이다.

전체 표시 화면에 대한 흑색 화면의 비율은, 전체 화면(144)의 면적을 1로 했을 때, 0.2 이상 0.9 이하(N으로 표시하면 1.2 이상 9 이하)로 하는 것이 바람직하다. 또한, 특히 0.25 이상 0.6 이하(N으로 표시하면 1.25 이상 6 이하)로 하는 것이 바람직하다. 0.20 이하이면 동화상 표시에서의 개선 효과가 낮다. 0.9 이상이면, 표시 부분의 휘도가 높아져, 표시 부분이 상하로 이동하는 것이 시각적으로 인식되기 쉬워진다.

1초당의 프레임 수는, 10 이상 100 이하(10Hz 이상 100Hz 이하)가 바람직하다. 나아가서는 12 이상 65 이하(12Hz 이상 65Hz 이하)가 바람직하다. 프레임 수가 적으면, 화면의 깜빡거림이 눈에 띄게 되고, 너무 프레임 수가 많으면, 소스 드라이버 회로(IC)(14) 등으로부터의 기입이 어렵게 되어 해상도가 열화한다.

정지 화상인 경우에는, 도 23, 도 54의 (c), 도 468의 (c) 등에 도시하는 바와 같이, 비표시 영역(192)을 다수로 분산시키는 것이 바람직하다. 동화상인 경우에는, 도 23, 도 54의 (a), 도 468의 (a) 등에 도시하는 바와 같이 비표시 영역을 일괄하는 것이 바람직하다.

영화 등의 자연 화상에서는, 동화상과 정지 화상이 연속해서 표시된다. 따라서, 동화상→자연 화상, 자연 화상→동화상의 절환이 필요하다. 정지 화상인 도 23, 도 54의 (c), 도 468의 (c)와, 동화상인 도 23, 도 54의 (a), 도 468의 (a)를 급격하게 변화시키면 플리커가 발생한다. 이 과제에 대해서는, 중간 동화상에 의해 대응한다(도 468의 (b), 도 54의 (b) 등).

예를 들면, 도 468의 (a)로부터 중간 동화상인 도 468의 (b)로 이행할 때에도, 급격하게 변화하는 것은 바람직하지 않다. 도 468의 (a)의 표시 영역(193a)의 중앙부로부터 비표시 영역(192a)(도 468의 (b)를 참조할 것)을 발생시키고, 비표시 영역(192a)의 A의 영역을 조금씩 넓게 해 간다(화상 내용이 변화하지 않는 경우에는, 표시 영역(193)의 면적의 총합은 유지하는 것이 필요하다). 또한 정지 화상이 연속해서 계속되는 경우에는, 도 468의 (c)와 같이 비표시 영역(192)을 분할하여, B의 부분을 조금씩 넓게 해 가고, 표시 영역(193)을 복수로 분할한다. 정지 화상으로부터 동화상으로 이행할 때에는 반대의 구동 방법(표시 방법 혹은 제어 방법)을 실시한다. 이상과 같이 조작 혹은 동작시킴으로써 정지 화상으로부터 동화상으로 변화 혹은 그 반대로 변화할 때이더라도, 플리커의 발생은 일어나지 않는다.

정지 화상인 경우에는, 도 23, 도 54의 (c), 도 468의 (c) 등에 도시하는 바와 같이, 비표시 영역(192)을 다수로 분산시키고, 동화상인 경우에는, 도 23, 도 54의 (a), 도 468의 (a) 등에 도시하는 바와 같이, 비표시 영역을 일괄하는 것으로 했다. 그러나, 나중에도 설명하겠지만, duty비 제어 혹은 기준 전류비 제어의 조합에 의해, 일의적으로 결정되는 것은 아니다.

예를 들면, 동화상인 경우에 있어서, duty비가 1/1인 경우에는, 비표시 영역(192)이 없는 경우도 있다. 또한, 정지 화상인 경우에 있어서, duty비가 0/1인 경우에는, 화면(144) 전체는 비표시 영역(192)이고, 비표시 영역(192)을 분할할 수 없는 경우도 있다. 또한, 동화상인 경우에 있어서, duty비가 작은 (0/1에 가까운) 경우에는, 비표시 영역(192)이 복수로 분할되는 경우도 있다. 정지 화상인 경우에 있어서, duty비가 큰(1/1에 가까운) 경우에는, 화면(144) 전체는 비표시 영역(192)이 없고, 비표시 영역(192)을 분할할 수 없는 경우도 있다. 따라서, 정지 화상인 경우에는, 도 23, 도 54의 (c), 도 468의 (c) 등에 도시하는 바와 같이, 비표시 영역(192)을 다수로 분산시키고, 동화상인 경우에는, 도 23, 도 54의 (a), 도 468의 (a) 등에 도시하는 바와 같이 비표시 영역을 일괄한다고 하는 것은 설명의 예시이다. 변형예가 다수 존재한다.

따라서, 본 발명의 구동 방식은, 다수의 표시(드라마, 영화 등)를 본 발명의 표시 장치로 표시한 경우, 정지 화상인 경우에는, 도 23, 도 54의 (c), 도 468의 (c) 등에 도시하는 바와 같이, 비표시 영역(192)을 다수로 분산시키는 경우가 발생하는 신(scene)이 1회라도 있을 것, 동화상인 경우에는, 도 23, 도 54의 (a), 도 468의 (a) 등에 도시하는 바와 같이 비표시 영역을 일괄하는 신이 1회라도 있도록 구동하는 것이다.

게이트 신호선(17b)의 1F/N의 기간만, Vgl로 하는 시각은 1F(1F에 한정하는 것은 아니다. 단위 기간으로 된다.)의 기간 중, 어떤 시각이어도 된다. 단위 시간 중, 소정의 기간만 EL 소자(15)를 온시킴으로써, 소정의 평균 휘도를 얻는 것이기 때문이다. 단, 전류 프로그램 기간(1H) 후, 곧 게이트 신호선(17b)을 Vgl로 하여 EL 소자(15)를 발광시키는 쪽이 바람직하다. 도 1의 컨텐서(19)의 유지율 특성의 영향을 받기 어렵게 되기 때문이다.

트랜지스터(11b, 11c)를 구동하는 게이트 신호선(17a)과 트랜지스터(11d)를 구동하는 게이트 신호선(17b)의 구동 전압은 변화시키면 된다. 게이트 신호선(17a)의 진폭값(온 전압과 오프 전압과의 차)은, 게이트 신호선(17b)의 진폭값보다 작게 한다.

게이트 신호선(17a)의 진폭값이 크면, 게이트 신호선(17a)과 화소(16)와의 관통 전압이 커져, 흑색이 들뜨는 현상이 발생한다. 게이트 신호선(17a)의 진폭은, 소스 신호선(18)의 전위가 화소(16)에 인가되도록 제어할 수 있으면 된다. 소스 신호선(18)의 전위 변동은 작으므로, 게이트 신호선(17a)의 진폭값은 작게 할 수 있다.

한편, 게이트 신호선(17b)은 EL 소자(15)의 온 오프 제어를 실시할 필요가 있다. 따라서, 진폭값은 커진다. 이것에 대응하기 위해서, 도 6의 시프트 레지스터 회로(141a와 141b)의 출력 전압을 변화시킨다. 화소가 P 채널 트랜지스터로 형성되어 있는 경우에는, 시프트 레지스터 회로(141a와 141b)의 V_{gh}(오프 전압)를 대략 동일하게 하고, 시프트 레지스터 회로(141a)의 V_{gl}(온 전압)을 시프트 레지스터 회로(141b)의 V_{gl}(온 전압)보다 낮게 한다.

이상의 실시예는, 1화소행마다 1개의 선택 화소행을 배치(형성)하는 구성이었다. 본 발명은, 이것에 한정되는 것은 아니고, 복수의 화소행에서 1개의 게이트 신호선(17a)을 배치(형성)해도 된다.

도 22는 그 실시예이다. 또한, 설명을 용이하게 하기 위해서, 화소 구성은 도 1의 경우를 주로 예시하여 설명한다. 도 22에서는 게이트 신호선(17a)은 3개의 화소(16R, 16G, 16B)를 동시에 선택한다. R의 기호는 적색의 화소 관련을 의미하고, G의 기호는 녹색의 화소 관련을 의미하고, B의 기호는 청색의 화소 관련을 의미하는 것으로 한다.

게이트 신호선(17a)의 선택에 의해, 화소(16R), 화소(16G) 및 화소(16B)가 동시에 선택되어 데이터 기입 상태로 된다. 화소(16R)는 소스 신호선(18R)으로부터 영상 데이터를 컨덴서(19R)에 기입하고, 화소(16G)는 소스 신호선(18G)으로부터 영상 데이터를 컨덴서(19G)에 기입한다. 화소(16B)는 소스 신호선(18B)으로부터 영상 데이터를 컨덴서(19B)에 기입한다.

화소(16R)의 트랜지스터(11d)는 게이트 신호선(17bR)에 접속되어 있다. 또한, 화소(16G)의 트랜지스터(11d)는 게이트 신호선(17bG)에 접속되고, 화소(16B)의 트랜지스터(11d)는 게이트 신호선(17bB)에 접속되어 있다. 화소(16R)의 EL 소자(15R), 화소(16G)의 EL 소자(15G), 화소(16B)의 EL 소자(15B)는 별개로 온 오프 제어할 수 있다. 즉, EL 소자(15R), EL 소자(15G), EL 소자(15B)는 각각의 게이트 신호선(17bR, 17bG, 17bB)를 제어함으로써, 점등 시간, 점등 주기를 개별로 제어 가능하다.

이 동작을 실현하기 위해서 도 6의 구성에 있어서, 게이트 신호선(17a)을 주사하는 시프트 레지스터 회로(141)와, 게이트 신호선(17bR)을 주사하는 시프트 레지스터 회로(141R)(도시 생략)와, 게이트 신호선(17bG)을 주사하는 시프트 레지스터 회로(141G)(도시 생략)와, 게이트 신호선(17bB)을 주사하는 시프트 레지스터 회로(141B)(도시 생략)의 4개를 형성(배치)하는 것이 적절하다.

소스 신호선(18)에 소정 전류의 N배의 전류를 흘리고, EL 소자(15)에 소정 전류의 N배의 전류를 1/N의 기간 흘리는 것으로 했지만, 이것은 이상적인 상태이다. 실제로는 게이트 신호선(17)에 인가한 신호 펄스가 컨덴서(19)를 관통하여, 컨덴서(19)에 원하는 전압값(전류값)을 설정할 수 없기 때문이다. 일반적으로 컨덴서(19)에는 원하는 전압값(전류값)보다 낮은 전압값(전류값)이 설정된다. 예를 들면, 10배의 전류값을 설정하도록 구동해도, 10배 이하의 전류밖에 컨덴서(19)에는 설정되지 않는다. 예를 들면, N=10으로 해도 실제로 EL 소자(15)에 흐르는 전류는 N=10 미만인 경우와 동일하게 된다.

그러나, 본 명세서에서는, 설명을 용이하게 하기 위해서, 관통 전압 등의 영향이 없고, 이상적인 상태로서 설명한다. 실제로는 본 발명은 N배의 전류값을 설정하고, N배에 비례한 혹은 대응하는 전류를 EL 소자(15)에 흐르도록 구동하는 방법이다.

또한, 본 발명은, 원하는 값보다 큰 전류(그대로, EL 소자(15)에 연속해서 전류를 흘리면 원하는 휘도보다 높아지는 전류)를 구동용 트랜지스터(11a)(도 1을 예시하는 경우)에 전류(전압) 프로그램을 행하고, EL 소자(15)에 흐르는 전류를 간헐로 하는 것에 의해, 원하는 EL 소자의 발광 휘도를 얻는 것이다.

도 1의 스위칭용 트랜지스터(11b, 11c)를 P 채널로 하는 것에 의해 관통을 발생시켜, 더욱 흑색 표시를 양호하게 하는 방법도 유효하다. P 채널 트랜지스터(11b)가 오프할 때에는 V_{gh} 전압으로 된다. 그 때문에, 컨덴서(19)의 단자 전압이 V_{dd}

측으로 약간 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압은 상승하여, 더욱 흑색 표시로 된다. 또한, 제1 계조 표시로 하는 전류값을 크게 할 수 있기 때문에(계조 1까지 일정한 베이스 전류를 흘릴 수 있다), 전류 프로그램 방식으로 기입 전류 부족을 경감시킬 수 있다.

도 1에 있어서의 트랜지스터(11b)는 구동용 트랜지스터(11a)가 흘리는 전류를 컨덴서(19)에 유지하기 위해 동작한다. 즉, 구동용 트랜지스터(11a)의 게이트 단자(G)와 드레인 단자(D) 혹은 소스 단자(S) 사이를 프로그램시에 쇼트시키는 기능을 갖는다.

트랜지스터(11b)는 소스 단자 또는 드레인 단자가 유지용의 컨덴서(19)에 접속되어 있다. 트랜지스터(11b)는 게이트 신호선(17a)에 인가된 전압에 의해, 온 오프 제어된다. 과제는, 오프 전압이 인가되었을 때에 게이트 신호선(17a)의 전압이 컨덴서(19)를 관통하는 것이다. 이 관통 전압에 의해, 컨덴서(19)의 전위(=구동용 트랜지스터(11a)의 게이트 단자(G) 전위)가 변동한다. 그 때문에, 전류 프로그램에 의한 트랜지스터(11a)의 특성 보상을 할 수 없게 된다. 따라서, 관통 전압은 작게 할 필요가 있다.

관통 전압을 작게 하기 위해서는, 트랜지스터(11b)의 사이즈를 작게 하면 된다. 여기서, 트랜지스터의 사이즈 S_{cc} 를 채널 폭 $W(\mu m)$, 채널 길이 $L(\mu m)$ 로 하고, $S_{cc}=W \cdot L$ (평방 μm)으로 한다. 트랜지스터가 복수 직렬 접속되어 구성되어 있는 경우에는, S_{cc} 는 접속된 트랜지스터 사이즈의 총합이다. 예를 들면, 1개의: 트랜지스터의 $W=5(\mu m)$, $L=6(\mu m)$ 으로 하고, 개수($n=4$)가 접속되어 구성되어 있으면, $S_{cc}=5 \times 6 \times 4=120$ (평방 μm)이다.

트랜지스터의 사이즈와 관통 전압은 상관이 있다. 이 관계를 도 29에 도시한다. 또한, 트랜지스터는 P 채널 트랜지스터인 것으로 한다. 단, N 채널 트랜지스터라도 적용할 수 있다.

도 29에 있어서, 횡축은 S_{cc}/n 으로 하고 있다. S_{cc} 는 앞에서 설명한 바와 같이 트랜지스터의 사이즈의 총합이다. n 은 접속된 트랜지스터 수이다. 도 29에서는 S_{cc} 를 n 개로 나눈 것을 횡축으로 하고 있다. 즉, 트랜지스터의 1개당의 사이즈이다.

이전의 실시예에서는, 트랜지스터의 사이즈 S_{cc} 를 채널 폭 $W(\mu m)$, 채널 길이 $L(\mu m)$ 로 하고, 트랜지스터 수가 $n=4$ 이면, $S_{cc}/n=5 \times 6 \times 4/4=30$ (평방 μm)이다. 도 29에 있어서, 종축은 관통 전압(V)이다.

관통 전압은 0.3(V) 이내로 하지 않으면, 레이저 샷 얼룩이 발생하여, 시각적으로 허용할 수 없다. 따라서, 1개당 트랜지스터의 사이즈는 25(평방 μm) 이하로 할 필요가 있다. 한편, 트랜지스터는 5(평방 μm) 이상으로 하지 않으면, 트랜지스터의 가공 정밀도가 나오지 않고, 변동이 커진다. 또한, 구동 능력에도 문제를 발생시킨다. 이상의 점으로부터 트랜지스터(11b)는 5(평방 μm) 이상 25(평방 μm) 이하로 할 필요가 있다. 더욱 바람직하게는, 트랜지스터(11b)는 5(평방 μm) 이상 20(평방 μm) 이하로 할 필요가 있다.

트랜지스터에 의한 관통 전압은, 트랜지스터를 구동하는 전압(V_{gh} , V_{gl})의 진폭값($V_{gh}-V_{gl}$)과도 상관이 있다. 진폭값이 클수록 관통 전압은 커진다. 이 관계를 도 30에 도시하고 있다. 도 30에 있어서, 횡축을 진폭값($V_{gh}-V_{gl}$)(V)으로 하고 있다. 종축은 관통 전압이다. 도 29에서도 설명한 바와 같이, 관통 전압은 0.3(V) 이하로 되도록 할 필요가 있다.

또한, 관통 전압의 허용값 0.3(V)은 바꿔 말하면, 소스 신호선(18)의 진폭값의 1/5 이하(20% 이하)이다. 소스 신호선(18)은 프로그램 전류가 백색 표시인 경우에는 1.5(V)이고, 프로그램 전류가 흑색 표시인 경우에는 3.0(V)이다. 따라서, $(3.0-1.5)/5=0.3(V)$ 으로 된다.

한편, 게이트 신호선의 진폭값($V_{gh}-V_{gl}$)은 4(V) 이상이 아니면 충분히 화소(16)에 기입할 수 없다. 이상의 점으로부터, 게이트 신호선의 진폭값($V_{gh}-V_{gl}$)은, 4(V) 이상 15(V) 이하의 조건을 만족시킬 필요가 있다. 더욱 바람직하게는, 게이트 신호선의 진폭값($V_{gh}-V_{gl}$)은, 5(V) 이상 12(V) 이하의 조건을 만족시킬 필요가 있다.

트랜지스터(11b)를 복수의 트랜지스터를 직렬로 접속하여 구성하는 경우에는, 구동용 트랜지스터(11a)의 게이트 단자(G)에 가까운 트랜지스터(트랜지스터(11bx)라고 부름)의 채널 길이 L 을 길게 하는 것이 바람직하다. 게이트 신호선(17a)에 온 전압(V_{gl})으로부터 오프 전압(V_{gh})으로 변화시켰을 때, 트랜지스터(11bx)가 다른 트랜지스터(11b)보다 빠르게 오프 상태로 된다. 그 때문에, 관통 전압의 영향이 경감된다. 예를 들면, 복수의 트랜지스터(11b)와 트랜지스터(11bx)의 채널 폭 W 가 $3\mu m$ 이면, 복수의 트랜지스터(11b)(트랜지스터(11bx) 이외)의 채널 길이 L 은 $5\mu m$ 로 하고, 트랜지스터(11bx)의 채널 길이 L_x 는 $10\mu m$ 로 한다. 트랜지스터(11b)는 트랜지스터(11c)측으로부터 배치하고, 트랜지스터(11bx)는 구동용 트랜지스터(11a)의 게이트 단자(G)측에 배치한다.

또한, 트랜지스터(11bx)의 채널 길이 L_x 는 트랜지스터(11b)의 채널 길이 L 의 1.4배 이상 4배 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 트랜지스터(11bx)의 채널 길이 L_x 는 트랜지스터(11b)의 채널 길이 L 의 1.5배 이상 3배 이하로 하는 것이 바람직하다.

관통 전압은, 화소(16)를 선택하는 게이트 드라이버 회로(12a)의 전압 진폭에 의존한다. 즉, 도 1의 화소 구성에서는, 온 전압(V_{gl1})과 오프 전압(V_{gh1})의 전위차에 의존한다. 이 전위차가 작은 쪽이, 커패시터(19)로의 관통 전압은 감소하고, 트랜지스터(11a)의 게이트 단자의 전위 시프트도 작아진다.

따라서, V_{gl1} 과 V_{gh1} 과의 전위차가 작은 쪽이, '관통 전압'을 감소시키는 의미에서는 효과가 있다. 그러나, 전위차가 작으면 트랜지스터(11c)가 완전하게 온하지 않게 된다. 예를 들면, 도 1의 화소 구성을 예로 하면, 소스 신호선(18)에 인가되는 전압이, 5(V)~0(V)의 범위인 경우에는, 게이트 신호선(17a)에 인가되는 전압은, $V_{gh1}=+6(V)$ 이상, $V_{gl1}=-2(V)$ 이하로 하는 것이 바람직하다. 이 전압을 게이트 신호선(17a)에 인가함으로써 선택 스위치로서 동작하는 트랜지스터(11c)는 양호한 온 오프 상태를 유지할 수 있다.

한편, 구동용 트랜지스터(11a)에 전류 프로그램을 행하는 트랜지스터(11b)에는 거의 전류가 흐르지 않는다. 따라서, 트랜지스터(11b)는 스위치로서 동작시키지 않아도 된다. 즉, 온이 비교적 충분하지 않아도 된다. 트랜지스터(11b)는 온 전압(V_{gl1})이 높더라도 동작으로서는 충분히 기능한다.

관통 전압에 관한 구성은, 명세서에서는 도 1의 화소 구성을 예시하여 설명하고 있지만, 이 구성에 한정되는 것은 아니다. 예를 들면, 도 11, 도 12, 도 13, 도 375의 (b) 등의 커런트 미러 구성 등의 다른 화소 구성에 대하여도 적용 혹은 실시 혹은 방식으로서 채용할 수 있는 것은 물론이다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

이상의 점으로부터, 도 1에 도시하는 바와 같이 게이트 신호선(17a)에서 트랜지스터(11b)와 트랜지스터(11c)를 동시에 동작시키는 것이 아니고, 도 281에 도시하는 바와 같이, 트랜지스터(11b)를 제어하는 게이트 신호선(17a1)과, 트랜지스터(11c)를 동작시키는 게이트 신호선(17a2)으로 분리하는 것이 바람직하다.

게이트 드라이버 회로(IC)(12a1)는 게이트 신호선(17a1)을 제어하고, 게이트 드라이버 회로(IC)(12a2)는 게이트 신호선(17a2)을 제어한다. 게이트 신호선(17a1)은 트랜지스터(11b)의 온 오프 상태를 제어한다. 제어하는 전압은 온 전압 V_{gh1a} , 오프 전압 V_{gl1a} 로 한다. 게이트 신호선(17a2)은 트랜지스터(11c)의 온 오프 상태를 제어한다. 제어하는 전압은 온 전압 V_{gh1b} , 오프 전압 V_{gl1b} 로 한다.

게이트 신호선(17a1)의 전압 진폭 $|V_{gh1a}-V_{gl1a}|$ 을 작게 함으로써, 트랜지스터(11b)의 기생 용량에 의한 커패시터(19)로의 관통 전압이 감소한다. 게이트 신호선(17a2)의 전압 진폭 $|V_{gh1b}-V_{gl1b}|$ 를 크게 함으로써, 트랜지스터(11c)가 완전하게 온 오프하여, 양호한 스위치로서 동작한다. $|V_{gh1a}-V_{gl1a}|$ 와 $|V_{gh1b}-V_{gl1b}|$ 의 관계는, $|V_{gh1a}-V_{gl1a}| < |V_{gh1b}-V_{gl1b}|$ 의 관계가 유지되도록 설정 혹은 구성한다.

오프 전압 V_{gh1} 과 오프 전압 V_{gh2} 는 동일하게 하는 것이 바람직하다. 전원 수가 감소하여, 회로 코스트를 저감할 수 있기 때문이다. 또한, 오프 전압 V_{gh1} 은 애노드 전압 V_{dd} 를 기준으로 함으로써, 트랜지스터(11)의 동작이 안정되기 때문이다. 한편, 게이트 드라이버 회로(12a1)의 온 전압 V_{gl1} 은, 소스 드라이버 회로(IC)(14)의 접지 전압(GND)에 대하여, 11(V) 이하 16(V) 이상의 관계를 유지하는 것이 바람직하다. 관통 전압이 감소하여, 양호한 균일 표시를 실현할 수 있기 때문이다.

또한, 게이트 드라이버 회로(12a2)의 온 전압 V_{gl2} 는, 소스 드라이버 회로(IC)(14)의 접지 전압(GND)에 대하여, 0(V) 이하 -10(V) 이상의 관계를 유지하는 것이 바람직하다. 트랜지스터(11c)를 완전하게 온 상태로 할 수 있어, 양호한 전류(전압) 프로그램을 실현할 수 있기 때문이다. 또한, V_{gl2} 는, V_{gl1} 보다 -1(V) 이하의 관계로 되도록 전압 설정을 행하는 것이 바람직하다.

또한, 게이트 신호선(17a)에 온 전압이 인가되어 화소행이 선택되고, 그 후 게이트 신호선(17a)에 오프 전압이 인가되는 타이밍은, 이하와 같이 하는 것이 바람직하다. 즉, 게이트 신호선(17a1)에 오프 전압(V_{gh1a})을 인가한 후, 0.05 μ sec 이상 10 μ sec 이하(혹은 1H 시간의 1/400 이상 1/10 이하) 후에, 게이트 신호선(17a2)에 오프 전압(V_{gh1b})을 인가한다. 트랜지스터(11b)를 트랜지스터(11c)보다 먼저 오프시킴으로써, 관통 전압의 영향이 대폭으로 경감되기 때문이다.

또한, 도 281에서는 게이트 드라이버 회로(12a1)와 게이트 드라이버 회로(12a2)의 2개를 도시했지만, 이것에 한정되는 것은 아니고, 일체로 해도 된다. 이상의 사항은, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)와의 관계에도 적용된다. 예를 들면, 도 14에 도시하는 바와 같이 게이트 드라이버 회로(12)를 일체로 해도 된다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

이상의 실시예에서 설명한 사항은, 도 1의 화소 구성에 한정되는 것은 아니다. 예를 들면, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13, 도 28, 도 31, 도 36, 도 193, 도 194, 도 215, 도 314의 (a), (b), 도 607의 (a), (b), (c) 등의 화소 구성에도 적용할 수 있는 것은 물론이다. 즉, 전압 유지용의 커패시터(19)에 일단자가 접속되어 트랜지스터를 동작시키는 게이트 단자(도 1에서는 트랜지스터(1b)의 게이트 단자)의 전압 변동을, 화소 선택 트랜지스터(도 1에서는 트랜지스터(11c))의 게이트 단자를 동작시키는 전압 변동과 다르게 한다.

이상의 실시예는, 화소(16)의 트랜지스터 동작에 대하여 기술했지만, 본 발명은 화소 구성에 한정되는 것은 아니고, 도 231 등에서 설명한 유지 회로(2280)에 대해서도 적용할 수 있는 것은 물론이다. 구성이 동일 혹은 유사이고, 기술적 사항이 동일하기 때문이다.

또한, 이상의 실시예에서는, 구동용 트랜지스터(11a)를 P 채널 트랜지스터로서 설명하고 있다. 구동용 트랜지스터(11a)가 N 채널인 경우에는, 온 전압의 전위, 오프 전압의 전위를 적용할 수 있도록 재판독(재해석)하면 되기 때문에, 설명을 생략한다.

도 1 등에서 설명한 화소 구성에서는, 구동용 트랜지스터(11a)는 각 화소(16)에 1개의 구성이다. 그러나, 본 발명에 있어서, 구동용 트랜지스터(11a)는 1개에 한정되는 것은 아니다. 예를 들면, 도 31의 화소 구성이 예시된다.

도 31은 화소(16)를 구성하는 트랜지스터 수를 6개로 하고, 프로그램용 트랜지스터(11an)는 트랜지스터(11b2)와 트랜지스터(11c)의 2개의 트랜지스터를 경유하여 소스 신호선(18)에 접속되도록 구성하고, 구동용 트랜지스터(11a1)는 트랜지스터(11b1)와 트랜지스터(11c)의 2개의 트랜지스터를 경유하여 소스 신호선(18)에 접속되도록 구성한 실시예이다.

도 31에 있어서, 구동용 트랜지스터(11a1)의 게이트 단자와 프로그램용 트랜지스터(11an)의 게이트 단자를 공통으로 하고 있다. 트랜지스터(11b1)는 전류 프로그램시에 구동용 트랜지스터(11a1)의 드레인 단자와 게이트 단자를 단락하도록 동작한다. 트랜지스터(11b2)는 전류 프로그램시에 프로그램용 트랜지스터(11an)의 드레인 단자와 게이트 단자를 단락하도록 동작한다.

트랜지스터(11c)는 구동용 트랜지스터(11a1)의 게이트 단자에 접속되어 있고, 트랜지스터(11d)는 구동용 트랜지스터(11a1)와 EL 소자(15) 사이에 형성 또는 배치되어, EL 소자(15)에 흐르는 전류를 제어한다. 또한, 구동용 트랜지스터(11a1)의 게이트 단자와 애노드(Vdd) 단자 사이에는 부가 커패시터(19)가 형성 또는 배치되어 있고, 구동용 트랜지스터(11a1)와 프로그램용 트랜지스터(11an)의 소스 단자는 애노드(Vdd) 단자에 접속되어 있다.

이상과 같이, 구동용 트랜지스터(11a1)와 프로그램용 트랜지스터(11an)가 동일 수의 트랜지스터를 통과하도록 구성함으로써, 정밀도를 향상시킬 수 있다. 즉, 구동용 트랜지스터(11a1)를 흐르는 전류는, 트랜지스터(11b1), 트랜지스터(11c)를 통하여 소스 신호선(18)에 흐른다. 또한, 프로그램용 트랜지스터(11an)를 흐르는 전류는, 트랜지스터(11b2), 트랜지스터(11c)를 통하여 소스 신호선(18)에 흐른다. 따라서, 구동용 트랜지스터(11a1)의 전류와, 프로그램용 트랜지스터(11ap)의 전류는, 동일 수인 2개의 트랜지스터를 통과하여 소스 신호선(18)에 흐르도록 구성되어 있다.

도 31에서는, 구동용 트랜지스터(11an)를 1개의 트랜지스터로서 도시하고 있지만, 이것에 한정되는 것은 아니다. 구동용 트랜지스터(11an)는, 동일 채널 폭 W, 동일 채널 길이 L 혹은 동일 WL비의 복수의 트랜지스터로 구성해도 된다. 또한, 구동용 트랜지스터(11a1)의 구동용 트랜지스터(11an)와, 동일 채널 폭 W, 동일 채널 길이 L 혹은 동일 WL비로 하는 것이 바람직하다. 동일 WL 혹은 WL비의 트랜지스터를 복수 형성하는 쪽이, 각 트랜지스터(11a)의 출력 변동이 작아지고, 또한 화소(16) 간의 변동도 적어져 바람직하다.

게이트 신호선(17a)에 선택 전압(온 전압)이 인가되면, 트랜지스터(11an)와 트랜지스터(11a1)로부터의 전류가 합성된 것이 프로그램 전류 I_w 로 된다. 이 프로그램 전류 I_w 를, 구동용 트랜지스터(11a1)로부터 EL 소자(15)에 흐르는 전류 I_e 의 소정 배율로 한다.

$I_w = n \cdot I_e$ (n 은 1 이상의 자연수)

상기 식에 있어서, 표시 패널의 최대 백 래스터에서의 표시 휘도 $B(nt)$, 표시 패널의 화소 면적 S (평방 밀리미터)(화소 면적은, RGB를 1단위로서 취급한다. 따라서, 각 R, G, B의 화소가 세로 0.1mm, 가로 0.05mm이면, $S=0.1 \times (0.05 \times 3)$ (평방 밀리미터)임), 표시 패널의 1화소행 선택 기간(1수평 주사(1H) 기간)을 H (밀리초)로 했을 때, 이하의 조건을 만족시키도록 한다. 또한, 표시 휘도 B 는, 패널 사양에 규정하는 표시할 수 있는 최대 휘도이다.

$$5 \leq (B \cdot S) / (n \cdot H) \leq 150$$

더욱 바람직하게는, 이하의 조건을 만족시키도록 한다.

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

I_w 는 소스 드라이버 회로(IC)(14)가 출력하는 프로그램 전류이고, 이 프로그램 전류에 대응하는 전압이, 화소(16)의 컨덴서(19)에 홀드된다. 또한, I_e 는 구동용 트랜지스터(11a1)가 EL 소자(15)에 흘리는 전류이다.

트랜지스터(11a1), 트랜지스터(11an)의 출력 변동에 관해서는, 트랜지스터(11an)와 구동용 트랜지스터(11a1)를 근접시켜 형성 또는 배치함으로써 개선할 수 있다. 또한, 트랜지스터(11an), 트랜지스터(11a1)의 특성은 형성 방향에 따라서도 특성이 다른 경우가 있다. 따라서, 동일 방향에 형성하는 것이 바람직하다.

게이트 신호선(17a)이 선택되면, 구동용 트랜지스터(11a1) 및 프로그램용 트랜지스터(11an)의 양쪽이 온한다. 구동용 트랜지스터(11a1)가 흘리는 전류 I_{w1} 과, 프로그램용 트랜지스터(11an)가 흘리는 전류 I_{w2} 는, 대략 일치시키는 것이 바람직하다. 가장 바람직하게는, 프로그램용 트랜지스터(11an)와 구동용 트랜지스터(11a1)의 사이즈(W, L)를 일치시키는 것이다. 즉, $I_{w1}=I_{w2}$, $I_w=2I_e$ 의 관계를 만족시키는 것이 바람직하다. 물론, $I_{w1}=I_{w2}$ 의 관계를 만족시키기 위해서는, 트랜지스터 사이즈(W, L)를 일치시키는 것에 한정되는 것은 아니고, 사이즈를 변화시키는 것에 의해 일치시켜도 된다. 이것은, 트랜지스터의 WL 을 조정하는 것에 의해 용이하게 실현할 수 있다. 대략 $I_{w2}/I_{w1}=1$ 이면, 트랜지스터(11b1)와 트랜지스터(11b1)의 사이즈는 대략 일치해서 구성 혹은 형성할 수 있다.

또한, I_{w2}/I_{w1} 은, 1 이상 10 이하의 관계를 만족시켜 두는 것이 바람직하다. I_{w2}/I_{w1} 은, 1 이상 10 이하의 관계를 만족시켜 두는 것이 바람직하다. 더욱 바람직하게는, 1.5 이상 5 이하의 관계를 만족시켜 두는 것이 바람직하다.

I_{w2}/I_{w1} 이 1 이하에서는, 거의 소스 신호선(18)의 기생 용량의 영향을 개선하는 효과는 기대할 수 없다. 한편, I_{w2}/I_{w1} 가 10 이상으로 되면, I_w 에 대한 I_e 의 관계에 화소마다 변동이 발생하여, 균일한 화상 표시를 실현할 수 없다. 또한, 트랜지스터(11b)의 온 저항의 영향을 크게 받게 되어, 화소 설계도 곤란하게 된다.

프로그램용 트랜지스터(11an)가 흘리는 전류 I_{w2} 가, 구동용 트랜지스터(11a1)가 흘리는 전류 I_{w1} 과 비교하여 일정 이상 큰 경우에는 ($I_{w2}>I_{w1}$), 스위칭용 트랜지스터(11b2)의 온 저항을, 스위칭용 트랜지스터(11b1)의 온 저항보다 작게 할 필요가 있다. 스위칭용 트랜지스터(11b2)는, 트랜지스터(11b1)보다 큰 전류를, 동일한 게이트 신호선(17a)의 전압에 대하여 흘리도록 구성할 필요가 있기 때문이다.

즉, 구동용 트랜지스터(11a1)의 출력 전류의 크기에 대한 트랜지스터(11b1)의 크기와, 프로그램용 트랜지스터(11an)의 출력 전류의 크기에 대한 트랜지스터(11b2)의 크기를 매칭시킬 필요가 있다.

바꿔 말하면, 프로그램 전류 I_{w2} , 프로그램 전류 I_{w1} 에 대하여, 트랜지스터(11b)의 온 저항을 변화시킬 필요가 있다. 또한, 프로그램 전류 I_{w2} , 프로그램 전류 I_{w1} 에 대하여, 트랜지스터(11b1과 11b2)의 사이즈를 변화시킬 필요가 있다.

프로그램 전류 I_{w2} 가 프로그램 전류 I_{w1} 보다도 크면, 트랜지스터(11b2)의 온 저항은 트랜지스터(11b1)의 온 저항보다 작게 할 필요가 있다(트랜지스터(11b1)와 트랜지스터(11b2)의 게이트 단자 전압이 동일한 경우이다). 프로그램 전류 I_{w2} 가 프로그램 전류 I_{w1} 보다 크면, 트랜지스터(11b2)의 온 전류(I_{w2})는 트랜지스터(11b1)의 온 전류(I_{w1})보다 크게 할 필요가 있다(트랜지스터(11b1)와 트랜지스터(11b2)의 게이트 단자 전압이 동일한 경우이다).

$I_{w2}:I_{w1}=n:1$ 로 하여, 게이트 신호선(17a)에 온 전압이 인가되고, 트랜지스터(11b1)와 트랜지스터(11b2)가 온 했을 때의 트랜지스터(11b2)의 온 저항을 R_2 , 트랜지스터(11b1)의 온 저항을 R_1 로 한다. 이 때, R_2 는, $R_1/(n+5)$ 이상, $R_1/(n)$ 이하의 관계를 만족하도록 구성한다. 구성한다는 것은, 트랜지스터(11b)의 소정의 사이즈로 형성하거나 혹은 배치하거나 혹은 동작시킨다는 의미이다. 단, n 은 1보다 큰 값이다.

상기 사항은, 트랜지스터(11b1)와 트랜지스터(11b2)의 온 저항 R 혹은, 프로그램 전류 Iw의 설명이다. 따라서, 상기 조건을 만족시키도록 화소 구성을 실현하면 어떠한 구성이어도 된다. 예를 들면, 트랜지스터(11b1)의 게이트 단자에 접속된 게이트 신호선(17)과, 트랜지스터(11b2)의 게이트 단자에 접속된 게이트 신호선(17)이 서로 다른 신호선인 경우에는, 각 게이트 신호선에 인가하는 전압을 변화시키면, 온 저항 등을 변화시킬 수 있어, 본 발명의 조건을 만족시킬 수 있다.

도 32는 도 31의 화소 구성의 동작의 설명도이다. 도 32의 (a)는 전류 프로그램 상태이고, 도 31의 (b)는 EL 소자(15)에 전류를 공급하고 있는 상태이다. 또한, 도 32의 (b)의 상태에서, 트랜지스터(11d)를 온 오프시켜 간헐 표시를 실시해도 되는 것은 물론이다.

도 32의 (a)에서는, 게이트 신호선(17a)에 온 전압이 인가되어, 트랜지스터(11b1, 11b2, 11c)가 온한다. 트랜지스터(11a1)는 전류 Ie를 공급하고, 트랜지스터(11an)는 전류 Iw-Ie를 공급하고, 합성한 전류 Iw가 소스 드라이버 Ic에 프로그램 전류로 된다. 이상의 동작에 의해, 프로그램 전류 Iw에 대응하는 전압이 컨덴서(19)에 유지된다. 전류 프로그램시에는 트랜지스터(11d)는 오프 상태로 유지된다(게이트 신호선(17b)에는 오프 전압이 인가되고 있다).

EL 소자(15)에 전류를 흘리는 경우가, 도 32의 (b)의 동작 상태로 된다. 게이트 신호선(17a)에 오프 전압이 인가되고, 게이트 신호선(17b)에 온 전압이 인가된다. 이 상태에서는, 트랜지스터(11b1, 11b2, 11c)가 오프 상태로 되고, 트랜지스터(11d)가 온 상태로 된다. EL 소자(15)에 Ie 전류가 공급된다.

도 33은 도 31의 변형예이다. 도 33은, 트랜지스터(11c)가 소스 신호선(18)과 트랜지스터(11a1)의 드레인 단자 사이에 배치되어 있다. 이상과 같이 도 31에는 다수의 변형예를 예시할 수 있다.

도 31은 게이트 신호선(17a)에 온 오프 전압을 인가함으로써, 트랜지스터(11b1, 11b2, 11c)가 제어된다. 그러나, 전류 프로그램 상태에서부터 전류 프로그램 상태 이외로 변화할 때, 트랜지스터(11b1, 11b2)와 트랜지스터(11c)가 동시에 오프하는 경우와, 트랜지스터(11c) 쪽이, 트랜지스터(11b1, 11b2)보다 먼저 오프로 되는 경우에는, 컨덴서(19)에 유지되는 전압이 규정된 값으로부터 변화하는 경우가 있다. 변화에 의해 구동용 트랜지스터(11a)로부터 EL 소자(15)에 공급하는 전류 Ie에 오차가 발생한다.

이 과제에 대해서는, 도 34와 같이 구성하는 것이 바람직하다. 도 34에서는, 게이트 신호선(17a1)의 트랜지스터(11b1과 11b2)의 게이트 단자가 접속되어 있다. 또한, 게이트 신호선(17a2)에 트랜지스터(11c)의 게이트 단자가 접속되어 있다. 따라서, 게이트 신호선(17a1)에 온 오프 전압을 인가함으로써, 트랜지스터(11b1과 11b2)가 온 오프 제어된다. 또한, 게이트 신호선(17a2)에 온 오프 전압을 인가함으로써 트랜지스터(11c)가 온 오프 제어된다.

전류 프로그램 상태에서부터 전류 프로그램 상태 이외로 변화시킬 때(게이트 신호선(17a1, 17a2)에 온 전압이 인가되고 있는 상태에서부터, 게이트 신호선(17a1, 17a2)에 오프 전압을 인가하는 상태로 변화시킬 때), 우선, 게이트 신호선(17a1)의 인가 전압을 온 전압으로부터 오프 전압으로 한다. 따라서, 트랜지스터(11b1과 11b2)가 오프 상태로 된다. 다음으로, 게이트 신호선(17a2)을 온 전압 인가 상태에서부터 오프 전압 인가 상태로 변화시킨다. 따라서, 트랜지스터(11c)가 오프 상태로 된다.

이상과 같이, 트랜지스터(11b1, 11b2)를 오프 상태로 하고 나서, 트랜지스터(11c)를 오프 상태로 함으로써, 관통 전압의 영향이 작아지고, 또한, 누설 전류량 등도 저감하기 때문에, 컨덴서(19)에 유지되는 전압이 규정값대로 된다. 또한, 게이트 신호선(17a1)과 게이트 신호선(17a2)에 오프 전압을 인가하는 타이밍의 어긋남은, 0.1μsec 이상 5μsec 이하로 하는 것이 바람직하다.

도 34는 구동용 트랜지스터(11a)가 1개인 구성이었지만, 본 발명은 이것에 한정되는 것은 아니고, 도 193에 도시하는 바와 같이 2개 이상이어도 된다. 도 193은 EL 소자(15)를 구동하는 트랜지스터(11a)가 2개(구동용 트랜지스터(11a1, 11a2))로 구성되고, 또한, 프로그램용 트랜지스터(11an)가 2개(11an1, 11an2)로 구성되어 있다. 도 193과 같이 구성함으로써 화소의 특성 변동을 더욱 저감할 수 있다. 또한, 구동용 트랜지스터(11a)와 프로그램용 트랜지스터(11an)는 교대로 배열되도록 레이아웃 배치를 행해도 된다.

도 194에 도시하는 바와 같이 화소 구성하는 것도 유효하다. 도 194는 2개의 구동용 트랜지스터(11a)(11a1, 11a2)를 갖고 있다. 이 2개의 구동용 트랜지스터(11a)(11a1, 11a2)의 양쪽은 EL 소자(15)에 전류 Ie를 공급하고, 이 전류에 의해 EL 소자는 휘도 B로 발광한다.

도 195는 도 194의 화소의 동작을 설명하기 위한 타이밍도이다. 이하, 도 194의 동작에 대하여 설명을 한다. 또한, 도 194의 화소는 매트릭스 형상으로 배치되고, 순차적으로 게이트 신호선이 선택됨으로써 상기 화소가 선택된다. 여기서는 설명을 용이하게 하기 위해, 도 1과 마찬가지로 1화소에 대하여 설명을 행한다.

우선, 게이트 신호선(17a)이 선택되고, Vgl 전압이 인가되면, 트랜지스터(11b2, 11b1, 11c)가 온하여, 도통 상태로 된다. 이 상태에서, 소스 신호선(18)에 인가된 프로그램 전류가 트랜지스터(11a2, 11a1)에 흐르고, 이 프로그램 전류 Iw가 흐르도록, 커패시터(19)에 전압이 유지된다(도 195의 게이트 신호선(17a)의 란을 참조할 것). 이상으로 전류 프로그램이 완료한다. 1H의 기간의 게이트 신호선(17a)에는, 온 전압(Vgl)이 인가되고, 선택 기간 경과 후, 오프 전압(Vgh)이 인가된다. 이상은, 기본적인 동작이고, 실제로는 게이트 신호선의 온 오프 타이밍 등은, 도 26, 도 27 등이 적용되는 것은 물론이다.

다음으로, 구동용 트랜지스터(11a1)의 전류 Ie1을 EL 소자(15)에 흘리는 기간에는, 게이트 신호선(17b1)이 선택된다(Vgl 전압이 인가된다). 또한, EL 소자(15)에 전류를 흘리지 않는 기간에는, 게이트 신호선(17b1)에는 오프 전압(Vgh 전압)이 인가된다. 이상의 상태를 정상적으로 반복하거나 혹은 주기적 혹은 랜덤적으로 행함으로써 EL 소자(15)가 발광한다. 도 195에서는, EL 소자(15)의 발광을 휘도 B로 나타내고 있다. 또한, 게이트 신호선(17b1)의 타이밍차트를 도 195의 게이트 신호선(17b1)으로 나타내고 있다.

구동용 트랜지스터(11a2)의 전류 Ie2를 EL 소자(15)에 흘리는 기간에는, 게이트 신호선(17b2)이 선택된다(Vgl 전압이 인가된다). 또한, EL 소자(15)에 전류를 흘리지 않는 기간에는, 게이트 신호선(17b2)에는 오프 전압(Vgh 전압)이 인가된다. 이상의 상태를 정상적으로 반복하거나 혹은 주기적 혹은 랜덤적으로 행함으로써 EL 소자(15)가 발광한다. 도 195에서는, EL 소자(15)의 발광을 휘도 B로 나타내고 있다. 또한, 게이트 신호선(17b2)의 타이밍차트를 도 195의 게이트 신호선(17b2)으로 나타내고 있다.

또한, 도 194, 도 195의 실시예에 있어서, 구동용 트랜지스터(11a)는 2개로 하고, 이 2개를 절환하는 것으로 설명했지만, 이것에 한정되는 것은 아니고, 구동용 트랜지스터(11a)를 3개 이상 형성 또는 배치하고, 3개 이상의 구동용 트랜지스터(11a)를 절환하여, EL 소자(15)에 전류 Ie를 공급해도 된다. 또한, 2개 이상의 구동용 트랜지스터(11a)가 동시에 EL 소자에 전류 Ie를 공급해도 된다. 또한, 구동용 트랜지스터(11a1)가 EL 소자(15)에 공급하는 전류 Ie1과, 구동용 트랜지스터(11a2)가 EL 소자(15)에 공급하는 전류 Ie2는 그 전류의 크기를 서로 다르게 해도 된다.

또한, 복수의 구동용 트랜지스터(11a)는 사이즈를 서로 다르게 해도 된다. 또한, 복수의 구동용 트랜지스터(11a)가 EL 소자(15)에 전류를 흘리는 시간은 동일할 필요는 없고, 서로 달라도 된다. 예를 들면, 구동용 트랜지스터(11a1)가 10 μ sec의 시간(10 μ 초) 동안, EL 소자(15)에 전류를 공급하고, 구동용 트랜지스터(11a2)가 20 μ sec의 시간(20 μ 초) 동안, EL 소자(15)에 전류를 공급하도록 구성해도 된다.

도 194에 있어서, 구동용 트랜지스터(11a1)의 게이트 단자와 구동용 트랜지스터(11a2)의 게이트 단자는 공통으로 접속되어 있지만, 이것에 한정되는 것은 아니고, 각 게이트 단자를 별개의 게이트 전위로 설정할 수 있는 것이어도 되는 것은 물론이다. 이상의 실시예는, 도 31 내지 도 36의 화소 구성에도 적용할 수 있다. 이 경우에는, 프로그램용 트랜지스터와 구동용 트랜지스터에 적용된다.

이상의 실시예는, 주로 도 1의 변형예의 실시예였다. 본 발명은 이것에 한정되는 것은 아니고, 도 13 등의 커런트 미러의 화소 구성에도 적용할 수 있다.

도 35는 본 발명의 실시예이다. 도 35는 구동용 트랜지스터(11b)가 1개이고, 프로그램용 트랜지스터(11an)가 4개로 화소가 구성된 실시예이다. 다른 구성은 도 12 또는 도 13의 실시예와 마찬가지로 한다.

도 35의 실시예에서는, 게이트 신호선(17a1, 17a2)이 선택되면, 트랜지스터(11c, 11d)가 동작 상태로 되고, 프로그램용 트랜지스터(11an)와 소스 신호선(18)과의 전류 경로가 형성된다. 또한, 4개의 프로그램용 트랜지스터(11an)는, 동일 사이즈(동일 채널 폭 W, 동일 채널 길이 L)로 형성하는 것이 바람직하다. 단, 본 발명에 있어서, 프로그램용 트랜지스터(11an)는 1개로 구성해도 된다. 이 경우에는, 1개의 프로그램용 트랜지스터(11an)의 형상 혹은 WL비를 고려하여, 소정의 프로그램 전류 Iw를 실현할 수 있도록 하는 것이 바람직하다.

도 35의 실시예에서는, 프로그램 전류 I_w 는, 4개의 프로그램용 트랜지스터(11an)의 전류가 합성된 것으로 된다. 설명을 용이하게 하기 위해서, 각 프로그램용 트랜지스터(11a)에 흐르는 전류가 동일한 것으로 한다. 또한, 설명을 용이하게 하기 위해서, EL 소자(15)에 전류를 공급하는 트랜지스터(11a)를 구동용 트랜지스터(11b)라고 부르고, 전류 프로그램시에 동작하는 트랜지스터(11an) 등을 프로그램용 트랜지스터(11an)라고 부르기로 한다.

도 35에서는, 구동용 트랜지스터(11b)와 1개의 프로그램용 트랜지스터(11an)는 동일 출력 전류로 되도록 하고 있다(구동용 트랜지스터 및 프로그램용 트랜지스터의 게이트 단자에 인가된 전압이 동일한 경우). 출력 전류를 동일하게 하기 위해서는 트랜지스터(11an) 및 (11b)의 WL(채널 폭 W와 채널 길이 L)을 동일하게 하면 된다. 동일한 WL 혹은 WL비의 트랜지스터(11a)를 복수 형성하는 쪽이, 각 트랜지스터(11a)의 출력 변동이 작아지고, 또한 화소(16) 간의 변동도 적어져 바람직하다.

게이트 신호선(17a1, 17a2)에 선택 전압(온 전압)이 인가되면, 복수의 프로그램용 트랜지스터(11an)로부터의 전류가 합성된 것이 프로그램 전류 I_w 로 된다. 이 프로그램 전류 I_w 를, 구동용 트랜지스터(11b)로부터 EL 소자(15)에 흐르는 전류 I_e 의 소정 배율로 한다.

$I_w = n \cdot I_e$ (n 은 1보다 큰 자연수)

상기 식에 있어서, 표시 패널의 최대 백 래스터에서의 표시 휘도 $B(nt)$, 표시 패널의 화소 면적 S (평방 밀리미터)(화소 면적은, RGB를 1단위로서 취급한다. 따라서, 각 RGB의 화소가 세로 0.1mm, 가로 0.05mm이면, $S = 0.1 \times (0.05 \times 3)$ (평방 밀리미터)이다), 표시 패널의 1화소행 선택 기간(1수평 주사(1H) 기간)을 H (밀리초)로 했을 때, 이하의 조건을 만족시키도록 한다. 또한, 표시 휘도 B 는, 패널 사양에 규정하는 표시할 수 있는 최대 휘도이다.

$$5 \leq (B \cdot S) / (n \cdot H) \leq 150$$

더욱 바람직하게는, 이하의 조건을 만족시키도록 한다.

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

I_w 는 소스 드라이버 회로(IC)(14)가 출력하는 프로그램 전류이고, 이 프로그램 전류에 대응하는 전압이, 화소(16)의 컨덴서(19)에 홀드된다. 또한, I_e 는 구동용 트랜지스터(11a)가 EL 소자(15)에 흘리는 전류이다.

따라서, 구동용 트랜지스터(11b) 및 프로그램용 트랜지스터(11a)의 WL 또는 크기(트랜지스터 형상), 출력 전류는 상기한 관계식을 만족시키도록 구성 또는 형성한다. 또한, 설명을 용이하게 하기 위해서, 도 35의 구성에서는, 구동용 트랜지스터(11b)의 사이즈 혹은 공급 전류와, 프로그램용 트랜지스터(11an)의 사이즈(형상) 혹은 1개당의 공급 전류가 동일하다고 하면, $n-1$ 개의 프로그램용 트랜지스터(11a)를 형성함으로써 상기 식의 관계를 만족시킬 수 있다. 특히, 도 35의 화소 구성에서는, 구동용 트랜지스터(11a)의 전류도 프로그램 전류로 할 수 있어, 화소(16)의 개구율을 커런트 미러의 화소 구성과 비교하여 높게할 수 있다.

이상과 같이 화소(16)를 구성함으로써, 프로그램 전류 I_w 는, I_e 에 대하여 n 배로 된다. 따라서, 소스 신호선(18)에 기생 용량이 존재하더라도, 기입 부족은 없게 된다.

각 트랜지스터(11b, 11an)의 출력 변동에 관해서는, 프로그램용 트랜지스터(11an)와 구동용 트랜지스터(11b)를 근접시켜 형성 또는 배치함으로써 개선할 수 있다. 또한, 트랜지스터(11an), 트랜지스터(11b)의 특성은 형성 방향에 따라서도 특성이 서로 다른 경우가 있다. 따라서, 트랜지스터의 채널 형성 방향을 가로 방향 또는 세로 방향으로 통일하는 것이 바람직하다.

EL 표시 패널에서는, RGB의 EL 소자는 서로 다른 재료로 구성한다. 따라서, 각 색에서 발광 효율이 서로 다른 경우가 많다. 그 때문에, 각 RGB의 프로그램 전류 I_w 도 서로 다르다. 소스 신호선(18)의 기생 용량은, 일반적으로 RGB에 대한 변화는 없고, 동일한 경우가 많다. 각 RGB의 프로그램 전류 I_w 가 서로 다르고, 소스 신호선(18)의 기생 용량이 RGB에서 동일하면, 프로그램 전류의 기입시 상수(定數)가 서로 다르게 된다.

도 35의 화소 구성에 관해서도, 각 RGB의 프로그램용 트랜지스터(11an)의 개수를 변화시키면 된다. 또한, 각 RGB의 프로그램용 트랜지스터(11an)의 사이즈(WL 등) 혹은 공급 전류의 크기를 변화시켜도 되는 것은 물론이다. 또한, 구동용 트랜지스터(11b)의 개수 혹은 사이즈를 변화시켜도 된다.

이상의 사항은, 도 31, 도 33, 도 34 등의 화소 구성에 있어서도 마찬가지로 적용할 수 있는 것은 물론이다. 각 RGB의 프로그램용 트랜지스터(11an)의 개수를 변화시키면 된다. 또한, 각 RGB의 프로그램용 트랜지스터(11an)의 사이즈(WL 등) 혹은 공급 전류의 크기를 변화시켜도 되는 것은 물론이다. 또한, 구동용 트랜지스터(11a)의 개수 혹은 사이즈를 변화시켜도 된다.

도 574는 구동용 트랜지스터(11a)가 5개 구성된 실시예이다. 다른 구성은 도 1의 실시예와 마찬가지이다. 도 1의 실시예에서는, 프로그램 전류 $I_w = EL$ 소자(15)에 흐르는 전류의 관계가 있었다. 따라서, EL 소자(15)를 저휘도로 발광시키는 경우에는, 프로그램 전류 I_w 도 작아져, 소스 신호선(18)에 기생 용량의 영향을 받기 쉬워진다(기생 용량의 충방전에 장시간을 필요로 하여, 1H 기간 동안에 구동용 트랜지스터(11a)의 게이트 단자 전위를 소정 전위로 변화하는 것이 곤란하게 된다).

도 574의 실시예에서는, 게이트 신호선(17a)이 선택되면, 트랜지스터(11e, 11b, 11c)가 동작 상태로 되어, 구동용 트랜지스터(11a)와 소스 신호선(18)과의 전류 경로가 형성된다. 프로그램 전류 I_w 는, 구동용 트랜지스터(11a, 11a2, 11a3, 11a4, 11a5)의 전류가 합성된 것으로 된다. 설명을 용이하게 하기 위해서, 각 구동용 트랜지스터(11a)에 흐르는 전류가 동일한 것으로 한다. 또한, 설명을 용이하게 하기 위해서, EL 소자(15)에 전류를 공급하는 트랜지스터(11a)를 구동용 트랜지스터라고 부르고, 전류 프로그램시에 동작하는 트랜지스터(11a2) 등을 프로그램용 트랜지스터(11a)라고 부르기로 한다.

도 574에서는, 구동용 트랜지스터(11a)와 각 프로그램용 트랜지스터(11a)는 동일 출력 전류로 되도록 하고 있다(게이트 단자에 인가된 전압이 동일한 경우). 출력 전류를 동일하게 하기 위해서는 각 트랜지스터(11a)의 WL(채널 폭 W와 채널 길이 L)을 동일하게 하면 된다. 동일한 WL의 트랜지스터(11a)를 복수 형성하는 쪽이, 각 트랜지스터(11a)의 출력 변동이 작아지고, 또한 화소(16) 간의 변동도 적어져 바람직하다. 후에 설명하는 도 57의 소스 드라이버 IC(14)를 단위 트랜지스터(153)로 구성하는 것과 동일한 이유이다.

그러나, 본 발명은 이것에 한정되는 것은 아니고, 복수의 프로그램용 트랜지스터(11a)는 1개의 프로그램용 트랜지스터(11a)로서 형성 또는 구성해도 된다. 이 경우도 구성은 용이하다. 프로그램용 트랜지스터(11a)의 W를 크게 형성하면 되기 때문이다.

게이트 신호선(17a)에 선택 전압(온 전압)이 인가되면, 구동용 트랜지스터(11a)와 프로그램용 트랜지스터(11a)로부터의 전류가 합성된 것이 프로그램 전류 I_w 로 된다. 이 프로그램 전류 I_w 를 EL 소자(15)에 흐르는 전류 I_e 의 소정 배율로 한다.

$$I_w = n \cdot I_e (n \text{은 } 1 \text{보다 큰 자연수})$$

상기 식에 있어서, 표시 패널의 최대 백 래스터에서의 표시 휘도 $B(nt)$, 표시 패널의 화소 면적 S (평방 밀리미터)(화소 면적은, RGB를 1단위로서 취급한다. 따라서, 각 RGB의 화소가 세로 0.1mm, 가로 0.05mm이면, $S = 0.1 \times (0.05 \times 3)$ (평방 밀리미터)이다), 표시 패널의 1화소행 선택 기간(1수평 주사(1H) 기간)을 H (밀리초)로 했을 때, 이하의 조건을 만족시키도록 한다. 또한, 표시 휘도 B 는, 패널 사양에 규정하는 표시할 수 있는 최대 휘도이다.

$$5 \leq (B \cdot S) / (n \cdot H) \leq 150$$

더욱 바람직하게는, 이하의 조건을 만족시키도록 한다.

$$10 \leq (B \cdot S) / (n \cdot H) \leq 100$$

I_w 는 소스 드라이버 IC(회로)(14)가 출력하는 프로그램 전류이고, 이 프로그램 전류에 대응하는 전압이, 화소(16)의 컨덴서(19)에 홀드된다. 또한, I_e 는 구동용 트랜지스터(11a)가 EL 소자(15)에 흘리는 전류이다. 단, 관통 전압 등에 의한 오차는 고려하고 있지 않다.

따라서, 프로그램용 트랜지스터(11a)의 WL, 크기, 출력 전류는 상기한 관계식을 만족시키도록 구성 또는 형성한다. 도 574의 구성에서는, 구동용 트랜지스터(11a)의 사이즈 혹은 공급 전류와, 프로그램용 트랜지스터(11a)의 사이즈 혹은 1개

당의 공급 전류가 동일하다고 하면, $n-1$ 개의 프로그램용 트랜지스터(11a)를 형성함으로써 상기 식의 관계를 만족시킬 수 있다. 특히, 도 574의 화소 구성에서는, 구동용 트랜지스터(11a)의 전류도 프로그램 전류로 할 수 있어, 화소(16)의 개구율을 커런트 미러의 화소 구성과 비교하여 높게 할 수 있다.

이상과 같이 화소(16)를 구성함으로써, 프로그램 전류 I_w 는, I_e 에 대하여 n 배로 된다. 따라서, 소스 신호선(18)에 기생 용량이 존재하더라도, 기입 부족은 없게 된다.

도 1에서는, 프로그램 전류 I_w 와 EL 소자(15)에 흐르는 전류 I_e 가 동일하여, 변동이 발생하지 않는다. 그러나, 도 574의 구성에서는, 프로그램 전류 I_w 의 일부가 EL 소자(15)에 흐르는 전류 I_e 로 된다. 따라서, 변동이 발생할 가능성이 있다.

이 과제를 방지하기 위해서는, 프로그램용 트랜지스터(11a)와 구동용 트랜지스터(11a)를 근접시켜 형성 또는 배치한다(도 575를 참조할 것). 도 575에서는, 구동용 트랜지스터(11a)와 프로그램용 트랜지스터(11a)를 동일한 WL로 형성하고 있다. 또한, 구동용 트랜지스터(11a)의 좌우를 프로그램용 트랜지스터(11a)로 둘러싸도록 형성 또는 배치하고 있다. 이상과 같이 구성함으로써, 트랜지스터(11a)의 변동을 적게 할 수 있어, 정밀도가 좋은 $I_w=n \cdot I_e$ 의 관계를 유지할 수 있다.

도 574의 실시예에서는, 구동용 트랜지스터(11a)는 1개인 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 576에 도시하는 바와 같이, 구동용 트랜지스터는 복수개 형성해도 된다(11aa, 11ab).

또한, 도 577에 도시하는 바와 같이, 트랜지스터(11)의 형성 방향을 변화시켜도 된다.

트랜지스터(11a)의 특성은 형성 방향에 따라서도 특성이 서로 다른 경우가 있다. 따라서, 도 575에 도시하는 바와 같이 1개의 구동용 트랜지스터(11aa)는 가로 방향에 형성하고, 다른 구동용 트랜지스터(11ab)는 세로 방향에 형성함으로써, 출력 변동을 저감할 수 있다. 또한, 도 575에 도시하는 바와 같이 프로그램용 트랜지스터(11a)도 세로 방향과 가로 방향에 배치하는 것이 바람직하다.

EL 표시 패널에서는, RGB의 EL 소자는 서로 다른 재료로 구성한다. 따라서, 각 색에서 발광 효율이 서로 다른 경우가 많다. 그 때문에, 각 RGB의 프로그램 전류 I_w 도 서로 다르다. 소스 신호선(18)의 기생 용량은, 일반적으로 RGB에 대한 변화는 없고, 동일한 경우가 많다. 각 RGB의 프로그램 전류 I_w 가 서로 다르고, 소스 신호선(18)의 기생 용량이 RGB에서 동일하면, 프로그램 전류의 기입시 상수가 서로 다르게 된다.

이 과제에 대하여, 본 발명에서는, 도 578에 도시하는 바와 같이, 각 RGB의 프로그램용 트랜지스터(11a)의 개수를 변화시키고 있다. 일례로서, R 화소(16)의 프로그램용 트랜지스터(11a)는 2개이고, G 화소(16)의 프로그램용 트랜지스터(11a)는 4개이고, B 화소(16)의 프로그램용 트랜지스터(11a)는 1개이다.

도 578의 실시예에 있어서, 각 RGB의 프로그램용 트랜지스터(11a)의 개수를 변화시키는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 각 RGB의 프로그램용 트랜지스터(11an)의 사이즈(WL 등) 혹은 공급 전류의 크기를 변화시켜도 되는 것은 물론이다. 또한, 각 RGB의 프로그램 전류 I_w 등이 동일 혹은 근사한 경우에는, 프로그램용 트랜지스터(11an)의 개수는 RGB에서 동일해도 되는 것은 물론이다.

도 578의 실시예는, 프로그램용 트랜지스터(11an)의 개수 등을 RGB에서 변화시킨 실시예였지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 579에 도시하는 바와 같이, 구동용 트랜지스터(11a)의 개수 혹은 사이즈를 변화시켜도 된다.

도 579에서는, B 화소의 구동용 트랜지스터(11a) 사이즈 > G 화소의 구동용 트랜지스터(11a) 사이즈 > R 화소의 구동용 트랜지스터(11a) 사이즈로 되도록 형성 또는 구성하고 있다.

도 574의 실시예 등에서는, 전류 프로그램시에, 구동용 트랜지스터(11a)의 전류 I_e 는 트랜지스터(11e)와 트랜지스터(11c)를 경유하여 소스 신호선(18)에 출력된다. 한편, 프로그램용 트랜지스터(11a)의 출력 전류 I_w-I_e 는 1개의 트랜지스터(11c)만을 경유하여 소스 신호선(18)에 출력된다. 트랜지스터(11e, 11c)에서는 온 상태에서도 소스-드레인간의 전위차가 발생한다. 이 때문에, 프로그램용 트랜지스터(11a)의 1개당의 출력 전류와 비교하여, 구동용 트랜지스터(11a)의 출력 전류가 작아지는 경우가 있다.

이 과제에 대해서는, 도 580과 같이 구성 혹은 형성하는 것이 바람직하다. 도 580의 구성에서는, 전류 프로그램시에, 구동용 트랜지스터(11a1)의 전류 I_e 는 트랜지스터(11c1)를 경유하여 소스 신호선(18)에 출력된다. 한편, 프로그램용 트랜지스

터(11an)의 출력 전류 I_w-I_e 는 트랜지스터(11c2)를 경유하여 소스 신호선(18)에 출력된다. 따라서, 구동용 트랜지스터(11a1)와 프로그램용 트랜지스터(11an)에서는 소스 신호선(18)까지 경유하는 트랜지스터 수가 동일하게 된다. 따라서, 트랜지스터의 소스-드레인간의 전위차의 영향은 발생하지 않기 때문에, 프로그램용 트랜지스터(11an)의 1개당의 출력 전류와, 구동용 트랜지스터(11a1)의 출력 전류가 동일하게 된다.

또한, 도 580에서는 구동용 트랜지스터(11a)에는, 게이트-드레인간 쇼트용의 트랜지스터(11b1)를 형성 또는 배치하고 있다. 마찬가지로, 프로그램용 트랜지스터(11an)에는, 게이트-드레인간 쇼트용의 트랜지스터(11b2)를 형성 또는 배치하고 있다.

도 581은 프로그램용 트랜지스터(11a1)의 드레인 단자와, 프로그램용 트랜지스터(11an)의 드레인 단자를 접속하는 트랜지스터(11e)를 형성한 화소 구성도이다. 그러나, 도 581의 화소 구성에서는, 화소(16)를 구성하는 트랜지스터 수가 7개로 많기 때문에, 화소 개구율이 저하한다.

도 323은 화소(16)를 구성하는 트랜지스터 수를 6개로 하고, 프로그램용 트랜지스터(11an)는 트랜지스터(11b2)와 트랜지스터(11c)의 2개의 트랜지스터를 경유하여 소스 신호선(18)에 접속되도록 구성하고, 구동용 트랜지스터(11a1)는 트랜지스터(11b1)와 트랜지스터(11c)의 2개의 트랜지스터를 경유하여 소스 신호선(18)에 접속되도록 구성한 실시예이다.

이상과 같이, 구동용 트랜지스터(11a1)와 프로그램용 트랜지스터(11an)가 동일 수의 트랜지스터를 통과하도록 구성함으로써, 정밀도를 향상시킬 수 있다.

도 35는, 게이트 신호선(17a2)으로 트랜지스터(11c)를 제어하고, 게이트 신호선(17a1)으로 트랜지스터(11d)를 제어한다. 전류 프로그램 상태에서 전류 프로그램 상태 이외로 변화할 때, 트랜지스터(11c)와 트랜지스터(11d)가 동시에 오프하는 것을 억제할 수 있다.

전류 프로그램 상태에서 전류 프로그램 상태 이외로 변화시킬 때(게이트 신호선(17a1, 17a2)에 온 전압이 인가되고 있는 상태에서, 게이트 신호선(17a1, 17a2)에 오프 전압을 인가하는 상태로 변화시킬 때), 우선, 게이트 신호선(17a2)의 인가 전압을 온 전압으로부터 오프 전압으로 한다. 따라서, 트랜지스터(11d)가 오프 상태로 된다. 다음으로, 게이트 신호선(17a1)에 온 전압 인가 상태에서 오프 전압 인가 상태로 변화시킨다. 따라서, 트랜지스터(11c)가 오프 상태로 된다.

이상과 같이, 트랜지스터(11d)를 오프 상태로 하고 나서, 트랜지스터(11c)를 오프 상태로 함으로써, 관통 전압의 영향이 작아지고, 또한, 누설 전류량 등도 저감되기 때문에, 컨덴서(19)에 유지되는 전압이 규정값대로 된다. 또한, 게이트 신호선(17a1)과 게이트 신호선(17a2)에 오프 전압을 인가하는 타이밍의 어긋남은, $0.1\mu\text{sec}$ 이상 $5\mu\text{sec}$ 이하로 하는 것이 바람직하다.

구동용 트랜지스터(11a)의 게이트 전위를 시프트시킴으로써, 흑색 표시를 양호하게 하는 방식도 예시된다. 특히 전류 구동에서는 흑색 표시의 실현이 곤란하기 때문이다. 도 375는 구동용 트랜지스터(11a)의 게이트 단자에 접속된 컨덴서(19)를 통하여 전위 시프트시키는 구성이다.

이하의 실시예에서는 구동용 트랜지스터(11a)는 P 채널 트랜지스터인 것으로서 설명한다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 구동용 트랜지스터(11a)(EL 소자(15)를 구동하는 트랜지스터)가 N 채널인 경우 혹은 구동용 트랜지스터(11a)를 토출 전류로 전류 프로그램을 실시하는 경우에는, 전위 시프트의 방향을 반대로 할 필요가 있는 것은 물론이다. 즉, 정류의 상태로 되도록 명세서의 문언을 적용할 필요가 있다. 그대로 적용하는 것은 당업자이면 용이하므로 설명은 생략한다. 또한, 이상의 사항은 본 발명의 다른 실시예에도 적용된다.

도 375에 있어서, 컨덴서(19)의 일단은 컨덴서 신호선(3751)에 접속되어 있다. 또한, 컨덴서 신호선(3751)은 컨덴서 드라이버(3752)에 의해서 구동된다. 컨덴서 드라이버(3752)는 폴리실리콘 기술로 형성되고, 동작으로서는 게이트 드라이버 회로(12)와 마찬가지로 혹은 유사하다. 단, 게이트 드라이버 회로(12)와는 진폭이 서로 다르다. 컨덴서 드라이버(3752)는, 구동용 트랜지스터(11a)의 게이트 단자를 $0.1V \sim 1V$ 의 범위에서 전위 시프트시키는 것이기 때문이다.

상기 화소(16)에 프로그램 전류가 기입되고 있을 때에는, 컨덴서 신호선(3751)은 전위 고정되어 있다. 화소(16)에 프로그램 전류의 기입이 종료하면(기입 기간의 $1H$ 가 종료하면), 컨덴서 신호선(3751)의 전위는 컨덴서 드라이버(3752)에 의해 애노드 전압 V_{dd} 측으로 전위 시프트된다. 이 전위 시프트에 의해 구동용 트랜지스터(11a)의 게이트 단자도 애노드 전위 V_{dd} 측으로 전위 시프트된다. 즉, 구동용 트랜지스터(11a)의 게이트 단자는 전류가 흐르지 않는 방향으로 전위 시프트된다.

이상의 동작에 의해, 본 발명의 표시 장치(표시 패널)에서는, 저계조 영역에 있어서 구동용 트랜지스터(11a)가 전류를 흘리기 어려운 상태로 된다. 따라서, 양호한 흑색 표시를 실현할 수 있다. 도 375의 (a)는 도 1의 화소 구성에 본 발명의 구동 방식을 적용한 실시예이다. 도 375의 (b)는 주로 도 12 등의 커런트 미러의 화소 구성에 적용한 실시예이다. 또한, 도 207은, 2 트랜지스터의 화소 구성에 적용한 실시예이다. 또한, 도 206도 마찬가지로 컨덴서(19)의 한쪽의 전극 전위를 조작함으로써 양호한 화상 표시를 실현할 수 있다.

도 375는 컨덴서 신호선(3751)의 전위를 컨덴서 드라이버(3752)에 의해 시프트시키는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 양호한 흑색 표시를 실현할 때에는, 컨덴서 신호선(3751)의 전위를 애노드 전위 V_{dd} 이상으로 해도 된다. 컨덴서 신호선(3751)의 전위가 높을수록, 게이트 신호선(17a)의 온 전압 V_{gl1} 과의 전위차가 커지고, 트랜지스터(11b)의 기생 용량과 컨덴서(19)와의 관통 전압에 의해, 트랜지스터(11a)의 게이트 단자의 전위 시프트가 커지기 때문이다.

예를 들면, 컨덴서 신호선(3751)의 전위가 10V와 6V에서는, 10V 쪽이 관통 전압이 커지고, 트랜지스터(11a)의 게이트 단자의 전위 시프트가 커져, 저계조 영역에 있어서 트랜지스터(11a)는 전류를 흘리기 어렵게 된다. 따라서, 양호한 흑색 표시를 실현할 수 있다.

즉, 본 발명은, 전류 구동 방식의 화소 구성에 있어서, 구동용 트랜지스터(11a)의 소스 단자(애노드 단자 V_{dd} 단, 구동용 트랜지스터(11a)가 P 채널이고, 흡입 전류에 의해 전류 프로그램을 실현하는 화소 구성인 경우이다. 구동용 트랜지스터가 N 채널인 경우 등은 반대의 관계로 하는 것은 물론이다)와, 구동용 트랜지스터(11a)의 게이트 단자 전위를 유지하는 컨덴서(19)의 단자에, 개별로 전압을 인가(다른 전압을 인가)할 수 있도록 구성한 것이다.

이 구성에 의해, 컨덴서(19)의 일단자의 전위를 변화시킴으로써, 흑색 표시 상태를 조정 혹은 제어할 수 있다. 또한, 조정 혹은 제어는, 컨덴서(19)의 단자 전압과, 구동용 트랜지스터(11a)의 소스 또는 드레인 단자의 전압과의 상대적인 관계이다. 따라서, 컨덴서(19)의 일단자의 전위를 고정하고, 애노드 전위를 변화시켜도 되는 것은 물론이다.

또한, 이상의 실시예는, 컨덴서 신호선(3751)을 조작함으로써, 흑색 표시를 양호하게 하는 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 구동용 트랜지스터(11a)가 N 채널인 경우에는, 컨덴서 신호선(3751) 등을 조작함으로써, 고(高)계조에서의 전류를 증가시킬 수 있다. 따라서, 양호한 백색 표시를 실현할 수 있다.

도 36은, 트랜지스터(11c)와 트랜지스터(11d)를 게이트 신호선(17a)에 인가하는 전압에 의해 제어할 수 있도록 한 구성이다. 도 36의 구성에서는, 화소(16)를 구동하는 게이트 신호선(17)은 1개로 되기 때문에, 배선 신호선 수가 적게 된다. 도 36의 화소 구성에서는, 비표시 영역(192)을 발생시킬 수는 없다. 그러나, 화소의 제어는 용이하고, 화소의 개구율도 향상시킬 수 있다.

이상의 실시예는, 전류 프로그램의 화소 구성이었다. 본 발명은 이것에 한정되는 것은 아니고, 전압 구동과 전류 구동의 화소 구성을 조합해도 된다. 도 211은 전압 구동과 전류 구동의 양쪽을 실시할 수 있는 화소 구성이다.

전류 구동에서는 저하 계조 영역에서 전류 기입이 발생한다. 한편, 전압 구동에서는 저계조라도 기입 부족은 없다. 그러나, 전압 구동에서는, 표시 화면에 형성된 구동용 트랜지스터(11a)의 특성 변동을 흡수할 수 없기 때문에, 레이저 어닐링 공정에서 발생하는 트랜지스터의 특성 변동에 기인하는 얼룩이 표시되어 버린다. 전류 구동에서는 이 트랜지스터의 특성 변동의 문제가 없다. 따라서, 도 213은 본 발명의 구동 방식의 설명도이다. 도 213에 도시하는 바와 같이, 저계조 영역에서는 전압 구동을 실시한다. 고계조 영역에서는 전류 구동을 실시한다. 중간 계조 영역에서는, 전압 구동 후에, 전류 구동을 실시한다. 즉, 본 발명의 구동 방식에서는, 계조에 따라서, 전류 구동과 전압 구동의 쌍방 혹은 한쪽을 실시하여, 전압 구동과 전류 구동의 과제를 해결할 수 있다.

도 211은 전압 구동과 전류 구동의 양쪽을 실시할 수 있는 화소 구성이다. 단, 설명을 용이하게 하기 위해서, 도 1과 마찬가지로 1화소만을 기재하고 있다. 또한, 드라이버 회로(12) 등도 개념적으로 기재하고 있다.

도 211에 있어서, 트랜지스터(11e)를 삭제하면 전압 오프셋 캔슬 구동의 화소 구성으로 된다. 도 211의 화소 구성은 기본적으로는 전압 오프셋 캔슬 구성에 있어서, 컨덴서(19b)를 쇼트하는 트랜지스터(11e)를 형성 또는 배치한 것이다.

도 212는, 도 211의 화소 구성을 설명하는 설명도이다. 도 212의 (a)는 전류 구동 방식에서의 프로그램시의 화소 상태이다. 도 212의 (b)는 전압 구동 방식에서의 프로그램시의 상태이다.

우선, 도 212의 (a)의 전류 프로그램 상태에 대하여 설명한다. 도 212의 (a)에서는 트랜지스터(11e)가 온 상태로 된다. 그 때문에, 컨덴서(19b)의 양단이 쇼트된다. 또한, 게이트 드라이버 회로(12d와 12a)는 동일한 동작이 실시된다. 도 212의 (a)에서는, 게이트 드라이버 회로(12a+ 12d)로서 나타내고 있다.

즉, 각 화소행을 선택할 때에는, 게이트 드라이버 회로(12a+ 12d)로부터 온 전압은 게이트 신호선(17b와 17a)에 인가된다. 따라서, 트랜지스터(11e, 11c, 11b)가 동시에 온 상태로 된다. 즉, 도 212의 (a)는 도 1의 화소 구성과 동일하다. 그 때문에, 소스 드라이버 회로(IC)(14)로부터 출력된 프로그램 전류 I_w 가 구동용 트랜지스터(11a)에 기입된다.

이후의 동작(게이트 신호선(17b)의 선택 상태, 동작)은, 도 1과 마찬가지로 설명을 생략한다. 또한, 도 212의 (a)에 있어서, 본 발명에서 설명하는 도 1에 대응한 구동 방식은 모두 적용할 수 있는 것은 물론이다.

다음으로, 도 212의 (b)는 게이트 신호선(17a)과 게이트 신호선(17c)는 별개로 동작한다. 또한, 이 화소 구성은 전압 오프셋 캔슬러로서 알려져 있으므로, 동작에 대해서는 설명을 생략한다.

본 발명은, 도 213에 도시하는 바와 같이, 저계조 영역에서는 도 212의 (b)의 화소 회로 구성으로 동작시키고, 고계조 영역에서는 도 212의 (a)의 화소 회로 구성으로 동작시킨다.

고계조 영역과 저계조 영역의 중간 계조의 영역에서는, 도 212의 (b)의 회로 구성으로 1H의 최초에 행하고, 그 후, 도 212의 (a)의 회로 구성으로 실시하는 것이 바람직하다. 도 212의 (a)와 도 212의 (b)의 절환 범위는 평가에 의해서 결정할 필요가 있다. 검토의 결과에 따르면, 전체 계조 범위 중, 가장 저계조(계조 0)로부터, 전체 계조의 1/10 이상 1/4 이하 중 어느 하나의 범위에서는, 도 212의 (b)의 전압 구동만을 실시하고, 전체 계조의 1/6 이상 1/3 이하 중 어느 하나의 범위로부터 최고 계조까지는, 도 212의 (a)의 전류 프로그램을 실시하는 것이 바람직하다.

이 전류 구동만 혹은 전압 구동만을 실시하는 계조 범위 이외에서는 도 212의 (b)의 전압 프로그램을 실시한 후, 도 212의 (a)의 전류 프로그램을 실시한다. 고계조의 영역에 있어서도 도 212의 (b)의 전압 프로그램을 실시한 후, 도 212의 (a)의 전류 프로그램을 실시해도 된다.

저계조 영역에 있어서도, 도 212의 (b)의 전압 프로그램을 실시한 후, 도 212의 (a)의 전류 프로그램을 실시해도 된다. 저계조 영역에서는 전압 프로그램 상태가 지배적이고, 전압 프로그램 후에 전류 프로그램을 실시해도 전류 프로그램의 상태는 화소(16)에의 프로그램 상태에 영향을 주지 않기 때문이다.

이상과 같이 본 발명은, 저계조 영역에서는, 우선, 1H의 최초에는 전압 프로그램의 화소 구성을 실현하여 적어도 전압 프로그램을 실시하고, 고계조 영역에서는, 1H의 최후에는 전류 프로그램의 화소 구성을 실시하여 적어도 전류 프로그램을 실시하는 것이다.

전류 프로그램과 전압 프로그램의 조합에 의한 화소(16)에의 프로그램은, 도 127 내지 도 143에서 설명하고 있으므로 설명을 생략한다. 도 211 및 도 212와, 도 127 내지 도 143의 구동 방식을 조합해도 되는 것은 물론이다.

도 1 등은, 전류 프로그램의 화소 구성인 것으로서 설명했다. 그러나, 도 1 이외에, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13, 도 31, 도 607의 (a), (b), (c) 등의 화소 구성에 있어서도, 이하의 방법은 적용할 수 있는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지로 적용할 수 있는 것은 물론이다.

도 214는 전류 구동의 화소 구성으로 전압 프로그램을 행하는 실시예이다. 도 214의 (a)는 전압 프로그램을 실시하고 있는 상태이고, 도 214의 (b)는 EL 소자(15)에 프로그램 전류 I_w 를 흘려 발광하고 있는 상태이다.

도 214의 (a)에서는, 게이트 신호선(17a)에 온 전압을 인가하여, 트랜지스터(11b)와 트랜지스터(11c)를 온 상태로 한다. 이 상태에서 소스 신호선(18)에 프로그램 전압 V 를 인가하고, 이 전압 V 를 화소(16)의 컨덴서(19)에 유지시킨다. 이 때, 게이트 신호선(17b)에는 오프 전압을 인가하여 트랜지스터(17d)를 오프(오픈) 상태로 한다.

도 214의 (b)는 EL 소자(15)를 발광시키고 있을 때의 트랜지스터의 상태를 나타내고 있다. 게이트 신호선(17a)에는 오프 전압을 인가하여, 트랜지스터(11b), 트랜지스터(11c)는 오픈 상태로 한다. 게이트 신호선(17b)에는 온 전압을 인가하여, 트랜지스터(11d)는 단락(온 상태)으로 한다.

이상과 같이 구동함으로써 전압 프로그램을 실시할 수 있다. 즉, 저계조 영역에서는 소스 신호선에 적어도 1H의 최초에는 프로그램 전압 V 를 인가하고, 고계조 영역에서는 적어도 1H의 최후에는 프로그램 전류 I_w 를 인가한다.

또한, 전압 구동과 전류 구동의 절환 타이밍은 도 212, 도 127 내지 도 143 등에서 설명하고 있으므로 설명을 생략한다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

도 215는 도 211의 변형예이다. 또한, 도 1과 도 2와의 조합도 생각할 수 있다. 도 1에 트랜지스터(11e)가 추가된 화소 구성이기 때문이다. 트랜지스터(11e)를 제어하는 게이트 신호선(17c)이 추가되고, 이 게이트 신호선(17c)에 순차적으로 온 오프 전압을 주사 상태에서 인가하는 게이트 드라이버 회로(12c)를 구비한다.

도 216의 (a), (b)는 도 215의 동작의 설명도이다. 도 216의 (a)는 전류 프로그램의 구동 상태이다. 도 216의 (b)는 전압 프로그램의 구동 상태이다.

도 216의 (a)에서는, 게이트 신호선(17c)에 오프 전압이 인가되어, 트랜지스터(11e)가 오프(오픈 상태)로 된다. 이 상태는, 도 1의 화소 구성과 동일하다. 따라서, 게이트 신호선(17c)에 끊임없이 오프 전압을 인가한 상태로 구동함으로써, 도 1에서 설명한 구동 방법 등을 실현할 수 있게 되어, 전류 프로그램을 실시할 수 있다.

도 216의 (b)에서는, 게이트 신호선(17)에는 항상 오프 전압이 인가된다. 따라서, 게이트 신호선(17a)에 접속된 트랜지스터(11b)와 트랜지스터(11c)는 항상 오프(오픈 상태)로 된다. 이 상태에서, 게이트 신호선(17c)에는 게이트 드라이버 회로(12c)에 의해 순차적으로 주사 상태에서 온 전압이 인가되어 간다. 선택된 화소행의 트랜지스터(11e)가 온 상태로 되고, 소스 신호선(18)에 인가된 프로그램 전압 V 가 컨덴서(19)에 인가된다.

또한, 도 216의 (b)에서의 구동 방식에서는, 전압 프로그램시에 트랜지스터(11d)는 반드시 오프(오픈) 상태로 하는 것은 아니고, 도 216의 (b)에 도시하는 바와 같이 온 상태와 오프 상태 중 어느 쪽이어도 된다. 단, DL 소자(15)에 전류를 흘릴 때에는 트랜지스터(11d)를 온 상태로 할 필요가 있는 것은 물론이다. 다른 동작 등에 관해서는 이전의 실시예의 동작과 마찬가지이므로 설명을 생략한다.

도 217은 도 212 혹은 도 215의 변형예이다. 도 217은 구동용 트랜지스터(11a)와 트랜지스터(11d) 사이에 트랜지스터(11e)가 형성 또는 배치되어 있다. 트랜지스터(11e)는 게이트 드라이버 회로(12c)에 접속된 게이트 신호선(17c)에 의해서 온 오프 제어된다.

도 218은 도 217의 동작의 설명도이다. 도 218의 (a)는 전류 프로그램의 상태를 나타내고 있고, 도 218의 (b)는 전압 프로그램의 상태를 나타내고 있다.

도 218의 (a)에서는, 게이트 신호선(17c)에는 항상 온 전압이 인가되고(도 212와 마찬가지로, 화소행이 선택될 때에 트랜지스터(11e)를 온 상태로 해도 되는 것은 물론이다. 이것은 도 215에 대해서도 마찬가지이다.), 선택된 화소행의 게이트 신호선(17a)에는 온 전압이 인가된다. 그 때문에, 트랜지스터(11b), 트랜지스터(11c)가 온으로 된다. 이 상태에서 소스 신호선(18)에 프로그램 전류 I_w 가 인가되어, 이 프로그램 전류 I_w 가 선택된 화소(16)의 컨덴서(19)에 기입된다.

도 218의 (b)는 전압 프로그램시의 화소 기입 상태를 도시하고 있다. 기본적으로는 도 2의 전압 프로그램 상태로 된다. 게이트 신호선(17c)에는 오프 전압이 인가되어 트랜지스터(11e)가 오프(오픈 상태)로 된다. 또한, 도 28의 (a)와 마찬가지로 게이트 신호선(17b)에는 오프 전압이 인가되어, 트랜지스터(11d)가 오프 상태로 된다. 이 상태에서 소스 신호선(18)에 인가된 프로그램 전압 V 가 선택된 화소(16)의 컨덴서(19)에 기입된다. 다른 동작 등에 관해서는 이전의 실시예의 동작과 마찬가지이므로 설명을 생략한다.

도 2의 화소 구성에 있어서 특히 문제로 되는 사항에 전원(패널에 공급할 캐소드 전압, 애노드 전압)을 온 오프할 때에, 과도 전류가 EL 소자(15)에 흐르는 경우가 있다. 즉, 트랜지스터(11b)의 온 오프 상태가 확정되지 않고, 또한, 컨덴서(19)의 전위 상태가 부정한 상태에서 전원이 온되기 때문이다. 이 과제는 전원 오프시에도 발생한다.

이 과제에 대해서는, 도 219에 도시하는 바와 같이, 애노드와 트랜지스터(11a) 사이에 스위치용 트랜지스터(219a)를 배치 또는 형성하고, 구동용 트랜지스터(11a)로부터 EL 소자(15) 혹은 캐소드간에 트랜지스터(219b)를 형성 또는 배치함으로써 해결할 수 있다.

전원을 오프할 때에는, 도 220에 도시하는 바와 같이 전원을 오프하기 전에, 컨트롤러에 의해 트랜지스터(2191)를 오프로 한다. 트랜지스터(2191)의 오프는 도 220의 (a)에 도시하는 바와 같이, 트랜지스터(2191a) 또는 트랜지스터(2191b) 중 어느 한쪽을 오프로 해도 된다. 또한, 도 220의 (b)에 도시하는 바와 같이 트랜지스터(2191a)와 트랜지스터(2191b)의 양쪽을 오프로 한 후, 전원 회로를 오프 상태로 해도 된다.

전원을 온할 때에는, 컨트롤러에 의해 트랜지스터(2191)를 오프로 한다. 그 후, 전원 회로를 온하고 나서, 트랜지스터(2191)를 온 상태로 하는 것이 바람직하다.

도 219, 도 220에서 설명한 사항은, 본 발명의 다른 화소 구성에도 적용할 수 있는 것은 물론이다. 도 219의 트랜지스터(2191a)와 트랜지스터(2191b) 중 어느 한쪽을 배치 또는 형성하면 효과가 얻어지는 것은 물론이다.

도 219는 각 화소(16)에 스위치용의 트랜지스터(2191)를 형성 또는 배치하는 것으로 했지만, 이것에 한정되는 것은 아니고, 애노드 단자에 1개의 스위치(2191a)를 배치하고, 캐소드 단자에 1개의 스위치(2191b)를 배치해도 된다.

또한, 도 219에 있어서 2191은 트랜지스터인 것으로 했지만, 이것에 한정되는 것은 아니고, 사이리스터와 같은 다른 소자, 포토다이오드, 릴레이 소자 등이어도 되는 것은 물론이다.

이상의 실시예는, 표시 영역에 형성 혹은 배치된 화소(16)는 전류 구동 방식의 화소 또는 전압 구동 방식의 화소 구성이거나, 혹은, 전압 구동과 전류 구동을 절환할 수 있는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 221과 같이 구성해도 된다.

도 221은 1개의 소스 신호선(18)에 전류 구동의 화소(도 1등)(16b)와 전압 구동의 화소(도 2 등)(16a)가 접속된 구성이다. 전류 구동의 화소(16b)는 소스 신호선(18)의 일단에 배치 또는 형성되고, 또한, 형성 위치는 소스 드라이버 회로(IC)(14)로부터 먼 위치에 배치 또는 형성된다. 또한, 전류 구동의 화소(16b)의 구동용 트랜지스터(11a)의 WL과 전압 구동의 화소(16a)의 구동용 트랜지스터(11a)의 WL은 일치시킨다.

전류 구동의 화소(16b)는, 프로그램 전류(전압)의 크기 등 경우에 따라서 온 상태로 되고, 소스 신호선(18)에 전류를 공급하여, 소스 신호선(18)의 충방전을 실시해서, 화소(16)에의 프로그램 기입을 실시한다.

도 222는, 도 221의 전압 화소(16a)와 전류 화소(16b)의 관계를 교체한 구성이다. 이상과 같이 본 발명은, 표시 영역에 전압 화소(16a)와 전류 화소(16b)의 양쪽을 형성 또는 배치하는 것이다.

본 발명의 화소 구성에 따르면, 트랜지스터(11d)(도 1인 경우) 등의 스위칭 수단을 제어함으로써, RGB 화상을 순차적으로 표시할 수 있다(도 22의 구성도 참조할 것).

도 37의 (a)는 1프레임(1필드) 기간에 R 표시 영역(193R), G 표시 영역(193G), B 표시 영역(193B)을 화면의 상측으로부터 하측 방향(하측 방향으로부터 상측 방향이어도 된다)으로 주사한다. RGB의 표시 영역 이외의 영역은 비표시 영역(52)으로 한다. 즉, 간헐 구동을 실시한다. R, G, B의 표시 영역(193)은 개별로 간헐 표시가 실시된다.

도 37의 (b)는 1필드(1프레임) 기간에 R, G, B 표시 영역(193)을 복수 발생하도록 실시한 실시예이다. 이 구동 방법은, 도 23의 구동 방법과 유사하다. 따라서, 설명을 필요로 하지 않을 것이다. 도 37의 (b)에 표시 영역(193)을 여러개로 분할함으로써, 플리커의 발생은 보다 낮은 프레임 레이트에서도 없어진다.

도 38의 (a)는, RGB의 표시 영역(193)에서 표시 영역(193)의 면적을 서로 다르게 한 것이다. 또한, 표시 영역(193)의 면적은 점등 기간에 비례하는 것은 물론이다. 도 38의 (a)에서는, R 표시 영역(193R)과 G 표시 영역(193G)의 면적을 동일하게 하고 있다. G 표시 영역(193G)보다 B 표시 영역(193B)의 면적을 크게 하고 있다.

유기 EL 표시 패널에서는, B의 발광 효율이 나쁜 경우가 많다. 도 38의 (a)와 같이 B 표시 영역(193B)을 다른 색의 표시 영역(193)보다 크게 함으로써, 효율적으로 화이트 밸런스를 취할 수 있게 된다. 또한, R, G, B 표시 영역(193)의 면적을 변화시킴으로써, 화이트 밸런스 조정, 색 온도 조정을 용이하게 실현할 수 있다.

도 38의 (b)는, 1필드(프레임) 기간에, B 표시 기간(193B)이 복수(193B1, 193B2)로 되도록 한 실시예이다. 도 38의 (a)는 1개의 B 표시 영역(193B)을 변화시키는 방법이었다. 변화시킴으로써 화이트 밸런스를 양호하게 조정할 수 있게 한다. 도

38의 (b)는, 동일 면적의 B 표시 영역(193B)을 복수 표시시킴으로써, 화이트 밸런스 조정(보정)을 양호하게 한다. 또한, 색 온도 보정(조정)을 양호하게 한다. 예를 들면, 옥외와 옥내에서 색 온도를 변화시키는 것은 유효하다. 예를 들면, 옥내에서는, 색 온도를 저하시키고, 옥외에서는 색 온도를 높게한다.

본 발명의 구동 방식은 도 37, 도 38 중 어느 하나에 한정되는 것은 아니다. R, G, B의 표시 영역(193)을 발생시키고, 또한, 간헐 표시한다. 결과적으로 동화상의 블러 현상을 대책하여, 화소(16)에의 기입 부족을 개선한다.

도 23의 구동 방법에서는, R, G, B가 독립된 표시 영역(193)은 발생하지 않는다. RGB가 동시에 표시된다(W 표시 영역(193)이 표시되면 표현해야 함).

도 38의 (a)와 도 38의 (b)는 조합해도 되는 것은 물론이다. 예를 들면, 도 38의 (a)의 RGB의 표시 영역(193)을 변화시키고, 또한 도 38의 (b)의 RGB의 표시 영역(193)을 복수 발생시키는 구동 방법의 실시이다.

도 37 내지 도 38의 구동 방식은, 도 22와 같이, RGB마다 EL 소자(15)(EL 소자(15R), EL 소자(15G), EL 소자(15B))에 흐르는 전류를 제어할 수 있는 구성이면, 도 37, 도 38의 구동 방식을 용이하게 실시할 수 있는 것은 물론일 것이다.

도 22의 표시 패널의 구성에 있어서, 게이트 신호선(17bR)에 온 오프 전압을 인가함으로써, R 화소(16R)를 온 오프 제어할 수 있다. 게이트 신호선(17bG)에 온 오프 전압을 인가함으로써, G 화소(16G)를 온 오프 제어할 수 있다. 게이트 신호선(17bB)에 온 오프 전압을 인가함으로써, B 화소(16B)를 온 오프 제어할 수 있다.

또한, 이상의 구동을 실현하기 위해서는, 도 39에 도시하는 바와 같이, 게이트 신호선(17bR)을 제어하는 게이트 드라이버 회로(12bR), 게이트 신호선(17bG)을 제어하는 게이트 드라이버 회로(12bG), 게이트 신호선(17bB)을 제어하는 게이트 드라이버 회로(12bB)를 형성 또는 배치하면 된다.

도 39의 게이트 드라이버 회로(12bR, 12bG, 12bB)를, 도 19, 도 20 등에서 설명한 방법으로 구동함으로써, 도 37, 도 38의 구동 방법을 실현할 수 있다. 물론, 도 39의 표시 패널의 구성으로, 도 23의 구동 방법 등도 실현할 수 있는 것은 물론이다.

도 20, 도 24, 도 26, 도 27 등에서는, 게이트 신호선(17b)(EL측 선택 신호선)은 1수평 주사 기간(1H)을 단위로 해서, 온 전압(Vgl), 오프 전압(Vgh)을 인가하는 것으로서 설명했다. 그러나, EL 소자(15)의 발광량은, 흘리는 전류가 정전류일 때, 흘리는 시간에 비례한다. 따라서, 흘리는 시간은 1H 단위로 한정할 필요는 없다. 또한, 이하의 사항은 게이트 신호선(17a)(17a1, 17a2)에도 적용된다.

아웃풋 인에이블(OEV)의 개념을 설명한다. OEV 제어를 행함으로써, 1수평 주사 기간(1H) 이내의 게이트 신호선(17a, 17b)에 온 오프 전압(Vgl 전압, Vgh 전압)을 화소(16)에 인가할 수 있게 된다.

설명을 용이하게 하기 위해서, 본 발명의 표시 패널에서는, 전류 프로그램을 행하는 화소행을 선택하는 게이트 신호선(17a)(도 1의 경우)인 것으로서 설명을 한다. 또한, 게이트 신호선(17a)을 제어하는 게이트 드라이버 회로(12a)의 출력을 WR측 선택 신호선이라고 부른다. EL 소자(15)를 선택하는 게이트 신호선(17b)(도 1의 경우)인 것으로서 설명을 한다. 또한, 게이트 신호선(17b)을 제어하는 게이트 드라이버 회로(12b)의 출력을 EL측 선택 신호선이라고 부른다.

게이트 드라이버 회로(12)는, 스타트 펄스가 입력되고, 입력된 스타트 펄스가 유지 데이터로서 순차적으로 시프트 레지스터 내를 시프트한다. 게이트 드라이버 회로(12a)의 시프트 레지스터 내의 유지 데이터에 의해, WR측 선택 신호선에 출력되는 전압이 온 전압(Vgl)인지, 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12a)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV1 회로(도시 생략)가 형성 또는 배치되어 있다. OEV1 회로가 L 레벨일 때에는, 게이트 드라이버 회로(12a)의 출력인 WR측 선택 신호를 그대로 게이트 신호선(17a)에 출력한다.

이상의 관계를 로직적으로 도시하면, OR 회로의 관계로 된다(도 40의 (b)를 참조할 것). 또한, 온 전압을 로직 레벨의 L(0)로 하고, 오프 전압을 로직 전압의 H(1)로 하고 있다. 게이트 드라이버 회로(12a)가 오프 전압을 출력하고 있는 경우에는, 게이트 신호선(17a)에 오프 전압이 인가된다. 게이트 드라이버 회로(12a)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV1 회로의 출력과 OR이 취해져 게이트 신호선(17a)에 출력된다. OEV1 회로는, H 레벨일 때, 게이트 신호선(17a)에 출력하는 전압을 오프 전압(Vgh)으로 한다(도 40의 (a)의 타이밍차트의 예를 참조할 것).

게이트 드라이버 회로(12b)의 시프트 레지스터 내의 유지 데이터에 의해, 게이트 신호선(17b)(EL측 선택 신호선)에 출력되는 전압이 온 전압(Vgl)인지 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12b)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV2 회로(도시 생략)가 형성 또는 배치되어 있다.

OEV2 회로가 L 레벨일 때에는, 게이트 드라이버 회로(12b)의 출력을 그대로 게이트 신호선(17b)에 출력한다. 이상의 관계를 로직적으로 도시하면, 도 40의 (a)의 관계로 된다. 또한, 온 전압을 로직 레벨의 L(0)으로 하고, 오프 전압을 로직 전압의 H(1)로 하고 있다.

게이트 드라이버 회로(12b)가 오프 전압을 출력하고 있는 경우(EL측 선택 신호는 오프 전압)에는, 게이트 신호선(17b)에 오프 전압이 인가된다. 게이트 드라이버 회로(12b)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV2 회로의 출력과 OR이 취해져 게이트 신호선(17b)에 출력된다. 즉, OEV2 회로는, 입력 신호가 H 레벨일 때, 게이트 드라이버 신호선(17b)에 출력하는 전압을 오프 전압(Vgh)으로 한다. 따라서, OEV2 회로에 의해 EL측 선택 신호가 온 전압 출력 상태이더라도, 강제적으로 게이트 신호선(17b)에 출력되는 신호는 오프 전압(Vgh)으로 된다. 또한, OEV2 회로의 입력이 L이면, EL측 선택 신호가 스루로 게이트 신호선(17b)에 출력된다(도 40의 (a)의 타이밍차트의 예를 참조할 것).

게이트 신호선(17b)(EL측 선택 신호선)에 온 전압을 인가하는 기간을 조정함으로써, 표시 화면(144)의 휘도를 리니어적으로 조정할 수 있다. 이것은 OEV2 회로를 제어함으로써 용이하게 실현할 수 있다. 예를 들면, 도 41에서는, 도 41의 (a)보다 도 41의 (b)쪽이 표시 휘도는 낮아진다. 또한, 도 41의 (b)보다 도 41의 (c)쪽이 표시 휘도는 낮아진다.

또한, 도 42에 도시하는 바와 같이, 1H 기간에 온 전압을 인가하는 기간과 오프 전압을 인가하는 기간의 조를 복수회 설치해도 된다. 도 42의 (a)는 6회 설치한 실시예이다. 도 42의 (b)는 3회 설치한 실시예이다. 도 42의 (c)는 1회 설치한 실시예이다. 도 42에서는, 도 42의 (a)보다 도 42의 (b)쪽이 표시 휘도는 낮아진다. 또한, 도 42의 (b)보다 도 42의 (c)쪽이 표시 휘도는 낮아진다. 따라서, 온 기간의 횟수를 제어함으로써 표시 휘도를 용이하게 조정(제어)할 수 있다.

이후, 본 발명의 전류 구동 방식의 소스 드라이버 회로(IC)(14)에 대하여 설명한다. 본 발명의 소스 드라이버 IC는, 이전에 설명한 본 발명의 구동 방법, 구동 회로를 실현하기 위해 이용한다. 또한, 본 발명의 구동 방법, 구동 회로, 표시 장치와 조합해서 이용한다.

또한, 본 발명의 실시예에서는, 소스 드라이버 회로는, IC 칩으로서 설명을 하지만, 이것에 한정되는 것은 아니고, 고온 폴리실리콘 기술, 저온 폴리실리콘 기술, CGS 기술, 아몰퍼스 실리콘 기술 등을 이용하여, 표시 패널의 기판(30) 상에 직접 제작해도 되는 것은 물론이다. 또한, 실리콘 웨이퍼 등에 형성한 소스 드라이버 회로(IC)(14)를 기판(30)에 전사해도 된다.

도 43은 소스 드라이버 회로(IC)(14)의 1출력단의 구조도이다. 즉, 1개의 소스 신호선(18)에 접속되는 출력부이다. 복수의 동일 사이즈의 단위 트랜지스터(154)(1단위)로 구성되어 있고, 그 개수가 화상 데이터의 비트에 대응하여, 비트 웨이팅(weighting)되어 있다. 도 43은 일례로서 64계조 표시의 실시예이다. 1출력단에 상응하는 트랜지스터군(431c)에는, 단위 트랜지스터(154)는 63개로 구성되어 있다.

본 발명의 소스 드라이버 회로(IC)(14)를 구성하는 트랜지스터 혹은 트랜지스터군은, MOS 타입에 한정되는 것은 아니고, 바이폴라 타입이어도 된다. 또한, 실리콘 반도체에 한정되는 것은 아니고, 갈륨 비소 반도체라도 된다. 게르마늄 반도체라도 된다. 또한, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술, CGS 기술로 형성 또는 구성한 것이어도 된다.

도 43은 본 발명의 1 실시예로서, 6비트의 디지털 입력인 경우를 도시하고 있다. 즉, 2의 6승이므로, 64계조 표시이다. 이 소스 드라이버 IC(14)를 어레이 기판에 적재함으로써, 적색(R), 녹색(G), 청색(B)이 각 64계조이므로, $64 \times 64 \times 64 =$ 약 26만 색을 표시할 수 있게 된다.

64계조의 경우에는, D0 비트의 단위 트랜지스터(154)는 1개, D1비트의 단위 트랜지스터(154)는 2개, D2비트의 단위 트랜지스터(154)는 4개, D3 비트의 단위 트랜지스터(154)는 8개, D4비트의 단위 트랜지스터(154)는 16개, D5 비트의 단위 트랜지스터(154)는 32개이므로, 합계 단위 트랜지스터(154)는 63개이다. 즉, 본 발명은 계조의 표현 수(본 실시예의 경우에는, 64계조)-1개의 단위 트랜지스터(154)를 1출력으로 구성(형성)한다.

단위 트랜지스터 1개가 복수의 서브 단위 트랜지스터로 분할되어 있는 경우에도, 단위 트랜지스터가, 복수의 서브 단위 트랜지스터로 분할되어 있을 뿐이다. 예를 들면, 1개의 단위 트랜지스터(154)가, 4개의 서브 단위 트랜지스터로 구성되는 경우가 예시된다. 따라서, 본 발명이, 계조의 표현 수-1개의 단위 트랜지스터로 구성되어 있는 것에는 차이는 없다.

또한, 도 43에 있어서, D5 비트체의 단위 트랜지스터(154)의 32개는, 밀집시켜 배치(형성)하고 있도록 도시하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 8개의 단위 트랜지스터(154)의 군(즉, 8개의 트랜지스터의 집합이 4조)으로 분할하고, 분할된 트랜지스터군을 분산시켜 배치(구성)해도 된다. 이렇게 하는 것이, 출력 전류의 변동이 저감된다.

도 43에 있어서, D0은 LSB 입력을 나타내고 있고, D5는 MSB 입력을 나타내고 있다. D0 입력 단자에 H 레벨(정의(正)의 논리시)일 때, 스위치(151a)(온 오프 수단이다. 물론, 단체(單體) 트랜지스터로 구성해도 되고, P 채널 트랜지스터와 N 채널 트랜지스터를 조합한 아날로그 스위치 등이어도 된다)가 온한다. 그러면, 커런트 미러를 구성하는 단위 트랜지스터(154)를 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(153)에 흐른다. 이 내부 배선(153)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(153)에 흐르는 전류가 화소(16)의 프로그램 전류로 된다.

예를 들면, D1 입력 단자에 H 레벨(정의(正)의 논리시)일 때, 스위치(151)가 온한다. 그러면, 커런트 미러를 구성하는 2개의 단위 트랜지스터(154)를 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(153)에 흐른다. 이 내부 배선(153)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(153)에 흐르는 전류가 화소(16)의 프로그램 전류로 된다.

다른 스위치(151)라도 마찬가지이다. D2 입력 단자에 H 레벨(정의(正)의 논리시)일 때에는, 스위치(151c)가 온한다. 그러면, 커런트 미러를 구성하는 4개의 단위 트랜지스터(154)를 향하여 전류가 흐른다. D5 입력 단자에 H 레벨(정의(正)의 논리시)일 때에는, 스위치(151f)가 온한다. 그러면, 커런트 미러를 구성하는 32개의 단위 트랜지스터(154)를 향하여 전류가 흐른다.

이상과 같이, 외부로부터의 데이터(D0~D5)에 따라서, 그것에 대응하는 단위 트랜지스터를 향하여 전류가 흐른다. 따라서, 데이터에 따라서, 0개 내지 63개의 단위 트랜지스터에 전류가 흐르도록 구성되어 있다.

또한, 본 발명은 설명을 용이하게 하기 위해서, 전류원은 6비트의 63개로 하고 있지만, 이것에 한정되는 것은 아니다. 8비트인 경우에는, 255개의 단위 트랜지스터(154)를 형성(배치)하면 된다. 또한, 4비트일 때에는, 15개의 단위 트랜지스터(154)를 형성(배치)하면 된다. 물론, 8비트인 경우에는, 255×2 개의 단위 트랜지스터(154)를 형성(배치)해도 된다. 1개의 단위 트랜지스터(154)가 2개로 1단위 전류를 출력한다. 단위 전류원을 구성하는 단위 트랜지스터(154)는 동일한 채널 폭 W, 채널 길이 L로 한다. 이와 같이 동일한 트랜지스터로 구성함으로써, 변동이 적은 출력단을 구성할 수 있다.

단위 트랜지스터(154)는 모두가, 동일한 전류를 흘리는 것에 한정되는 것은 아니다. 예를 들면, 각 단위 트랜지스터(154)를 웨이팅해도 된다. 예를 들면, 1단위의 단위 트랜지스터(154)와, 2배의 단위 트랜지스터(154)와, 4배의 단위 트랜지스터(154) 등을 혼재시켜 전류 출력 회로를 구성해도 된다.

그러나, 단위 트랜지스터(154)를 웨이팅하여 구성하면, 각 웨이팅한 전류원이 웨이팅한 비율로 되지 않고, 변동이 발생할 가능성이 있다. 따라서, 웨이팅하는 경우에도, 각 전류원은, 1단위의 전류원으로 되는 트랜지스터를 복수개 형성함으로써 구성하는 것이 바람직하다.

6비트의 화상 데이터 D0, D1, D2, ..., D5로 제어되는 스위치를 통하여 프로그램 전류 I_w 가 소스 신호선에 출력된다(전류를 인입함). 따라서, 6비트의 화상 데이터 D0, D1, D2, ..., D5의 ON, OFF에 따라서, 출력선에는, 1배, 2배, 4배, ..., 32배의 전류가 가산되어 출력된다. 즉, 6비트의 화상 데이터 D0, D1, D2, ..., D5에 의해, 출력선(153)으로부터 프로그램 전류가 출력된다(소스 신호선(18)으로부터 전류를 인입한다.)

EL 표시 패널에서, 풀 컬러 표시를 실현하기 위해서는, RGB의 각각에 기준 전류를 형성(작성)할 필요가 있다. RGB의 기준 전류의 비율로 화이트 밸런스를 조정할 수 있다. 기준 전류는, 단위 트랜지스터(154)가 흘리는 전류값을 결정한다. 따라서, 기준 전류의 크기를 결정하면, 단위 트랜지스터(154)가 흘리는 전류를 결정할 수 있다. 그 때문에, R, G, B의 각각의 기준 전류를 설정하면, 모든 계조에 있어서의 화이트 밸런스가 취해지게 된다. 이상의 사항은, 소스 드라이버 회로(IC)(14)가 전류 눈금 출력(전류 구동)인 것으로부터 발휘되는 효과이다.

트랜지스터군(431c) 내의 단위 트랜지스터(154)의 게이트 단자(G)는 공통의 게이트 배선(153)과 접속되어 있다. 또한, 단위 트랜지스터(154)의 소스 단자(S)는 공통의 내부 배선(150)에 접속되고, 내부 배선(150)의 일단에 단자(155)가 구성되어 있다. 단위 트랜지스터(154)의 드레인 단자(D)는 접지 전위(GND)에 접지되어 있다.

1개의 트랜지스터군(431c)은 1개의 소스 신호선(18)에 대응해서 구성(형성)되어 있다. 또한, 도 47에 도시하는 바와 같이, 단위 트랜지스터(154)는, 트랜지스터(158b1 또는 158b2)와, 커런트 미러 회로를 구성하고 있다. 트랜지스터(158b)에는 기준 전류 I_c 가 흐르고, 이 기준 전류 I_c 에 의해 단위 트랜지스터(154)의 출력 전류가 결정된다.

도 47에 도시하는 바와 같이, 트랜지스터(158b)의 게이트 단자(G)와 단위 트랜지스터의 게이트 단자(G)는 공통의 게이트 배선(153)으로 접속되어 있다. 그 때문에, 트랜지스터(158b)와 각 트랜지스터군(431c)은 커런트 미러 회로를 구성하고 있다.

도 47에 도시하는 바와 같이, 트랜지스터군(431c)의 양측에 트랜지스터(158b1)와 트랜지스터(158b2)를 배치함으로써, 게이트 배선(153)의 전위 구배가 작아진다. 따라서, 좌우의 트랜지스터군(431c1, 431cn)의 출력 전류의 크기가 동일하게 된다(단, 동일 게조일 때로 함). 또한, 기준 전류 I_{c1} 과 I_{c2} 의 크기를 조정함으로써, 게이트 배선(153)의 전위 구배를 변화시킬 수 있다. 기준 전류 I_{c1} , I_{c2} 의 크기를 조정함으로써, 좌우의 트랜지스터군(431c1, 431cn)의 출력 전류의 크기를 조정할 수 있다.

도 47에서는 트랜지스터군(431c)과 트랜지스터(158b)가 커런트 미러 회로를 구성하는 것으로 했다. 그러나, 실제로는, 트랜지스터(158b)는 복수의 트랜지스터로 구성되어 있다. 즉, 복수의 트랜지스터(158b)에 의한 트랜지스터군(431b)과, 트랜지스터군(431c)이 커런트 미러 회로를 구성하고 있다. 즉, 복수의 트랜지스터(158b)의 게이트 단자와 복수의 단위 트랜지스터(154)의 게이트 단자가 공통의 게이트 배선(153)으로 결선되어 있다.

도 48은 트랜지스터군(431b)의 트랜지스터(483b)의 배치 구성이다. 1개의 트랜지스터군(431b)에는, 트랜지스터군(431c)의 단위 트랜지스터(154)와 동일 수인 63개의 트랜지스터(158b)가 형성되어 있다.

물론, 1개의 트랜지스터군(431b) 내의 트랜지스터(158b)의 개수는 63개에 한정되는 것은 아니다. 단위 트랜지스터군(431c)의 단위 트랜지스터(154) 수가 계조수-1로 구성되는 경우에는, 트랜지스터군(431b) 내의 트랜지스터(158b)의 개수도 계조수-1 혹은 이것과 마찬가지로 유사 개수가 형성된다. 또한, 도 48의 구성에 한정되는 것은 아니고, 도 49와 같이 매트릭스 형상으로 형성 또는 배치해도 된다.

이상의 구성을, 도 44에 모식적으로 나타낸다. 단위 트랜지스터군(431c)이 출력 단자수분만큼 병렬로 배치된다. 단위 트랜지스터군(431c)의 양 옆에 트랜지스터군(431b)가 복수 블록 형성되어 있다. 트랜지스터군(431b)의 트랜지스터(158b)의 게이트 단자와, 단위 트랜지스터군(431c)의 단위 트랜지스터(154)의 게이트 단자는 게이트 배선(153)으로 접속된다.

이상의 설명은, 설명을 용이하게 하기 위해서, 단색의 소스 드라이버 IC(14)와 같이 설명했다. 본래는, 도 45와 같이 구성된다. 즉, 트랜지스터군(431b) 및 단위 트랜지스터군(431c)은 적색(R), 녹색(G), 청색(B)의 트랜지스터군이 교대로 배치된다. 도 45에 있어서, 첨자 R이 부가된 트랜지스터군은 적색(R)용을 나타내고 있고, 첨자 G가 부가된 트랜지스터군은 녹색(G)용을 나타내고 있고, 첨자 B가 부가된 트랜지스터군은 청색(B)용을 나타내고 있다. 이상과 같이, RGB용의 트랜지스터군을 교대로 배치함으로써 RGB 사이의 출력 변동이 저감된다. 이 구성도 소스 드라이버 회로(IC)(14) 내의 레이아웃으로서 중요한 요건이다.

도 47에서는, 각 트랜지스터군(431c1과 431cn)의 양측에 트랜지스터(158b(158b1, 158b2))가 형성 또는 배치되어 있다. 본 발명은 이것에 한정되는 것은 아니다. 도 46에 도시하는 바와 같이 트랜지스터(158b)는 한쪽에만 형성되어도 된다.

도 46에서는, 기준 전류를 흘리는 트랜지스터군(431b)(트랜지스터(158b))은, IC 칩의 외측 근방에 배치하고 있다. 트랜지스터(158b)는 1개가 아니고, 복수개가 형성되어 트랜지스터군을 구성한다. 여기서는 설명을 용이하게 하기 위해서, 트랜지스터군(431b)은 트랜지스터(158b)로서 설명한다. 이 사항은 본 발명의 다른 실시예에 있어서도 마찬가지이다.

도 46은 트랜지스터(158b)를 IC 칩의 외측(칩의 가장자리)에 형성했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 554에 도시하는 바와 같이, 게이트 배선(153)의 중앙부 등에 트랜지스터(158b3)를 형성 또는 배치해도 된다. 게이트 배선(153)의 안정도가 증가하여, 가로 크로스토크 등의 발생이 없다. 따라서, 게이트 배선(153)에는 복수의 기준 전류를 흘리는 트랜지스터(158b)를 형성하는 것도 바람직하다. 또한, 게이트 배선(153)은 저 저항화함으로써 안정도가 향상하는 것은 물론이다.

도 62에서 설명한 바와 같이, 커패시터(19)를 게이트 배선(153)에 접속함으로써, 게이트 배선(153)의 전위가 안정된다. 커패시터(19)는 소스 드라이버 IC 칩(14)의 단자에 외부 부착 접속하면 된다. 또한, 소스 드라이버 회로(IC)(14)가 저온 폴리실리콘 기술 등으로 기판(30)에 직접 형성된 것이라든가, 커패시터(19)를 형성하는 것에 의해 게이트 배선(153)의 안정성이 좋아지는 것은 물론이다.

도 555에 있어서, 소스 드라이버 IC(14a)는 기준 전류를 흘리는 트랜지스터(158b2)가 우측단에 구성되어 있고, 좌측단은 오픈 상태로 되어 있다. 따라서, 기준 전류 Ic2는 트랜지스터(158b2)에 흐른다(게이트 배선(153a)에는 단위 트랜지스터(154)의 게이트 단자에 유입되는 전류만이 흐른다). 또한, 기준 전류 Ic1과 Ic2는 동일한 것으로서 설명한다. 출력 단자(155a1)는 커런트 미러 회로를 구성하는 트랜지스터(158b2)와 커런트 미러 정밀도가 좋은 전류가 출력된다.

소스 드라이버 IC(14b)는 기준 전류를 흘리는 트랜지스터(158b1)가 좌측단에 구성되어 있고, 우측단은 오픈 상태로 되어 있다. 따라서, 기준 전류 Ic1은 트랜지스터(158b1)에 흐른다(게이트 배선(153b)에는 단위 트랜지스터(154)의 게이트 단자에 유입되는 전류만이 흐른다). 출력 단자(155a2)는 커런트 미러 회로를 구성하는 트랜지스터(158b1)와 커런트 미러 정밀도가 좋은 전류가 출력된다. 따라서, 기준 전류 Ic1과 Ic2가 동일하다고 하면, 소스 드라이버 IC(14a)의 출력 단자(155a1)로부터 출력되는 계조 전류와, 소스 드라이버 IC(14b)의 출력 단자(155a2)로부터 출력되는 계조 전류는 동일하게 된다. 이상의 이유에 의해 2개의 소스 드라이버 IC(14a)와 소스 드라이버 IC(14b)는 양호하게 캐스캐이드(cascade) 접속된다.

도 555에서는 소스 드라이버 IC(14a)의 우측단의 단자(155a3)로부터 출력되는 계조 전류(프로그램 전류)와, 소스 드라이버 IC(14a)의 좌측단의 단자(155a1)로부터 출력되는 계조 전류(프로그램 전류)는 일치한다고는 할 수 없다. IC 칩(14a) 내의 단위 트랜지스터(154)의 특성에 따라 변화하기 때문이다.

또한, 소스 드라이버 IC(14b)의 우측단의 단자(155a2)로부터 출력되는 계조 전류와, 소스 드라이버 IC(14b)의 좌측단의 단자(155a3)로부터 출력되는 계조 전류는 일치한다고는 할 수 없다. IC 칩(14b) 내의 단위 트랜지스터(154)의 특성에 따라 변화하기 때문이다. 그러나, 캐스캐이드하는 소스 드라이버 IC(14)는 2칩이므로, 소스 드라이버 IC(14a)의 출력 단자(155a1)로부터의 계조 전류와, 소스 드라이버 IC(14b)의 출력 단자(155a2)로부터의 계조 전류가 일치하고 있으면 문제는 없다. 따라서, 게이트 배선(153)은 저저항의 배선으로 형성해도 된다.

도 555의 구성을 실현하기 위해서는, IC 칩(14a)의 게이트 배선(153)의 양단에 위치하는 트랜지스터(158b)의 한쪽을 오픈 상태(트랜지스터(158b)에 전류가 흐르지 않는 상태)로 할 필요가 있다. 즉, 도 556과 같이 구성할 필요가 있다. 도 556에 있어서, 소스 드라이버 IC(14a)의 트랜지스터(158b1)는 게이트 단자 이외가 오픈으로 되어 있다. 따라서, 게이트 배선(153a)으로부터 트랜지스터(158b1)에 유입되는 전류는 없다. 또한, 소스 드라이버 IC(14b)의 트랜지스터(158b2)는 게이트 단자 이외가 오픈으로 되어 있다. 따라서, 게이트 배선(153b)으로부터 트랜지스터(158b2)에 유입되는 전류는 없다.

도 557은 본 발명의 다른 실시예이다. 게이트 배선(153)에 전류가 흐르면 트랜지스터(158b)에 흐르는 전류가 정류의 값으로부터 변화하여, 계조 출력 전류에 오차가 발생한다. 게이트 배선(153)에 전류가 흐르는 것은, IC 칩의 좌우에서 특성 차가 발생(특히 Vt)하여, 트랜지스터(158b1)와 트랜지스터(158b2)의 게이트 단자 전압이 서로 다르기 때문이다.

게이트 단자 전압이 서로 다른 것에 의한 영향을 억제하기 위해, 본 발명에서는, 도 557에 도시하는 바와 같이, 트랜지스터(158b1)에 기준 전류 Ic1을 흘리는 상태(도 557의 (a)를 참조할 것. 트랜지스터(158b2)에는 전류를 흘리지 않는다)와, 트랜지스터(158b2)에 기준 전류 Ic2를 흘리는 상태(도 557의 (b)를 참조할 것. 트랜지스터(158b1)에는 전류를 흘리지 않는다)를 교대로 행한다.

도 556에 도시하는 바와 같이, 도 557의 (a)에서는, 트랜지스터(158b2)의 드레인 단자도 오픈으로 하는 것이 바람직하다. 또한, 도 557의 (b)에서는, 트랜지스터(158b1)의 드레인 단자도 오픈으로 하는 것이 바람직하다.

1수평 주사 기간에 도 557의 (a)의 상태와 도 557의 (b)의 상태를 행한다. 도 557의 (a)의 상태와 도 557의 (b)의 상태는 동일 기간으로 되도록 한다. 도 557의 (a)에서는, 스위치(5571a와 5571c)를 클로즈시키고, 기준 전류 Ic1을 트랜지스터(158b1)에 흘린다. 이 때, 스위치(5571b와 5571d)는 오픈 상태로 한다. 따라서, 트랜지스터(158b2)에는 전류가 흐르지 않는다. 이상의 상태에 의해, 트랜지스터군(431c)은 트랜지스터(158b1)와 커런트 미러 회로를 구성하여, 구동된다.

다음의 1/2H(수평 주사 기간의 절반) 기간(도 557의 (b))에서는, 스위치(5571b와 5571d)를 클로즈시키고, 기준 전류 I_{c2} 를 트랜지스터(158b2)에 흘린다. 이 때, 스위치(5571a와 5571c)는 오픈 상태로 한다. 따라서, 트랜지스터(158b1)에는 전류가 흐르지 않는다. 이상의 상태에 의해, 트랜지스터군(431c)은 트랜지스터(158b2)와 커런트 미러 회로를 구성하여, 구동된다.

도 557의 (a)와 도 557의 (b)를 교대로 반복함으로써, 트랜지스터군(431c)과 트랜지스터(158b1)와 커런트 미러 회로를 만드는 기간과, 트랜지스터군(431c)과 트랜지스터(158b2)와 커런트 미러 회로를 만드는 기간이 교대로 반복된다. 따라서, IC 칩(14)의 좌우에 특성 불균일이 발생하고 있어도 억제할 수 있다.

또한, 이상의 실시예에서는 1수평 주사 기간에 도 557의 (a)와 도 557의 (b)의 상태를 행하는 것으로 했지만, 이것에 한정되는 것은 아니고, 1수평 주사 기간 이상 혹은 이하라도 된다.

기준 전류 I_c 는 도 50에 도시하는 바와 같이, 전자 볼륨(501)과 오피 앰프(502) 등에서 발생시키는 것이 바람직하다. 전자 볼륨(501)과 오피 앰프(502) 등은 소스 드라이버 IC(14)에 내장시킨다. 전자 볼륨(501)의 내부에는 래더 저항 R 이 구성(형성)되어 있고, 래더 저항 R 은 기준 전압 V_s (혹은 IC 전원 전압)를 분할하고 있다.

래더 저항으로 분압된 전압은, 스위치 S 에 의해 선택되어, 오피 앰프(502)의 정극성 단자에 인가된다. 인가된 전압과 소스 드라이버 IC(14)의 외부 부하 저항 R_1 에 의해, 기준 전류 I_c 가 발생한다. 저항 R_1 을 외부 부하함으로써 R_1 의 값에 의해 용이하게 기준 전류의 값을 조정할 수 있고, 또한, RGB 회로의 외부 부하 저항을 조정함으로써 용이하게 화이트 밸런스를 취할 수 있다.

또한, 본 발명의 실시예에 있어서, 오피 앰프(502)는 증폭 회로 등의 아날로그 처리 회로로서 이용하는 경우도 있지만, 버퍼로서 사용하는 경우도 있다. 또한, 콤퍼레이터로서 설명하는 경우도 있다.

도 50의 구성에서는 전자 볼륨(501a)과 전자 볼륨(501b)을 독립적으로 동작시킬 수 있다. 따라서, 트랜지스터(158a1)와 트랜지스터(158a2)가 흘리는 전류의 값을 변경할 수 있다. 따라서, 칩의 좌우의 트랜지스터(158b)(158b1, 158b2)에 흘리는 전류를 조정할 수 있어, 게이트 배선(153)의 전위 기울기를 조정 가능하다.

단위 트랜지스터(154)를 구성하는 트랜지스터의 크기는 일정 이상의 크기가 필요하다. 트랜지스터 사이즈가 작을수록 출력 전류의 변동이 커진다. 단위 트랜지스터(154)의 크기라 함은, 채널 길이 L 과 채널 폭 W 를 곱한 사이즈를 말한다. 예를 들면, 채널 폭 $W=3\mu\text{m}$, 채널 길이 $L=4\mu\text{m}$ 이면, 1개의 단위 전류원을 구성하는 단위 트랜지스터(154)의 사이즈는, $W \times L=12\text{평방}\mu\text{m}$ 이다.

트랜지스터 사이즈가 작아질수록 변동이 커지는 것은 실리콘 웨이퍼의 결정 계면의 상태가 영향을 주고 있기 때문이라고 생각된다. 따라서, 1개의 트랜지스터가 복수의 결정 계면에 걸쳐 형성되어 있으면 트랜지스터의 출력 전류 변동은 작아진다.

도 44, 도 48에 있어서, 트랜지스터군(431b)의 트랜지스터(158b)의 총 면적(트랜지스터군(431b)의 개수 $\times$ 트랜지스터군(431b) 내의 트랜지스터(158b)의 WL 사이즈 $\times$ 트랜지스터(158b)의 수)을 S_b 로 한다. 트랜지스터군(431b)이 1개의 트랜지스터(158b)로 구성되는 경우에는, S_b 는, 트랜지스터군(431b)의 개수 $\times$ 트랜지스터(158b)의 WL 사이즈인 것은 물론이다. 이상과 같이, 트랜지스터(158b)의 총 면적을 S_b 로 한다.

트랜지스터군(431c)의 단위 트랜지스터(154)의 총 면적(트랜지스터군(431c) 내의 단위 트랜지스터(154)의 WL 사이즈 $\times$ 단위 트랜지스터(154)의 수)을 S_c (평방 μm)로 한다. 트랜지스터군(431c)의 개수를 n (n 은 정수)으로 한다. n 은 QCIF+ 패넬인 경우에는 176이다(RGB마다 기준 전류 회로가 형성되어 있는 경우). 따라서, $n \times S_c$ (평방 μm)는, 트랜지스터군(431b)의 트랜지스터(158b)와 커런트 미러 회로를 형성하는(트랜지스터(158b)와 게이트 배선(153)을 공통으로 함) 단위 트랜지스터(154)의 총 면적이다.

$S_c \times n / S_b$ 이 커짐에 따라서, 게이트 배선(153)의 흔들림이 커진다. $S_c \times n / S_b$ 이 커지는 것은, 출력 단자 수 n 을 일정하게 하면, 트랜지스터군(431c)의 단위 트랜지스터(154)의 총 면적이, 트랜지스터군(431b)의 트랜지스터(158b)의 총 면적에 대하여 커지는 것을 나타낸다. 게이트 배선(153)의 흔들림이 커진다. 커짐에 따라서, 게이트 배선(153)의 흔들림이 커진다.

$Sc \times n/Sb$ 이 작아지는 것은, 출력 단자 수 n 을 일정하게 하면, 트랜지스터군(431c)의 단위 트랜지스터(154)의 총 면적이, 트랜지스터군(431b)의 트랜지스터(158b)의 총 면적에 대하여 좁은 것을 나타낸다. 이 경우에는 게이트 배선(153)의 흔들림이 작아진다.

게이트 배선(153)의 흔들림의 허용 범위는, $Sc \times n/Sb$ 이 50 이하이다. $Sc \times n/Sb$ 이 50 이하이면, 변동 비율은 허용 범위 내이고, 게이트 배선(153)의 전위 변동은 매우 작아진다. 따라서, 가로 크로스토크의 발생도 없고, 출력 변동도 허용 범위 내로 되어 양호한 화상 표시를 실현할 수 있다.

도 67은 IC 내압과 단위 트랜지스터(154)의 출력 변동의 관계를 도시한 것이다. 종축의 변동 비율은, 1.8(V) 내압 프로세스로 제작하여 단위 트랜지스터(154)의 변동을 1로 하고 있다.

도 67은 단위 트랜지스터(154)의 형상 L/W 을 $12(\mu m)/6(\mu m)$ 로 하고, 각 내압 프로세스로 제조한 단위 트랜지스터(154)의 출력 변동을 나타내고 있다. 또한, 각 IC 내압 프로세스로 복수의 단위 트랜지스터를 형성하여, 출력 전류 변동을 구하고 있다. 단, 내압 프로세스는, 1.8(V) 내압, 2.5(V) 내압, 3.3(V) 내압, 5(V) 내압, 8(V) 내압, 10(V) 내압, 15(V) 내압 등 띄엄띄엄되어 있다. 그러나, 설명을 용이하게 하기 위해서, 각 내압으로 형성한 트랜지스터의 변동을 그래프에 기입하여, 직선으로 연결하고 있다.

내압과 출력 변동에 상관이 있는 것은, 트랜지스터의 게이트 절연막과 관계하고 있기 때문이라고 추정된다. 내압이 높은 경우에는, 게이트 절연막이 두껍다. 게이트 절연막이 두꺼우면 모빌리티도 낮아지고, 막 두께에 대한 변동도 커진다.

도 67로부터 IC 내압이 13(V) 정도까지는, IC 프로세스에 대한 변동 비율(단위 트랜지스터(154)의 출력 전류 변동)의 증가 비율은 작다. 그러나, IC 내압이 15(V) 이상으로 되면 IC 내압에 대한 변동 비율의 기울기가 커진다.

도 67에 있어서의 변동 비율은 3 이내가, 64계조 내지 256계조 표시에서의 변동 허용 범위이다. 단, 이 변동 비율은, 단위 트랜지스터(154)의 면적, L/W 에 따라 서로 다르다. 그러나, 단위 트랜지스터(154)의 형상 등을 변화시키더라도, IC 내압에 대한 변동 비율의 변화 경향은 거의 차이가 없다. IC 내압 13~15(V) 이상에서 변동 비율이 커지는 경향이 있다.

한편, 소스 드라이버 회로(IC)(14)의 출력 단자(155)의 전위는, 화소(16)의 구동용 트랜지스터(11a)의 프로그램 전류에 따라 변화한다. 화소(16)의 구동용 트랜지스터(11a)가 백 래스터(최대 백색 표시)의 전류를 흘릴 때의 게이트 단자 전위 V_w 로 한다. 화소(16)의 구동용 트랜지스터(11a)가 흑 래스터(완전 흑색 표시)의 전류를 흘릴 때의 게이트 단자 전위 V_b 로 한다. $V_w - V_b$ 의 절대값은 2(V) 이상 필요하다. 또한, V_w 전압이 출력 단자(155)에 인가되어 있을 때, 단위 트랜지스터(154)의 채널간 전압은, 0.5(V) 필요하다.

따라서, 출력 단자(155)(단자(155)는 소스 신호선(18)과 접속되고, 전류 프로그램시, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압이 인가된다)에는, 0.5(V) 내지 $((V_w - V_b) + 0.5)(V)$ 의 전압이 인가된다. $V_w - V_b$ 는 2(V)이므로, 단자(155)는 최대 $2(V) + 0.5(V) = 2.5(V)$ 인가된다. 따라서, 소스 드라이버 IC(14)의 출력 전압(전류)이 레일-투-레일(rail-to-rail) 출력이라도, IC 내압으로서는 2.5(V) 필요하다. 출력 단자(155)의 진폭 필요 범위는, 2.5(V) 이상 필요하다.

이상의 점으로부터, 소스 드라이버 IC(14)의 내압은, 2.5(V) 이상 15(V) 이하의 프로세스를 사용하는 것이 바람직하다. 더욱 바람직하게는, 소스 드라이버 IC(14)의 내압은, 3(V) 이상 12(V) 이하의 프로세스를 사용하는 것이 바람직하다. 더욱 바람직하게는, 구동용 트랜지스터(11a)의 진폭값을 비교적 크게 하여, 프로그램 전류에 대한 트랜지스터(11a)의 게이트 단자 전압 변화를 크게 하고, 프로그램 정밀도를 향상시킨다고 하는 관점으로부터, 최저 내압은 4.5(V) 이상으로 하는 것이 바람직하다. IC 내압은, 사용할 수 있는 전원 전압의 최대값과 동등하다. 또한, 사용할 수 있는 전원 전압이라 함은, 항상 사용할 수 있는 전압이고, 순간 내압이 아니다.

이상의 설명은, 소스 드라이버 IC(12)의 사용 내압 프로세스는, 2.5(V) 이상 13(V) 이하의 프로세스를 사용하는 것으로 했다. 그러나, 이 내압은, 어레이 기판(30)에 직접 소스 드라이버 회로(IC)(14)가 형성된 실시예(저온 폴리실리콘 프로세스 등)에도 적용된다. 어레이 기판(30)에 형성된 소스 드라이버 회로(IC)(14)의 사용 내압은 15(V) 이상으로 높은 경우가 있다. 이 경우에는, 소스 드라이버 회로(IC)(14)에 사용하는 전원 전압을 도 67에 도시하는 IC 내압으로 치환해도 된다. 또한, 소스 드라이버 IC(14)에 있어서도, IC 내압으로 하지 않고, 사용하는 전원 전압으로 치환해도 된다.

단위 트랜지스터(154)에 일정한 트랜지스터 사이즈가 필요한 이유는, 웨이퍼에 모빌리티의 특성 분포가 있기 때문이다.

단위 트랜지스터(154)의 채널 폭 W는, 출력 전류의 변동과 상관이 있다. 도 51은 단위 트랜지스터(154)의 면적을 일정하게 하고, 단위 트랜지스터(154)의 트랜지스터 폭 W를 변화시켰을 때의 그래프이다. 도 51은 단위 트랜지스터(154)의 채널 폭 W=2(μm)의 변동을 1로 하고 있다.

도 51에 도시하는 바와 같이 변동 비율은, 단위 트랜지스터의 W가 2(μm)에서부터 9~10(μm)까지 완만하게 증가하고, 10(μm) 이상에서 변동 비율의 증가는 커지는 경향이 있다. 또한, 채널 폭 W=2(μm) 이하에서 변동 비율이 증가하는 경향이 있다.

도 51에 있어서의 변동 비율은 3 이내가, 64계조 내지 256계조 표시에서의 변동 허용 범위이다. 단, 이 변동 비율은, 단위 트랜지스터(154)의 면적에 따라 다르다. 그러나, 단위 트랜지스터(154)의 면적을 변화시키더라도, IC 내압에 대한 변동 비율의 변화 경향은 거의 차이가 없다.

이상의 점으로부터, 단위 트랜지스터(154)의 채널 폭 W는 2(μm) 이상 10(μm) 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 단위 트랜지스터(154)의 채널 폭 W는 2(μm) 이상 9(μm) 이하로 하는 것이 바람직하다. 또한, 단위 트랜지스터(154)의 채널 폭 W는 도 52의 게이트 배선(153)의 링킹 억제 대책의 면에서도 상기 범위로 형성하는 것이 바람직하다.

도 53은 단위 트랜지스터(154)의 L/W와 목표값으로부터의 어긋남(변동)의 그래프이다. 단위 트랜지스터(154)의 L/W비가 2 이하에서는, 목표값으로부터의 어긋남이 크다(직선의 기울기가 크다). 그러나, L/W가 커짐에 따라서, 목표값의 어긋남이 작아지는 경향이 있다. 단위 트랜지스터(154)의 L/W가 2 이상에서는 목표값으로부터의 어긋남의 변화는 작아진다. 또한, 목표값으로부터의 어긋남(변동)은 L/W=2 이상이고, 0.5% 이하로 된다. 따라서, 트랜지스터의 정밀도로서 소스 드라이버 회로(IC)(14)에 채용할 수 있다.

이상의 점으로부터, 단위 트랜지스터(154)의 L/W는 2 이상으로 하는 것이 바람직하다. 그러나, L/W가 크다는 것은 L이 길어지는 것을 의미하고 있기 때문에 트랜지스터 사이즈가 커진다. 따라서, L/W는 40 이하로 하는 것이 바람직하다. 더욱 바람직하게는, L/W는 3 이상 12 이하로 하는 것이 바람직하다.

L/W가 비교적 큰 값일 때에, 출력 변동이 작아지는 것은, 상기 단위 트랜지스터(154)의 게이트 전압이 높아지고, 게이트 전압의 변동에 대한 출력 전류 변화가 작아지기 때문이라고 생각된다.

또한, L/W의 크기는 계조수에도 의존한다. 계조수가 적은 경우에는, 계조와 계조와의 차가 크기 때문에, 킥(kink)의 영향에 의해 단위 트랜지스터(154)의 출력 전류가 변동되더라도 문제가 없다. 그러나, 계조수가 많은 표시 패널에서는, 계조와 계조와의 차가 작기 때문에, 킥의 영향에 의해 단위 트랜지스터(154)의 출력 전류가 조금이라도 변동되면 계조수가 저감한다.

이상의 것을 감안하여, 본 발명의 드라이버 회로(14)는, 계조수를 K로 하고, 단위 트랜지스터(154)의 L/W(L은 단위 트랜지스터(154)의 채널 길이, W는 단위 트랜지스터의 채널 폭)로 했을 때,

$$(\sqrt{(K/16)}) \leq L/W \leq (\sqrt{(K/16)}) \times 20$$

의 관계를 만족시키도록 구성(형성)하고 있다.

일례로서, 64계조를 표현하기 위해서는, 63개의 단위 트랜지스터(154)를 트랜지스터군(431c)에 배치하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 단위 트랜지스터(154)는, 또한 복수의 서브 트랜지스터로 구성해도 된다.

도 547의 (a)는, 단위 트랜지스터(154)이다. 도 547의 (b)는 4개의 서브 트랜지스터(5471)로, 단위 트랜지스터(154)를 구성하고 있다. 복수의 서브 트랜지스터(5471)를 가산한 출력 전류는, 단위 트랜지스터(154)와 동일하게 되도록 한다. 즉, 단위 트랜지스터(154)를 4개의 서브 트랜지스터(5471)로 구성하고 있다.

또한, 본 발명은 단위 트랜지스터(154)를 4개의 서브 트랜지스터(5471)로 구성하는 것에 한정하는 것은 아니고, 단위 트랜지스터(154)를 복수의 서브 트랜지스터(5471)로 구성하면 어떠한 구성이어도 된다. 단, 서브 트랜지스터(5471)는 동일한 사이즈 또는 동일한 출력 전류를 출력하도록 구성한다.

도 547에 있어서, S는 트랜지스터의 소스 단자, G는 트랜지스터의 게이트 단자, D는 트랜지스터의 드레인 단자를 나타내고 있다. 도 547의 (b)에서, 서브 트랜지스터(5471)는 동일 방향으로 배치하고 있다. 도 547의 (c)에서, 서브 트랜지스터(5471)는 행방향에 서로 다른 방향으로 배치하고 있다. 또한, 도 547의 (d)에서, 서브 트랜지스터(5471)는 열방향에 서로 다른 방향으로 배치하고 있고, 또한 점대칭으로 되도록 배치하고 있다. 도 547의 (b), 도 547의 (c), 도 547의 (d)는 모두 규칙성이 있다.

도 547의 (a), (b), (c), (d)는 레이아웃이지만, 서브 트랜지스터(5471)는 도 547의 (e)에 도시하는 바와 같이 직렬로 접속하여 단위 트랜지스터(154)로 해도 된다. 또한, 도 547의 (f)에 도시하는 바와 같이 병렬로 접속하여 단위 트랜지스터(154)로 해도 된다.

단위 트랜지스터(154) 혹은 서브 트랜지스터(5471)의 형성 방향을 변화시키면 특성은 서로 다른 경우가 많다. 예를 들면, 도 547의 (c)에 있어서, 단위 트랜지스터(154a)와 서브 트랜지스터(5471b)는, 게이트 단자에 인가된 전압이 동일하더라도, 출력 전류는 서로 다르다. 그러나, 도 547의 (c)에서는, 서로 다른 특성의 서브 트랜지스터(5471)가 동일 수직 형성되어 있다. 따라서, 트랜지스터(단위)로서는 변동이 적어진다. 또한, 형성 방향이 서로 다른 단위 트랜지스터(154) 혹은 서브 트랜지스터(5471)의 방향을 변화시킴으로써, 특성차가 서로 보간되어, 트랜지스터(1단위)의 변동은 저감한다고 하는 효과를 발휘한다. 이상의 사항은, 도 547의 (d)의 배치에도 해당하는 것은 물론이다.

따라서, 도 548 등에 도시하는 바와 같이, 단위 트랜지스터(154)의 방향을 변화시켜, 트랜지스터군(431c)으로서 세로 방향에 형성한 단위 트랜지스터(154)의 특성과 가로 방향에 형성한 단위 트랜지스터(154)의 특성을 서로 보간함으로써, 트랜지스터군(431c)으로서 변동을 적게 할 수 있다.

도 548은 트랜지스터군(431c) 내에서 얼마다 단위 트랜지스터(154)의 형성 방향을 변화시킨 실시예이다. 도 549는 트랜지스터군(431c) 내에서 행마다 단위 트랜지스터(154)의 형성 방향을 변화시킨 실시예이다. 도 550은 트랜지스터군(431c) 내에서 행 및 열마다 단위 트랜지스터(154)의 형성 방향을 변화시킨 실시예이다.

도 551의 (a)에 도시하는 바와 같이, 트랜지스터군(431c)의 단위 트랜지스터(154)를 정연하게 배치하는 것보다는, 도 551의 (b)와 같이 트랜지스터군을 구성하는 단위 트랜지스터(154)를 분산시켜 배치하는 쪽이 단자(155) 간의 특성 변동이 적어진다. 또한, 도 551에 있어서, 동일 해칭의 단위 트랜지스터(154)가 1개의 트랜지스터군(431c)을 구성하는 것으로 하고 있다.

단위 트랜지스터(154)의 특성 변동은, 트랜지스터군(431c)의 출력 전류에 따라서도 다르다. 출력 전류는, EL 소자(15)의 효율에 의해서 결정된다. 예를 들면, G색의 EL 소자의 발광 효율이 높으면 G색의 출력 단자(155)로부터 출력되는 프로그램 전류는 작아진다. 반대로, B색의 EL 소자의 발광 효율이 낮으면 B색의 출력 단자(155)로부터 출력되는 프로그램 전류는 커진다.

프로그램 전류가 작아지는 것은, 단위 트랜지스터(154)가 출력하는 전류가 작아지는 것을 의미한다. 전류가 작아지면 단위 트랜지스터(154)의 변동도 커진다. 단위 트랜지스터(154)의 변동을 작게 하기 위해서는, 트랜지스터 사이즈를 크게 하면 된다.

도 552는 그 실시예이다. 도 552에서는 R 화소의 출력 전류가 가장 작기 때문에, R 화소에 대응하는 단위 트랜지스터(154R)의 사이즈를 가장 크게 하고 있다. 또한, G 화소의 출력 전류가 가장 크기 때문에, 단위 트랜지스터(154)의 사이즈는 가장 작게 하고 있다. 전류의 크기의 중간은 B 화소이다. B 화소는, R 화소와 G 화소에 대응하는 단위 트랜지스터(154)의 중간의 트랜지스터 사이즈로 하고 있다. 이상의 점으로부터 RGB의 EL 소자의 효율에 따라서(프로그램 전류의 크기에 대응하여), 단위 트랜지스터(154)의 사이즈를 결정하여 구성하는 것은 큰 효과가 있다.

본 발명은 도 553의 (b)에 도시하는 바와 같이, 각 비트(최하위 비트를 제외함)에 복수의 단위 트랜지스터(154)를 형성 또는 배치하는 것으로 하였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 553에 도시하는 바와 같이, 각 비트에, 각 비트에 따른 전류를 출력하는 1개의 트랜지스터(154)를 형성 또는 배치해도 되는 것은 물론이다.

64계조(RGB 각 6비트)의 경우에는, 63개의 단위 트랜지스터(154)를 형성하는 것으로 하였다. 따라서, 256계조(RGB 각 8비트)의 경우, 255개의 단위 트랜지스터(154)가 필요하게 된다.

전류 구동 방식에서는, 전류의 가산이 가능하다고 하는 특징이 있는 효과가 있다. 또한, 단위 트랜지스터(154)에 있어서, 채널 길이 L 을 일정하게 하고, 채널 폭 W 를 $1/2$ 로 하면, 단위 트랜지스터(154)가 흘리는 전류가 대개 $1/2$ 로 된다고 하는 특징이 있는 효과가 있다. 마찬가지로, 채널 길이 L 을 일정하게 하고, 채널 폭 W 를 $1/4$ 로 하면, 단위 트랜지스터(154)가 흘리는 전류가 대개 $1/4$ 로 된다고 하는 특징이 있는 효과가 있다.

도 55의 (b)는, 각 비트에 대하여 동일한 사이즈의 단위 트랜지스터(154)를 배치한 트랜지스터군(431c)의 구성이다. 설명을 용이하게 하기 위해서, 도 55의 (a)는 6개의 단위 트랜지스터(154)가 구성되고, 6비트의 트랜지스터군(431c)을 구성(형성)하고 있는 것으로 한다. 또한, 도 55의 (b)는 8비트인 것으로 한다.

도 55의 (b)에서는, 하위 2비트(A로 나타냄)는, 단위 트랜지스터(154)보다 작은 사이즈의 트랜지스터로 구성하고 있다. 최소 비트체인 제0 비트체는, 단위 트랜지스터(154)의 채널 폭 W 의 $1/4$ 로 형성하고 있다(단위 트랜지스터(154b)로 나타냄). 또한, 제1비트체는, 단위 트랜지스터(154)의 채널 폭 W 의 $1/2$ 로 형성하고 있다(단위 트랜지스터(154a)로 나타냄).

이상과 같이, 하위 2비트는 상위의 단위 트랜지스터(154)보다 작은 사이즈의 단위 트랜지스터(154a, 154b)로 형성하고 있다. 또한, 정규의 단위 트랜지스터(154)의 개수는 6개로 변화가 없다. 따라서, 6비트에서 8비트로 변경해도, 트랜지스터군(431c)의 형성 면적은 도 55의 (a)와 도 55의 (b)에서 큰 차는 없다.

도 55의 (b)에 도시하는 바와 같이, 6비트에서 8비트 사양으로 변화시켜도 출력단의 트랜지스터군(431c)의 사이즈가 커지지 않는 것은, 전류의 가산이 가능하다는 점, 단위 트랜지스터(154)에 있어서, 채널 길이 L 을 일정하게 하고, 채널 폭 W 를 $1/n$ 로 하면, 단위 트랜지스터(154)가 흘리는 전류가 대개 $1/n$ 로 된다는 점을 잘 이용하고 있기 때문이다.

또한, 도 55의 (b)에 도시하는 바와 같이, 단위 트랜지스터(154a, 154b)와 같이 트랜지스터 사이즈가 작아지면, 출력 전류 변동도 커진다. 그러나, 아무리 변동이 크더라도, 단위 트랜지스터(154a 또는 154b)의 출력 전류는 가산된다. 따라서, 도 55의 (a)의 6비트 사양보다, 도 55의 (b)의 8비트 사양 쪽이 고계조 출력을 실현할 수 있다. 물론, 단위 트랜지스터(154a, 154b)의 출력 변동이 크기 때문에, 정확한 8비트 표시를 실현하지 못할 가능성은 있다. 그렇더라도, 반드시, 도 55의 (a)보다는 고정밀 표시를 실현할 수 있다.

실제로는 채널 폭 W 를 $1/2$ 로 하더라도 출력 전류는 정확하게는 $1/2$ 로는 되지 않는다. 다소의 보정이 필요하다. 검토의 결과에서는, 채널 폭 W 를 $1/2$ 로 하면, 트랜지스터의 게이트 단자 전압을 동일하게 한 경우, 출력 전류는, $1/2$ 이하로 된다. 그 때문에, 본 발명은, 하위 비트를 구성하는 트랜지스터와, 상위 비트를 구성하는 트랜지스터의 사이즈를 변화시키는 경우, 이하와 같이 트랜지스터 사이즈를 설정하고 있다.

우선, 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)를 2종류의 사이즈와 같이, 적은 형상으로 구성한다. 복수의 단위 트랜지스터(154)의 채널 길이 L 은 동일하게 한다. 즉, 채널 폭 W 만을 변화시킨다. 제1 단위 트랜지스터의 제1 단위 출력 전류와, 제2단위 트랜지스터의 제2단위 출력 전류의 비를 n (제1 단위 출력 전류: 제2단위 출력 전류= $1:n$, 단, n 은 1보다 작은 값)으로 할 때, 제1 단위 트랜지스터의 채널 폭 $W_1 < \text{제2단위 트랜지스터의 채널 폭 } W_2 \times n \times a(a=1)$ 의 관계로 되도록 구성한다.

$W_1 \times n \times a = W_2$ 로 한 경우, $1.05 < a < 1.3$ 의 관계가 성립하도록 하는 것이 바람직하다. 보정 a 는, 테스트 트랜지스터를 형성하고, 측정하는 것에 의해 보정 계수를 용이하게 파악할 수 있다.

본 발명은, 하위의 비트를 제작(구성)하기 위해, 상위의 비트의 단위 트랜지스터(154)와 비교하여 작은 소 단위 트랜지스터를 형성 또는 배치하는 것이다. 이 작다는 개념은, 상위 비트를 구성하는 단위 트랜지스터(154)의 출력 전류보다 작다는 의미이다. 따라서, 단위 트랜지스터(154)와 비교하여 채널 폭 W 가 작을 뿐만 아니라, 동시에 채널 길이 L 도 작은 경우도 포함된다. 또한, 다른 형상도 포함된다.

도 55는 트랜지스터군(431c)을 구성하는 단위 트랜지스터(154)의 사이즈를 복수 종류로 하는 것이었다. 도 55에서는 2종류로 하고 있다. 이 이유는, 앞에서 설명한 바와 같이, 단위 트랜지스터(154)의 사이즈가 서로 다르면 출력 전류의 크기가 형상에 비례하지 않기 때문에, 설계가 어려워지기 때문이다. 따라서, 트랜지스터(431c)를 구성하는 단위 트랜지스터(154)의 사이즈는 저계조용과 고계조용의 2종류로 하는 것이 바람직하다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 3종류 이상이어도 되는 것은 물론이다.

도 43에서도 도시하고 있는 바와 같이, 트랜지스터군(431c)을 구성하는 단위 트랜지스터(154)의 게이트 단자는, 1개의 게이트 배선(153)으로 접속되어 있다. 게이트 배선(153)에 인가된 전압에 의해 단위 트랜지스터(154)의 출력 전류가 결정된다. 따라서, 트랜지스터군(431c) 내의 단위 트랜지스터(154)의 형상이 동일하면, 각 단위 트랜지스터(154)는 동일한 단위 전류를 출력한다.

본 발명은, 트랜지스터군(431c)을 구성하는 단위 트랜지스터(154)의 게이트 배선(153)을 공통으로 하는 것에 한정되는 것은 아니다. 예를 들면, 도 56의 (a)와 같이 구성해도 된다. 도 56의 (a)에 있어서, 트랜지스터(158b1)와 커런트 미러 회로를 구성하는 단위 트랜지스터(154)와, 트랜지스터(158b2)와 커런트 미러 회로를 구성하는 단위 트랜지스터(154)가 배치되어 있다.

트랜지스터(158b1)는 게이트 배선(153a)으로 접속되어 있다. 트랜지스터(158b2)는 게이트 배선(153b)으로 접속되어 있다. 도 56의 (a)의 가장 위의 1개의 단위 트랜지스터(154)는 LSB(0비트짜)이고, 2단째의 2개의 단위 트랜지스터(154)는 1비트짜, 3단째의 4개의 단위 트랜지스터(154)는 2비트짜이다. 또한, 4단째의 조의 8개의 단위 트랜지스터(154)는 3비트짜이다.

도 56의 (a)에 있어서, 게이트 배선(153a)과 게이트 배선(153b)의 인가 전압을 변화시킴으로써, 각 단위 트랜지스터(154)의 사이즈, 형상이 동일하더라도, 각 단위 트랜지스터(154)의 출력 전류를 게이트 배선(153)의 인가 전압에 따라 변화(변경)할 수 있다.

도 56의 (a)에 있어서, 단위 트랜지스터(154)의 사이즈 등을 동일하게 하고, 게이트 배선(153a, 153b)의 전압을 다르게 하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 단위 트랜지스터(154)의 사이즈 등을 다르게 하고, 인가하는 게이트 배선(153a, 153b)의 전압을 조정함으로써, 서로 다른 형상의 단위 트랜지스터(154)의 출력 전류를 동일하게 되도록 해도 된다.

도 55에서는, 저계조의 비트를 구성하는 단위 트랜지스터(154) 사이즈는, 고계조를 구성하는 단위 트랜지스터(154)보다 작게 했다. 단위 트랜지스터(154)의 사이즈가 작아지면, 출력 변동이 커진다. 이 과제를 해결하기 위해서, 실제로는, 저계조의 단위 트랜지스터(154)는 채널 길이 L을 고계조보다 크게 하여, 단위 트랜지스터(154)의 면적을 작아지지 않도록 하여 변동을 억제하고 있다.

도 57에 도시하는 바와 같이, 저계조 영역 A의 범위의 단위 트랜지스터(154)의 사이즈와, 고계조 영역 B의 범위의 단위 트랜지스터(154)의 사이즈를 다르게 하면 출력 변동은 2의 곡선이 조합된 것으로 된다. 그러나, 실용상은 문제없다. 반대로, 저계조부의 단위 트랜지스터(154)의 사이즈를 고계조부의 단위 트랜지스터(154)의 사이즈보다 크게 함으로써, 단위 트랜지스터(154)당의 출력 변동을 작게 할 수 있어 바람직하다.

도 56과 같이 구성하면, 저계조와 고계조의 단위 트랜지스터(154)의 사이즈에 상관없이, 게이트 배선(153)에의 인가 전압 조정에 의해, 단위 트랜지스터(154)의 출력 전류를 동일하게 할 수 있다.

본 발명에 있어서, 게이트 배선(153)은 (153a)와 (153b)의 2종류로서 설명하고 있지만, 이것에 한정되는 것은 아니다. 3종류 이상이어도 된다. 또한, 단위 트랜지스터(154)의 형상 등도 3종류 이상이어도 된다.

도 56의 (b)는 단위 트랜지스터(154)의 사이즈를 동일하게 하고, 2개의 게이트 배선(153)으로 구성된 실시예이다. 도 56의 (b)의 가장 위의 2개의 단위 트랜지스터(154)는 LSB(0비트짜)이고, 2단째의 4개의 단위 트랜지스터(154)는 1비트짜, 3단째의 8개의 단위 트랜지스터(154)의 조는 2비트짜이다. 또한, 게이트 배선(153b)에 접속된 4조째의 8개의 단위 트랜지스터(154)는 3비트짜이다.

도 56의 (b)에 있어서도, 게이트 배선(153a)과 게이트 배선(153b)의 인가 전압을 변화시킴으로써, 각 단위 트랜지스터(154)의 사이즈, 형상이 동일하더라도, 각 단위 트랜지스터(154)의 출력 전류를 게이트 배선(153)의 인가 전압에 따라 변화(변경)시킬 수 있다.

도 56의 (b)에서는 저계조부에 해당하는 게이트 배선(153a)에 접속된 단위 트랜지스터(154a)의 1개의 출력 전류는, 고계조부에 해당하는 게이트 배선(153b)에 접속된 단위 트랜지스터(154)의 출력 전류의 1/2로 되도록 구성하고 있다. 단위 트랜지스터(154a)와 단위 트랜지스터(154)는 동일 형상으로 하고 있다.

단위 트랜지스터(154a)의 출력 전류를 단위 트랜지스터(154)의 1/2로 하기 위해서 게이트 배선(153a)에 인가하는 전압을 게이트 배선(153b)보다 낮게 하고 있다. 게이트 배선(153)에 인가하는 전압을 조정함으로써 단위 트랜지스터(154a)와 단위 트랜지스터(154)의 형상이 대략 동일하더라도 출력 전류를 변화 혹은 조정할 수 있다.

또한, 도 56의 실시예에 있어서, 게이트 배선(153)의 인가 전압을 변화시키는 것으로서 설명을 했다. 게이트 배선(153)의 인가 전압은 소스 드라이버 회로(IC)(14)의 외부로부터 인가할 수도 있는 것은 물론이다. 그러나, 일반적으로는 단위 트랜지스터(154)와 커런트 미러 페어(pair)를 이루는 트랜지스터(158b)(트랜지스터군(431b))의 구성 혹은 사이즈를 변화 혹은 설계 혹은 구성함으로써, 게이트 배선(153)의 전압을 조정 혹은 변경할 수 있다. 또한, 단위 트랜지스터(154)와 커런트 미러 페어를 이루는 트랜지스터(158b)(트랜지스터군(431b))에 흐르는 전류 I_c 를 변경 혹은 조정할 수 있는 것은 물론이다.

도 58은, 고계조측의 단위 트랜지스터(154a)(D2, D3, D4……)는 2의 승수개를 배치하고 있다. 한편, 저계조측의 단위 트랜지스터(154b)(D1, D2)도 2의 승수개를 배치하고 있다. 또한, 이상의 2의 승수개인 것은, 단위 트랜지스터로 구성되어 있는 경우이다. 단위 트랜지스터가 서브 트랜지스터로 구성되어 있는 경우에는, 제작하는 서브 트랜지스터의 개수는 정수 배로 된다.

단위 트랜지스터(154a)와 단위 트랜지스터(154b)의 단위 출력 전류는 다르게 하고 있다(단위 트랜지스터(154b)의 단위 전류 쪽이, 단위 트랜지스터(154a)보다 작다. 예를 들면, 단위 트랜지스터의 W를 저계조측 쪽을 좁게 하고 있다). 저계조측도 고계조측의 단위 트랜지스터(154)도 공통의 게이트 배선(153)으로 접속되어 있고, 커런트 미러 회로를 구성하는 트랜지스터(158b)에 흐르는 기준 전류 I_c 에 의해 제어된다.

도 59는, 고계조측의 단위 트랜지스터(154a)(D2, D3, D4……)는 2의 승수개를 배치하고 있다. 한편, 저계조측의 단위 트랜지스터(154b)(D1, D2)도 2의 승수개를 배치하고 있다. 고계조측의 단위 트랜지스터(154a)는 트랜지스터(158bh)와 커런트 미러 회로를 구성하고 있다. 또한, 트랜지스터(158bh)에 흐르는 기준 전류는 I_{ch} 이다. 한편, 저계조측의 단위 트랜지스터(154b)는 트랜지스터(158b1)와 커런트 미러 회로를 구성하고 있다. 또한, 트랜지스터(158b1)에 흐르는 기준 전류는 I_{c1} 이다.

이상과 같이 구성함으로써, 단위 트랜지스터(154a)와 단위 트랜지스터(154b)의 단위 출력 전류는 다르게 하고 있다((154b)의 단위 전류의 쪽이, (154a)보다 작다). 저계조측과 고계조측의 단위 트랜지스터(154)는 다른 게이트 배선(153)에 의해 접속되어 있다.

이상과 같이, 본 발명에서는 다수의 변형 실시예가 있다. 예를 들면, 도 58과 도 59와의 조합도 예시된다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 또한, 일부의 단위 트랜지스터(154)를 크게 해도 되고, 또한 작게 해도 된다.

단위 트랜지스터군(431c)을 구성하는 단위 트랜지스터(154), 트랜지스터군(431b)을 구성하는 트랜지스터(158b)는, N 채널 트랜지스터로 구성(형성)하는 것이 바람직하다. 이것은, N 채널 트랜지스터는, P 채널 트랜지스터와 비교하여 단위 트랜지스터 면적당에 대한 출력 변동이 작기 때문이다. 따라서, 단위 트랜지스터(154) 등을 N 채널로 구성함으로써, 소스 드라이버 IC 사이즈를 작게 할 수 있다.

또한, 단위 트랜지스터(154)를 N 채널로 형성하는 것은, 소스 드라이버 IC(14)를 싱크 타입(흡입 전류 방식)으로 하는 것으로 된다. 따라서, 화소(16)의 구동용 트랜지스터(11a)는 P 채널 트랜지스터로 구성하는 것이 바람직하다.

도 159의 그래프는 P 채널 트랜지스터와 N 채널 트랜지스터의 사이즈(WL)를 동일하게 하고, 출력 전류를 동일하게 한 경우의 출력 변동을 나타내고 있다. 횡축은, 1출력을 구성하는 트랜지스터군(431c)의 총 면적 S_c 의 면적비이다. 면적 S_c 가 커질수록, 출력 변동은 작아진다.

종축은, 출력 변동의 비를 나타내고 있다. 도 159에서는, N 채널 트랜지스터의 총 면적 S_c 가 1일 때의 출력 변동을 1로 하고 있다.

도 159에 도시하는 바와 같이, N 채널 트랜지스터의 총 면적 S_c 가 4배로 되면 출력 변동은 0.5로 된다. N 채널 트랜지스터의 총 면적 S_c 가 8배로 되면 출력 변동은 0.25로 된다. 즉, 본 발명의 결과로부터 출력 변동은 $1/\sqrt{S_c}$ 에 비례한다.

N 채널 트랜지스터의 총 면적 S_c 와 P 채널 트랜지스터의 총 면적 S_c 가 동일할 때, 출력 변동은 1.4배로 된다. P 채널 트랜지스터의 총 면적 S_c 가 N 채널 트랜지스터의 총 면적 S_c 의 2배일 때, 출력 변동은 동일하게 된다. 즉, 출력 변동은, N 채널 트랜지스터의 총 면적 $S_c/2=P$ 채널 트랜지스터의 총 면적 S_c 의 관계가 있다.

이상의 결과로부터 단위 트랜지스터군(431c)을 구성하는 단위 트랜지스터(154), 트랜지스터군(431b)을 구성하는 트랜지스터(158b)는, N 채널 트랜지스터로 구성(형성)하는 것이 바람직하다.

출력단은 단위 트랜지스터(154) 등으로 형성하고, 트랜지스터군(431c)과 트랜지스터(158b) 혹은 트랜지스터(158b)로 구성되는 트랜지스터군은, 커런트 미러 회로를 구성한다. 트랜지스터(154c)와 트랜지스터(158b)를 근접시킴으로써, 커런트 미러비는 대략 일정값으로 된다. 그러나, 변동의 범위에서 변동하는 경우가 있다. 이 경우에는, 도 160에 도시하는 바와 같이, 트리밍(레이저 트리밍, 샌드 블러스트 트리밍 등)에 의해, 트랜지스터(158b) 등을 분리하여 소정 범위 내의 커런트 미러비로 조정하는 것이 유효하다.

트리밍은 도 160의 A점에 실시하고, 트랜지스터(158b2)를 분리하는 것에 의해 실시한다. 트랜지스터(158b)를 많이 형성하고, 이 복수의 트랜지스터(158b) 중, 1개 이상을 정하여 흘리는 것에 의해 커런트 미러비를 높게 할 수 있다.

또한, 바람직하게는, 도 161에 도시하는 바와 같이, 배선(153)의 양측에 트랜지스터(158b)를 형성 또는 배치한다. 트리밍 점, A1 또는 A2를 컷함으로써, IC 칩의 출력 단자(155a와 155n)로부터의 출력 전류의 차를 균일화시킨다.

각 출력단의 트랜지스터(431c)의 출력 변동을 조정하기 위해서는, 도 162와 같이 구성하는 것도 유효하다. 도 162에서는 각 출력 트랜지스터군(431c)(트랜지스터군에 한정되는 것은 아니다. 전류 출력 회로이면 어떠한 구성이어도 된다)과 게이트 배선(153) 사이에, 고저항(1623)을 형성 또는 배치하고 있다. 고저항이기 때문에, 출력단으로부터의 출력 전류가 미소하더라도, 저항(1623)에 의해 전압 강하한다. 전압 강하에 의해 출력 전류를 변화시킬 수 있다.

저항(1623)의 트리밍은, 트리밍 장치(1621)로부터의 레이저 광(1622)으로 행한다. 저항(1623)을 트리밍하여 고저항값으로 조정한다.

또한, 본 발명의 실시예에서는 트랜지스터군(431c)은 단위 트랜지스터(154)로 구성하는 것으로 했지만, 이것에 한정되는 것은 없다. 단체 트랜지스터로 구성해도 되고, 전류 유지 회로(후에 설명함)로 구성해도 된다. 또한, 전압-전류 변환(V-I 변환) 회로라도 된다. 즉, 본 명세서에서는 출력단은 트랜지스터군(431c)으로 구성하는 것으로 설명하지만, 이것에 한정되는 것은 아니고, 전류 출력 회로이면 어떠한 구성이어도 된다.

도 163은, 트랜지스터(157b)와 복수의 트랜지스터(158a)로 커런트 미러 회로를 구성하고, 트랜지스터(158a)와 트랜지스터(158b)로 커런트 미러 회로를 구성하고 있다. 또한, 트랜지스터(158b)와 트랜지스터(431c)와도 커런트 미러 회로를 구성하고 있다.

이상의 도 163과 같은 구성도 본 발명의 범주이다. 트리밍에 의한 조정은, 각 출력단의 트랜지스터(158b) 또는 트랜지스터군(431c)에 실시하면 된다.

다른 구성으로서, 도 164의 구성도 예시된다. 도 164는 본 발명의 소스 드라이버 IC의 출력단을 개념적으로 도시한 것이다. 기준 전압(혹은 IC(회로)(14) 전원 전압) V_s 와 외부 부하 저항 R_a , R_b 에 의해 게이트 배선(153a)의 전위가 결정된다(조정된다).

각 출력단은 저항 R_n 과 트랜지스터(158a, 158b)로 전류 회로가 구성된다. 이 전류 회로에 흐르는 전류는 저항 R_n 에 의해 결정된다. 트랜지스터(158b)와 트랜지스터군(431c)은 커런트 미러 회로를 구성한다. 트랜지스터군(431c)의 출력 단자(155)로부터 출력되는 전류는 저항 R_n 을 트리밍함으로써 행해진다. 저항 R_n 을 레이저 트리밍함으로써, 커런트 미러 회로(트랜지스터(158b)와 트랜지스터군(431c))에 흐르는 전류를 조정할 수 있다. 또한, 물론, 트랜지스터(158a, 158b)부는 트랜지스터군을 구성해도 된다.

IC 칩의 좌우의 출력 전류의 기울기를 조정하기(출력 단자(155a~155n)를 동일하게 한다. 즉, 출력 변동이 없도록 함) 위해서는, 도 165의 구성도 유효하다. 트랜지스터(158b)의 전류 I_{c1} 경로에 저항 R_a , 트랜지스터(158b)의 전류 I_{c2} 경로에 저항 R_b 를 배치하고 있다. 저항 R_a , R_b 는 내장, 외부 부하 중 어느 것이어도 된다. R_a 또는 R_b , 혹은 R_a 와 R_b 의 양쪽을 트

리밍함으로써, 게이트 배선(153)에 흐르는 전류 I_d 가 변화한다. 따라서, 게이트 배선(153)의 전압 강하에 의해, 출력단(431)의 단위 트랜지스터(154)의 게이트 신호선의 전위가 변화한다. 따라서, 출력단(431a~431n)의 출력 전류의 경사 분포를 보정할 수 있다.

트리밍의 개념에는, 볼륨도 포함된다. 예를 들면, 도 165에 있어서, 저항 R_a 와 R_b 를 볼륨으로 형성하고(배치하고), 볼륨을 조정함으로써, 전류 I_d 의 크기를 조정할 수 있다. 또한, 저항이 확산 저항인 경우에는 가열에 의해 저항값을 조정 혹은 변화시킬 수 있다. 예를 들면, 저항에 레이저 광을 조사하고, 가열함으로써 저항값을 변화시킬 수 있다. 또한, IC 칩을 전체적으로 혹은 부분적으로 가열함으로써 IC 칩 내에 형성 또는 구성된 저항값을 전체적으로 혹은 일부의 저항의 저항값을 조정 혹은 변화시킬 수 있다.

이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 또한, 트리밍이라 함은, 저항값을 변화시키는 소자 트리밍 혹은 기능을 변화시키는 기능 트리밍, 트랜지스터 등의 소자를 배선으로부터 분리하는 절단 트리밍, 1개의 저항 소자를 복수로 분할하는 분할 트리밍, 비 접속 개소에 레이저 광을 조사함으로써 단락시켜 접속하는 트리밍, 볼륨 등의 저항값을 조정하는 조정 트리밍도 포함된다. 또한, 트랜지스터이면, S값을 변화시키는 것, μ 를 변화시키는 것, WL비를 변화시켜 출력 전류의 크기를 변화시키는 것, 상승 전압 위치를 변경하는 것 등이 예시된다. 그 밖에, 발진 주파수를 변화시키는 것, 컷오프 위치를 변화시키는 것도 포함된다. 즉, 트리밍이라 함은 가공, 조정, 변경의 개념이다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

다른 구성으로서, 도 166의 구성도 예시된다. 도 166은 본 발명의 소스 드라이버 IC의 출력단을 개념적으로 도시한 것이다. 전자 볼륨 회로(501)와 오피 앰프(502)에 의해서, 게이트 배선(152a)의 전위가 결정(조정)된다. 오피 앰프(502), 저항 R_1 , 트랜지스터(158a)로 정전류 회로가 구성되어 있다. 저항 R_1 에는 기준 전류 I_c 가 흐른다. R_1 에 흐르는 전류값은, 오피 앰프(502)의 양극 단자 인가 전압과, 저항값 R_1 의 값에 의해서 결정된다.

따라서, 저항 R_1 을 트리밍함으로써, 기준 전류 I_c 의 크기를 변화시킬 수 있다. 변화에 의해 출력 단자(155)로부터의 출력 전류의 크기를 변경 혹은 조정할 수 있다. 저항 R_1 은 외부 부착 저항으로 하고, 볼륨으로 해도 된다. 또한, 전자 볼륨 회로로 해도 된다. 또한, 아날로그적으로 입력해도 된다.

오피 앰프(502)로부터의 출력 전압은 복수의 트랜지스터(158a)의 게이트 단자에 인가되고, 저항 R_1 에 전류 I_c 가 흐른다. 이 전류 I_c 는 분할되어, 트랜지스터(158b)에 흐른다. 이 전류에 의해 게이트 배선(153b)을 소정의 전위로 한다. 게이트 배선(153b)이 복수의 개소에 배치된 트랜지스터(158b)에 의해 전위가 고정된다. 그 때문에, 게이트 배선(153b)에 전위 기울기가 발생하기 어려워, 출력 단자(155)로부터의 출력 변동이 감소한다.

이상의 실시예는, 도 43에 도시하는 바와 같이, 게조 비트에 대응하여 단위 트랜지스터(154)가 형성되고, 온(단자(155)로 전류를 출력함)하는 단위 트랜지스터(154)의 개수를 변화시킴으로써 출력 전류를 변화시키는 것이다. 예를 들면, 도 43에서는, D5 비트에는 32개의 단위 트랜지스터(154)가 배치되어 있고, D0 비트에는 1개의 단위 트랜지스터(154)가 배치(형성)되어 있고, D1 비트에는 2개의 단위 트랜지스터(154)가 배치(형성)되어 있다.

그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 167에 도시하는 바와 같이, 각 비트를 크기가 서로 다른 트랜지스터로 구성해도 된다. 도 167에 있어서, 트랜지스터(154b)는 트랜지스터(154a)의 대략 2배의 전류를 출력하고, 트랜지스터(154f)는 트랜지스터(154e)의 대략 2배의 전류를 출력한다. 이상과 같이, 본 발명은 출력단(431c)가 단위 트랜지스터(154)로 구성되어 있는 것에 한정되는 것은 아니다.

도 165는 게이트 배선(153)의 양단을 트랜지스터(158b)에 의해 유지하는 구성이고, 도 166은 게이트 배선(153)의 복수의 트랜지스터(158b)에 의해 전위를 유지하는 구성이다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 168에 도시하는 바와 같이, 게이트 배선(153)의 일단을 트랜지스터(1681)에 의해 유지하고, 트랜지스터(1681)에 흐르는 전류 I_d 로 게이트 배선(153)의 전위 기울기를 조정해도 된다. 트랜지스터(1681)는 게이트 단자에 접속된 저항 R_a 와 R_b 의 분압 전압으로 흐르는 전류가 조정된다. 저항 R_b 는 볼륨으로 구성하거나, 트리밍에 의해 저항값을 조정한다. 기본적으로는, 트랜지스터(1681)에 흐르는 전류는 미소하다.

그러나, 특수한 동작 방법으로서, 트랜지스터(1681)를 완전하게 함으로써, 게이트 배선(153)의 전위를 접지 전압 근처로 저하시키는 방법이 예시된다. 게이트 배선(153)을 접지 전압 근처로 저하시킴으로써 트랜지스터군(431c)의 단위 트랜지스터(154)를 오프 상태로 할 수 있다. 즉, 트랜지스터(1681)의 동작에 의해, 출력 단자(155)의 출력 전류를 온 오프 제어할 수 있다.

이상의 실시예에서는, 트랜지스터(158, 154 등)를 트리밍 혹은 조정함으로써 출력 전류 등을 변화 혹은 변경 혹은 조정하는 것으로 했다. 조정하는 등의 트랜지스터는 구체적으로는 도 169에 도시하는 바와 같이 구성하는 것이 바람직하다. 도 169는 조정하는 등의 트랜지스터(1694)의 구성을 개념적으로 도시한 것이다. 트랜지스터(1694)는 게이트 단자(1692), 소스 단자(1691), 드레인 단자(1693)로 구성된다. 드레인 단자(1693)는 트리밍하기 쉽도록, 복수로 분할되어 있다(드레인 단자(1693a, 1693b, 1693c……)). 도 169의 (a)의 A선으로 컷함으로써, 드레인 단자(1693e)는 컷되어, 트랜지스터(1694)의 출력 전류를 감소시킬 수 있다.

도 169의 (b)는 드레인 단자(1693)의 트리밍하는 간격을 변화시킨 것이다. 감소시키는 전류의 크기에 따라서, 1개소 이상의 드레인 단자(1693)를 트리밍하여, 출력 전류를 조정한다. 도 169의 (b)에서는 B선의 개소와 트리밍하고 있다.

도 170은 도 169의 변형예이다. 도 170의 (a)는 게이트 단자(1692)를 (1692a)와 (1692b)로 분할한 예이다. 또한, 도 170의 (b)는 드레인 단자(1693)와 소스 단자(1691)에 트리밍 개소(C선, D선)를 마련한 실시예이다.

도 169, 도 170 등의 트리밍 방식은 특히, 캐스캐이드 접속을 담당하는 소자(트랜지스터 등)에 대하여 실시하면 효과가 있다. 캐스캐이드 접속에 의해 교체하는 전류의 크기를 트리밍에 의해 조정할 수 있기 때문에, 양호한 캐스캐이드 접속을 실현할 수 있기 때문이다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있다.

또한, 이상의 실시예에서는, 드레인 단자(1693) 혹은 소스 단자(1691)를 1개소 혹은 복수 개소를 트리밍하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 게이트 단자(1692)를 트리밍해도 된다. 또한, 트리밍에만 한정되는 것은 아니고, 트랜지스터(1694)의 반도체막에, 레이저 광 혹은 열적 에너지를 조사하여, 트랜지스터(1694)를 열화시킴으로써, 출력 전류 등을 조정해도 되는 것은 물론이다. 또한, 도 169, 도 170 등의 실시예는 트랜지스터에만 한정되는 것은 아니고, 다이오드, 수정, 사이리스터, 컨덴서, 저항 등에 적용해도 되는 것은 물론이다.

또한, 도 167에 도시하는 바와 같이, 각 비트에서 트랜지스터 사이즈가 서로 다른 경우(비트의 크기에 비례하는 경우 등)는, 트리밍하는 길이(드레인 등의 길이)도 비트의 크기에 비례하도록 구성하는 것이 바람직하다. 이 실시예를 도 175의 (a), (b), (c)에 도시하고 있다.

도 175의 (a), (b), (c)에서는, 도 175의 (a)가 하위 비트이고, 도 175의 (c)가 상위 비트이다. 또한, 도 175의 (b)가 도 175의 (a)와 도 175의 (c)의 중간 비트의 상태(구성)이다. 하위 비트의 트리밍 길이 A는, 상위 비트의 트리밍 길이 C보다 짧게 되도록 구성하고 있다. 트리밍 길이는, 트랜지스터의 전류 변화량에 비례한다. 따라서, 상위 비트의 트랜지스터 쪽이 트리밍 변화량은 크게 되도록 구성하고 있다. 이상과 같이, 본 발명은 트랜지스터의 크기, 비트 위치 등에 따라서 변화시켜도 되는 것은 물론이다. 즉, 각 비트에서 균일하게 하는 것에 한정되는 것은 아니다.

도 43은, 각 비트에 필요 수의 단위 트랜지스터(154)를 형성 또는 배치한 예이다. 그러나, 단위 트랜지스터(154)는 형성 변동이 있다. 그 때문에, 출력 단자(155)로부터의 출력은 변동된다. 이 변동을 저감하기 위해서는, 각 비트의 출력 전류를 조정할 필요가 있다. 출력 전류의 조정에는, 미리 여분의 단위 트랜지스터(154)를 형성해 놓고, 이 여분의 단위 트랜지스터(154)를 출력 단자(155)로부터 절단함으로써 조정하면 된다. 또한, 여분의 단위 트랜지스터(154)는 다른 단위 트랜지스터(154)와 동일 사이즈로 할 필요는 없다. 여분의 단위 트랜지스터(154)는 작게 형성(분담하는 출력 전류를 작게)하는 것이 바람직하다.

도 171은 상기 설명한 실시예이다. D0 비트에는 3개의 단위 트랜지스터(154)가 형성되어 있다. 3개 중, 1개가 정규의 단위 트랜지스터(154)이고, 다른 2개가 트리밍에 의해 조정되고, 필요가 있을 때에는, 분리되는 단위 트랜지스터(154)(단위 트랜지스터(154)라고 하기보다는 조정용 트랜지스터이다)이다.

마찬가지로, D1비트에는 4개의 단위 트랜지스터(154)가 형성되어 있다. 4개 중, 2개가 정규의 단위 트랜지스터(154)이고, 다른 2개가 트리밍에 의해 조정되고, 필요가 있을 때에는, 분리되는 단위 트랜지스터(154)(단위 트랜지스터(154)라고 하기보다는 조정용 트랜지스터이다)이다. 또한, 마찬가지로, D2 비트에는 8개의 단위 트랜지스터(154)가 형성되어 있다. 8개 중, 4개가 정규의 단위 트랜지스터(154)이고, 다른 4개가 트리밍에 의해 조정되고, 필요가 있을 때에는, 분리되는 단위 트랜지스터(154)(단위 트랜지스터(154)라고 부르기보다는 조정용 트랜지스터이다)이다.

이상과 같이 조정용 트랜지스터(154)(도 171에서 B로 나타냄)는 출력 전류를 조정하기 위해 트리밍 등이 실시된다. B로 나타내는 트랜지스터는 A의 화살표가 나타내는 라인 상에 배치되어 있다. 따라서, 레이저 광 등으로 스캔할 때에, 스캔 방향을 한 방향으로 이동시킬 뿐으로 조정용 트랜지스터를 트리밍할 수 있다. 따라서, 고속 트리밍을 실행할 수 있다.

이상의 실시예는, 출력단이 단위 트랜지스터(154) 등으로 구성된 실시예이다. 그러나, 트리밍 등에 의해 출력 전류를 조정하는 방법 등은, 본 발명은 이것에 한정되는 것이 아니다. 도 172에 도시하는 바와 같이, 각 출력 단자(155)에 접속되는 출력단을 오피 앰프(502)와 트랜지스터(158b) 및 저항 R1로 형성한 실시예에도 적용할 수 있다.

도 172에서 도시하는 각 출력단은, 오피 앰프(502)와 트랜지스터(158b) 및 저항 R1로 전류 회로를 구성하고 있다. 전류의 크기는 저항 R1로 조정되고, 조정은, 회로(862)로부터 출력되는 계조 전압에 의해 표현된다.

도 172에서 도시하는 각 출력단은, 레이저 장치(1621) 등에 의해 레이저 광(1622) 등이 조사되어 트리밍된다. 각 출력단에 대응하는 저항 R1을 순차적으로 트리밍해 감에 따라, 출력 전류의 변동이 발생하지 않도록 할 수 있다.

또한, 도 172에서는, 회로(862)로부터 출력되는 아날로그 전압으로 출력 전류가 결정된다. 단, 본 발명은 이것에 한정되는 것은 아니고, 도 174에 도시하는 바와 같이, 디지털 8비트의 디지털 데이터를 DA 회로(661)에 의해 아날로그 전압으로 변환하고, 오피 앰프(502a)에 인가해도 되는 것은 물론이다.

또한, 도 209에 도시하는 바와 같이, 출력단은, 영상 데이터에 대응하는 전류 I_c 를 흘리는 트랜지스터(158b)와 1:1로 구성되는 트랜지스터(154)로 이루어지는 커런트 미러 회로로 구성해도 된다. 각 출력단에는, DA 회로(501)와 오피 앰프(502), 내장 저항 R1, 트랜지스터(158a) 등으로 이루어지는 전류 회로가 구성되어 있다. 저항 R1에 트리밍 등을 실시함으로써 출력 변동은 매우 작게 할 수 있다.

도 210은 도 209와 유사한 구성이다. 샘플링 회로(862)로부터 영상 데이터에 대응하는 전류 I_c 가 트랜지스터(158b)에 공급된다. 트랜지스터(158b)와 트랜지스터(154)는 N배의 커런트 미러 회로를 구성하고 있다.

도 172는 저항 R1을 필요에 따라 순차적으로 트리밍하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 173에 도시하는 바와 같이 출력단(431c)을 필요에 따라 트리밍해도 되는 것은 물론이다. 트리밍의 필요도의 판단은, 단자(155)를 검사용의 단자(1734) 등에 접속시키고, 선택 스위치(1731), 공통선(1732)을 통하여 전류계(전류 측정 수단)(1733)에 접속한다. 선택 스위치(1731)은 순차적으로 온하고, 출력단(431c)로부터의 전류를 전류계(1733)에 인가한다. 트리밍 수단(1632)은 전류계(1733)의 측정 전류값에 기초하여, 단위 트랜지스터, 저항 등을 트리밍하여 소정값으로 조정한다.

이상의 실시예는, 전류의 출력단 등을 트리밍하여 출력 전류 변동 등을 변경 혹은 조정하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 176에 도시하는 바와 같이 기준 전류를 발생 혹은 소정값으로 하는 저항 R_a , R_b 등을 트리밍함으로써, 기준 전류 I_c 를 조정하고, 출력 전류를 변화 혹은 조정해도 되는 것은 물론이다.

도 60 등의 회로 구성에서는 화이트 밸런스 조정이 용이하다. 우선, RGB의 전자 볼륨(501)을 동일한 설정값으로 조정한다. 다음으로, 외부 부착 저항 R_{1r} , R_{1g} , R_{1b} 를 조정하여 화이트 밸런스를 조정한다.

소스 드라이버 회로(IC)(14)에서는, 어느 하나의 전자 볼륨의 설정값으로 화이트 밸런스를 취하면 전자 볼륨(501)의 값을 동일하게 하면 화이트 밸런스를 유지한 채로, 표시 화면(144)의 휘도 조정을 행할 수 있다고 하는 특징이 있다. 또한, 601은 기준 전류 회로이다.

도 60은, 트랜지스터군(431c)의 양측으로부터 급전하는 구성이지만, 상기 사항은 이것에 한정되는 것은 아니다. 도 61에 도시하는 바와 같이, 한쪽 급전 구성이어도 마찬가지이다. 우선, R, G, B의 전자 볼륨(501)이 동일한 설정값으로, 외부 부착 저항 R_{1r} , R_{1g} , R_{1b} 를 조정하여 화이트 밸런스를 취한다. 일반적으로, R 회로의 I_{cr} , G 회로의 I_{cg} , B 회로의 I_{cb} 를 각 RGB의 EL 소자의 발광 효율을 고려하여 소정의 비율로 함으로써 화이트 밸런스를 취한다.

소스 드라이버 회로(IC)(14)에서는, 어느 하나의 전자 볼륨의 설정값으로 화이트 밸런스를 취하면 전자 볼륨(501)의 값을 동일하게 하면 화이트 밸런스를 유지한 채로, 표시 화면(144)의 휘도 조정을 행할 수 있다고 하는 특징이 있다. 또한, RGB의 전자 볼륨은, R, G, B 독립으로 형성 또는 배치하는 것이 바람직하지만, 이것에 한정되는 것은 아니다. 예를 들면, R, G, B에서 1개의 전자 볼륨(501)으로도 화이트 밸런스를 유지한 채로 화면 휘도를 조정하는 것이 가능하다.

본 발명에서는, 소스 드라이버 회로(IC)(14)의 내부에 전자 볼륨을 형성 또는 배치하는 것에 의해, 소스 드라이버 회로(IC)(14)의 외부로부터의 디지털 데이터 제어에 의해 기준 전류를 가변 혹은 변경할 수 있다. 이 사항은, 전류 구동 드라이버에 있어서 중요한 사항이다. 전류 구동에서는, 영상 데이터가 EL 소자(15)에 흐르는 전류에 비례한다. 따라서, 영상 데이터를

로직 처리함으로써 전체 EL 소자에 흐르는 전류를 제어할 수 있다. 기준 전류도 EL 소자(15)에 흐르는 전류에 비례하므로, 기준 전류를 디지털 제어함으로써, 전체 EL 소자(15)에 흐르는 전류를 제어할 수 있다. 이상의 점으로부터, 영상 데이터에 기초하여, 기준 전류 제어를 실시함으로써, 표시 회로의 다이내믹 범위의 확대 등을 용이하게 실현할 수 있다.

기준 전류를 변경 혹은 변화시킴으로써, 단위 트랜지스터(154)의 출력 전류를 변화시킬 수 있다. 예를 들면, 기준 전류 I_c 가 $100\mu A$ 일 때에, 1개의 단위 트랜지스터(154)가 온 상태에서의 출력 전류가 $1\mu A$ 인 것으로 한다. 이 상태에서, 기준 전류 I_c 를 $50\mu A$ 로 하면, 1개의 단위 트랜지스터(154)의 출력 전류는 $0.5\mu A$ 로 된다. 마찬가지로, 기준 전류 I_c 를 $200\mu A$ 로 하면, 1개의 단위 트랜지스터(154)의 출력 전류는 $2.0\mu A$ 로 된다. 즉, 기준 전류 I_c 와 단위 트랜지스터(154)의 출력 전류 I_d 는 비례 관계를 만족시키는 것이 바람직하다(도 62의 실선 a를 참조할 것).

기준 전류 I_c 를 설정하는 설정 데이터와 기준 전류 I_c 는 비례 관계로 되도록 구성하는 것이 바람직하다. 예를 들면, 설정 데이터가 1일 때, 기준 전류 I_c 가 $100\mu A$ 인 것으로 하고, 이것을 기저(基底)로 하면, 설정 데이터가 100일 때, 기준 전류 I_c 가 $200\mu A$ 로 되도록 한다. 즉, 설정 데이터가 1 증가하면, 기준 전류 I_c 가 $1\mu A$ 증가하도록 구성하는 것이 바람직하다.

이상과 같이 구성함으로써, 전자 볼륨(501)의 설정 데이터에 의해, RGB의 기준 전류(I_{cr} , I_{cg} , I_{cb})는 선형 관계를 유지한 채로 변화할 수 있다. 따라서, 선형 관계를 유지하고 있기 때문에, 어떠한 설정 데이터일 때에, 화이트 밸런스를 조정하면, 어떤 설정 데이터일 때라도 화이트 밸런스가 유지된다. 이 구성에 있어서, 앞서 설명한 외부 부착 저항 $R1r$, $R1g$, $R1b$ 를 조정하여 화이트 밸런스를 구성하는 것은 중요성이 있다(특징있는 구성이다).

이상의 실시예에서는, 외부 부착 저항으로 화이트 밸런스를 조정하는 것으로 했지만, 저항 $R1$ 은 IC 칩에 내장시켜도 되는 것은 물론이다.

또한, 도 63에 도시하는 바와 같이, 저항값을 조정 혹은 제어하는 스위치 S를 부가해도 된다. 예를 들면, 도 63의 (a)는 스위치 S1의 선택에 의해 외부 부착 저항은 $R1$ 로 된다. 또한, 스위치 S2의 선택에 의해, 외부 부착 저항은 $R2$ 로 된다. 또한, 스위치 S1과 S2의 양쪽의 선택에 의해, 외부 부착 저항은 $R1$ 과 $R2$ 를 병렬로 접속한 저항값으로 된다.

도 63의 (b)는 직렬로 저항 $R1$ 과 $R2$ 를 접속하고, 스위치 S의 제어에 의해 외부 부착 저항을 $R1+R2$ 로 하거나, $R1$ 로 하거나 할 수 있도록 구성한 것이다.

도 63과 같이 구성함으로써, 기준 전류 I_c 의 변화 범위를 확대할 수 있다. 즉, 전자 볼륨(501)의 설정 데이터뿐만 아니라, 스위치 S의 제어에 의해 기준 전류를 조정할 수 있기 때문이다. 따라서, 본 발명의 EL 표시 패널의 휘도 조정 범위(다이내믹 범위)를 확대할 수 있다.

본 발명에 있어서, 전자 볼륨(501)의 1스텝 변화에 의한 기준 전류의 변화는 3% 정도로 하고 있다. 예를 들면, 기준 전류가 1배에서 3배까지 변화하고, 전자 볼륨의 스텝 수가 6비트의 64스텝이면, $(3-1)/64=0.03$ 으로 되어, 약 3%이다.

1스텝당의 기준 전류의 변화가 크면, 전자 볼륨을 변화시켰을 때의 표시 화면(144)의 휘도 변화가 커서, 변화했을 때에 플리커로서 인식되어 버린다. 반대로, 1스텝당의 기준 전류 변화가 작으면, 표시 화면(144)의 휘도 변화가 작아 휘도 조정의 다이내믹 변화가 부족하게 된다. 또한, 스텝 수를 크게 하는 것은, 전자 볼륨(501) 사이즈를 크게 하는 것에 직결되어, 소스 드라이버 IC(14)의 사이즈가 커져 코스트가 높아진다.

이상의 점으로부터, 1스텝당의 기준 전류의 변화는, 1% 이상 8% 이하의 눈금으로 하는 것이 바람직하다(단, 기저를 기준으로 하고 있다). 나아가서는, 1% 이상 5% 이하의 눈금으로 하는 것이 바람직하다. 예를 들면, 전자 볼륨(501)이 8비트(256 스텝)인 것으로 하고, 기준 전류의 변화가 1배에서 10배까지인 것으로 하면, $(10-1)/256=3.5\%$ 눈금으로 되어, 조건 1% 이상 5% 이하를 만족시키고 있다.

이상의 실시예에서는 1스텝당의 기준 전류의 변화로서 설명했지만, 기준 전류의 변화는, 화면 휘도의 변화이므로, 전자 볼륨(501)의 1스텝당의 표시 화면(144)의 휘도 변화 혹은 애노드(혹은 캐소드) 전류의 변화로서도 바꿔 말할 수 있는 것은 물론이다.

이상의 실시예에 있어서, 도 62의 실선 a로 도시하는 바와 같이, 기준 전류 I_c 와 단위 트랜지스터(154)의 출력 전류 I_d 는 비례 관계를 만족시키는 것이 바람직하다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 62의 점선 b로 나타내는

바와 같이, 비선형(1.8 내지 2.8승의 범위가 바람직하다)으로 해도 된다. 비선형(1.8승 내지 2.8승의 범위가 바람직하다)으로 함으로써, 전자 볼륨(501)의 설계 데이터에 대한 기준 전류의 변화가 사람의 시각 특성의 2승 커브에 근접하기 때문에, 제조 특성이 양호하게 된다.

또한, 이상의 실시예에서는, 전자 볼륨(501)의 설정 데이터로 기준 전류를 변화시키는 것으로 했지만, 이것에 한정되는 것은 아니다. 도 64, 도 65에 도시하는 바와 같이 전압 입출력 단자(643)에 의해 기준 전류를 변화 혹은 조정 혹은 제어해도 되는 것은 물론이다.

도 50, 도 60, 도 61 등의 전자 볼륨(501)의 구성은, 도 64와 같이 구성해도 된다. 도 64에 있어서, 래더 저항(641)(저항 어레이 혹은 트랜지스터 어레이)과 스위치(642)가 전자 볼륨(501)에 대응한다. 또한, 래더 저항(641)은 일정 간격 혹은 소정의 간격 눈금의 전압을 발생하는 수단이면 어느 것이어도 된다. 예를 들면, 트랜지스터를 다이오드 접속해도 되고, 트랜지스터의 온 저항으로 구성 혹은 형성해도 되는 것은 물론이다.

또한, 기준 전류 I_c 를 발생하는 전자 볼륨(501) 혹은 기준 전류 I_c 를 발생하는 수단은, 도 500과 같이 구성하는 것이 바람직하다. 또한, 도 500은 도 65을 예시하여 설명하는 구성이고, 도 65의 구성에 한정되는 것이 아니다. 본 발명의 다른 구성에도 적용할 수 있는 것은 물론이다. 또한, 이후에 설명하는 프리차지 전압 V_{pc} 발생 회로에도 적용할 수 있는 것도 물론이다.

도 500에 도시하는 바와 같이, 전자 볼륨(501) 내에는 소스 드라이버 회로(IC)(14) 내장의 저항 R 이 직렬로 형성 또는 배치되어 있다. 또한, 스위치 $S1$ 과 기준 전압 V_{std} 사이는 내장 저항 R_a 으로 접속시키고 있다. 스위치 S_n 과 접지 전압 GND 사이는 내장 저항 R_b 로 접속되어 있다. 기준 전압 V_{std} 는, 정밀한 고정 전압이다. 따라서, EL 표시 패널의 V_{dd} 전압이 변동해도 V_{std} 전압은 변동하지 않는다. V_{std} 가 변화하면 기준 전류 I_c 가 변동하기 때문에, 이 변동을 방지하여, 표시 패널의 휘도를 일정하게 하기 위해서이다.

이상과 같이, 저항 R_a , 저항 R , 저항 R_b 를 소스 드라이버 회로(IC)(14)의 내장 저항(폴리실리 저항)으로 형성하고 있기 때문에, 저항 R_a , 저항 R , 저항 R_b 의 상대값은 개개의 소스 드라이버 회로(IC)(14)의 폴리실리(폴리실리콘) 저항의 시트 저항값이 변동해도 변동하지 않는다. 따라서, 소스 드라이버 회로(IC)(14)에서는 기준 전류 I_c 의 변동이 발생하지 않는다.

R 의 기준 전류 I_{cr} 은 전자 볼륨(501)의 출력 전압과 저항 R_{1r} 로 결정된다. G 의 기준 전류 I_{cg} 는 전자 볼륨(501)의 출력 전압과 저항 R_{1g} 로 결정된다. B 의 기준 전류 I_{cb} 는 전자 볼륨(501)의 출력 전압과 저항 R_{1b} 로 결정된다. 기준 전압 V_{std} 를 RGB에서 공통으로 하고, 저항 R_{1r} , 저항 R_{1g} , 저항 R_{1b} 에 의해 화이트 밸런스가 조정된다. 또한, 전자 볼륨(501)에는, 내장 저항 R_a , 저항 R , 저항 R_b 의 상대값을 일치시키고, 전자 볼륨(501)의 전압도 V_{std} 로 하고 있다. 따라서, 기준 전류 I_{cr} , I_{cg} , I_{cb} 는 소스 드라이버 회로(IC)(14) 사이에서 정밀도 좋게 일정하게 유지할 수 있다. 기준 전류 I_c 를 변화시키는 IDATA는 컨트롤러 회로(IC)(760)에 의해 제어한다.

저항 R_{1r} , 저항 R_{1g} , 저항 R_{1b} 는 외부 부작 저항 혹은 외부 부작의 가변 저항이다. 또한, 기준 전압 V_{std} 를 이용하지 않는 경우, 혹은 V_{std} 에 해당하는 전압을 변화 혹은 조정하고 싶은 경우에는, 스위치 $SW1$ 로 외부 전압 V_s 를 인가할 수 있도록 구성해 두는 것이 바람직하다. 또한, $S1$ 스위치의 전위를 변화 혹은 변경할 수 있도록, 스위치 $SW2$ 로 외부 전압 V_a 를 인가할 수 있도록 구성하는 것이 바람직하다. 또한, 도 500에는 도시하고 있지 않지만, 스위치 S_n 의 출력 전압도 변경할 수 있도록, 전압 인가 단자를 소스 드라이버 회로(IC)(14) 외부로 인출해 두는 것이 바람직하다.

여기서, 주로 도 501을 참조하면서, 적색의 화소에 인가하는 기준 전류 I_{cr} 의 크기를 규정하는 트랜지스터(158ar)와, 녹색의 화소에 인가하는 기준 전류 I_{cg} 의 크기를 규정하는 트랜지스터(158ag)와, 청색의 화소에 인가하는 기준 전류 I_{cb} 의 크기를 규정하는 트랜지스터(158ab)와, 트랜지스터(158ar)와 트랜지스터(158ag)와 트랜지스터(158ab)를 제어하는 제어 수단(501)(501a, 501b)을 구비하고, 제어 수단(501)(501a, 501b)은, 기준 전류 I_{cr} 과 기준 전류 I_{cg} 와 기준 전류 I_{cb} 의 크기를 비례하여 변화시키는, 소스 드라이버 회로(IC)(14)와 이 소스 드라이버 회로(IC)(14)를 이용한 EL 표시 장치(EL 표시 패널)에 대하여 설명한다.

기준 전압 V_{std} 도 도 501에 도시하는 바와 같이, DA 변환 회로(501b)에 인가하는 데이터에 의해, 변경 혹은 가변할 수 있도록 구성하는 것이 바람직하다. 또한, 도 502에 도시하는 바와 같이, 트랜지스터(158)와 오피 앰프로 이루어지는 정전류 회로에서 전류 I_r 를 발생하고, 이 전류 I_r 를 전자 볼륨(501)의 내장 저항 R 에 흘려, b 단자로부터 출력되는 전압을 변화시킬 수 있도록 구성해도 된다.

이상의 래더 저항(641)과 스위치 회로(642) 등으로 이루어지는 구성, 방식 혹은 전압 입출력 단자(643)의 구성, 방식 등은, 도 75 등의 프리차지 구성에 적용할 수 있는 것은 물론이다. 또한, 도 146, 도 147 등의 컬러 매니지먼트 처리 구성에도 적용할 수 있다. 또한, 도 140, 도 141, 도 143, 도 607 등의 전압 프로그램 구성에도 적용할 수 있는 것은 물론이다.

또한, 도 64, 도 65의 구성은, 도 56, 도 57의 구성에도 적용할 수 있다. 또한, 도 50 등과 같이, 소스 드라이버 회로(IC)(14)의 양측으로부터 기준 전류를 인가하는 구성에도 적용할 수 있다. 또한, 도 46, 도 61 등에도 적용할 수 있는 것은 물론이다.

도 64에 있어서, 트랜지스터(158ar)가 R 회로의 기준 전류 I_{cr} 를 발생시키고, 트랜지스터(158ag)가 G 회로의 기준 전류 I_{cg} 를 발생시킨다. 또한, 트랜지스터(158ab)가 B 회로의 기준 전류 I_{cb} 를 발생시킨다.

도 64에서는 래더 저항(641)을 RGB의 3개의 스위치 회로(642r, 642g, 642b)에서 공용하고 있다. 따라서, 소스 드라이버 회로(IC)(14) 내의 래더 저항(641)의 형성 면적을 작게 할 수 있다.

도 64, 도 65에 있어서도, 스위치 회로(642)의 설정 데이터에 의해, RGB의 기준 전류(I_{cr} , I_{cg} , I_{cb})는 선형 관계를 유지한 채로 변화할 수 있다. 따라서, 선형 관계를 유지하고 있기 때문에, 어떠한 설정 데이터일 때에, 화이트 밸런스를 조정하면, 어떤 설정 데이터일 때라도 화이트 밸런스가 유지된다. 이 구성에 있어서, 앞서 설명한 외부 부착 저항 R_{1r} , R_{1g} , R_{1b} 를 조정하여 화이트 밸런스를 취할 수 있다.

도 64에 있어서, 전압 입출력 단자(643)는 드라이버 IC(회로)(14)의 외부로부터의 아날로그 전압을 입력하는 단자이다. 아날로그 전압에 의해 기준 전류 I_c 를 변화 혹은 조정할 수 있다. 따라서, 스위치 회로(642)에 의하지 않고, 화이트 밸런스 조정, 표시 화면(144) 휘도 조정을 실시할 수 있다.

도 346은 도 65의 변형예이다. 도 346에서는 전자 볼륨(501)을 적색, 녹색, 청색용의 기준 전류 발생 회로(RGB 회로)에서 공통으로 하고, RGB의 기준 전류의 크기는 내장 혹은 외부 부착 저항 R(적색용 R_1 , 녹색용 R_2 , 청색용 R_3) 혹은 소스 드라이버 회로(IC)(14)의 내장 저항으로 조정하여 화이트 밸런스를 유지하고 있다. 저항 R이 내장인 경우에는, 트리밍 등에 의해 화이트 밸런스가 취해지도록 조정한다. 물론, 외부 부착 저항 R을 볼륨으로 해도 되는 것은 물론이다.

또한, 저항 R은 기준 전류를 조정 혹은 설정하는 수단이면 어떠한 구성이어도 된다. 제너 다이오드, 트랜지스터, 사이리스터 등의 비선형 소자라도 된다. 또한, 정전압 레귤레이터, 스위칭 전원 등의 회로 혹은 소자라도 된다. 또한, 저항 R 대신에 포지스터, 서미스터 등의 소자라도 된다. 기준 전류의 조정 혹은 설정과 함께, 온도 보상도 동시에 실시할 수 있다. 그 밖에, 기준 전류를 발생하는 정전류 회로라도 된다.

도 346에서는, IDATA(기준 전류를 설정하는 데이터)에 의해 전자 볼륨(501)의 내장 스위치가 지정되고, V_x 전압(기준 전류를 설정하는 전압)이 전자 볼륨(501)으로부터 출력된다. V_x 전압이 오피 앰프(502)(적색용 502R, 녹색용 502R, 청색용 502R)의 양극 단자에 인가된다. 따라서, 적색의 기준 전류 $I_{cr}=V_x/R_1$, 녹색의 기준 전류 $I_{cg}=V_x/R_2$, 청색의 기준 전류 $I_{cb}=V_x/R_3$ 로 된다. 이들의 기준 전류로 화이트 밸런스를 취한다. 또한, 이들의 기준 전류에 의해 RGB의 프로그램 전류의 크기가 결정된다(도 60, 도 61 등을 참조할 것). 또한, 기준 전류의 설정은, 1프레임(1필드)마다 등 비교적 긴 주기로 설정하는 것만이어도 된다. 변화하는 화면(화상)에 대응하여 설정하면 충분하기 때문이다.

IDATA에 의해 RGB의 기준 전류의 크기는 변화하지만, IDATA의 크기와, RGB의 기준 전류 I_c 는 선형의 관계로 변화한다. 따라서, IDATA가 변화해도 화이트 밸런스는 유지된다. 또한, IDATA의 크기에 비례하여 화면(144)의 휘도가 변화한다(duty비가 고정인 경우). 즉, IDATA에 의해 화면(144) 휘도를 리니어적으로 또한 화이트 밸런스를 유지한 채로 제어할 수 있다. 리니어적으로 변화하기 때문에, duty비 제어와의 조합 제어도 매우 용이하게 된다(도 93~도 116 등을 참조할 것). 이 점은 본 발명의 유효한 특징이다. 다른 점은, 도 64, 도 65 등과 마찬가지로, 설명을 생략한다.

도 346의 구성에서는, 전자 볼륨(501)의 가변에 의해, R, G, B의 기준 전류의 비율은, 동시에 변화한다(RGB의 기준 전류의 비율은 변화하지 않는다). 도 526에 도시하는 바와 같이 구성하면, R의 기준 전류 I_{cR} , G의 기준 전류 I_{cG} , B의 기준 전류 I_{cB} 의 크기를 가변할 수 있다.

R의 기준 전류 I_{cR} 은 스위치 $Sr_1 \sim S_{3R}$ 의 클로즈의 개수로 변화시킬 수 있다. 스위치 $Sr_1 \sim S_{3R}$ 중, 어떤 스위치를 클로즈 또는 오픈시킬지는 소스 드라이버 회로(IC)(14)의 외부 단자 Sa (도시 생략) 2비트로 선택할 수 있다. R의 Sa 단자에 입력되는 데이터가 0일 때에는, 모든 스위치 $Sr_1 \sim S_{3R}$ 이 오픈 상태이다. 따라서, 기준 전류 I_{cR} 은 0으로 되고, 단자(431cR)로

부터 프로그램 전류 Iw는 출력되지 않는다. 또한, 과전류 Id도 출력되지 않는다. R의 Sa 단자에 입력되는 데이터가 1일 때에는, 1개의 스위치 Sr1이 클로즈 상태로 되고, 스위치 Sr1 및 Sr2가 오픈 상태이다. 따라서, 1배의 기준 전류 IcR이 흘러, 단자(431cR)로부터 1배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 1배의 과전류 Id가 출력된다.

마찬가지로, R의 Sa 단자에 입력되는 데이터가 2일 때에는, 스위치 Sr1과 Sr2가 클로즈 상태로 되고, 스위치 Sr3이 오픈 상태이다. 따라서, 2배의 기준 전류 IcR이 흘러, 단자(431cR)로부터 2배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 2배의 과전류 Id가 출력된다. R의 Sa 단자에 입력되는 데이터가 3일 때에는, 모든 스위치 Sr1~Sr3이 클로즈 상태로 된다. 따라서, 3배의 기준 전류 IcR이 흘러, 단자(431cR)로부터 3배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 3배의 과전류 Id가 출력된다.

마찬가지로 G의 기준 전류 IcG는 스위치 Sg1~Sg3의 클로즈의 개수로 변화시킬 수 있다. 스위치 Sr1~Sr3 중, 어떤 스위치를 클로즈 또는 오픈시킬지는 소스 드라이버 회로(IC)(14)의 G에 대응하는 외부 단자 Sa(도시 생략) 2비트로 선택할 수 있다. G의 Sa 단자에 입력되는 데이터가 0일 때에는, 모든 스위치 Sg1~Sg3이 오픈 상태이다. 따라서, 기준 전류 IcG는 0으로 되고, 단자(431cG)로부터 프로그램 전류 Iw는 출력되지 않는다. 또한, 과전류 Id도 출력되지 않는다. G에 대응하는 Sa 단자에 입력되는 데이터가 1일 때에는, 1개의 스위치 Sg1이 클로즈 상태로 되고, 스위치 Sg1 및 Sg2가 오픈 상태이다. 따라서, 1배의 기준 전류 IcG가 흘러, 단자(431cG)로부터 1배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 1배의 과전류 Id가 출력된다.

G에 대응하는 Sa 단자에 입력되는 데이터가 2일 때에는, 스위치 Sg1과 Sg2가 클로즈 상태로 되고, 스위치 Sg3이 오픈 상태이다. 따라서, 2배의 기준 전류 IcG가 흘러, 단자(431cG)로부터 2배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 2배의 과전류 Id가 출력된다. G에 대응하는 Sa 단자에 입력되는 데이터가 3일 때에는, 모든 스위치 Sg1~Sg3이 클로즈 상태로 된다. 따라서, 3배의 기준 전류 IcG가 흘러, 단자(431cG)로부터 3배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 3배의 과전류 Id가 출력된다.

B에 대해서도 마찬가지로, B의 기준 전류 IcB는 스위치 Sb1~Sb3의 클로즈의 개수로 변화시킬 수 있다. 스위치 Sg1~Sg3 중, 어떤 스위치를 클로즈 또는 오픈시킬지는 소스 드라이버 회로(IC)(14)의 B에 대응하는 외부 단자 Sa(도시 생략) 2비트로 선택할 수 있다. B에 대응하는 Sa 단자에 입력되는 데이터가 0일 때에는, 모든 스위치 Sb1~Sb3이 오픈 상태이다. 기준 전류 IcB는 0으로 되고, 단자(431cB)로부터 프로그램 전류 Iw는 출력되지 않는다. 또한, 과전류 Id도 출력되지 않는다.

B에 대응하는 Sa 단자에 입력되는 데이터가 1일 때에는, 1개의 스위치 Sb1이 클로즈 상태로 되고, 스위치 Sb1 및 Sb2가 오픈 상태이다. 따라서, 1배의 기준 전류 IcB가 흘러, 단자(431cB)로부터 1배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 1배의 과전류 Id가 출력된다.

B에 대응하는 Sa 단자에 입력되는 데이터가 2일 때에는, 스위치 Sb1과 Sb2가 클로즈 상태로 되고, 스위치 Sb3이 오픈 상태이다. 따라서, 2배의 기준 전류 IcB가 흘러, 단자(431cB)로부터 2배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 2배의 과전류 Id가 출력된다. B에 대응하는 Sa 단자에 입력되는 데이터가 3일 때에는, 모든 스위치 Sb1~Sb3이 클로즈 상태로 된다. 따라서, 3배의 기준 전류 IcB가 흘러, 단자(431cB)로부터 3배의 프로그램 전류 Iw가 출력된다. 또한, 소스 드라이버 회로(IC)(14)의 제어 상태에 따라서 3배의 과전류 Id가 출력된다.

또한, 도 64, 도 65 등에 있어서, 스위치 회로(642)는 설정 데이터가 0일 때, 모든 스위치가 오픈 상태로 되도록 구성되어 있다. 따라서, 스위치 회로(642)의 설정 데이터가 0이고 전압 입출력 단자(642)의 입력 전압이 유효하게 되도록 제어된다. 반대로, 스위치 회로(642)의 설정 데이터가 0 이외인 경우에는, 래더 저항(641)으로부터의 전압이 오피 앰프(502)의 양극 단자에 입력된다.

전압 입출력 단자(643)는 스위치 회로(642)로부터의 출력 전압의 모니터 단자로도 기능한다. 즉, 래더 저항(641)의 선택 전압이 스위치 회로(642)에 의해 선택되고, 선택된 어떠한 전압이 오피 앰프(502)에 입력되고 있는지를 모니터링할 수 있다.

도 64는, 래더 저항(641)(눈금 전압 출력 수단)과 RGB의 스위치 회로(642) 사이의 배선이 많기 때문에, 칩 면적을 필요로 한다. 도 65는, RGB에서 1개의 스위치 회로(642)로 한 실시예이다. 이상의 구성에 의해서도, 화이트 밸런스 조정 등은 실용상 문제없이 실현할 수 있다.

이상의 실시예는, 전자 볼륨(501), 스위치 회로(642)를 디지털의 설정 데이터에 따라 변화시키는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 66의 (a), (b)에 도시하는 바와 같이, 디지털-아날로그 변환 회로(D/A 회로)(661)에 의해, 오피 앰프(502)의 입력 전압(c점으로 나타냄)을 변화(변경)시켜 기준 전류 I_c 를 제어해도 되는 것은 물론이다.

도 371은, 기준 전류를 조정 혹은 제어하는 구성 혹은 방식의 다른 실시예이다. RGB의 기준 전류는 저항 $R1(R1r, R1g, R1b)$ 에 의해 결정된다. 또한, 저항 $R1(R1r, R1g, R1b)$ 에 의해 화이트 밸런스가 조정된다. 저항 $R1(R1r, R1g, R1b)$ 는 외부 부착 저항이다.

저항 R_s 도 외부 부착 저항이다. 저항 R_s 를 변화시킴으로써, 소스 드라이버 IC(14)의 휘도를 화이트 밸런스를 유지한 채로 조정할 수 있다. 따라서, 복수의 소스 드라이버 IC(14)를 캐스캐이드 접속할 때에는, 저항 R_s 를 조정함으로써 용이하게 실현할 수 있다. 저항 R_s 는 볼륨으로 구성해도 된다. 또한, 트리밍으로 저항 조정을 실시해도 된다. 또한, 전자 볼륨으로 조정 혹은 가변해도 된다.

도 378은 저항 $R1$ 의 단자 전압을 전자 볼륨(501b)으로 변경하는 구성이다. 전자 볼륨(501b)은 DATA에 따라 변화시킨다. 저항 $R1r$ 의 일단자에는 전자 볼륨(501bR)의 출력 전압이 인가된다. 전자 볼륨(501bR)의 출력 전압은 8비트의 RData에 따라 변화시킬 수 있다. 따라서, RData에 의해 기준 전류 I_r 이 변화한다.

마찬가지로, 저항 $R1g$ 의 일단자에는 전자 볼륨(501bG)의 출력 전압이 인가된다. 전자 볼륨(501bG)의 출력 전압은 8비트의 GData에 따라 변화시킬 수 있다. 따라서, GData에 의해 기준 전류 I_g 가 변화한다. 또한, 마찬가지로, 저항 $R1b$ 의 일단자에는 전자 볼륨(501bB)의 출력 전압이 인가된다. 전자 볼륨(501bB)의 출력 전압은 8비트의 BData에 따라 변화시킬 수 있다. 따라서, BData에 의해 기준 전류 I_b 가 변화한다.

이상의 구성에 의해, 전자 볼륨(501b)을 제어함으로써, 화이트 밸런스가 조정되고, 또한, 기준 전류를 조정할 수 있다.

도 379는 도 377의 변형예이다. 저항 R_s 를 전자 볼륨 구성으로 하고 있다. 또한 전자 볼륨(501)을 소스 드라이버 회로(IC)(14)에 내장시키고 있다. 전자 볼륨(501)의 출력 전압은, SATA에 따라 변화 혹은 제어할 수 있다. SDATA에 의해 저항 $R1(R1r, R1g, R1b)$ 의 단자 전압을 제어할 수 있다. RGB의 기준 전류는 저항 $R1(R1r, R1g, R1b)$ 에 의해 결정된다. 또한, 저항 $R1(R1r, R1g, R1b)$ 에 의해 화이트 밸런스가 조정된다. 저항 $R1(R1r, R1g, R1b)$ 은 외부 부착 저항이다. 다른 사항은 도 377과 마찬가지로 혹은 유사하므로 설명을 생략한다.

또한, 이상의 실시예는 서로 조합하여 실시할 수 있는 것은 물론이다. 또한, 본 발명의 다른 실시예와 조합할 수 있는 것도 물론이다.

도 44에 도시하는 소스 드라이버 회로(IC)(14)에서는, 특히 표시 패널에 화상을 표시하면 소스 신호선(18)에 인가된 전류에 의해 소스 신호선(18) 전위가 변동한다. 이 전위 변동에 의해 소스 드라이버 IC(14)의 게이트 배선(153)이 흔들리는 과제가 있다(도 52를 참조할 것). 도 52에 도시하는 바와 같이, 소스 신호선(18)에 인가되는 영상 신호가 변화하는 포인트에서 게이트 배선(153)에 링킹이 발생한다. 링킹에 의해 게이트 배선(153)의 전위가 변화하기 때문에, 단위 트랜지스터(154)의 게이트 전위가 변화하여, 출력 전류가 변동한다. 특히, 게이트 배선(153)의 전위 변동은, 게이트 신호선(14)을 따른 크로스토크(가로 크로스토크)로 된다.

이 흔들림(게이트 배선(153)의 링킹(도 52를 참조할 것))은, 소스 드라이버 IC(14)의 전원 전압이 영향을 미친다. 전원 전압이 높을수록 링킹하는 파고값이 커지기 때문이다. 최악의 경우, 전원 전압도 진폭한다. 게이트 배선(153)의 전압은, 정상값이 0.55~0.65(V)이다. 따라서, 근소한 링킹의 발생으로도 출력 전류의 크기의 변동값은 크다.

도 67은 소스 드라이버 IC(14)의 전원 전압이 1.8(V)일 때를 기준으로 한 게이트 배선의 전위 변동 비율이다. 변동 비율은 소스 드라이버 IC(14)의 전원 전압이 높아짐에 따라서 변동 비율도 커진다. 변동 비율의 허용 범위는 3정도이다. 이 이상 변동 비율이 크면, 가로 크로스토크가 발생한다. 또한, 변동 비율은 IC 전원 전압이 13~15(V) 이상이고 전원 전압에 대한 변화 비율이 커지는 경향이 있다. 따라서, 소스 드라이버 IC(14)의 전원 전압은 13(V) 이하로 할 필요가 있다.

한편, 구동용 트랜지스터(11a)가 백색 표시로부터 흑색 표시의 전류를 흘리기 때문에, 소스 신호선(18)의 전위는 일정한 진폭 변화시킬 필요가 있다. 이 진폭 필요 범위는, 2.5(V) 이상 필요하다. 진폭 필요 범위는 전원 전압 이하이다. 소스 신호선(18)의 출력 전압이 IC의 전원 전압을 초과할 수는 없기 때문이다.

이상의 점으로부터, 소스 드라이버 IC(14)의 전원 전압은, 2.5(V) 이상 13(V) 이하로 할 필요가 있다. 더욱 바람직하게는 IC(14)의 전원 전압(사용하는 전압)은, 6(V) 이상 10(V) 이하로 하는 것이 바람직하다. 이 범위로 하는 것에 의해 게이트 배선(153)의 변동이 규정 범위로 억제되어, 가로 크로스토크가 발생하지 않아, 양호한 화상 표시를 실현할 수 있다.

게이트 배선(153)의 배선 저항도 과제로 된다. 게이트 배선(153)의 배선 저항 $R(\Omega)$ 이라 함은, 도 47에서는, 트랜지스터(158b1)로부터 트랜지스터(158b2)까지의 배선 전체 길이의 저항값이다. 또는, 게이트 배선 전체 길이의 저항이다. 또한, 도 46에서는 트랜지스터(158b)(트랜지스터군(431b))로부터 트랜지스터군(431cn)까지의 배선 전체 길이의 저항값이다.

게이트 배선(153)의 과도 현상의 크기는, 1수평 주사 기간(1H)에도 의존한다. 1H 기간이 짧으면, 과도 현상의 영향도 크기 때문이다. 배선 저항 $R(\Omega)$ 이 높을수록 과도 현상은 발생하기 쉽다. 이 현상은 특히, 도 44 내지 도 47의 1단 커런트 미러 접속의 구성의 소스 드라이버 회로(IC)(14)에서 과제로 된다. 게이트 배선(153)이 길고, 1개의 게이트 배선(153)에 접속된 단위 트랜지스터(154)의 수가 많기 때문이다.

도 68은, 게이트 배선(153)의 배선 저항 $R(\Omega)$ 과 1수평 주사 기간(1H 기간) $T(sec)$ 와의 승산($R \cdot T$)을 횡축에 취하고, 종축에 변동 비율을 취한 그래프이다. 변동 비율의 1은, $R \cdot T=100$ 을 기준으로 하고 있다. 도 68에서 알 수 있는 바와 같이, $R \cdot T$ 가 5 이하에서 변동 비율이 커지는 경향이 있다. 또한, $R \cdot T$ 가 1000 이상에서 변동 비율이 커지는 경향이 있다. 따라서, $R \cdot T$ 는 5 이상 1000 이하로 하는 것이 바람직하다. 더욱 바람직하게는, $R \cdot T$ 는 10 이상 500 이하의 조건을 만족시키는 것이 바람직하다.

duty비도 과제로 된다. duty비에 의해 소스 신호선(18)의 변동도 커지기 때문이다. 또한, duty비에 관해서는 나중에 설명을 한다. 여기서는, duty비라 함은 간헐 구동의 비율인 것으로 한다. 트랜지스터군(431c)의 단위 트랜지스터(154)의 총 면적(트랜지스터군(431c) 내의 단위 트랜지스터(154)의 WL 사이즈×단위 트랜지스터(154)의 수)을 $Sc(평방\mu m)$ 로 한다.

도 69는 횡축을 $Sc \times duty$ 비로 하고, 종축을 변동 비율로 하고 있다.

도 69에서 알 수 있는 바와 같이 $Sc \times duty$ 비가 500 이상에서 변동 비율이 커지는 경향이 있다. 또한, 변동 비율이 3 이하일 때가 변동 허용 범위이다. 따라서, $Sc \times duty$ 비는 500 이하에서 구동할 수 있도록 제어하는 것이 바람직하다.

변동 허용 범위는, $Sc \times duty$ 비가 500 이하이다. $Sc \times duty$ 비가 500 이하이면, 변동 비율은 허용 범위 내이고, 게이트 배선(153)의 전위 변동은 매우 작아진다. 따라서, 가로 크로스토크의 발생도 없고, 출력 변동도 허용 범위 내로 되어 양호한 화상 표시를 실현할 수 있다. $Sc \times duty$ 비가 500 이하이면 허용 범위이지만, $Sc \times duty$ 비를 50 이하로 해도 거의 효과가 없다. 반대로, 소스 드라이버 IC(14)의 칩 면적이 증가한다. 따라서, $Sc \times duty$ 비는 50 이상 500 이하로 하는 것이 바람직하다.

본 발명의 소스 드라이버 회로(IC)(14)에 있어서, 단위 트랜지스터군(431c)과 커런트 미러 회로를 하는 트랜지스터(158b) 혹은 트랜지스터(158b)를 구성하는 트랜지스터군(431b)(도 48, 도 49를 참조할 것)에는 도 70의 관계를 만족시키는 것이 바람직하다.

트랜지스터(158b) 혹은 트랜지스터(158b)를 구성하는 트랜지스터군(431b)(도 48, 도 49를 참조할 것)에 공급하는 전류를 I_c 로 하고, 1개의 단위 트랜지스터군(431c)으로부터 출력되는 전류를 I_d 로 한다. I_d 는 소스 신호선(18)에 출력되는 프로그램 전류(흡입 혹은 토출 전류)이고, 트랜지스터군(431c)을 구성하는 단위 트랜지스터(154) 전체가 선택 상태일 때의 전류이다. 따라서, I_d 는 화소(16)에 인가하는 최대 계조에서의 전류이다.

또한, 도 46과 같이 (158b)가 1개인 경우에는, 그대로 I_c 로서 이용해도 되지만, 도 47과 같이, 트랜지스터(158)가 복수개 있는(복수군 있는) 경우에는, 가산한 것을 I_c 로서 이용한다. 즉, 도 47에서는 $I_c=I_{c1}+I_{c2}$ 이다. 이상과 같이 전류 I_c 는 트랜지스터군(431c)과 커런트 미러 회로를 구성하는 트랜지스터군(431b)에 흐르는 전류 I_c 의 총합이다.

이 전류 I_d 와 I_c 의 비(I_c/I_d)는 5이상으로 할 필요가 있다. 도 70에 있어서, 종축은 크로스토크비이다. 크로스토크는, 화상 표시에 의한 소스 신호선(18)의 전위 변화가 소스 드라이버 회로(IC)(14)의 게이트 배선(153)을 전파하여, 표시 화면(144)에 가로줄(크로스토크)이 발생하는 현상이다. 크로스토크는, 화상이 백색 표시로부터 흑색 표시로 되는 포인트, 흑색 표시로부터 백색 표시로 되는 포인트(예를 들면, 백색 윈도우 표시의 상부 에지부, 하부 에지부 등)에 발생하기 쉽다. I_c/I_d 가 5 이하에서는 급격하게 크로스토크의 발생은 강해지지만(크로스토크비가 커지지만), 5이상에서는 곡선의 기울기가 작아진다.

도 70으로부터 이해할 수 있는 바와 같이, I_c/I_d 는 5이상으로 할 필요가 있다. 그러나, 100 이상으로 하면, 트랜지스터 (158b)를 구성하는 트랜지스터군(431b)의 사이즈가 커서 실용적이지 않다. 따라서, I_c/I_d 는 5 이상 100 이하로 할 필요가 있다. 더욱 바람직하게는, 8 이상 50 이하로 하는 것이 바람직하다.

I_c/I_d 는 수평 주사 시간도 고려할 필요가 있다. 1수평 주사 기간 H 가 짧을수록 게이트 배선(153)의 시상수를 작게 할 필요가 있기 때문이다. 또한, 1수평 주사 기간이라 함은, 화소행에 프로그램 전류(프로그램 전압)를 기입하는 기간이라고 생각해도 된다. 즉, 각 화소가 선택되고, 각 화소(16)에 전류(전압)가 기입되고 있는 기간이다. 따라서, 2화소행을 동시에 선택하는 구동 방법에서는, 2수평 주사 기간이 해당한다.

수평 주사 기간 H 를 H (밀리초)로 했을 때(1화소행을 선택하는 시간), 이하의 관계를 만족시키는 것이 바람직하다. 또한, I_c 및 I_d 의 단위는 μA 이다.

$$0.3 \leq (I_c \cdot H) / I_d \leq 6.0$$

더욱 바람직하게는, 이하의 관계를 만족시키는 것이 바람직하다.

$$0.5 \leq (I_c \cdot H) / I_d \leq 5.0$$

또한, 더욱 바람직하게는, 이하의 관계를 만족시키는 것이 바람직하다.

$$0.6 \leq (I_c \cdot H) / I_d \leq 3.0$$

이상의 관계를 만족시키도록, I_c , I_d 전류를 설정하고, 또한, 트랜지스터군(431) 혹은 단위 트랜지스터(154, 158)를 설계함으로써, 크로스토크의 발생은 매우 작아진다.

예를 들면, QVGA 패널인 경우에는, 대개 $H=1000$ (밀리초)/(60(Hz)·240화소행)=0.07(밀리초)이다. $I_c=18(\mu A)$, 최대 프로그램 전류 $I_d=1(\mu A)$ 로 하면, $(I_c \cdot H) / I_d=(18 \cdot 0.07) / 1=1.3$ 으로 되어, 상기 식을 만족시킨다.

또한, XGA 패널인 경우에는, 대개 $H=0.025$ (밀리초)이다. $I_c=18(\mu A)$, 최대 프로그램 전류 $I_d=1(\mu A)$ 라고 하면, $(I_c \cdot H) / I_d=(18 \cdot 0.025) / 1=1.5$ 로 되어, 상기 식을 만족시킨다.

H 는 패널의 화소행 수로서 고정값이고, I_d 는 프로그램 전류의 최대값이므로, 해당 표시 패널의 EL 소자의 효율 및 표시 휘도가 결정되면 고정값이다. 따라서, 상기 식을 만족시키도록, I_c 를 결정하면 된다. 예를 들면, $H=0.07$ (밀리초), $I_d=1(\mu A)$ 이면, $0.3 \leq (I_c \cdot H) / I_d \leq 6.0$ 을 만족시키는 I_c 는, $4(\mu A)$ 이상 $86(\mu A)$ 이하로 된다. 또한, $H=0.025$ (밀리초), $I_d=1(\mu A)$ 이면, $0.3 \leq (I_c \cdot H) / I_d \leq 8.0$ 을 만족하는 I_c 는, $12(\mu A)$ 이상 $240(\mu A)$ 이하로 된다.

이상의 실시예는, 출력단이 단위 트랜지스터(154)로 구성되는 트랜지스터군(431c)으로서 설명을 하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 이후에 도 160 내지 도 176 등의 구성에 있어서도 적용할 수 있는 것은 물론이다. 이상의 사항은 이하의 본 발명에 있어서도 마찬가지로 적용할 수 있다.

트랜지스터군(431c)의 출력 전류의 크기와 출력 변동은 상관이 있다. 출력 전류가 클수록, 출력 변동이 작아진다. 이상의 관계를 도 182에 도시한다. 출력 전류가 10배로 되면, 출력 변동은 약 $1/2(=0.5)$ 로 되고, 출력 전류가 100배로 되면 약 $1/4(=0.25)$ 로 된다.

또한, 출력 전류의 변동은, 1개의 출력단의 트랜지스터 면적 Sc (단위 트랜지스터(154)로 구성되는 경우에는, 트랜지스터군(431c))의 면적(WL 혹은 1출력 전류를 발생하는 전체 트랜지스터의 총 면적 Sc)과 상관이 있다. 이 관계를 도 183에 도시한다. 도 183은 출력 변동을 일정하게 한 경우에, 이 출력 변동을 얻기 위한 트랜지스터 면적 Sc 와 출력 전류와의 관계를 나타낸 것이다. 출력 전류가 클수록, 어떤 출력 변동을 얻기 위한 트랜지스터 면적 Sc 는 작게 된다. 출력 전류가 10배로 되면, 트랜지스터 면적 Sc 는 약 $1/2(=0.5)$ 로 된다. 출력 전류가 100배로 되면, 소정의 출력 변동을 얻기 위한 트랜지스터 면적 Sc 는 약 $1/4(=0.25)$ 로 된다.

본 발명의 검토의 결과에 따르면, 일단자의 출력 전류의 최고 출력 전류의 크기는, $0.2\mu A$ 이상 $20\mu A$ 이하로 하는 것이 바람직하다. $0.2\mu A$ 이하에서는, 출력 변동이 커서 실용적이지 않다. $20\mu A$ 이상에서는 출력단의 트랜지스터의 게이트 단자

전압이 높아지고, 또한 소스 단자 전압도 저하하게 되어, IC의 내압 등을 높게 할 필요가 있다. 그 때문에, 출력 변동이 커져 바람직하지 않다. 또한, 최고 출력 전류라 함은, 최대 게조에서의 출력 전류이다. 예를 들면, 256계조이면, 255계조째이고, 64계조이면 63계조째이다.

또한, 본 발명의 검토의 결과인 도 182 및 도 183의 관계로부터, 1출력의 최고 출력 전류를 $I_d(\mu A)$ 로 하고, 출력단을 구성하는 트랜지스터(단위 트랜지스터(154)로 구성되는 경우에는, 트랜지스터군(431c))의 면적(WL 혹은 1 출력 전류를 발생시키는 전체 트랜지스터의 총 면적)을 $Sc(\text{평방}\mu m)$ 로 했을 때, 이하의 조건을 만족시키는 것이 바람직하다.

$$500 \leq Sc \times Id \leq 10000$$

더욱 바람직하게는, 이하의 조건을 만족시키는 것이 바람직하다.

$$800 \leq Sc \times Id \leq 8000$$

더욱 바람직하게는, 이하의 조건을 만족시키는 것이 바람직하다.

$$1000 \leq Sc \times Id \leq 5000$$

이상의 조건을 만족시킴으로써, 출력 단자(155)로부터 출력되는 전류의 인접간 변동은 1% 이하로 할 수 있어, 실용상 충분한 성능을 얻을 수 있다.

또한, 이상의 실시예는, 출력단이 단위 트랜지스터(154)로 구성되는 트랜지스터군(431c)으로서 설명을 하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 도 160 내지 도 176 등의 구성에 있어서도 적용할 수 있는 것은 물론이다. 이상의 사항은 이하의 본 발명에 있어서도 마찬가지로 적용할 수 있다.

이상과 같이 본 발명의 기재 사항은, 다른 실시예에 서로 적용 혹은 조합하여 사용할 수 있는 것이다. 복수의 조합은 전부를 기재하는 것이 불가능하기 때문에, 기재하고 있지 않을 뿐이다.

도 47에서 트랜지스터(158b1)에 흘리는 기준 전류 I_{c1} 과, 트랜지스터(158b2)에 흘리는 기준 전류 I_{c2} 를 조정함으로써, 도 212에 도시하는 바와 같이, 소스 드라이버 IC(14a)와 (14b)의 캐스캐이드 접속을 양호하게 행할 수 있는 것을 설명했다.

캐스캐이드는 도 208에 도시하는 바와 같이, 소스 드라이버 IC(14) 사이를 캐스캐이드 배선(2081)으로 결선한다. 캐스캐이드 배선(2081)은 어레이(30)상에서 행한다.

기준 전류를 인가 혹은 출력하는 캐스캐이드 배선(2081)은, 도 249의 (a)에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14)에 개별로 입력해도 된다. 또한, 도 249의 (b)에 도시하는 바와 같이 소스 드라이버 회로(IC)(14a)와 소스 드라이버 회로(IC)(14b) 사이에서 교체하도록 구성해도 된다. 도 249의 (b)와 같이 캐스캐이드 배선(2081)을 통하여, 각 비트에 대응하는 기준 전류(도 199, 도 230, 도 246 등을 참조할 것)를 교체하는 경우에는, 각 캐스캐이드 배선(2081)이 교차하지 않도록 단자(I0~I5로 도시하고 있다)를 배치한다.

도 249에서는, 소스 드라이버 회로(IC)(14a)로부터 소스 드라이버 회로(IC)(14b)에 캐스캐이드 접속을 행하는 전류를 교체하고 있다. 이상과 같이, 인접한 소스 드라이버 회로(IC)(14)에 순차적으로 캐스캐이드 접속을 행하는 전류를 교체해도 되고(도 400을 참조할 것), 1개의 마스터의 소스 드라이버 회로(IC)(14)로부터, 다른 슬레이브의 소스 드라이버 회로(IC)(14)에 캐스캐이드 접속을 행하는 전류를 교체해도 되는 것은 물론이다. 이 방식의 경우에는, 1프레임 혹은 복수 프레임 기간을 분할하여, 시분할로 캐스캐이드 접속을 행하는 전류를 교체하면 된다.

캐스캐이드 배선(2683)을 양호하게 배치하기 위해서는, 도 582에 도시하는 바와 같이 소스 드라이버 IC를 구성하면 된다. 도 582에서는 소스 드라이버 IC의 한쪽 단에 기준 전류원을 배치 또는 형성하고, 다른 쪽의 단에 캐스캐이드용의 전류원을 배치하고 있다.

캐스캐이드 배선(2081)은 어레이 기관(71) 상에서 형성하는 것에 한정되는 것은 아니다. 예를 들면, 도 583에 도시하는 바와 같이, 플렉시블 기관(1802) 혹은 프린트 기관에서 캐스캐이드 배선 패턴(2081)을 형성하고, 플렉시블 기관(1802) 등을

통하여 캐스캐이드 접속을 행해도 된다. 또한, 소스 드라이버 IC(14)가 COF 실장되는 경우에는, 도 584에 도시하는 바와 같이, COF용의 필름(1802)에 캐스캐이드 배선(2081)을 형성하여, 소스 드라이버 IC(14) 사이를 캐스캐이드 접속해도 된다.

또한, 기준 전류를 조정할 필요가 있는 경우에는, 도 250에 도시하는 바와 같이, 캐스캐이드 배선(2081a)과 (2081b) 사이에 트랜지스터 등으로 이루어지는 트리밍 조정부(2501)를 형성 또는 배치한다. 이 트리밍 조정부(2501)는 레이저(1621) 등을 이용하여 레이저 광(1622)으로 조정함으로써, 기준 전류의 크기의 조정을 실시한다. 트리밍 조정부(2501)는 소스 드라이버 회로(IC)(14) 내에 형성해도 되고, 기판(30)에 폴리실리콘 기술 등으로 형성해도 된다.

캐스캐이드로 교체하는 기준 전류는 정밀도가 요구된다. 그 때문에, 본 발명에서는, 캐스캐이드부에 있어서 기준 전류를 출력하는 전류원부는, 트리밍을 행하여, 소정의 기준 전류를 출력하도록 조정하고 있다. 트리밍은 레이저 트리밍에 의해 실시하고 있다.

캐스캐이드 접속을 양호하게 행하기 위해서는, 제조된 소스 드라이버 IC(14)의 특성을 측정하는 것이 필요하게 되는 경우가 있다. 특성을 측정할 수 있으면, 트리밍 등에 의해 조정 혹은 가공을 실시하는 것이 가능하게 된다. 이하에 본 발명의 소스 드라이버 회로(IC)(14)의 특성 측정 방식에 대하여 설명한다. 또한, 인접 소스 신호선(18) 간의 출력 전류 변동을 측정할 수 있다(파악할 수 있다).

도 299의 (a)에 도시하는 바와 같이, 캐스캐이드 접속을 위한 단자(155)를 갖고 있다. 단자(155a)에는 캐스캐이드 접속을 위한 기준 전류 IcR(적색용)이 출력된다. 단자(155b)에는 캐스캐이드 접속을 위한 기준 전류 IcG(녹색용)이 출력된다. 단자(155c)에는 캐스캐이드 접속을 위한 기준 전류 IcB(청색용)이 출력된다. 기준 전류 Ic는 소스 드라이버 IC의 특성을 나타내고 있다. 기준 전류 Ic가 작으면 프로그램 전류 Iw의 크기가 작다. 한편, 기준 전류 Ic가 크면 프로그램 전류 Iw의 크기가 크다.

이상의 점으로부터, 도 299의 (b)에 도시하는 바와 같이 단자(155)에 기지의 저항값의 저항 R을 접속하고, 각 단자(155)의 전압을 측정하는 것에 의해 소스 드라이버 IC(14)의 특성을 파악할 수 있다. 또한, 단자(155)에 전류계를 직접 접속하여 기준 전류 Ic를 측정해도 된다.

이상의 실시예는, 캐스캐이드 전류의 출력 단자로 소스 드라이버 회로(IC)(14)의 특성 등을 측정하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니고, 도 300에 도시하는 바와 같이 특성 측정용의 전용 단자(155)를 형성 또는 구성 혹은 배치해도 된다.

도 300에서는, 소스 신호선(18)에 프로그램 전류 Iw를 출력하는 트랜지스터군(431c)에 인접하여 특성 측정용의 트랜지스터군(431c)(431cR(적), 431cG(녹), 431cB(청))을 갖고 있다. 트랜지스터군(431cR), 트랜지스터군(431cG), 트랜지스터군(431cB)과 트랜지스터군(431c)은 인접해서 형성시키고 있기 때문에 특성이 거의 일치한다. 따라서, 도 301의 (a)에 도시하는 바와 같이, 단자(155)에 기지의 저항값의 저항 R을 접속하고, 각 단자(155)(a, b, c)의 전압을 측정하는 것에 의해 소스 드라이버 IC(14)의 특성을 파악할 수 있다. 또한, 단자(155)에 전류계를 직접 접속하여 기준 전류 Ic를 측정해도 된다.

또한, 도 301의 (b)에 도시하는 바와 같이 저항 R을 IC 칩(14)에 내장시켜도 되는 것은 물론이다. 단, 저항 R을 내장시키는 경우에는, 기지의 저항값으로 하기 위해서, 트리밍을 실시하는 것이 바람직하다. 도 301의 (b)와 같이 구성함으로써, 단자(155d)를 소정 전위(도 301에서는 그라운드 전위)로 하는 것에 의해, 단자(155a), 단자(155b), 단자(155c)에서 전압을 측정할 수 있다. 따라서, 소스 드라이버 IC(14)의 각 단자(155)에 접속된 트랜지스터군(431c)의 특성을 측정 혹은 예측할 수 있다. 또한, 캐스캐이드 접속한 특성을 상정 혹은 예측 혹은 측정할 수 있다.

도 301의 실시예는, 단자(155)에 접속된 트랜지스터군(431c) 등의 측정을 실시하는 것이었다. 마찬가지로의 구성으로 캐스캐이드 접속의 성능 혹은 특성 혹은 평가를 실현할 수 있다. 도 302는 그의 실시예이다. 도 302에 있어서 저항 R은 칩(14) 내에 내장되어 있다. R은 트리밍되어 소정의 저항값으로 되어 있다. 스위치 S(Sa, Sb, Sc)를 폐쇄하는 것에 의해 기준 전류 Ic가 저항 R에 유입된다. 따라서, 단자(155)의 출력 전압으로부터 기준 전류 Ic의 값을 측정할 수 있다. 측정 후, 트리밍 등을 실시하여, 기준 전류 Ic(IcR, IcG, IcB)가 소정값으로 되도록 조정 등으로 한다.

본 발명의 소스 드라이버 회로(IC)(14)는 기준 전류 Ic를 소정값으로 하는 것에 의해, RGB의 화이트 밸런스를 규정할 수 있어, 소정값으로 할 수 있다. 또한, 프로그램 전류 Iw도 소정값으로 할 수 있기 때문에, 화상의 표시 휘도도 소정값으로 할 수 있다. 따라서, 기준 전류 Ic를 소정값으로 하는 중요도는 크다.

이 과제에 대하여 본 발명은, 도 303에 도시하는 바와 같이, RGB마다 기준 전류를 조정하는 전자 볼륨 회로(501)를 구비하고 있다. 또한, 전자 볼륨(501)의 값을 조정하여 고정하는 것에 의해 기준 전류 I_c 를 소정값으로 하기 위해서 플래시 메모리(3031)를 갖고 있다. 플래시 메모리(3031)를 FDATA(FDATAR, FDATAG, FDATAB)로 재기입함으로써 전자 볼륨(501)(501R, 501G, 501B)의 값을 고정 혹은 일시 유지시킬 수 있다. 따라서, 기준 전류 $I_c(I_cR, I_cG, I_cB)$ 를 소정값으로 용이하게 조정할 수 있다. 이 조정은 I_c 전류를 직접 측정(도 299, 도 302 등)하여 목표의 조정값을 내도 되지만, 도 306에 도시하는 바와 같이 패널의 화면(144)의 표시 휘도를 측정하여 실시해도 된다.

도 303에서는 플래시 메모리(3031)에 의해서 전자 볼륨(501)의 값을 소정값으로 하고, 목표의 기준 전류 I_c 를 얻는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 304에 도시하는 바와 같이, 외부의 볼륨 VR(적색용 VR1, 녹색용 VR2, 청색용 VR3)로 기준 전류 I_c 를 조정해도 되는 것은 물론이다. 또한, 도 305에 도시하는 바와 같이, 트랜지스터(158b)(도 58, 도 59, 도 60 등을 참조할 것)에 흐르는 기준 전류 $I_c(I_cR, I_cG, I_cB)$ 를 전류원 $I(I_a, I_b, I_c)$ 로 조정해도 되는 것은 물론이다.

도 47에서는, 기준 전류 I_{c1} 과 I_{c2} 를 조정하는 것으로 했다. 그러나, 게이트 배선(153)이 소정값 이상의 저항값을 갖고 있으면, 트랜지스터(158b1)에 흐르는 기준 전류 I_{c1} 과, 트랜지스터(158b2)에 흐르는 기준 전류 I_{c2} 를 동일하게 해도, 도 47과 같이 출력 전류의 경사가 보정된다.

이해를 용이하게 하기 위해서, 구체적인 수치로 설명한다. $I_{c1}=I_{c2}=10(\mu A)$ 로 하고, 이 때, 트랜지스터(158b1)의 게이트 단자 전압 $V_1=0.60(V)$, 트랜지스터(158b2)의 게이트 단자 전압 $V_2=0.61(V)$ 로 한다. 트랜지스터(158b2)에 흐르는 기준 전류와 트랜지스터(158b1)에 흐르는 기준 전류와의 차를 1% 이내로 할 필요가 있으므로, 기준 전류 $=10(\mu A)$ 의 1%는 $0.1(\mu A)$ 이다. 따라서, $(V_2-V_1)/0.1(\mu A)=(0.61-0.60)(V)/0.1(\mu A)=100(K\Omega)$ 로 된다. 따라서, 게이트 배선(153)의 저항값을 $100(K\Omega)$ 로 함으로써, 출력 전류의 기울기는 조정되고, 인접해서 배치된 IC(14)의 출력 전류의 차는 1% 이내의 차에 들어 간다.

게이트 배선(153)이 고저항일수록, 보정 전류 I_d 의 크기는 작아도 된다. 그러나, 게이트 배선(153)의 저항값을 너무 높게 하면, 도 52의 링킹의 파괴값도 커져, 가로 크로스토크의 발생이 현저해진다. 따라서, 게이트 배선(153)의 저항값에는 적절한 범위가 존재한다.

본 발명은, 게이트 배선(153) 중 전체를, 또는, 적어도 게이트 배선(153)의 일부를 폴리실리콘으로 이루어지는 배선으로 형성한 것을 특징으로 한다. 바람직하게는, 단위 트랜지스터(154)의 게이트 단자와의 컨택트부 혹은 근방 이외를 폴리실리콘으로 형성한다. 게이트 배선(153)은 배선 폭을 조정함으로써, 혹은, 사행시킴으로써 목표의 저항값으로 형성 혹은 구성한다.

게이트 배선의 링킹 발생을 억제하기 위해서는, 게이트 배선(153)을 소정값 이하의 저항값으로 함으로써 달성할 수 있다. 또한, 트랜지스터(158b)의 총 면적 S_b (트랜지스터군(431b)의 총 면적 S_b)를 크게 함으로써, 달성할 수 있다. 또한, 기준 전류 I_c 를 크게 함으로써 달성할 수 있다.

1출력의 단위 트랜지스터(154)의 면적(1개의 트랜지스터군(431c) 내의 단위 트랜지스터(154)의 총 면적)을 S_0 으로 하고, 트랜지스터군(431b)의 트랜지스터(158b)의 총 면적 S_b (도 44와 같이 트랜지스터군(431b)이 복수 있을 때에는, 복수의 트랜지스터군(431b)의 트랜지스터(158b)의 총 면적)로 한다.

도 71은 S_b/S_0 을 횡축으로 하고, 허용 가능한 게이트 배선 저항($K\Omega$)을 종축으로 했을 때의 관계를 나타내고 있다. 도 71의 실선의 하측의 범위가 허용 범위이다(링킹의 발생의 영향을 받지 않는 범위이다). 바꿔 말하면, 가로 크로스토크가 실용상 허용할 수 있는 범위이다.

도 71의 횡축은, 총 트랜지스터군(431b)의 크기 S_b 에 대한 1출력당의 단위 트랜지스터(154)의 크기 S_0 이다(64계조의 경우에는, 단위 트랜지스터(154)가 63개수분). S_0 을 고정값인 것으로 하면, S_b 가 클수록, 게이트 배선(153)이 허용할 수 있는 저항값도 커진다. 이것은, S_b 가 커질수록 게이트 배선(153)에 대한 임피던스가 낮아져, 안정도가 증가하기 때문이다.

S_0 은 출력 전류(프로그램 전류)를 발생시키는 것이고, 또한, 출력 변동을 일정값 이하로 할 필요로부터, S_0 의 크기는 설계상의 변경 범위는 좁다. 한편 게이트 배선(153)의 저항값을 소정값으로 하기 위해서는 설계 제약이 있다.

게이트 배선(153)을 고저항으로 하기 위해서는, 배선이 가늘어져 단선이 발생하는 과제, 안정도의 과제가 있다. 또한, Sb를 크게 하면 칩 면적이 커져, 코스트가 높아진다. 따라서, IC(14)의 칩 사이즈의 과제로부터, Sb/SO는 50 이하로 하는 것이 바람직하다. 또한, 게이트 배선(153)의 안정된 설계, 링킹의 과제 등의 제약으로부터, Sb/SO는 5 이상으로 하는 것이 바람직하다. 따라서, $5 \leq Sb/SO \leq 50$ 의 조건을 만족시킬 필요가 있다.

도 71의 그래프(실선)로부터, Sb/SO이 작아질수록 실선 커브의 기울기는 완만해진다. 또한, Sb/SO이 15 이상에서는 기울기가 일정하게 되는 경향이 있다. 따라서, Sb/SO이 5 이상 15 이하에서는, 게이트 배선(153)의 저항값은 400(K Ω) 이하로 할 필요가 있다. 또한, Sb/SO이 15 이상 50 이하에서는, Sb/SO $\times$ 24(K Ω) 이하로 할 필요가 있다. 예를 들면, Sb/SO=50일 때에는, 50 $\times$ 24=1200(K Ω) 이하로 할 필요가 있다.

트랜지스터(158b)에 흐르는 기준 전류 Ic와, 허용 게이트 배선 저항에는 상관이 있다. 기준 전류 Ic가 클수록 트랜지스터(158b)로부터 게이트 배선(153)을 보았을 때의 임피던스가 낮아지기 때문이다. 도 72에 그 관계를 나타낸다. 도 72는 횡축을 트랜지스터(158b)(혹은 트랜지스터군(431b))에 흐르는 기준 전류 Ic(μ A)이다. 종축이 허용할 수 있는 게이트 배선 저항(K Ω)을 나타내고 있다. 도 72의 실선의 하측의 범위가 허용 범위이다(링킹의 발생의 영향을 받지 않는 범위이다). 바꿔 말하면, 가로 크로스토크가 실용상 허용할 수 있는 범위이다.

기준 전류 Ic를 크게 하면, 게이트 배선(153)의 안정도는 향상한다. 그러나, 소스 드라이버 IC(14)에서 소비하는 무효 전류가 증가하고, 또한, 게이트 배선(153)의 전위도 높아진다. 이로 인해, 기준 전류 Ic는 50(μ A) 이하로 할 필요가 있다.

기준 전류 Ic를 작게 하면, 게이트 배선(153)의 안정도는 저하하기 때문에, 게이트 배선(153)의 저항값을 낮출 필요가 있다. 그러나, 일정값 이하로 기준 전류를 낮추면 단위 트랜지스터(431c)로부터의 출력 전류의 변동이 커진다. 즉 출력 전류의 안정도가 없어진다. 이로 인해, 기준 전류 Ic는 2(μ A) 이상으로 할 필요가 있다. 이상의 점으로부터, 트랜지스터(158b)에 흐르는 기준 전류 Ic는 2(μ A) 이상 50(μ A) 이하로 할 필요가 있다.

도 72의 그래프(실선)는, 2개의 직선에 근사할 수 있다. Ic가 2(μ A) 이상 15(μ A) 이하에서는, 게이트 배선(153)의 저항값(M Ω)은, $0.04 \times Ic$ (M Ω) 이하로 할 필요가 있다. 예를 들면, Ic=15(μ A)이면, 게이트 배선(153)의 저항값은, $0.04 \times 15 = 0.6$ (M Ω) 이하의 조건을 만족시킬 필요가 있다.

Ic가 15(μ A) 이상 50(μ A) 이하에서는, 게이트 배선(153)의 저항값(M Ω)은, $0.025 \times Ic$ (M Ω) 이하로 할 필요가 있다. 예를 들면, Ic=50(μ A)이면, 게이트 배선(153)의 저항값은, $0.025 \times 50 = 1.25$ (M Ω) 이하의 조건을 만족시킬 필요가 있다.

1화소행이 선택되는 기간(1수평 주사 기간(1H))과, 게이트 배선(153)의 저항 R(K Ω) $\times$ 게이트 배선(153)의 길이 D(m)에도 상관이 있다. 1H 기간이 짧아질수록, 게이트 배선(153)의 전위가 정상값으로 되돌아오는 데 필요로 되는 기간을 짧게 할 필요가 있기 때문이다. 또한, 도 47과 같이 게이트 배선(153) 길이 D(=드라이버 IC의 칩 길이)가 길어지면, 트랜지스터(158b)로부터 가장 먼 단위 트랜지스터군(431c)의 전위 변동이 허용 범위를 초과하기 때문이다.

이 현상이 발생하는 것은, 단위 트랜지스터(154)와 소스 신호선(18) 사이의 기생 용량이 영향을 주고 있기 때문이라고 추정된다. 즉, 드라이버 IC(14)의 칩 길이 D가 길어지면 단순한 게이트 배선(153)의 저항값뿐만 아니라, 기생 용량에 의한 게이트 배선(153)의 전위 변동도 고려할 필요가 있다는 것을 나타내고 있다.

도 73은 횡축을 1수평 주사 기간(μ 초)으로 하고 있다. 종축이 게이트 배선 저항(K Ω)과 칩 길이 D(m)의 승산값이다. 도 73의 실선의 하측의 범위가 허용 범위이다. R $\cdot$ D는 9(K $\Omega \cdot$ m)이 소스 드라이버 IC의 제작 한계이다. 이 이상은, 코스트가 높아져 실용적이지 않다. 한편, R $\cdot$ D가 0.05 이하에서는, 전류 Id가 지나치게 커져, 인접 출력 전류의 변동이 지나치게 커진다. 따라서, R $\cdot$ D(K $\Omega \cdot$ m)는 0.05 이상 9 이하로 할 필요가 있다.

화소(16)를 구성하는 트랜지스터(11)를 P 채널로 구성하면, 프로그램 전류는 화소(16)로부터 소스 신호선(18)으로 유출되는 방향으로 된다. 그 때문에, 소스 드라이버 회로의 단위 트랜지스터(154)(도 15, 도 57, 도 58, 도 59 등을 참조할 것)는, N 채널의 트랜지스터로 구성할 필요가 있다. 즉, 소스 드라이버 회로(IC)(14)는 프로그램 전류 Iw를 인입하도록 회로 구성할 필요가 있다.

화소(16)의 구동용 트랜지스터(11a)(도 1인 경우)가 P 채널 트랜지스터인 경우에는, 반드시, 소스 드라이버 회로(IC)(14)는 프로그램 전류 Iw를 인입하도록, 단위 트랜지스터(154)를 N 채널 트랜지스터로 구성한다.

소스 드라이버 회로(IC)(14)를 어레이 기판(30)에 형성하기 위해서는, N 채널용 마스크(프로세스)와 P 채널용 마스크(프로세스)의 양쪽을 이용할 필요가 있다. 개념적으로 설명하면, 화소(16)와 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성하고, 소스 드라이버의 인입 전류원의 트랜지스터는 N 채널로 구성하는 것이 본 발명의 표시 패널(표시 장치)이다.

본 발명의 일 실시예는, 화소(16)의 트랜지스터(11)를 P 채널 트랜지스터로 형성하고, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 형성한다. 이와 같이 화소(16)의 트랜지스터(11)와 게이트 드라이버 회로(12)의 양쪽을 P 채널 트랜지스터로 형성함으로써, 기판(30)을 저코스트화할 수 있다.

소스 드라이버 회로(IC)(14)는, 단위 트랜지스터(154)를 N 채널 트랜지스터로 형성하는 것이 필요로 된다. 그러나, P 채널만의 프로세스에서는, 소스 드라이버 회로(IC)(14)는 기판(30)에 직접 형성할 수 없다. 그래서, 별도로, 실리콘 칩 등으로 소스 드라이버 회로(IC)(14)를 제작하여, 기판(30)에 적재한다. 즉, 본 발명은, 소스 드라이버 IC(14)(영상 신호로서의 프로그램 전류를 출력하는 수단)을 외부 부착하는 구성이다.

또한, 단위 트랜지스터(154)의 면적을 동일하게 한 경우, N 채널로 형성한 단위 트랜지스터(154)의 변동은, P 채널로 형성한 단위 트랜지스터의 변동과 비교하여 70%로 된다. 즉, N 채널로 단위 트랜지스터(154)를 형성하는 쪽이, 동일 트랜지스터 형성 면적에서 변동을 작게 할 수 있다. 검토의 결과에 따르면, P 채널의 단위 트랜지스터의 변동을 N 채널의 단위 트랜지스터와 동일하게 하기 위해서는, 2배의 형성 면적이 필요하였다(도 159 참조할 것).

소스 드라이버 회로(IC)(14)는 실리콘 칩으로 구성하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 저온 폴리실리콘 기술 등으로 글래스 기판에 다수개를 동시에 형성하고, 칩 형상으로 절단하여, 기판(30)에 적재해도 된다.

또한, 기판(30)에 소스 드라이버 회로를 적재하는 것으로서 설명하고 있지만, 적재에 한정되는 것은 아니다. 소스 드라이버 회로(IC)(14)의 출력 단자(431)를 기판(30)의 소스 신호선(18)에 접속하는 것이면 어떠한 형태라도 된다. 예를 들면, TAB 기술로 소스 드라이버 회로(IC)(14)를 소스 신호선(18)에 접속하는 방식이 예시된다. 실리콘 칩 등에 별도로 소스 드라이버 회로(IC)(14)를 형성함으로써, 출력 전류의 변동이 저감하여, 양호한 화상 표시를 실현할 수 있다. 또한, 저코스트화가 가능하다.

또한, 화소(16)의 선택 트랜지스터를 P 채널로 구성하고, 게이트 드라이버 회로를 P 채널 트랜지스터로 구성한다고 하는 구성은, 유기 EL 등의 자기 발광 디바이스(표시 패널 혹은 표시 장치)에 한정되는 것은 아니다. 예를 들면, 액정 표시 디바이스, FED(필드 에미션 디스플레이)에도 적용할 수 있다.

화소(16)의 스위칭용 트랜지스터(11b, 11c)가 P 채널 트랜지스터로 형성되어 있으면, V_{gh} 에서 화소(16)가 선택 상태로 된다. V_{gl} 에서 화소(16)가 비선택 상태로 된다. 이전에도 설명했지만, 게이트 신호선(17a)이 온(V_{gl})으로부터 오프(V_{gh})로 될 때에 전압이 관통한다(관통 전압). 화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터로 형성되어 있으면, 흑색 표시 상태일 때, 이 관통 전압에 의해 트랜지스터(11a)가 더욱 전류가 흐르지 않게 된다. 따라서, 양호한 흑색 표시를 실현할 수 있다. 흑색 표시를 실현하는 것이 곤란하다고 하는 점이, 전류 구동 방식의 과제이다.

본 발명에서는, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성함으로써, 온 전압은 V_{gh} 로 된다. 따라서, P 채널 트랜지스터로 형성된 화소(16)와 매칭이 좋다. 또한, 흑색 표시를 양호하게 하는 효과를 발휘시키기 위해서는, 도 1, 도 2, 도 6, 도 7, 도 8의 화소(16)의 구성과 같이, 애노드 전압 V_{dd} 로부터 구동용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)에 프로그램 전류 I_w 가 유입하도록 구성하는 것이 중요하다.

따라서, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(IC)(14)를 기판에 적재하고, 또한 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)를 N 채널 트랜지스터로 구성하는 것은, 우수한 상승 효과를 발휘한다.

또한, N 채널로 형성한 단위 트랜지스터(154)는 P 채널로 형성한 단위 트랜지스터(154)와 비교하여 출력 전류의 변동이 작다. 동일 면적(W·L)의 단위 트랜지스터(154)로 비교한 경우, N 채널의 단위 트랜지스터(154)는 P 채널의 단위 트랜지스터(154)와 비교하여, 출력 전류의 변동은 1/1.5 내지 1/2로 된다. 이 이유로부터도 소스 드라이버 IC(14)의 단위 트랜지스터(154)는 N 채널로 형성하는 것이 바람직하다.

또한, 도 42의 (b)에 있어서도 마찬가지이다. 도 42의 (b)는 구동용 트랜지스터(11b)를 통하여 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)에 전류가 유입하는 것은 아니다. 그러나, 애노드 전압 V_{dd} 로부터 프로그램용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)에 프로그램 전류 I_w 가 유입하도록 구성해도 된다.

따라서, 도 1과 마찬가지로, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(IC)(14)를 기판에 적재하고, 또한 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)를 N 채널 트랜지스터로 구성하는 것은, 우수한 상승 효과를 발휘한다.

본 발명에서는, 화소(16)의 구동용 트랜지스터(11a)를 P 채널로 구성하고, 스위칭 트랜지스터(11b, 11c)를 P 채널로 구성한다. 또한, 소스 드라이버 IC(14)의 출력단의 단위 트랜지스터(154)를 N 채널로 구성으로 것으로 했다. 또한, 바람직하게는, 게이트 드라이버 회로(12)는 P 채널 트랜지스터로 구성하는 것으로 했다.

상술한 것의 반대의 구성이어도 효과를 발휘하는 것은 물론이다. 화소(16)의 구동용 트랜지스터(11a)를 N 채널로 구성하고, 스위칭 트랜지스터(11b, 11c)를 N 채널로 구성한다. 또한, 소스 드라이버 IC(14)의 출력단의 단위 트랜지스터(154)를 P 채널로 하는 구성이다. 또한, 바람직하게는, 게이트 드라이버 회로(12)는 N 채널 트랜지스터로 구성한다. 이 구성도 본 발명의 구성이다.

다음으로, 프리차지 회로에 대하여 설명한다. 앞서서도 설명하고 있지만, 전류 구동 방식에서는, 흑색 표시시에, 화소에 기입하는 전류가 작다. 그 때문에, 소스 신호선(18) 등에 기생 용량이 있으면, 1수평 주사 기간(1H)에 화소(16)에 충분한 전류를 기입할 수 없다고 하는 문제점이 있었다. 일반적으로, 전류 구동형 발광 소자에서는, 흑레벨의 전류값은 수 nA 정도로 미약하기 때문에, 그 신호값으로 수 10pF 정도라고 생각되는 기생 용량(배선 부하 용량)을 구동하는 것은 곤란하다.

이 과제를 해결하기 위해서는, 소스 신호선(18)에 화상 데이터를 기입하기 전에, 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하고, 소스 신호선(18)의 전위 레벨을 화소의 트랜지스터(11a)의 흑색 표시 전류(기본적으로는 트랜지스터(11a)는 오프 상태)로 하는 것이 유효하다. 이 프리차지 전압(프로그램 전압과 같거나 유사)의 형성(작성)에는, 화상 데이터의 상위 비트를 디코드함으로써, 흑레벨의 정전압 출력을 행하는 것이 유효하다.

프리차지라 함은, 소스 신호선(18)에 1H의 처음 등에, 강제적으로 전압을 인가하는 방법이다. 전압은, 구동용 트랜지스터(11a)(도 1의 경우를 예시하지만, 이것에 한정되지 않는다. 전압 구동의 화소 구성이어도 된다)를 오프 상태로 하는 것이다. 구동용 트랜지스터(11a)가 P 채널인 경우에는, 애노드 전압에 가까운 전압을 인가한다. 즉, 오프 상태로 하는 전압을 인가한다. N 채널인 경우에는, 캐소드 전압에 가까운 전압을 인가한다.

프리차지라 함은 구동용 트랜지스터(11a)를 오프 상태(상승 전류 이하의 상태) 또는 그 근방의 전압을 인가하는 것이다. 혹은, 도 135~139 등과 같이 복수의 프리차지 전압(프로그램 전압과 같거나 유사)을 이용하는 (저계조 프리차지 구동) 경우에는, 구동용 트랜지스터(11a)의 게이트 단자(G)에 전압을 인가하고, 인가한 전압에 따라서 구동용 트랜지스터(11a)의 출력 전류를 변화(제어)시키는 것이다. 또한, 프리차지 구동은, 화소 트랜지스터(11a)에 흑(黑) 전압을 기입하는 것이다. 또한, 화소 트랜지스터(11a)를 컷오프 상태로 하는 구동 방법이다. 또한, 컨덴서(11a)의 단자 전압을 트랜지스터(11a)가 오프하는 전압을 기입하는 것이다.

이상과 같이 프리차지 전압(프로그램 전압과 같거나 유사)을 인가한다는 것은, 구동용 트랜지스터(11a)를 강제적으로 오프 상태로 하는 전압을 인가하는 방식이다. 또한, 소스 신호선(18)에 전압을 인가하여, 강제적으로 충방전시키는 것을 말한다.

프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 것으로 했지만, 소스 신호선(18)의 전위를 변화시키기 위해서는, 전압의 인가뿐만 아니라, 전류를 인가(충전 또는 방전)해도 소스 신호선(18)의 전위를 변화시킬 수 있다. 따라서, 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 기술적 사상은, 프리차지 전류를 인가하는 것도 포함된다.

프리차지 전압(프로그램 전압과 같거나 유사)(전류)는 1수평 주사 기간에 1회 인가하는 것에 한정되는 것은 아니고, 1수평 주사 기간에 복수회 분할하여 인가해도 된다. 또한, 복수 수평 주사 기간에 1회 인가하도록 제어해도 된다. 또한, 1프레임 또는 1필드 기간에 1회 이상 인가해도 되고, 복수 필드 또는 1프레임에 복수회 혹은 1회 인가해도 되는 것은 물론이다.

또한, 1수평 주사 기간 또는 1프레임 등에 복수회 인가하는 경우에는, 복수회 내에서 프리차지 전압(프로그램 전압과 같거나 유사)의 크기를 변화시켜도 되고, 복수회 내에서 인가 기간을 변화시켜도 되는 것은 물론이다. 또한, 인가 위치(소스 신호선(18)의 양단과 중앙부 등)를 변화시켜도 된다. 인가 위치는 프레임 또는 수평 주사 기간으로 변화시켜도 된다.

본 발명은, 구동용 트랜지스터를 P 채널로 하고, 프리차지 전압(프로그램 전압과 같거나 유사)을 애노드 전압 V_{dd} 이하(애노드 전압 $V_{dd} - 1.5(V)$)로 하는 것을 특징으로 하고 있다. 또한, R, G, B에서 적어도 1개는 다른 프리차지 전압(프로그램 전압과 같거나 유사)을 다르게 할 수 있도록 구성하고 있는 것을 특징으로 한다. 예를 들면, R, G, B마다 도 75의 구성을 소스 드라이버 IC(14) 내에 구성 혹은 형성한다.

본 발명은, 1개의 소스 드라이버 회로(IC)(14) 내에 R, G, B의 출력 회로(프로그램 전류(전압) 출력 회로 등)를 구비하는 것으로서 설명하고 있지만, 이것에 한정되는 것은 아니다. 예를 들면, R, G, B 각각 개별의 출력을 내는 3개의 소스 드라이버 회로(IC)(14)를 설치하고, 1개의 어레이 기관(30) 등에 실장해도 된다. 또한, 도 75 등에서 설명하는 프리차지 회로 구성은, 각 R, G, B의 IC 칩(회로)(14) 내에 각각 배치한다. 또한, 본 발명은, 1개의 소스 드라이버 회로(IC)(14) 내에 R, G, B의 3개의 프리차지 회로 등을 배치하는 것에 한정되지 않는다. R, G, B 중, 1개 이상의 프리차지 회로를 배치 또는 형성하면 된다. RGB 모두에 프리차지하지 않더라도 흑색 표시를 양호하게 실시할 수 있는 색의 EL 소자(15)가 있기 때문이다.

프리차지의 전압은, 도 558에 도시하는 바와 같이, 일정 전압을 분압시켜, 복수의 프리차지 전압을 발생시켜도 된다. 도 558에서는, V_p 전압을 저항 R로 분압하고, 분압한 전압은 오피 앰프(502)를 통하여 임피던스를 저하시켜, 프리차지 전압 V_{p1} 및 V_{p2} 전압을 발생시키고 있다. 프리차지 전압(V_{p1} , V_{p2})은, 화상 데이터에 따라서 어느 하나를 선택하여, 단자(155)로부터 출력한다. 출력 전압의 선택은, 스위치(151a, 151b)에 의해 행한다.

도 186은 프리차지 구동의 설명도이다. 도 186의 (a)는 구동용 트랜지스터(11a)가 P 채널인 경우이다. 화소 구성은 도 1을 예시하여 설명하고 있지만, 이것에 한정되는 것은 아니다. 도 2, 도 7, 도 11, 도 12, 도 13, 도 28, 도 31 등의 다른 화소 구성의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.

프리차지 전압(프로그램 전압과 같거나 유사)은 소스 드라이버 회로(IC)(14)가 발생한다. 이 점도 본 발명의 특징이다. 또한, 소스 드라이버 회로(IC)(14)는 실리콘 칩의 IC이다. 또한, 프리차지 전압(프로그램 전압과 같거나 유사)은, 구동용 트랜지스터(11a)가 P 채널인 경우, V_{dd} 전압 이하이고 $V_{dd} - 5.0(V)$ 이상인 전압이다. 프리차지 전압(프로그램 전압과 같거나 유사) V_p 는, 화소 선택 트랜지스터(11c)가 온하여, 구동용 트랜지스터(11a)의 게이트 단자와 드레인 단자에 인가된다. 혹은 게이트 단자에 인가된다.

프리차지 전압(프로그램 전압과 같거나 유사)은 구동용 트랜지스터(11a)를 오프 상태(전류가 흐르지 않도록 하는 전압)로 하는 전압이다. 프리차지 전압(프로그램 전압과 같거나 유사)이 인가된 화소의 트랜지스터(11d)는 오프 상태로 되고, EL 소자(15)에는 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되지 않도록 제어되어 있다. 그 때문에, 프리차지 전압(프로그램 전압과 같거나 유사)에 의해 EL 소자(15)가 불필요한 발광을 행하는 일은 없다.

도 186의 (b)는 구동용 트랜지스터(11a)가 N 채널인 경우이다. 프리차지 전압(프로그램 전압과 같거나 유사)은 소스 드라이버 회로(IC)(14)가 발생한다. 프리차지 전압(프로그램 전압과 같거나 유사)은, 구동용 트랜지스터(11a)가 N 채널인 경우, V_{ss} 전압 이상 $V_{ss} + 5.0(V)$ 이하의 전압이다.

프리차지 전압(프로그램 전압과 같거나 유사) V_p 는, 화소 선택 트랜지스터(11c)가 온하여, 구동용 트랜지스터(11a)의 게이트 단자와 드레인 단자에 인가된다. 혹은 게이트 단자에 인가된다. 프리차지 전압(프로그램 전압과 같거나 유사)은 구동용 트랜지스터(11a)를 오프 상태(전류가 흐르지 않도록 하는 전압)로 하는 전압이다. 프리차지 전압(프로그램 전압과 같거나 유사)이 인가된 화소의 트랜지스터(11d)는 오프 상태로 되고, EL 소자(15)에는 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되지 않도록 제어되어 있다. 그 때문에, 프리차지 전압(프로그램 전압과 같거나 유사)에 의해 EL 소자(15)가 불필요한 발광을 행하는 일은 없다.

도 187의 (a)는, 도 13과 같이 화소 구성이 커런트 미러 구성인 경우이다. 구동용 트랜지스터(11b)가 P 채널인 경우이다. 프리차지 전압(프로그램 전압과 같거나 유사)은 소스 드라이버 회로(IC)(14)가 발생한다. 프리차지 전압(프로그램 전압과 같거나 유사)은, 구동용 트랜지스터(11a)가 P 채널인 경우, V_{dd} 전압 이하이고 $V_{dd} - 5.0(V)$ 이상인 전압이다. 프리차지 전압(프로그램 전압과 같거나 유사) V_p 는, 화소 선택 트랜지스터(11c)가 온하여, 구동용 트랜지스터(11a)의 게이트 단자와 드레인 단자에 인가된다. 혹은 게이트 단자에 인가된다.

프리차지 전압(프로그램 전압과 같거나 유사)은 구동용 트랜지스터(11a)를 오프 상태(전류가 흐르지 않도록 하는 전압)로 하는 전압이다. 프리차지 전압이 인가된 화소의 트랜지스터(11d)는 오프 상태로 되고, EL 소자(15)에는 프리차지 전압이 인가되지 않도록 제어되어 있다. 그 때문에, 프리차지 전압에 의해 EL 소자(15)가 불필요한 발광을 행하는 일은 없다.

도 187의 (b)에 도시하는 바와 같이, 트랜지스터(11d)는 반드시 필요한 것은 아니다. 특히, 도 13과 같이 커런트 미러 회로 구성에서는 불필요하다. 또한, 도 186의 (b)에 도시하는 바와 같이, 도 187에 있어서도 구동용 트랜지스터(11b)를 N 채널로 구성할 수 있는 것도 물론이다.

이상의 프리차지 구동의 일례를 도시하면, 도 565 내지 도 568로 된다. 또한, 프리차지 전압은, 전자 볼륨 등에 의해 자유롭게 설정할 수 있도록 구성하는 것이 바람직하다.

도 565 내지 도 569에 있어서, 상단의 도면은, 프리차지를 인가하지 않는 상태의 소스 신호선(18) 전위를 나타내고 있다. 화소(16)의 구동용 트랜지스터는 P 채널로 하고 있다. 또한, 화소 데이터는 이해를 용이하게 하기 위해 64계조로서 표시하고 있다. 따라서, 프리차지 전압(PRV)은, 애노드 전압(Vdd)에 가까운 전압을 인가한다. 프리차지 전압(PRV)을 인가하는 것에 의해, 구동용 트랜지스터에 전류를 흐르지 않도록 한다. 혹은 전류가 흐르기 어렵도록 한다. 즉, 화소(16)를 흑색 표시로 한다. 구동용 트랜지스터가 N 채널인 경우에는, 프리차지 전압은 접지(GND) 전위 또는 캐소드 전압(Vss)에 가까운 전압을 인가하여, 구동용 트랜지스터에 전류가 흐르지 않도록 한다.

이상은, 프리차지 전압의 인가에 의해 화소를 흑색 표시 혹은 흑색 표시에 가까운 상태로 하는 방법의 경우이다. 그러나, 프리차지 전압을 인가함으로써, 백색 표시로 하는 경우도 있다. 따라서, 프리차지 전압의 인가라 함은, 흑색 표시 전압뿐만 아니라, 소스 신호선(18)에 전압을 인가하는 것에 의해, 소스 신호선(18)을 일정 전위로 하는 방법이다.

도 1 등, 화소(16)의 구동용 트랜지스터(11a)가 P 채널인 경우에는, 스위칭용 트랜지스터(11b)도 P 채널로 형성하는 것이 중요하다. 스위칭 소자(11b)가 온 상태에서부터 오프 상태로 될 때의 관통 전압에 의해 흑색 표시가 용이하게 되기 때문이다. 따라서, 화소(16)의 구동용 트랜지스터(11a)가 N 채널인 경우에는, 스위칭용 트랜지스터(11b)도 N 채널로 형성하는 것이 중요하다. 스위칭 소자(11b)가 온 상태에서부터 오프 상태로 될 때의 관통 전압에 의해 흑색 표시가 용이하게 되기 때문이다.

하단은, 소스 신호선(18)에 프리차지 전압(PRV)을 인가했을 때에 소스 신호선 전위를 도시하고 있다. 화살표의 개소가 프리차지 전압(PRV)의 인가 위치를 나타내고 있다. 또한, 프리차지 전압의 인가 위치는, 1H의 최초로 한정되는 것은 아니다. 1/2H까지의 기간에 프리차지 전압을 인가하면 된다. 또한, 소스 신호선(18)에 프리차지 전압을 인가할 때에는, 선택측의 게이트 드라이버(12a)의 OEV 단자를 조작하여, 어떠한 게이트 신호선(17a)도 선택되어 있지 않은 상태로 하는 것이 바람직하다.

도 565는 All 프리차지 모드이다. 1H의 최초에 프리차지 전압(PRV)을 소스 신호선에 인가하고 있다. 소스 신호선(18)에 프리차지 전압(PRV)을 인가하는 것에 의해, 일단 소스 신호선(18)은 흑색 표시 전압이 인가된다.

도 566은 선택 프리차지 모드로서, 0계조(완전 흑색 표시)에만 프리차지 전압을 인가했을 때의 소스 신호선 전위를 나타내고 있다.

도 567은 선택 프리차지 모드로서, 8계조 이하인 경우에는 프리차지 전압을 인가했을 때의 소스 신호선 전위를 나타내고 있다.

또한, 도 568은 적응 프리차지 모드로서, 0계조에만 프리차지를 행하고, 또한 0계조가 연속되는 경우에는, 1회 프리차지를 행한 후에는, 연속되는 0계조에는 프리차지를 행하지 않는 것이다. 도 568의 적응 프리차지 모드에 있어서, 8계조 이하로 선택 프리차지를 행하는 경우에는, 8계조 이하가 연속되는 경우에는, 1회 프리차지를 행한 후에는, 연속되는 8계조 이하로는 프리차지를 행하지 않는 것이다.

전류 구동(전류 프로그램) 방식의 경우에는, 소스 신호선(18)에 흐르는 전류의 크기가 작다. 따라서, 소스 신호선(18)이 플로팅 상태로 되어, 전위가 불확정하게 되는 경우가 있다. 이 대책으로서, 프리차지 전압을 소스 신호선(18)에 인가하여, 소스 신호선(18)의 전위를 안정화시키는 방법이 예시된다.

도 569는, 프리차지 전압을 소스 신호선(18)에 인가하는 것에 의해 안정화시킨 실시예이다. 1필드 혹은 1프레임의 최후 혹은 최초로 소스 신호선(18)에 프리차지 전압을 일제히 인가하고 있다. 도 570은 그의 변형예이다. 제1 필드에서는 홀수 번째의 소스 신호선(18)에 프리차지 전압을 인가하고, 제2 필드에서는, 짝수번째의 소스 신호선(18)에 프리차지 전압을 인가하고 있다.

프리차지 전압은, 도 571에 도시하는 바와 같이, 표시 기간보다 1H 이상전에 인가하는 것이 바람직하다. 도 571에서는, $B=2H$ (2수평 주사 기간) 전에 프리차지를 행하고 있다. 표시 기간의 직전에 프리차지를 행하면, 프리차지에 의해 소스 신호선(18)의 전위가 크게 변동하고, 화상 표시의 최초의 화소행의 휘도가 저하하여 악영향이 생기는 경우가 있기 때문이다.

도 75에, 본 발명의 프리차지 기능을 가진 전류 출력 방식의 소스 드라이버 회로(IC)(14)의 일례를 나타낸다. 도 75에서는, 6비트의 정전류 출력 회로(164)의 출력단에 프리차지 기능을 탑재한 경우를 나타내고 있다.

도 75에서는, 프리차지 전압을 인가하면, 내부 배선(150)의 B점에 프리차지 전압이 인가된다. 따라서, 프리차지 전압은 전류 출력단(164)에도 인가되게 된다. 그러나, 전류 출력단(164)은 정전류 회로이므로, 고 임피던스이다. 그 때문에, 정전류 회로(164)에 프리차지 전압이 인가되더라도 회로의 동작상 문제는 발생하지 않는다.

프리차지는 전체 게조 범위에서 실시해도 되지만, 바람직하게는, 프리차지를 행하는 게조는, 흑색 표시 영역에 한정해야 한다. 즉, 기입 화상 데이터를 판정하고, 흑색 영역 게조(저휘도, 즉, 전류 구동 방식에서는, 기입 전류가 작다(미소))를 선택하여 프리차지한다(선택 프리차지라고 부른다). 전체 게조 데이터에 대하여 프리차지하면, 이번에는, 백색 표시 영역에서, 휘도의 저하(목표 휘도에 도달하지 않는다)가 발생한다. 또한, 화상에 세로줄무늬가 표시된다고 하는 과제가 발생하는 경우가 있다.

바람직하게는, 게조 데이터의 게조 0으로부터 전체 게조의 1/8의 영역의 게조 영역에서, 선택 프리차지를 행한다(예를 들면, 64게조일 때에는, 0게조째로부터 7게조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 또한, 바람직하게는, 게조 데이터의 게조 0으로부터 1/16의 영역의 게조에서, 선택 프리차지를 행한다(예를 들면, 64게조일 때에는, 0게조째로부터 3게조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함).

특히, 흑색 표시에서, 콘트라스트를 높게 하기 위해서는, 게조 0만을 검출하여 프리차지하는 방식도 유효하다. 매우 흑색 표시가 양호하게 된다. 게조 0만을 프리차지하는 방법은, 화상 표시에 부여하는 폐해의 발생이 적다. 따라서, 가장 프리차지 기술로서 채용하는 것이 바람직하다.

프리차지의 전압, 게조 범위는, R, G, B에서 다르게 하는 것도 유효하다. EL 표시 소자(15)는, R, G, B에서 발광 개시 전압, 발광 휘도가 다르기 때문이다. 예를 들면, R은, 게조 데이터의 게조 0으로부터 1/8의 영역의 게조에서, 선택 프리차지를 행한다(예를 들면, 64게조일 때에는, 0게조째로부터 7게조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 다른 색(G, B)은, 게조 데이터의 게조 0으로부터 1/16의 영역의 게조에서, 선택 프리차지를 행한다(예를 들면, 64게조일 때에는, 0게조째로부터 3게조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함) 등의 제어를 행한다. 또한, 프리차지 전압도, R은 7(V)이면, 다른 색(G, B)은, 7.5(V)의 전압을 소스 신호선(18)에 기입하도록 한다.

최적의 프리차지 전압은, EL 표시 패널의 제조 로트에서 다른 경우가 많다. 따라서, 프리차지 전압은, 외부 볼륨 등에 의해 조정할 수 있도록 구성해 두는 것이 바람직하다. 이 조정 회로도 전자 볼륨 회로를 이용함으로써 용이하게 실현할 수 있다.

또한, 프리차지 전압은, 도 1의 애노드 전압 $V_{dd}-0.5(V)$ 이하, 애노드 전압 $V_{dd}-2.5(V)$ 이상으로 하는 것이 바람직하다.

게조 0만을 프리차지하는 방법에 있어서도, R, G, B의 1색 혹은 2색을 선택하여 프리차지하는 방법도 유효하다. 화상 표시에 부여하는 폐해의 발생이 적다. 또한, 화면 휘도가 소정 휘도 이하 혹은 소정 휘도 이상일 때에, 프리차지하는 것도 유효하다. 특히 표시 화면(144)의 휘도가 저휘도일 때에는, 흑색 표시가 곤란하다. 저휘도일 때에, 0게조 프리차지 등의 프리차지 구동을 실시함으로써 화상의 콘트라스트감이 양호하게 된다.

또한, 전혀 프리차지하지 않는 제0 모드, 게조 0만을 프리차지하는 제1 모드, 게조 0 내지 게조 3의 범위에서 프리차지하는 제2 모드, 게조 0 내지 게조 7의 범위에서 프리차지하는 제3 모드, 전체 게조의 범위에서 프리차지하는 제4 모드 등을 설정하고, 이들을 커맨드에 의해 전환하도록 구성하는 것이 바람직하다. 이들은, 소스 드라이버 회로(IC)(14)내에 있어서 로직 회로를 구성(설계)함으로써 용이하게 실현할 수 있다.

이상의 신호의 인가 상태에 의해, 스위치(151a)가 온 오프 제어되고, 스위치(151a) 온일 때, 프리차지 전압 PV가 소스 신호선(18)에 인가된다. 또한, 프리차지 전압 PV를 인가하는 시간은, 별도로 형성한 카운터(도시 생략)에 의해 설정된다. 이 카운터는 커맨드에 의해 설정할 수 있도록 구성되어 있다. 또한, 프리차지 전압의 인가 시간은 1수평 주사 기간(1H)의 1/100 이상 1/5 이하의 시간으로 설정하는 것이 바람직하다. 예를 들면, 1H가 100 μ sec라고 하면, 1 μ sec 이상 20 μ sec(1H의 1/100 이상 1H의 1/5 이하)로 한다. 더욱 바람직하게는, 2 μ sec 이상 10 μ sec(1H의 2/100 이상 1H의 1/10 이하)로 한다.

일치 회로(161)의 출력과 카운터 회로(162)의 출력이, AND 회로(163)에서 AND되고, 일정 기간, 흑레벨 전압 V_p 를 출력하도록 구성되어 있다.

도 75는, 프리차지 전압을 계조에 따라서 변화할 수 있도록 구성한 실시예이다. 도 75에서는 인가하는 화상 데이터에 따라서 프리차지 전압을 변화시키는 것을 용이하게 실현할 수 있다. 프리차지 전압은 화상 데이터(D3~D0)에 따라서, 전자 볼륨(501)에 따라 변화시킬 수 있다. 도 75에서는, D3~D0 비트는 전자 볼륨에 접속되어 있기 때문에, 저계조의 프리차지 전압을 변경할 수 있도록 하고 있는 것을 알 수 있다. 이것은, 흑색 표시의 기입 전류는 미소하고, 백색 표시의 기입 전류는 크기 때문이다.

따라서, 저계조 영역으로 됨에 따라서, 프리차지 전압을 높게 한다. 화소(16)의 구동용 트랜지스터(11a)를 P 채널로 하고 있기 때문에, 애노드 전압(V_{dd})이 더욱 흑색 표시 전압이다. 고계조 영역으로 됨에 따라서, 프리차지 전압을 낮게(화소 트랜지스터(11a)가 P 채널일 때) 한다. 즉, 저계조 표시에서는, 전압 프로그램 방식이 실시되고, 고계조 표시(백색 표시)에서는, 전류 프로그램 방식이 실시되고 있게 된다.

물론, 도 75는 계조에 따라서 프리차지 전압을 변화시킬 뿐만 아니라, 온도 혹은 점등률, 기준 전류비, duty비에 따라서 프리차지 전압을 변화 혹은 제어해도 된다. 또한, 온도 혹은 점등률, 기준 전류비, duty비에 따라서 프리차지 전압의 인가 시간을 변화 혹은 제어해도 된다.

도 75의 프리차지 회로에서는, 계조 0만을 프리차지할지, 계조 0 내지 계조 7의 범위에서 프리차지할지를 선택할 수 있다. 또한, 각 계조에 대한 프리차지 전압도 전자 볼륨(501)에 의해 변경할 수 있다.

소스 신호선(18)에 인가하는 화상 데이터에 의해, 프리차지 전압 PV 인가 시간을 가변함으로써도 양호한 결과가 얻어진다. 예를 들면, 완전 흑색 표시의 계조 0에서는 인가 시간을 길게 하고, 계조 4에서는 그것보다 짧게 하는 등이다. 또한, 1H 전의 화상 데이터와 다음에 인가하는 화상 데이터의 차를 고려하여, 인가 시간을 설정하는 것도 양호한 결과를 얻을 수 있다.

예를 들면, 1H 전에 소스 신호선에 화소를 백색 표시로 하는 전류를 기입하고, 다음의 1H에, 화소에 흑색 표시로 하는 전류를 기입할 때에는, 프리차지 시간을 길게 한다. 흑색 표시의 전류는 미소하기 때문이다. 반대로, 1H 전에 소스 신호선에 화소를 흑색 표시로 하는 전류를 기입하고, 다음의 1H에, 백소에 흑색 표시로 하는 전류를 기입할 때에는, 프리차지 시간을 짧게 하거나, 혹은 프리차지를 정지한다(행하지 않는다). 백색 표시의 기입 전류는 크기 때문이다. 물론, 점등률에 의해 프리차지 시간을 제어(가변)해도 된다.

인가하는 화상 데이터에 따라서 프리차지 전압을 변화시키는 것도 유효하다. 흑색 표시의 기입 전류는 미소하고, 백색 표시의 기입 전류는 크기 때문이다. 따라서, 저계조 영역으로 됨에 따라서, 프리차지 전압을 높게(V_{dd} 에 대하여. 또한, 화소 트랜지스터(11a)가 P 채널일 때)하고, 고계조 영역으로 됨에 따라서, 프리차지 전압을 낮게(화소 트랜지스터(11a)가 P 채널일 때) 한다고 하는 제어 방법도 유효하다.

화면에 백색 표시 영역(일정한 휘도를 갖는 영역)의 면적(백색 면적)과, 흑색 표시 영역(소정 이하의 휘도의 영역)의 면적(흑색 면적)이 혼재하고, 백색 면적과 흑색 면적의 비율이 일정한 범위일 때, 프리차지를 정지한다고 하는 기능을 부가하는 것은 유효하다(적정 프리차지). 이 일정한 범위에서, 화상에 세로줄무늬가 발생하기 때문이다. 물론, 반대로 일정한 범위에서, 프리차지한다고 하는 경우도 있다. 또한, 화상이 움직였을 때, 화상이 노이즈적으로 되기 때문이다. 적정 프리차지는, 연산 회로에서 백색 면적과 흑색 면적에 해당하는 화소의 데이터를 카운트(연산)함으로써, 용이하게 실현할 수 있다.

프리차지 제어는, R, G, B에서 다르게 하는 것도 유효하다. EL 표시 소자(15)는, R, G, B에서 발광 개시 전압, 발광 휘도가 다르기 때문이다. 예를 들면, R은, 소정 휘도의 백색 면적:소정 휘도의 흑색 면적의 비가 1:20 이상에서 프리차지를 정지 또는 개시하고, G와 B는, 소정 휘도의 백색 면적:소정 휘도의 흑색 면적의 비가 1:16 이상에서 프리차지를 정지 또는 개시하는 방법이 예시된다.

또한, 실험 및 검토 결과에 따르면, 유기 EL 표시 패널의 경우, 소정 휘도의 백색 면적:소정 휘도의 흑색 면적의 비가 1:100 이상(즉, 흑색 면적이 백색 면적의 100배 이상)에서 프리차지를 정지하는 것이 바람직하다. 나아가서는, 소정 휘도의 백색 면적:소정 휘도의 흑색 면적의 비가 1:200 이상(즉, 흑색 면적이 백색 면적의 200배 이상)에서 프리차지를 정지하는 것이 바람직하다.

이전에도 설명을 했지만, 도 76에 도시하는 바와 같이, RGB의 화상 데이터(RDATA, GDATA, BDATA)는 각 8비트이다. RGB 각 8비트의 화상 데이터는, 감마 회로(764)에서 감마 변환되어, 10비트 신호로 된다. 감마 변환된 신호는, 프레임 레이트 컨트롤(FRC) 회로(765)에서 FRC 처리되어, 6비트의 화상 데이터로 변환된다. 프리차지 제어 회로(PC)(761)는, 변환된 6비트의 화상 데이터로부터 프리차지 제어 신호(프리차지할 때에는 H 레벨로 하고, 프리차지하지 않을 때에는 L 레벨로 함)를 발생시킨다. 이 프리차지를 발생시키는 방식에 대해서는 후에 설명한다.

또한, FRC는 10비트 신호를 8비트 혹은 6비트 처리하는 것이, 화상의 파탄도 없어 바람직하다.

도 77은, 소스 드라이버 회로(IC)(14)의 프리차지 회로(773)를 중심으로하는 블록도이다. 프리차지 회로(773)라 함은, 프리차지 제어 회로(761)에 의해 프리차지 제어 신호 PC 신호(적색(RPC), 녹색(GPC), 청색(BPC))가 출력된다. 이 PC 신호는 도 76에 도시하는 컨트롤 IC(81)의 프리차지 제어 회로(761)에 의해 발생하고, PC 신호는, 도 77에 도시하는 소스 드라이버 IC(14)의 셀렉터 회로(772)에 입력된다.

셀렉터 회로(772)는, 메인 클럭에 동기하여 출력단에 대응하는 래치 회로(771)로 순차적으로 래치해 간다. 래치 회로(771)는 래치 회로(771a)와 래치 회로(771b)의 2단 구성이다. 래치 회로(771b)는 수평 주사 클럭(1H)에 동기하여 프리차지 회로(773)에 데이터를 송출한다. 즉, 셀렉터는, 1화소행분의 화상 데이터 및 PC 데이터를 순차적으로 래치해 가고, 수평 주사 클럭(1H)에 동기하여, 래치 회로(771b)에서 데이터를 스토어한다.

또한, 도 77에서는, 래치 회로(771)의 R, G, B는 RGB의 화상 데이터 6비트의 래치 회로이고, P는 프리차지 신호(RPC, GPC, BPC)의 3비트를 래치하는 래치 회로이다.

프리차지 회로(773)는, 래치 회로(771b)의 출력이 H 레벨일 때, 스위치(151a)를 온시키고, 소스 신호선(18)에 프리차지 전압을 출력한다. 전류 출력 회로(164)는 화상 데이터에 따라서, 프로그램 전류를 소스 신호선(18)에 출력한다.

도 76, 도 77의 구성을 개략적으로 도시하면, 도 78의 구성으로 된다. 또한, 도 78, 도 79는 1개의 표시 패널에 복수의 소스 드라이버 회로(IC)(14)를 적재한 구성(소스 드라이버 IC의 캐소드 접속)이다. 또한, 도 78, 도 79의 CSEL1, CSEL2는 IC 칩의 셀렉트 신호이다. CSEL 신호에 의해 어느 쪽에 IC 칩을 선택하여, 화상 데이터 및 PC 신호를 입력할지를 결정한다.

도 77, 도 78의 구성에서는, 각 RGB 화상 데이터에 대응하여, 프리차지 컨트롤(PC) 신호를 발생시키고 있다. 프리차지의 인가는, 이상과 같이 RGB마다 행하는 것이 바람직하다. 그러나, 동화상 표시, 자연 화상 표시에서는, RGB마다 프리차지할지의 여부를 판단할 필요가 없는 경우가 많다. 즉, RGB를 휘도 신호로 변환하고(환산하고), 휘도에 의해 프리차지를 할지의 여부를 판단해도 된다. 이와 같이 한 것이, 도 79의 구성이다.

도 78의 구성에서는, PC 신호는 3비트 필요하지만(RPC, GPC, BPC), 도 79의 구성에서는, PC 신호는 RGBPC의 1비트로 된다. 따라서, 도 77의 래치 회로(771)에 있어서도, P는 1비트의 래치로 된다. 또한, 이후의 설명에서는, 설명을 용이하게 하는 점, 작도를 용이하게 하는 관점으로부터, RGB를 고려하지 않고서 설명을 행한다.

이상의 본 발명의 구성은, 컨트롤러 회로(IC)(760)가 화상 데이터에 기초하여 PC 신호(프리차지 제어 신호)를 발생하는 점, 소스 드라이버 IC(14)가 PC 신호를 래치하고 1H의 동기 신호에 동기하여 소스 신호선(18)에 인가하는 점에 특징이 있다. 또한, 컨트롤러(81)는 도 76에 도시하는 바와 같이, 프리차지 모드(PMODE) 신호에 의해, 프리차지 신호의 발생을 용이하게 변경할 수 있다.

예를 들면, PMODE라 함은, 계조 0만을 프리차지하는 모드, 계조 0-7 등 일정한 계조 범위를 프리차지하는 모드, 화상 데이터가 밝은 화상 데이터로부터 어두운 화상 데이터로 변화할 때에 프리차지하는 모드, 일정한 프레임에서 연속해서 저계조 표시로 될 때에, 프리차지하는 모드 등이 예시된다.

1화소의 데이터에 대하여 프리차지할지의 여부를 판단하는 것에 한정되는 것은 아니다. 예를 들면, 복수 화소행의 화상 데이터에 기초하여 프리차지 판단을 행해도 된다. 또한, 프리차지를 행하는 주변 화소의 화상 데이터를 감안하여(예를 들면,

웨이팅 처리 등) 프리차지 판단을 행해도 된다. 또한, 동화상과 정지 화상에서 프리차지 판단을 변화시키는 방법도 예시된다. 이상의 사항은, 화상 데이터에 기초하여, 컨트롤러가 프리차지 신호를 발생함으로써, 양호한 범용성이 발휘되는 점이 중요하다. 이후, 이 프리차지 판단과 프리차지 모드를 중심으로 설명한다.

프리차지를 할지의 판정은, 1화소행 전의 화상 데이터(혹은, 직전에 소스 신호선에 인가된 화상 데이터)에 기초하여 행해도 된다. 예를 들면, 어떤 소스 신호선(18)에 인가되는 화상 데이터가 백색→흑색→흑색이면, 백색으로부터 흑색으로 될 때에는 프리차지 전압을 인가한다. 흑 계조는 기입하기 어렵기 때문이다. 흑색으로부터 흑색인 경우에는, 프리차지 전압을 인가하지 않는다. 앞서 흑색 표시에서 소스 신호선(18)의 전위가 다음에 기입하는 흑색 표시의 전위로 되어 있기 때문이다. 이상의 동작은, 컨트롤러(81)에 1화소행분(FIFO이기 때문에 2라인의 메모리가 필요)의 라인 메모리를 형성(배치)함으로써 용이하게 실현할 수 있다.

또한, 본 발명에 있어서, 프리차지 구동에서는, 프리차지 전압을 출력하는 것으로서 설명을 하지만, 이것에 한정되는 것은 아니다. 1수평 주사 기간보다 짧고, 프로그램 전류보다 큰 전류를 소스 신호선(18)에 기입하는 방식이어도 된다. 즉, 프리차지 전류를 소스 신호선(18)에 기입하고, 그 후에 프로그램 전류를 소스 신호선(18)에 기입하는 방식이어도 된다. 프리차지 전류도 물리적으로는 전압 변화를 야기시키고 있는 것에는 차이는 없다. 프리차지를 프리차지 전류로 행하는 방식도 본 발명의 프리차지 구동의 기술적 범주이다(본 발명의 범위 내이다).

예를 들면, 도 75에서는 전자 볼륨(501)을 절환하는 것에 의해 프리차지 전압이 변화한다. 이 전자 볼륨(501)을 전류 출력의 전자 볼륨으로 변경하면 된다. 변경은 복수의 커런트 미러 회로를 조합하는 것에 의해 용이하게 실현할 수 있다. 본 발명에서는 설명을 용이하게 하기 위해서, 프리차지 구동은 프리차지 전압으로 행하는 것으로서 설명을 한다.

프리차지 전압(전류)의 인가는, 일정한 프리차지 전압(전류)을 인가하는 것에 한정되는 것은 아니다. 예를 들면, 복수의 프리차지 전압을 소스 신호선에 인가해도 된다. 예를 들면, 제1 프리차지 전압5(V)을 5(μ sec) 인가한 후, 제2 프리차지 전압 4.5(V)를 5(μ sec) 인가하는 방법이다. 그 후에, 프로그램 전류 I_w 를 소스 신호선(18)에 인가한다.

프리차지 전압 구동은, 인가하는 전압 파형을 톱니파 형상으로 변화시킨 것이어도 된다. 또한, 직사각형파를 인가해도 된다. 또한, 정류의 프로그램 전류(전압)에 프리차지 전압(전류)을 중첩시켜도 된다. 또한, 프리차지 전압(전류)의 크기, 프리차지 전압(전류)의 인가 기간은, 화상 데이터에 대응시켜도 된다. 또한, 화상 데이터의 값 등에 따라서, 인가 파형의 종류, 프리차지 전압의 값 등을 변화시켜도 된다.

본 발명은 전류 구동 방식에 있어서, 프리차지 전압(전류)을 인가하는 것으로서 설명을 하지만, 프리차지 구동은, 전압 구동 방식이어도 효과를 발휘한다. 전압 구동 방식에서는, EL 소자(15)를 구동하는 구동용 트랜지스터 사이즈가 크기 때문에, 게이트 용량이 크다. 그 때문에, 정류의 프로그램 전압이 기입하기 어렵다고 하는 과제가 있다. 이 과제에 대하여, 프로그램 전압을 인가하기 전에, 프리차지를 실시함으로써, 구동용 트랜지스터를 리셋 상태로 할 수 있어, 양호한 기입을 실현할 수 있다.

따라서, 본 발명의 프리차지 구동 방식은, 전류 프로그램 구동에 한정되는 것은 아니다. 본 발명의 실시예에서는, 설명을 용이하게 하기 위해, 전류 프로그램 구동의 화소 구성(도 1 등을 참조할 것)을 예시하여 설명을 한다.

본 발명의 실시예에 있어서, 프리차지 구동 방식은, 구동용 트랜지스터(11a)에만 작용하는 것은 아니다. 예를 들면, 도 11, 도 12, 도 13의 화소 구성에 있어서, 커런트 미러 회로를 구성하는 트랜지스터(11a)에도 작용하여 효과를 발휘한다. 본 발명의 프리차지 구동 방식은, 소스 드라이버 회로(IC)(14)로부터 본 소스 신호선(18)의 기생 용량을 충방전하는 것을 하나의 목적으로 하고 있지만, 당연한 일이지만 소스 드라이버 회로(IC)(14) 내의 기생 용량도 충방전되는 것도 목적으로 하고 있다.

프리차지 전압(전류)은, 흑색 표시를 양호하게 하는 것을 하나의 목적으로 하고 있지만, 이것에 한정되는 것은 아니다. 백색 표시를 기입하기 쉽게 하는 백색 기입 프리차지 전압(전류)을 인가하면, 양호한 백색 표시도 실현할 수 있다. 즉, 본 발명의 프리차지 구동이라 함은, 프로그램 전류(프로그램 전압)를 기입하기 전에, 상기 프로그램 전류(프로그램 전압)를 기입하기 쉽게 하기 위한, 소정의 전압(전류)을 인가하여, 예비 충전하는 것이다.

본 발명은, 흑색 표시로 프리차지하는 것으로서 설명을 하지만, 이것은, 기본적으로는 구동용 트랜지스터(11a)로부터 소스 드라이버 회로(IC)(14)에 흡입 전류에 의해 실시하는 경우이다. 구동용 트랜지스터(11a) 등이 N 채널 트랜지스터인 경우에는, 소스 드라이버 회로(IC)(14)로부터는 토출 전류에 의해 프로그램하게 된다. 이 경우에는, 백색 표시로 기입하기 어려

운 화소 구성인 경우도 발생한다. 따라서, 본 발명의 프리차지 구동 방법은, 소스 신호선(18) 등을 소정 전위로 변화시키는 것으로써, 백색 표시로 프리차지할지, 흑색 표시로 프리차지할지는 실시예에 불과하다. 따라서, 이들에 한정되는 것은 아니다.

프리차지 전압(전류)의 인가 타이밍은, 프로그램 전압(전류)을 기입하는 화소행을 선택한 상태에서 프리차지 전압(전류)을 기입하는 것이 바람직하지만, 이것에 한정되는 것은 아니고, 화소행이 비선택 상태에서, 소스 신호선(18)에 프리차지 전압(전류)을 인가하여 예비 충전을 행하고, 그 후, 프로그램 전류(전압)를 기입하는 화소행을 선택해도 된다.

프리차지 전압은, 소스 신호선(18)에 인가하는 것으로 하고 있지만, 다른 방식도 예시된다. 예를 들면, 애노드 단자에의 인가 전압(Vdd) 또는 캐소드 단자에의 인가 전압(Vss)을 변화시켜도 된다(프리차지 전압을 인가). 애노드 전압 또는 캐소드 전압을 변화시킴으로써, 구동용 트랜지스터(11a)의 기입 능력이 확대된다. 따라서, 프리차지 효과가 발휘된다. 특히, 애노드 전압(Vdd)을 펄스적으로 변화시키는 방식을 실시하는 효과가 높다.

도 236에 도시하는 바와 같이 점등률에 대하여, 애노드 전압과 프리차지 전압을 변화시켜도 된다. 또한, 도 238에 도시하는 바와 같이 기준 전류비에 대하여 프리차지 기준 전압(Vbv)의 크기를 변화시켜도 된다. 프리차지 기준 전압(Vbv)은 도 239에 도시하는 바와 같이(도 127 내지 도 143 및 그 설명을 참조할 것), 기준 전류 Ic를 이용한 I-V 변환 회로(2391)에서 발생할 수 있다.

점등률, 기준 전류, 애노드(캐소드) 단자의 애노드(캐소드) 전류에 대하여, 게이트 드라이버 회로(12)의 온 전압(Vgl), 오프 전압(Vgh)도 변화시켜도 된다. 특히 애노드 전압 Vdd를 상승시킬 때에는 연동하여 Vgh 전압도 상승시키는 것이 바람직하다.

본 발명의 실시예에서는, 점등률 혹은 애노드(캐소드) 단자의 애노드(캐소드) 전류에 의해 duty비, 기준 전류비 등을 가변 혹은 제어하는 것으로서 설명하지만, 점등률 혹은 애노드 단자 등의 전류는 전류 구동 방식에서는 프로그램 전류 Iw에 비례한다. 따라서, 프로그램 전류 Iw 혹은 프로그램 전류의 총합 혹은 소정 기간의 합에 의해, 기준 전류비(프리차지 제어 등 이전 혹은 이후에 설명하는 것도 포함한다. 예를 들면, 도 127 등의 전압 프로그램과 전류 프로그램의 절한 타이밍 등도 포함함) 등을 제어 등하는 것도 본 발명의 기술적 범주인 것은 명확하다.

도 75 등에 있어서, 프리차지 전압(혹은 프리차지 전류)은, 1수평 주사 기간(1H)마다 변화시키는 것도 유효하다(도 257의 (a)에 도시함). 또한, 도 257의 (b)에 도시하는 바와 같이, 복수 수평 주사 기간으로 변화시켜도 된다. 또한, 랜덤하게 프리차지 전압을 인가하여, 평균의 실효 전압이 목표의 프리차지 전압으로 되도록 해도 된다. 또한, 프리차지 전압을 인가하는 화소행의 화상 데이터를 연산(가산 등)하고, 특히 저계조의 화상(영상) 데이터의 비율이 많을 때에, 프리차지 전압(전류)을 인가하도록 제어 또는 구성해도 된다. 또한, 이 프리차지 전압(전류)은, 연산 결과에 따라 변화된다. 이것은, 비교적 계조가 높은 경우에는, EL 표시 패널 내에서 열레이션이 발생하고, 일정한 저계조의 화소는 휘도가 들떠서 높아지기 때문이다. 따라서, 일정한 저계조 이하의 화소(16)에는 프리차지 전압을 인가함으로써, 보다 완전한 흑색 표시를 실현하여, 화상의 콘트라스트감을 높게 할 수 있다.

인가하는 프리차지 전압은 일정한 저계조의 화소에는 일정한 전압을 인가(일정한 저계조의 화소는 흑색 붕괴된 표시로 된다)해도 되고, 또한, 도 75의 프리차지 전압의 변경 데이터 D의 값을 제어하여 프리차지 전압을 화소에 인가하는 화상 데이터에 따라서 변화시켜도 된다.

이와 같이, 경우에 따라서, 프리차지 전압(전류)을 변화시킬 수 있는 것은, 도 75에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14) 내에 전자 볼륨(501)을 내장하고 있는 것에 기인하는 효과가 크다. 즉, 소스 드라이버 회로(IC)(14)의 외부로부터 디지털적으로 프리차지 전압 등을 변화시킬 수 있기 때문이다. 이 변화를 실현하는 디지털 데이터 D는 컨트롤러 IC(회로)(760)에서 발생시킨다. 따라서, 소스 드라이버 회로(IC)(14)와 컨트롤러 IC(회로)(760)는 기능 분리되어, 설계 혹은 변경이 용이해진다.

이상은 1H 기간 내에 프리차지 전압 등을 변화시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 복수 화소행(예를 들면, 10화소행) 내의 화상(영상) 데이터를 연산하고, 변경 데이터 D를 설정하여 프리차지 전압(전류)을 인가해도 된다(도 257의 (b)를 참조할 것). 또한, 1프레임(필드) 혹은 복수 프레임(필드) 내의 화상(영상) 데이터를 연산하여, 프리차지 전압(전류)을 인가해도 된다.

또한, 프리차지 전압(전류)은 화상(영상) 데이터를 연산함으로써, 변경 혹은 소정의 전압으로 하여, 화소(16) 혹은 화소행에 인가하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 미리, 인가할 프리차지 전압(전류)을 고정해 놓고,

이 프리차지 전압 등을 인가해도 되고, 또한, 복수의 프리차지 전압 등을 미리 선택해 놓고, 이 프리차지 전압 등을 순차적으로 혹은 랜덤하게 화소 혹은 화소행 혹은 화면 전체에 인가할 수 있도록 제어해도 되는 물론이다. 또한, 연산 결과 등에 의해, 프리차지 전압 등을 인가하지 않는 경우도 있는 것은 물론이다.

또한, 프리차지 전압(전류) 등은, 프레임 레이트 컨트롤(FRC)의 기술을 이용하여 실시해도 된다. 즉, 프리차지 전압 등을 인가하는 화소 혹은 화소행에 대하여, 복수의 프레임(필드)으로, 프리차지 전압 등을 인가하거나, 인가하지 않거나 함으로써, 복수 프레임(필드)로 계조 표시할 수 있다(이 경우에는, 프리차지 전압 등의 인가에 의해 계조 표시되게 된다). 이상과 같이 FRC를 실시함으로써, 적은 프리차지 전압(전류)의 종류로 적절한 흑색 표시 혹은 계조 표시를 실현할 수 있다.

프리차지 전압 V_{pc} 는, 도 258 등에서 도시하는 바와 같이, 전자 볼륨(501)의 출력을 오피 앰프 회로(502)에 인가하여, 오피 앰프 회로(502)를 통하여 발생시킨다. 이 전자 볼륨(501)의 전원 전압(기준 전압) V_s 와 구동용 트랜지스터(11a)의 소스 단자 전위(애노드 단자 전압) V_{dd} 는 공통으로 하는 것이 바람직하다. 프리차지 전압 V_{pc} 는, 구동용 트랜지스터(11a)의 애노드 전위를 기준으로 하고 있기 때문이다.

이상의 실시예에서는, 프리차지 전압 등을 연산 등하여, 화소(16) 등에 인가하는 것으로 했다. 인가는 연산 후 곧 행하는 것은 아니고, 지연 시간을 가지게 하여 실시해도 된다. 또한, 프리차지 전압 등을 순차적으로 혹은 랜덤하게 변화 등시킬 때에는, 서서히 혹은 변화를 천천히, 혹은, 히스테리시스를 가지게 하여 행하는 것이 바람직하다. 급격한 프리차지 전압의 변화는 화상에 줄무늬 형상의 표시가 발현하는 것, 화상 표시에 플리커가 발생하는 것이 있기 때문인 지연 시간 등의 기술적 사상은 도 98 혹은 다른 실시예에서 설명하고 있으므로, 이 사상을 직접 혹은 유사하게 적용하면 되기 때문에 설명을 생략한다.

FRC의 동작도 점등률에 따라서 변화 등 해도 되는 것은 물론이다. 변화라 함은, FRC를 할지 하지 않을지의 제어, FRC를 어떤 계조로 실시할지의 제어, FRC의 변환 비트 수의 제어 등이다.

예를 들면, 점등률이 높을 때에는, 백 래스터에 가까운 표시이다. 따라서, 화면 전체가 흰 빛을 띠어, FRC를 할 필요가 없는 경우가 많다. 한편, 점등률이 낮은 경우에는, 화면 전체적으로 흑색 표시부가 많다. 이 경우에는, FRC를 실시하여, 계조의 재현성을 높일 필요가 있다.

이상은, 점등률에 의해 FRC를 변화시키는 것으로서 설명했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 기준 전류를 상승시키면, 면 전체가 흰 빛을 띠어, FRC를 할 필요가 없는 경우가 많다. 한편으로 기준 전류가 낮은 경우에는, 화면 전체적으로 흑색 표시부가 많다. 이 경우에는, FRC를 실시하여, 계조의 재현성을 높일 필요가 있다. 이상의 사항은 duty비 제어에도 적용할 수 있다. 또한, 애노드(캐소드) 전류에 변화에 대응하여 FRC 변화를 실시해도 되는 것은 물론이다.

또한, 도 259에 도시하는 바와 같이 점등률에 따라서, FRC를 변화시키는 것도 유효하다. 도 259에 있어서, 점등률 0~25%에서는, 8FRC(8프레임 또는 8필드를 이용하여 계조 표시하는 FRC)를 실시하고 있다. 따라서, 계조 표시 수가 향상한다. 점등률 25~50%에서는, 4FRC(4프레임 또는 4필드를 이용하여 계조 표시하는 FRC)를 실시하고 있다. 마찬가지로, 점등률 50~75%에서는, 2 FRC(2프레임 또는 2필드를 이용하여 계조 표시하는 FRC)를 실시하고, 점등률 75~100%에서는, FRC하지 않는다. 즉, 점등률에 따라서 최적의 FRC 제어를 실시한다. 일반적으로 저점등률에서는, 어두운 화상이 많기 때문에, 감마 계수를 작게 함과 함께, FRC의 프레임 수를 많게 하여 계조 표현을 향상시키는 것이 필요하다.

본 명세서에 있어서, 점등률에 따라서 duty비 제어 등을 변화시키는 것으로서 설명한다. 그러나, 점등률이라 함은, 일정한 의미가 아니다. 예를 들면, 저점등률이라 함은, 화면(144)에 흐르는 전류가 작은 것을 의미하고 있지만, 화상을 구성하는 저계조 표시의 화소가 많은 것도 의미한다. 즉, 화면(144)을 구성하는 영상은, 어두운 화소(저계조의 화소)가 많다.

따라서, 저점등률이라 함은, 화면을 구성하는 영상 데이터의 히스토그램 처리를 했을 때, 저계조의 영상 데이터가 많은 상태라고 바꿔 말할 수 있다. 고점등률이라 함은, 화면(144)에 흐르는 전류가 큰 것을 의미하고 있지만, 화상을 구성하는 고계조 표시의 화소가 많은 것도 의미한다. 즉, 화면(144)을 구성하는 영상은, 밝은 화소(고계조의 화소)가 많다. 고점등률이라 함은, 화면을 구성하는 영상 데이터의 히스토그램 처리를 했을 때, 고계조의 영상 데이터가 많은 상태라고 바꿔 말할 수 있다. 즉, 점등률에 대응하여 제어한다는 것은, 화소의 계조 분포 상태 혹은 히스토그램 분포에 대응하여 제어하는 것과 같거나 유사한 상태를 의미하는 것이 있다.

이상의 점으로부터, 점등률에 기초하여 제어한다는 것은, 경우에 따라서 화상의 계조 분포 상태(저점등률=저계조 화소가 많다. 고점등률=고계조 화소가 많다.)에 기초하여 제어한다고 바꿔 말할 수 있다. 예를 들면, 저점등률로 됨에 따라서 기준

전류비를 증가시키고, 고점등률로 됨에 따라서 duty비를 작게 한다는 것은, 저계조의 화소 수가 많아짐에 따라서, 기준 전류비를 증가시키고, 고계조의 화소 수가 많아짐에 따라서 duty비를 작게 한다고 바꿔 말할 수 있다. 또는, 저점등률로 됨에 따라서 기준 전류비를 증가시키고, 고점등률로 됨에 따라서 duty비를 작게 한다는 것은, 저계조의 화소 수가 많아짐에 따라서 기준 전류비를 증가시키고, 고계조의 화소 수가 많아짐에 따라서 duty비를 작게 하는 것과 동일 혹은 유사한 의미 혹은 동작 혹은 제어이다.

또한, 예를 들면, 소정의 저점등률 이하로 기준 전류비를 N배 하고, 또한 선택 신호선 수를 N개로 한다(도 277~도 279 등을 참조할 것)는 것은, 저계조의 화소 수가 일정 이상일 때에, 기준 전류비를 N배 하고, 또한 선택 신호선 수를 N개로 하는 것과 동일 혹은 유사한 의미 혹은 동작 혹은 제어이다.

또한, 예를 들면, 통상은, duty비 1/1로 구동하고, 소정의 고점등률 이상으로 단계적으로 혹은 원활하게 duty비를 저하시킨다는 것은, 저계조 혹은 고계조의 화소 수가 일정한 범위 이내일 때에, duty비 1/1로 구동하고, 고계조의 화소 수가 일정 이상의 수로 되었을 때에, 단계적으로 혹은 원활하게 duty비를 저하시키는 것과 동일 혹은 유사한 의미 혹은 동작 혹은 제어이다.

또한, 도 442에 도시하는 구동 방법도 본 발명의 범주이다. 도 442는, 횡축을 계조b 이하(도 442에서는 일례로서 b=16으로 하고 있다)의 화소의 비율로 하고 있다. 계조 16 이하의 화소의 비율이 25%라는 것은, 예를 들면, 표시 패널이 10만 화소를 갖고 있고, 256계조인 경우에 있어서, 2.5만 화소가 16계조 이하의 화상 표시인 것을 나타내고 있다. 따라서, 결과적으로는 횡축은, 점등률 혹은 그것과 유사한 값 혹은 지표를 나타내게 된다.

도 442의 실시예에서는, 계조 16 이하의 화소의 비율이, 75% 이상에서 기준 전류비를 증대시키고, 휘도를 일정하게 하기 위해서 duty비를 저감하고 있다. 또한, 계조 16 이하의 화소의 비율이, 25% 이하에서 패널의 소비 전류를 저감하기 위해서, duty비를 저하시키고 있다.

이상과 같이, 점등률에 기초하여라는 것은, 소정의 계조를 정하고, 정한 계조 이하 혹은 이상의 화소의 비율에 의해 기초하여 치환할 수 있다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지로 적용할 수 있는 것은 물론이다.

이상의 점등률 혹은 계조 b 이하(이상)의 화소의 비율 등에 관한 사항은 다른 제어(예를 들면, 프리차지 전압, FRC, 온도 등)에 대해서도 적용할 수 있는 것은 물론이다. 또한, 본 발명의 다른 실시예에 조합하여 혹은 적용할 수 있는 것도 물론이다.

이상의 실시예는, 화상(영상) 데이터 등에 의해, 프리차지 전압, FRC 등을 변화 혹은 제어하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 혹은 이들의 조합에 의해, 프리차지 전압(전류)의 크기를 변화시켜도 된다. 또한, 프리차지 전압의 인가 시간을 변화시켜도 된다.

예를 들면, 기준 전류의 크기에 따라서 프로그램 전류의 크기가 변화하여, 구동용 트랜지스터(11a)를 흐르는 전류가 변화하기 때문에 프리차지 전압의 크기도 변화시키는 것이 바람직하다. 또한, 점등률이 높을 때에는, 화면에 백색 표시에 가깝게, 화면 전체에 헬레이션이 발생하고 있기 때문에 흑색의 충실 재현 현상이 발생하고 있다. 그 때문에, 화소(16)에 프리차지 전압 등을 인가해도 효과가 없다. 이 경우에는, 프리차지 전압 등의 인가를 그만둔 쪽이 저소비 전력화를 실현할 수 있다. 한편으로 저점등률의 경우에는, 화면에 흑색 표시부가 많고, 헬레이션의 발생도 적기 때문에, 화소(16)에 충분한 프리차지를 행하여, 콘트라스트감을 향상시킬 필요가 있다.

마찬가지로, 애노드(캐소드) 전류가 클 때에는, 화면에 백색 표시 부분이 많기 때문에, 헬레이션이 발생하기 쉽다. 이 경우에는, 프리차지 전압 등의 인가가 필요하지 않은 경우가 많다. 반대로 애노드(캐소드) 전류가 작을 때에는, 프리차지 전압 등의 인가가 필수로 되는 경우가 많다.

상기 실시예에서는, 화상(영상) 데이터, 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 혹은 이들의 조합에 의해, FRC 혹은 프리차지 전압(전류)의 크기를 변화시키는 것으로 했지만, 이것에 한정되는 것은 아니다. 화상(영상) 데이터, 점등률, 애노드(캐소드) 단자에 흐르는 전류, 애노드(캐소드) 단자 전압(도 122 등), 애노드 단자 전압과 캐소드 단자 전압의 전위차(도 280 등), duty비, 패널 온도 등의 변화의 비율 혹은 변화를 예측하여, FRC, 프리차지 전압 등의 제어를 실시해도 되는 것은 물론이다.

이상과 같이, 본 발명은, 화소(영상) 데이터 등에 의해, FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합에 의해, 그 결과 등에 대응하여 프리차지 전압(전류)의 크기, 프리차지 전압 등의 인가의 유무, 프리차지 전압 등의 FRC 제어, 프리차지 전압 등의 변화 상태, 프리차지 인가 기간 등을 제어하는 구동 방법이다. 또한, 변화 혹은 변경은 도 98에서 설명하는 바와 같이 천천히 혹은 지연시켜 실시하는 것이 바람직하다.

이상과 같이, 본 발명은 제1 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 있어서, 제1 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시킨다.

또한, 제2 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에서, 제2 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시킨다. 혹은, 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 따라서(적응하여), FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시키는 것이다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용할 수 있는 것은 물론이다.

이상과 같이, 본 발명은 제1 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 있어서, 제1 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시킨다.

또한, 제2 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 있어서, 제2 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 점등률에 의해 게이트 드라이버 회로(12)의 온 전압 또는 오프 전압 혹은 양쪽의 전압을 변화시켜도 된다.

이상의 기재에서, 점등률이라 함은, 화상의 표시 상태를 나타내고 있다. 점등률이 낮다는 것은 흑색 표시가 많은 화상(저계조가 많은 화소 또는 화상)을 나타내고 있고, 점등률이 높다는 것은, 백색 표시가 많은 화상(고계조가 많은 화소 또는 화상)을 나타내고 있다. 또한, 점등률이라 함은, 애노드 단자에 유입되는 전류(캐소드 단자로부터 유출되는 전류)의 크기를 나타내고 있다. 점등률이 낮다는 것은 흑색 표시가 많은 화상이기 때문에, 애노드 단자에 유입되는 전류(캐소드 단자로부터 유출되는 전류)는 작다. 점등률이 높다는 것은 백색 표시가 많은 화상이기 때문에, 애노드 단자에 유입되는 전류(캐소드 단자로부터 유출되는 전류)가 크다. 본 발명은, 이상의 사항을 이용하여, duty비, 패널 온도, FRC, 기준 전류 등을 변화시킨다.

점등률이 낮다는 것은 흑색 표시가 많은 화상(저계조가 많은 화소 또는 화상)을 나타내고 있다. 흑색 표시가 많은 화상은, 트랜지스터(11)의 누설에 의해 휘점이 발생하거나, 흑색이 들뜨는 현상이 발생하기도 한다. 이 대책을 위해, 게이트 드라이버 회로(12)의 온 오프 전압을 조작하는 것은 유효하다. 이하, 그 실시예에 대하여 설명을 한다.

유기 EL 소자(15)는 자기 발광 소자이다. 이 발광에 의한 광이 스위칭 소자로서의 트랜지스터에 입사하면 포토컨덕터 현상(포토컨)이 발생한다. 포토컨이라 함은, 광 여기에 의해 트랜지스터 등의 스위칭 소자의 오프시에서의 누설(오프 누설)이 증가하는 현상을 말한다.

이 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버 회로(12)(경우에 따라서는 소스 드라이버 회로(IC)(14))의 하층, 화소 트랜지스터(11)의 하층의 차광막을 형성하고 있다. 특히 구동용 트랜지스터(11a)의 게이트 단자의 전위 위치(c로 나타냄)와 드레인 단자의 전위 위치(a로 나타냄) 사이에 배치된 트랜지스터(11b)를 차광하는 것이 바람직하다. 이 구성을 도 314의 (a), (b)에 도시하고 있다. 특히 표시 패널이 흑색 표시인 경우에는, 도 314의 (a), (b)에 있어서의 EL 소자(15)의 애노드 단자의 전위 위치 b의 전위가 캐소드 전위에 가깝다. 그 때문에, TFT(17b)가 온 상태이면, 전위 a도 낮아진다. 그 때문에, 트랜지스터(11b)의 소스 단자와 드레인 단자 사이의 전위(c전위와 a전위 사이)가 커져, 트랜지스터(11b)가 누설되기 쉬워진다.

이 과제에 대해서는, 도 314의 (a), (b)에 도시하는 바와 같이 차광막(3141)을 형성하는 것이 유효하다. 또한, 차광막(3141)은 크롬 등의 금속 박막으로 형성하고, 그 막 두께는 50nm 이상 150nm 이하로 한다. 막 두께(3141)가 얇으면 차광 효과가 부족하고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11)의 패터닝이 곤란하게 된다.

트랜지스터(11b)의 소스 단자와 드레인 단자 사이의 전위(c전위와 a전위 사이)가 커져, 트랜지스터(11b)가 누설되기 쉬워지는 것이기 때문에, c전위와 a전위 사이의 전압을 저하시키면 누설의 발생은 작아진다. 저하시키기 위해서는, 트랜지스터(11d)의 온 전압(Vgl2)을 높게 하는 것이 유효하다. 또한, Vgl2는 게이트 드라이버 회로(12b)의 온 전압이다.

흑색 표시로 누설이 눈에 띄는 것이면, 점등률이 낮을 때에, 온 전압 Vgl2를 높게 하면 된다. 온 전압 Vgl2를 높게 하면 트랜지스터(11d)가 완전하게 온하지 않는다. 트랜지스터(11d)의 온저항이 높기 때문이다. 그 때문에, a점의 전압은 낮아지지 않는다. 따라서, 트랜지스터(11b)의 누설은 발생하지 않게 된다. 한편으로 점등률이 높은 경우, EL 소자(15)의 단자 전압이 높아진다. 그 때문에, 트랜지스터(11d)는 온 저항을 낮게 할 필요가 있다.

이상의 실시예를 도 315에 도시하고 있다. 도 315의 점선으로 도시하는 바와 같이 점등률이 높은 경우에는, 온 전압 Vgl2를 저하(- 방향)로 하고, 점등률이 낮아짐에 따라서, 온 전압 Vgl2를 상승시켜 트랜지스터(11d)의 온 저항을 높게 한다. 또한, 점등률은 애노드(캐소드) 단자의 전류의 크기로 치환할 수 있는 것은 물론이다. 또한, 도 315에 점선과 같이 도시하는 경우뿐만 아니라, 실선과 같이 점등률을 제어해도 되는 것은 물론이다.

도 315에서는, Vgl2 전압을 점등률에 대응하여 변화시키는 것으로 했다. 트랜지스터(11b)의 누설 전류를 감소시키는 방법으로서, 도 307에 도시하는 바와 같이 캐소드 전압 Vss를 변화시켜도 된다. 흑색 표시로 누설이 눈에 띄는 것이면, 점등률이 낮을 때에, 캐소드 전압 Vss를 높게 하면 된다. 캐소드 전압 Vss를 높게 하면 트랜지스터(11d)가 완전하게 온하지 않는다. 트랜지스터(11d)의 온저항이 높기 때문이다. 따라서, 트랜지스터(11b)의 누설은 발생하지 않게 된다. 한편으로 점등률이 높은 경우, EL 소자(15)의 단자 전압이 높아진다. 그 때문에, 트랜지스터(11d)는 온 저항을 낮게 할 필요가 있기 때문에 온 저항을 낮게 할 필요가 있다. 따라서, 캐소드 전압 Vss를 낮게 한다. 또한, 점등률은 애노드(캐소드) 단자의 전류의 크기로 치환할 수 있는 것은 물론이다. 또한, 도 315에 점선과 같이 도시하는 경우뿐만 아니라, 실선과 같이 점등률을 제어해도 되는 것은 물론이다.

Vgl2는, duty비 제어에 있어서 변화시키는 것도 바람직하다. duty비는 기준 전류의 변경과 동시에 실시하는 경우가 많다. 예를 들면, 도 116에 있어서, 점등률이 20% 이하인 범위에 있어서, duty비를 작게 함(화면(144)에 차지하는 비점등 영역(192)의 비율을 낮게 함)과 함께, 기준 전류비를 크게 하고 있다(1계조당의 프로그램 전류 Iw를 크게 함). duty비(도 116의 (a))와 기준 전류비(도 116의 (b))를 동시에 제어함으로써(duty비×기준 전류비=일정), 표시 휘도(도 116의 (c))를 변화시키지 않고, 전류 구동 방식의 크로스트크 혹은 흑색이 들뜨는 현상의 과제를 해결할 수 있다.

도 116의 구동 방법에서는, duty비×기준 전류비=일정한 구동 방법이기 때문에, duty비의 저하에 수반하여, 애노드 단자를 흐르는 전류가 증가합니다. 따라서, 애노드 및 캐소드 전압이 일정한 고정 제어라면, 트랜지스터(11d)는 온 저항을 낮게 할 필요가 있기 때문에, Vgl2를 낮게 하여 온 저항을 낮게 할 필요가 있다.

이상의 점으로부터, 도 318에 도시하는 바와 같이, duty비의 변화에 대응하여 Vgl2 전압을 변화시키는 것이 바람직하다. 도 318에서는 duty비가 1/1~1/2의 범위에서는, Vgl2=0V로 하고 있다. 따라서, 트랜지스터(11d)의 온 저항이 비교적 높아, 트랜지스터(11b)의 누설 등이 발생하기 어렵다. 그 때문에, 흑색이 들뜨는 현상의 발생을 억제할 수 있다. duty비가 1/4 이하의 범위에서는, Vgl2=-8V로 하고 있다. 따라서, 트랜지스터(11d)의 온 저항이 낮아, 구동용 트랜지스터(11a)에 충분한 프로그램 전류를 흘릴 수 있고, EL 소자(15)도 포화 영역에서 양호하게 점등시킬 수 있다. duty비가 1/4~1/2의 범위에서는, Vgl2를-8~0V의 범위에서 duty비 혹은 기준 전류비에 따라서 변화시킨다.

이상의 사항은, 본 발명의 다른 실시예에서도 마찬가지로 적용할 수 있는 것은 물론이다. 또한, 다른 실시예와 조합할 수 있는 것은 물론이다.

도 78 등에서는, 화소 데이터는 R, G, B 데이터 및 프리차지 데이터(PRC, PGC, PBC)를 병렬로 소스 드라이버 회로(IC)(14)에 인가하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 이상과 같이 병렬로 인가하도록 구성하면 컨트롤러(81)와 소스 드라이버 IC(14)를 연결하는 배선 수가 많아진다. 그 때문에, 컨트롤러(81)의 핀 수가 증가하여 컨트롤러 사이즈가 커진다고 하는 과제가 있다.

이 과제에 대하여, 본 발명은, 도 80에 도시하는 바와 같이, 화상 데이터(DAT) 6비트와, 컨트롤 데이터(DCTL) 4비트로 구성하고, 10비트로 화상 데이터 및 프리차지 데이터 등을 컨트롤러(81)로부터 소스 드라이버 회로(IC)(14)에 인가한다.

구체적으로는, 종래(병렬로 RGB 데이터를 전송하는 경우)의 1클럭의 4배 클럭을 이용하여 직렬로 화상 전송을 행한다. 즉, 도 80에 도시(DAT를 참조할 것)하는 바와 같이, 종래의 1클럭 기간에 R 데이터 6비트, G 데이터 6비트, B 데이터 6비트, 제어 데이터 6비트를 전송한다. 화상 데이터, 제어 데이터는 설정 데이터로서 취급한다.

R, G, B 데이터 식별 데이터(D)의 식별은, DCTL의 4비트로 행한다. 이상과 같이 화상 데이터, 컨트롤 데이터를 직렬 전송(4상)으로 행함으로써 컨트롤러와 소스 드라이버 회로(IC)(14)를 결선하는 배선 수가 감소하여, 컨트롤 IC를 소형화할 수 있다.

도 80은 화상 데이터(DAT) 6비트와, 컨트롤 데이터(DCTL) 4비트로 구성하고, 10비트로 화상 데이터 및 프리차지 데이터 등을 컨트롤러(81)로부터 소스 드라이버 회로(IC)(14)에 인가하는 방식이다. 또한, 4배 클럭을 이용하여 직렬로 화상 전송을 행하고 있는 실시예이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 화상 데이터인 RGB 데이터와, 컨트롤 데이터 D를 직렬로 전송하고, 화상 데이터와 컨트롤 데이터의 식별은, ID 신호로 행해도 된다. ID 데이터가 H 레벨일 때, 화상 데이터인 것을 의미하고, L 레벨일 때, 컨트롤 데이터인 것을 의미한다.

또한, 화상 데이터를 RGB의 직렬로 전송하고, 각 화상 데이터가 프리차지할지의 여부를 프리차지 식별 신호 PRC로 행해도 된다. PRC 신호가 H 레벨일 때, 해당 화상 데이터는 프리차지하고 나서 소스 신호선(18)에 인가되도록 제어되고, L 레벨일 때에는 프리차지하지 않도록 제어된다.

또한, 도시하는 바와 같이, 화상 데이터와 제어 데이터를 각각 직렬 전송해도 되는 것은 물론이다. 물론, 화상 데이터를 직렬 전송하고, 제어 데이터를 병렬 전송해도 된다.

이상의 실시예는, 소스 드라이버 회로(IC)(14)에의 입력 데이터를 직렬 전송하는 것이었다. 본 발명은, 이것에 한정되는 것은 아니다. 예를 들면, 도 81에 예시하는 바와 같이, 차동 신호로 하여 전송해도 된다. 차동 신호로 하는 수단으로서, LVDS, CMADS, RSDS, mini-LVDS, 자기 전송 방식 등이 예시된다.

도 82는, 직렬 영상 데이터 등이, 더욱 높은 주파수의 차동 신호로 변환되어 전송되고, 또한, 차동 신호가 직렬 영상 데이터 등으로 복귀되어, 소스 드라이버 회로(IC)(14)에 입력되고, 혹은, 또 병렬 데이터로 변환되어 소스 드라이버 회로(IC)(14)에 입력되고 있는 실시예이다. 즉, 영상 데이터는 직렬 데이터 및 차동 신호로 변환되어 전송되고 있다. 또한, 전송시에, 일부의 구간 혹은, 모든 구간, 혹은 일부의 데이터 신호 등이 병렬 전송되어도 되는 것은 물론이다.

도 81에 도시하는 바와 같이, 본체 회로(예를 들면, 도 156의 (1561) 등)의 영상 신호 처리 회로로부터의 직렬 데이터는, 차동 회로로서의 트랜스미터(트랜스미터)(T)(811a)에 의해 차동 신호로 변환된다. 차동 신호로 변환함으로써, 신호의 진폭이 감소하여, 노이즈의 영향을 받기 어렵게 되고, 또한 불요 복사도 감소한다. 따라서, 트랜스미터(T)(811a)와 리시버(R)(811b) 간의 거리를 길게 할 수 있다. 또한, 신호선의 개수도 삭감할 수 있다.

차동 신호는, 차동 회로로서의 리시버(R)(811b)에 의해 직렬 데이터로 변환된다. 물론, 즉시 도 82의 컨트롤러 IC(821)의 기능을 취입하여 병렬 데이터로 변환해도 되는 것은 물론이다. 리시버(R)(811b)에 의해, 트랜스미터(811a)에 의해 차동 신호 변환 전의 직렬 데이터로 복원된다.

도 82는, 리시버(R)(811b)의 다음 단계 직렬-병렬 변환 회로(821)가 배치 또는 형성된 구성예이다. 직렬-병렬 변환 회로(821)(구체적으로는 ASIC로 이루어지는 컨트롤러 IC(회로)(제어 수단)가 해당한다. 직렬-병렬 변환 회로(821)에 의해 직렬 데이터는 병렬 데이터로 변환되고, 변환된 병렬 데이터가 소스 드라이버 회로(IC)(14)에 입력된다.

도 190에 도시하는 바와 같이, 소스 드라이버 IC(16)에 차동 회로 및 디코더 회로를 형성(구성)하고, 패널 모듈(1264)의 외부로부터 커넥터(1801)를 통하여, 차동 신호(1901)를 직접 소스 드라이버 IC(16)에 입력할 수 있도록 구성해도 되는 것은 물론이다.

제어 데이터라 함은, 예를 들면, 도 16, 도 75 등의 프리차지 제어 데이터, 도 50, 도 60, 도 64, 도 65 등의 전자 볼륨 데이터 등 다종 다양한 제어 데이터가 예시된다.

또한, 도 319에 도시하는 바와 같이, 영상 데이터(RGB) 외에 추가로, OSD(온 스크린 디스플레이) 신호, S/D 신호(동화상과 정지 화상의 판단 신호)도 컨트롤러 회로(IC)(760)에 의해 차동 신호로서 소스 드라이버 회로(IC)(14)에 인가해도 된다. OSD 신호는, 비디오 카메라 등에 있어서, 메뉴 화면 표시 등을 행하는 것이다.

또한, S/D 신호가 H일 때, 전송되고 있는 RGB 영상 신호가 동화상이라고 판단하고, 도 54의 (a1), (a2), (a3), (a4)의 구동 등을 실시하여 동화상 표시 대응의 구동 방법을 행한다. S/D 신호가 L일 때, 전송되고 있는 RGB 영상 신호가 정지 화상이라고 판단하고, 도 54의 (c1), (c2), (c3), (c4) 또는 도 54의 (b1)(b2)(b3)(b4)의 분할 구동 등을 실시하여 정지 표시 대응의 구동 방법을 행한다.

도 251에서는, 본 발명의 표시 장치(표시 패널)에 스피커(2512)를 배치 혹은 형성한 실시예에 대하여 설명했다. 이 스피커(2512)의 음성 신호(AD)도 도 320에 도시하는 바와 같이, 컨트롤러 회로(IC)(760)에 의해 차동 신호로서 소스 드라이버 회로(IC)(14)에 인가해도 된다.

도 83은 컨트롤 IC(81)와 소스 드라이버 회로(IC)(14), 게이트 드라이버 회로(12)와의 접속 구성을 나타낸다. 화상 데이터, 전자 볼륨 데이터, 프리차지 데이터를 DCTL, DAT로서 직렬 전송함으로써 접속 배선을 생략할 수 있다.

또한, 소스 드라이버 회로(IC)(14)의 입력단에서 직렬-병렬 변환을 행함으로써, 프리차지 데이터, 화상 데이터의 래치 혹은 유지 회로는 도 77과 같이 된다. GCTL의 4비트는, 클럭, 스타트 펄스, 업다운 절환, 인에이블 신호이다.

도 180은, 본 발명의 표시 패널의 외관도이다. 패널(1264)에는 소스 드라이버 IC(14)가 COG 실장되고, 게이트 드라이버 회로(12)는 폴리실리콘으로 형성되어 있다. 패널(1264)의 단자로부터 플렉시블 기판(1802)이 접속되어 있다. 플렉시블 기판(1802)에는 컨트롤러 회로(IC)(760)가 실장되어 있다. 컨트롤러 회로(IC)(760)의 신호는 단자(1801)로부터 입력되고, 마찬가지로 게이트 드라이버 회로(12)의 신호도 단자(1801)로부터 입력된다.

도 181은 더욱 상세한 본 발명의 표시 패널이다. 캐소드 배선(1811)에는 캐소드 전압이 인가되고, 캐소드 배선(1811)은 캐소드 접속 위치(1812)에서 캐소드 전극과 접속되어 있다. 게이트 드라이버 회로(12)에는 컨트롤러 회로(IC)(760)로부터의 게이트 드라이버 신호(1813)가 인가된다. 또한, 소스 드라이버 IC(14)에도 컨트롤러 회로(IC)(760)로부터 소스 드라이버 신호(1814)가 인가된다. 애노드 배선(1815)은 소스 드라이버 IC의 이면(의 어레이면)에 형성되어 있다. 또한, 애노드 배선(1815)은 표시 패널의 표시 영역 근방에 형성되어 있다.

도 181은, IC(14) 아래에 애노드 또는 캐소드 배선을 형성 또는 배치한 구성이다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 587의 구성이 예시된다. 도 587은 IC(14) 아래에, 캐소드 배선(1811)과 애노드 배선(1815)을 형성 또는 배치한 구성이다. IC(14a)와 IC(14b) 사이에 복수의 애노드 배선(1815), 캐소드 배선(1811)(도 587에서는 각 2개)을 배치하고 있다. 적어도 1개의 캐소드 배선(1811)은 화면(144)의 중앙부와 단부의 캐소드막에 접속되어 있다. 또한, 그 중, 1개의 캐소드 배선(1811)은 IC(14a)의 아래에 배치되어 있다. 복수의 애노드 배선(1815) 중 적어도 1개의 애노드 배선(1815)은 화면(144)의 중앙부와 단부에 접속되어 있다. 또한, 그 중, 1개의 애노드 배선(1815)은 IC(14b) 아래에 배치되어 있다. 또한, 복수의 애노드 배선(1815)은 화면(144)의 근방에서 단락되어 있다.

특히, 도 587의 특징은, IC 칩(14)의 하측에 위치하는 어레이 기판(71) 상에, 복수의 전원 배선(애노드 배선, 캐소드 배선)을 배치 또는 형성한 점이다. 또한, 상기 IC 칩(1)의 하측에 배치한 배선도 이용하여, 캐소드 전극(36)(도 3, 도 4를 참조할 것)과 복수 개소에서 캐소드 배선(1811)과 콘택트(접속)를 취한 점이다. 또한, 화소(16)의 화소 애노드 배선(5871)(도 1 등의 Vdd를 참조할 것)과 분기하는 애노드 배선(1815)(화면(144)의 상면에 배치 또는 형성되어 있다)의 양단에 급전점(給電點)을 갖는 점이다. 양측에 급전점을 갖는 것에 의해, 화소(16)의 Vdd에 유입되는 전류가 증가해도 전압 강하의 발생이 적다.

애노드 배선(1815) 및 캐소드 배선(1811)의 배선 저항이 높으면 전압 강하가 발생하여, EL 소자(15), 구동용 트랜지스터(11a)에 충분한 전압이 인가되지 않게 된다. 이 과제를 해결하는 방식이 도 588의 실시예이다. 도 588에서는, 캐소드 배선(1811)과 애노드 배선(1815)의 박막 배선 상에 캐소드 전극(36)의 금속 재료로 이루어지는 금속 박막(5881)을 적층시키고 있다. 금속 재료의 적층에 의해 배선의 저저항화를 실현할 수 있다. 캐소드 전극(36)의 금속 박막(5881)은, EL 소자(15)에 캐소드 전극(36)을 적층하는 공정에서 동시에 제작한다. EL 소자(15)를 패터닝하는 공정인 마스크 증착 시의 마스크를 가공함으로써 용이하게 실현할 수 있다. 가공이라 함은, 금속 박막(5881)을 형성하는 개소의 마스크에 구멍뚫기 가공(punching)을 행하고, 이 구멍을 통하여 금속 박막(5881)을 형성한다.

또한, 도 588에서는, 캐소드 배선(1811)과 애노드 배선(1815)의 박막 배선 상에 캐소드 전극(36)의 금속 재료를 적층시킨 것으로 했지만, 이것에 한정되는 것은 아니고, 애노드 전극의 재료를 적층시켜도 되는 것은 물론이다. 또한, 캐소드 배선

(1811)과 애노드 배선(1815)의 양 쪽의 박막 배선 상에 금속 재료를 적층시키고 있는 것으로 했지만 이것에 한정되는 것은 아니고, 한쪽의 배선에 적층한 것이어도 된다. 특히 애노드 배선(1815)은 전압 강하에 의한 영향이 크기 때문에, 적층에 의한 저저항값화를 실현하는 것이 바람직하다.

또한, 적층시키는 재료는 금속 재료에 한정하는 것은 아니고, 저저항값화를 실현할 수 있는 것이면 무엇이어도 된다. 예를 들면, ITO, 카본 등이 예시된다. 또한, 적층은 단층에 한정되는 것은 아니고, 복수막의 적층 구조라도 된다. 또한, 합금 등이어도 된다. 예를 들면, 화소 전극으로 되는 ITO와 Li, Al 등을 적층해도 된다.

EL 표시 장치는, 액정 표시 장치에는 없는 캐소드 배선, 애노드 배선을 갖고, 도 831에 도시하는 바와 같이 게이트 드라이버 회로도 게이트 드라이버 회로(12a), (12b)로 2개가 필요하다. 따라서, 배선 수가 많아 결선이 복잡하다. 그 때문에, 배선의 주회를 위해 패널(1264)의 프레임이 커진다. 신호선을 패널(1264)에 입력하기 위한 플렉시블 기판(1802)의 사이즈가 커져 고코스트화로 직결된다.

도 282는 이 과제를 해결하는 구성의 설명도이다. 또한, 설명을 용이하게 하기 위해서, 도 282 등에서는, 게이트 드라이버 회로(12)의 제어 신호선은 ST(스타트 펄스를 인가 혹은 전송하는 신호선), CLK(클럭(시프트) 펄스를 인가 혹은 전송하는 신호선), ENBL(인에이블 펄스를 인가 혹은 전송하는 신호선)만 도시하고 있다. 실제로는, UD(업다운 방향의 신호를 인가 혹은 전송하는 신호선), Vgh 전압 혹은 Vgl 전압을 전송 혹은 공급하는 신호선 등이 있는 것은 물론이다.

또한, 설명을 용이하게 하기 위해서, ST(스타트 펄스를 인가 혹은 전송하는 신호선), CLK(클럭(시프트) 펄스를 인가 혹은 전송하는 신호선), ENBL(인에이블 펄스를 인가 혹은 전송하는 신호선), UD(업다운 방향의 신호를 인가 혹은 전송하는 신호선) 등의 제어 신호를 전송 등 하는 신호선을 제어 신호선이라고 부르고, Vgh 전압 혹은 Vgl 전압을 전송 혹은 공급하는 신호선 등을 전압 신호선이라고 부른다.

도 282는, 소스 드라이버 IC(14)는, 실리콘 칩으로 형성 또는 구성되고, 어레이 기판(30)에 COG(칩 온 글래스) 기술로 실장되어 있다. 한편, 게이트 드라이버 회로(12)는, 저온 폴리실리콘, 고온 폴리실리콘 혹은 CGS 등의 폴리실리콘 기술로 어레이 기판(30)에 직접 형성되어 있다.

도 282에서는, 제어 신호선(혹은 전력 신호선)은, 소스 드라이버 IC(14)의 이면 혹은 소스 드라이버 IC(14)의 배선 패턴을 통하여 게이트 드라이버 회로(12) 등에 접속된다. 이상과 같이 제어 신호선, 전력 신호선은 소스 드라이버 IC(14)를 통하여 공급함으로써 상기 신호선 등을 접속하는 플렉시블 기판(2911)((1802))의 폭을 소스 드라이버 IC(14)의 칩 폭 ±정도로 할 수 있다. 따라서, 저코스트화가 가능하다(도 291을 참조할 것).

도 282의 구성을 실현하기 위해, 본 발명의 소스 드라이버 IC(14)는 도 288과 같이 구성(형성)하고 있다. 도 288은, 본 발명의 소스 드라이버 IC(14)를 이면으로부터 본 도면이다. 칩(14)의 양단에 배선(2885) 등이 형성되어 있다. 도 288에 있어서, 배선은 통상의 알루미늄 배선이고, IC 제조 공정으로 형성시킨다. 그러나, 배선(2885) 등의 형성 방법은 이것에 한정되는 것은 아니고, IC(14) 완성 후, 스크린 인쇄 기술 등으로 형성해도 된다. 또한, 배선(2885) 등은 칩(14)의 한쪽에만 형성해도 되는 것은 물론이다.

IC(14)는 제어 신호선 등의 입력 단자(2883)와, 소스 신호선(18)과 접속하는 단자(2884)가 형성되어 있다. 칩(14)의 단에 제어 신호선을 접속하는 단자(2881a)가 형성 또는 배치된다. 또한, 단자(2881a)에는 배선(2885)이 접속되고, 배선(2885)의 타단은 단자(2881b)에 접속되어 있다. 따라서, G1a의 범위에 접속된 제어 신호선은 칩의 측면의 단자(2881b)와 접속되어 있다. 또한, 단자(2882a)에 접속된 전력 신호선은 배선(2885)을 통하여 단자(2882b)에 접속된다. 단자(2882)는 애노드 혹은 캐소드 배선이 접속되는 것을 상정하고 있다. 따라서, 전력 신호선은 IC 칩을 브릿지하여, IC(14)의 출력측(소스 신호선(18)과의 접속측)에 출력된다.

이와 같이 IC(14)를 배선(2885)으로 브릿지하는 것은, 도 208 등에 도시한 바와 같이 애노드 배선(1815) 등이 IC(14)의 차광막으로서, IC(14)의 이면에 형성되어 있는 경우가 많기 때문이다(도 290도 참조할 것). 애노드 배선(1815)을 차광막으로서 IC 이면에 형성함으로써, IC가 포토컨덕터 현상에 의해 이상 동작하는 일이 없다. 배선(2885)으로 제어 신호선 혹은 전력 신호선을 접속함으로써, 어레이 기판(30) 상에서 배선을 교차시킬 필요가 없어, 교차부에서의 단락 등이 감소하여, 제조 수율을 향상시킬 수 있다.

또한, 도 288의 실시예에서는, IC 칩(14)의 이면(실장시에 어레이 기판(30)과 대면하는 면)에 배선(2885) 등을 형성하는 것으로 했지만, 이것에 한정되는 것은 아니다. 배선(2885) 등을 IC 칩(14)의 표면에 형성 또는 배치해도 된다. 또한, IC 칩(14)과 어레이 기판(30)과의 간극에, 배선(2885) 등을 형성한 플렉시블 기판(2911)((1802))을 배치해도 되는 것은 물론이다.

또한, 이상의 실시예에서는 소스 드라이버 IC(14)에 배선(2885) 등을 형성하여, 신호선을 브릿지하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니고, 게이트 드라이버 회로(12)를 실리콘 칩(게이트 드라이버 IC(12)) 등으로 형성하고, 게이트 드라이버 IC(12)의 이면 등에 배선(2885) 등을 형성해도 되는 것은 물론이다.

또한, 배선(2885) 상에는 무기 재료 혹은 유기 재료로 이루어지는 박막(후막)을 형성하는 것이 바람직하다. 박막(후막)의 두께는 적어도 0.1 μ m 이상 필요하다. 그러나, 3 μ m 이하로 하는 것이 바람직하다. 박막(후막)의 형성에 의해 배선(2885)이 보호되어, 부식 등의 과제가 발생하지 않게 된다. 박막(후막)의 비유전율은, 3.5 이상 6.0 이하인 것을 사용하는 것이 바람직하다.

도 289는 본 발명의 소스 드라이버 IC(14)를 어레이 기판(30)에 실장한 상태이다. 전력 신호선(실시예에서는 애노드 배선)은 배선(2885)을 통하여 단자(2882b)로 출력되고, 표시 영역(144)의 화소(16)부로 분기된다. 캐소드 배선의 IC 칩의 우측 단의 단자(2882b)로부터 출력되어 캐소드 접속점에서 캐소드 전극(36)과 접속된다. 제어 신호선도 IC(14)의 배선(2885)을 통하여 단자(2881b)로부터 출력되어 게이트 드라이버 회로(12)에 입력된다.

도 290은 IC(14)를 어레이 기판(30)에 실장한 경우의 단면도이다. IC 칩(14)의 이면에는 배선(2885)이 형성되고, 단자(2882a)와 단자(2882b) 사이를 접속하고 있다. 단자(2882)에는 금 범프(2904)가 형성되어 있다. 금 범프(2904)는 어레이 기판(30)의 단자(2902)와 IC(14)의 단자(2882)를 접속하고 있다. 따라서, 신호선(2901)에 인가된 신호는 IC(14)의 배선(2885)을 통하여 신호선(2852)과 전기적으로 접속되기 때문에, 애노드 배선(2903) 등의 도체선이 어레이 기판(30) 상에 형성되어 있어도 교차하지 않는다.

도 347에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14)로부터 게이트 드라이버 회로(IC)(12)로 인도되는 배선(2852)이 교차하지 않도록, 출력 단자 위치를 설정한다. 또한, 다른 내용은 도 282 등에서 설명하고 있으므로 생략한다.

또한, 도 358에 도시하는 바와 같이, 게이트 드라이버(12)의 전원 배선(예를 들면, V_{gh} 전압, V_{gl} 전압 등의 공급 배선)(2852b)은 어레이 기판(30)면에 형성함과 함께, 칩으로 구성된 소스 드라이버 IC(14)의 하면에 설치(배치 또는 형성)한다. 애노드 배선도 IC 칩(14)의 이면부에서 어레이(30)의 표면에 형성 또는 배치한다. 게이트 드라이버 회로(12)의 제어 신호선은, 소스 드라이버 IC(14)에 형성 또는 배치된 배선(2885)을 통하여 접속을 한다.

이상과 같이 구성함으로써, IC 칩(14)의 이면부를 유효하게 이용할 수 있고, 또한 패널을 협소한 프레임화할 수 있다.

이상과 같이, IC(14)의 배선(2885)을 통하여 전력 신호선 혹은 제어 신호선을 브릿지하는 것에 의해, 기판(30)에 형성된 배선과 교차하지 않게 된다고 하는 효과가 발휘된다. 다른 큰 효과로서, 도 291에 도시하는 바와 같이, 신호선 등을 패널에 인가하는 플렉시블 기판(2911)의 크기를 작게 할 수 있다고 하는 효과도 발휘된다. 일반적으로 플렉시블 기판(2911)은 비싸기 때문에 사이즈가 작을수록 코스트 장점은 크다.

도 291에 도시하는 바와 같이, IC(14)에의 입력 신호선(2901, 2852)에는 플렉시블 기판(2911)으로부터 스트레이트로 신호 등이 입력된다. IC(14)의 배선(2885)이 없으면 제어 신호선은 기판(30)의 입력면에서 IC(14)를 피하여 절곡될 필요가 있다. 절곡되면 패널의 프레임이 커진다. 본 발명과 같이 IC 칩(14)의 배선(2885)을 통하여 접속함으로써, 프레임을 작게 할 수 있다.

도 288 등에서 설명한 실시예는, 단자(2881a)와 단자(2881b) 사이 등을 배선(2885) 등으로 결선한 실시예이다. 즉, 단자(2881a)로부터 입력된 신호는 그대로 단자(2881b)로 출력된다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 입력된 신호를 분기하거나, 지연하거나, 변화시키는 회로 혹은 배선을 단자(2881) 사이에 형성 또는 배치해도 되는 것은 물론이다.

도 283은 일례로서 단자(2881a)와 단자(2881b) 사이에 변환 회로(2831)를 형성 또는 배치한 구성이다. 도 283의 실시예에 있어서의 변환 회로(2831)는 반전 출력 발생 회로이다. 반전 출력 발생 회로(2831)는 입력된 신호의 반전 신호를 발생

시킨다. 예를 들면, ST 신호이면, 네거티브의 ST 신호를 발생시킨다. 이 네거티브의 ST 신호를 NST라고 기재한다. 보다 구체적으로는, ST가 1프레임의 기간의 1H의 기간, 3V로 되고, 다른 기간은 0V이면, NST 신호는 1프레임의 기간의 1H의 기간, 0V로 되고, 다른 기간은 3V로 된다. 이상의 사항은, CLK, ENBL 신호에도 적용된다.

즉, 도 283에서는 단자(2881a)에 입력된 신호는, 반전 출력 회로(2831)에서 포지티브 신호와 네거티브 신호로 변환되어 단자(2831b)로부터 출력된다. 따라서, 소스 드라이버 IC(14)에는 입력 신호를 적게 할 수 있다.

도 283은 반전 출력을 발생하는 회로였지만, 본 발명은 이것에 한정되는 것은 아니다. 도 284는 플립플롭 회로(FF 회로)로 이루어지는 지연 회로(2841)를 소스 드라이버 IC(14) 내에 형성하는 것이다.

도 284에서는 일례로서, FF 회로(2841)는 단자(2881a)와 단자(2881b) 사이에 배치되어 있다. FF 회로(2841)에 의해 ST 신호 등은 지연된다. 게이트 드라이버 회로(12)의 제어 신호(ST, CLK 등)는, 소스 드라이버 회로(IC)(14)의 래치 회로(862) 등과 동기를 취하여, 소스 신호선(18)에 인가하는 프로그램 전류의 타이밍과, 게이트 신호선(17a)에 온 전압을 인가하는 타이밍을 조정할 필요가 있다. 이 타이밍 조정을 FF 회로(2841) 등으로 행한다. 이상과 같이 구성함으로써 컨트롤러 회로(IC)(760)로부터 출력하는 제어 신호의 타이밍 조정이 용이하게 된다.

이상의 실시예 이외에, 도 285에 도시하는 바와 같이, HD(수평 주사 신호), VD(수직 주사 신호)로부터 제어 신호(ST, CLK, ENBL 등)를 발생시켜도 된다. 즉, 소스 드라이버 회로(IC)(14) 내에 신호 발생 회로(2851)를 형성 또는 배치한다. HD(수평 주사 신호), VD(수직 주사 신호) 등으로부터 신호 발생 회로(2851)에 의해 제어 신호(ST, CLK, ENBL 등)를 발생한다. 이상과 같이 구성함으로써, 더욱 소스 드라이버 IC(14)에의 신호선 개수를 삭감할 수 있다.

도 14, 도 248 등에서는 게이트 드라이버 회로(12)를 화면의 한쪽에 배치하고, 도 30, 도 83, 도 85, 도 180, 도 181, 도 202, 도 211, 도 212, 도 215, 도 217, 도 219, 도 223, 도 225, 도 260, 도 265, 도 281, 도 282, 도 289, 도 316, 도 319, 도 320, 도 327, 도 347, 도 358 등에서는, 게이트 드라이버 회로(IC)(12a)와 게이트 드라이버 회로(IC)(12b)를 화면(144)의 좌우에 배치했다. 그러나, 본 발명의 표시 패널(표시 장치)은 이 구성에 한정되는 것은 아니다. 도 373에 도시하는 바와 같이, 게이트 드라이버 회로(IC)(12a)와 게이트 드라이버 회로(IC)(12b)를 화면(144)의 좌우 위치의 각각에 배치해도 된다.

도 373은, 게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a1)를 화면(144)의 좌측단에 배치 또는 형성하고, 또한 화면(144)의 우측단에 게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a2)를 배치 또는 형성하고 있다. 또한, 게이트 신호선(17b)을 구동하는 게이트 드라이버 회로(12b1)를 화면(144)의 좌측단에 배치 또는 형성하고, 또한 화면(144)의 우측단에 게이트 신호선(17b)을 구동하는 게이트 드라이버 회로(12b2)를 배치 또는 형성하고 있다.

게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a1)를 화면(144)의 좌측단에 배치 또는 형성하고, 또한 화면(144)의 우측단에 게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a2)를 배치 또는 형성하는 구성에서는, 화면(144)의 좌우에서 휘도 경사가 발생하는 경우가 있다. 예를 들면, 게이트 드라이버 회로(12b)를 화면(144)의 우측단에만 형성하면, 화면(144)의 좌측단에서는 게이트 신호선(17b)에 인가한 신호 파형이 무더져, 화면(144)의 좌측단에서 화상이 어두워진다.

도 373에 도시하는 바와 같이, 게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a1)를 화면(144)의 좌측단에 배치 또는 형성하고, 또한 화면(144)의 우측단에 게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a2)를 배치 또는 형성하고, 또한, 게이트 신호선(17b)을 구동하는 게이트 드라이버 회로(12b1)를 화면(144)의 좌측단에 배치 또는 형성하고, 또한 화면(144)의 우측단에 게이트 신호선(17b)을 구동하는 게이트 드라이버 회로(12b2)를 배치 또는 형성하면, 화면(144)에 휘도 경사가 발생한다고 하는 과제는 없어진다.

도 373에서는, 게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a1)를 화면(144)의 좌측단에 배치 또는 형성하고 있다. 또한, 화면(144)의 우측단에 게이트 신호선(17a)을 구동하는 게이트 드라이버 회로(12a2)를 배치 또는 형성하고 있다. 또한, 게이트 신호선(17b)을 구동하는 게이트 드라이버 회로(12b1)를 화면(144)의 좌측단에 배치 또는 형성하고, 또한 화면(144)의 우측단에 게이트 신호선(17b)을 구동하는 게이트 드라이버 회로(12b2)를 배치 또는 형성하고 있다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 게이트 드라이버 회로(12a) 또는 (12b)는 어느 한쪽을 화면(144)의 좌우에 배치 또는 형성한 구성이어도 된다. 또한, 게이트 드라이버 회로(12a)를 화면(144)의 한쪽에 형성 또는 배치하고, 게이트 드라이버(12b)를 화면(144)의 좌우에 배치 또는 형성한 구성이어도 된다.

게이트 드라이버 회로(12a1)는 폴리실리콘 기술을 이용하여 어레이(30)에 직접 형성하고, 게이트 드라이버 회로(12a2)를 실리콘 칩으로 구성하여, COG 기술로 어레이(30)에 실장하는 하이브리드 구성이어도 된다. 또한, 게이트 드라이버 회로(12b1)는 폴리실리콘 기술을 이용하여 어레이(30)에 직접 형성하고, 게이트 드라이버 회로(12b2)를 실리콘 칩으로 구성하여, COG 기술로 어레이(30)에 실장하는 하이브리드 구성이어도 된다. 또한, 이들을 조합해도 된다.

도 373의 구성에 대하여도, 도 288~도 291 등에서 설명한 사항은 유효하다. 도 374는 도 288~도 291 등에서 설명한 실시예를 적용한 예이다.

도 374에 있어서, 단자(2883)로부터 입력된 게이트 드라이버 회로(IC)(12)의 제어 신호는, 소스 드라이버 회로(IC)(14)의 내부 배선(2885)에 의해 2개로 분기되어, 화면(144)의 좌우에 배치된 게이트 드라이버 회로(IC)(12)로 전달된다. 내부 배선(2885)은 2개의 단자(2881b1) 사이, 2개의 단자(2881b2) 사이에 접속되어 있다. 단자(2882b1)로부터는 게이트 드라이버 회로(12b)를 제어하는 신호가 출력되고, 단자(2882b2)로부터는 게이트 드라이버 회로(12a)를 제어하는 신호가 출력된다.

도 374에서는, 소스 드라이버 회로(IC)(14)의 내부 배선(2885)에 의해 게이트 드라이버 회로(12)를 제어하는 신호를 분기하는 것으로 했지만, 이것에 한정되는 것은 아니다. 도 291 등에 설명하는 바와 같이 IC(14) 아래이고 또한 어레이(30)면에 형성한 배선으로 분기해도 되는 것은 물론이다.

도 190에서는, 소스 드라이버 IC(14)에의 신호를 차동 신호로서 입력하는 실시예를 설명했다. 마찬가지로, 도 81, 도 82에서도 신호 등을 차동 신호로 하여 공급한 실시예에 대하여 설명을 했다. 마찬가지로, 도 292에 도시하는 바와 같이 게이트 신호(게이트 드라이버 회로(12)의 제어 신호(ST, ENBL 등))도 차동 신호로서, 소스 드라이버 IC(14)에 인가해도 된다. 차동 신호는 차동-병렬 신호 변환 회로(2921)에서 병렬 신호로 변환된다.

도 292의 실시예에서는, 전력 신호로서의 애노드 전압, 캐소드 전압은 단자(2882a)에 입력되고, 게이트 드라이버 회로(12)를 제어하는 게이트 신호(차동)는 단자(2881a)에 입력된다. 영상 신호(차동) 및 제어 신호(차동)는 단자(2883)에 입력된다. 또한, 게이트 신호, 영상 신호 및 제어 신호는, 트위스트페어의 차동 신호로 해도 되는 것은 물론이다. 또한, 게이트 신호 등은 세션 동축 케이블로 전송해도 된다.

이상의 실시예는 다른 단자(2883, 2884, 2882 등)에 대하여도 적용할 수 있는 것은 물론이다.

도 292 등에 차동 신호로서 인가함으로써 신호선 수를 삭감할 수 있다. 도 288, 도 290 등과 같이 IC(14)에 배선(2885)을 형성함으로써 신호선 등이 교차하는 것을 없앨 수 있다. 이상의 구성은, 어레이 기판(30)에 폴리실리콘 기술에 의해 게이트 드라이버 회로(12) 등을 형성하고, 소스 드라이버 IC(14)를 실리콘 칩 등으로 형성하여 어레이 기판(30)에 COG 기술을 이용하여 실장함으로써 발휘할 수 있는 효과이다.

이상의 실시예는, 1개의 IC(14)를 패널(1264)에 이용한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 316에 도시하는 바와 같이, 또한, 2개(복수)의 IC 칩(14)을 어레이 기판(30)에 실장하여, 표시 패널(1264)을 구성해도 된다. IC(14)의 양쪽의 단에는, 전력 신호선 또는 제어 신호선 혹은 양쪽의 신호선이 출력되도록 형성 혹은 배치되고, IC(14)의 양쪽의 단에는, 차동-병렬 신호 변환 회로(2921)가 형성 혹은 배치되어 있다.

어느 쪽의 차동-병렬 신호 변환 회로(2921)를 동작시킬지는, 셀렉터 신호 GSEL에 인가하는 로직 신호(전압 레벨)에 의해 절환된다. 도 316에서는, IC 칩(14a)은 차동-병렬 신호 변환 회로(2921a1)가 동작하여, 차동-병렬 신호 변환 회로(2921a1)로부터 게이트 드라이버 회로(12a)의 제어 신호 등이 출력된다. 또한, IC 칩(14b)은 차동-병렬 신호 변환 회로(2921b2)가 동작하여, 차동-병렬 신호 변환 회로(2921b2)로부터 게이트 드라이버 회로(12b)의 제어 신호 등이 출력된다.

본 발명에서는, 도 528에 도시하는 바와 같이, 일례로서 컨트롤러 회로(IC)(760)로부터 차동 신호를 출력하고, 소스 드라이버 회로(IC)(14)에서 수신하는 것으로서 설명한다. 컨트롤러 회로(IC)(760)에 정전류 회로 Icon이 구성되며, 트랜지스터 M1, M2가 제어됨으로써, TxV+, TxV- 신호가 단자(2883c)로부터 출력된다. 단자(2883c)로부터 출력된 신호는, 플렉시블 기판의 배선, 프린트 기판의 배선, 케이블선, 동축 배선 등에 의해 전달되어, 소스 드라이버 회로(IC)(14)의 입력 단자(2883a)에 인가된다.

단자(2883a)에 인가된 신호는, 차동 신호(RxV+, RxV-)로서 콤퍼레이터(5281)에 인가되어, 논리 신호 TDATA로 복원된다. 저항 RT1, RT2는 소스 드라이버 회로(IC)(14)의 외부 부작 저항이다. Icon 전류의 경로를 중단한다.

저항 RT1, RT2는 소스 드라이버 회로(IC)(14)에 내장시켜도 된다. 또한, 소스 드라이버 회로(IC)(14)는, 폴리실리콘 기술(저온 폴리실리콘 기술, 고온 폴리실리콘 기술, CGS 기술) 등으로 기판(30)에 직접 형성한 것이어도 되는 것은 물론이다.

저항 RT1 등의 값은, 전송로의 임피던스 등에 적합하게 하여 선택한다. 본 발명의 구성에서는, 저항 RT의 값은, 100Ω 이상 300Ω 이하로 구성하고 있다.

소스 드라이버 회로(IC)(14)에 내장된 스위치(ST1, ST2)는 아날로그 스위치 등이 예시된다. 스위치 ST를 온 상태로 할지 오프 상태로 할지는, 소스 드라이버 회로(IC)(14)의 입력 단자(도시 생략)에 인가하는 로직 레벨에 의해 조작한다.

스위치 ST는, 스위치에 한정되는 것은 아니다. IC 프로세스 공정에서, 표시 패널에 입력되는 신호 사양에 따라서, 알루미늄 배선으로 선택하여 단락하는 것이어도 된다. 도 529에서 설명하는 차동 입력 구성인지, 도 530에서 설명하는 MOS 레벨 입력 구성인지는, 표시 패널에 인가하는 신호 사양으로 미리 결정되기 때문이다. 즉, 스위치 ST를 이용하여 CMOS 레벨 신호인지, 차동 신호인지를 적시에 전환할 필요가 있는 구성은 드물기 때문이다.

물론, 도 529에 도시하는 바와 같이, 스위치 ST를 설치하지 않고, 콤퍼레이터(5281)의 입력 단자 혹은, 컨트롤러 회로(IC)(760)의 출력 단자의 경로에 중단 저항 RT를 접속해도 되는 것은 물론이다. 중단 저항 RT는, 소스 드라이버 회로(IC)(14)가 복수이더라도 1개의 배선에 1개의 중단 저항 RT를 배치 혹은 설치 혹은 구성하면 된다.

중단 저항 RT는 볼륨으로 구성하여, 저항값을 가변 혹은 변경할 수 있도록 구성해도 된다. 또한, 도 368, 도 369, 도 372 등과 같이 구성해도 되는 것은 물론이다. 또한, 저항 RT를 트리밍함으로써 저항값을 목표값으로 조정해도 된다.

도 528의 구성에서는, 스위치 ST(ST1, ST2)가 온(폐쇄)함으로써, 소스 드라이버 회로(IC)(14)에의 입력은 차동 신호 입력으로 된다. 스위치 ST가 오프(개방)이면, CMOS 혹은 TTL 로직 신호 입력으로 된다. CMOS 레벨 혹은 TTL 레벨 입력으로 하는 경우에는, 도 530에 도시하는 바와 같이 콤퍼레이터(5281)의 - 단자에 로직 레벨을 판정하는 일정한 DC 전압을 인가하고, + 단자에 로직 신호를 인가한다. + 단자에 인가된 신호 레벨이 - 단자에 인가된 DC 전압 이상일 때, H 레벨 로직이라고 판단되고, + 단자에 인가된 신호 레벨이 - 단자에 인가된 DC 전압 이하일 때, L 레벨 로직이라고 판단된다. 단, 로직의 판단은 히스테리시스 특성을 갖도록 콤퍼레이터(5281)를 구성하는 것이 바람직하다. 또한, 본 발명에서는 설명을 용이하게 하기 위해서, CMOS 레벨의 신호인 것으로서 설명을 한다.

도 528의 구성에서는, 컨트롤러 회로(IC)(760)로부터의 출력 신호는 1개의 소스 드라이버 회로(IC)(14)에 인가되도록 도시했다. 그러나, 실용상은, 도 529, 도 530 등에 도시하는 바와 같이, 컨트롤러 회로(IC)(760)로부터의 출력 신호는 복수의 소스 드라이버 회로(IC)(14)에 인가된다.

도 529는, 차동 신호 입력인 경우이다. 컨트롤러 회로(IC)(760)로부터의 출력 배선(일례로서, 차동 신호 D0+ /D0-, D1+ /D1- ~D7+ /D7-의 8비트로 하고 있다.)에는, 중단 저항 RT가 배치되어 있다. 컨트롤러 회로(IC)(760)는, 복수의 소스 드라이버 회로(IC)(14)를 구동한다. 소스 드라이버 회로(IC)(14) 내의 콤퍼레이터(5281)는 각 비트의 차동 신호로부터 각 비트의 로직 신호(TDATA)로 변환한다. TDATA는 구동 회로(5291)에 입력된다. 구동 회로(5291)는 도 77, 도 43, 도 45, 도 48, 도 46, 도 50, 도 56, 도 60, 도 393, 도 394, 도 495, 도 508 등에서 설명한 구성이 예시된다. 구동 회로(5291)에서 처리 혹은 제어된 신호는, 단자(155)로부터 출력되어, 표시 패널의 소스 신호선(18)에 인가된다.

도 528, 도 529, 도 530은 영상 데이터(D0~D7)의 입력을 예시하고 있지만, 이것에 한정되는 것은 아니고, 도 361에서 설명하고 있는 프리차지 신호, 도 425에서 설명하고 있는 제어 신호, 도 505에서 설명하고 있는 게이트 드라이버 제어 신호 등이어도 되는 것은 물론이다.

도 530은 CMOS 레벨 신호(로직 신호)인 경우이다. 콤퍼레이터(5281)의 - 단자(+ 단자라도 된다)에는, 직류 전압(DC 전압) V0이 인가되고 있다. 로직 신호 D0~D7의 신호 레벨이 V0 전압 이상일 때, H 레벨이라고 판단된다. 로직 신호 D0~D7의 신호 레벨이 V0 전압 이하일 때, L 레벨로서 판단된다. 따라서, 도 530의 구성에서는 콤퍼레이터(5281)는 버퍼로서 기능한다.

이상의 도 528, 도 529의 구성의 소스 드라이버 회로(IC)(14)는, 도 531에 도시하는 바와 같이 차동 인터페이스(차동 IF)(2921a)와 CMOS(TTL) 인터페이스(CMOS IF)(2921b)의 양쪽을 구비하고 있다. 따라서, 사용 상태에 따라서, IF 사양을 선택할 수 있다. 도 531의 (a)는, 컨트롤러 회로(IC)(760)는 CMOS 레벨의 신호를 출력한다. 소스 드라이버 회로(IC)(14)는, 도 530의 구성인 CMOS-IF를 사용하고 있다.

도 531의 (b)에서도, 컨트롤러 회로(IC)(760)는, CMOS 레벨의 신호를 출력한다. 도 531의 (b)의 구성에서는, 모드 변환 회로(IC)(5311)를 구비하고 있다. 모드 변환 회로(IC)(5311)는, CMOS 신호를 차동 신호로 변환하는 기능을 갖는다. 컨트롤러 회로(IC)(760)는 CMOS-IF(2921b)로부터 CMOS 신호를 출력하고, 모드 변환 회로(5311)는 CMOS-IF(2921b)에서 수신한 신호를, 차동 신호로 변환하여 차동 IF(2921a)로부터 출력한다. 차동 IF(2921a)로부터 출력한 차동 신호는, 소스 드라이버 회로(IC)(14)의 차동 IF(2921a)에 입력된다.

이상과 같이, 소스 드라이버 회로(IC)(14)는, 도 529의 회로 구성을 구비함으로써, 차동 신호와 CMOS(TTL) 레벨 신호의 양쪽을 수신할 수 있다.

또한, 도 316에서는 IC 칩(14)의 양단에 차동-병렬 신호 변환 회로(2921)를 배치하도록 도시했지만, 이것에 한정되는 것은 아니다. 차동-병렬 신호 변환 회로(2921)는 1개이고, 배선(2851)에 의해 제어 신호선 등을 칩(14)의 양단으로 분기할 수 있도록 구성해도 된다. 중요한 것은, IC 칩(14)의 양단에 전력 신호선 또는 제어 신호선을 출력할 수 있는 것이고, 또한, 도 316과 같이 어레이 기판(30)에 복수의 IC 칩(14)을 실장한 경우, IC 칩(14)의 양단의 전력 신호선 또는 제어 신호선의 출력이 출력되는지 아닌지를 절환할 수 있는 것이다(혹은 양쪽으로부터 신호 등이 출력되고 있어도 화상 표시에 영향을 주지 않도록 할 수 있는 것이다). 절환은 GESL 신호에 의해서 행한다.

도 601에 도시하는 바와 같이, Gcnt1 신호로 소스 드라이버 회로(IC)(14)마다 게이트 드라이버(12)에의 출력 신호(2852)를 제어해도 된다. 도 601에 있어서, 소스 드라이버 회로(IC)(14a)의 Gcnt1a 신호를 H 레벨로 하는 것에 의해, 소스 드라이버 회로(IC)(14a)의 출력 단자(2881b1)로부터 게이트 드라이버 회로(12a)로의 제어 신호가 출력된다.

소스 드라이버 회로(IC)(14a)의 Gcnt1a 신호를 L 레벨로 하는 것에 의해, 소스 드라이버 회로(IC)(14a)의 출력 단자(2881b1)는 하이 임피던스로 된다. 또한, 소스 드라이버 회로(IC)(14a)의 Gcnt1b 신호를 L 레벨로 하는 것에 의해, 소스 드라이버 회로(IC)(14a)의 출력 단자(2881b2)는 하이 임피던스 상태로 된다. 도 601에서는, 소스 드라이버 회로(IC)(14a)의 출력 단자(2881b2)에는 출력하는 신호는 없기 때문에, Gcnt1b 신호는 L 레벨로 고정된다.

소스 드라이버 회로(IC)(14b)는, 소스 드라이버 회로(IC)(14b)의 Gcnt2b 신호를 H 레벨로 하는 것에 의해, 소스 드라이버 회로(IC)(14b)의 출력 단자(2881b2)로부터 게이트 드라이버 회로(12b)로의 제어 신호가 출력된다. 또한, 소스 드라이버 회로(IC)(14b)의 Gcnt2a 신호를 L 레벨로 하는 것에 의해, 소스 드라이버 회로(IC)(14b)의 출력 단자(2881b1)는 하이 임피던스로 된다. 도 601에서는, 소스 드라이버 회로(IC)(14b)의 출력 단자(2881b1)에는 출력하는 신호는 없기 때문에, Gcnt2a 신호는 L 레벨로 고정된다.

이상의 실시예는, 1개의 표시 패널에 2개의 소스 드라이버 회로(IC)(14)를 사용하는 구성이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 사용하는 소스 드라이버 회로(IC)(14)는 3개 이상이어도 된다. 3개 이상인 경우에는, 적어도 1개의 소스 드라이버 회로(IC)(14)의 2개소의 출력 단자(2881b)는 하이 임피던스 상태로 된다. 하이 임피던스 상태는, GSEL 신호, Gcnt1 신호를 조합함으로써 실현할 수 있는 것은 물론이다.

따라서, 본 발명의 소스 드라이버 IC(14)는, 어레이(30)에 1개 실장하는 경우에도, 여러개 실장하는 경우에도 동일한 소스 드라이버 IC(14)를 이용할 수 있다. 또한, 1개 이용한 경우로, 게이트 드라이버 회로(12)가 화면(144)의 한쪽의 단에 형성 또는 배치되어 있는 경우에도 적용할 수 있다.

경우에 따라서는 입력 방향이어도 된다. 예를 들면, 게이트 드라이버 회로(12)로부터의 스타트 펄스(ST)의 출력 펄스가 단자(2821b)에 입력되고, 단자(2821a)로부터 출력되도록 구성 혹은 형성해도 된다. 이 출력 펄스는 컨트롤 IC(760)에 입력된다. 이 출력 펄스에 의해 컨트롤 IC(760)는, 게이트 드라이버 회로(12)의 동작을 감시 혹은 정상성을 판단할 수 있다.

본 발명은, 소스 드라이버 IC(14)를 실리콘 등으로 형성하고, COG 기술 등을 이용하여 기판(30)에 실장하는 것으로 했지만, 이것에 한정되는 것은 아니다. TAB 혹은 COF 기술을 이용하여 실장해도 된다. 또한, 소스 드라이버 IC의 회로(14)는 폴리실리콘 기술을 이용하여 어레이 기판(30)에 직접 형성해도 된다. 특히, 도 316 등의 구성에 유효하다. 또한, IC 칩(14)

은 어레이 기관(30)(화소 전극 등이 형성된 기관)에 실장하는 것으로 했지만, 이것에 한정되는 것은 아니고, 대향 기관측에 형성하여, 어레이 기관(30) 등에 형성된 소스 신호선(18) 등과 접속해도 된다. 이상의 사항은, 본 발명의 다른 실시예에 있어서도 적용할 수 있는 것은 물론이다.

도 191은 플렉시블 기관(1802)부의 단면도이다. 플렉시블 기관(1802)에는 전원 모듈(1912)이 단자(1914)를 통하여, 플렉시블 기관(1802)과 접속되어 있다. 전원 모듈(1912)에는 코일(트랜스포머)(1913)이 실장되어 있고, 이 코일(1913)은 플렉시블 기관(1802)에 뚫린 구멍에 삽입되어 있다. 이상과 같이 구성함으로써 전체적으로 얇은 패널 모듈을 얻을 수 있다.

컨트롤 회로(IC)(760), 전원 회로(IC) 등을 적재한 기관(1802)은, 도 585에 도시하는 바와 같이, 밀봉 기관(40)(밀봉 뚜껑)에 형성한 오목부에, 부품 등이 삽입되도록 배치해도 된다. 도 585와 같이 구성함으로써, 패널 모듈을 콤팩트하게 할 수 있다.

도 1과 같이 화소(16)의 구동용 트랜지스터(11a), 선택 트랜지스터(11b, 11c)가 P 채널 트랜지스터인 경우에는, 관통 전압이 발생한다. 이것은, 게이트 신호선(17a)의 전위 변동이, 선택 트랜지스터(11b, 11c)의 G-S 용량(기생 용량)을 통하여, 커패시터(19)의 단자에 관통하기 때문이다. P 채널 트랜지스터(11b)가 오프할 때에는 V_{gh} 전압으로 된다. 그 때문에, 커패시터(19)의 단자 전압이 V_{dd} 측으로 약간 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압은 상승하여, 보다 흑색 표시로 된다. 따라서, 양호한 흑색 표시를 실현할 수 있다.

이상의 실시예는, 트랜지스터(11b)의 G-S 용량(기생 용량)을 통하여, 커패시터(19)의 전위를 변동시키고, 커패시터(19)의 전위 변동에 의해, 흑색 표시를 양호하게 하는 구성이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 595에 도시하는 바와 같이, 관통 전압을 발생시키는 커패시터(19b)를 형성한 것이다. 도 595의 (a)는, 도 1의 화소 구성에, 커패시터(19b)를 형성한 구성이다. 커패시터(19b)는 트랜지스터(11)의 게이트 신호선(17)을 구성하는 전극층과, 소스 신호선(18)을 구성(형성)하는 전극층을 2개의 전극으로서 형성하는 것이 바람직하다. 커패시터(19b)의 용량은 커패시터(19a)의 용량의 1/4 이상 1/1 이하로 하는 것이 바람직하다.

도 595의 (b)는, 화소가 커런트 미러 구성에 있어서, 관통 전압을 발생하는 커패시터(19b)를 형성한 구성이다. 또한, 본 실시예에서는 설명을 용이하게 하기 위해서, 트랜지스터(11)는 P 채널 트랜지스터인 것으로서 설명을 한다.

도 595의 화소 구성에 있어서, 게이트 드라이버(17a)의 구동 파형을 도 596에 도시한다. 트랜지스터(11b, 11c)는 P 채널 트랜지스터이므로, V_{gl} 전압(L 전압)에서 트랜지스터(11b, 11c)가 온한다. 또한, V_{gh} 전압(H 전압)에서 트랜지스터(11b, 11c)가 오프한다. 도 596에 도시하는 바와 같이, 각 화소행이 선택되는 기간은, 1수평 주사 기간(1H)이다.

도 596에 있어서, A점에서는, 게이트 신호선(17a)에 인가되는 전압이 V_{gh} 내지 V_{gl} 로 변화한다. A점에서는, 커패시터(19b)에 의해 전압이 커패시터(19a)에 관통한다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 전위가 저전압 방향으로 시프트한다. 그 때문에, 단기간 동안, 구동용 트랜지스터(11a)에 약간 큰 전류가 흐르게 된다. 그러나, A점 내지 B점의 1H 기간에서는, 구동용 트랜지스터(11a)로부터 소스 신호선(18)으로 프로그램 전류가 흐르기 때문에, A점 이후의 단기간에 큰 전류가 흐르더라도 곧 정규의 프로그램 전류가 흐르게 된다.

B점에서는, 게이트 신호선(17a)에 인가되는 전압이 V_{gl} 로부터 V_{gh} 로 변화한다. B점에서는, 커패시터(19b)에 의해 전압이 커패시터(19a)에 관통한다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 전위가 고전압 방향으로 시프트한다. 그 때문에, 구동용 트랜지스터(11a)에 흐르는 전류가 프로그램 전류보다 작아진다.

B점 이후는 트랜지스터(11b, 11c)가 오프로 되기 때문에, 구동용 트랜지스터(11a)는 프로그램 전류보다 작은 전류가 흐르도록 제어되고, 그 전류는 1프레임 기간에 유지된다. 관통 전압에 의한 전압 시프트를 개념적으로 나타낸 것이, 도 597이다. 커패시터(19b)에 의해 트랜지스터(11a)의 V-I 커브는, 실선으로부터 점선으로 시프트한다. 점선의 V-I 커브로 시프트함으로써, 구동용 트랜지스터(11a)가 EL 소자(15)에 인가하는 전류는 저감한다. 전압 시프트량은 일정하기 때문에, 특히 저계조 범위에서 흑색 표시를 양호하게 할 수 있다.

커패시터(19b) 등에 의한 관통 전압의 시프트량은 일정하고, 또한, V_{gh} 전압, V_{gl} 전압이 일정하기 때문이다. 전류 구동 방식(전류 프로그램 방식)에서는, 저계조에서는 프로그램 전류가 작아져, 소스 신호선(18)의 기생 용량의 충방전이 곤란하다. 그러나, 도 595에 도시하는 본 발명에서는, 소스 신호선(18)에 인가하는 프로그램 전류를 비교적 크게 할 수 있고, 구동용 트랜지스터(11a)가 EL 소자(15)에 흘리는 전류는 프로그램 전류보다 작게 할 수 있다. 즉, 미소한 프로그램 전류를 화소(16)에 기입할 수 있다.

반대로, 관통 전압을 가변하기 위해서는, V_{gh} 전압 또는 V_{gl} 전압 혹은 V_{gh} 전압과 V_{gl} 전압의 전위차를 변화시키면 된다. 예를 들면, 점등률(나중에 설명함)에 따라서, V_{gh} 전압, V_{gl} 전압을 변화 혹은 조작하는 구동 방법이 예시된다. 또한, 컨덴서(19b)의 용량을 변화시키면 된다. 또한, 애노드 전압 V_{dd} 를 변화시키면 된다. 예를 들면, 점등률(나중에 설명함)에 따라서, 애노드 전압(V_{dd})을 변화 혹은 조작하는 구동 방법이 예시된다. 이들을 변화 혹은 변경함으로써 관통 전압의 크기를 제어할 수 있고, 구동용 트랜지스터(11a)가 흘리는 전류량을 제어할 수 있어, 양호한 흑색 표시를 실현할 수 있다.

관통 전압의 크기는 계조 번호에 상관없이, 일정값이기 때문에, 저계조 영역에서는, 상대적으로 감소하는 프로그램 전류량의 비율이 커진다. 따라서, 저계조 영역로 될수록, 양호한 흑색 표시를 실현할 수 있다.

도 595, 도 596의 실시예에서는, 구동용 트랜지스터(11a), 트랜지스터(11b) 등이 P 채널 트랜지스터인 것이 구성으로서 중요하다. 또한, 게이트 신호선(17a)에 인가하는 신호가, 애노드 전압 V_{dd} 에 가까운 전압(V_{gh})에서 트랜지스터(11)가 오프하고, 캐소드 전압에 가까운 전압(V_{gl})에서 트랜지스터(11)가 온하도록 구성하는 것이 중요한 구성이다. 또한, 화소행이 선택되고, 비선택 상태로 되면, 다음의 프레임(필드)에서 선택될 때까지, 각 화소가 기입된 전류값을 유지하는 것이 중요한 동작이다.

이상의 실시예(도 595 등)는, 트랜지스터(11a)가 P 채널 트랜지스터인 구성이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 598에 도시하는 바와 같이, 구동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우라도 본 발명의 기술사상을 적용할 수 있다. 도 598은, 관통 전압을 발생하는 컨덴서는 컨덴서(19b)이다. 기본적으로는, 도 595의 (a)의 구성을 N 채널의 구성으로 변환한 구성예이다.

도 598의 화소 구성에 있어서, 게이트 드라이버(17a)의 구동 파형을 도 599에 도시한다. 트랜지스터(11b, 11c)는 N 채널 트랜지스터이기 때문에, V_{gl} 전압(L 전압)에서 트랜지스터(11b, 11c)가 오프한다. 또한, V_{gh} 전압(H 전압)에서 트랜지스터(11b, 11c)가 온한다. 도 599에 도시하는 바와 같이, 각 화소행이 선택되는 기간은 1수평 주사 기간(1H)이다.

도 599에 있어서, A점에서는, 게이트 신호선(17a)에 인가되는 전압이 V_{gl} 로부터 V_{gh} 로 변화한다. A점에서는, 컨덴서(19b)에 의해 전압이 컨덴서(19a)에 관통한다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 전위가 고전압 방향으로 시프트한다. 그 때문에, 단기간 동안, 구동용 트랜지스터(11a)에 약간 큰 전류가 흐르게 된다. 그러나, A점 내지 B점의 1H 기간에서는, 구동용 트랜지스터(11a)로부터 소스 신호선(18)으로 프로그램 전류가 흐르기 때문에, A점 이후의 단기간에 큰 전류가 흐르더라도 곧 정규의 프로그램 전류가 흐르게 된다.

B점에서는, 게이트 신호선(17a)에 인가되는 전압이 V_{gh} 로부터 V_{gl} 로 변화한다. B점에서는, 컨덴서(19b)에 의해, 구동용 트랜지스터(11a)의 게이트 단자 전위가 저전압 방향으로 시프트한다. 그 때문에, EL 소자(15)로부터 구동용 트랜지스터(11a)에 흐르는 전류는, 소스 신호선(18)에 인가한 프로그램 전류보다 작아진다.

B점 이후는 트랜지스터(11b, 11c)가 오프로 되기 때문에, 구동용 트랜지스터(11a)는 프로그램 전류보다 작은 전류가 흐르도록 제어되고, 그 전류는 1프레임 기간에 유지된다. 관통 전압에 의한 전압 시프트를 개념적으로 나타낸 것이, 도 600이다. 주로 컨덴서(19b)에 의해 트랜지스터(11a)의 V-I 커브는, 실선으로부터 점선으로 시프트한다. 점선의 V-I 커브로 시프트함으로써, 구동용 트랜지스터(11a)가 EL 소자(15)에 인가하는 전류는 저감한다. 전압 시프트량은 일정하기 때문에, 특히 저계조 범위에서 흑색 표시를 양호하게 할 수 있다.

도 598, 도 599의 실시예에서는, 구동용 트랜지스터(11a), 트랜지스터(11b) 등이 N 채널 트랜지스터인 것이 구성으로서 중요하다. 또한, 게이트 신호선(17a)에 인가하는 신호가, 애노드 전압 V_{dd} 에 가까운 전압(V_{gh})에서 트랜지스터(11)가 온하고, 캐소드 전압에 가까운 전압(V_{gl})에서 트랜지스터(11)가 오프하도록 구성하는 것이 중요한 구성이다.

게이트 신호선(17a)에 인가된 전압의 일정 비율이, 컨덴서(19) 등에 의해 관통 전압으로서, 구동용 트랜지스터(11a)의 게이트 단자에 인가된다. 관통 전압에 의해 구동용 트랜지스터(11a)가 흘리는(유출하는) 전류가 소스 신호선(18)에 기입된 프로그램 전류보다 작아져, 양호한 흑색 표시를 실현할 수 있다.

그러나, 제0 계조제의 완전 흑색 표시는 실현할 수 있지만, 제1 계조 등은 표시하기 어려운 경우가 발생한다. 혹은, 제0 계조로부터 제1 계조까지 크게 계조 날림 현상이 발생하거나, 특정한 계조 범위에서 흑색 붕괴 현상이 발생하기도 하는 경우도 고려된다.

이 과제를 해결하는 구성이, 도 84의 구성이다. 출력 전류값을 고조하는 기능을 갖는 것을 특징으로 한다. 고조 회로(841)의 주된 목적은, 관통 전압의 보상이다. 또한, 화상 데이터가 흑레벨 0이더라도, 어느 정도(수 10nA) 전류가 흐르도록 하여, 흑레벨의 조정에도 이용할 수 있다.

기본적으로는, 도 84는, 도 15의 출력단에 고조 회로(841)(도 84의 점선으로 둘러싸인 부분)를 추가한 것이다. 도 84는, 전류값 고조 제어 신호로서 3비트(K0, K1, K2)를 가정한 것이고, 이 3비트의 제어 신호에 의해, 손자 전류원의 전류값의 0~7배의 전류값을 출력 전류에 가산하는 것이 가능하다. 또한, 전류 고조 제어 신호는 3비트로 하고 있지만, 이것에 한정되는 것은 아니고, 4비트 이상이어도 되는 것은 물론이다. 또한, 전류 고조 제어 신호는, 2비트 이하라도 된다.

이상이 본 발명의 소스 드라이버 회로(IC)(14)의 기본적인 개요이다. 이후, 더욱 상세하게 본 발명의 소스 드라이버 회로(IC)(14)에 대하여 더욱 자세하게 설명을 한다.

EL 소자(15)에 흐르는 전류 I(A)와 발광 휘도 B(nt)는 선형의 관계가 있다. 즉, EL 소자(15)에 흐르는 전류 I(A)와 발광 휘도 B(nt)는 비례한다. 전류 구동 방식에서는, 1스텝(계조 눈금)은, 전류(단위 트랜지스터(154)(1 단위))이다.

사람의 휘도에 대한 시각은 2승 특성을 가지고 있다. 즉, 2승의 곡선으로 변화할 때, 밝기는 직선적으로 변화하고 있는 것처럼 인식된다. 그러나, 도 62의 실선 a로 나타내는 바와 같이 직선의 관계이면, 저휘도 영역에서든, 고휘도 영역에서든, EL 소자(15)에 흐르는 전류 I(A)와 발광 휘도 B(nt)는 비례한다.

따라서, 1스텝(1계조) 눈금씩 변화시키면, 저계조부(흑색 영역)에서는, 1스텝에 대한 휘도 변화가 크다(흑색 날림 현상이 발생함). 고계조부(백색 영역)는, 대략 2승 커브의 직선 영역과 일치하기 때문에, 1스텝에 대한 휘도 변화는 등간격으로 변화하고 있는 것처럼 인식된다. 이상의 점으로부터, 전류 구동 방식(1스텝이 전류 단위인 경우)에 있어서(전류 구동 방식의 소스 드라이버 회로(IC)(14)에 있어서), 흑색 표시 영역의 표시가 특히 과제로 된다.

이 과제에 대하여, 저계조 영역(계조 0(완전 흑색 표시) 내지 계조(R1))의 전류 출력의 기울기를 작게 하고, 고계조 영역(계조(R1) 내지 최대 계조(R))의 전류 출력의 기울기를 크게 한다. 즉, 저계조 영역에서는, 1계조당(1스텝) 증가하는 전류량을 작게 한다. 고계조 영역에서는, 1계조당(1스텝) 증가하는 전류량을 크게 한다. 고계조 영역과 저계조 영역에서 1스텝당 변화하는 전류량을 다르게 하는 것에 의해, 계조 특성이 2승 커브에 가깝게 되어, 저계조 영역에서의 흑색 날림 현상의 발생은 없다.

이상의 실시예에서는, 저계조 영역과 고계조 영역의 2단계의 전류 기울기로 했지만, 이것에 한정되는 것은 아니다. 3단계 이상이어도 되는 것은 물론이다. 그러나, 2단계인 경우에는 회로 구성이 간단해지기 때문에 바람직한 것은 물론이다. 바람직하게는, 5단계 이상의 기울기를 발생할 수 있도록 감마 회로는 구성하는 것이 바람직하다.

본 발명의 기술적 사상은, 전류 구동 방식의 소스 드라이버 회로(IC) 등에 있어서(기본적으로는 전류 출력으로 계조 표시를 행하는 회로이다. 따라서, 표시 패널이 액티브 매트릭스형에 한정되는 것은 아니고, 단순 매트릭스형도 포함된다.), 1계조 스텝당의 전류 증가량을 복수 존재시키는 것이다.

EL 등의 전류 구동형의 표시 패널은, 인가되는 전류량에 비례하여 표시 휘도가 변화한다. 따라서, 본 발명의 소스 드라이버 회로(IC)(14)에서는, 1개의 전류원(1단위 트랜지스터)(154)에 흐르는 기본으로 되는 기준 전류를 조정함으로써, 용이하게 표시 패널의 휘도를 조정할 수 있다.

EL 표시 패널에서는, R, G, B에서 발광 효율이 서로 다르고, 또한, NTSC 기준에 대한 색 순도가 어긋나 있다. 따라서, 화이트 밸런스를 최적으로 하기 위해서는 RGB의 비율을 적정하게 조정할 필요가 있다. 조정은, RGB의 각각의 기준 전류를 조정함으로써 행한다. 예를 들면, R의 기준 전류를 2 μ A로 하고, G의 기준 전류를 1.5 μ A로 하고, B의 기준 전류를 3.5 μ A로 한다. 이상과 같이 적어도 복수의 표시색의 기준 전류 중, 적어도 1색의 기준 전류는 변경 혹은 조정 혹은 제어할 수 있도록 구성하는 것이 바람직하다.

화이트 밸런스는, 도 184에 도시하는 바와 같이 기준 전류 Ic(적색의 기준 전류는 Icr, 녹색의 기준 전류는 Icg, 청색의 기준 전류는 Icb)의 조정에 의해 실현한다. 그러나, 트랜지스터(158)의 특성 변동 등이 있어, 화이트 밸런스 어긋남이 발생한다. 이것은 IC 칩마다 다른 점이 있다. 이 과제에 대해서는, 도 184의 기준 전류 회로(601r)(적색용), 기준 전류 회로

(601g)(녹색용), 기준 전류 회로(601b)(청색용)의 내부를, 도 164 등에서 설명하는 트리밍 기술을 이용하여 조정하여, 화이트 밸런스를 실현하면 된다. 특히 전류 구동 방식은, EL에 흘리는 전류 I와 휘도의 관계는 직선의 관계가 있기 때문에, 이 조정은 매우 용이하다.

전류 구동 방식은, EL에 흘리는 전류 I와 휘도의 관계는 직선의 관계가 있다. 따라서, RGB의 혼합에 의한 화이트 밸런스의 조정은, 소정의 휘도의 1점에서 RGB의 기준 전류를 조정하는 것만이어도 된다. 즉, 소정의 휘도의 1점에서 RGB의 기준 전류를 조정하여, 화이트 밸런스를 조정하면, 기본적으로는 전체 계조에 걸쳐 화이트 밸런스가 취해지고 있다. 따라서, 본 발명은 RGB의 기준 전류를 조정할 수 있는 조정 수단을 구비하는 점, 1점 꺾임 또는 다점 꺾임 감마 커브 발생 회로(발생 수단을)를 구비하는 점에 특징이 있다. 이상의 사항은 전류 제어의 EL 표시 패널 특유의 회로 방식이다.

기준 전류의 발생은, 도 60 내지 도 66의 (a), (b) 등의 구성에 한정되는 것은 아니다. 예를 들면, 도 198의 구성이 예시된다. 도 198에서는, 8비트 데이터를 DA(디지털 아날로그) 변환 회로(661)에 의해 전압으로 변환한다. 이 전압을 전자 볼륨(501)의 전원 전압(도 60에서는 V_s)으로 된다. 전자 볼륨(501)은 전압 데이터(VDATA)에 의해 제어되어, V_t 전압이 출력된다. 출력된 V_t 데이터가 오피 앰프(502)에 입력되고, 저항 R1과 트랜지스터(158a)로 이루어지는 전류 회로에서 소정의 기준 전류 I_c 가 출력된다. 이상과 같이 구성하면, 8비트의 DATA 및 8비트의 VDATA에 의해 V_t 전압의 가변 범위를 넓게 제어할 수 있다.

도 197은, 복수의 전류 회로(오피 앰프(502), 저항 R^* (*은 해당 저항의 번호), 트랜지스터(158a)로 구성)을 구비하는 구성이다. 각 전류 회로가 출력하는 기준 전류의 크기 I_c 는 저항의 크기에 따라 다르다. 오피 앰프(502a)로 이루어지는 정전류 회로는 $R1=1M\Omega$ 이고, 기준 전류 I_{c1} 의 전류를 흘린다. 오피 앰프(502b)로 이루어지는 정전류 회로는 $R2=500K\Omega$ 이고, 기준 전류 I_{c2} 의 전류를 흘린다. 오피 앰프(502c)로 이루어지는 정전류 회로는 $R3=250K\Omega$ 이고, 기준 전류 I_{c3} 의 전류를 흘린다.

어떤 전류 회로의 기준 전류 I_c 를 채용할지는, 선택 스위치 S에 의해 결정한다. 스위치 S의 선택은 외부로부터의 입력 신호에 의해 실시한다. 스위치 S1이 온하고, 스위치 S2, S3을 오프함으로써, 트랜지스터군(431b)에 기준 전류 I_{c1} 이 인가된다. 스위치 S2가 온하고, 스위치 S1, S3을 오프함으로써, 트랜지스터군(431b)에 기준 전류 I_{c2} 가 인가된다. 마찬가지로, 스위치 S3이 온하고, 스위치 S2, S1을 오프함으로써, 트랜지스터군(431b)에 기준 전류 I_c 가 인가된다.

기준 전류 I_{c1} , I_{c2} , I_{c3} 이 각각 다르게 구성되어 있기 때문에, 선택하는 스위치 S를 전환하는 것에 의해 출력 단자(155)로부터의 출력 전류를 일제히 변경할 수 있다. 또한, 선택 스위치 S를 1필드 또는 1프레임 등의 정주기로 변화시킴으로써, 프레임 등마다 패널에 인가하는 프로그램 전류의 크기를 변화시킬 수 있어, 화상 휘도 등이 복수 프레임 또는 필드에서 평균화되어 균일성이 좋은 화상 표시를 얻을 수 있다.

상기한 실시예에서는, 1필드 또는 1프레임마다 선택하는 스위치 S를 변화시켜, 프로그램 전류의 크기를 변화시키는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 수 필드 혹은 프레임마다 변화시켜도 되고, 1H(1수평 주사 기간) 혹은 복수 H(주사 기간)마다 스위치 S를 전환해도 된다. 또한, 랜덤하게 변화시켜, 전체적으로 소정의 기준 전류 I_c 가 트랜지스터군(431b)에 인가되도록 동작시켜도 된다.

기준 전류의 크기를 주기적으로 변화시키거나 혹은 랜덤하게 변화시켜 일정한 주기로 평균적으로 소정의 기준 전류로 한다고 하는 구동 방법은, 도 197에 한정되는 것은 아니다. 예를 들면, 도 60 내지 도 66의 (a), (b) 등의 기준 전류의 발생 회로 등에도 적용할 수 있다. 각 회로의 기준 전류는 전자 볼륨(501), 전원 전압 V_s 등을 변화 혹은 변경함으로써 변경할 수 있다.

상기 실시예에서는, I_{c1} 내지 I_{c3} 중 어느 하나의 기준 전류 I_c 를 선택하여, 트랜지스터(431b)에 인가하는 것으로 했지만, 이것에 한정되는 것은 아니고, 복수의 전류 회로의 전류를 가산하여 트랜지스터군(431b)에 인가해도 된다. 이 경우에는, 복수의 스위치 S를 온시키면 된다. 또한, 모든 스위치 S를 오프 상태로 하는 것에 의해 트랜지스터군(431b)에 인가되는 기준 전류=0A로 할 수 있다. 0A로 하면 각 단자(155)로부터 출력되는 프로그램 전류는 0A로 된다. 따라서, 소스 드라이버 IC(14)는 출력 오픈의 상태로 할 수 있다. 즉, 소스 신호선(18)으로부터 소스 드라이버 IC(14)를 분리할 수 있다.

도 198은 복수의 기준 전류 발생 회로로부터의 기준 전류를 가산하여 트랜지스터(431b)에 인가하는 구성이다. 오피 앰프(502a)로 이루어지는 전류 회로는 DATA1로 이루어지는 8비트 데이터에 의해 출력 전류 I_{c1} 가 변화한다. 오피 앰프(502b)로 이루어지는 전류 회로는 DATA2로 이루어지는 8비트 데이터에 의해 출력 전류 I_{c2} 가 변화한다. 트랜지스터군(431b)에는 기준 전류 I_{c1} 혹은 I_{c2} 혹은 양쪽의 기준 전류가 인가된다.

도 199는 기준 전류 발생 회로의 다른 실시예이다. 게이트 배선(153)의 양측에 트랜지스터(158b1) 및 트랜지스터(158b2)가 배치되어 있다. 트랜지스터(158b1)에는, D1 데이터에 의해 I, 2I, 4I, 8I 중 어느 하나의 전류 혹은 조합한 전류가 인가된다. 즉, D1 데이터에 의해 스위치 S*a(*는 해당 스위치의 번호)가 선택된다. 또한, 2I라함은 I의 2배의 전류를 의미하며, 4I라 함은 I의 4배의 전류를 의미한다. 이하, 마찬가지이다. 트랜지스터(158b2)에는, D2 데이터에 의해 I, 2I, 4I, 8I 중 어느 하나의 전류 혹은 조합한 전류가 인가된다. 즉, D2 데이터에 의해 스위치 S*b(*는 해당 스위치의 번호)가 선택된다. 이상과 같이 구성해도 기준 전류를 다이내믹하게 가변할 수 있다.

도 200은 트랜지스터군(431c)을 복수의 블록(431c1, 431c2, 431c3)으로 분할한 실시예이다. 출력 단자(155)로부터는 복수의 블록의 트랜지스터군(431c)으로부터의 전류가 출력된다.

단위 트랜지스터(154)의 크기가 트랜지스터군(431c)에서 동일하더라도, 각 단위 트랜지스터(154)에 흐르는 전류가 다른 출력 단자(155)로부터 출력되는 프로그램 전류의 크기는 서로 다르다. 도 201에 도시하는 바와 같이, 기준 전류가 작을 때에는, 계조에 대한 프로그램 전류의 증가 비율은 작다(도 201의 0 내지 Ka를 참조할 것). 기준 전류가 클 때에는, 계조에 대한 프로그램 전류의 증가 비율은 크다(도 201의 Kb 이상의 범위를 참조할 것). 즉, 트랜지스터군(431c)을 복수의 블록으로 분할하고, 각 블록 내의 단위 트랜지스터(154)에 공급하는 기준 전류의 크기를 변화시킨다. 또한, 이 구성은, 도 56에서도 설명하고 있다.

도 200에서는, 1개의 트랜지스터군(431c)을 3개의 블록으로 분할하고 있다. 트랜지스터(431c)의 트랜지스터(431c1)에는, 트랜지스터(158b1)에 인가되는 기준 전류 I1에 의해 게이트 배선(153a)의 전위가 설정된다. 이 게이트 배선(153a)의 전위에 의해 트랜지스터군(431c1)의 단위 트랜지스터(154)의 출력 전류가 결정된다. 또한, I1은 I2보다 작은 것으로 하고, 도 201의 저계조 범위(0~Ka)가 해당하는 것으로 한다.

트랜지스터(431c)의 트랜지스터(431c2)에는, 트랜지스터(158b2)에 인가되는 기준 전류 I2에 의해 게이트 배선(153b)의 전위가 설정된다. 이 게이트 배선(153b)의 전위에 의해 트랜지스터군(431c2)의 단위 트랜지스터(154)의 출력 전류가 결정된다. 또한, I2는 I3보다 작은 것으로 하고, 도 201의 중계조 범위(Ka~Kb)가 해당하는 것으로 한다. 마찬가지로, 트랜지스터(431c)의 트랜지스터(431c3)에는, 트랜지스터(158b3)에 인가되는 기준 전류 I3에 의해 게이트 배선(153c)의 전위가 설정된다. 이 게이트 배선(153c)의 전위에 의해 트랜지스터군(431c3)의 단위 트랜지스터(154)의 출력 전류가 결정된다. 또한, I3은 가장 큰 것으로 하고, 도 201의 고계조 범위(Kb 이상)가 해당하는 것으로 한다.

이상과 같이 복수의 트랜지스터군(431c)을 복수의 블록으로 분할하고, 분할된 블록마다 기준 전류의 크기를 다르게 하는 것에 의해 도 201과 같이 꺾은선(polygonal line) 감마 커브를 용이하게 발생시킬 수 있다. 또한, 기준 전류 수를 많게 함으로써 다선 꺾임의 감마 커브를 얻을 수 있다.

이상의 실시예에서는, 트랜지스터군(431c)을 복수의 블록으로 분할하고, 분할된 블록 내의 단위 트랜지스터(154)는 동일한 것으로서 설명했지만, 이것에 한정되는 것은 아니다. 도 55 등에 도시하는 바와 같이, 단위 트랜지스터(154)의 사이즈가 달라도 된다. 또한, 도 167과 같이 단위 트랜지스터(154)가 아니라도 된다. 또한, 기준 전류의 발생은 도 161 내지 도 168 등 어떠한 구성이어도 된다.

이상의 실시예에서는, 도 43에서 설명한 바와 같이, 기본적으로는 출력단은 트랜지스터군(431c)으로 구성된다. 트랜지스터군(431c)에 있어서, D0 비트째는 단위 트랜지스터(154)가 1개, D1비트째는 단위 트랜지스터(154)가 2개, D2비트째는 단위 트랜지스터(154)가 4개, ……Dn 비트째는 단위 트랜지스터(154)가 2의 n승개가 배치 또는 형성된다. 이 구성을 개념적으로 도 240에 도시하고 있다.

도 240에서는 trb(트랜지스터 블록)32는, 단위 트랜지스터(154)를 32개 갖고 있는 것을 나타내고 있다. 마찬가지로, trb(트랜지스터 블록)1은, 단위 트랜지스터(154)를 1개 갖고 있는 것을 나타내고, trb(트랜지스터 블록)2는, 단위 트랜지스터(154)를 2개 갖고 있는 것을 나타내고 있다. 또한, trb(트랜지스터 블록)4는, 단위 트랜지스터(154)를 4개 갖고 있는 것을 나타내고 있다. 이하 마찬가지이다.

그러나, 단위 트랜지스터(154)는 IC 웨이퍼내에 있어서 형성 위치에서 특성이 서로 다르다. 특히 확산 구성 및 그 전후에 있어서 주기적인 특성 분포가 발생한다. 일례로서, 3~4mm 주기로 단위 트랜지스터(154)의 특성의 강약이 발생한다. 이 때문에, 도 240과 같이 단자(155)의 눈금으로 트랜지스터군(431c)을 형성하면, 단자(155)로부터 출력되는 전류의 강약 주기(출력 계조를 전체 단자(155)에서 동일하게 한 경우)가 발생해 버리는 경우가 있다.

이 과제에 대하여, 본 발명에서는 도 241에 도시하는 바와 같이, 많은 단위 트랜지스터(154)를 보유하는 trb(트랜지스터 블록)를 더욱 세분화한다. 도 241에서는 일례로서, trb32를 4개의 블록(trb32a, trb32b, trb32c, trb32d)으로 분할하고 있다. 기본적으로는 분할되는 단위 트랜지스터(154) 수는 동일하다. 물론 분할하는 단위 트랜지스터(154) 수는 다르게 해도 되는 것은 물론이다.

도 241에서는 trb32a, trb32b, trb32c, trb32d는 각 8개의 단위 트랜지스터(154)로 구성되어 있다. 또한, trb16에 대하여도, trb16a, trb16b의 각 8개의 단위 트랜지스터(154)로 구성되는 소블록으로 분할해도 되는 것은 물론이다. 여기서는 설명을 용이하게 하기 위해서, trb32만이 분할되어 있는 것으로서 설명을 한다.

출력 단자(155)로부터의 출력 전류의 주기를 없애기 위해서는, IC(회로) 칩내로부터 더욱 넓은 위치에 형성된 단위 트랜지스터(154)로 1개의 출력단(431c)을 구성하는 것이 유효하다. 이 실시예가, 도 242의 구성이다. 단, 도 242는 개념적으로 도시하고 있다. 실제로는, 가로 방향의 배선에 의해 먼 위치에 있는 trb가 결선되어 일단자(155)의 출력단(431c)을 구성한다.

도 242에서는, 단자(155a)의 D5비트째는, trb32a1, trb32a2, trb32c1, trb32c21로 구성된다. 즉, 본래는 인접한 출력 단자(155b)의 단위 트랜지스터군을 이용하여 단자(155a)의 출력단이 구성되어 있다. 마찬가지로, 단자(155b)의 D5비트째는, trb32b2, trb32b3, trb32d2, trb32d3으로 구성된다. 즉 본래는 인접한 출력 단자(155c)의 단위 트랜지스터군을 이용하여 단자(155b)의 출력단이 구성되어 있다. 또한, 단자(155c)의 D5비트째는, trb32a3, trb32a4, trb32c3, trb32c4로 구성된다. 즉 본래는 인접한 출력 단자(155d)의 단위 트랜지스터군을 이용하여 단자(155c)의 출력단이 구성되어 있다. 이하, 마찬가지로이다.

구체적으로는, 도 243과 같이 소 트랜지스터군 trb는 결선된다. 도 243은 단자(155a)의 trb32만의 결선 상태를 도시하고 있다(다른 비트, 다른 단자(155)도 마찬가지로의 결선이 실시된다). 도 243에 있어서, trb32는 trb32a1과, 6단자 이웃한 trb32b6, 1일단자 이웃한 trb32c11, 16단자 이웃한 trb32d16으로 구성되어 있다. 즉, trb32는, 상하 위치, 좌우 위치가 서로 다른 trb32가 접속(결선)되어 구성된다(형성된다). 이상과 같이 단위 트랜지스터군(431)의 각 비트를 구성하는 단위 트랜지스터(154)를 떨어진 위치의 단위 트랜지스터(154)로 구성함으로써 출력 변동의 주기성을 해소할 수 있다.

그러나, 도 243과 같이 결선을 실시하면, 단자(155n)(가장 최후의 단자)는 결선하는 trb가 존재하지 않는다. 이 과제에 대해서는, 트랜지스터군(431c)과 커런트 미러 페어를 구성하는 기준 전류를 흘리는 트랜지스터군(431b)의 단위 트랜지스터(158b)(도 48, 도 49를 참조할 것)를 사용함으로써 해결할 수 있다. 단위 트랜지스터(158b)와 단위 트랜지스터(154)는 동일 사이즈, 동일 형상으로 구성해 둔다. 트랜지스터군(431b)은 IC(회로)(14)의 한쪽단 혹은 양측에 배치되어 있다. 또한, 미리 말해 두지만, 단자(155n)에 있어서도 접속할 수 있는 trb를 형성하는 경우에는, 이하에 설명하는 구성을 채용할 필요가 없는 것은 분명하다.

트랜지스터군(431b)을 구성하는 단위 트랜지스터(158b)로 구성되는 trb(32)와 마찬가지로의 기능을 갖는 트랜지스터군을 tb라고 한다(도 244를 참조할 것). 따라서, tb와 trb는 동일한 게이트 배선(153)에 접속되어 있다. 따라서, 단자(155n)의 trb32는 trb32n1과, 6단자 이웃한 tb32b6, 1일단자 이웃한 tb32c11, 16단자 이웃한 tb32d16으로 구성하면 된다.

또한, 도 245에 도시하는 바와 같이, tb와 trb를 분산하여 IC(회로)(14) 내에 구성 또는 배치해 두면, 도 244와 같이 복잡한 결선은 불필요해지는 것은 물론이다.

검토의 결과에 따르면, 단위 트랜지스터(154)는 적어도 0.05평방mm 이상의 범위에 있는 단위 트랜지스터(154)로 구성하는 것이 바람직하다. 더욱 바람직하게는 0.1평방mm 이상의 범위에 있는 단위 트랜지스터(154)로 구성하는 것이 바람직하다. 더욱 바람직하게는 0.2평방mm 이상의 범위에 있는 단위 트랜지스터(154)로 구성하는 것이 바람직하다. 이 면적(평방 mm)의 산출은 가장 먼 곳의 위치에 있는 4개의 단위 트랜지스터(154)를 연결하는 직선으로부터 구한다.

소스 신호선(18)에 출력하는 프로그램 전류의 변동은, 도 286에 도시하는 바와 같이 주기성을 갖는 경우가 많다. 도 286은 횡축이 1칩의 출력 단자 위치를 나타내고 있다. 즉, 단자1로부터 n단자 위치이다. 종축은, 32계조제의 출력 프로그램 전류의 평균값으로부터의 어긋남을 %로 나타내고 있다. 도 286에 도시하고 있는 바와 같이, 출력 프로그램 전류의 변동은 주기성이 있는 경우가 많다. 이것은, IC의 제조 공정의 확산 프로세스에 의한다.

실선과 같이 출력 프로그램 전류의 변동이 있는 경우에는, 점선과 같이 역 보정을 가함으로써 보정(보상)을 행할 수 있다. 보정(보상)은 용이하다. 프로그램 전류가 흡입(싱크) 전류인 경우에는, 0~5%의 범위에서 토출 전류를 가산하면 된다. 즉,

소스 드라이버 회로(IC)(14) 내에 P 채널의 단위 트랜지스터(154)(도 43 등의 구성 및 설명 등을 참조할 것)로 이루어지는 토출 전류 회로를 형성하고, 이 회로가 토출 전류를 각 단자(155)의 출력 프로그램 전류를 가산(보상)하면 된다. 또한, 도 162 내지 도 176 등에서 설명한 트리밍 기술 등을 이용하여 조정 혹은 구성 혹은 형성해도 된다.

보정(보상)하는 전류의 크기를 결정하기 위해서는, 도 287에 도시하는 바와 같이, 단자(155)로부터의 출력 프로그램 전류를 측정한다. 영상 데이터(RDATA, GDATA, BDATA)를 소정값(일반적으로는, 단위 트랜지스터군(431c)의 각 비트)로 하여 단자(155)로부터 프로그램 전류 I_w 를 출력시킨다. 이 출력 전류 I_w 를 단자(155)에 접속한 프로브(2873)에 의해 전류 측정 회로(2872)에 접속하여, 측정한다. 또한, 소스 드라이버 회로(IC)(14) 내부에 형성한 스위치로 단자마다의 전류를 절환하여 전류 측정 회로(2872)에 접속해도 되는 것은 물론이다.

전류 측정 회로(2872)는 측정한 전류를 보정 데이터 연산 회로(2872)로 출력하고, 보정 데이터 연산 회로(2872)는 보정 데이터를 산출(연산 혹은 변환)하여 보정 회로(데이터 변환 회로)(2874)로 출력한다. 보정 회로(데이터 변환 회로)(2874)는 플래시 메모리 등으로 형성되어 있고, 0~5%의 범위에서 토출 전류를 단자(155)에 가산한다.

단, 도 286에 도시하는 바와 같이 출력 프로그램 전류에 주기성을 갖는 경우에는, 전체 단자를 측정하지 않고, 일부의 단자(1주기 이상)의 출력 프로그램 전류를 측정함으로써, 전체 단자의 출력 프로그램 전류의 어긋남을 예측할 수 있다. 따라서, 일부의 단자(1주기 이상)의 출력 프로그램 전류를 측정하면 된다.

출력 전류의 변동은 화소 피치 $P(\text{mm})$ 와 주기(1주기 사이의 단자 수 N)와 화면(144)의 휘도 변화 비율 $b(\%)$ 에 의해 허용 범위가 정해진다. 예를 들면, 어떤 단자 사이에서 휘도 변화가 5%이더라도, 단자 사이의 단자 수가 10단자와 100단자에서, 당연히 단자 사이가 10단자인 쪽이 허용 한도는 낮아진다(5%에서는 허용할 수 없다).

이상의 관계를 검토한 결과가 도 298이다. 횡축은, $b/(P \cdot N)$ 이다. P 는 화소 피치(mm)이고, N 은 소스 드라이버 IC(14)의 단자 사이의 단자 수이므로, $P \cdot N$ 으로 해당하는 주기의 길이(거리)를 나타낸다. 따라서, $b/(P \cdot N)$ 는, $(P \cdot N)$ 당의 휘도 변화 비율을 나타내게 된다. 종축은, $b/(P \cdot N)$ 이 0.5일 때를 1로 했을 때의 상대적인 화면(144)의 휘도 변화의 인식 비율(휘도와 프로그램 전류는 비례 관계에 있기 때문에, 출력 전류 변동 비율로 된다)이다. 출력 전류 변동 비율이 클수록, 허용할 수 없다는 것을 나타내고 있다.

도 298에서도 알 수 있는 바와 같이, $b/(P \cdot N)$ 가 0.5 이상인 범위에서 갑자기 커브의 기울기가 커진다. 따라서, $b/(P \cdot N)$ 는 0.5 이하로 하는 것이 바람직하다.

휘도의 변화 비율은, 도 306에 도시하는 바와 같이 휘도계(3051)에 의해 측정한다. 소스 드라이버 IC(14)의 계조를 제어하는 제어 회로(3053)에 의해 제어한다. 휘도계(3051)에 의해 측정된 휘도는 연산기(3052)에서 보상량이 연산된다. 연산된 데이터는 도 287에 도시하는 바와 같이 보정 회로(2874)에 기입된다.

이상의 실시예에서는, 소스 드라이버 회로(IC)(14)의 출력 변동에 대하여 기술했지만, 이 기술적 사상은, 게이트 드라이버 회로(IC)(12)에 대해서도 적용할 수 있는 것은 분명하다. 게이트 드라이버 회로(IC)(12)에 대해서도 온 전압 또는 오프 전압의 변동이 발생한다. 따라서, 본 발명의 소스 드라이버 회로(IC)(14)에서 설명한 사항을 게이트 드라이버 회로(IC)(12)에 적용함으로써 양호한 게이트 드라이버 회로(IC)(14)를 구성 혹은 형성할 수 있다. 또한, 이하에 설명하는 사항에 관해도 게이트 드라이버 회로(IC)(12)에 적용할 수 있는 것은 물론이다.

본 발명의 드라이버 회로(IC)에서 설명하는 사항은, 게이트 드라이버 회로(IC)(12), 소스 드라이버 회로(IC)(14)에 적용할 수 있고, 또한, 유기(무기) EL 표시 패널(표시 장치)뿐만 아니라, 액정 표시 패널(표시 장치)에도 적용할 수 있다. 또한, 액티브 매트릭스 표시 패널뿐만 아니라, 단순 매트릭스 표시 패널에 본 발명의 기술적 사상을 이용해도 된다.

이하, 본 발명의 소스 드라이버 회로(IC)(14)의 다른 실시예에 대하여 설명을 한다. 또한, 이하에 설명하는 사항 이외는, 이전에 설명한 혹은 본 명세서에 기재한 사항을 적용할 수 있는 것은 물론이다. 또한, 적시에 조합할 수 있는 것은 물론이다. 반대로, 이하의 실시예에서 설명하는 사항을 본 발명의 다른 실시예에 적용 혹은 적시에 채용할 수 있는 것도 물론이다. 또한, 이하에 설명하는 소스 드라이버 회로(IC)(14)를 이용하여 표시 패널 혹은 표시 장치(도 126, 도 154 내지 도 157 등)를 구성할 수 있는 것은 물론이다.

도 188은, 본 발명의 소스 드라이버 회로(IC)(14)의 실시예이다. 단, 설명에 필요한 부분만 도시하고 있다. 도 188의 구성에 있어서도, 본 발명의 다른 실시예와 마찬가지로, 실리콘으로 이루어지는 CMOS 트랜지스터로 회로 구성되어 있다(또한, 회로(14)를 어레이 기판(30)에 직접 형성해도 되는 것은 물론이다).

도 188에 있어서, 전자 볼륨(501)을 제어하는 데이터(IRD, IGD, IBD)는, 클럭(CLK) 신호에 동기하여, 값이 확정되고, 이 값에 의해 전자 볼륨(501)의 스위치가 제어되어, 소정의 전압이 오피 앰프(502)의 + 단자에 인가된다.

오피 앰프(502)와 저항 R1, 트랜지스터(158a)에 의해 정전류 회로가 구성되고, 기준 전류 I_c 가 발생한다. 기준 전류 I_c 의 크기에 비례하여 단자(155)로부터 출력되는 프로그램 전류의 크기가 변화한다. 프로그램 전류 발생 회로(1884)는 내부에 커런트 미러 회로와 DATA의 디코더부를 갖고 있다. 보다 구체적으로는, 프로그램 전류 발생 회로(1884)는, 도 60의 트랜지스터(158b)와 트랜지스터군(431c)의 관계, 도 209, 도 210의 트랜지스터(158b)와 트랜지스터(154)의 관계 혹은 그 유사 구성이 예시된다.

프로그램 전류 발생 회로는, 기준 전류 I_c 의 크기를 기준으로 해서, 영상(화상) 데이터인 DATA(DATAR, DATAG, DATAB)의 크기에 대응하여 프로그램 전류 I_p 를 발생시킨다.

발생한 프로그램 전류 I_p 는 전류 유지 회로(1881)에 유지된다. 전류 유지 회로(1881)는 트랜지스터(11a, 11b, 11c, 11d)와 컨덴서(19)로 구성된다. 구성으로서는 도 1의 화소 구성에 있어서, P 채널 트랜지스터를 N 채널 트랜지스터로 변경한 구성이다. 계조 전류 배선(1882)에 인가된 프로그램 전류 I_p 는 컨덴서(19)에 전압으로서 유지된다.

전류 I_p 의 유지 동작은, 샘플링 회로(862)의 점순차 동작에 의해 행해진다. 즉, 샘플링 회로(862)는, 10비트(1024단자까지 선택이 가능)의 어드레스 신호(ADRS)에 의해, 프로그램 전류 I_p 를 유지시키는 계조 유지 회로(1881)가 선택된다. 선택은 선택 신호선(1885)에 선택 전압(트랜지스터(11b, 11c)를 온 상태로 하는 전압)을 출력함으로써 실시된다. 따라서, 프로그램 전류 I_p 는 계조 유지 회로(1881)에 랜덤하게 저장시킬 수 있다. 그러나, 일반적으로는, 어드레스 신호 ADRS는 순차적으로 카운트 업되어, 전류 유지 회로(1881a) 내지 (1881n)가 순차적으로 선택된다.

프로그램 전류 I_p 는 컨덴서(19)에 유지되고, 이 유지된 전압에 의해, 구동용 트랜지스터(11a)는 프로그램 전류 I_p 를 단자(155)로부터 출력한다. 전류 유지 회로(1881)에 있어서, 구동용 트랜지스터(11a)의 기능으로서는, 도 1의 트랜지스터(11a)와 동작은 동일하다. 또한, 도 188의 트랜지스터(11c, 11b)도 도 1의 트랜지스터(11b, 11c)와 기능 혹은 동작은 동일하다. 즉, 선택 신호선(1885)에 선택 전압이 순차적으로 인가되고, 전류 유지 회로(1881)의 트랜지스터(11b, 11c)가 온되어, 프로그램 전류 I_p 가 트랜지스터(11a)(트랜지스터(11a)의 게이트 단자에 접속된 컨덴서(19))에 유지된다.

모든 전류 유지 회로(1881)에 프로그램 전류 I_p 의 기입이 완료하면, 출력 제어 단자(1883)에 온 전압이 인가되고, 단자(155a) 내지 (155n)에 각 전류 유지 회로(1881)에 유지된 프로그램 전류 I_p 가 출력된다(소스 신호선(18)으로부터 단자(155)에 프로그램 전류 I_p 가 입력된다). 출력 제어 단자(1883)가 인가되는 온 전압의 타이밍은, 1수평 주사 클럭에 동기된다. 즉, 1화소행 선택(혹은 1화소행 시프트) 클럭에 동기된다.

도 189는 도 188을 모식적으로 도시한 것이다. 계조 전류 배선(1882)을 흐르는 프로그램 전류 I_p 는 샘플링 회로(862)에 의해 스위치(11b, 11c)(트랜지스터(11b, 11c))가 제어되고, 전류 유지 회로(1881)에 프로그램 전류 I_p 가 입력된다. 또한, 스위치(11b)(트랜지스터(11b))가 출력 제어 단자(1883)에 의해 제어되어, 일제히 온되고, 프로그램 전류 I_p 가 출력된다.

도 188, 도 189에서는, 전류 유지 회로(1881)는 1화소행분으로 하고 있지만, 실제로는, 2화소행분이 필요하다. 1화소행분(제1 유지 회로)은, 소스 신호선(18)에 프로그램 전류 I_p 를 출력하는 데 이용하고, 다른 1화소행분(제2 유지 회로)은, 샘플링 회로(862)에 의해 샘플링된 전류를 전압 유지 회로(1881)에 유지하는 데 이용한다. 제1 유지 회로와 제2 유지 회로는 교대로 절환하여 동작시킨다.

도 228은 제1 유지 회로(2280a)와 제2 유지 회로(2280b)를 구비한 출력단 구성이다. 도 188과 도 228의 관계는, 전류 유지 회로(1881)는 출력 회로(2280), 계조 전류 배선(1882)는 전류 신호선(2283), 출력 제어 단자(1883)는 게이트 신호선(2282), 선택 신호선(1885)은 게이트 신호선(2284), 트랜지스터(11a)는 트랜지스터(2281a), 트랜지스터(11b)는 트랜지스터(2281b), 트랜지스터(11c)는 트랜지스터(2281c), 트랜지스터(11d)는 트랜지스터(2281d), 컨덴서(19)는 컨덴서(2289)가 해당한다.

출력 회로(2280a)에 프로그램 전류 I_p 가 샘플링되어 입력되고 있을 때에는, 출력 회로(2280b)는 소스 신호선(18)에 유지된 프로그램 전류 I_p 를 출력하고 있다. 반대로 출력 회로(2280a)가 소스 신호선(18)에 유지된 프로그램 전류 I_p 를 출력하여 있을 때는, 출력 회로(2280b)는 샘플링된 프로그램 전류 I_p 를 순차적으로 유지해 가고 있다. 출력 회로(2280a)와 출력 회로(2280b)가, 소스 신호선(18b)에 프로그램 전류 I_p 를 출력(입력)하고 있는 기간은 1H마다 절환된다. 이 출력의 절환은 c1, c2 단자에서 행해진다.

또한, 전류 신호선(2283)에는, 리세트 전압 V_{cp} 를 인가하는 스위치 Sc 가 형성 또는 내지하고 있다. 스위치 Sc 를 온시킴으로써, 리세트 전압 V_{cp} 가 전류 신호선(2283)에 인가된다. 리세트 전압 V_{cp} 는, GND 전압에 가까운 전압이다. 리세트 전압을 인가할 때에는, 게이트 신호선(2284)에 온 전압을 인가하여, 트랜지스터(2281b, 2281c)를 온시킨다. 트랜지스터(2281b, 2281c)를 온시킴으로써, 커패시터(2289)의 전하를 방전할 수 있어, 트랜지스터(2281a)가 전류를 출력하지 않는 상태로 할 수 있다.

즉, 리세트 전압 V_{cp} 는 트랜지스터(2281a)를 오프 혹은 오프 상태에 가까운 상태로 하는 전압이다. 또한, 리세트 전압 V_{cp} 는, 트랜지스터(2281a)가 중간 레벨의 전압으로 출력하도록 구성 등 해도 되는 것은 물론이다.

도 229는 도 228의 회로의 동작 타이밍차트도이다. 도 229에 있어서, Sig는, 프로그램 전류 발생 회로(1884)로부터의 신호이다. 영상 신호에 대응한 전류가 연속적으로 인가된다. Sc 는 리세트 스위치의 동작을 나타내고 있다. H 레벨일 때 스위치 Sc 는 온 상태이고, 전류 배선(2283)에 리세트 전압 V_{cp} 가 인가된다. 도 229에서 알 수 있는 바와 같이 리세트 전압 V_{cp} 는 1H의 최초에 인가되고 있는 것을 알 수 있다.

우선, 전류 유지 회로(출력 회로)(2280a) 또는 (2280b)에 리세트 전압 V_{cp} 가 인가된 후, 프로그램 전류 I_p 가 출력 회로(2280)에 샘플링되어 유지된다. 또한, 리세트 전압 V_{cp} 는 1H에 1회에 한정되는 것은 아니고, 1출력 회로(2280)의 샘플링마다 인가해도 되고, 또한, 복수 출력 회로(2280)의 샘플링마다 리세트 전압 V_{cp} 를 인가해도 된다. 또한, 1프레임 또는 복수 프레임마다 리세트 전압을 인가해도 된다.

c1 및 c2는 절환 신호이다. c1의 로직 전압이 H 레벨일 때에는, 출력 회로(2280a)가 선택되고, c2의 로직 전압이 H 레벨일 때에는, 출력 회로(2280b)가 선택되어, 소스 신호선(18)에 프로그램 전류 I_p 가 출력된다.

이상과 같이 출력 회로(2280a) 또는 (2280b)를 선택하여, 순차적으로 프로그램 전류 I_p 를 인가(유지)시키기 위해서는, 도 230에 도시하는 바와 같이 샘플링 회로(862)를 2개 설치하면 된다. 샘플링 회로(862a)는 출력 회로(2280a)를 순차적으로 선택하여, 출력 회로(2280a)에 프로그램 전류 I_p 를 유지시킨다. 샘플링 회로(862b)는 출력 회로(2280b)를 순차적으로 선택하여, 출력 회로(2280b)에 프로그램 전류 I_p 를 유지시킨다.

리세트 전압 V_{cp} 는 도 75에 도시하는 바와 같이, 프리차지 전압을 변화시키는 구성을 채용해도 된다. 또한, 프리차지 전압에 관한 사항에서 설명한 사항은, 리세트 전압 V_{cp} 에도 적용할 수 있다. 도 75와 같은 프리차지 회로를, 도 230의 리세트 회로(2301)로 치환하면 된다. 마찬가지로 기준 전류 회로(1884)도 이전에 설명한 구성을 채용하면 된다.

출력 회로(2280)에서 과제로 되는 것은, 게이트 신호선(2284)에 인가한 신호에 의해, 유지용의 트랜지스터(2281a)의 게이트 단자 전위가 변화하여, 유지된 프로그램 전류 I_p 로부터 변화해 버리는 경우가 있다. 이것은, 게이트 신호선(2284)에 인가된 전압 파형이, 기생 용량에 의해 관통하여 게이트 단자 전위를 변화시키는 것에 의해 발생한다. 이 관통 전압에 의해 유지용 트랜지스터(2281a)가 N 채널 트랜지스터인 경우에는, 유지된 프로그램 전류 I_p 가 작아진다. 유지용 트랜지스터(2281a)가 P 채널인 경우에는, 도 228의 구성에서는, 유지된 프로그램 전류가 커진다.

이 과제를 해결하는 구성을 도 231에 도시하고 있다. 도 231의 출력 회로(2280)에서는, 스위치용 트랜지스터(2281b)와 커패시터(2289) 사이에 트랜지스터(2311)를 형성 또는 배치하고 있다. 트랜지스터(2311)는 배선을 오픈하는 기능을 갖는다.

트랜지스터(2311)는, 출력 회로(2280)에 샘플링된 프로그램 전류 I_p 가 유지되고, 게이트 신호선(2284)에 오프 전압이 인가되기(출력 회로(2280)가 전류 신호선(2283)으로부터 분리되기) 전에 동작한다(오프함). 즉, 우선, 게이트 신호선(2284)에 오프 전압이 인가된 후, 지연해서 게이트 신호선(2284)에 오프 전압이 인가된다. 따라서, 트랜지스터(2311)가 오프한 후, 출력 회로(2280)가 전류 신호선(2283)으로부터 분리된다.

도 232는 게이트 신호선(2284)과 (2285) 등의 타이밍차트도이다. 도 232에서 알 수 있는 바와 같이, 게이트 신호선(2285)에 오프 전압이 인가된 후, 게이트 신호선(2284)에 오프 전압이 인가된다.

이상과 같이, 우선, 트랜지스터(2311)를 오프시킨다. 트랜지스터(2311)를 오프함으로써 게이트 신호선(2284)의 관통 전압을 경감시킬 수 있다. 또한, 도 232에 있어서의 시간 t 는 0.5 μ sec 이상으로 하는 것이 바람직하다. 또한, 더욱 바람직하게는 1 μ sec 이상으로 하는 것이 바람직하다.

유지용 트랜지스터(2281a)는 킹크(얼리 효과)의 영향을 방지 혹은 억제하기 위해서, 일정한 WL비로 하는 것이 바람직하다. 도 233은 이 얼리 효과의 발생비를 그래프화한 것이다. 도 233에서 도시하는 바와 같이, L/W비가 2이하에서는 얼리 효과의 영향이 커진다. 반대로 L(트랜지스터(2281a) 채널 길이(μm))/W(트랜지스터(2281a)의 채널 폭(μm))은 2이상에서는, 급격하게 얼리 효과의 영향은 작아진다. 이상의 점으로부터, 유지용 트랜지스터(2281a)는 L/W비를 2 이상으로 하는 것이 바람직하다. 더욱 바람직하게는 4이상으로 한다.

또한, 유지용 트랜지스터(2281a)의 채널간 전압(IC내 소스-드레인 전압 V_{sd})과 얼리 효과와도 관련이 있다. 이 관련을 도 234에 도시하고 있다. 또한, V_{sd} 전압이라 함은, 유지용 트랜지스터(2281a)에 인가되는 최대 전압이고, 도 231 등에서는, 단자(155)에 인가되는 전압이다.

도 234의 그래프에서도 도시하는 바와 같이, V_{sd} 전압이 9V 이상에서 얼리 강하의 영향이 현저하게 되는 경향이 있다. 따라서, 단자(155)에 인가되는 전압 즉 소스 신호선(18)에 인가되는 전압은 9V 이하 0V 이내(GND)로 하는 것이 바람직하다. 더욱 바람직하게는, 소스 신호선(18)에 인가되는 전압은 8V 이하 0V 이상으로 할 필요가 있다.

이상의 실시예는 출력 회로(2280)를 2단 설치하는 구성이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니고, 도 237에 도시하는 바와 같이 복수 형성해도 된다. 도 237에서는 출력 회로(2280a)를 출력 회로(2280ah와 2280al)의 2개로 구성하듯, 마찬가지로 출력 회로(2280b)를 출력 회로(2280bh와 (2280bl)의 2개로 구성하고 있다. 출력 회로(2280ah) 및 (2280bh)는, 비교적 큰 프로그램 전류 I_{ph} 를 출력하는 회로이고, 출력 회로(2280al) 및 (2280bl)은, 비교적 작은 프로그램 전류 I_{p1} 을 출력하는 것이다.

이상과 같이, 출력 회로(2280a, 2280b)를 복수로 분할하는 것에 의해 각 출력 회로(2281)가 분담하는 계조를 분리 혹은 가산하여 출력할 수 있다. 그 때문에, 정밀도가 좋은 프로그램 전류 I_p 를 출력할 수 있다.

본 발명의 소스 드라이버 회로(Ic)(14)의 출력단은, 도 246과 같이 구성해도 된다. 도 246에서는, 1출력단은, 1의 크기의 전류를 출력하는 출력단 회로(2280a), 2의 크기의 전류를 출력하는 출력단 회로(2280b), 4의 크기의 전류를 출력하는 출력단 회로(2280c), 8의 크기의 전류를 출력하는 출력단 회로(2280d), 16의 크기의 전류를 출력하는 출력단 회로(2280e), 32의 크기의 전류를 출력하는 출력단 회로(2280f)로 구성된다. 출력단 회로(2280a)~(2280f)는 영상 데이터의 각 비트에 대응하여 동작한다. 대응하여 동작한 출력단 회로(2280a)~(2280f)는 가산되어, 단자(155)로부터 출력된다. 도 246과 같이 구성함으로써 정밀도가 좋은 전류 출력을 실현할 수 있다.

이상의 실시예는, 주로 실리콘 칩으로 이루어지는 IC로 소스 드라이버 회로(IC)(14)를 구성하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니고, 어레이 기판(30)에 직접 폴리실리콘 기술(CGS 기술, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술 등)을 이용하여 출력단 회로(2280) 등(폴리실리콘 전류 유지 회로(2471))를 형성 또는 구성해도 된다.

도 247은 그 실시예이다. R, G, B의 출력단 회로(2280)(R용은 2280R, G용은 2280G, B용은 2280B)와, RGB의 출력단 회로(2280)를 선택하는 스위치 S가 폴리실리콘 기술로 형성(구성)되어 있다. 스위치 S는 1H 기간을 시분할하여 동작한다. 기본적으로는, 스위치 S는, 1H의 1/3 기간이 R의 출력단 회로(2280R)에 접속되고, 1H의 1/3 기간이 G의 출력단 회로(2280G)에 접속되고, 남은 1H의 1/3 기간이 B의 출력단 회로(2280B)에 접속된다. 표시 혹은 구동 방법은, 도 37, 도 38에서 설명하고 있으므로 설명을 생략한다.

도 247에 도시하는 바와 같이, 시프트 레지스터 회로, 샘플링 회로 등을 갖는 소스 드라이버(회로)(14)는, 단자(155)에서 소스 신호선(18)과 접속된다. 폴리실리콘으로 이루어지는 스위치 S가 시분할로 전환되어, 출력단 회로(2280RGB)에 접속된다. 출력단 회로(2280RGB)는 RGB의 영상 데이터로 이루어지는 전류가 유지되고, 도 228 내지 도 234 등에서 설명한 구성 혹은 제어 방법으로 소스 신호선(18RGB)에 프로그램 전류 I_w 를 출력한다. 또한, 도 247에서는 폴리실리콘 전류 유지 회로(2471)는 1단분 밖에 도시하지 않았지만, 실제로는 2단 구성되어 있는 것은 물론이다(도 228 내지 도 234의 설명을 참조할 것).

도 247에서는, 스위치 S는, 1H의 1/3 기간이 R의 출력단 회로(2280R)에 접속되고, 1H의 1/3 기간이 G의 출력단 회로(2280G)에 접속되고, 남은 1H의 1/3 기간이 B의 출력단 회로(2280B)에 접속된다고 설명했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 255에 도시하는 바와 같이, R, G, B를 선택하는 기간은 달라도 된다. 이것은, R, G, B의 프로그램 전류 I_w 의 크기가 다르기 때문이다. R, G, B에서 EL 소자(15)의 효율이 서로 다르기 때문에, R, G, B에서 프로그램

램 전류의 크기가 서로 다르다. 프로그램 전류의 크기가 작으면, 소스 신호선(18)의 기생 용량의 영향을 받기 쉽기 때문에, 프로그램 전류의 인가 기간을 길게 하여, 충분히 소스 신호선(18)의 기생 용량의 충방전 기간을 확보 할 필요가 있다. 한편, 소스 신호선(18)의 기생 용량의 크기는, R, G, B에서 동일한 경우가 많다.

도 255는, 적색(R)의 EL 소자(15)의 효율이 양호하고, 프로그램 전류가 가장 작은 것을 상정하고 있다. 또한, 녹색(G)의 EL 소자(15)의 효율이 나쁘고, 프로그램 전류가 가장 큰 것을 상정하고 있다. 청색(B)은, R과 G의 중간 레벨의 효율이다. 따라서, 도 255에서는, 1H기간에 있어서, R 데이터의 선택 기간(도 247의 (2280R)이 선택되어 있는 기간)을 가장 길게 하고, G 데이터의 선택 기간(도 247의 (2280G)가 선택되어 있는 기간)을 가장 짧게 하고, B 데이터의 선택 기간(도 247의 (2280B)가 선택되어 있는 기간)을, 그 중간의 기간으로 하고 있다.

또한, 유지용 트랜지스터(2281a)의 모빌리티는 400 이하 100 이상으로 하는 것이 바람직하다. 더욱 바람직하게는, 모빌리티는 300 이하 150 이상으로 하는 것이 바람직하다. 이 조건을 만족시키기 위해서, 트랜지스터(2281a)를 구성하는 게이트 절연막을 두껍게 한다. 두껍게 하는 방법으로서, 게이트 절연막을 2층 증착 등의 다층 구성으로 하는 예가 예시된다.

이하, 본 발명의 표시 패널의 검사 방법에 대하여 설명을 한다. 도 202는, 본 발명의 표시 패널의 완성 전의 상태이다. 소스 신호선(18)의 일단이 쇼트 배선(2021)에 의해 쇼트 상태로 되어 있다. 검사 후, 쇼트되어 있는 개소는 AA'선으로 절단하여 완성한다. 쇼트 배선(2021)에 프로빙하여 검사 전압을 인가하는 것보다 전체 소스 신호선(18)에 검사 전압을 인가할 수 있다.

쇼트 배선(2021)을 형성하지 않는 경우(분리한 상태)는, 소스 신호선(18)의 COG 단자로부터 전압 혹은 전류를 인가한다. 도 203은 COG 단자(소스 신호선 단자)(2034)에, 검사용의 쇼트 칩(2032)을 실장한 예이다. 쇼트 칩(2032)은 금속 혹은 도전체로 구성된다. 또한, 쇼트 칩은 글래스 기판 등의 절연물에 알루미늄이 증착된 것이어도 된다. 쇼트 칩은 단자(2034)를 전기적 단락할 수 있는 것이면 어떠한 것이어도 된다. 혹은, 적어도 쇼트 칩은, 소스 신호선 단자(2034)에 전압 등의 전기 신호를 인가할 수 있도록 구성한다.

쇼트 칩(2032)과 애노드 단자 배선(2031)에 도 203에 도시하는 바와 같이 직류 혹은 교류 전압(전류)을 인가한다. 쇼트 칩(2032)은 단자(2033)를 통하여 소스 신호선(18)과 접속되어 있다. 따라서, 화소(16)의 소스 신호선(18)과 애노드에 전압을 인가할 수 있다. 예를 들면, 도 1의 Vdd 단자와 소스 신호선(18)에 전압을 인가할 수 있다. 이 상태에서 게이트 드라이버(12)에 전원 전압을 인가하고, 클럭 등을 인가하여(도 14 등을 참조할 것) 동작시킨다. 화소(16)는 화소행마다 순차적으로 선택되고, 소스 신호선(18)에 인가된 전압이 구동용 트랜지스터(11a)의 게이트 단자에 인가된다. 게이트 단자에의 전압 인가에 의해 구동용 트랜지스터(11a)로부터 소스 신호선(18)에 전류가 흐른다. 혹은, EL 소자(15)에 전류가 흘러, EL 소자(15)가 발광한다.

이상의 동작은, 게이트 드라이버 회로(12)를 주사하여 동작시킴으로써 EL 소자(15)가 순차적으로 발광하고, 발광의 점멸 상태 혹은 점등 상태를 광학적으로 검출함으로써 EL 표시 패널의 검사를 행할 수 있다.

검사는 광학적으로 실시한다. 광학적이란 함은, 사람의 시각으로 판단하는 것, CCD 카메라로 촬영하여 화상 인식으로 검출하는 것, 포토 센서로 전기적인 신호의 크기로 판단하는 것 등이 예시된다. 검출은, 화소가 항상 휘점으로 되는 것, 항상 흑점으로 되는 것, 선 결함, 점멸 결함 등이다. 또한, 표시 줄무늬, 농담 얼룩 등을 검출한다. 또한, 플리커의 발생 상태를 검출한다.

도 203은 쇼트 칩(203)을 이용하는 것이지만, 도전성의 액체 등을 소스 신호선(2034)에 적하해도 된다. 적하한 액체 등과 애노드 단자 배선(2031) 사이에 직류 혹은 교류의 전압(전류)을 인가한다. 전류 프로그램 방식에서는, 인가하는 전류가 μA 정도로 미소 전류이다. 따라서, 도전성의 액 등이 고저항이더라도 검사에는 충분하다. 도전성이 있는 액체 혹은 겔로서는 수산화 나트륨, 염산, 질산, 염화나트륨 용액, 은 페이스트, 구리 페이스트 등이 예시된다.

이상의 실시예에서는, 게이트 드라이버 회로(12)를 동작시켜, 게이트 드라이버 회로(12)를 주사 상태로 하고, 화소행마다 EL 소자(15)를 점등 상태로 하여, 패널 혹은 어레이의 검사를 실시하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 표시 화면을 일괄해서 점등시켜 검사를 해도 된다.

도 205는 화면의 일괄 검사의 설명도이다.

또한, 설명을 용이하게 하기 위해서, 화면을 일괄 검사하는 것으로서 설명하지만, 이것에 한정되지 않는다. 화면을 블록으로 분할하여 검사를 행해도 되고, 복수 화소행씩 순차적으로 점등하여 검사를 행해도 된다. 즉, 다수 화소를 동시에 점등하여 검사를 실시해도 된다. 1화소씩 점등시켜 검사를 실시해도 되는 것은 물론이다.

설명을 용이하게 하기 위해서, 애노드 전압 V_{dd} 를 6(V)로 하고, 구동용 트랜지스터(11a)는 5(V) 이하로 하는 것에 의해, EL 소자(15)를 충분히 점등시키는 전류를 공급할 수 있는 것으로 한다. 또한, 전체 소스 신호선(17)에는 외부로부터 전압이 인가되고 있는 것으로 한다. 이상과 같이, 본 발명의 검사 방법에서는, 화소(16)의 구동용 트랜지스터(11a)가 P 채널일 때, 구동용 트랜지스터(11a)의 상승 전압 이하의 전압을 소스 신호선(18)에 인가할 수 있도록 구성한다. 이 상승 전압은 설명을 용이하게 하기 위해 5(V)로 하고 있다. 또한, 소스 신호선에 인가하는 전압은, 애노드 전압 V_{dd} 내지 애노드 전압 $V_{dd}-8(V)$ 이고, 바람직하게는, 애노드 전압 V_{dd} 내지 애노드-6(V)의 범위인 것으로 설명을 한다.

도 205에서는, 소스 신호선(18)에는, 0~5(V)의 검사 전압이 인가되고 있는 것으로 한다. 따라서, 이 전압이 구동용 트랜지스터(11a)의 게이트 단자에 인가됨으로써, 구동용 트랜지스터(11a)가 전류를 흘릴 수 있게 된다.

검사 방법은, 우선, 모든 게이트 신호선(17b)에 오프 전압 V_{gh} 전압을 인가한 상태에서, 게이트 신호선(17a)을 오프 전압(V_{gh})으로부터 온 전압(V_{gl})로 변화시키는 것에 의해 소스 신호선(18)의 전위가 화소(16)에 기입된다. 소스 신호선(18)의 전위가 구동용 트랜지스터(11a)의 상승 전압 이하(5(V) 이하)이면, 구동용 트랜지스터(11a)에 전압이 흐르도록 프로그램이 행해진다.

다음으로, 모든 게이트 신호선(17b)에 온 전압 V_{gl} 전압을 인가하고, 동시에 또는 그것보다 빠르게, 게이트 신호선(17a)을 온 전압(V_{gh})으로부터 오프 전압(V_{gl})로 변화시킨다. 그러면, 구동용 트랜지스터(11a) 등이 정상이면, 구동용 트랜지스터(11a)로부터 EL 소자(15)로 전류가 공급되어, EL 소자(15)가 점등한다.

또한, EL 소자(15)가 점등 상태에서, 게이트 신호선(17b)에 온 전압과 오프 전압을 교대로 인가하면 EL 소자(15)가 점멸한다. 따라서, 스위치용 트랜지스터(11d)의 양부를 판정할 수 있다.

또한, 도 205에 있어서, 게이트 신호선(17a)과 게이트 신호선(17b)의 양쪽에 온 전압을 인가한 상태에서, 소스 신호선(18)에 인가하는 전압을 구동용 트랜지스터(11a)의 상승 전압 이상과 이하 사이를 주기적으로 변화시켜도 된다. 주기적으로 변화시키는 것에 의해 이 주기적인 변화에 대응하여 EL 소자(15)가 발광한다. 또한, 이 경우의 EL 소자(15)의 발광 전류 I_t 는, 소스 신호선(18)으로부터 공급된다. 또한, 경우에 따라서는 구동용 트랜지스터(11a)로부터 공급된다.

이상과 같이 동작시킴으로써, 구동용 트랜지스터(11a), 스위치용 트랜지스터(11c, 11b, 11d)의 성능, 결함을 검출할 수 있다. 또한, 구동용 트랜지스터(11a), EL 소자(15)의 성능, 특성을 평가할 수 있다.

이상의 실시예는, 소스 신호선(18)의 전위를 변화시킴으로써, EL 소자를 소스 신호선(18)의 전위에 따라서 발광 제어하는 것이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 206에 도시하는 바와 같이, 애노드 전압 V_{dd} 를 변화시켜도 된다.

검사 방법은, 우선, 모든 게이트 신호선(17b)에 오프 전압 V_{gh} 전압을 인가한 상태에서, 게이트 신호선(17a)을 오프 전압(V_{gh})으로부터 온 전압(V_{gl})로 변화시킴으로써 소스 신호선(18)의 전위가 화소(16)에 기입된다. 소스 신호선(18)의 전위가 구동용 트랜지스터(11a)의 상승 전압 이하(5(V) 이하)이면, 구동용 트랜지스터(11a)에 전압이 흐르도록 프로그램이 행해진다.

다음으로, 모든 게이트 신호선(17b)에 온 전압 V_{gl} 전압을 인가하고, 동시에 또는 그것보다 빠르게, 게이트 신호선(17a)을 온 전압(V_{gh})으로부터 오프 전압(V_{gl})로 변화시킨다. 그러면, 구동용 트랜지스터(11a) 등이 정상이면, 구동용 트랜지스터(11a)로부터 EL 소자(15)로 전류 I_t 가 공급되어, EL 소자(15)가 점등한다. 또한, EL 소자(15)가 점등 상태에서, 게이트 신호선(17b)에 온 전압과 오프 전압을 교대로 인가하면 EL 소자(15)가 점멸한다. 따라서, 스위치용 트랜지스터(11d)의 양부를 판정할 수 있다.

게이트 신호선(17a)에 오프 전압을 인가하고, 게이트 신호선(17b)의 온 전압을 인가한 상태에서, 애노드 단자(V_{dd} 전압)에 V_{dd} 전압을, 구동용 트랜지스터(11a)의 상승 전압 이하의 전압을 주기적으로 변화시킨다. 주기적으로 변화시키는 것에

의해 이 주기적인 변화에 대응하여 EL 소자(15)가 발광한다. 또한, 이 경우의 EL 소자(15)의 발광 전류는, 구동용 트랜지스터(11a)로부터 공급된다. 이상과 같이 동작시킴으로써, 구동용 트랜지스터(11a), 스위치용 트랜지스터(11c, 11b, 11d)의 성능, 결함을 검출할 수 있다. 또한, 구동용 트랜지스터(11a), EL 소자(15)의 성능, 특성을 평가할 수 있다.

이상의 실시예는, 화소 구성을 도 1로서 설명했지만, 이것에 한정되는 것은 아니고, 도 2, 도 7, 도 11, 도 12, 도 13, 도 28, 도 31, 도 607 등의 다른 화소 구성의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.

이상의 실시예는, 화소 구성이 전류 프로그램 방식인 경우를 예시했다. 그러나, 본 발명은 이것에 한정되는 것은 아니고, 도 2와 같이 전압 프로그램 방식이어도 검사할 수 있는 것은 물론이다.

도 207은 전압 프로그램 방식의 화소 구성에 있어서의 검사 방법의 설명도이다. 검사 방법은, 우선, 모든 게이트 신호선(17a)을 오프 전압(V_{gh})으로부터 온 전압(V_{gl})으로 변화시킴으로써 소스 신호선(18)의 전위가 화소(16)에 기입된다. 소스 신호선(18)의 전위가 구동용 트랜지스터(11a)의 상승 전압 이하($5(V)$ 이하)이면, 구동용 트랜지스터(11a)에 전압이 흐르도록 프로그램이 행해진다.

다음으로, 게이트 신호선(17a)을 온 전압(V_{gh})으로부터 오프 전압(V_{gl})으로 변화시킨다. 그러면, 구동용 트랜지스터(11a) 등이 정상이면, 구동용 트랜지스터(11a)로부터 EL 소자(15)로 전류 I_t 가 공급되어, EL 소자(15)가 점등한다.

또한, 게이트 신호선(17a)에 오프 전압을 인가하고, 애노드 단자(V_{dd} 전압)에 V_{dd} 전압을, 구동용 트랜지스터(11a)의 상승 전압 이하의 전압을 주기적으로 변화시킨다. 주기적으로 변화시키는 것에 의해 이 주기적인 변화에 대응하여 EL 소자(15)가 발광한다. 또한, 이 경우의 EL 소자(15)의 발광 전류는, 구동용 트랜지스터(11a)로부터 공급된다. 이상과 같이 동작시킴으로써, 구동용 트랜지스터(11a), 스위치용 트랜지스터(11c)의 성능, 결함을 검출할 수 있다. 또한, 구동용 트랜지스터(11a), EL 소자(15)의 성능, 특성을 평가할 수 있다.

이하, 도면을 참조하면서 본 발명의 다른 실시예에 있어서의 검사 방법에 대하여 설명한다. 도 202는 쇼트 배선(2021)을 검사한 후에 절단하는 방식이었다. 도 223은, 소스 신호선(18)의 일단에 검사 스위치로서의 트랜지스터(2232)를 형성 또는 배치한 구성이다. 트랜지스터(2232)의 게이트 단자에 전압을 인가함으로써, 트랜지스터(2232)는 온하고, 테스트 전압(V_{test})이 소스 신호선(18)에 인가된다. 트랜지스터(2232)의 온 오프 제어는 온 오프 제어 수단(2231)에 의해 행해진다.

온 오프 제어 수단(2231)은, 트랜지스터(2232)를 온 오프 제어하지만, 그 제어는 게이트 드라이버 회로(12)와 동기를 취하여 실시된다. 구체적으로는, 도 203 내지 도 207에서 설명한 검사 방법이 실시된다.

예를 들면, 도 224에 도시하는 바와 같이 해서 검사는 실시된다. 트랜지스터(2232)가 온함으로써, 도 224의 (a)에 도시하는 바와 같이, V_{test} 전압은 트랜지스터(2232)를 통하여 소스 신호선(18)에 인가된다. 또한, 이 때, 게이트 신호선(17b)에는 오프 전압이 인가되고 있고, 트랜지스터(11d)는 오픈 상태이다. 검사하는 화소(16)의 게이트 신호선(17a)에 온 전압이 인가되고 있으면, 도 224에 도시하는 바와 같이, V_{test} 전압이 구동용 트랜지스터(11a)의 게이트 단자에 인가된다. 이 전압은 구동용 트랜지스터(11a)가 상승 전압 이상이다.

다음으로, 도 224의 (b)에 도시하는 바와 같이, 게이트 신호선(17a)에는 오프 전압이 인가되고, 게이트 신호선(17b)에 온 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)로부터 EL 소자(15)로 전류 I_t 가 흘러, EL 소자(15)가 발광한다.

또한, 도 223의 구성에 있어서, 온 오프 제어 수단(2231)을 제어하여, 트랜지스터(2232)를 온 오프 제어하면, 모든 화소(16)의 게이트 신호선(17a)에 온 전압이 인가되어 있더라도, EL 소자(15)를 점멸 표시시킬 수 있다. 즉, 트랜지스터(2232)에 의해 EL 소자(15) 등의 특성 등을 평가 혹은 검사할 수 있다.

도 223은 트랜지스터(2232)를 제어함으로써 소스 신호선(18)에 전류 혹은 전압을 인가하고, EL 표시 패널 혹은 EL 표시 패널용 어레이를 검사 혹은 평가를 실시하는 것이었다.

도 225는 소스 신호선(18)에 형성된 보호 다이오드(2251)를 이용하여 소스 신호선(18)에 검사에 필요한 전압 또는 전류를 인가하는 것이다. 보호 다이오드(2251)는 정전기 보호를 위해, 각 소스 신호선(18)에 폴리실리콘 기술을 이용하여 형성된다. 또한, 다이오드(2251)는 트랜지스터를 다이오드 접속하여 형성한다(도 436도 참조할 것).

도 225에 도시하는 바와 같이, 각 소스 신호선(18)에는 보호 다이오드(2251a, 2251b)가 접속되어 있다. 통상의 전압(VL, VH) 설정 상태에서는, 보호 다이오드는 오프 상태로 되도록 되어 있다. 즉, 각 보호 다이오드(2251)에는 VL 혹은 VH에 의해 역 전압이 인가되어 오프 상태이다.

검사시에는, 보호 다이오드(2251)를 온 상태로 되도록 VL 전압 또는 VH 전압 혹은 양쪽의 전압을 설정한다(조작함). 예를 들면, VL 전압을 고전압으로 하는 것에 의해, 전압 배선(2252a)으로부터 보호 다이오드(2251b)를 통하여, 검사 전압(상기 고전압: $V_{dd} \sim V_{dd}-6(V)$)은 소스 신호선(18)에 인가할 수 있다. 또한, VH 전압을 저전압으로 하는 것에 의해, 전압 배선(2252b)으로부터 보호 다이오드(2251a)를 통하여, 검사 전압 V_k (상기 저전압)을 소스 신호선(18)에 인가할 수 있다.

도 436에 도시하는 바와 같이, 보호 다이오드(2251)를 통하여 각 소스 신호선(18)에 검사 전압 V_k 을 인가한다. 검사 전압 V_k 은, 구동용 트랜지스터(11a)가 포화 전압으로 되는 전압이다. 구동용 트랜지스터(11a)가 P 채널 트랜지스터이고, 애노드 전압 V_{dd} 가 6(V)이면, 검사 전압 V_k 은 0이상 2(V) 이하로 되도록 설정하는 것이 바람직하다. 혹은, $V_{dd}-6$ 이상 $V_{dd}-4(V)$ 이하로 되도록 설정하는 것이 바람직하다. 또한, 0(V)라 함은 영상 신호의 최저 전압이다. 즉, 소스 드라이버 IC(14)가 출력하는 가장 낮은 전압이다. 따라서, 0(V)에 한정되는 것은 아니다. 구동용 트랜지스터(11a)가 P 채널 트랜지스터인 경우에는, 최대 휘도의 백 래스터를 표시할 때에 소스 드라이버 IC(14)가 소스 신호선(18)에 출력하는 전압이다.

또한, 구동용 트랜지스터(11a)의 채널 폭을 $W(\mu m)$, 채널 길이를 $L(\mu m)$ (1화소(16)가 복수의 구동용 트랜지스터(11a)로 구성되어 있는 경우로서, 구동용 트랜지스터(11a)가 병렬로 n접속 배치되어 있는 경우에는, $W \times n$ 으로 한다. 구동용 트랜지스터(11a)가 직렬로 n접속 배치되어 있는 경우에는, $L \times n$ 으로 한다.)로 한 경우, $V_{dd}-V_{dd}/(1.5 \times L/W)$ 이하, 0(V)(구동용 트랜지스터(11a)가 P 채널 트랜지스터인 경우에는, 최대 휘도의 백 래스터를 표시할 때에 소스 드라이버 IC(14)가 소스 신호선(18)에 출력하는 전압) 이상으로 하는 것이 바람직하다. 또한, $V_{dd}-V_{dd}/(2 \times L/W)$ 이하, 0(V)(구동용 트랜지스터(11a)가 P 채널 트랜지스터인 경우에는, 최대 휘도의 백 래스터를 표시할 때에 소스 드라이버 IC(14)가 소스 신호선(18)에 출력하는 전압) 이상으로 하는 것이 바람직하다.

또한, 구동용 트랜지스터(11a)가 N 채널인 경우에는, N 채널 트랜지스터에 포화 전압을 인가하도록 한다. 즉, P 채널 트랜지스터인 경우를 재관독하면 되기 때문에 설명을 생략한다. 또한, 도 436 등의 실시예에서는, 보호 다이오드(2251)를 통하여 소스 신호선(18)에 전압을 인가하는 것으로 했지만, 이것에 한정되는 것은 아니고, 다른 방법으로 전압을 인가해도 되는 것은 물론이다. 예를 들면, 트랜지스터를 통하여 혹은 프로버를 소스 신호선(18) 끝에 압접하여 전류 혹은 전압을 인가해도 되는 것은 물론이다.

도 436 등에 도시하는 바와 같이, 소스 신호선(18)에 전압을 인가하여, 구동용 트랜지스터(11a)에 전류를 흘리는 것에 의해 화면(144)의 화소(14)의 EL 소자(15)를 점등시킬 수 있다. 따라서, EL 패널의 점등 평가를 용이하게 실현할 수 있다. 또한, 일정 이상의 큰 전류를 EL 소자(15)에 흘리는 것에 의해, 구동용 트랜지스터(11a)는 포화 동작하므로, 레이저 샷 일룩에 의한 구동용 트랜지스터(11a)의 특성 불균일도 거의 발생하지 않는다. 따라서, 양호한 표시 검사를 실현할 수 있다.

그러나, 구동용 트랜지스터(11a)가 포화 상태에서 점등시키면, EL 소자(15)에 큰 전류가 흐른다. 그 때문에, EL 표시 패널에서 발열이 발생하여, 검사공정에 있어서 EL 표시 패널의 열화가 발생하는 경우가 있다. 이 과제에 관해서는, 도 429 등에 도시하는 본 발명의 duty비 제어를 실시한다(도 19~도 27, 도 54 등도 참조할 것).

도 439의 (a)에 도시하는 바와 같이, 점등 영역(193)의 비율을 많게 하면, 검사 시에 화면(144)이 밝아져, 점 결함 검사 등을 하기 쉬워진다. 그러나, 점등 영역(193)의 비율을 많게 하면, 패널의 발열량도 커진다. 도 439의 (b)에 도시하는 바와 같이, 점등 영역(193)의 비율을 적게 하면, 검사 시에 화면(144)이 어두워져, 점 결함 검사 등은 다소 하기 어려워진다. 패널의 발열량은 적게 할 수 있다. duty비 제어는, 도 19~도 27, 도 54 등에서 설명한 바와 같이, 게이트 드라이버 회로(12b) 등을 제어함으로써 용이하게 실현할 수 있다. 이상과 같이, 본 발명의 검사 방법은, 게이트 드라이버 회로(12)를 제어하여, duty비 제어를 실시하는 것을 특징으로 한다.

도 226은 검사 상태의 설명도이다. 보호 다이오드(2251)는 누설 상태일 때에는 저항으로서 간주할 수 있다. 본 발명과 같이, 보호 다이오드를 누설 상태로 하는 것에 의해 소스 신호선에 검사 전압(전류)을 인가하고, EL 표시 패널 또는 어레이를 검사할 수 있는 것은, 화소(16)가 전류 프로그램 방식인 것에 기인하는 것이 크다. 전류 프로그램 방식에서는, 프로그램하는 전류는 μA 정도로 미소하다. 따라서, 보호 다이오드(2251)가 누설 상태와 같이 고저항인 경우라도, 미소 전류의 인가 혹은 토출에는 영향을 주지 않는다.

검사는 표시 영역(144)의 전체 화소(16)를 동시에 점등시키는 등에 의해 검사를 실시해도 되지만, 도 227의 (a), (b)에 도시하는 바와 같이 화소행을 순차적으로 선택하여 주사시켜 검사를 실시해도 된다. 도 227의 (a), (b)에서 (191)이 검사 전류를 기입하고 있는 화소행이다. 또한, (193)은 EL 소자(15)를 점등하는 등에 의해 광학적으로 검사를 실시하고 있는 영역이다. (192)는 비점등 영역이다.

이상과 같이, 표시 영역(144)에 점등 영역(193)과 비점등 영역을 동시에 행함으로써 광학적 검사가 용이하게 된다. 흑색 표시와 백색 표시의 결합 상태가 동시에 혹은 주사 상태(순차)로 검사를 실현할 수 있기 때문이다. 이상의 제어는 도 14 등에서 설명한 바와 같이, 게이트 드라이버 회로(12)를 제어함으로써 용이하게 실현할 수 있다. 주사 혹은 선택 방법은 이전에 설명했으므로 설명을 생략한다.

전압 배선(2252)의 전위를 보호 다이오드(2251)가 온 또는 누설 상태로 되도록 하여, 전압 배선(2252)으로부터 소스 신호선(18)에 전류 또는 전압을 인가함으로써 검사를 실현할 수 있다. 또한, 검사 방법은 이전에 설명한 것과 마찬가지로 설명을 생략한다.

본 발명은, 전류 프로그램 방식 등의 화소 구성을 갖는 어레이 혹은 표시 패널의 검사 방법이다. 소스 신호선(18)에는 보호 다이오드(2251)를 누설시키고, 이 누설 전류를 화소에 기입하고, 이 기입한 전류로 EL 소자를 발광시키는 것이다. 이 발광 상태 혹은 점등 상태 혹은 점멸 상태에서 EL 소자(15)의 특성, 결함을 검출한다. 동시에 게이트 드라이버 회로(12)에 신호를 인가하고, 주사시켜, 선택하는 게이트 신호선(17)을 이동 혹은 항상 선택하여 검사 등을 실시한다. 이상의 주사 혹은 제어에 의해 화소(16)의 트랜지스터(11)의 결함 검출 등을 실현한다.

전류 프로그램 구동 방식에서는, 소스 신호선(18)에 인가하는 프로그램 전류가 μA 오더이다. 그 때문에, 다이오드(2251)를 통하여 인가하는 전류로 화소(16)의 전류 프로그램을 충분히 실현할 수 있다. 따라서, 검사가 실현된다. 한편, 전압 프로그램 방식에서는 소스 신호선(18)에는 전압 데이터를 기입할 필요가 있다. 그 때문에, 검사는 실현하기 어렵다.

도 225에서는, 보호 다이오드(2251)를 형성 등 하는 것으로 했지만, 이것에 한정되는 것은 아니고, 도 223과 마찬가지로 스위치 소자, 릴레이 회로 등을 형성 또는 배치해도 되는 것은 물론이다.

도 225, 도 223의 검사 방법에서는, 외부로부터 전압 혹은 전류를 인가함으로써 검사를 실현하는 방법(방식)이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 1 등의 화소 구성에서는, 스위치용 트랜지스터(11b, 11c)를 온 시킴으로써(트랜지스터(11d)는 오프(오픈) 상태), 애노드 Vdd로부터 구동용 트랜지스터(11a)를 흐르는 전류는 소스 신호선(18)을 통하여, 어레이(표시 패널) 외부로 취출할 수 있다. 이 전류의 크기, 흐르는 방향을 측정 혹은 평가함으로써, 어레이 등의 검사 혹은 평가를 실현할 수 있다. 마찬가지로, 캐소드 Vss, EL 소자(15)를 통하여 흐르는 전류를 소스 신호선(18)으로부터 외부로 취출할 수 있다. 따라서, 마찬가지로 EL 소자(15) 등의 검사를 실현할 수 있다.

도 223, 도 225 등에 있어서, 모든 소스 신호선(18)에 한번에 소정의 전압을 인가하는 것으로 했지만, 이것에 한정되는 것은 아니다. 전압 대신에 전류라도 된다. 예를 들면, 도 225에 있어서, 전압 배선(2252)에 저전류 혹은 정전류를 인가한다. 이 전류를 프로그램 전류로서 활용하여, 게이트 드라이버 회로(12)를 주사하는 것에 의해, 화소(16)에 전류 프로그램을 실시할 수 있다.

또한, 온 오프 제어 수단을 복수 설치하여, 1개의 온 오프 제어 수단은 홀수번째의 소스 신호선(18)에 전압 또는 전류를 인가하고, 다른 온 오프 제어 수단은 짝수번째의 소스 신호선(18)에 전압 또는 전류를 인가하도록 구성해도 된다. 또한, 트랜지스터(2232)는 릴레이 등의 외부 부작 소자라도 된다. 또한, 포토다이오드 등 광조사에 의해 온 오프 제어할 수 있는 것이어도 된다.

이상의 실시예에서는, 검사에 필요한 전압 또는 전류를 패널의 외부로부터 소스 신호선(18) 등에 인가하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니고, 검사 전압 등의 발생 수단을 어레이 기판(30) 등에 폴리실리콘 기술 등을 이용하여 내장시켜도 된다. 또한, 전류를 인가할 뿐만 아니라, 전류를 흡수하는(sink 방식) 방식이어도 된다. 또한, EL 소자(15) 혹은 구동용 트랜지스터(11a)가 흘리는 전류는 소스 신호선(18)을 통하여 검출 혹은 측정하는 방식이어도 된다.

도 437은 어레이 상태 등에 있어서, 화소(16)의 결합 검사의 방법의 설명도이다. 도 437의 (a)에 도시하는 바와 같이, 소스 신호선(18)에 전압 Vc를 인가한다(도 226 등도 참조할 것). 또한, 게이트 신호선(17a1) 및 게이트 신호선(17a2)에 온 전

압을 인가한다. 상기 온 전압의 인가에 의해, 스위칭용 트랜지스터(11b, 11c)가 온한다. 스위칭용 트랜지스터(11b, 11c)에 의해 소스 신호선(18)에 인가된 검사용 전압 V_c 를 구동용 트랜지스터(11a)의 게이트 단자에 인가한다. 인가한 전압 V_c 는 컨덴서(19)에 유지된다.

다음으로, 도 437의 (b)에 도시하는 바와 같이, 검사 전압 V_c 를 제거하고, 소스 신호선(18)에 전류계(전류 검출 수단 혹은 전류 측정 수단)(4371)를 접속한다(검사 전압 V_c 의 인가시에 전류계(4371)는 접속한 채로라도 된다).

게이트 신호선(17a2)에 오프 전압을 인가하고, 게이트 신호선(17a1)은 온 전압을 인가한다(온 전압을 인가한 채로 함). 따라서, 구동용 트랜지스터(11a)의 드레인 단자와 게이트 단자 사이는 오픈 상태로 되므로, 컨덴서(19)에 유지된 전압이 검사시에 보존된다. 그 때문에, 구동용 트랜지스터(11a)는, 인가된 전압(전류)에 의한 출력 전류를 흘릴 수 있다.

게이트 신호선(17a1)에는 온 전압이 인가되고 있기 때문에, 구동용 트랜지스터(11a)의 드레인 단자와 소스 신호선(18)을 접속하는 전류 경로가 유지된다. 도 437의 검사 방법에서는, 구동용 트랜지스터(11a)의 일단자에 애노드 전압 V_{dd} 가 인가되고 있다. 따라서, 전류는 애노드 V_{dd} →구동용 트랜지스터(11a)의 소스 단자→구동용 트랜지스터(11a)의 드레인 단자→스위칭용 트랜지스터(11c)→소스 신호선(18)의 경로로 전류가 흐른다.

소스 신호선(18)에 전류계(전류 검출 수단 혹은 전류 측정 수단)(4371)를 접속(검사 전압 V_c 의 인가시에 전류계(4371)는 접속한 채로라도 된다)하고 있기 때문에, 이 전류계(4371)에서, 구동용 트랜지스터(11a) 등으로부터 흐르는 전류를 검출한다. 전류계(4371)에서 검출하는 전류가 예측된 전류의 크기이면 화소(16)는 정상이다. 예측 이외의 전류(전압인 경우도 있다)인 경우에는, 화소(16)에 결함 등이 발생해 있을 가능성이 있다. 이상과 같이 하여, 화소의 검사를 실시할 수 있다.

순차적으로, 이상의 동작을 표시 화면(144)의 상변으로부터 하변의 화소행에 대하여 실시한다. 물론, 순차적이지 않아도 된다. 랜덤하게 화소행 등을 선택하여, 검사 혹은 평가를 실시해도 된다. 또한, 1필드째는 홀수 화소행을 순차적으로 선택하여 검사하고, 1필드째의 다음의 2 필드째는 짝수 화소행을 순차적으로 선택하여 검사해도 된다.

이상과 같이, 본 발명의 검사 방식은, 트랜지스터(11c)와 트랜지스터(11b)를 독립적으로 온 오프 제어할 수 있도록, 화소(16)를 구성하고, 소스 신호선(18)으로부터 인가한 전압 또는 전류를 화소(16)의 구동용 트랜지스터(11a)가 동작하도록(반대로 동작하지 않도록 하는 검사 방법도 있다) 제어한다. 그 후, 구동용 트랜지스터(11a)가 일정 기간, 동작하도록 트랜지스터(11b)를 오픈으로 한다. 또한, 트랜지스터(11c)를 온시키고 전류 패스를 형성하는 것이다.

도 437은 화소(16) 전압을 인가하는 소스 신호선(18)과, 출력 전류를 검출하는 소스 신호선(18)이 동일한 실시예이다. 도 438은 분리한 구성이다. 도 438에 있어서, 트랜지스터(11d)와 EL 소자(15) 사이에 트랜지스터(11e)를 배치 또는 형성하고 있다. 트랜지스터(11e)의 일단자는 소스 신호선(18b)에 접속되어 있다.

소스 신호선(18b)에 검사 전압 V_{c2} 또는 검사 전류를 인가한다. 상기 검사 전압 등은, 트랜지스터(11e), 트랜지스터(11d), 트랜지스터(11c)를 통하여 소스 신호선(18a)에 출력된다. 따라서, 도 438의 화소 구성에서는, 트랜지스터(11d)의 결함 검사도 실시할 수 있다.

본 발명의 실시예에 있어서, 검사 시에, 화소(행)의 선택 시간을 변화시켜도 된다. 선택 시간을 길게 함으로써 검사 정밀도를 향상시킬 수 있다. 또한, EL 표시 패널의 개략 검사일 때에는, 검사 대상의 화소 선택 시간을 짧게 하고, 상세 검사의 모드에서 선택 시간을 길게 해도 된다.

1화소행 혹은 1화소 단위로 본 발명의 검사 방법을 실시하는 것에 한정되는 것은 아니다. 예를 들면, 복수의 화소행 혹은 화소를 동시에 검사해도 된다. 또한, 복수의 소스 신호선(18)을 단락하고, 단락된 부분마다 전류계(4371)를 배치 또는 접속해도 된다. 이 경우에는, 전류계(4371)는 복수의 화소(16)로부터의 전류가 검출된다. 이 검출된 전류의 크기 혹은 전류의 유무로부터 화소(16) 등의 결함을 검출해도 된다. 또한, 복수의 화소행을 선택하여, 개략 검사를 실시한 후, 이상 혹은 정상 이외인 경우에, 상기 선택한 복수의 화소행을 1화소행씩 선택하여, 상세 검사를 실시해도 된다.

도 441은 어레이(30) 기판에 검사용 트랜지스터(2232)를 형성한 구성의 실시예이다. 검사용 트랜지스터(2232)는 폴리실리콘 기술로 형성한다. 검사용 트랜지스터(2232)는 검사 드라이버 회로(4411)에 의해 온 오프 제어된다. 검사 드라이버 회로(4411)는, 실리콘 칩으로 형성 또는 구성해도 되지만, 검사용 트랜지스터(2232)는, 폴리실리콘 기술(CGS, 고온 폴리실리콘, 저온 폴리실리콘 기술 등)로 형성하는 쪽이 바람직하다.

검사용 드라이버 회로(4411)는 각 트랜지스터(2232)의 게이트 단자에 온 오프 전압을 인가하고, 온 전압의 인가에 의해, 소스 신호선(18)에 인가되고 있는 검사 혹은 검출 전류를 전류 측정 수단(4371)으로 유도한다. 검출 전류에 의해 화소(16) 등의 결합을 검출한다. 홀수번째의 소스 신호선(18)은 전류계(4317a)에 접속되고, 짝수번째의 소스 신호선(18)은 전류계(4317b)에 접속된다. 복수의 전류계(4371)를 이용함으로써 검사 속도를 향상시킬 수 있고, 또한, 검사 정밀도를 개선할 수 있다.

검사 후, A점을 레이저 등에 의해서 컷 혹은 글래스 커터 등으로 컷함으로써, 검사 드라이버(4411)를 소스 신호선(18)으로부터 분리한다. 또한, 트랜지스터(2232)를 항상 오프 상태로 하는 것에 의해 외관상, 검사 드라이버 회로(4411)와 소스 신호선(18)을 분리해도 된다.

검사용 드라이버 회로(4411)의 구성 혹은 기능을 소스 드라이버 회로(IC)(14) 내에 내장시켜도 되는 것은 물론이다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

본 발명의 실시예에 있어서, 화소(16)으로부터 출력(구동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우에는, 입력인 경우도 있다. 본 발명은, 검출 전류의 방향에 한정되는 것은 아니다)되는 전류를 검출 등 하는 것으로 했지만, 이것에 한정되는 것은 아니다. 검출이 전압이어도 된다. 예를 들면, 소스 신호선(18) 끝에 픽업 저항을 접속하고, 이 픽업 저항에 흐르는 전류를, 저항단에서 측정함으로써 전압으로서 검출 혹은 측정할 수 있다. 또한, 전압, 전류에 한정되는 것은 아니고, 주파수의 변화, 전자파, 전기력선, 방출 전자의 변화 혹은 크기를 검출해도 된다.

도 437 등의 본 발명의 검사 방법에 있어서, 검사 전압 V_c 를 인가하는 것으로 했지만, 검사 전류라도 된다. 예를 들면, 본 발명의 전류 프로그램과 같이, 소정의 전류 I_w 를 화소(16)에 기입하고, 기입한 전류는 게이트 신호선(17a)을 제어하는 것에 의해, 판독하여, 전류계(4371)에서 검출 혹은 측정하는 방식이 예시된다.

도 437 등에서 설명한 본 발명의 검사 방식에서는, 게이트 신호선(17a)(17a1, 17a2)을 제어하는 것으로 했지만, 게이트 신호선(17b)에 온 오프 전압을 인가함으로써, 트랜지스터(11d) 등의 결합 등도 검출 혹은 검사할 수 있는 것은 물론이다. 또한, 게이트 신호선(17)의 온 전압/오프 전압, 애노드 전압, 캐소드 전압을 변화 혹은 변경 혹은 제어하고, 이 변경 등에 의한 소스 신호선(18)의 출력 변화를 검출 혹은 측정함으로써, 화소(16) 등의 결합을 검출 혹은 평가할 수 있는 것은 물론이다.

도 437에 있어서, 화소 구성은 도 1 또는 도 6의 화소 구성으로 설명했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 10의 화소 구성에 있어서도 적용할 수 있는 것은 물론이다. 또한, 도 12, 도 13의 커런트 미러의 화소 구성에 있어서도 적용할 수 있다. 마찬가지로, 도 607의 화소 구성에도 적용할 수 있다. 게이트 신호선(17)(17a1, 17a2)에 온 전압을 인가함으로써, 컨덴서(19)에 전압을 유지시킬 수 있고, 게이트 신호선(17a1)에 오프 전압을 인가함으로써, 트랜지스터(11d)가 오프 상태로 되어, 트랜지스터(11a)의 게이트 단자와 드레인 단자 사이를 오픈으로 할 수 있다.

또한, 게이트 신호선(17a2)에 온 전압을 인가함으로써, 트랜지스터(11a)의 드레인 단자와 소스 신호선(18) 사이의 전류 경로를 형성할 수 있기 때문이다. 도 35, 도 34 등의 화소 구성에 있어서도 마찬가지이다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용할 수 있는 것은 물론이다.

이상의 사항은, 도 28 등의 화소 구성에 있어서도 적용할 수 있다. 게이트 신호선(17)(17a1, 17a2)에 온 전압을 인가함으로써, 컨덴서(19)에 전압을 유지시킬 수 있고, 또한, 게이트 신호선(17a2, 17a1)에 온 전압을 인가함으로써, 트랜지스터(11a)의 드레인 단자와 소스 신호선(18) 사이의 전류 경로를 형성할 수 있기 때문이다.

본 발명은, 화소(16)에 전류 혹은 전압을 기입하고, 게이트 신호선(17)을 조작 혹은 제어함으로써, 소스 신호선(18)에 전류 혹은 전압 등을 판독하고, 이 전류 혹은 전압 등으로부터 화소 등의 결합 등을 검출 혹은 평가하는 것이다. 이상의 사항은, 본 발명의 다른 실시예에도 적용되는 것은 물론이다.

도 485, 도 486도 표시 패널을 일괄 점등시켜, 점등 검사하는 방법이다. 표시 패널에는, 애노드 전압 V_{dd} 와 캐소드 전압 V_{ss} 를 인가해 둔다. 또한, 소스 신호선(18)에는, 도 223~도 227, 도 436~도 440 등의 방법에 의해, 바람직하게는 구동용 트랜지스터(11a)의 게이트 단자에 포화 전류를 흘리는 전압을 인가한다.

본 발명은, 게이트 드라이버 회로(12a)를 조작하여, 화소를 선택하는 게이트 신호선(17a)에 온 전압(V_{gl})을 인가한다. 모든 게이트 신호선(17a)에 일괄해서 온 전압을 인가하도록 구성하는 것은 용이하다(도 485의 (a)). 인에이블 신호선에

ENBL1 신호를 인가함으로써, 모든 게이트 신호선(17a)에 온 전압을 인가할 수 있도록 구성하는 것은 용이하기 때문이다. 물론, 도 14에서 설명한 바와 같이, ST1 신호를 연속해서 인가함으로써 모든 게이트 신호선(17a)에 온 전압을 인가할 수도 있다.

게이트 신호선(17a)에 온 전압을 인가할 때에는, 게이트 드라이버 회로(12b)를 조작하여, EL 소자(15)에 전류를 흘리는 경로를 제어하는 게이트 신호선(17b)에 오프 전압(V_{gh})을 인가한다. 모든 게이트 신호선(17b)에 일괄해서 온 전압을 인가하도록 구성하는 것은 용이하다. 인에이블 신호선에 ENBL2 신호를 인가함으로써, 모든 게이트 신호선(17b)에 오프 전압 혹은 온 전압을 인가할 수 있도록 구성하는 것은 용이하기 때문이다. 물론, 도 14에서 설명한 바와 같이, ST2 신호를 조작함으로써 모든 게이트 신호선(17b)에 오프 전압을 인가할 수도 있다.

검사 방법은, 우선, 모든 게이트 신호선(17b)에 오프 전압 V_{gh} 전압을 인가한 상태에서, 모든 게이트 신호선(17a)에 온 전압(V_{gl})을 인가한다. 스위치용 트랜지스터(11b, 11c)는 클로즈 상태이다(도 1 및 그 설명을 참조할 것). 또한, 스위치용 트랜지스터(11d)는 오픈 상태이다. 따라서, 소스 신호선(18)에 인가한 전위 V 가 화소(16)에 기입된다(도 485의 (b)). 전압은, 구동용 트랜지스터(11a)의 포화 전류를 흘리는 전압인 것이 바람직하다. 점등 시에 표시 화상을 균일 표시할 수 있기 때문이다. 전압 V 는, 애노드 전압 V_{dd} 보다 3V 이상낮은 전압으로 한다. 바람직하게는, 애노드 전압 $V_{dd}-4(V)$ 이상 $V_{dd}-6(V)$ 이상으로 한다. 이상의 동작(조작)에 의해, 구동용 트랜지스터(11a)에 전압 프로그램이 실현된다.

다음으로, 점등 동작시킬 때에는, 도 486에 도시하는 바와 같이, 게이트 신호선(17a)에 오프 전압(V_{gh})을 인가하여, 스위치용 트랜지스터(11b, 11c)를 오픈시킨다. 따라서, 소스 신호선(18)과 구동용 트랜지스터(11a)의 게이트 단자는 분리된다. 이 상태에서, 게이트 신호선(17b)에 온 전압을 인가하여, 스위치용 트랜지스터(11d)를 온시킨다(스위치용 트랜지스터(11d)를 클로즈시킨다). 그러면, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 전압 V 에 대응하는 전류 I_{ega} 가 흘러, EL 소자(15)가 점등한다. 이 점등 상태를 광학적(CCD 혹은 시각적) 등으로, 결함 상태 혹은 불량 상태, 표시 균일성을 검사 혹은 평가한다.

그러나, V 가 구동용 트랜지스터(11a)의 포화 전압인 경우에는, 전류 I_e 가 크다. 그 때문에, 표시 패널로부터의 발열이 커져 과열 상태로 된다. 이 과열 상태의 대책으로는, 도 486의 (a)에 도시하는 바와 같이, 게이트 신호선(17b)에 주기적으로 온 전압과 오프 전압을 인가한다(도 486의 (a)에 있어서 V_{gh} 가 오프 전압, V_{gl} 이 온 전압, 주기 T). 온 오프 전압의 조작은, 도 485의 (a)에 도시하는 바와 같이 ENBL2 신호를 조작함으로써 용이하게 실현할 수 있다.

도 486의 (a)에 도시하는 바와 같이, 주기 T 에서 온 전압 T_1 의 시간을 짧게 함으로써, 표시 화상이 어두워지지만, 소비 전류도 작아진다. 따라서, 표시균일성은 저하하지 않고, 소비 전류의 저감에 의해 표시 패널이 과열되는 일은 없다.

이상과 같이, EL 소자(15)에 흐르는 전류를 제어하여, 검사하는 것에 의해 패널을 열화시키지 않고, 양호한 검사를 실시할 수 있다.

모든 게이트 신호선(17b)에 온 전압 V_{gl} 전압을 인가하여, 구동용 트랜지스터(11a) 등이 정상이면, 구동용 트랜지스터(11a)로부터 EL 소자(15)로 전류 I_e 가 공급되어, EL 소자(15)가 점등한다. 또한, EL 소자(15)가 점등 상태에서, 게이트 신호선(17b)에 온 전압과 오프 전압을 교대로 인가하면, EL 소자(15)가 점멸한다. 따라서, 스위치용 트랜지스터(11d)의 양부를 판정할 수 있다.

게이트 신호선(17a)에 오프 전압을 인가하고, 게이트 신호선(17b)에 온 전압을 인가한 상태에서, 애노드 단자(V_{dd} 전압)에 V_{dd} 전압을, 구동용 트랜지스터(11a)의 상승 전압 이하의 전압을 주기적으로 변화시킨다. 주기적으로 변화시키는 것에 의해 이 주기적인 변화에 대응하여 EL 소자(15)가 발광한다.

또한, 이 경우의 EL 소자(15)의 발광 전류는, 구동용 트랜지스터(11a)로부터 공급된다. 이상과 같이 동작시킴으로써, 구동용 트랜지스터(11a), 스위치용 트랜지스터(11c, 11b, 11d)의 성능, 결함을 검출할 수 있다. 또한, 구동용 트랜지스터(11a), EL 소자(15)의 성능, 특성을 평가할 수 있다.

도 485에 있어서, 모든 게이트 신호선(17a)에 온 전압을 인가하거나, 혹은 모든 게이트 신호선(17b)에 온 전압 또는 오프 전압을 인가하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 짝수 화소행 혹은 홀수 화소행을 선택하여 점등 혹은 검사해도 되는 것은 물론이다. 즉, 본 발명은, 복수 화소행을 선택하여 점등시키고, 광학적으로 검사하는 것이면 어떠한 방법이어도 된다. 또한, 도 485의 실시예에서는, 도 1의 화소 구성을 예시하여 설명했지만, 본 발명은 이것에 한정되는

것은 아니다. EL 소자(15)를 점등 제어 가능 가능한 구성이면 어느 것이어도 된다. 예를 들면, 도 6, 도 7~도 13, 도 31~도 36, 도 193~도 194, 도 205~도 207, 도 211~도 212, 도 215~도 222, 도 437, 도 438, 도 467 등의 화소 구성에 있어서도 적용할 수 있는 것은 물론이다.

이상의 실시예에서는, 소스 신호선(18)에 흐르는 전류 등을 검출하여 검사를 실시하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 490의 (a)에 도시하는 바와 같이, 애노드 단자에 전류계(4371) 등을 접속 또는 배치하여, 검사를 행해도 되는 것은 물론이다. 또한, 도 490의 (b)에 도시하는 바와 같이, 캐소드 단자에 전류계(4371) 등을 접속 또는 배치하여, 검사를 행해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

이상의 실시예는, 개편으로 분할된 표시 패널(표시 장치 또는 어레이 기관(30))에 의해 실시하도록 기재했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 488에 도시하는 바와 같이, 글래스 기관(4881)(복수의 어레이(30) 또는 패널이 형성 또는 구성되어 있음)에 의해 실시해도 된다. 글래스 기관(4881)에, 애노드 전압(Vdd), Vgh 전압, Vgl 전압, ENBL1, ENBL2(도 485를 참조할 것), 소스 신호선(18)에 인가하는 전압(Vs), 필요에 따라 캐소드 전압(Vss) 등을 인가한다(접속함).

글래스 기관(4881)에는, 도 489에 도시하는 바와 같이 신호 배선(4891)이 형성 또는 배치되어 있다. 검사시에는 소스 드라이버 회로(IC)(14)는 실장되지 않는다. 신호선 배선(4891)은, 각 어레이 기관(30)에 공통으로 전압 혹은 신호가 인가되도록 구성 또는 형성되어 있다. 검사 후에, BB'선, AA'선으로 할단되어, 기관(30) 등은 개편으로 분할된다.

도 223~도 227, 도 436~도 440, 도 485, 도 486의 구동 방법은 상호 조합할 수 있다. 도 440에 본 발명의 검사 방법의 플로우차트를 도시한다. 본 발명에서는, 우선, 어레이 상태에서 도 437, 도 438 등에서 설명한 화소의 결함을 검사한다. 이 단계에서 구동용 트랜지스터 등의 화소의 TFT 결함, 선 결함 등을 검출한다. 다음으로, 패널 상태로 완성시켜, 도 440에 도시하는 바와 같이 도 436 등의 방식을 이용하여 화면(144)의 전체를 점등시켜 검사한다(일괄 점등 검사). 일괄 점등 검사에서 문제가 없으면(Y 판정), 소스 드라이버 IC(14)를 COG 실장하는 공정으로 보내진다. 일괄 점등 검사에서, NG 판정이면, 해당 패널은 폐기된다. 혹시, 판정이 되지 않는 경우(N 판정)이면, 1화소씩 점등 평가한다. 전류 점등 검사가 실시된다. 이 점등 검사에서 문제가 없으면(Y 판정), 소스 드라이버 IC(14)를 COG 실장하는 공정으로 보내진다. COG 실장 공정 후, 최종 점등 검사가 실시된다.

이하, 도면을 참조하면서, 전류 구동 방식(전류 프로그램 방식)에 의한 고화질 표시 방법에 대하여 설명을 한다. 전류 프로그램 방식은, 화소(16)에 전류 신호를 인가하여, 화소(16)에 전류 신호를 유지시킨다. 그리고, EL 소자(15)에 유지시킨 전류를 인가하는 것이다.

EL 소자(15)는 인가한 전류의 크기에 비례하여 발광한다. 즉, EL 소자(15)의 발광 휘도는 프로그램하는 전류의 값과 리니어의 관계(비례)가 있다. 한편, 전압 프로그램 방식에서는, 인가한 전압을 화소(16)에서 전류로 변환한다. 이 전압-전류 변환은 비선형이다. 비선형의 변환은 제어 방법이 복잡하게 된다.

전류 구동 방식은, 영상 데이터의 값을 그대로 프로그램 전류로 선형으로 변환한다. 간단한 예로 예시하면, 64계조 표시이면, 영상 데이터의 0은 프로그램 전류 $I_w=0\mu A$ 로 하고, 영상 데이터 63은 프로그램 전류 $I_w=6.3\mu A$ 로 한다(비례의 관계로 된다). 마찬가지로, 영상 데이터 32는 프로그램 전류 $I_w=3.2\mu A$ 로 하고, 영상 데이터 10은 프로그램 전류 $I_w=1.0\mu A$ 로 한다. 즉, 영상 데이터는 그대로, 비례의 관계로 프로그램 전류 I_w 로 변환된다.

이해를 용이하게 하기 위해서, 영상 데이터와 프로그램 전류는 비례의 관계로 변환되는 것으로서 설명한다. 실체는 더욱 용이하게, 영상 데이터와 프로그램 전류를 변환할 수 있다. 도 15에 도시하는 바와 같이 본 발명은 단위 트랜지스터(154)의 단위 전류가, 영상 데이터의 1에 해당하기 때문이다. 또한, 단위 전류는 기준 전류 회로를 조정함으로써, 용이하게 임의의 값으로 조정할 수 있기 때문이다. 또한, 기준 전류는 R, G, B 회로마다 설치되어 있고, RGB 회로로 기준 전류 회로를 조정함으로써 전체 계조 범위에 걸쳐 화이트 밸런스를 취할 수 있기 때문이다. 이것은 전류 프로그램 방식이고, 또한 본 발명의 소스 드라이버 회로(IC)(14), 표시 패널 구성의 상승 효과이다.

EL 표시 패널에서는, 프로그램 전류와 EL 소자(15)의 발광 휘도가 선형의 관계에 있다고 하는 특징이 있다. 이것은 전류 프로그램 방식의 큰 특징이다. 즉, 프로그램 전류의 크기를 제어하면, 리니어적으로 EL 소자(15)의 발광 휘도를 조정할 수 있다.

구동용 트랜지스터(11a)는 게이트 단자에 인가한 전압과, 구동용 트랜지스터(11a)가 흘리는 전류는 비선형이다(2승 커브로 되는 경우가 많다). 따라서, 전압 프로그램 방식에서는, 프로그램 전압과 발광 휘도는 비선형의 관계에 있어, 매우 발광 제어가 곤란하다. 전압 프로그램과 비교하여 전류 프로그램 방식에서는 매우 발광 제어가 용이하다.

특히, 도 1의 화소 구성에서는, 프로그램 전류와 EL 소자(15)에 흐르는 전류가 이론상은 동일하다. 따라서, 발광 제어는 매우 용이하다. 본 발명의 N배 펄스 구동인 경우에도, 프로그램 전류를 $1/N$ 로 하여 계산함으로써 발광 휘도를 파악할 수 있으므로, 발광 제어가 용이하다고 하는 점에서 우수하다.

도 11, 도 12, 도 13 등의 화소 구성이 커런트 미러 구성인 경우에는, 구동용 트랜지스터(11b)와 프로그램용 트랜지스터(11a)가 서로 달라, 커런트 미러 배율의 어긋남이 발생하기 때문에, 발광 휘도의 오차 요인이 있다. 그러나, 도 1의 화소 구성에서는, 구동용 트랜지스터와 프로그램용 트랜지스터가 동일하기 때문에, 이 문제도 없다.

EL 소자(15)는, 투입 전류량에 의해 발광 휘도가 비례하여 변화한다. EL 소자(15)에 인가하는 전압(애노드 전압)은 고정값이다. 따라서, EL 표시 패널의 발광 휘도는 소비 전력과 비례의 관계에 있다.

이상의 점으로부터, 영상 데이터와 프로그램 전류는 비례하고, 프로그램 전류와 EL 소자(15)의 발광 휘도는 비례하고, EL 소자(15)의 발광 휘도와 소비 전력은 비례한다. 따라서, 영상 데이터를 로직 처리하면, EL 표시 패널의 소비 전류(전력), EL 표시 패널의 발광 휘도, EL 표시 패널의 소비 전력을 제어할 수 있게 된다. 즉, 영상 데이터를 로직 처리(가산 등)함으로써, EL 표시 패널의 휘도, 소비 전력을 파악할 수 있다. 따라서, 피크 전류가 설정값을 초과하지 않도록 하는 것 등의 처리가 매우 용이하다.

본 발명은, 영상 데이터를 가산하여 패널에서 소비되는 전류(전력) 등을 파악하고, 점등률 제어, duty비 제어, 기준 전류 제어 등을 실시한다. 그러나, 본 발명의 구동 방법은, 영상 데이터를 가산하는 것에 한정되지 않는다. 영상 데이터로부터 화소(16)의 감마 커브에 따라서, EL 소자(15)에 흐르는 전류를 구하고, 구해진 전류를 가산한다. 가산 등의 연산은, 표시 패널의 전체 화소에 대하여 행하는 쪽이 정밀도는 높다. 그러나, 소정 간격으로 가산하는 화소를 선택하고 선택한 화소에 대하여 가산 등을 실시해도 되는 것은 물론이다. 가산의 결과, 패널에서 소비되는 전류(전력)를 구해도 된다. 즉, 영상 데이터를 이용하여, 패널 소비 전류 등을 구하도록 로직 처리(소프트 처리, 하드 처리 중 어느 쪽이어도 된다)하는 것은, 모두 본 발명의 기술적 범주이다. 또한, 가산은, 소프트 처리, 하드 처리 중 어느 쪽이어도 된다. 또한, 비트 시프트에 의한 연산이나, 감산 처리, 제산 처리, 파이프라인 처리 등을 이용해도 된다. 연산에, 컨트롤러 회로(IC)(760) 또는 DSP 등을 이용해도 된다. 즉, 가산에 한정되는 것은 아니고, 영상 신호에 어떠한 로직적인 처리를 가하는 것이, 본 발명의 기술적 범주이다.

예를 들면, 영상 데이터(영상 데이터와 비슷한 데이터를 포함함)로부터 감마 2.2승의 연산을 실시하여 패널에서 소비되는 전류(전력)를 구해도 된다. 즉, 2.2승 연산한 결과를 가산하여, 표시 패널에 흐르는 리얼타임 혹은 간헐적으로 총 전류를 구한다. 물론, 일정 기간을 평균한 전류를 구해도 된다. 경우에 따라서는, 역감마 2.2승의 연산을 실시하여 패널에서 소비되는 전류(전력)를 구해도 된다. 소스 신호선(18)에 인가한 전압(전류) 신호에 대한 화소(16)의 EL 소자(15)에 흐르는 전류와의 관계를 도출하고(연산식 등), 이 연산식으로부터 패널의 소비 전류(전력)를 구한다.

전류 구동인 경우에는, 소스 신호선(18)에 인가한 전류 신호와 EL 소자(15)에 흐르는 전류가 비례의 관계에 있어, 가산에 의해 패널의 소비 전류(전력)를 용이하게 구할 수 있다. 전압 구동인 경우에는, 비선형이기 때문에, 일정한 승수를 이용하면, 패널의 소비 전류(전력)를 용이하게 구할 수 있다(출력 전류의 상승 위치도 고려하는 것이 바람직하다). 또한, 동적 감마 처리를 실시하고 있는 경우에는, 이들의 감마 변환 특성도 고려하여, 패널의 소비 전류(전력)를 구하는 것이 바람직하다.

화소(16)의 특성 혹은 소스 드라이버 회로(IC)(14)의 특성을 조합했을 때의 신호 변화와, 화소(16)의 EL 소자(15)에 흐르는 전류의 환산식으로부터 패널에서 소비되는 전류(전력)를 구해도 된다. 감마 특성이 꺾은선으로 근사되어 있는 경우에는, 꺾은선마다 구성된 기준 전류 회로의 기준 전류의 크기 등을 고려하여, 각 기준 전류 회로에 의해 출력하는 전류를 가산하여, 패널에서 소비되는 전류(전력)를 구해도 된다.

또한, 이상의 실시예에서는, 패널에서 소비되는(사용되는) 전류(전력)를 로직적으로 구하는 것으로 했지만, 애노드(캐소드) 신호선 등에 흐르는 전류를 AD 변환하여 디지털적으로 구하여, 점등률 제어, duty비 제어, 기준 전류 제어 등을 실시해도 된다. 또한, 애노드(캐소드) 신호선 등에 흐르는 전류를 아날로그적으로 구하여, 점등률 제어, duty비 제어, 기준 전류 제어 등을 실시해도 된다. 또한, 표시 패널에 흐르는 전류 등은, 포토 센서 등을 이용하여 광학-전기 변환하고, 전기 변환된 신호로부터도 파악할 수 있다. 패널로부터 방사되는 전기력선을 포착하는 방식도 예시된다. 따라서, 이 전기 변환된 신호를 이용하여 점등률 제어, duty비 제어, 기준 전류 제어 등을 실시해도 된다.

본 발명의 점등률 제어, duty비 제어, 기준 전류 제어 등은 단독으로 중요한 발명을 구성하고 있다. 영상 데이터를 이용하여, 패널 소비 전류 등을 구하도록 로직 처리(소프트 처리, 하드 처리 중 어느 쪽이어도 된다)하는 것도, 단독으로 중요한 발명을 구성하고 있다.

특히, duty비 제어 등으로, EL 소자(15)에 흐르는 전류를 필요에 따라 차단할 수 있고, 패널 소비 전류 등을 자유롭게 제어할 수 있는 것은, 화소(16)의 트랜지스터(11d)(도 1에서는 EL 소자(15)와 구동용 트랜지스터(11a) 사이에 배치되어, EL 소자(15)에 흐르는 전류를 제어하는 트랜지스터이다. 다른 화소(16)에서도 마찬가지로, EL 소자(15)에 흐르는 전류를 제어하는 트랜지스터가 해당함)의 기능에 의한 것이 크다. 점등률 등에 기초하여, 게이트 드라이버 회로(17b)를 제어하여, 용이하게 게이트 신호선(17b)에 접속된 트랜지스터(11d)를 온 오프 제어할 수 있기 때문이다. 트랜지스터(11d)가 오프하는 개수를 증가시키면, 패널에서 소비하는 전류가 비례하여 저하한다. 트랜지스터(11d)가 온하는 개수를 증가시키면, 패널로부터 방사되는 광량이 증가하여, 표시 휘도가 밝아진다. 이상과 같이, 본 발명의 특징 있는 구성(화소, 게이트 드라이버 회로(12), 게이트 신호선(17b), 트랜지스터(11d) 등)을 이용함으로써, 점등률 제어, duty비 제어, 기준 전류 제어를 양호하게 실현할 수 있다. 이들의 제어 방식을 실현함으로써, 패널의 발열을 장기 수명화할 수 있고, 전원 모듈의 사이즈 등도 소형화할 수 있다.

이상의 사항은, 전압 구동(전압 프로그램) 방식, 전류 구동(전류 프로그램) 방식의 양쪽에 적용할 수 있는 것은 물론이다. 본 발명의 구동 방식은, 설명을 용이하게 하기 위해서, 도 1의 화소 구성을 중심으로 설명한다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 2, 도 6~도 13, 도 28, 도 31, 도 33~도 36, 도 158, 도 193~도 194, 도 574, 도 576, 도 578~도 581, 도 595, 도 598, 도 602~도 604, 도 607의 (a), (b), (c)의 화소 구성이더라도 적용할 수 있는 것은 물론이다.

특히 본 발명의 EL 표시 패널은 전류 구동 방식이다. 또한 특징 있는 구성에 의해 화상 표시 제어가 용이하다. 특징 있는 화상 표시 제어 방법은 2개 있다. 1개는, 기준 전류의 제어이다. 다른 1개는 duty비 제어이다. 이 기준 전류 제어와 비(比) 제어를 단독으로 혹은 조합하는 것에 의해, 다이내믹 범위가 넓고, 또한 고화질 표시, 고콘트라스트를 실현할 수 있다.

기준 전류 제어는 도 60, 도 61, 도 64, 도 65, 도 66의 (a), (b)에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14)는, 각 RGB의 기준 전류를 조정하는 회로를 구비하고 있다. 또한, 소스 드라이버 회로(IC)(14)로부터의 프로그램 전류 I_w 는, 단위 트랜지스터(154)의 개수로 결정된다.

1개의 단위 트랜지스터(154)가 출력하는 전류는, 기준 전류의 크기에 비례한다. 따라서, 기준 전류를 조정함으로써, 1개의 단위 트랜지스터(154)가 출력하는 전류가 결정되고, 프로그램 전류의 크기가 결정된다. 기준 전류와 단위 트랜지스터(154)의 출력 전류가 리니어의 관계에 있고, 또한, 프로그램 전류와 휘도가 리니어의 관계에 있기 때문에, 백 래스터 표시에서 각 RGB의 기준 전류를 조정하여 화이트 밸런스를 조정하면, 모든 계조에서 화이트 밸런스가 유지된다.

도 54는 duty비 제어 방법이다. 도 54의 (a1), (a2), (a3), (a4)는 비표시 영역(192)을 연속해서 삽입하는 방법이다. 동화상 표시에 적합하다. 또한, 도 54의 (a1)이 가장 화상이 어둡고, 도 54의 (a4)가 가장 밝다. 게이트 신호선(17b)의 제어에 의해 자유롭게 duty비를 변경할 수 있다. 도 54의 (c1), (c2), (c3), (c4)는 비표시 영역(192)을 다수으로 분할하여 삽입하는 방법이다. 특히 정지 화상 표시에 적합하다. 또한, 도 54의 (c1)이 가장 화상이 어둡고, 도 54의 (c4)가 가장 밝다. 게이트 신호선(17b)의 제어에 의해 자유롭게 duty비를 변경할 수 있다. 또한, 도 54의 (b1), (b2), (b3), (b4)는, 도 54의 (a1)~(a4)와 도 54의 (c1)~(c4)의 중간 상태이다. 도 54의 (b1), (b2), (b3), (b4)도 마찬가지로 게이트 신호선(17b)의 제어에 의해 자유롭게 duty비를 변경할 수 있다. 즉, 게이트 신호선(17b) 등의 제어에 의해 트랜지스터(11d)를 온 오프시켜, EL 소자(15)에 흐르는 전류를 제어한다.

도 11, 도 12의 화소 구성에서는, 트랜지스터(11e)를 온 오프 제어시키고, 도 7에서는, 절환 스위치(71)를 온 오프 제어한다. 또한, 도 28의 화소 구성에서는, 트랜지스터(11d)를 제어하여, EL 소자(15)에 흐르는 전류를 제어한다.

이상과 같이, duty비 제어라 함은, 소스 신호선(18)에 인가하는 프로그램 전류 I_w 는 변화시키지 않고, EL 소자(15)에 흐르는 전류를 제어함으로써, 화면(144)의 밝기 제어를 실현하는 방식이다. 즉, 기준 전류를 일정하게 한 상태(변화시키지 않고)에서, 화면(144)의 밝기 제어를 실현하는 방식이다.

구동용 트랜지스터(11a)가 흘리는 전류를 변경하지 않고, 화면(144)의 밝기 제어를 실현하는 방식이다. 또한, 구동용 트랜지스터(11a)의 게이트 단자(G) 전압을 변경하지 않고, 화면(144)의 밝기 제어를 실현하는 방식이다. 또한, 게이트 드라이버(12b)의 주사 상태를 변화시킴으로써, 게이트 신호선(17b) 등을 제어하여, 화면(144)의 밝기 제어를 실현하는 방식이다.

표시 영역(193)의 분산은, 표시 패널의 화소행 수가 220개이고, 1/4 duty비이면, $220/4=55$ 로 되므로, 1 내지 55(1의 밝기부터 그 55배의 밝기까지 조정할 수 있다). 또한, 표시 패널의 화소행이 220개이고, 1/2 duty비이면, $220/2=110$ 으로 되므로, 1 내지 110(1의 밝기부터 그 110배의 밝기까지 조정할 수 있다). 따라서, 화면(144) 휘도의 밝기의 조정 범위는 매우 넓다(화상 표시의 다이내믹 범위가 넓다). 또한, 어떠한 밝기이더라도, 표현할 수 있는 계조수를 유지할 수 있다는 특징이 있다. 예를 들면, 64계조 표시이면, 백 래스터에서의 표시 화면(144) 휘도가 300nt이든, 3nt이든 64계조 표시를 실현할 수 있다.

이전에도 설명했지만, duty비는, 게이트 드라이버 회로(12b)에의 스타트 펄스를 제어함으로써 용이하게 변경할 수 있다. 따라서, 1/2 duty비, 1/4 duty비, 3/4 duty비, 3/8 duty비로 다종 다양한 duty비를 용이하게 변경할 수 있다.

1수평 주사 기간(1H) 단위의 duty비 구동은, 수평 동기 신호에 동기시켜 게이트 신호선(17b)의 온 오프 신호를 인가하면 된다. 또한, 1H 단위 이하라도 duty비를 제어할 수 있다. 도 40, 도 41, 도 42의 구동 방법이다. 1H 기간 이내에 있어서, OE2 제어를 행함으로써, 미소 스텝의 밝기 제어(duty비 제어)가 가능하다.

1H 이내의 duty비 제어를 행하는 것은, duty비가 1/4 duty비 이하인 경우에 실시한다. 화소행 수가 220 화소행이면, 55/220 duty비 이하이다. 즉, 1/220 내지 55/220 duty비의 범위에서 행한다. 1스텝의 변화가 변화 전부터 변화 후에 1/20 (5%) 이상 변화할 때에 실시한다. 더욱 바람직하게는, 1/50(2%) 이하의 변화라도 OE2 제어를 행하여 미소한 duty비 구동 제어를 행하는 것이 바람직하다. 즉, 게이트 신호선(17b)에 의한 duty비 제어에서는, 변화 전부터 변화 후의 밝기 변화가 5% 이상으로 될 때에는, OE2(도 40 등을 참조할 것)에 의한 제어를 행함으로써 변화량이 5% 이하로 되도록 조금씩 변화시킨다. 이 변화에는, 도 98에서 설명하는 Wait 기능을 도입하는 것이 바람직하다.

duty비가 1/4 duty비 이하에서 1H 이내의 duty비 제어를 실시하는 것은, 1스텝당의 변화량이 크기 때문이기도 하지만, 화상이 중간조이기 때문에, 미소한 변화라도 시각적으로 인식되기 쉽기 때문이기도 하다. 사람의 시각은, 일정 이상의 어두운 화면에서는, 밝기 변화에 대한 검출 능력이 낮다. 또한, 일정 이상의 밝은 화면이어도, 밝기 변화에 대한 검출 능력이 낮다. 이것은, 사람의 시각이 2승 특성에 의존하고 있기 때문이라고 생각된다.

패널의 화소행이 200개이면, 50/200 duty비 이하(1/200 이상 50/200 이하)로 OE2 제어를 행하고, 1H 이하의 기간의 duty비 제어를 행한다. 1/200 duty비로부터 2/200 duty비로 변화하면 1/200 duty비와 2/200 duty비의 차는, 1/200이고, 100%의 변화로 된다. 이 변화는 플리커로서 완전하게 시각적으로 인식되어 버린다. 따라서, OE2 제어(도 40 등을 참조할 것)를 행하여, 1H(1수평 주사 기간) 이하의 기간에 EL 소자(15)에의 전류 공급을 제어한다. 또한, 1H 기간 이하(1H 기간 이내)로 duty비를 제어하는 것으로 했지만, 이것에 한정되는 것은 아니다. 도 19에서도 알 수 있는 바와 같이 비표시 영역(192)은 연속하고 있다. 즉, 10.5H 기간과 같은 제어도 본 발명의 범주이다. 즉, 본 발명은 1H 기간에 한정되지 않고 (소수점 이하가 발생함), duty비 구동을 행하는 것이다.

40/200 duty비로부터 41/200 duty비로 변화하면, 40/200 duty비와 41/200 duty비의 차는, 1/200이고, $(1/200)/(40/200)$ 로 2.5%의 변화로 된다. 이 변화는 플리커로서 시각적으로 인식되는지의 여부는, 화면(144) 휘도에 의존할 가능성이 높다. 단, 40/200 duty비는 중간조 표시이기 때문에, 시각적으로 민감하다. 따라서, OE2 제어(도 40 등을 참조할 것)를 행하여, 1H(1수평 주사 기간) 이하의 기간에 EL 소자(15)에의 전류 공급을 제어하는 것이 바람직하다.

이상과 같이, 본 발명의 구동 방법 및 표시 장치는, 화소(16)에 EL 소자(15)에 흘리는 전류값을 기억할 수 있는 구성(도 1에서는 컨덴서(19)가 해당함)과, 구동용 트랜지스터(11a)와 발광 소자(EL 소자(15)가 예시된다)와의 전류 경로를 온 오프할 수 있는 구성(도 1, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 28, 도 31~도 36 등의 화소 구성이 해당함)의 표시 패널에 있어서, 적어도 표시 화상의 표시 상태에 있어서 도 19의 표시 상태가 발생시키는(화상의 휘도에 따라서는, 표시 화면(144)이 표시 영역(193)(duty비 1/1로 되어도 된다) 구동 방법이다. 또한, duty비 구동(적어도 표시 화면(144)의 일부가 비표시 영역(193)으로 되는 구동 방법 또는 구동 상태)이 소정의 duty비 이하에서는, 1수평 주사 기간(1H 기간) 이내 혹은 1H 기간 단위에 한정되는 EL 소자(15)에 흘리는 전류를 제어하여, 표시 화면(144)의 휘도 제어를 행하는 것이다.

1H 단위 이내의 duty비 제어를 행하는 소정 duty비는, duty비가 1/4 duty비 이하인 경우에 실시한다. 반대로 소정 duty비 이상에서는, 1H 단위로 duty비 제어를 행한다. 혹은 OEV2 제어는 실시하지 않는다. 또한, 1H 기간 이외의 duty비 제어는, 1스텝의 변화가 변화 전부터 변화 후에 1/20(5%) 이상 변화할 때에 실시한다. 더욱 바람직하게는, 1/50(2%) 이하의 변화라도 OEV2 제어를 행하여 미소한 duty비 구동 제어를 행하는 것이 바람직하다. 혹은, 백 래스터의 최대 휘도의 1/4 이하의 휘도로 실시한다.

본 발명의 duty비 제어 구동에 따르면, 도 74에 도시하는 바와 같이, EL 표시 패널의 게조 표현 수가 64계조이면, 표시 화면(144)의 표시 휘도(nt)가 어떠한 휘도(휘도가 낮거나 혹은 높은 것에 상관없이)이더라도, 64계조 표시가 유지된다. 예를 들면, 화소행 수가 220개이고, 1화소행만이 표시 영역(193)(표시 상태)일 때(duty비 1/220)라도, 64계조 표시를 실현할 수 있다. 각 화소행이 소스 드라이버 회로(IC)(14)의 프로그램 전류 I_w 에 의해 순차적으로 화상이 기입되고, 게이트 신호선(17b)에 의해, 이 1화소행분이 순차적으로 화상 표시되기 때문이다. 전체 화소행이 표시 영역(193)(표시 상태)일 때(duty비 1/1)라도, 64계조 표시를 실현할 수 있다.

물론, 20화소행이 표시 영역(193)(표시 상태)일 때(duty비 20/220=duty비 1/11)이더라도, 64계조 표시를 실현할 수 있다. 화소행에 소스 드라이버 회로(IC)(14)의 프로그램 전류 I_w 에 의해 순차적으로 화상이 기입되고, 게이트 신호선(17b)에 의해 모든 화소행이 동시에 화상 표시되기 때문이다. 또한, 20화소행만이 표시 영역(193)(표시 상태)일 때(duty비 20/220=duty비 1/11)라도, 64계조 표시를 실현할 수 있다. 각 화소행이 소스 드라이버 회로(IC)(14)의 프로그램 전류 I_w 에 의해 순차적으로 화상이 기입되고, 게이트 신호선(17b)에 의해, 이 20화소행분이 순차적으로 주사되어 화상 표시되기 때문이다.

또한, 본 발명의 기준 전류 제어(도 50 등의 회로 구성을 참조할 것)에 있어서도 마찬가지로, 기준 전류가 작든 크든, 64계조 표시를 실현할 수 있다.

본 발명의 duty비 제어 구동은, EL 소자(15)의 점등 시간의 제어이므로, duty비에 대한 표시 화면(144)의 밝기는, 리니어의 관계에 있다. 따라서, 화상의 밝기 제어가 매우 용이하고, 그 신호 처리 회로도 심플하게 되어, 저코스트화를 실현할 수 있다. 도 60과 같이 RGB의 기준 전류를 조정하여, 화이트 밸런스를 취한다. duty비 제어에서는, R, G, B를 동시에 밝기 제어하기 때문에 어떠한 계조, 표시 화면(144)의 밝기에 있어서도 화이트 밸런스는 유지된다.

duty비 제어는, 표시 화면(144)에 대한 표시 영역(193)의 면적을 변화시킴으로써, 표시 화면(144)의 휘도를 변화하는 것이었다. 당연히, 표시 면적(193)에 비례하여 EL 표시 패널에 흐르는 전류는 대략 비례하여 변화한다. 따라서, 영상 데이터의 총합을 구하는 것에 의해, 표시 화면(144)의 EL 소자(15)에 흐르는 전체 소비 전류를 산출할 수 있다. EL 소자(15)의 애노드 전압 V_{dd} 는 직류 전압으로 고정값이기 때문에, 전체 소비 전류를 산출할 수 있으면, 화상 데이터에 따라서 전체 소비 전력을 리얼타임으로 산출할 수 있다. 산출된 전체 소비 전력이 규정된 최대 전력을 초과할 것으로 예측되는 경우에는, 도 60의 기준 전류 I_c 를 전자 볼륨 등의 조정 회로에 의해 조정하여, RGB의 기준 전류를 억제 제어하면 된다.

또한, 백 래스터 표시에서의 소정 휘도를 설정하고, 이 때를 duty비 최소로 되도록 설정한다. 예를 들면, duty비 1/8로 한다. 자연 화상은 duty비를 크게 한다. 최대의 duty비는 1/1이다. 예를 들면, 표시 화면(144)의 1/100밖에 화상이 표시되지 않는 자연 화상을 duty비 1/1로 한다. duty비 1/1로부터 duty비 1/8은 표시 화면(144)의 자연 화상의 표시 상태에서 순조롭게 변화시킨다.

이상과 같이 일 실시예로서, 백 래스터 표시(자연 화상에서는 모든 화소가 100% 점등하고 있는 상태)에서 duty비 1/8로 하고, 표시 화면(144)의 1/100의 화소가 점등하고 있는 상태를 duty비 1/1로 한다. 개략의 소비 전력은, 화소 수×점등 화소 수의 비율×duty비로 산출할 수 있다.

설명을 용이하게 하기 위해서, 화소 수를 100으로 하면, 백 래스터 표시에서의 소비 전력은, $100 \times 1(100\%) \times \text{duty비 } 1/8 = 80$ 으로 된다. 한편, 1/100이 점등하고 있는 자연 화상의 소비 전력은, $100 \times (1/100)(1\%) \times \text{duty비 } 1/1 = 1$ 로 된다. duty비 1/1~duty비 1/8은 화상의 점등 화소 수(실제로는, 점등 화소의 총 전류=1프레임의 프로그램 전류의 총합)에 따라서 플리커가 발생하지 않도록 원활하게 duty비 제어가 실시된다.

이상과 같이 백 래스터에서 소비 전력 비율은 80이고, 1/100이 점등하고 있는 자연 화상의 소비 전력 비율은 1로 된다. 따라서, 백 래스터 표시에서의 소정 휘도를 설정하고, 이 때를 duty비 최소로 되도록 설정하면, 최대 전류를 억제할 수 있다.

본 발명은, 1 화면의 프로그램 전류의 총합을 S로 하고, duty비를 D로 하여, $S \times D$ 로 구동 제어를 실시하는 것이다. 또한, 백 래스터 표시에서의 프로그램 전류의 총합을 Sw로 하고, 최대의 duty비를 Dmax(통상은, duty비 1/1이 최대이다)로 하고, 최소의 duty비를 Dmin으로 하고, 또한, 임의의 자연 화상에서의 프로그램 전류의 총합을 Ss로 했을 때, $Sw \times Dmin \geq Ss \times Dmax$ 의 관계가 유지되도록하는 구동 방법 및 그것을 실현하는 표시 장치이다.

또한, duty비의 최대는 1/1로 한다. 최소는 duty비 1/16 이상(1/8 등)으로 하는 것이 바람직하다. 즉, duty비는 1/16 이상 1/1 이하로 한다. 또한, 1/1을 반드시 사용하는 것에는 제약받지 않는 것은 물론이다. 바람직하게는, 최소의 duty비는 1/10 이상으로 한다. duty비가 지나치게 작으면, 플리커의 발생이 눈에 띄기 쉽고, 또한, 화상 내용에 의한 화면의 휘도 변화가 지나치게 커져, 화상이 보기 어렵게 되기 때문이다.

앞에서도 설명했지만, 프로그램 전류는 영상 데이터와 비례의 관계에 있다. 따라서, 프로그램 전류의 총합이라 함은 영상 데이터의 총합과 동의이다. 또한, 1프레임(1필드) 기간의 프로그램 전류의 총합을 구하는 것으로 했지만, 이것에 한정되는 것은 아니다. 1프레임(1필드)에 있어서, 소정 간격 혹은, 소정 주기 등으로 프로그램 전류를 가산하는 화소를 샘플링하여 프로그램 전류(영상 데이터)의 총합으로 해도 된다. 또한, 제어를 행하는 프레임(필드)의 전후의 총합 데이터를 이용해도 되고, 추정 혹은 예측에 의한 총합 데이터를 이용하여, duty비 제어를 행해도 된다.

도 85는 본 발명의 구동 회로의 블록도이다. 이하, 본 발명의 구동 회로에 대하여 설명을 한다. 도 85에서는, 외부로부터 Y/UV 영상 신호와, 콤포지트(COMP) 영상 신호를 입력할 수 있도록 구성되어 있다. 어느 쪽에 영상 신호를 입력할지는, 스위치 회로(851)에 의해 선택된다.

스위치 회로(851)에 의해 선택된 영상 신호는, 디코더 및 A/D 회로에 의해 디코드 및 AD 변환되어, 디지털의 RGB 화상 데이터로 변환된다. RGB 화상 데이터는 각 8비트이다. 또한, RGB 화상 데이터는 감마 회로(854)에서 감마 처리된다. 동시에 휘도(Y) 신호가 구해진다. 감마 처리에 의해, RGB 화상 데이터는 각 10비트의 화상 데이터로 변환된다.

감마 처리 후, 화상 데이터는 FRC 처리 또는 오차 확산 처리가 처리 회로(855)에서 행해진다. FRC 처리 또는 오차 확산 처리에 의해 RGB 화상 데이터는 6비트로 변환된다. 이 화상 데이터는 AI 처리 회로(856)에서 AI 처리 혹은 피크 전류 처리가 실시된다. 또한, 동화상 검출 회로(857)에서 동화상 검출이 행해진다. 동시에, 컬러 매니지먼트 회로(858)에서 컬러 매니지먼트 처리가 행해진다.

AI 처리 회로(856), 동화상 검출 회로(857), 컬러 매니지먼트 회로(858)의 처리 결과는 연산 회로(859)로 보내져, 연산 처리 회로(859)에서 제어 연산, duty비 제어, 기준 전류 제어 데이터로 변환되고, 변환된 결과가, 소스 드라이버 회로(IC)(14) 및 게이트 드라이버 회로(12)에 제어 데이터로서 송출된다.

duty비 제어, 기준 전류비 제어, 피크 전류 제어 등은, OSD(온 스크린 디스플레이)에는 적용하지 않는 것이 바람직하다. OSD에서는, 비디오 카메라 등에 있어서, 메뉴 화면 표시 등을 행하는 것이다. OSD에 있어서도, 피크 전류 제어 등을 행하면, 메뉴의 표시 상태에 따라서 화면이 어두워지거나 밝아지거나 하여, 시각적으로 문제점이 발생한다.

이 과제에 대해서는, 도 185에 도시하는 바와 같이, OSD의 데이터(OSDDATA)와 영상 데이터(동화상 데이터)를 다른 컨트롤 회로(856)에서 처리를 한다. 기본적으로는, OSD 데이터는 휘도 변조를 실시하지 않는다.

또한, 컨트롤러 회로(IC)(760)에 관해서도, 1칩화하는 것에 한정되는 것은 아니다. 예를 들면, 도 248에 도시하는 바와 같이, 게이트 드라이버 회로(12)를 제어하는 컨트롤러 회로(IC)(760G)와, 소스 드라이버 회로(IC)(14)를 제어하는 컨트롤러 회로(IC)(760S)로 분리해도 된다. 분리에 의해 처리 내용이 명확하게 되어, 컨트롤러 IC를 소사이즈화하는 것이 가능하다.

duty비 제어 데이터는 게이트 드라이버 회로(12b)로 보내져, duty비 제어가 실시된다. 한편, 기준 전류 제어 데이터는 소스 드라이버 회로(IC)(14)로 보내져, 기준 전류 제어가 실시된다. 감마 보정되어, FRC 또는 오차 확산 처리된 화상 데이터도 소스 드라이버 회로(IC)(14)로 보내진다.

도 62의 화상 데이터 변환은, 감마 회로(854)의 감마 처리에 의해 행할 필요가 있다. 감마 회로(854)는, 다점 꺾임 감마 커브에 의해 계조 변환을 행한다. 256계조의 화상 데이터는, 다점 꺾임 감마 커브에 의해 1024계조로 변환된다. 감마 회로(854)에 의해 다점 꺾임 감마 커브로 감마 변환하는 것으로 했지만, 이것에 한정하는 것은 아니다.

이상의 설명에서는 duty비 D로 제어하는 것으로서 설명했지만, duty비는, 소정 기간(통상은 1필드 또는 1프레임이다. 즉, 일반적으로는 임의의 화소의 화상 데이터가 재기입되는 주기 혹은 시간이다)에 있어서의 EL 소자(15)의 점등 기간이다. 즉, duty비 1/8이라 함은, 1프레임의 1/8의 기간(1F/8) 동안, EL 소자(15)가 점등하고 있는 것을 의미한다. 따라서, duty비는, 화소(16)가 재기입되는 주기 시간을 Tf로 하고, 화소의 점등 기간을 Ta로 했을 때, $duty비 = Ta/Tf$ 로 재판독할 수 있다.

또한, 화소(16)가 재기입되는 주기 시간을 Tf로 하고, Tf를 기준으로 하는 것으로 했지만, 이것에 한정되는 것이 아니다. 본 발명의 duty비 제어 구동은, 1프레임 혹은 1필드에서 동작을 완결시킬 필요는 없다. 즉, 수 필드 혹은 수 프레임 기간을 1주기로 해서 duty비 제어를 실시해도 된다. 따라서, Tf는 화소를 재기입하는 주기에만 한정되는 것은 아니고, 1프레임 혹은 1필드 이상이어도 된다. 예를 들면, 1필드 혹은 1프레임마다 점등 기간 Ta가 다른 경우에는, 반복 주기(기간)를 Tf로 하고, 이 기간의 총 점등 기간 Ta를 채용하면 된다. 즉, 수 필드 혹은 수 프레임 기간의 평균 점등 시간을 Ta로 해도 된다. duty비에 대해서도 마찬가지이다. duty비가 프레임(필드)마다 서로 다른 경우에는, 복수 프레임(필드)의 평균 duty비를 산출하여 이용하면 된다.

따라서, 백 래스터 표시에서의 프로그램 전류의 총합을 Sw로 하고, 임의의 자연 화상에서의 프로그램 전류의 총합을 Ss로 하고, 최소의 점등 기간을 Tas, 최대의 점등 기간을 Tam(통상은 $Tam = Tf$ 이므로 $Tam/Tf = 1$)로 했을 때, $Sw \times (Tas/Tf) \geq Ss \times (Tam/Tf)$ 의 관계가 유지되도록 하는 구동 방법 및 그것을 실현하는 표시 장치이다.

도 60, 도 61, 도 64, 도 65에 도시 혹은 설명한 바와 같이, 기준 전류의 제어에 의해, 프로그램 전류를 리니어적으로 조정할 수 있다. 1개당 단위 트랜지스터(154)의 출력 전류가 변화하기 때문이다. 단위 트랜지스터(154)의 출력 전류를 변화시키면 프로그램 전류 Iw도 변화한다. 화소의 컨덴서(19)에 프로그램되는 전류(실제는 프로그램 전류에 상당하는 전압이다)가 클수록, EL 소자(15)에 흐르는 전류도 커진다. EL 소자(15)에 흐르는 전류와 발광 휘도는 리니어적으로 비례한다. 따라서, 기준 전류를 변화시킴으로써 EL 소자(15)의 발광 휘도를 리니어적으로 변화시킬 수 있다.

본 발명의 소스 드라이버 회로(IC)(14)는, 단자(155)에 접속되는 단위 트랜지스터(154)의 개수를 제어하는 것에 의해 프로그램 전류 Iw를 변화시키는 것이었다. 또한, 프로그램 전류 Iw는 도 60, 도 62 등에서 설명한 바와 같이, 기준 전류 Ic를 변화시키는 것에 의해 실현했다.

그러나, 본 발명의 기준 전류 제어 등은 한정하는 것은 아니고, 일정한 기준으로 되는 것(전압, 전류, 설정 데이터 등)을 변화시키고, 이 변화에 의해 단자(155)로부터 출력되는 전류 Iw를 변경할 수 있는 것이어도 된다. 단, 기준으로 되는 것의 변화에 의해, 각 출력 단자(155)의 프로그램 전류 Iw를 동일 비율로 변화시키는 것이 중요하다. 또한, 프로그램 전류 Iw의 변화에 한정되는 것은 아니다. 프로그램 전압이어도 된다. 각 단자(155)의 프로그램 전압을 동일 비율로 변화시킴으로써, 표시 화면(144)의 휘도를 조정할 수 있기 때문이다. 또한, RGB 단자로 변화시키는 것에 의해 화이트 밸런스를 조정할 수 있기 때문이다.

도 86은 기준 전류 Ic의 조정 회로를 구비하지 않는 본 발명의 실시예이다. 단자(155)에는, 오피 앰프(502)를 트랜지스터(156)에 의해, 프로그램 전류 Iw가 공급된다. 프로그램 전류 Iw는 샘플링 회로(862)에 의해 오피 앰프(522)에 인가된 전압에 의해 결정된다.

8비트의 영상 데이터는 D/A 회로(661)에서 아날로그 데이터로 변환되고, 아날로그 데이터는 가변 증폭 회로(861)에서 이득 조정된다. 이득 조정된 아날로그 데이터는 샘플링 회로(862)에 있어서, 수평 주사 클럭으로 샘플링되어, 각 컨덴서 C에 유지된다. 또한, 가변 증폭 회로(861)의 이득은 8비트의 데이터에 의해 설정된다.

가변 증폭 회로(861)의 일례로서는, 도 87의 구성이 예시된다. 도 87에 있어서, Vin 단자에 DA 회로(661)의 아날로그 데이터가 인가된다. 또한, 이득은, 저항 Rx에 직렬로 접속된 스위치 Sx에 의해 설정된다. 스위치 Sx는 8비트로 이득 설정 데이터에 의해 제어된다. 또한, 이득 설정 데이터는 1프레임 혹은 1필드 단위로 변화시키는 것이 가능하다.

이상의 구성으로부터, 도 87의 이득 데이터의 제어에 의해, 제어 데이터의 크기에 비례(상관)하여 단자(155)로부터의 출력 전류를 변화시킬 수 있다.

즉, 어느 하나의 스위치 Sx가 폐쇄되는 것에 의해 이득이 설정된다. 이 스위치 Sx의 제어가, 도 64의 스위치 회로(642), 도 50의 전자 볼륨(501)에 해당한다. 즉, 스위치 Sx의 제어에 의해 프로그램 전류 Iw를 변화 혹은 조정할 수 있다.

따라서, 도 86에 있어서, 아날로그 데이터가 C에 샘플 홀드되고, 샘플 홀드된 전압에 의해, 프로그램 전류 Iw가 소스 신호 선(18)에 인가된다. 이 프로그램 전류 Iw는, 가변 증폭기(861)의 이득 데이터에 따라 변화(제어)된다.

도 86의 구성에 있어서도, 이득 설정 데이터에 의해, 표시 화면(144)의 휘도를 일제히 조정(가변)할 수 있다. 따라서, 본 발명의 n배 펄스 구동, duty비 구동 등을 실현할 수 있다. 또한, 도 86 등의 구성에서는, 단위 트랜지스터(154)는 형성되어 있지 않은 구성이다. 즉, 본 발명은, 전자 볼륨 등에 의해 기준 전류를 조정할 수 있고, 이 기준 전류의 조정에 의해 IC(14)의 전체 출력 단자(155)로부터 출력되는 전류를 비례적으로 변화시킬 수 있는 구성에 특징이 있다. 또한, 나중에 설명하겠지만, 기준 전류는 영상 데이터로부터 구한다. 즉, 영상 데이터 등으로부터 피드백을 걸어, 출력 단자(155)로부터의 전류의 크기를 변화시키는 구성 혹은 방법이다.

또한, 실시예에서는 단자로부터 출력되는 신호는 전류로 하고 있지만, 전압이어도 된다. 전압 신호에 의해 EL 소자(15)에 흐르는 전류를 제어할 수 있기 때문이다(결국, 영상 데이터로부터 캐소드(애노드) 단자에 흐르는 전류를 제어할 수 있다). 즉, 영상 데이터에 의해 기준 전류의 크기 혹은 변화량을 구하고, 이 기준 전류의 조정에 의해 IC(14)의 전체 출력 단자(155)로부터 출력되는 전압을 비례적으로 변화시킬 수 있는 구성에 특징이 있다.

가변 증폭기(861)를 각 RGB로 설치함으로써, 화이트 밸런스 조정, 컬러 매니지먼트 제어를 실현할 수 있다(도 145 내지 도 153을 참조할 것). 즉, 본 발명의 표시 패널 혹은 장치에 있어서, 도 86의 구성의 소스 드라이버 회로(IC)(14)를 이용해도, 본 발명의 구동 방식, 구성을 실현할 수 있다.

본 발명은, 도 60 등에서 설명한 기준 전류 제어 방식과, 도 54의 (a), (b), (c) 등에서 설명한 duty비 제어 방식 중, 적어도 한쪽의 방식을 이용하여 화면의 밝기 등의 제어를 행하는 것이다. 바람직하게는, 기준 전류 제어 방식과 duty비 제어 방식을 조합해서 실시하는 것이 바람직하다.

또한, 본 발명의 구동 방식에 대하여 설명을 한다. 본 발명의 구동 방법은, EL 표시 패널에서 소비되는 소비 전류의 상한을 리미트하는 것이 하나의 목적이다. EL 표시 패널은 EL 소자(15)에 흐르는 전류와 휘도가 비례 관계에 있다. 따라서, EL 소자(15)에 흐르는 전류를 증대시키면, EL 표시 패널의 휘도도 점점 밝게 할 수 있다. 휘도에 비례하여 소비되는 전류(=소비 전력)도 증대한다.

휴대 장치 등의 모바일 기기에 이용하는 경우에는, 전지 등의 용량에 제한이 있다. 또한, 전원 회로도 소비되는 전류가 커지면 규모가 커진다. 따라서, 소비하는 전류에는 리미트를 설치할 필요가 있다. 이 리미트를 설치하는 것(피크 전류 억제)이 본 발명의 하나의 목적이다.

화상의 콘트라스트를 크게 함으로써, 표시가 양호하게 된다. 농담이 있도록 화상(다이내믹 범위가 넓고, 콘트라스트비가 높고, 계조 표현력이 큰 등)을 변환하여 화상을 표시함으로써 표시가 양호하게 된다. 이상과 같이 화상 표시를 양호하게 하는 것이 본 발명의 두번째의 목적이다. 이상의 목적을 실현하는 본 발명을 AI 구동이라고 부르기로 한다.

설명을 용이하게 하기 위해, 본 발명의 IC 칩(14)은 64계조 표시인 것으로 한다. AI 구동을 실현하기 위해서는, 계조 표현 범위를 확대하는 것이 바람직하다. 설명을 용이하게 하기 위해, 본 발명의 소스 드라이버 회로(IC)(14)는 64계조 표시로 하고, 화상 데이터는 256계조로 한다. 이 화상 데이터를 EL 표시 장치의 감마 특성에 적합하도록, 감마 변환을 행한다. 감마 변환은 입력 256계조를 1024계조로 확대함으로써 실시한다. 감마 변환된 화상 데이터는, 소스 드라이버 IC(14)의 64계조에 적합하도록, 오차 확산 처리 혹은 프레임 레이트 컨트롤(FRC) 처리가 행해져, 소스 드라이버 IC(14)에 인가된다.

1화면의 화상 데이터가 전체적으로 클 때에는 화상 데이터의 총합은 커진다. 예를 들면, 백 래스터는 64계조 표시인 경우에는 화상 데이터로서는 63이므로, 표시 화면(144)의 화소 수×63이 화상 데이터의 총합이다. 1/100의 백 윈도우 표시에서, 백색 표시부가 최대 휘도의 백색 표시에서, 표시 화면(144)의 화소 수×(1/100)×63이 화상 데이터의 총합이다.

본 발명에서는 화상 데이터의 총합 혹은 화면의 소비 전류량을 예측할 수 있는 값을 구하고, 이 총합 혹은 값에 의해, duty비 제어 혹은 기준 전류 제어를 행한다.

또한, 화상 데이터의 총합을 구하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 화상 데이터의 1프레임의 평균 레벨을 구하여 이것을 이용해도 된다. 아날로그 신호이면, 아날로그 화상 신호를 컨텐서에 의해 필터링함으로써 평균 레벨을 얻을 수 있다. 아날로그의 영상 신호에 대하여 필터를 통하여 직류 레벨을 추출하고, 이 직류 레벨을 AD 변환하여 화상 데이터의 총합으로 해도 된다. 이 경우에는, 화상 데이터는 APL 레벨이라고도 할 수 있다.

30프레임 내지 300프레임 기간의 화상 데이터의 총합 혹은 총합을 추정할 수 있는 데이터를 구하고, 이 데이터의 크기에 기초하여, duty비 제어를 행하는 것이 바람직하다. 총합 데이터는 화상 변화에 따라 천천히 변화한다. 총합 데이터를 구하는 프레임 기간이 길수록 화상의 밝기 변화는 느려진다.

표시 화면(144)을 구성하는 화상의 모든 데이터를 가산할 필요는 없고, 표시 화면(144)의 $1/W$ (W 는 1보다 큰 값)를 픽업하여 추출하고, 픽업한 데이터의 총합을 구해도 된다. 예를 들면, 1화소 건너뛰고 영상 데이터를 샘플링하고, 샘플링된 영상 데이터로부터 총합을 구하는 등의 방법이 예시된다. 또한, 1화소행마다 1 또는 복수의 화소의 영상 데이터를 샘플링하고, 샘플링된 영상 데이터로부터 총합을 구하는 방법이 예시된다.

설명을 용이하게 하기 위해서, 이상의 경우도 화상 데이터의 총합을 구하는 것으로서 설명을 한다. 화상 데이터의 총합은, 화상의 APL 레벨을 구하는 것과 일치하는 경우가 많다. 또한, 화상 데이터의 총합이라 함은, 디지털적으로 가산하는 수단도 있지만, 이상의 디지털 및 아날로그에 의한 화상 데이터의 총합을 구하는 방법을, 이후, 설명을 용이하게 하기 위해서 APL 레벨이라고 부른다.

백 래스터일 때에 APL 레벨은 화상이 RGB 각 6비트이므로, 63(63계조째이므로 데이터의 표현으로서는 63으로 나타내어져 있다)×화소 수(QCIF 패널인 경우에는 $176 \times \text{RGB} \times 220$)로 된다. 따라서, APL 레벨은 최대가 된다. 단, RGB의 EL 소자(15)에서 소비하는 전류는 다르기 때문에, RGB로 분리하여 화상 데이터를 산출하는 것이 바람직하다.

이 과제에 대하여, 도 88에 도시하는 연산 회로를 사용한다. 도 88에 있어서, (881), (882)는 승산기이다. (881)은 발광 휘도를 웨이팅하는 승산기이다. R, G, B에서는 시감도(視感度)가 서로 다르다. NTSC에서의 시감도는, R:G:B=3:6:1이다. 따라서, R의 승산기(881R)에서는, R 화상 데이터(Rdata)에 대하여 3배의 승산을 행한다. 또한, G의 승산기(881G)에서는, G 화상 데이터(Gdata)에 대하여 6배의 승산을 행한다. 또한, B의 승산기(881B)에서는, B 화상 데이터(Bdata)에 대하여 1배의 승산을 행한다. 단, 이 기술은 개념적이다. EL 소자는 RGB에서 효율이 서로 다르기 때문이다.

EL 소자(15)는 RGB에서 발광 효율이 서로 다르다. 통상적으로, B의 발광 효율이 가장 나쁘다. 다음으로 G가 나쁘다. R이 가장 발광 효율이 양호하다. 따라서, 승산기(882)에서 발광 효율의 웨이팅을 행한다. R의 승산기(882R)에서는, R 화상 데이터(Rdata)에 대하여 R의 발광 효율의 승산을 행한다. 또한, G의 승산기(882G)에서는, G 화상 데이터(Gdata)에 대하여 G의 발광 효율의 승산을 행한다. 또한, B의 승산기(882B)에서는, B 화상 데이터(Bdata)에 대하여 B의 발광 효율의 승산을 행한다.

승산기(881) 및 (882)의 결과는, 가산기(883)에 의해 가산되어, 총합 회로(884)에 축적된다. 이 총합 회로(884)의 결과에 기초하여, duty비 제어, 기준 전류 제어를 실시한다.

이상의 실시예에서는, 영상 데이터에, EL 소자(15) 등의 효율을 고려하여, 소정값을 승산하는 것에 의해 데이터를 구한다. 본 발명은, 영상 데이터로부터 표시 패널의 애노드 또는 캐소드 단자에 흐르는 전류를 구하는 것이다.

통상적으로, RGB의 EL 소자(15)는, EL 재료마다 발광 효율이 가지이며, 전류와 휘도의 관계를 알고 있다. 또한, EL 표시 패널은 생산할 때의 목표색 온도가 결정되어 있다. 따라서, EL 표시 패널의 표시 사이즈와 목표 휘도가 결정되면, 목표색 온도로 하기 위한, EL 표시 패널에 흘리는 RGB 전류의 비율과 크기를 알 수 있다. 이로부터, EL 표시 패널의 애노드 단자 혹은 캐소드 단자에 흘리는 전류를 소정값으로 하는 것에 의해, 목표로 하는 휘도와 색 온도를 얻을 수 있다.

애노드 단자 혹은 캐소드 단자에 흐르는 전류는 영상 데이터의 총합에 비례한다. 이상의 점으로부터, 영상 데이터의 총합으로부터 애노드 전류(캐소드 전류)를 구할 수 있다. 애노드 전류라 함은 표시 영역에 접속된 애노드 단자에 유입되는 전류이다. 캐소드 전류라 함은 표시 영역에 접속된 캐소드 단자로부터 유출되는 전류이다. 애노드 전압 또는 캐소드 전압은 고정값이므로, 영상 데이터로부터 EL 표시 패널의 소비 전력을 제어할 수 있다.

즉, 영상 데이터(의 총합)의 크기 혹은 크기의 변화를 리얼타임으로 모니터(연산)함으로써, EL 표시 패널이 필요로 하는 캐소드(애노드) 전류를 얻을 수 있다. 이 전류의 크기를 어떤 크기로 억제해야할지를 알고 있으면, 기준 전류 제어, dUty비 제어에 의해 전류의 크기를 제어할 수 있다.

물론, 애노드 전류 혹은 캐소드 전류의 크기를 AD(아날로그 디지털) 변환함으로써, 변환된 디지털 데이터로부터 기준 전류 제어, duty비 제어에 의해 전류의 크기를 제어할 수 있다. 또한, 아날로그 데이터를 직접 이용하여 오피 앰프 등에 의해 증폭물의 피드백 제어를 실시함으로써, 기준 전류 제어, duty비 제어에 의해 전류의 크기를 제어할 수 있다. 즉, 제어 방식 으로서는 디지털, 아날로그 방식을 불문한다.

이상과 같이, 본 발명은, 영상 데이터(혹은 이것에 비례하는 데이터)의 크기(혹은 추정할 수 있는 데이터)로부터, EL 표시 패널에서 소비하는 전력(전류)을 산출 혹은 제어하여, duty비 제어, 기준 전류 제어를 실시하는 것이다.

영상 데이터(혹은 이것에 비례하는 데이터)의 크기(혹은 추정할 수 있는 데이터)로부터, EL 표시 패널에서 소비하는 전력 (전류)의 산출은, 1프레임(1필드)마다 실시하는 것에 한정되는 것은 아니고, 복수 프레임(필드)마다 행해도 되고, 또한, 1 프레임(1필드)에서 복수회 행해도 되는 것은 물론이다. 또한, 기준 전류 제어, duty비 제어는 리얼타임으로 실시하는 것에 한정되는 것은 아니고, 지연시키거나, 히스테리시스로 실시하거나, 날리고 날리기로 실시해도 되는 것은 물론이다.

기준 전류 제어, duty비 제어에 의해 EL 표시 패널의 애노드 전류 또는 캐소드 전류의 크기를 제어하는 것으로 했지만, 이것에 한정되는 것은 아니고, 애노드 전압 또는 캐소드 전압을 제어하는 것에 의해서도, EL 표시 패널의 소비 전력을 제어 할 수 있는 것은 물론이다.

도 88과 같이 제어하면, 휘도 신호(Y 신호)에 대한 duty비 제어, 기준 전류 제어를 실시할 수 있다. 그러나, 휘도 신호(Y 신호)를 구하여, duty비 제어 등을 행하면 과제가 발생하는 경우가 있다. 예를 들면, 블루백 표시이다. 블루백 표시에서는 EL 표시 패널에서 소비하는 전류는 비교적 크다. 그러나, 표시 휘도는 낮다. 블루(B)의 시감도가 낮기 때문이다. 그 때문에, 휘도 신호(Y 신호)의 총합(APL 레벨)은 작게 산출되기 때문에, duty비 제어가 고 duty비로 된다. 따라서, 플리커의 발생 등 이 발생한다.

이 과제에 대해서는, 승산기(881)를 스루로 해서 이용하면 된다. 소비 전류에 대한 총합(APL 레벨)이 구해지기 때문이다. 휘도 신호(Y 신호)에 의한 총합(APL 레벨)과 소비 전류에 의한 총합(APL 레벨)은, 양쪽을 구해서 가미하여 통합 APL 레벨을 구하는 것이 바람직하다. 통합 APL 레벨에 의해 duty비 제어, 기준 전류 제어 또는 프리차지 제어 등을 실시한다.

혹 래스터는 64계조 표시인 경우에는 0계조째이므로, APL 레벨은 0에서 최소값으로 된다. 전류 구동 방식에서는, 소비 전력(소비 전류)는 화상 데이터에 비례한다. 또한, 화상 데이터는, 표시 화면(144)을 구성하는 데이터의 전체 비트를 카운트 할 필요는 없고, 예를 들면, 화상이 6비트로 표현되는 경우, 상위 비트(MSB)만을 카운트해도 된다. 이 경우에는, 계조수가 32 이상에서, 1카운트된다. 따라서, 표시 화면(144)을 구성하는 화상 데이터에 의해 APL 레벨은 변화한다. 즉, 영상 데이터의 총합이라 함은, 완전한 총합이 아니고, 총합을 추정할 수 있는 방식이면 어느 것이어도 된다.

아날로그적인 개념으로부터 영상 데이터의 총합 혹은 총합과 유사한 지표로서 APL 레벨이라는 단어를 이용한다. 그러나, 후반에서는, 점등률이라는 단어를 이용하여 본 발명의 구동 방식의 설명을 행한다. 또한, 점등률은 나중에 설명한다.

이해를 용이하게 하기 위해서, 구체적으로 수치를 예시하여 설명한다. 단, 이것은 가상적이고, 실제로는 실험, 화상 평가에 의해 제어 데이터, 제어 방법을 결정할 필요가 있다.

EL 표시 패널에서 최대에 흘릴 수 있는 전류를 100(mA)로 한다. 백 래스터 표시일 때, 총합(APL 레벨)은 200(단위 없음)으로 되는 것으로 한다. 이 APL 레벨이 200일 때, 그대로 패널에 인가하면 EL 표시 패널에 200(mA)가 흐르는 것으로 한다. 또한, APL 레벨이 0일 때, EL 표시 패널에 흐르는 전류는 0(mA)이다. 또한, APL 레벨이 100일 때, duty비는 1/2로 구동하는 것으로 한다.

따라서, APL이 100 이상인 경우에는, 제한인 100(mA) 이하로 되도록 할 필요가 있다. 가장 간단하게는, APL 레벨이 200 일 때, duty비를 $(1/2) \times (1/2) = 1/4$ 로 하고, APL 레벨이 100일 때, duty비를 1/2로 한다. APL 레벨이 100 이상 200 이하일 때에는, duty비가 1/4 ~ 1/2 사이를 취하도록 제어한다. duty비 1/4 ~ 1/2는, EL 선택측의 게이트 드라이버 회로(12b)가, 동시에 선택하는 게이트 신호선(17b)의 개수를 제어하는 것에 의해 실현할 수 있다.

단, APL 레벨만을 고려하여, duty비 제어를 실시하면, 화상에 따라서 표시 화면(144)의 평균 휘도(APL)에 따라 표시 화면 (144)의 휘도가 변화하여, 플리커가 발생한다. 이 과제에 대하여, 구하는 APL 레벨은, 적어도 2 프레임, 바람직하게는, 10

프레임, 더욱 바람직하게는 60프레임 이상의 기간 유지하고, 이 기간에 연산하여, APL 레벨에 의해 duty비 제어에 의한 duty비를 산출한다. 또한, 표시 화면(144)의 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM) 등의 화상의 특징 추출을 행하여 duty비 제어를 행하는 것이 바람직하다. 이상의 사항은, 기준 전류 제어에도 적용되는 것은 물론이다.

화상의 특징 추출에 의해, 흑(黑) 신장, 백(白) 신장을 실시하는 것도 중요하다. 이것은, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM), 신(scene)의 변화 상태를 고려하여 행하면 된다. 즉, 총합(APL 레벨 혹은 점등률)은, 영상 데이터의 가산뿐만 아니라, 화상 표시의 분포 상태 등을 고려하여 보정 등을 행하는 것이 바람직하다. 회로 구성으로서는, 도 88의 가산기(883c)의 보정 회로(도시 생략)의 보정량을 가산하는 구성 등이 예시된다.

감마 회로(854)에 의해 다점 꺾임 감마 커브로 감마 변환하는 것으로 했지만, 이것에 한정되는 것은 아니다. 도 89에 도시하는 바와 같이, 1점 꺾임 감마 커브로 감마 변환해도 된다. 1점 꺾임 감마 커브를 구성하는 하드 규모가 작기 때문에, 컨트롤 IC를 저코스트화할 수 있다.

도 89에 있어서, a는 32계조제에서의 꺾은선 감마 변환이다. b는 64계조제에서의 꺾은선 감마 변환이다. c는 96계조제에서의 꺾은선 감마 변환이다. d는 128계조제에서의 꺾은선 감마 변환이다. 화상 데이터가 고계조에 집중하고 있는 경우에는, 고계조에서의 계조수를 많게 하기 위해서, 도 89의 d의 감마 커브를 선택한다. 화상 데이터가 저계조에 집중하고 있는 경우에는, 저계조에서의 계조수를 많게 하기 위해서, 도 89의 a의 감마 커브를 선택한다. 화상 데이터의 분포가 분산되어 있는 경우에는, 도 89의 b, c 등의 감마 커브를 선택한다. 또한, 이상의 실시예에서는, 감마 커브를 선택하는 것으로 했지만, 실제로는, 감마 커브는 연산에 의해 발생시키므로 선택하는 것은 아니다.

감마 커브의 선택은, APL 레벨, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM)를 가미하여 행한다. 또한, duty비 제어, 기준 전류 제어도 가미하여 행한다.

도 90은 다점 꺾임 감마 커브의 실시예이다. 화상 데이터가 고계조에 집중하고 있는 경우에는, 고계조에서의 계조수를 많게 하기 위해서, 도 89의 n의 감마 커브를 선택한다. 화상 데이터가 저계조에 집중하고 있는 경우에는, 저계조에서의 계조수를 많게 하기 위해서, 도 89의 a의 감마 커브를 선택한다. 화상 데이터의 분포가 분산되어 있는 경우에는, 도 89의 b로부터 n-1의 감마 커브를 선택한다. 감마 커브의 선택은, APL 레벨, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM), 신 변화 비율, 신 변화량, 신 내용을 가미하여 행한다. 또한, duty비 제어, 기준 전류 제어도 가미하여 행한다.

표시 패널(표시 장치)이 사용하는 환경에 맞추어 선택하는 감마 커브를 변화시키는 것도 유효하다. 특히, EL 표시 패널에서는, 옥내에서는 양호한 화상 표시를 실현할 수 있지만, 옥외에서는 저계조부는 보이지 않는다. EL 표시 패널은 자발광이기 때문이다. 따라서, 도 91에 도시하는 바와 같이, 감마 커브를 변화시켜도 된다. 감마 커브 a는 옥내용의 감마 커브이다. 감마 커브 b는 옥외용의 감마 커브이다. 감마 커브 a와 b와의 절환은, 사용자가 스위치를 조작함으로써 절환하도록 한다. 또한, 외광의 밝기를 포토 센서로 검출하여, 자동적으로 절환하도록 해도 된다.

또한, 감마 커브를 절환하는 것으로 했지만, 이것에 한정되는 것은 아니다. 계산에 의해 감마 커브를 발생시켜도 되는 것은 물론이다. 옥외의 경우에는, 외광이 밝기 때문에, 저계조 표시부는 보이지 않는다. 따라서, 저계조부를 붕괴시키는 감마 커브 b를 선택하는 것이 유효하다.

옥외에서는, 도 92와 같이 감마 커브를 발생시키는 것도 유효하다. 감마 커브 a는 128계조제까지는 출력 계조는 0으로 한다. 128계조로부터 감마 변환을 행한다. 이상과 같이, 저계조부는 전혀 표시하지 않도록 감마 변환함으로써 소비 전력을 삭감할 수 있다. 또한, 도 92의 감마 커브 b와 같이 감마 변환을 행해도 된다. 도 92의 감마 커브는 128계조제까지는 출력 계조를 0으로 한다. 128 이상은 출력 계조를 512 이상으로 한다. 도 92의 감마 커브 b에서는 고계조부를 표시하고, 출력 계조수도 적게 하는 것에 의해 옥외에서도 화상 표시를 보이기 쉽게 하는 효과가 있다.

본 발명의 구동 방식에서는, duty비 제어와 기준 전류 제어에 의해 화상 휘도를 제어하고, 또한, 다이내믹 범위를 확대한다. 또한, 고콘트라스트 표시를 실현한다.

액정 표시 패널에서는, 백색 표시 및 흑색 표시는 백 라이트로부터의 투과율로 결정된다. 본 발명의 duty비 구동과 같이 표시 화면(144)에 비표시 영역(192)을 발생시키더라도, 흑색 표시에 있어서의 투과율은 일정하다. 반대로 비표시 영역(192)을 발생시키므로써, 1프레임 기간에 있어서의 백색 표시 휘도가 저하하기 때문에 표시 콘트라스트는 저하한다.

EL 표시 패널은, 흑색 표시에 있어서 EL 소자(15)에 흐르는 전류가 0인 상태(전류가 흐르지 않는 혹은 미소)이다. 따라서, 본 발명의 duty비 구동과 같이 표시 화면(144)에 비표시 영역(192)을 발생시키더라도, 흑색 표시의 휘도는 0이다. 비표시

영역(192)의 면적을 크게 하면 백색 표시 휘도는 저하한다. 그러나, 흑색 표시의 휘도가 0이므로, 콘트라스트는 무한대이다. 따라서, duty비 구동은, EL 표시 패널에 최적인 구동 방법이다. 이상의 것은, 기준 전류 제어에 있어서도 마찬가지이다. 기준 전류의 크기를 변화시키더라도, 흑색 표시의 휘도는 0이다. 기준 전류를 크게 하면 백색 표시 휘도는 증가한다. 따라서, 기준 전류 제어에 있어서도 양호한 화상 표시를 실현할 수 있다.

duty비 제어는, 전체 게조 범위에서 게조수가 유지되고, 또한, 전체 게조 범위에서 화이트 밸런스가 유지된다. 또한, duty비 제어에 의해 표시 화면(144)의 휘도 변화는 10배 가까이 변화시킬 수 있다. 또한, 변화는 duty비에 선형의 관계로 되므로 제어도 용이하다. 그러나, duty비 제어는, N배 펄스 구동이므로, EL 소자(15)에 흐르는 전류의 크기가 크고, 또한, 표시 화면(144)의 휘도에 관계없이, 항상 EL 소자에 흐르는 전류의 크기가 커져, EL 소자(15)가 열화하기 쉽다고 하는 과제가 있다.

기준 전류 제어는, 화면(144) 휘도를 높게 할 때에, 기준 전류량을 크게 하는 것이다. 따라서, 표시 화면(144)이 높을 때에 밖에, EL 소자(15)에 흐르는 전류는 커지지 않는다. 그 때문에, EL 소자(15)가 열화하기 어렵다. 과제는, 기준 전류를 변화시켰을 때의 화이트 밸런스 유지가 곤란한 경향이 강하다.

본 발명에서는, 기준 전류 제어와 duty비 제어의 양쪽을 이용한다. 단, 한쪽을 고정하고, 다른 쪽을 가변하는 제어도 있는 것은 물론이다. 표시 화면(144)이 백 래스터 표시에 가까울 때에는, 기준 전류는 일정값으로 고정하고, duty비만을 제어하여 표시 휘도 등을 변화시킨다. 표시 화면(144)이 흑 래스터 표시에 가까울 때에는, duty비는 일정값으로 고정하고, 기준 전류만을 제어시켜 표시 휘도 등을 변화시킨다. 물론, duty비를 작게 함과 함께, 기준 전류를 증대시켜, 표시 휘도를 일정하게 유지한 채로, 프로그램 전류 I_w 를 증가시켜도 된다.

일례로서, duty비 제어는, 점등률이 1/10 이상 1/1인 범위에서 실시한다. duty비 1/1에서, 백 래스터 표시이면, 점등률 100%이다(최대의 백 래스터 표시시). 흑 래스터이면, 점등률 0%이다(완전 흑 래스터 표시시).

점등률이라 함은, 패널의 애노드 또는 캐소드에 흐르는 최대 전류에 대한 비율이기도 하다(단, duty비는 1/1로 함). 예를 들면, 캐소드에 흐르는 최대 전류를 100mA라고 하면, duty비 1/1에 있어서, 30mA의 전류가 흐르고 있으면 $zsxd = 30/100 = 30\%$ (0.3)이다. 도 1 등의 화소 구성인 경우에는, 애노드에는 프로그램 전류가 가산되어 있기 때문에, 점등률의 계산에는 고려할 필요가 있다. 캐소드는 EL 소자에서 소비되는 전류뿐이다. 따라서, EL 표시 패널의 전 EL 소자(15)로 소비되는 전류는, 캐소드 단자에 흐르는 전류를 측정하는 쪽이 바람직하다.

또한, 캐소드에 흐르는 최대 전류를 100mA로 하고, 이 때, 영상 데이터의 총합의 최대값으로 하면, 점등률이라 함은 SUM 제어 혹은 APL 제어와는 동의이다. 점등률 50%라고 표현하면, 캐소드(애노드)에 흐르는 전류가 최대의 50%라는 것을 의미하고, 점등률 20%라고 표현하면, 캐소드에 흐르는 전류가 최대의 20%라는 것을 의미한다는 것처럼 크기가 이해하기 쉬우므로, 금후에는 주로 점등률의 용어를 이용한다. 단, 캐소드(애노드) 단자에 흐르는 전류의 최대값은, 설계상, 단자에 흐르는 최대 전류이고, 상대적인 크기이다. 예를 들면, 설계값이 작으면 최대값은 작다.

점등률은, 패널의 애노드 또는 캐소드에 흐르는 최대 전류에 대한 비율이라고 했지만, 패널의 전체 EL 소자에 흐르는 최대 전류의 비율이라고도 바꿔 말할 수 있는 것은 물론이다.

본 명세서에서는, 점등률이라고 언급없이 기재할 때에는, duty비 1/1로 하고 있다. 만일, duty비 1/3에서, 20mA의 전류가 흐르고 있으면, 점등률은 $(20mA \times 3)/100mA = 60\%$ (0.6)이다. 즉, 점등률이 100%라도, duty비가 1/2이면, 애노드(캐소드) 단자에 흐르는 전류는 최대값의 1/2이다. 점등률 50%, 애노드 전류가 20mA, duty비 1/1이면, duty비 1/2로 되면, 애노드 전류는 10mA로 된다. 애노드 전류가 100mA, 점등률 40%, duty비 1/1이면, 애노드 전류가 200mA로 변화했다고 하면, 점등률은 80%로 변화한 것을 의미한다. 이상과 같이, 점등률은, 1화면을 구성하는 영상 데이터의 크기에 대한 비율, EL 표시 패널의 소비 전류(전력) 혹은 그 비율을 나타내고 있다.

이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 도 2, 도 7, 도 11, 도 12, 도 13, 도 28, 도 31 등의 다른 화소 구성의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.

점등률에 의한 기준 전류 제어, duty비 제어는 EL 표시 패널에만 적용되는 것은 아니고, 자기 발광 표시 패널이면 적용할 수 있는 것은 물론이다. 예를 들면, FED 표시 패널이 예시된다.

일례로서 점등률(점등률)은, 영상 데이터의 합으로부터 구한다. 즉, 영상 데이터로부터 산출한다. 입력 영상 신호가 Y, U, V인 경우에는, Y(휘도) 신호로부터 구해진다. 그러나, EL 표시 패널인 경우에는, R, G, B에서 발광 효율이 서로 다르기

때문에, Y 신호로부터 구한 값이 소비 전력으로 되지 않는다. 따라서, Y, U, V 신호인 경우도, 한번 R, G, B 신호로 변환하고, R, G, B에 따라서 전류로 환산하는 계수를 곱하여, 소비 전류(소비 전력)를 구하는 것이 바람직하다. 그러나, 간이적으로 Y 신호로부터 소비 전류를 구하는 것은 회로 처리가 용이하게 되는 것도 고려해도 된다.

점등률은, 패널에 흐르는 전류로 환산되어 있는 것으로 한다. 왜냐하면, EL 표시 패널에서는 B의 발광 효율이 나쁘기 때문에, 바다(海)의 표시 등이 표시되면, 소비 전력이 즉시 증가하기 때문이다. 따라서, 최대값은, 전원 용량의 최대값이다. 또한, 데이터 합이라 함은 단순한 영상 데이터의 가산값이 아니고, 영상 데이터를 소비 전류로 환산한 것으로 하고 있다. 따라서, 점등률도 최대 전류에 대한 각 화상의 사용 전류로부터 구해진 것이다.

여기서는 설명을 용이하게 하기 위해서, duty비의 최대는 duty비 1/1로 한다. 기준 전류는, 1배에서 3배로 변화시키는 것으로 한다. 또한, 데이터 합은 표시 화면(144)의 데이터의 총합을 의미하고, (데이터 합)의 최대값은, 최대 휘도에서의 백 래스터 표시에서의 화상 데이터의 총합인 것으로 한다. 또한, duty비 1/1까지 사용할 필요가 없는 것은 물론이다. duty비 1/1은 최대값으로서 기재하고 있다. 본 발명의 구동 방법에서는, 최대의 duty비를 210/220 등으로 설정해도 되는 것은 물론이다.

duty비=1/1인 경우, 점등률 0%로 하는 의미는, N배 펄스 구동을 실시하고 있지 않은 것이 된다. 왜냐하면, 1/1이 최대 휘도 표시이고, N배 펄스 구동에 의해, 프로그램 전류의 기입 개선을 실시하고 있지 않기 때문이다. 점등률 100%로 됨에 따라서, duty비를 1/n로 하고, n을 크게 하는 것은, 프로그램 전류의 기입 개선에 하등 기여하지 않는다. 단, 패널의 소비 전력을 저감하기 위해 실시하고 있을 뿐이다. 이것은, N배 펄스 구동에는 duty비 1/1을 실시하는 것이 포함되지 않기 때문에 용이하게 이해할 수 있다. 본 발명은, 점등률이 낮을 (duty비가 1/1에 근접할) 때에, 기준 전류를 1 이상으로 하고, 화면을 고휘도화한다. 이 동작으로부터도 N배 펄스 구동의 실시에는 해당하지 않는다.

duty비의 최대는 duty비 1/1로 하고, 최소는 duty비 1/16 이내로 하는 것이 바람직하다. 더욱 바람직하게는, duty비 1/10 이내로 하면 된다. 플리커의 발생을 억제할 수 있기 때문이다. 기준 전류의 변화 범위는, 4배 이내로 하는 것이 바람직하다. 더욱 바람직하게는 2.5배 이내로 한다. 기준 전류의 배수를 지나치게 크게 하면, 기준 전류 발생 회로의 선형성이 없어져, 화이트 밸런스 어긋남이 발생하기 때문이다.

점등률 1%라 함은, 일례로서 1/100의 백 윈도우 표시이다(duty비 1/1). 자연 화상에서는, 화상 표시하는 화소의 데이터 합이, 백 래스터 표시의 1/100로 환산할 수 있는 상태를 의미한다. 따라서, 100 화소당의 1점의 백 휘점 표시도 점등률이 1%이다.

이하의 설명에서는, 최대값은 백 래스터의 화상 데이터의 가산값으로 했지만, 이것은 설명을 용이하게 하기 위해서이다. 최대값은 화상 데이터의 가산 처리 혹은 APL 처리 등에서 발생하는 최대값이다. 따라서, 점등률이라 함은, 처리를 행하는 화면의 화상 데이터의 최대값에 대한 비율로 있다.

데이터 합은 소비 전류로 산정할지, 휘도로 산정할지는 어느 쪽이어도 된다. 여기서는 설명을 용이하게 하기 위해서, 휘도(화상 데이터)의 가산인 것으로서 설명을 한다. 일반적으로 휘도(화상 데이터)의 가산의 방식이 처리는 용이하고, 컨트롤러 IC의 하드 규모도 작게 할 수 있다. 또한, duty비 제어에 의한 플리커의 발생도 없어, 다이내믹 범위를 넓게 취할 수 있어 바람직하다.

여기서, 주로 도 93~116을 참조하면서, 화소가 매트릭스 형상으로 형성된 EL 표시 장치의 구동 방법으로서, EL 표시 장치에 인가되는 영상 신호의 크기 등으로부터 점등률 등을 구하고, 점등률 등에 대응하여 흐르는 전류를 제어하는, EL 표시 장치의 구동 방법에 대하여 설명한다.

도 93은 본 발명의 기준 전류 제어와 duty비 제어를 실시한 예이다. 도 93에서는 점등률이 1/100 이하에서는 기준 전류의 배율을 3배까지 변화시키고 있다. 점등률 1% 이상에서 duty비를 1/1에서 1/8까지 변화시키고 있다. 또한, 점등률 1% 이하에서 기준 전류를 1에서 3배까지 변화시키고 있다. 따라서, 점등률의 값에 따라, duty비 제어에서 8배, 기준 전류 제어에서 3배이므로, $8 \times 3 = 24$ 배의 변화가 실시되고 있다. 기준 전류 제어 및 duty비 제어는 모두 화면 휘도를 변화시키므로, 24배의 다이내믹 범위가 실현되어 있는 것으로 된다.

도 93에 있어서, 점등률이 100%에서는 duty비가 1/8이다. 따라서, 표시 휘도는 최대값의 1/8로 되어 있다. 점등률이 100%이므로, 백 래스터 표시이다. 즉, 백 래스터 표시에서는 표시 휘도가 최대의 1/8로 저하하고 있다. 표시 화면(144)의 1/8이 표시(점등) 영역(193)이고, 비표시 영역(192)이 7/8을 차지하고 있다. 점등률이 100%에 가까운 화상은, 대부분의

화소(16)가 고계조 표시이다. 히스토그램으로 표현하면, 히스토그램의 고계조 영역에 대다수의 데이터가 분포하고 있다. 이 화상 표시에서는, 화상이 새하얗게 된 상태로써 농담감이 없다. 그 때문에, 도 90 등의 감마 커브의 n 또는 n 에 가까운 것이 선택된다. 즉, 점등률의 값에 따라 감마 커브를 동적으로 변화시킨다.

점등률이 1%에서는, duty비는 1/1이다. 표시 화면(144)의 전체가 표시 영역(193)이다. 따라서, duty비 제어에 의한 화면 휘도 제어는 실시되어 있지 않다. EL 소자(15)의 발광 휘도가 그대로 표시 화면(144)의 표시 휘도로 된다. 화상 표시는 대부분이 흑색 표시이고, 일부에 화상이 표시되어 있는 상태이다. 이미지로 표현하면, 점등률이 1% 화상 표시라 함은, 캄캄한 밤하늘에 별이 나와 있는 화상이다. 이 화상에서 duty비를 1/1로 한다는 것은, 별의 부분은, 점등률 100%의 백 래스터의 휘도의 8배의 휘도로 표시되게 된다. 따라서, 다이내믹 범위가 넓은 화상 표시를 실현할 수 있다. 화상 표시되어 있는 것은 1/100의 영역이므로, 1/100의 영역의 휘도를 8배로 했다고 하더라도 소비 전력의 증가는 근소하다. 점등률이 1% 이하에서는 기준 전류를 증가시킨다. 예를 들면, 점등률 0.1%에서는 기준 전류비는 2이다. 따라서, 점등률 1%일 때와 비교하여 2배의 휘도로 표시된다. 즉, 별의 부분은, 점등률 100%의 백 래스터의 휘도의 8×2 배의 휘도로 표시되게 된다.

이상과 같이, 저점등률로 기준 전류를 증가시킴으로써, 표시 화소의 휘도를 증대할 수 있다. 이 처리에 의해 화상에 광택감이 생겨, 깊이가 깊은 화상 표시를 실현할 수 있다.

점등률이 1%에 가까운 화상에서, 대부분의 화소(16)가 저계조 표시인 경우에는, 히스토그램으로 표현하면, 히스토그램의 저계조 영역에 대다수의 데이터가 분포해 있다. 이 화상 표시에서는, 화상이 흑색 붕괴 상태로써 농담감이 없다. 그 때문에, 도 90 등의 감마 커브의 b 또는 b 에 가까운 것이 선택된다.

이상과 같이 본 발명의 구동 방법은, duty비가 커짐에 따라서, 감마의 x 승수를 크게 하는 구동 방법이다. duty비가 작아짐에 따라서, 감마의 x 승수를 작게 하는 구동 방법이다.

도 93에서는 점등률이 1% 이하에서는 기준 전류의 배율을 3배까지 변화시키고 있다. 점등률이 1% 이하에서는 duty비가 1/1로서, duty비에 의해 화면 휘도를 높게 하고 있다. 점등률이 1%보다 작아짐에 따라서, 기준 전류의 배율을 크게 하고 있다. 따라서, 발광하고 있는 화소(16)는 보다 고휘도로 발광한다. 예를 들면, 점등률이 0.1%라 함은, 이미지로 표현하면, 캄캄한 밤하늘에 별이 나와 있는 화상이다. 이 화상에서 duty비를 1/1로 한다는 것은, 별의 부분은, 백 래스터의 휘도의 $8 \times 2 = 16$ 배의 휘도로 표시되게 된다. 따라서, 다이내믹 범위가 넓은 화상 표시를 실현할 수 있다. 화상 표시되어 있는 것은 0.1%의 영역이므로, 0.1%의 영역의 휘도를 16배로 했다고 하더라도 소비 전력의 증가는 근소하다.

기준 전류의 제어는 화이트 밸런스를 유지하는 것이 어렵다고 하는 점이다. 그러나, 캄캄한 밤하늘에 별이 나와 있는 화상에서는 화이트 밸런스가 어긋나 있어도 시각적으로는 화이트 밸런스 어긋남은 인식되지 않는다. 이상의 점으로부터, 점등률이 매우 작은 범위에서, 기준 전류 제어를 행하는 본 발명은 적절한 구동 방법이다.

도 93에서는, 기준 전류의 변화 및 duty비 제어의 변화는 직선적으로 도시하고 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 기준 전류의 배율 제어, duty비 제어를 곡선적으로 해도 된다. 도 94에서는, 횡축의 점등률이 대수(對數)이므로, 기준 전류 제어 및 duty비 제어의 선이 곡선으로 되는 것은 자연스럽다. 점등률과 기준 전류 배율의 관계, 점등률과 duty비 제어의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다.

도 93, 도 94는, RGB의 duty비 제어, 기준 전류 제어를 동일하게 한 실시예이다. 본 발명은, 이것에 한정되는 것은 아니다. 도 95에 도시하는 바와 같이, RGB에서 기준 전류 배율의 기울기를 변화시켜도 된다. 도 95에서는, 청색(B)의 기준 전류 배율의 변화의 기울기를 가장 크게 하고, 녹색(G)의 기준 전류 배율의 변화의 기울기를 다음으로 크게 하고, 적색(R)의 기준 전류 배율의 변화의 기울기를 가장 작게 하고 있다. 기준 전류를 크게 하면, EL 소자(15)에 흐르는 전류도 커진다. EL 소자는 RGB에서 발광 효율이 서로 다르다. 또한, EL 소자(15)에 흐르는 전류가 커지면 인가 전류에 대한 발광 효율이 나빠진다. 특히, B에서는 그 경향이 현저하다. 그 때문에, RGB에서 기준 전류량을 조정하지 않으면 화이트 밸런스를 취할 수 없게 된다. 따라서, 도 95와 같이, 기준 전류 배율을 크게 했을 때(각 RGB의 EL 소자(15)에 흐르는 전류가 큰 영역)에는, 화이트 밸런스를 유지할 수 있도록 RGB의 기준 전류 배율을 다르게 하는 것이 유효하다. 점등률과 기준 전류 배율의 관계, 점등률과 duty비 제어의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다.

도 95는 기준 전류 배율을 RGB에서 다르게 한 실시예였다. 도 96은 duty비 제어도 다르게 하고 있다. 점등률을 1% 이상에서 B와 G의 기울기를 동일하게 하고, R의 기울기를 작게 하고 있다. 또한, G와 R은 1% 이하에서 duty비 1/1이지만, B는 1% 이하에서 duty비 1/2로 하고 있다. 또한, 도 96은 기준 전류도 다르게 하고 있다. 점등률을 1% 이하에서 B의 기울기를

가장 크게 하고, R의 기울기를 가장 작게 하고 있다. 이상과 같이 구동(제어)하면, RGB의 화이트 밸런스 조정을 최적으로 할 수 있다. 점등률과 기준 전류 배율의 관계, 점등률과 duty비 제어의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다. 또한, 유저가 자유롭게 설정 혹은 조정할 수 있도록 구성하는 것이 바람직하다.

도 93 내지 도 96은, 일례로서 점등률 1%를 경계로 기준 전류 배율과 duty비를 변화시키는 방법이었다. 점등률을 일정한 값을 경계로 해서, 기준 전류 배율과 duty비를 변화시키고, 기준 전류 배율을 변화시키는 영역과 duty비를 변화시키는 영역이 중첩되지 않도록 하고 있다. 이와 같이 구성함으로써 화이트 밸런스의 유지가 용이하다. 즉, 점등률이 1% 이상에서 duty비를 변화시키고, 점등률이 1% 이하에서 기준 전류를 변화시키고 있다. 기준 전류 배율을 변화시키는 영역과 duty비를 변화시키는 영역이 중첩되지 않도록 하고 있다. 이 방법은, 본 발명의 특징 있는 방법이다.

점등률이 1% 이상에서 duty비를 변화시키고, 점등률이 1% 이하에서 기준 전류를 변화시킨 것으로 했지만, 반대의 관계라도 된다. 예를 들면, 점등률이 1% 이하에서 duty비를 변화시키고, 점등률이 1% 이상에서 기준 전류를 변화시켜도 된다. 또한, 점등률이 1% 이상에서 duty비를 변화시키고, 점등률이 1% 이하에서 기준 전류를 변화시키고, 점등률이 1% 이상 10% 이하에서는, 기준 전류 배율 및 duty비를 일정값으로 해도 된다.

경우에 따라서는, 본 발명은 이상의 방법에 한정되지 않는다. 도 97에 도시하는 바와 같이 점등률이 1% 이상에서 duty비를 변화시키고, 점등률이 10% 이하에서 B의 기준 전류를 변화시켜도 된다. B의 기준 전류 변화와 RGB의 duty비의 변화를 오버랩시키고 있다.

빠른 스피드로 밝은 화면과 어두운 화면을 교대로 반복할 때, 변화에 따라서 duty비를 변화시키면 플리커가 발생한다. 따라서, 임의의 duty비로부터 다른 duty비로 변화할 때에는, 히스테리시스(시간 지연)를 마련하여 변화시키는 것이 바람직하다. 예를 들면, 히스테리시스 기간을 1sec로 하면, 1sec 기간 내에, 화면 휘도가 밝고 어둡지만 복수회 반복되더라도, 이전의 duty비가 유지된다. 즉, duty비는 변화하지 않는다. 이 히스테리시스(시간 지연) 시간을 Wait 시간이라고 부른다. 또한, 변화 전의 duty비를 변화 전 duty비라고 부르고, 변화 후의 duty비를 변화 후 duty비라고 부른다.

변화 전 duty비가 작은 상태에서부터, 다른 duty비로 변화할 때에는, 변화에 의한 플리커의 발생이 발생하기 쉽다. 변화 전 duty비가 작은 상태는, 표시 화면(144)의 데이터 합이 작은 상태 혹은 표시 화면(144)에 흑색 표시부가 많은 상태이다. 따라서, 표시 화면(144)이 중간조의 표시에서 시감도가 높기 때문이라고 생각된다. 또한, duty비가 작은 영역에서는, 변화 duty비와의 차가 커지는 경향이 있기 때문이다. 물론, duty비의 차가 커질 때에는, OEV2 단자를 이용하여 제어한다. 그러나, OEV2 제어에도 한계가 있다. 이상의 점으로부터, 변화 전 duty비가 작을 때에는, wait 시간을 길게 할 필요가 있다.

변화 전 duty비가 큰 상태에서부터, 다른 duty비로 변화할 때에는, 변화에 의한 플리커의 발생이 발생하기 어렵다. 변화 전 duty비가 큰 상태는, 표시 화면(144)의 데이터 합이 큰 상태 혹은 표시 화면(144)에 백색 표시부가 많은 상태이다. 따라서, 표시 화면(144) 전체가 백색 표시에서 시감도가 낮기 때문이라고 생각된다. 이상의 점으로부터, 변화 전 duty비가 클 때에는, wait 시간은 짧아도 된다.

이상의 관계를 도 94에 도시한다. 횡축은 변화 전 duty비이다. 종축은 Wait 시간(초)이다. duty비가 1/16 이하에서는, Wait 시간을 3초(sec)로 길게 하고 있다. duty비가 1/16 이상 duty비 8/16(=1/2)에서는, duty비에 따라서 Wait 시간을 3초에서 2초로 변화시킨다. duty비 8/16 이상 duty비 16/16=1/1 에서는, duty비에 따라서 2초에서 0초로 변화시킨다.

이상과 같이, 본 발명의 duty비 제어는 duty비에 따라서 Wait 시간을 변화시킨다. duty비가 작을 때에는 Wait 시간을 길게 하고, duty비가 클 때에는 Wait 시간을 짧게 한다. 즉, 적어도 duty비를 가변하는 구동 방법으로서, 제1 변화 전의 duty비가 제2 변화 전의 duty비보다 작고, 제1 변화 전의 duty비의 Wait 시간이, 제2 변화 전의 duty비의 Wait 시간보다 길게 설정하는 것을 특징으로 하는 것이다.

이상의 실시예에서는, 변화 전 duty비를 기준으로 하여 Wait 시간을 제어 혹은 규정하는 것으로 했다. 그러나, 변화 전 duty비와 변화 후 duty비와의 차는 근소하다. 따라서, 상술한 실시예에 있어서 변화 전 duty비를 변화 후 duty비라고 재판 독해도 된다.

이상의 실시예에 있어서, 변화 전 duty비와 변화 후 duty비를 기준으로 하여 설명했다. 변화 전 duty비와 변화 후 duty비와의 차가 클 때에는 Wait 시간을 길게 취할 필요가 있는 것은 물론이다. 또한, duty비의 차가 클 때에는, 중간 상태의 duty비를 경유하여 변화 후 duty비로 변화시키는 것이 양호한 것은 물론이다.

본 발명의 duty비 제어 방법은, 변화 전 duty비와 변화 후 duty비와의 차가 클 때에는 Wait 시간을 길게 취하는 구동 방법이다. 즉, duty비의 차에 따라서 Wait 시간을 변화시키는 구동 방법이다. 또한, duty비의 차가 클 때에 Wait 시간을 길게 취하는 구동 방법이다.

본 발명의 duty비의 방법은, duty비의 차가 클 때에는, 중간 상태의 duty비를 경유하여 변화 후 duty비로 변화시키는 것을 특징으로 하는 구동 방법이다.

도 93, 도 94 등의 실시예에서는, duty비에 대한 Wait 시간을, R(적색)G(녹색)B(청색)에서 동일하게 하는 것으로서 설명했다. 그러나, 본 발명은, 도 98에 도시하는 바와 같이 RGB에서 Wait 시간을 변화시켜도 되는 것은 물론이다. RGB에서 민감도가 다르기 때문이다. 민감도에 맞추어 Wait 시간을 설정함으로써, 보다 양호한 화상 표시를 실현할 수 있다.

이하의 설명에서는, 최대값이라 함은 백 래스터의 화상 데이터의 가산값으로 했다. 이것은 설명을 용이하게 하기 위해서이다. 최대값은 화상 데이터의 가산 처리 혹은 APL 처리 등에서 발생하는 최대값이다. 따라서, 점등률이라 함은, 처리를 행하는 화면의 화상 데이터의 최대값에 대한 비율이다.

단, 데이터 합이라 함은, 1화면의 데이터를 정확하게 가산하는 것을 필요로 하지 않는다. 1화면을 샘플링한 화소의 데이터의 가산값으로부터 1화면의 가산값을 추정(예측)한 것이어도 된다. 또한, 최대값도 마찬가지이다. 또한, 복수 필드 혹은 복수 프레임로부터의 예측값 혹은 추정값이어도 된다. 또한, 화상 데이터의 가산뿐만 아니라, 영상 데이터를 로우 패스 필터 회로에 의해 APL 레벨을 구하고, 이 APL 레벨을 데이터 합으로 해도 된다. 이 때의 최대값은, 최대 진폭의 영상 데이터가 입력되었을 때의 APL 레벨의 최대값이다.

데이터 합은 표시 패널의 소비 전류로 산정할지, 휘도로 산정할지는 어느 쪽이어도 된다. 여기서는 설명을 용이하게 하기 위해서, 휘도(화상 데이터)의 가산인 것으로서 설명을 한다. 일반적으로 휘도(화상 데이터)의 가산의 방식이 처리는 용이하다.

도 99는 횡축을 점등률로 하고 있다. 최대값은 100%이다. 종축은 duty비이다. 점등률=100%는, 전체 화소행이 최대의 백색 표시 상태이다. 점등률이 작을 때에는, 어두운 화면 혹은 표시(점등) 영역이 적은 화면이다. 이때에는, duty비를 크게 하고 있다. 따라서, 화상을 표시하고 있는 화소의 휘도는 높다. 그 때문에, 화상의 다이내믹 범위가 확대되어 고화질 표시된다. 점등률이 클 때(최대값은 100%)는, 밝은 화면 혹은 표시(점등) 영역이 넓은 화면이다. 이때에는, duty비를 작게 하고 있다. 따라서, 화상을 표시하고 있는 화소의 휘도는 낮다. 그 때문에, 저소비 전력화가 가능하다. 화면으로부터 방사되는 광량은 크기 때문에, 화상이 어렵게 느껴지는 일은 없다.

도 99에서는, 점등률이 100%일 때에, 도달하는 duty비값을 변화시키고 있다. 예를 들면, duty비=1/2은 화면의 1/2이 화상 표시 상태로 된다. 따라서, 화상은 밝다. duty비=1/8은 화면의 1/8이 화상 표시 상태로 된다. 따라서, duty비=1/2과 비교하여 1/4의 밝기이다.

본 발명의 구동 방식에서는, 점등률, duty비, 기준 전류, 데이터 합 등에 의해 화상 휘도를 제어하고, 또한, 다이내믹 범위를 확대한다. 또한, 고콘트라스트 표시를 실현한다.

액정 표시 패널에서는, 백색 표시 및 흑색 표시는 백 라이트로부터의 투과율로 결정된다. 본 발명의 구동 방법과 같이 화면에 비표시 영역을 발생시키더라도, 흑색 표시에 있어서의 투과율은 일정하다. 반대로 비표시 영역을 발생시킴으로써, 1프레임 기간에 있어서의 백색 표시 휘도가 저하하기 때문에 표시 콘트라스트는 저하한다.

EL 표시 패널은, 흑색 표시는, EL 소자에 흐르는 전류가 0인 상태이다. 따라서, 본 발명의 구동 방법과 같이 화면에 비표시 영역을 발생시키더라도, 흑색 표시의 휘도는 0이다. 비표시 영역의 면적을 크게 하면 백색 표시 휘도는 저하한다. 그러나, 흑색 표시의 휘도가 0이므로, 콘트라스트는 무한대이다. 따라서, 양호한 화상 표시를 실현할 수 있다.

본 발명의 구동 방법에서는, 전체 계조 범위에서 계조수가 유지되고, 또한, 전체 계조 범위에서 화이트 밸런스가 유지된다. 또한, duty비 제어에 의해 화면의 휘도 변화는 10배 가까이 변화시킬 수 있다. 또한, 변화는 duty비에 선형의 관계로 되기 때문에 제어도 용이하다. 또한, R, G, B를 동일 비율로 변화시킬 수 있다. 따라서, 어떤 duty비에 있어서도 화이트 밸런스는 유지된다.

점등률과 duty비의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다. 또한, 사용자가 자유롭게 설정 혹은 조정할 수 있도록 구성하는 것이 바람직하다.

이상의 절환 동작은, 휴대 전화, 모니터 등의 전원을 온했을 때에, 표시 화면을 매우 밝게 표시하고, 일정한 시간을 경과한 후에는, 전력 세이브를 위해, 표시 휘도를 저하시키는 구성에 이용한다. 표시 휘도를 저하시키기 위해서, duty비를 작게 하거나, 또는 기준 전류를 작게 한다. 혹은, duty비를 또는 기준 전류 중 어느 한쪽을 작게 한다. 기준 전류 또는 duty비를 작게 함으로써 EL 표시 패널의 소비 전력을 저하시킬 수 있다. ·

이상의 제어는 사용자가 희망하는 밝기로 설정하는 기능으로서도 이용할 수 있다. 예를 들면, 옥외 등에서는, 화면을 매우 밝게 한다. 옥외에서는 주변이 밝고, 화면이 전혀 보이지 않게 되기 때문이다. 즉, 옥외에서는, 도 99의 a의 커브를 선택한다. 그러나, 높은 휘도로 계속 표시하면 EL 소자는 급격하게 열화한다. 그 때문에, 매우 밝게 하는 경우에는, 단시간에 통상의 휘도로 복귀시키도록 구성해 둔다. 예를 들면, 통상에서는, c의 커브를 선택한다. 또한, 고휘도로 표시시키는 경우에는, 사용자가 버튼을 누르는 것에 의해 표시 휘도를 높게 할 수 있도록 구성해 둔다.

따라서, 사용자가 버튼으로 절환할 수 있도록 해 두거나, 설정 모드로 자동적으로 변경할 수 있거나, 외광의 밝기를 검출하여 자동적으로 절환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80%로 유저 등이 설정할 수 있도록 구성해 두는 것이 바람직하다. 또한, 외부의 마이크로컴퓨터 등에 의해, duty비 커브, 기울기 등을 재기입하도록 구성하는 것이 바람직하다. 또한, 메모리된 복수의 duty비 커브로부터 1개를 선택할 수 있도록 구성하는 것이 바람직하다.

또한, duty비 커브 등의 선택은, APL 레벨, 최대 휘도(MAX), 최소 휘도(MIN), 휘도의 분포 상태(SGM) 중 1개 혹은 복수개를 가미하여 행하는 것이 바람직한 것은 물론이다.

이상과 같이, 예를 들면, a는 옥외용의 커브이다. c는 옥내용의 커브이다. b는 옥내와 옥외와의 중간 상태용의 커브이다. 커브 a, b, c의 절환은, 사용자가 스위치를 조작함으로써 절환하도록 한다. 또한, 외광의 밝기를 포토 센서로 검출하여, 자동적으로 절환하도록 해도 된다. 또한, 감마 커브를 절환하는 것으로 했지만, 이것에 한정되는 것은 아니다. 계산에 의해 감마 커브를 발생시켜도 되는 것은 물론이다.

도 99의 duty비는 직선이지만, 이것에 한정되는 것은 아니다. 도 100에 도시하는 바와 같이, 1점 꺾임 커브로 해도 된다. 즉, 점등률에 따라서 duty비의 기울기를 변화시킨다. 물론, duty비 커브는 곡선으로 해도 되고, 다점 꺾임 커브로 해도 된다. 또한, 외광 혹은 화상의 종류에 따라 리얼타임으로 duty비 커브를 변화시켜도 된다. 이상의 사항은, 기준 전류의 변화 제어에 있어서도 마찬가지이다.

표시 패널의 소비 전력 저감이 필요한 경우에는, 도 100의 c커브를 선택한다. 소비 전력이 저감하는 효과가 발휘된다. 표시 휘도는 저하하지만, 계조수 등의 화상 표시의 저하는 없다. 높은 표시 휘도가 필요한 경우에는, 도 100의 a커브를 선택한다. 화상의 표시가 밝아지고, 또한, 플리커의 발생이 적어진다. 소비 전력은 증대하지만, 계조수 등의 화상 표시의 저하는 없다.

본 발명의 다른 실시예에 있어서, duty비의 변화는, 점등률이 1/10 이상의 범위에서 실시한다(도 101을 참조할 것). 점등률이 1에 가까운 화상의 발생은 적고, 도 99와 같이 점등률이 100까지, duty비가 변화하도록 구동하면, 화상 표시가 어렵게 느껴지기 때문이다. 더욱 바람직하게는, duty비의 변화는 점등률이 8/10 이상인 범위에서 실시한다.

자연 화상에서는, 점등률이 20% 내지 40%의 화상이 많다. 따라서, 이 범위에서는 duty비가 큰 쪽이 바람직하다. 한편, 점등률이 높은 (60% 이상)에서는 소비 전력이 커서 EL 표시 패널이 발열하여 열화하는 경향으로 된다. 따라서, 점등률이 20% 내지 40%인 범위 혹은 근방에서는 duty비 1/1 혹은 그 근방으로 하고, 점등률이 60% 혹은 그 근방 이상에서는, duty비를 1/1보다 작게 하도록 제어하는 것이 바람직하다.

도 101에서는, 점등률이 0.9 이하에서는 duty비를 1/1로부터 1/5까지 변화시키고 있다. 따라서, 5배의 다이내믹 범위가 실현되고 있게 된다. 도 101에 있어서, 점등률이 0.9 이상에서는 duty비가 1/5이다. 따라서, 표시 휘도는 최대값 휘도의 1/5로 되어 있다. 점등률 100%은 백 래스터 표시이다. 즉, 백 래스터 표시에서는 표시 휘도가 최대 휘도의 1/5로 저하하고 있다.

점등률이 10% 이하에서는, duty비는 1/1이다. 화면의 1/10이 표시 영역(백 윈도우 등의 경우)이다. 물론, 자연 화상에서는, 어두운 부분이 많은 화상이다. duty비가 1/1에서는, 비점등 영역(192)이 없기 때문에, EL 소자의 발광 휘도가 그대로 화소의 표시 휘도로 된다.

점등률 10%이하 함은 이미지적으로는 화상 표시는 대부분이 흑색 표시이고, 일부에 화상이 표시되어 있는 상태이다. 예를 들면, 점등률이 10% 이하의 화상 표시라 함은, 캄캄한 밤하늘에 달이 나와 있는 화상이다(설명을 위한 참고 이미지 화상 예이다. 백 윈도우에서는, 1/10 백 윈도우 표시이다). 이 화상에서 duty비를 1/1로 한다는 것은, 달의 부분은, 백 래스터의 휘도(도 101에서 점등률 100%에서의 휘도)의 5배의 휘도로 표시되게 된다. 따라서, 다이내믹 범위가 넓은 화상 표시를 실현할 수 있다. 화상 표시되어 있는 것은 1/10의 영역이므로, 1/10의 영역의 휘도를 5배로 했다고 하더라도 소비 전력의 증가는 근소하다.

이상과 같이, 본 발명에서는 점등률이 낮은 화상에서는, duty비를 1/1 혹은 비교적 크게 하고 있다. duty비 1/1에서는 발광하고 있는 화소는 항상 전류가 흐르고 있다. 따라서, 1개의 화소로부터 보면 소비 전류가 크다. 그러나, EL 표시 패널에 있어서, 발광하고 있는 화소가 적기 때문에, EL 표시 패널 전체로부터 보면, 소비 전력의 증가는 거의 없다. EL 표시 패널에서는 흑색 부분은 완전 흑색(비발광)이다. 따라서, duty비 1/1에서 최고 휘도를 표시할 수 있으면 다이내믹 범위를 확대할 수 있어, 농담이 있는 양호한 화상 표시를 실현할 수 있다.

한편, 본 발명에서는 점등률이 높은 화상에서는, duty비를 1/5 등 비교적 작게 하고 있다. 또한, 점등률에 따라서, duty비가 작아지도록 제어를 행한다. duty비가 작을 때에는 발광하고 있는 화소는 간헐 전류가 흐르고 있다. 따라서, 1개의 화소의 소비 전류는 작다. EL 표시 패널에 있어서, 발광하고 있는 화소는 많지만, 1화소당의 소비 전류가 적기 때문에, EL 표시 패널 전체로부터 보면, 소비 전력의 증가는 적다.

이상과 같이 점등률에 대하여 duty비를 제어하는 본 발명의 구동 방법은 EL 표시 패널 등의 자기 발광 표시 패널에 최적인 구동 방법이다. duty비가 작아지면 화상 휘도는 작아지지만, 화면 전체로서 발생 광속이 많기 때문에, 어둡게 되었다고 하는 고조는 느낄 수 없다.

이상과 같이, duty비 제어와, 기준 전류 제어의 한쪽 또는 양쪽을 실시함으로써, 화상의 콘트라스트비를 확대할 수 있고, 다이내믹 범위가 확대되어, 저소비 전력화를 실현할 수 있다.

이상의 제어는 점등률을 이용하여 행한다. 점등률은 앞서서도 설명했지만, 통상의 구동(duty비 1/1)에서는, 애노드 또는 캐소드에 유입되는(유출되는) 전류의 크기이다. 점등률이 증가하면 비례하여 애노드 또는 캐소드 단자의 전류는 증가한다. 상기 전류는 기준 전류의 크기에 비례하여 증감하고, 또한, duty비에 비례하여 증감한다. 또한, 본 발명은 duty비, 기준 전류는 점등률에 따라 변화시키는 것에 특징이 있다. 즉, duty비, 기준 전류는 고정이다. 화상의 표시 상태에 따라서 적어도 복수의 상태로 변화시킨다.

점등률이 0에 가까운 화상은, 대부분의 화소가 저계조 표시이다. 히스토그램으로 표현하면, 히스토그램의 저계조 영역에 대다수의 데이터가 분포하고 있다. 이 화상 표시에서는, 화상이 흑색 붕괴 상태로서 농담감이 없다. 그 때문에, 감마 커브를 제어하여 흑색 표시부의 다이내믹 범위를 넓게 한다.

이상의 실시예에서는, 점등률이 0에서는, duty비를 1/1로 하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 102에 도시하는 바와 같이, duty비를 1보다 작은 값으로 되도록 해도 되는 것은 물론이다. 도 102에서는, 실선은 점등률 0에서, duty비=0.8, 점선은 점등률 0에서, duty비=0.6이다.

duty비의 커브는 도 103에 도시하는 바와 같이 곡선으로 되도록 해도 된다. 또한, 곡선이라 함은, 사인 커브 형상, 원호 형상, 삼각 형상이 예시된다.

duty비에 최대값을 마련하는 경우에는, 적어도 점등률 20% 이상 50% 이하의 범위에서 어느 하나의 위치에서 최대값으로 되도록 하는 것이 바람직하다. 이 범위는, 화상 표시에서 자주 출현한다. 따라서, duty비를 1/1 등, 다른 점등률의 범위보다 크게 함으로써, 화상이 고휘도 표시하고 있는 것처럼 인식되기 때문이다. 예를 들면, 점등률 35%에서 duty비를 1/1로 하고, 점등률 20%, 60%에서는 duty비를 1/2로 하는 제어 방식이 예시된다.

점등률에 따라서 계단 형상으로 제어해도 된다. 계단 형상이라 함은, 예를 들면, 점등률 0% 이상 20% 이하인 경우에는, duty비를 1/1로 하고, 점등률 20%보다 크고 60% 이하인 경우에는, duty비를 1/2로 하고, 점등률 60%보다 크고 100% 이하인 경우에는, duty비를 1/4로 하는 제어 방법을 말한다.

도 104에 도시하는 바와 같이, 적색(R), 녹색(G), 청색(B)의 화소에서, duty비 커브를 변화시켜도 된다. 도 104에서는, 청색(B)의 duty비의 변화의 기울기를 가장 크게 하고, 녹색(G)의 duty비의 변화의 기울기를 다음으로 크게 하고, 적색(R)의 duty비의 변화의 기울기를 가장 작게 하고 있다. 이상과 같이 구동하면, RGB의 화이트 밸런스 조절을 최적으로 할 수 있다. 물론, 1색을 일정(점등률이 변화해도 변화시키지 않는다)하게 하고, 다른 2색을 점등률에 따라서 변화하도록 제어해도 된다.

점등률과 duty비의 관계는, 화상 데이터의 내용, 화상 표시 상태, 외부 환경에 맞추어 설정하는 것이 바람직하다. 또한, 사용자가 자유롭게 설정 혹은 조정할 수 있도록 구성하는 것이 바람직하다. 또한, 포토 센서 혹은 온도 센서로부터 출력에 의해 자동으로, duty비, 기준 전류비 등을 조정할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 주위 온도(패널 온도)가 높은 경우에는, duty비를 저하(1/4 등)시킴으로써, 패널에 유입되는 소비 전류를 억제할 수 있어, 패널의 자기(自己) 발열이 저하하고, 결과적으로 패널 온도를 저하시킬 수 있다. 따라서, 패널이 열 열화하는 것을 방지할 수 있다.

도 444는, 본 발명의 표시 장치에 있어서, 온도 검출부 등의 설명도이다. 도 444에 있어서, 4441은 시트 형상의 온도 센서이다. 온도 센서(4441)는 패널의 이면 기판(도 444에서는 밀봉 기판(40))과 케이스(샤시)(1253) 사이에 배치되어 있다.

샤시(1263)는 열전도율이 좋은 금속으로 형성되어 있고, 온도 센서(4441)와 샤시(4441) 사이 및 밀봉 기판(40)과 온도 센서(4441) 사이에는 열전도율이 좋은 실리콘 그리스가 도포되어 있다. 실리콘 그리스에 의해 어레이 기판(30)으로부터 발열한 열은 샤시로 전도되어 효율 좋게 방열된다. 온도 센서(4441)는, 백금막을 시트에 얇게 증착한 것, 박형의 포지스터, 카본 저항막 등이 예시된다.

온도 센서(4441)는, 밀봉 뚜껑(40) 혹은 어레이(30)에 오목부를 형성하고, 이 오목부에 온도 센서(4441)를 삽입함으로써 양호하게 온도 변화를 추종할 수 있다. 또한, 오목부라 함은 도 3의 밀봉 뚜껑(40)과 어레이(30) 사이의 공간에서도 된다. 특히, 유기 EL은 투과형이 아니기 때문에, 이면에 광 차광물을 배치해도 된다. 따라서, 온도 센서(4441)도 표시 패널의 중앙부에 배치할 수 있다. 온도 센서(4441)는, 표시 패널의 표시 영역의 이면의 복수 개소에 배치해도 되는 것은 물론이다.

온도 센서(4441)에는 일정한 정전류 I가 공급되고 있다. 온도 센서(4441)가 가열되면 저항값이 증대하여, 단자 a, b 사이의 저항값이 증대한다. 이 저항값 변화를 검출기(4443)로 검출하고, 검출 결과는 컨트롤러 회로(IC)(760)에 전송된다. 컨트롤러 회로(IC)(760)는 검출기(4443)의 결과에 기초하여, duty비 제어, 기준 전류비 제어 등을 실시하여, 어레이(30) 등이 일정 이상으로 가열되는 것을 억제한다. 또한, 온도 센서를 애노드선 혹은 캐소드선에 직렬로 삽입하여, 온도 센서(4441)의 저항 변화에 의해 애노드선 등으로부터 공급하는 전압 Vdd를 저감시켜도 된다.

도 252의 (a)는 주위 온도에 의해 기준 전류비를 변화시킨 실시예이다. 주위 온도가 비싸게 높아짐에 따라서, 기준 전류를 억제하고(작게 하고), 패널의 소비 전류를 저감하여 자기 발열을 억제하고 있다. 도 252의 (b)는 주위 온도에 의해 duty비를 변화시킨 실시예이다. 주위 온도가 높아짐에 따라서, duty비를 작게 하고, 패널의 소비 전류를 저감하여 자기 발열을 억제하고 있다. 또한, 도 252의 (a)의 기준 전류비 제어와, 도 252의 (b)의 duty비 제어 등의 소비 전류를 감소시키는 수단 등을 조합해도 되는 것은 물론이다.

상기한 실시예에서는 온도 센서(4441)는 온도에 의해 저항이 변화하는 것으로서 예시했지만, 본 발명은 이것에 한정되는 것은 아니다. 적외선의 검출에 의해 컨트롤러 회로(IC)(760)에 지시를 내리는 것이어도 된다. 또한, 온도 변화에 의해 전자파를 발생하는 것이어도 된다. 즉, 패널의 온도 변화를 검출할 수 있는 것이면 어느 것이어도 된다.

온도 변화는 온도 변화를 적분하여, 그 적분값이 소정값을 초과했을 때, duty비 제어 등의 전류 억제 수단을 동작시키도록 제어해도 된다. 또한, 적분시에는, 패널로부터의 방열에 의한 패널 온도의 저하를 고려하는 것이 바람직하다. 따라서, 단순히 적분값으로 제어하는 것이 아니고, 방열량분을 감산하여 제어한다. 방열량은 실험 등에 의해 용이하게 도출할 수 있다.

본 발명은 온도 센서로 온도 혹은 그것과 비슷한 것(예를 들면, 적외선의 방출량 등)을 검출하여, duty비 제어 등을 실시하고, 패널이 과열되어 열화하는 것을 방지하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 468은 본 발명의 다른 실시예이다.

도 468은, 애노드 혹은 캐소드에 흐르는 전류 혹은 패널의 EL 소자(15)에 흐르는 전류로부터 패널의 소비 전류를 계산하고, 패널의 온도를 예측 혹은 추정하여, 패널의 과열 상태를 파악하고, duty비 제어, 기준 전류비 제어 등의 패널 소비 전류를 억제 혹은 감소시키는 수단 혹은 방법 등을 실시하는 것이다.

전류 구동 방식은, 전류와 휘도가 직선(비례)의 관계에 있다. 그 때문에, 도 88 등에서도 설명한 바와 같이, 영상 데이터의 총합 등을 산출함으로써, 패널의 소비 전력을 구할 수 있다. 1화면의 영상 데이터의 총합을 시간 축으로 적분하면 전력량 혹은 전력량을 나타내는 지표로 된다. 또한, 전력과 발열의 관계, 발열과 방열에 냉각의 관계는 실험에 의해 도출할 수 있다.

이상의 점으로부터, 영상 데이터의 총합을 구하여, 총합을 적분하고, 또한, 적분값으로부터 방열량을 감산함으로써, 패널 온도를 추정 혹은 예측할 수 있다. 예측의 결과, 패널 온도가 규정 이상으로 상승하는 경우 혹은 가능성이 있을 때, duty비 제어, 기준 전류비 제어 등을 실시하여, 패널의 소비 전력을 억제한다. 또한, 억제에 의해 패널이 규정 온도 이하로 저하했다고 예측될 때는, 통상의 duty비 제어, 기준 전류비 제어 등을 실시한다.

도 468은 상기에 설명한 본 발명의 구동 방식의 실시예이다. 영상 데이터(적색은 RDATA(R), 녹색은 GDATA(G), 청색은 BDATA(B))는 웨이팅된다. 웨이팅은, EL 소자(15)는 RGB에서 발광 효율이 서로 다르기 때문에, 단순한 영상 데이터의 가산에서는, 소비 전력을 예측 혹은 추정할 수 없기 때문이다.

이하 설명을 용이하게 하기 위해서, R, G, B의 영상 데이터는 웨이팅되어 가산되는 것으로서 설명한다. 가산은 일례로서, $R \cdot A1 + G \cdot A2 + B \cdot A3$ 으로 한다. 이 계산은 각 화소 데이터에서 실시하고, 일례로서 프레임(필드)마다 총합을 구한다. 또한, $A1 + A2 + A3 = K$ 로 하고, K는 4 이상의 2의 승수(4, 8, 16, 32...)로 하는 것이 바람직하다. K=4는 2비트로 표현할 수 있다. K=8은 3비트로 표현할 수 있다. 또한, K=16은 4비트로 표현할 수 있다. 또한, R, G, B는 영상 데이터이므로, 통상 6비트 혹은 8비트이다. 이상과 같이 설정하면, $R \cdot A1 + G \cdot A2 + B \cdot A3$ 으로 연산된 값을, 일정한 비트 길이로 표현할 수 있어, 메모리의 사용 효율이 좋다. 당연한 일이지만, 각 화소에서 $R \cdot A1 + G \cdot A2 + B \cdot A3$ 의 연산을 행하여 구한 총합을 저장하는 메모리에 있어서도, 사용 효율이 좋다. 또한, 연산 도중의 레지스터 혹은 어큐뮬레이터의 비트 길이의 사용 효율도 되고, 연산도 하기 쉽다.

$A1 + A2 + A3 = 16$ 으로 하면, 예를 들면 R의 웨이팅을 5, G의 웨이팅을 5, B의 웨이팅을 6으로 표현할 수 있다. 또한, 예를 들면, R의 웨이팅을 6, G의 웨이팅을 2, B의 웨이팅을 8로 표현할 수 있다. 즉, 각 RGB의 EL 소자의 발광 효율에 맞추어 다종 다양한 표현을 실시한다. A1, A2, A3의 값은, RGB에서 화이트 밸런스를 취했을 때에 소비하는 전류 비율을 나타내도록 설정하는 것이 바람직하다.

A1, A2, A3의 값은, 화상의 종류에 따라서 변경해도 된다. 예를 들면, 바다 등 청색 표시가 많을 때 혹은 연속하는 경우에는, A3의 값을 크게 한다. 저녁놀 등의 적색 표시가 많을 때 혹은 연속하는 경우에는, A1의 값을 크게 한다.

또한, 이상의 실시예에서는, R, G, B는 영상 데이터인 것으로서 설명했지만, 이것에 한정되는 것은 아니다. (역)감마 변환 등이 된 영상 데이터 등에 상당하는 것이어도 된다. 또한, 영상 데이터에 연산 처리 등이 실시된 것이어도 된다.

이상의 사항은, 도 88 등의 실시예에 있어서도 설명을 했으므로 설명을 생략한다. 또한, 설명을 용이하게 하기 위해서, 입력 데이터는 RGB 데이터(적색은 RDATA, 녹색은 GDATA, 청색은 BDATA)로 하고 있지만, 이것에 한정되는 것은 아니다. YUV(휘도 데이터와 색도 데이터)라도 된다. YUV인 경우에는, Y(휘도) 데이터 혹은 Y 데이터와 UV(색도) 데이터에 직접 혹은, 색도에 대한 발광 효율을 고려하여 휘도 데이터 등으로 변환하여 웨이팅 처리를 행한다. 또한, Y 데이터만을 이용하여 연산 처리를 행해도 된다. 또한, Y 데이터에 소정의 웨이팅 처리를 행해도 된다.

또한, 이 동작을 실시하는 경우도 현 동작 상태의 duty비를 고려하는 것은 물론이다. duty비가 작으면, 웨이팅을 행한 데이터가 크더라도 패널에 유입되는 전류는 작아, 패널이 과열 상태로는 되지 않기 때문이다.

RDATA(R)에는, 상수 A1이 승산된다. GDATA(G)에는, 상수 A2가 승산된다. BDATA(B)에는, 상수 A3이 승산된다. 승산된 데이터는 총합 회로(SUM)(884)에서 1화면분의 전류 데이터(혹은 유사한 데이터)가 구해진다. 총합 회로(884)는 비교 회로(4681)로 보낸다. 비교 회로(4681)는 미리 설정된 비교 데이터(소정의 전류 데이터 이상에서는 과열 상태인 것을 나타내기 위해서 설정된 값 또는 데이터)와 비교하고, 전류 데이터가 비교 데이터 이상인 경우, 카운터 회로(4682)를 제어하여, 카운터 회로(4682)의 카운터값을 1개 업한다. 또한, 전류 데이터가 비교 데이터보다 작을 때, 카운터 회로(4682)의 카운터값을 1개 다운한다.

이상의 동작을 계속하여, 카운터 회로(4682)의 카운터값이 소정 이상에 도달한 경우, 컨트롤러 회로(IC)(760)는, 게이트 드라이버(12b)를 제어하여, duty비를 작게 하여, 패널에 흐르는 전류를 억제한다. 따라서, 패널이 과열상태로 되어 열화하는 일이 없어진다.

상수 A1, A2, A3은, 컨트롤러 회로(IC)(760)에 의해 커맨드에 의해 재기입할 수 있도록 구성하는 것이 바람직한 것은 물론이다. 물론, 유저가 수동으로 재기입할 수 있도록 구성해도 되는 것은 물론이다. 비교 회로(4681)의 비교 데이터도 재기입할 수 있도록 구성하는 것이 바람직한 것은 물론이다.

또한, EL 소자(15)는 온도 의존성이 있기 때문에, 패널의 온도에 의해 상수를 재기입하도록 구성하는 것이 바람직하다. 또한, 점등률에 의해서도(EL 소자(15)에 흐르는 전류의 크기에 의해서도) 발광 효율이 변화한다. 따라서, 점등률에 의해서도 상수를 재기입하도록 구성하는 것이 바람직하다. 또한, 도 88등에 있어서도 설명을 하고 있으므로, 그 밖의 설명이 유사 혹은 마찬가지이므로 설명을 생략한다.

빠른 스피드로 밝은 화면과 어두운 화면을 교대로 반복할 때, 변화에 따라서 duty비, 기준 전류 등을 변화시키면 플리커가 발생한다. 따라서, 임의의 duty비로부터 다른 duty비 등으로 변화할 때에는, 도 98에 도시하는 바와 같이, 히스테리시스(시간 지연)를 마련하여 변화시키는 것이 바람직하다. 예를 들면, 히스테리시스 기간을 1sec로 하면, 1sec 기간 내에, 화면 휘도가 밝은 부분과 어두운 부분이 복수회 반복되더라도, 이전의 duty비가 유지된다. 즉, duty비는 변화하지 않는다. 이상의 사항은, 기준 전류 제어 등에도 적용할 수 있는 것은 물론이다. 또한, 도 98에 도시하는 바와 같이 변화는, R, G, B에서 다르게 해도 된다.

이 히스테리시스(시간 지연) 시간을 Wait 시간이라고 부른다. 또한, 변화 전의 duty비를 변화 전 duty비라고 부르고, 변화 후의 duty비를 변화 후 duty비라고 부른다. 또한, 히스테리시스(시간 지연)라고 부르지만, 히스테리시스에는, 변화를 천천히 행하는 의미도 포함된다. 예를 들면, duty비 1/1로부터 1/2로 변화시킬 때, 2초의 시간을 걸쳐 천천히 변화시키는 예가 예시된다(대부분, 제어는 이 방식이다). 이 실시예를 도 253에 도시하고 있다. 도 253의 (a)의 패널 온도의 변화에 대하여, 도 253의 (b)에 도시하는 바와 같이 duty비가 천천히 변화하도록 컨트롤러 회로(IC)(760)가 제어된다.

마찬가지의 것은, 기준 전류비 제어에도 적용된다. 이 실시예를 도 254에 도시하고 있다. 도 254의 (a)의 패널 온도의 변화에 대하여, 도 254의 (b)에 도시하는 바와 같이, 기준 전류비가 천천히 변화하도록 컨트롤러 회로(IC)(760)가 제어된다.

변화 전 duty비가 작은 상태로부터, 다른 duty비로 변화할 때에는, 변화에 의한 플리커의 발생이 발생하기 쉽다. 변화 전 duty비가 작은 상태는, 화면의 데이터 합이 작은 상태 혹은 화면에 흑색 표시부가 많은 상태이다.

특히 중간조 혹은 점등률이 중앙값 부근에서는 변화는 천천히 행한다. 화면이 중간조의 표시에서 시감도가 높기 때문이라고 생각된다. 또한, duty비가 작은 영역에서는, 변화 duty비와의 차가 커지는 경향이 있다. 물론, duty비의 차가 커질 때에는, OEV를 이용하여 제어한다. 그러나, OEV 제어에도 한계가 있다. 이상의 점으로부터, 변화 전 duty비가 작을 때에는, wait 시간을 길게 할 필요가 있다.

변화 전 duty비가 큰 상태로부터, 다른 duty비로 변화할 때에는, 변화에 의한 플리커의 발생이 발생하기 어렵다. 변화 전 duty비가 큰 상태는, 화면의 데이터 합이 큰 상태 혹은 화면에 백색 표시부가 많은 상태이다. 따라서, 화면 전체가 백색 표시에서 시감도가 낮기 때문이라고 생각된다. 이상의 점으로부터, 변화 전 duty비가 클 때에는, wait 시간은 짧아도 된다.

이상의 관계를 도 98에 도시한다. 횡축은 변화 전 duty비이다. 종축은 Wait 시간(초)이다. duty비가 1/16 이하에서는, Wait 시간을 3초(sec)로 길게 하고 있다. 예를 들면, B(청색)에서는 duty비가 1/16 이상 duty비 8/16(=1/2)에서는, duty비에 따라서 Wait 시간을 3초에서 2초로 변화시킨다. duty비 8/16 이상 duty비 16/16=1/1에서는, duty비에 따라서 2초에서 0초 근방으로 변화시킨다.

이상과 같이, 본 발명의 duty비 제어는 duty비에 따라서 Wait 시간을 변화시킨다. duty비가 작을 때에는 Wait 시간을 길게 하고, duty비가 클 때에는 Wait 시간을 짧게 한다. 즉, 적어도 duty비를 가변하는 구동 방법으로서, 제1 변화 전의 duty비가 제2 변화 전의 duty비보다 작고, 제1 변화 전 duty비의 Wait 시간이, 제2 변화 전 duty비의 Wait 시간보다 길게 설정하는 것을 특징으로 하는 것이다.

이상의 실시예에서는, 변화 전 duty비를 기준으로 하여 Wait 시간을 제어 혹은 규정하는 것으로 했다. 그러나, 변화 전 duty비와 변화 후 duty비와의 차는 근소하다. 따라서, 상술한 실시예에 있어서 변화 전 duty비를 변화 후 duty비로 재판독해도 된다.

이상의 실시예에 있어서, 변화 전 duty비와 변화 후 duty비를 기준으로 하여 설명했다. 변화 전 duty비와 변화 후 duty비와의 차가 클 때에는 Wait 시간을 길게 취할 필요가 있는 것은 물론이다. 또한, duty비의 차가 클 때에는, 중간 상태의 duty비를 경유하여 변화 후 duty비로 변화시키는 것이 양호한 것은 물론이다.

본 발명의 duty비 제어 방법은, 변화 전 duty비와 변화 후 duty비와의 차가 클 때에는 Wait 시간을 길게 취하는 구동 방법이다. 즉, duty비의 차에 따라서 Wait 시간을 변화시키는 구동 방법이다. 또한, duty비의 차가 클 때에 Wait 시간을 길게 취하는 구동 방법이다. 또한, 앞서도 설명한 바와 같이 Wait 시간 혹은 히스테리시스라 함은, 천천히 변화시키는 의미이다. 물론, 광의로는, 변화를 개시하는 것을 지연시킨다는 의미도 있는 것은 물론이다.

본 발명의 duty비의 방법은, duty비의 차가 클 때에는, 중간 상태의 duty비를 경유하여 변화 후 duty비로 변화시키는 것을 특징으로 하는 구동 방법이다.

이상의 실시예에서는, duty비에 대한 Wait 시간을, R(적색)G(녹색)B(청색)에서 다르게 하는 것으로 설명했다. 그러나, 본 발명은, R, G, B에서 Wait 시간을 변화시켜도 되는 것은 물론이다. RGB에서 시감도가 다르기 때문이다. 시감도에 맞추어 Wait 시간을 설정함으로써, 보다 양호한 화상 표시를 실현할 수 있다.

이상의 실시예는, duty비 제어에 관한 실시예였다. 기준 전류 제어에 대해서도 Wait 시간을 설정하는 것이 바람직하다.

이상과 같이, 본 발명의 구동 방법에서는, duty비, 기준 전류는 급격하게 변화시키지 않는다. 급격하게 변화시키면 변화 상태가 플리커로서 인식되어 버리기 때문이다. 통상적으로, 0.2초 이상 10초 이하의 지연 시간으로 변화시킨다. 이상의 사항은, 나중에 설명하는 애노드 전압의 변화 제어, 프리차지 전압의 변화 제어, 주위 온도에 의한 변화 제어(패널 온도에 의해, duty비, 기준 전류를 변화시킨다) 등에도 적용할 수 있는 것은 물론이다.

기준 전류가 작을 때에는 표시 화면(144)이 어둡고, 기준 전류가 클 때에는 표시 화면(144)이 밝다. 즉, 기준 전류 배율이 작을 때에는, 중간조 표시 상태라고 바꿔 말할 수 있다. 기준 전류 배율이 높을 때에는, 고휘도의 화상 표시 상태이다. 따라서, 기준 전류 배율이 낮을 때에는, 변화에 대한 시감도가 높기 때문에, Wait 시간을 길게 할 필요가 있다. 한편, 기준 전류 배율이 높을 때에는, 변화에 대한 시감도가 낮기 때문에, Wait 시간이 짧아도 된다.

이상과 같은, duty비 제어는, 1프레임 혹은 1필드에서 완결할 필요는 없다. 수 필드(수 프레임)의 기간에 duty비 제어를 행해도 된다. 이 경우의 duty비는 수 필드(수 프레임)의 평균값을 duty비로 한다. 또한, 수 필드(수 프레임)에서 duty비 제어를 행하는 경우라도, 수 필드(수 프레임) 기간은, 6필드(6프레임) 이하로 하는 것이 바람직하다. 이 이상이면 플리커가 발생하는 경우가 있기 때문이다. 또한, 수 필드(수 프레임)이라 함은 정수가 아니고, 2.5프레임(2.5필드) 등이어도 된다. 즉, 필드(프레임) 단위에는 한정되지 않는다.

이상의 사항은, 도 1의 화소 구성의 EL 표시 패널 혹은 EL 표시 장치뿐만 아니라, 도 2, 도 7, 도 8, 도 9, 도 11, 도 12, 도 13, 도 28, 도 31, 도 36 등의 다른 화소 구성의 EL 표시 패널 혹은 EL 표시 장치에도 적용할 수 있는 것은 물론이다.

동화상과 정지 화상에서는, duty비 패턴을 변화시킨다. duty비 패턴을 급격하게 변화시키면 화상 변화가 인식되어 버리는 경우가 있다. 또한, 플리커가 발생하는 경우가 있다. 이 과정은 동화상의 duty비와 정지 화상의 duty비와의 차이에 의해서 발생한다. 동화상에서는 비표시 영역(192)을 일괄해서 삽입하는 duty비 패턴을 이용한다. 정지 화상에서는 비표시 영역(192)을 분산하여 삽입하는 duty비 패턴을 이용한다. 비표시 영역(192)의 면적/화면 면적(144)의 비율이 duty비로 된다. 그러나, 동일 duty비이더라도, 비표시 영역(192)의 분산 상태에서 사람의 시감도는 서로 다르다. 이것은 사람의 동화상 응답성에 의존하기 때문이라고 생각된다.

중간 동화상은, 비표시 영역(192)의 분산 상태가, 동화상의 분산 상태와 정지 화상의 분산 상태와의 중간의 분산 상태이다. 또한, 중간 동화상은 복수의 상태를 준비하고, 변화 전의 동화상 상태 혹은 정지 화상 상태에 대응시켜 복수의 중간 동화상으로부터 선택해도 된다. 복수의 중간 동화상 상태라 함은, 비표시 영역의 분산 상태가 동화상 표시에 가깝고, 예를 들면, 비표시 영역(192)이 3분할된 구성이 일례로서 예시된다. 또한, 반대로 비표시 영역이 정지 화상과 같이 다수로 분산된 상태가 예시된다.

정지 화상이어도 밝은 화상도 있지만 어두운 화상도 있다. 동화상도 마찬가지이다. 따라서, 변화 전의 상태에 따라서 어떤 중간 동화상의 상태로 이행할지를 결정하면 된다. 또한, 경우에 따라서는, 중간 동화상을 경유하지 않고 동화상으로부터 정지 화상으로 이행해도 된다. 중간 동화상을 경유하지 않고 정지 화상으로부터 동화상으로 이행해도 된다. 예를 들면, 표시 화면(144)이 저휘도인 화상은 동화상 표시와 정지 화상 표시가 직접 이동해도 위화감은 없다. 또한, 복수의 중간 동화상 표시를 경유하여 표시 상태를 이행시켜도 된다. 예를 들면, 동화상 표시의 duty비 상태에서부터, 중간 동화상 표시 1의 duty비 상태로 이행하고, 또한 중간 동화상 표시 2의 duty비 상태로 이행하고 나서 정지 화상 표시의 duty비 상태로 이행시켜도 된다.

동화상 표시로부터 정지 화상 표시로 이동할 때에, 중간 동화상 상태를 경유시킨다. 또한, 정지 화상 표시로부터 중간 동화상 표시를 경유하여 동화상 표시로 이행시킨다. 각 상태의 이행 시간은 Wait 시간을 두는 것이 바람직하다. 또한, 정지 화상으로부터 동화상 혹은 중간 동화상으로 이행할 때에는, 비표시 영역(192)의 변화가 천천히 되도록 한다.

FRC(프레임 레이트 컨트롤)과 동화상 표시는 관계한다. FRC에서 이용하는 프레임 수(예를 들면, 4FRC에서는, 4프레임을 이용하여, 2비트분의 계조 표시(계조수를 4배)로 한다. 16FRC에서는, 16프레임을 이용하여, 4비트분의 계조 표시(계조수를 16배)로 한다. 그러나, nFRC(n은 2 이상의 정수)의 n(프레임 수)가 증가하면, 정지 화상에서는 문제가 없지만, 동화상에서는, 동화상 성능이 저하한다. 따라서, 동화상 표시에서는, nFRC의 n은 작은 쪽이 바람직하다. 또한, 동화상 표시에서는, 일정 이상의 계조수는 필요하지 않다. 대부분의 경우가, 256계조 이하로 충분하다. 한편, 정지 화상에서는, 많은 계조수가 필요하다.

본 발명에서는, 이 과제를 해결하기 위해서, 도 443에 도시하는 바와 같이, 동화상 화소의 비율에 기초하여, nFRC의 n수(FRC수라고 부른다)를 변화시키고 있다. 동화상 화소의 비율이라 함은, 프레임 연산에 의해, 동화상의 화소로서 판단된 화소의 비율이다.

예를 들면, 제1 프레임과 다음의 제2 프레임 사이에서, 동일 위치의 화소 데이터의 차분을 구하고, 차분의 값이 일정 이상 있는 경우에 동화상 화소라고 판정한다. 1패널의 화소 수가 10만 화소라고 하면, 상기 차분 연산에 의해 동화상 화소라고 판정된 화소의 비율이 2.5만 화소이면, 동화상 화소의 비율은 25%이다.

도 443의 실시예에서는, 동화상 화소의 비율이 0%~25% 이하에서, 완전 정지 화상 혹은 그것에 가깝다고 판단하고, 16FRC(n=16)로 하고 있다. 또한, 동화상 화소의 비율이 25%~50% 이하에서, 동화상에 가까운 중간 화상이라고 판단하고, 12FRC(n=12)로 하고 있다. 또한, 동화상 화소의 비율이 50%~75% 이하에서, 정지 화상에 가까운 중간 화상이라고 판단하고, 8FRC(n=8)로 하고 있다. 동화상 화소의 비율이 75% 이상에서, 완전 동화상 혹은 그것에 가깝다고 판단하고, 1FRC(n=1 즉 FRC 제어하지 않는다)로 하고 있다.

이상과 같이, 표시 화상의 내용에 기초하여, FRC를 변화시키는 것에 의해 최적인 화상 표시를 실현할 수 있다. FRC의 변경은 컨트롤러 회로(IC)(760)에 의해 행한다.

FRC의 변경은, 화상의 신이 급변할 때에 실시하는 것이 바람직하다. 화상 신이 급변하는 상태라 함은, 화면이 커머셜하게 변화했을 때, 채널을 전환했을 때, 드라마의 신이 변화했을 때 등이 예시된다. 또한, 신의 급변시에는, 본 발명의 피크 전류 억제, duty비 제어로도 설명을 하고 있다.

따라서, 동화상의 비율이 변화한 경우에 리얼타임으로 nFRC의 FRC 수를 변화시키면 화면이 플리커적인 표시 상태로 된다. 따라서, 신의 급변시에 FRC수를 변화시키는 것이 바람직하다.

도 16, 도 75 등에서 프리차지 구동에 대하여 설명을 했다. 프리차지 전압의 인가는 점등률 혹은 duty비와 연동시키는 것이 바람직하다. 프리차지 전압의 인가는 필요가 없는 개소에는 인가하지 않는 것이 바람직하다. 백색 표시의 휘도 저하 등이 발생하는 경우가 있기 때문이다. 따라서, 프리차지 전압의 인가는 한정되는 것이 바람직하다.

프리차지 구동은, 특히 전류 구동 방식에 있어서, 백색 표시부의 아래에 크로스토크하는 현상을 해소하기 위해 실시한다. 따라서, 이 크로스토크가 눈에 띄는 것은, 화면에 흑색 표시부가 많고, 일부에 백색 표시가 있는 화상이다. 점등률로 나타내면, 점등률이 작은 영역에서 프리차지가 필요하다. 표시 화면(144) 전체가 백색 표시이면 크로스토크가 발생해도 시각적으로 인식되는 것은 없기 때문이다. 따라서, 프리차지 구동은 실시할 필요가 없다.

본 발명은 점등률이 높을(표시 화면(144)에 있어서 전체적으로 백색 표시 부분이 많다) 때에, duty비를 작게 한다. 즉, duty비 $1/n$ 의 n 을 크게 한다. 점등률이 낮을(표시 화면(144)에 전체적으로 흑색 표시 부분이 많다) 때에, duty비를 크게 한다. 즉, duty비 $1/1$ 에 근접한다. 따라서, duty비와 점등률은 상관 관계가 있다. 영상 데이터로부터 점등률(점등률)을 구하고, 점등률로부터 duty비 제어를 행하는 것이기 때문에 당연하다. 또한, 점등률은 프리차지 제어와도 관계가 있다.

도 105의 (a)에 도시하는 바와 같이, duty비와 점등률(%)이 관계가 있는 것으로 한다. 도 105의 (b)는 프리차지의 온 오프 상태를 나타내고 있다. 도 105의 (b)에서는, duty비가 20% 이하에서 프리차지 구동하도록 설정하고 있다. 단, 프리차지 구동한다고 하더라도, 본 발명의 프리차지 구동에는, all 프리차지 모드, 적응형 프리차지 모드, 0계조 프리차지 모드, 선택 계조 프리차지 모드가 있다. 따라서, 도 105의 (b)에서는 프리차지 구동이 실시되도록 설정한다고 하는 포인트이고, 어떤 프리차지가 행해지는가에 따라 구동 상태는 다르다. 중요한 것은, duty비 혹은 점등률에 의해, 프리차지 구동을 할지 하지 않을지를 변화시키는 것이다.

duty비 혹은 점등률(%)과 감마 제어도 상관이 있다. 도 106은 그 설명도이다. 점등률이 높은 화상에서는, 전체적으로 휘도가 높은 화상이 많다. 그 때문에, 화상이 흰 빛을 띠게 된다. 그 때문에, 감마 상수의 계수(통상적으로, 계수는 2.2로 되어 있다)를 크게 하여, 흑 계조 영역의 면적을 넓게 하는 것이 바람직하다. 흑 계조 영역의 면적을 넓게 함으로써 화상의 농담 감이 생긴다.

점등률에 대한 duty비를 도 107인 것으로 한다. 도 107의 제어에서는, 표시 화상의 점등률이 100%에 가까우면 duty비는 대략 $1/4$ 로 한다. 계조는 휘도와 비례한다. 점등률이 높은 화상에서는, 화상의 계조 표시가 붕괴되어 해상도가 없는 화상으로 되어 버리므로, 감마 커브를 변화시킬 필요가 있다. 즉, 감마 커브의 승수인 계수를 크게 하여, 감마 커브를 급격하게 할 필요가 있다.

이상의 점으로부터, 본 발명에서는, 점등률 혹은 duty비에 따라서, 감마 커브의 계수를 변화시키고 있다. 도 106은 그 설명도이다.

본 발명은 점등률이 높을(표시 화면(144)에 전체적으로 백색 표시 부분이 많다) 때에, duty비를 작게 한다. 즉, duty비 $1/n$ 의 n 을 크게 한다. 점등률이 낮을(표시 화면(144)에 전체적으로 흑색 표시 부분이 많다) 때에, duty비를 크게 한다. 즉, duty비 $1/1$ 에 근접한다. 따라서, duty비와 점등률은 상관 관계가 있다. 영상 데이터로부터 점등률(점등률)을 구하고, 점등률로부터 duty비 제어를 행하는 것이기 때문에 당연하다.

도 106의 (a)에 도시하는 바와 같이, duty비와 점등률(%)이 관계가 있는 것으로 한다. 도 106의 (b)의 그래프는 종축에 감마 커브의 계수를 나타내고 있다. 도 106의 (b)에서는, duty비가 70% 이상에서 감마 커브의 계수가 커지도록 설정하고 있다. 즉, 감마 커브가 급격하게 되도록, 고계조 영역에서 계조 표현이 커지도록 하고 있다. 따라서, 새하얗게 된 화상이 개선된다.

도 108의 (a), (b)에 도시하는 바와 같이, duty비가 일정 이상 작은 영역에서 감마 계수를 크게 하는 것도 화상 표시를 개선할 수 있는 경우가 있다. 이상과 같이, 점등률(화상의 데이터 합)에 대응하여, 감마 커브를 변화시킴으로써, 농담이 있는 화상 표시를 실현할 수 있다. 도 256에서는 점등률에 대하여 감마 계수를 변화시킨 실시예이다.

duty비 제어와 전원 용량에는 밀접한 관계가 있다. 전원 사이즈는 최대의 전원 용량이 커짐에 따라서, 커진다. 특히, 표시 장치가 모바일인 경우, 전원 사이즈가 크면 중대 과제로 된다. 또한, EL은 전류와 휘도가 비례의 관계이다. 흑색 표시에서는 전류가 흐르지 않는다. 백 래스터 표시에서는 최대 전류가 흐른다. 따라서, 화상에 의한 전류의 변화가 크다. 전류의 변화가 크면 전원 사이즈도 커져, 소비 전력도 증가한다.

본 발명에서는, 점등률이 높을 때에, duty비 제어의 $1/n$ 의 n 을 크게 하여, 소비 전류(소비 전력)를 저감시키고 있다. 반대로 점등률이 낮을 때에는, duty비를 $1/1=1$ 또는 $1/1$ 에 가깝게 하여, 최대 휘도가 표시되도록 하고 있다. 이하에 이 제어 방법에 대하여 설명을 한다.

우선, 점등률(점등률)과 duty비의 관계를 도 107에 도시한다. 또한, 점등률은, 이전에도 설명한 바와 같이 패널에 흐르는 전류로 환산되어 있는 것인 것으로 한다. 왜냐하면, EL 표시 패널에서는 B의 발광 효율이 나쁘기 때문에, 바다의 표시 등이 표시되면, 소비 전력이 즉시 증가하기 때문이다. 따라서, 최대값은, 전원 용량의 최대값이다. 또한, 데이터 합이라 함은 단순한 영상 데이터의 가산값이 아니고, 영상 데이터를 소비 전류로 환산한 것으로 하고 있다. 따라서, 점등률도 최대 전류에 대한 각 화상의 사용 전류로부터 구해진 것이다.

도 107은 점등률 0%일 때에, duty비를 1/1로 하고, 점등률 100%일 때에 최저 duty비를 1/4로 한 예이다. 도 109는, 전력과 점등률과의 승산을 한 결과이다. 도 107에서 점등률이 0에서 100%까지, 항상 duty비 1/1이면, 도 109의 a로 나타내는 커브로 된다. 도 109의 종축은, 전원 용량에 대한 사용 전력의 비(전력비)이다. 즉, 커브 a에서는, 점등률과 소비 전력은 비례 관계에 있다. 따라서, 점등률 0%에서 소비 전력은 0(전력비 0)이고, 점등률 100%에서는, 소비 전력 100(전력비 100%)으로 된다.

도 109의 커브 b는, 도 107의 duty비 커브로 전력 제한을 실시한 실시예이다. 점등률 100%일 때의 duty비는 1/4이므로, 커브 a와 비교하여, 전력비는 1/4인 25%로 된다. 커브 b는 전력 1/3보다 작은 범위에서 동작하고 있다. 따라서, 도 107과 같이 duty비 제어를 실시하면, 전원 용량은, 종래(커브 a)와 비교하여 1/3로 충분하게 된다. 즉, 본 발명에서는, 전원 사이즈를 종래와 비교하여 작게 할 수 있다.

종래(커브 a)에서 점등률이 높은 상태가 계속되면 패널에 흐르는 전류가 커서, 발열에 의한 패널의 열화가 발생한다. 그러나, duty비 제어를 실시한 본 발명에서는 커브 b에서 알 수 있는 바와 같이, 점등률에 상관없이, 평균된 전류가 패널에 흐른다. 따라서, 발열의 발생이 적어 패널의 열화도 발생하지 않는다.

도 107의 duty비 커브에 있어서, 최저 duty비를 1/2로 한 실시예가 커브 c이다. 또한, 최저 duty비를 1/3로 한 실시예가 커브 d이다. 마찬가지로 최저 duty비를 1/8로 한 실시예가 커브 e이다.

도 107은 duty비 커브를 직선으로 한 것이었다. 그러나, duty비 커브는, 다종 다양한 직선 혹은 곡선으로 발생시킬 수 있다. 예를 들면, 도 110의 (a1)은, 전력비가 30% 이하로 되도록 하는(도 110의 (a2)를 참조할 것) duty비 제어 커브이다. 도 110의 (b1)은 전력비가 20% 이하로 되도록 하는(도 110의 (b2)를 참조할 것) duty비 제어 커브이다. 이상과 같이 duty비 커브 혹은 기준 전류비커브는, 마이크로컴퓨터 등의 프로그래밍 혹은 외부 제어에 의해, 가변할 수 있도록 구성하는 것이 바람직하다.

duty비 제어 커브는, 사용자가 외부 환경에 따라서 버튼으로 자유롭게 도 110의 (a), (b)를 전환하도록 한다. 밝은 외부 환경에서는, 도 110의 (a1)의 duty비 커브를 선택하고, 외부 환경이 어두울 때에는, 도 110의 (b1)의 duty비 커브를 선택하도록 한다. 또한, duty비 제어 커브는 자유롭게 변경할 수 있도록 구성해 두는 것이 바람직하다.

이상의 실시예에서는, 기준 전류가 1일 때를 기준으로 하여 설명하고, 또한, duty비의 최대는 1/1인 것으로서 설명을 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 111에 도시하는 바와 같이, 기준 전류는, 1/2을 중심으로 하여 1 혹은 1/3 등으로 변화시켜도 된다. 또한, 최대를 0.5로 해도 된다. duty비도 0.25를 중심으로 하여 0.5나 그 이하로 변화시켜도 된다. 또한, 최대는 0.5로 해도 된다.

도 112에 도시하는 바와 같이, 기준 전류의 최소값을 1로 하고, 최대값을 3으로 하여, 복수의 값으로 변화시켜 이용해도 된다. 또한, duty비도 도 113에 도시하는 바와 같이, 점등률의 80%에서 최저로 하고, 100% 혹은 60%에서 크게 하도록 제어해도 되는 것은 물론이다.

도 114의 (a), (b)에 도시하는 바와 같이, 기준 전류는, 2를 중심으로 하여 3 혹은 1 등으로 변화시켜도 된다. 또한, 최대를 3으로 해도 된다. duty비도 0.5를 최대로 하여, 0.25 등으로 변화시켜도 되는 것은 물론이다. 도 115의 (a), (b)에 있어서도 마찬가지이다.

도 116에 도시하는 바와 같이, 저점등률 영역(도 116에서는 점등률 20% 이하)에서 duty비를 저하시키고(도 116의 (a)), duty비의 저하에 맞추어, 기준 전류비를 상승시켜도(도 116(b)) 된다. 이상과 같이 duty비 제어와 기준 전류비 제어를 동시에 행함으로써, 도 116의 (c)에서 도시하는 바와 같이 휘도의 변화는 없어진다. 저점등률에서는 저계조 영역에서의 프로그램 전류의 기입 부족이 현저하게 눈에 띈다. 그러나, 도 116에 실시하는 바와 같이 저점등률 영역에서 기준 전류를 증가시키는 것에 의해 프로그램 전류를 기준 전류에 비례하여 증가시킬 수 있으므로, 전류의 기입 부족이 없어진다. 또한 휘도도 일정하기 때문에 양호한 화상 표시를 실현할 수 있다.

도 116에 있어서, 점등률이 높은 영역(도 116에서는 40% 이상)에서는, duty비는 저하시키지만, 기준 전류비는 1인 채로 일정하게 한다. 따라서, 휘도는 duty비의 저하에 수반하여 저하하기 때문에, 패널의 소비 전력을 제어(기본적으로는 적게)할 수 있다. 또한, duty비의 최대를 1/1로 하는 구동 방법에서는, 비표시 영역(192)은 일괄해서 삽입하는 것이 바람직하다.

ff 기준 전류비, duty비와 점등률과의 관계는 이하에 설명하는 바와 같이 일정한 관계를 유지하는 것이 바람직하다. 플리커의 발생의 증가 또는 패널의 자기 발열에 의한 열화가 가속되기 때문이다. 도 267은 그 일례이다. 도 267의 (c)에 있어서 종축의 A는 duty비×기준 전류비를 나타내고 있다. 기본적으로 점등률이 낮은 영역에서는, A는 1 근방으로 되도록 제어하는 것이 바람직하다. 또한, 점등률이 높은 영역에서는, A는 1보다 작아지도록 제어하는 것이 바람직하다.

검토의 결과에 따르면, 점등률이 30% 이하인 영역에서는, duty비×기준 전류비(A)가 0.7 이상 1.4 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 0.8 이상 1.2 이하로 하는 것이 바람직하다. 또한, 점등률이 80% 이하인 영역에서는, duty비×기준 전류비(A)가 0.1 이상 0.8 이하로 되도록 제어 혹은 설정하는 것이 바람직하다. 또한, 더욱 바람직하게는 0.2 이상 0.6 이하로 되도록 제어 혹은 설정하는 것이 바람직하다.

혹은, 점등률 50%일 때의 duty비×기준 전류비를 A로 했을 때, 점등률이 30% 이하인 영역에서는, duty비×기준 전류비×A가 0.7 이상 1.4 이하로 되도록 설정 혹은 제어하는 것이 바람직하다. 더욱 바람직하게는 0.8 이상 1.2 이하로 되도록 설정 혹은 제어하는 것이 바람직하다. 또한, 점등률이 80% 이하인 영역에서는, duty비×기준 전류비×A가 0.1 이상 0.8 이하로 되도록 설정 혹은 제어하는 것이 바람직하다. 더욱 바람직하게는 0.2 이상 0.6 이하로 되도록 설정 혹은 제어하는 것이 바람직하다.

도 267의 실시예에서는, 저점등률 영역(도 267에서는 점등률 25% 이하)에서 duty비를 저하시키고, 역비례하여 기준 전류비를 상승시키고 있다. 따라서, duty비×기준 전류비인 A는 대략 1의 관계가 유지된다. 그 때문에, 화면(144)의 휘도의 변화는 없고, 프로그램 전류의 크기가 커져 전류 프로그램의 기입 부족이 개선된다.

고점등률 영역(도 267에서는 점등률 75% 이상)에서 duty비를 저하시키고, 한편, 기준 전류비도 저하시키고 있다. 따라서, duty비×기준 전류비인 A는, 점등률이 커짐에 따라서 0.25에 근접하도록 제어된다. 그 때문에, 점등률이 높아짐에 따라서, 화면(144)의 휘도가 저하하고, 소비 전류도 저하한다. 따라서, 패널의 자기 발열량이 A×점등률에 비례하여 저하한다.

일반적으로, EL 표시 패널이 15인치 이하의 중소형인 경우에는, 도 269의 점선으로 나타내는 관계로 구동을 실시하는 것이 바람직하다(점등률이 높을 때에 duty비×기준 전류비를 저하시킨다). EL 표시 패널이 15인치 이상의 대형인 경우에는, 도 269의 실선으로 나타내는 관계로 구동을 실시하는 것이 바람직하다(점등률이 높을 때에 duty비×기준 전류비를 저하시키고, 점등률이 낮을 때에 duty비×기준 전류비를 상승시킨다).

본 발명의 전원 회로의 효율 그래프를 도 268의 (a)에 도시하고 있다. 출력 전류가 중간보다 높을 때에 효율이 좋다. 따라서, 출력 전류는 일정 이상의 출력을 평균적으로 사용하는 것이 바람직하다.

도 269의 점선과 같이 제어를 실시하면, 전력의 상대적 변화 비율(전력비)은 도 268의 (b)의 점선과 같이 된다. 도 269의 실선과 같이 제어를 실시하면, 전력의 상대적 변화 비율(전력비)은 도 268의 (a)의 실선과 같이 된다. 실선에서는, 저점등률에서는 전력이 증가한다. 그러나, 점등률이 낮기 때문에 소비 전력은 거의 증가하지 않는다. 기입 부족이 개선하는 효과의 이점 쪽이 크다.

duty비가 1/6 이상 혹은 바람직하게는 1/4 이상에서는, 비표시 영역(192)은 일괄해서 삼입(도 54의 (a1)~(a4) 등)하는 것이 바람직하다. 또한, duty비가 1/6 이하 혹은 바람직하게는 1/4보다 작을 때에는, 비표시 영역(192)은 분할해서 삼입(도 54의 (b1)~(b4), 도 54의 (c1)~(c4) 등)하는 것이 바람직하다.

본 발명은 제1 점등률(애노드 단자의 애노드 전류, 데이터의 총합에 대한 비율 등이어도 되는 것은 이전에 설명을 했다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위, 데이터의 총합에 대한 비율의 범위 등이어도 되는 것은 이전에 설명을 했다)에 있어서, 제1 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도, 기준 전류비와 duty비와의 곱 등 혹은 이들의 조합으로서 변화시킨다.

또한, 제2 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 있어서, 제2 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도, 기준 전류비와 duty비와의 곱 등 혹은 이들의 조합으로서 변화시킨다. 혹은, 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 따라서(적응하여), FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도, 기준 전류비와 duty비와의 곱 등, 혹은 이들의 조합으로서 변화시키는 것이다. 또한, 변화시킬 때에는, 히스테리시스를 가지게 하거나, 혹은 지연시키거나, 혹은 천천히 변화시킨다.

본 발명에 있어서, 프리차지 구동 방법에 대하여 설명했다. 또한, 점등률의 개념에 관해도 설명을 행하였다. 프리차지 전압은, 점등률에 의해서 변화시키는 것도 유효하다. 또한, 점등률이라 함은, duty비 제어를 행하고 있지 않은 경우에는, 소비 전류와 동의이다. 즉, 점등률은, 화상 데이터의 가산에 의해 도출된다. 전류 구동인 경우에는, 화상 데이터와 소비 전력은 비례하여, 화상 데이터로부터 점등률이 도출되기 때문이다.

프리차지 구동은, 전압 구동과 유사하다. 소스 신호선(18)에 전압을 인가하여, 구동용 트랜지스터(11a)의 게이트 전압에 프리차지 전압을 인가함으로써, 구동용 트랜지스터(11a)가 EL 소자(15)에 전류를 흘리지 않도록 하는 것이기 때문이다. 따라서, 프리차지 전압의 기준 원점은, 애노드 전위(Vdd)이다. 물론, 구동용 트랜지스터가 N 채널인 경우에는, 프리차지 전압의 원점은 캐소드이다. 본 명세서에서는, 설명을 용이하게 하기 위해서, 도 1에 도시하는 바와 같이 구동용 트랜지스터(11a)는 P 채널로서 설명한다.

애노드 전위가 변화하면 프리차지 전압을 변화시킬 필요가 있다. 애노드 전위(Vdd)는 변화하지 않도록, 애노드 배선(2155)을 저저항값화한다. 그러나, 점등률이 높은 경우에는, 애노드 배선(단자)에 흐르는 전류량이 많기 때문에, 전압 강하가 발생한다. 전압 강하는 소비 전류에 비례한다. 따라서, 애노드 전압의 전압 강하는 점등률에 비례한다.

이상의 점으로부터 프리차지 전압은 점등률에 상관하여 변화시키는 것이 바람직하다. 또는, 애노드(캐소드) 단자에 흐르는 전류(혹은, EL 표시 패널에 흐르는 전류)에 대응하여, 프리차지 전압을 변화시키는 것이 바람직하다.

본 발명의 소스 드라이버 회로는, 도 75에 도시하는 바와 같이, 전자 볼륨(501)을 구비하고 있다. 따라서, 전자 볼륨(501)을 제어함으로써, 용이하게 프리차지 전압을 변화시킬 수 있다. 또한, 전자 볼륨(501)에 의한 제어뿐만 아니라, 소스 드라이버 회로(IC)(14)의 외부의 DA 회로 등에서 프리차지 전압을 발생시켜 인가해도 되는 것은 물론이다.

애노드 단자에서 발생하는 강하 전압은, 이하의 처리에 의해 파악할 수 있다. 우선, 애노드 전압의 발생원으로부터 각 화소까지의 저항값은 설계한 단계에서 알고 있다. 저항값은 애노드 배선(애노드 단자로부터 화소(16)의 구동용 트랜지스터(11a)까지의 저항)의 금속 박막의 시트 저항값으로부터 결정되기 때문이다. 애노드 단자에 흐르는 소비 전류는 영상 데이터의 처리에 의해 알 수 있다. 전류 구동 방식에서는 영상 데이터의 총합을 구하면 된다. 이상의 것은, 도 85, 도 88, 도 98, 도 103, 도 205, 도 107, 도 109 등에서 duty비의 도출, 데이터 합, 점등률(=점등률) 등으로서 설명했다. 애노드에 흐르는 전류를 용이하게 도출할 수 있는 것은 전류 프로그램 방식의 큰 특징이다.

따라서, 애노드 배선의 저항값과, 애노드 배선에 흐르는 전류(패널의 소비 전류)를 알 수 있으면, 애노드 단자에 발생하는 전압 강하를 알 수 있게 된다. 소비 전류는 1프레임의 화상 데이터 처리에 의해 리얼타임으로 도출된다. 따라서, 화소(16)에서의 애노드 단자의 전압 강하도 리얼타임으로 결정된다.

이상의 점으로부터, 리얼타임으로 화소(16)에서의 애노드 전압(전압 강하를 고려하여)을 도출하고, 이 전압 강하분을 고려하여 프리차지 전압을 결정한다. 또한, 프리차지 전압의 결정은 리얼타임으로 행하는 것에 한정되는 것은 아니다. 간헐적으로 행해도 되는 것은 물론이다. 또한, duty비 제어를 행하는 경우에는, duty비에 의해 애노드에 흐르는 전류가 변화한다. 따라서, duty비 제어에 의한 소비 전류를 가미할 필요가 있다. duty비가 1/1인 경우에는, 점등률은 소비 전류(전력)와 동일하다.

본 발명에서는, 기준 전류비(혹은 기준 전류의 크기)를 작게 하도록(예를 들면, 기준 전류비 4로부터 1로 변화시키는 것) 제어하는 것은, 캐소드 단자에 흐르는 전류 혹은 애노드 단자에 흐르는 전류 혹은 화소(16)의 EL 소자(15)에 흐르는 전류를 적어지도록 제어하는 것과 같거나 유사하다. 마찬가지로, duty비(혹은 duty의 크기)를 작게 하도록(예를 들면, duty비 1/1로부터 1/4로 변화시키는 것) 제어하는 것은, 캐소드 단자에 흐르는 전류 혹은 애노드 단자에 흐르는 전류 혹은 화소(16)의 EL 소자(15)에 흐르는 전류를 적어지도록 제어하는 것과 같거나 유사하다.

따라서, 캐소드 단자에 흐르는 전류 혹은 애노드 단자에 흐르는 전류 혹은 화소(16)의 EL 소자(15)에 흐르는 전류가 감소하도록 제어하는 혹은 증가하도록 제어하는 것은, 게이트 드라이버 회로(IC)(12)를 제어하는 것(예를 들면, 도 14의 스타트 신호(ST)를 제어하는 것)에 의해 실현할 수 있다. 혹은 게이트 드라이버 회로(12)가 게이트 신호선(17b)(EL 소자(15)에 흐르는 전류를 제어하는 신호선 혹은 제어 수단)의 제어 상태(선택하는 게이트 신호선(17)의 개수)를 변경 혹은 조정 혹은 동작시킴으로써 용이하게 실현할 수 있다. 또한, 캐소드 단자에 흐르는 전류 혹은 애노드 단자에 흐르는 전류 혹은 화소(16)의 EL 소자(15)에 흐르는 전류가 감소하도록 제어하는 혹은 증가하도록 제어하는 것은, 소스 드라이버 회로(IC)(14)를 제어하는 것(예를 들면, 도 46, 도 50, 도 60 등의 기준 전류 Ic를 제어하는 것)에 의해 실현할 수 있다. 혹은 애노드 전압 Vdd를 변화 혹은 제어해도 실현할 수 있다.

본 명세서에서는 설명을 용이하게 하기 위해서, 기본적으로는 도 117 등에 있어서는 duty비를 1/1인 것으로 해서 설명을 한다. 즉, 점등률과 애노드에 흐르는 전류는 비례하고 있는 것으로 한다.

또한, 설명에서 애노드 전류와 점등률은 비례하는 것으로서 설명을 하고 있다. 그러나, 도 1 등의 화소 구성에서는 애노드 단자(구동용 트랜지스터(11a)의 소스 단자)에는, 소스 드라이버 IC에 유입되는 프로그램 전류도 가산되어 있다. 따라서, 현실적으로는 다소 다르다. 또한, 애노드 배선에 흐르는 전류를 중심으로 설명하고 있지만, 캐소드 배선에 흐르는 전류로 치환해도 되는 것은 물론이다.

도 117의 (a)는 점등률에 따라서 화소(16)의 애노드 전압이 V_{dd} (점등률 0%) 내지 V_r (점등률 100%)의 전압 강하가 발생하는 것을 도시하고 있다. 도 117의 (b)는 점등률에 대한 단자(155)에 출력하는 프리차지 전압을 나타내고 있다. V_{dd} 로부터 D(V) 강하한 위치에 구동용 트랜지스터(11a)의 상승 위치가 있다. 따라서, V_d 로부터 D(V) 강하한 전압이 점등률 0%에서의 프리차지 전압으로 된다. 도 117의 (b)의 실선은, 도 117의 (a)의 애노드 단자의 전압 강하 $V_r(V)$ 를 그대로 이용한 것이다. 따라서, 점등률 100%의 프리차지 전압은 $V_{dd}-D-V_r$ 이다.

도 117의 (b)의 점선은, 점등률 40% 이상과 이하에서 프리차지 전압을 변화시킨 것이다. 점등률 40%까지는 프리차지 전압은 $V_{dd}-D(V)$ 로 하고, 40% 이상에서는 프리차지 전압은 $V_{dd}-D-V_r(V)$ 로 하고 있다. 점선과 같이 제어함으로써, 프리차지 전압의 도출 회로가 간단해진다.

애노드 전압 V_{dd} 는, 프로그램 전류 I_w 의 크기로 좌우된다. 도 1의 화소 구성을 예시하여 설명한다. 도 118의 (a)에 도시하는 바와 같이, 전류 프로그램시에는, 프로그램 전류 I_w 는 구동용 트랜지스터(11a)로부터 소스 신호선(18)에 유입된다. 프로그램 전류 I_w 가 클 때에는, 구동용 트랜지스터(11a)의 채널간 전압이 커진다. 도 118의 (b)는 도 118의 (a)를 그래프화한 것이다. 채널간 전압 V_1 (실제로는 횡축의 0이 V_{dd} 전압이다)일 때에는, 프로그램 전류 I_1 이 흐른다. 채널간 전압 V_2 (실제로는 횡축의 0이 V_{dd} 전압이다)일 때에는, 프로그램 전류 I_2 가 흐른다. 큰 프로그램 전류 I_w 를 흘리기 위해서는, 애노드 전압 V_{dd} 를 높게 할 필요가 있다.

이상의 실시예는, 프로그램 전류 I_w 가 커지면 애노드 전압 V_{dd} 를 크게 할 필요가 있는 것으로 했지만, 반대로는, 프로그램 전류 I_w 가 작을 때에는, 애노드 전압 V_{dd} 는 낮아도 된다는 것을 의미한다. 애노드 전압 V_{dd} 가 낮아지면 패널의 소비 전력을 감소시킬 수 있어, 구동용 트랜지스터(11a)에서 소비되는 전력도 감소시킬 수 있으므로, 발열을 감소시킬 수 있고, EL 소자(15)의 수명도 길게 할 수 있다.

프로그램 전류 I_w 는, 기준 전류의 변화에 의해서도 변화한다. 기준 전류 I_c 가 증가하면, 상대적으로 프로그램 전류 I_w 도 커진다(화면의 계조 데이터가 일정한 경우, 즉 래스터 화면으로 논하고 있다). 기준 전류 I_c 가 감소하면, 상대적으로 프로그램 전류 I_w 도 작아진다. 여기서는 설명을 용이하게 하기 위해서, 프로그램 전류 I_w 의 증대 또는 감소는, 기준 전류 I_c 의 증대 또는 감소와 동의인 것으로서 설명을 한다.

도 119는, 본 발명의 전원 회로의 구성도이다. V_{in} 은 본체의 전지(도시 생략)로부터의 어큐플레이터 전압이다. DC/DC 컨버터(1191a)는 GND 전압을 기준으로 하고 V_{in} 전압으로부터 승압하여 애노드 전압 V_{dd} 를 발생한다. 또한, 설명을 용이하게 하기 위해서, 소스 드라이버 IC의 전원 전압 V_s 와 애노드 전압 V_{dd} 는 동일한 것으로서 설명을 한다. $V_{dd}=V_s$ 로 함으로써, 전원 수가 감소하여, 회로 구성이 용이해진다. 또한, 소스 드라이버 IC에 과전압이 인가되는 일이 없어진다. DC/DC 컨버터(1191b)는 GND 전압을 기준으로 하고 V_{in} 전압으로부터 승압하여 기저 전압 V_{dw} 를 발생한다.

레귤레이터(1193)는 V_{dd} 전압을 접지 전압으로 하여, V_{dw} 전압과 V_{dd} 전압으로부터 캐소드 전압 V_{ss} 를 발생시킨다. 이상의 구성에 의해, 만일, V_{dd} 전압이 상승하면, V_{ss} 전압도 비례하여 상승한다.

도 1에서도 이해할 수 있지만, 구동용 트랜지스터(11a)에서 정전류 I_w 가 발생되어, EL 소자(15)에 프로그램 전류 I_w 가 흐른다. 따라서, 소비 전력은, V_{dd} 와 V_{ss} 의 전위차이다. 도 119의 구성에서는, V_{dd} 전압의 시프트에 의해, V_{ss} 전압도 동일 방향으로 시프트한다. 따라서, 애노드 전압이 변화해도, EL 소자(15) + 구동용 트랜지스터(11a) 사이에 인가되는 전압은 일정하다.

도 118에서 설명한 바와 같이, 애노드 전압은, 프로그램 전류 I_w (기준 전류 I_c)가 커지면 높게 할 필요가 있다. GND 전위가 고정이기 때문이다. 또한, 애노드 전압의 변화와 동시에 IC 전압의 V_s 도 변화시킨다($V_{dd}=V_s$). $V_{dd}-V_{ss}$ 가 일정 전압이고, V_{dd} 가 높아지면, EL 소자(15)에 인가되는 전압이 작아진다. 따라서, EL 소자(15)는 포화 영역에서 동작하지 않게 된

다. 그러나, $I_w(I_c)$ 를 크게 하지 않으면 안되는 영역은, 저점등물의 영역이고, 화소는 고휘도 제어가 행해지고 있다. 따라서, 저점등물이고, 또한, 고휘도 표시의 화소(16)의 휘도가 저하해도 화상 표시에 영향은 거의 없다. 이점(利點)으로 하는 소비 전력 쪽이 크다.

$V_{dd}=V_s$ 가 아닌 경우에는, 도 120에 도시하는 바와 같이, 애노드 전압 V_{dd} 와 GND 사이에 저항(R_1 , R_2) 분할에 의해 발생시키면 된다. V_s 전압은, IC 내부에서 프리차지 전압의 발생용으로서 사용하기 때문이다. 프리차지 전압은 V_{dd} 를 기준으로 하기 때문에, V_s 와 V_{dd} 는 연동하고 있을 필요가 있다. 또한, 도 120에 도시하는 바와 같이, 전해 커패시터 C를 삽입한다.

도 121은 게이트 오프 전압(V_{gh}), 게이트 온 전압(V_{gl})과의 관계를 도시한 것이다(도 180과 그 설명도 참조할 것). 도 121의 (a)는, 애노드 전압 V_{dd} 보다 V_{gh} 전압을 크게 하고 있다. V_{gl} 전압은, V_{ss} 전압보다 높게 하고 있다.

도 121의 (b)는, 애노드 전압 V_{dd} 를 시프트시켜, 기준의 전압 V_{dd} 보다 높게 한 상태이다(전압 V_{dd1} 로 나타내고 있다). 도 121의 (b)에서는, V_{gh} 전압은 V_{dd} 의 변화와 연동하여 높게 하고 있다. V_{gl} 전압은, 도 121의 (a)로부터 변화시키고 있지 않다.

도 121의 (b)는, 애노드 전압 V_{dd} 를 시프트시켜, 기준의 전압 V_{dd} 보다 높게 한 상태이다(전압 V_{dd1} 로 나타내고 있다). 도 121의 (b)에서는, V_{gh} 전압은, V_{dd} 의 변화와 연동시키고 있지 않다. V_{gl} 전압은, 도 121의 (a)로부터 변화시키고 있지 않다. 이상과 같이, 게이트 신호선 전압 V_{gh} , V_{gl} 전압은 어느 것이어도 된다.

애노드 전압 V_{dd} 와 IC(회로)(14)의 전원 전압 V_s (혹은 기준 전압)는 동일하게 하는 것이 바람직하다. 또한, 도 75에 도시하는 바와 같이 프리차지 전압을 발생시키는 전자 볼륨(501)의 기준 전압 V_s 도 애노드 전압 V_{dd} 로 하는 것이 바람직하다. 즉, 프리차지를 발생시키는 회로 전원 전압과 IC(회로)(14)의 전원 전압(기준 전압) V_s 와 애노드 전압 V_{dd} 는 대략 일치시킨다. 또한, 대략 일치라 함은, $\pm 0.2(V)$ 이내의 범위를 의미한다. 물론, 완전하게 일치시키는 것이 바람직한 것은 물론이다.

프리차지 전압을 발생시키는 전자 볼륨(501)의 기준 전압 V_s , 애노드 전압 V_{dd} , 회로(IC)(14)의 전원 전압 V_s 는 연동시킨다. 예를 들면, 애노드 전압 V_{dd} 가 상승하면, 프리차지 전압을 발생시키는 전자 볼륨(501)의 기준 전압 V_s 도 상승시킨다. 또한, 회로(IC)(14)의 전원 전압도 상승시킨다. 반대로, 애노드 전압 V_{dd} 가 강하하면, 프리차지 전압을 발생시키는 전자 볼륨(501)의 기준 전압 V_s 도 강하시킨다. 또한, 회로(IC)(14)의 전원 전압도 강하시킨다.

이상과 같이 연동시키는 것은, 프리차지 전압은, 구동용 트랜지스터(11a)의 V_{dd} (즉, 구동용 트랜지스터(11a)의 소스 단자 전위)를 기준으로 하여 발생시키는 것이 바람직하기 때문이다. 즉, 애노드 전압 V_{dd} 가 상승하면, 프리차지 전압도 연동하여 상승시키는 것이 바람직하다. 따라서, 전자 볼륨(501)의 기준 전압(IC(회로)(14)의 전원 전압) V_s 도 상승시킨다. 한편, 전자 볼륨(501)은 소스 드라이버 회로(IC)(14) 내에 내장시키고 있기 때문에, 당연한 일이지만 전자 볼륨(501)은 IC의 전원 전압(내압)을 초과할 수 없다.

실제로는, 소스 드라이버 회로(IC)(14)로부터 출력할 수 있는 프리차지 전압은, IC(회로)(14)의 전원 전압 $-0.2(V)$ 정도로 된다. 따라서, 프리차지 전압이 상승하면, IC(회로)(14)의 전원 전압도 상승시키지 않으면 IC(회로)(14)로부터 목표의 프리차지 전압을 출력할 수 없다.

프리차지 전압은 도 75에 도시하는 바와 같이 전자 볼륨(501) 등의 디지털 가변(IC 외부로부터의 가변) 구성으로 하고 있기 때문에, 애노드 전압 V_{dd} 의 변화(예를 들면, 도 123, 도 125, 도 124 등을 참조할 것)를 검출하고, 전자 볼륨(501)의 스위치 S를 변경함으로써, 프리차지 전압을 변경할 수 있다. 따라서, 도 75의 구성은 본 발명의 IC(회로)(14)로서 특징 있는 구성이다. 또한, 프리차지 전압은, IC(회로)(14)의 외부에서 발생시켜, IC(회로)(14)를 통하여 소스 신호선(18) 등에 인가해도 된다. 또한, 이 경우도, 프리차지 전압의 최대값보다 IC(회로)(14)의 전원 전압 V_s 는 $0.2(V)$ 높게 해 둘 필요가 있다.

이상의 실시예에서는, 프리차지 전압에 대하여 설명했지만, 프리차지 전압에 한정되는 것은 아니고, 도 228 등에서 설명하는 리셋 전압에 대해서도 적용할 수 있는 것은 물론이다.

애노드 전압 V_{dd} 와 드라이버 IC(회로)(14)의 전원 전압 등을 연동시키는 것으로 했지만, 도 10, 도 9 등에 도시하는 바와 같이 구동용 트랜지스터(11a)가 N 채널인 경우에는, 캐소드 전압 V_{ss} 가 기준으로 된다. 따라서, 프리차지 전압을 발생시키는 전자 볼륨(501)의 기준 전압 V_s , 캐소드 전압 V_{ss} , 회로(IC)(14)의 전원 전압 V_s (혹은 GND 레벨)은 연동시킬 필요가 있는 것은 물론이다. 따라서, 이상에서 설명한 내용을 치환하면 된다.

이상의 사항은 본 발명의 다른 실시예인 표시 패널, 표시 장치, 구동 방식 등에도 적용할 수 있는 것은 물론이다.

도 122는, 일레로서의 점등률과 애노드 전압의 관계를 나타낸 것이다. 또한, $V_{dd} + 2$, $V_{dd} + 4$ 는, 절대적인 전압을 나타내고 있는 것이 아니고, 설명을 용이하게 하기 위해서 상대적으로 도시한 것이다.

도 122에 있어서, 점등률이 25% 이하에서 기준 전류(프로그램 전류)를 증대시키고 있다. 이 상태에서는 애노드 전압을 높게 할 필요가 있으므로, 기준 전류의 증대에 수반하여, 애노드 전압도 높게 하고 있다. 또한, 점등률 75% 이상에서 기준 전류를 크게 하고 있다. 또한, 기준 전류의 증대에 수반하여, 애노드 전압도 높게 하고 있다.

도 122는, 일레로서의 점등률과 애노드 전압의 관계를 나타낸 것이다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 280에 도시하는 바와 같이, 점등률 등에 따라서, 애노드 단자 전압과 캐소드 단자 전압과의 전위차를 변화시켜도 되는 것은 물론이다. 예를 들면, 애노드 단자 전압이 6(V), 캐소드 단자 전압이 -9(V)이면, 전위차는 $6 - (-9) = 15(V)$ 이다. 즉, 애노드 전압을 캐소드 전압과의 절대값을 점등률 혹은 기준 전류 혹은 애노드 단자에 흐르는 전류 등에 따라서 변화시킨다.

도 280의 실선 A에서는, 제1 점등률 혹은 점등률 범위에 있어서 제1 애노드 단자 전압과 캐소드 단자 전압과의 전위차로 하고, 제2 점등률 혹은 점등률 범위에 있어서 제2 애노드 단자 전압과 캐소드 단자 전압과의 전위차로 하고 있고, 또한, 제1 점등률 혹은 점등률 범위로부터 제2 점등률 혹은 점등률 범위에서는, 점등률에 따라서 애노드 단자 전압과 캐소드 단자 전압을 변화시키고 있다. 당연히, 애노드 단자 전압 또는 캐소드 단자 전압의 한쪽만을 변화시켜도 되는 것은 물론이다.

도 280의 점선 B에서는, 제1 점등률 혹은 점등률 범위에 있어서 제1 애노드 단자 전압과 캐소드 단자 전압과의 전위차로 하고, 제2 점등률 혹은 점등률 범위에 있어서 제2 애노드 단자 전압과 캐소드 단자 전압과의 전위차와 같이 스텝 형상으로 변화시키고 있다.

일레로서, 도 620~도 604과 같이 구성하는 것에 의해, 애노드 전압을 제어 신호 DATA에 의해 프로그램적으로 변화 혹은 제어할 수 있다. DATA는 점등률에 따라 변화하는 디지털 데이터이다. 즉, DATA의 변수는 점등률이다.

도 602에 있어서 각 화소(16)의 구동용 트랜지스터(11a)의 애노드 단자는 오피 앰프(502)의 출력 단자 b에 접속되어 있다. 전자 볼륨(501)의 a 단자 출력 전압은, DATA에 따라 변화한다. a 단자 전압은 오피 앰프(502)에 인가되어, 애노드 전압을 제어한다(변화시킨다). 이상의 구성은 캐소드 전압을 변화시키는 경우에도 적용할 수 있는 것은 물론이다.

도 603은, 화소(16)가 커런트 미러의 화소 구성이다. 커런트 미러의 화소 구성에 있어서도, 도 602 등의 방식을 적용할 수 있는 것은 물론이다. 또한, 도 604는, 화소(16) 내에 인버터 회로를 갖는 구성이다. 도 604의 화소 구성에 있어서도, 도 602 등의 방식을 적용할 수 있는 것은 물론이다.

또한, 점등률 제어 등 본 명세서에 기재하는 본 발명의 구성 혹은 방식에 관해서는, 도 1의 화소 구성을 중심으로 하여 설명한다. 그러나, 본 발명은 이것에 한정되는 것은 아니고, 도 602, 도 603, 도 604 등의 다른 화소 구성에 대해서도 적용할 수 있는 것은 물론이다.

본 발명의 실시예에서는, 점등률 등에 대응시켜 duty비를 변화시키는 것에 하나의 특징이 있다. duty비는, 표시 패널의 주사선 수(화상 표시 화소행 수)를 변화에 대응시켜 변화시켜도 된다. 도 515가 그 실시예이다. 표시 화소 수가 변화한다는 것은, 표시 면적이 변화하게 된다. 표시 면적이 작을수록, 표시 패널에서 소비되는 전력은 변화한다. 즉, 주사선 수가 증대하면, 표시 면적이 넓어져, 표시 패널에서 소비되는 전력은 많아진다. 반대로, 주사선 수가 저감하면, 표시 면적이 좁아져, 표시 패널에서 소비되는 전력은 적어진다.

본 발명에서 duty비 제어를 실시하는 하나의 목적은, 일정 이상의 소비 전력으로 될 때를 억제하여, 소비 전력을 평균화하는 것이다. 따라서, 주사선 수가 증가하는 차이는, duty비를 작게 한다. 주사선 수가 저하할 때에는, duty비가 커도 상관없다. 주사선 수의 증감에 상관없이, 점등률에 따라서도 duty비를 변화시킨다.

도 515에 있어서, 실선은, 주사선 수가 200라인일 때의 경우이다. 점등률 40% 이하에서, duty비를 1/1로 하고, 40% 이상에서 duty비를 저하시키고 있다. 점선은, 실선과 동일 표시 패널에 있어서, 주사선 수를 220라인 표시시켰을 때의 경우이다. 점등률 40% 이하에서, duty비를 7/8로 하고, 40% 이상에서 duty비를 저하시키고 있다. 1점쇄선은, 실선과 동일 표시 패널에 있어서, 주사선 수를 240라인 표시시켰을 때의 경우이다. 점등률 40% 이하에서, duty비를 3/4으로 하고, 40% 이상에서 duty비를 저하시키고 있다.

이상의 실시예에는, 주사선 수에 대응시켜 duty비를 가변하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 주사선 수에 대응시켜 기준 전류비를 변화시켜도 된다. 주사선 수가 적을 때에는, 기준 전류비를 크게 하고, 주사선 수가 상대적 혹은 절대적으로 클 때에는 기준 전류비를 작게 한다.

이상의 실시예에서는, 주사선 수에 대응시켜, duty비 등을 변화시키는 실시예였다. 패널 혹은 패널의 주위 온도에 따라서, duty비 등을 변화시켜도 된다. 도 516은 그 실시예이다. 도 516에 있어서 실선은, 패널 온도가 40℃ 이하인 경우이다. 실선에서는, 점등률 40% 이하에서, duty비를 1/1로 하고, 40% 이상에서 duty비를 저하시키고 있다. 점선에서는 점등률 20% 이하에서 duty비를 1/2로 하고, 점등률 20% 이상에서 duty비를 저하시킨다. 40℃ 내지 60℃의 사이에서는, 점선과 실선 사이의 커브를 그린다.

마찬가지로, 도 517에 도시하는 바와 같이, 기준 전류비를 온도에 따라서 변화시켜도 된다. 물론, duty비와 기준 전류비의 양쪽을 변화시켜도 된다. 도 517에 있어서, 실선은, 패널 온도가 40℃ 이하인 경우이다. 실선에서는, 점등률 40% 이하에서, 기준 전류비를 1/1로 하고, 40% 이상에서 기준 전류비를 저하시키고 있다. 점선은 60℃의 경우이고, 점등률 20% 이하에서 기준 전류비를 3으로 하고, 점등률 20% 이상에서 기준 전류비를 저하시킨다. 40℃ 내지 60℃의 사이에서는, 점선과 실선 사이의 커브를 그린다. 물론, 점선으로 나타내는 바와 같이 점등률에 따라서 기준 전류비 등을 복수의 값으로 변화시키도록 형성 또는 구성해도 된다. 또한, 도 518과 같이 점등률에 따라서, duty비×기준 전류비를 변화시켜도 된다.

도 123에 있어서, 점등률에 따라서 기준 전류(프로그램 전류)를 단계적으로 변화시키고 있다. 기준 전류의 변화에 수반하여, 애노드 전압도 변화시키고 있다.

또한, 도 119 내지 도 123, 도 280 등에서는, 기준 전류(프로그램 전류)의 변화에 의해 애노드 전압을 변화시키는 것으로 했다. 그러나, 이것은, 구동용 트랜지스터(11a)가 P 채널인 경우이고, N 채널인 경우에는, 캐소드 전압을 변화시키는 것은 물론이다.

프로그램 전류의 크기(기준 전류의 크기)에 대한 애노드 전압은, 도 124에 도시하는 바와 같이 변화시켜도 된다. 도 124의 실선 a는, 프로그램 전류(기준 전류)에 비례시켜 애노드 전압을 변화시킨 예이다. 도 124의 점선 b는, 소정의 프로그램 전류(기준 전류) 이상일 때에, 애노드 전압을 변화시킨 실시예이다. 점선 b에서는, 기준 전류에 대한 애노드 전압의 변화점은 1점이므로, 회로 구성이 용이해진다.

도 119, 도 120에 있어서, DC/DC 컨버터 혹은 레귤레이터 대신에, 트랜스포머(단일 감기 트랜스포머, 복수 감기 트랜스포머) 혹은 코일을 이용하여 승압 회로 등을 형성 혹은 구성해도 되는 것은 물론이다.

이상의 실시예에서는, 기준 전류 혹은 프로그램 전류의 크기에 따라서 애노드 전압을 변화시키는 실시예였다. 그러나, 기준 전류 혹은 프로그램 전류의 크기의 변화는, 소스 신호선(18)의 전위를 변화시키는 것과 동의이다. 도 1 등의 구동용 트랜지스터(11a)가 P 채널인 경우에는, 프로그램 전류 I_w 혹은 기준 전류를 증가시키는 것은, 소스 신호선(18)의 전위를 낮게 하는 것이다(GND 전위에 가까워진다). 반대로, 프로그램 전류 I_w 혹은 기준 전류를 작게 하는 것은, 소스 신호선(18)의 전위를 높게 하는 것이다(애노드 Vdd에 가까워진다).

이상의 점으로부터, 도 125에 도시하는 바와 같이 제어를 행해도 된다. 즉, 소스 신호선(18)의 전위가 0(GND) 전위일 때에, 애노드 전압을 가장 높게 한다(기준 전류 및 프로그램 전류가 최대값). 소스 신호선(18)의 전위가 Vdd 전위일 때에, 애노드 전압을 가장 낮게 한다(기준 전류 및 프로그램 전류가 최소값). 이상과 같이 구성 혹은 제어함으로써, EL 소자(15)에 고전압이 인가되는 기간을 짧게 할 수 있어, EL 소자(15)를 장기 수명화할 수 있다.

이하, 본 발명의 EL 표시 패널(EL 표시 장치)의 전원 회로(전압 발생 회로)에 대하여 더 설명한다.

본 발명의 유기 EL 표시 장치의 전원 회로에 대하여 설명한다. 도 539는 본 발명의 전원 회로의 구성도이다. (5392)는 제어 회로이다. 제어 회로(5392)는 저항(5395a)와 (5395b)의 중점 전위를 제어하여, 트랜지스터(5396)의 게이트 단자를 제어하는 신호를 출력한다. 트랜스포머(5391)의 1차측에는 전원 V_{pc} 가 인가되고, 1차측의 전류가 트랜지스터(5396)의 온 오프 제어에 의해 2차측으로 전달된다. (5393)은 정류 다이오드이고, (5394)는 평활화 컨덴서이다.

전류 구동 방식의 유기 EL 표시 패널은, 전위적인 관점으로부터 이하의 특징이 있다. 본 발명의 화소 구성은, 도 1 등에서 설명한 바와 같이, 구동용 트랜지스터(11a)는 P 채널의 트랜지스터이다. 또한, 프로그램 전류를 발생하는 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)는 N 채널의 트랜지스터이다. 이 구성에 의해, 프로그램 전류는, 화소(16)로부터 소

스 드라이버 회로(IC)(14)를 향해서 흐르는 흡입 전류(싱크 전류)로 되어 있다. 따라서, 전위적인 동작은, 애노드(Vdd)를 원점으로 해서 동작하고 있다. 즉, 화소(16)에의 프로그램은 전류이기 때문에, 구동의 전압 마진이 확보되어 있으면, 소스 드라이버 회로(IC)(14)의 전위는 어느 것이어도 된다.

제어 회로(5392)의 제어는 컨트롤러(760)의 로직 회로로부터의 로직 신호(GND-VCC 전압)에 의해 제어한다. 따라서, 제어 회로(5392)와 로직 회로의 접지(GND)는 일치시킬 필요가 있다. 그러나, 트랜스포머(5391)는 입력측과 출력측은 분리되어 있다. 전류 프로그램 방식의 소스 드라이버 회로(IC)(14)는 출력측에 작용하고, 애노드 전위(Vdd)를 기준으로 동작한다. 따라서, 소스 드라이버 회로(IC)(14)의 접지(GND)는, 제어 회로(5392), 로직 회로의 접지와 일치시킬 필요는 없다. 이 점에서, 소스 드라이버 IC(14)가 전류 프로그램 방식인 것, 트랜스포머(5392)를 이용하여 애노드 전압(Vss)을 발생시키는 것(더 덧붙인다면, 애노드 전압(Vdd)을 기준으로 해서 캐소드 전압(Vss)을 발생시키는 것), 화소(16)의 구동용 트랜지스터(11a)가 P 채널인 것의 조합은 상승 효과를 발휘한다.

유기 EL 표시 패널은, 애노드(Vdd)와 캐소드(Vss)의 절대값으로 동작한다. 예를 들면, Vdd=6(V)이고, Vss=-6(V)이면, 6-(-6)=12(V)로 동작한다. 도 539의 본 발명의 트랜스포머(5391)를 이용한 전원 회로에서는, 애노드(Vdd)를 기준으로 하여 캐소드 전압(Vss)이 변화한다. 또한, 애노드 전압(Vdd)이, 본 발명의 전류 구동의 소스 드라이버 회로(IC)(14)의 프로그램 전류의 기준 위치이다. 즉, 애노드 전압(Vdd)을 원점으로 해서 동작하고 있다.

반대로, 캐소드 전압(Vss)의 전위 혹은 제어는 러프해도 된다. 이 이유에 의해서도, 도 539의 트랜스포머를 이용한 본 발명의 전원 회로, 전류 구동의 화소(16) 구성을 갖는 유기 EL 패널, 전류 프로그램 방식의 소스 드라이버 회로(IC)(14)는 조합에 의한 상승 효과를 발휘한다. 또한, 애노드 전압의 변화에 의해 캐소드 전압이 시프트하는 점도 중요하다.

이론적으로는, 유기 EL 패널은, 애노드 Vdd로부터 구동용 트랜지스터(11a)에 유입되는 전류 Idd와, EL 소자(15)로부터 캐소드 Vss로 유출되는 전류 Iss가 대략 일치한다. 즉, Idd=Iss의 관계가 있다. 실제로는, Idd>Iss로 되지만, 이 차는, 소스 드라이버 회로(IC)(14)의 프로그램 전류이기 때문에, 근소하여 무시할 수 있다. 도 539, 도 540의 트랜스포머(5391)는, 구성상, 애노드 Vdd로부터 출력되는 전류와, 캐소드 Vss로부터 흡입되는 전류가 일치한다. 이 점에 있어서도, 유기 EL 패널과 본 발명의 트랜스포머(5391)를 이용한 전원 회로의 조합의 상승 효과는 크다.

화소(16)의 구동용 트랜지스터(11a)를 N 채널 트랜지스터로 하는 경우에는, 소스 드라이버 회로(IC)(14)의 단위 트랜지스터(154)는, P 채널 트랜지스터로 하는 것에 의해 마찬가지로의 효과를 발휘할 수 있는 것은 물론이다.

게이트 드라이버 회로(12)의 Vgh 전압, Vgl 전압, 소스 드라이버 회로의 전원 전압 등은, 캐소드 전압(Vss) 또는(및) 애노드 전압(Vdd)으로부터 발생시키면 효율이 좋다. 또한, 트랜스포머(5391)는 입력 2 단자, 출력 2 단자의 4 단자 구성이어도 되지만, 도 539에 도시하는 바와 같이, 입력 2 단자, 출력은 중점을 포함하여 3 단자로 하는 것이 바람직하다. 또한, 트랜스포머(5391)는 단일 감기 트랜스포머(코일)라도 된다.

트랜스포머(5391)의 1차측에는 전원 Vpc가 인가되고, 1차측의 전류가 트랜지스터(5396)의 온 오프 제어에 의해 2차측으로 전달된다. (5393)은 정류 다이오드이고, (5394)는 평활화 컨덴서이다. 애노드 전압 Vdd의 크기는, 저항(5395b)의 크기에 의해 조정된다. Vss는 캐소드 전압이다. 캐소드 전압 Vss는, 도 541에 도시하는 바와 같이 2개의 전압을 선택하여 출력할 수 있도록 구성되어 있다. 2개의 전압의 선택은 스위치(5411)에 의해 행한다. 캐소드 전압으로서의 2개의 전압(도 541에서는, -9(V)와 -6(V))의 발생은, 트랜스포머(5391)의 출력측에 중간 탭을 설치함으로써 용이하게 발생할 수 있다.

또한, 트랜스포머(5391)의 출력측에 -9(V)용과, -6(V)용의 2개의 권선을 구성하고, 이 권선 중 어느 하나를 선택하는 것에 의해 용이하게 발생할 수 있다. 이 점도 본 발명의 우수한 점이다. 또한, 도 541 등에서는 캐소드 전압(Vss)을 절환하는 점도 본 발명의 특징이다. 애노드는 전위의 원점으로서 변화시키면 회로 구성이 복잡해져, 코스트가 높아진다.

한편, 캐소드 전압(Vss)은 10% 정도의 전위 오차가 발생해도, 화상 표시에 영향을 주지 않는다(둔감하다). 따라서, 애노드 전압을 기준으로 해서 캐소드 전압을 설정하는 점, 패널의 온도 특성에 맞추어, 캐소드 전압(Vss)을 변화시키는 점은 본 발명이 우수한 특징이다. 또한, 트랜스포머(5391)는, 입력 권선수와 출력 권선수의 비를 변화시킴으로써 용이하게 캐소드 전압 및 애노드 전압을 변화시키는 것도 이점이 많다. 또한, 트랜지스터(5396)의 스위칭 상태를 변화시킴으로써, 애노드 전압(Vdd)을 변화시킬 수 있는 것도 이점이 많다. 도 541에서는, 스위치(1781)에 의해 -9(V)가 선택되어 있다.

도 541에서는, 캐소드 전압 Vss를 2개의 전압으로부터 선택하는 것으로 했지만, 이것에 한정되는 것은 아니고, 2개 이상으로 해도 된다. 또한, 캐소드 전압은 가변 레귤레이터 회로를 이용하여, 연속적으로 변화시켜도 된다.

스위치(5411a)와 (5411b)의 선택은 온도 센서(4441)로부터의 출력 결과에 의한다. 패널 온도가 낮을 때에는, V_{ss} 전압으로서, $-9(V)$ 를 선택한다. 일정 이상의 패널 온도일 때에는, $-6(V)$ 를 선택한다. 이것은, EL 소자(15)에 온도특성이 있어, 저온측에서 EL 소자(15)의 단자 전압이 높아지기 때문이다. 또한, 도 541에서는, 2개의 전압으로부터 1개의 전압을 선택하여, V_{ss} (캐소드 전압)로 하는 것으로 했지만, 이것에 한정되는 것은 아니고, 3개 이상의 전압 내지 V_{ss} 전압을 선택할 수 있도록 구성해도 된다. 이상의 사항은, V_{dd} 에 대해서도 마찬가지로 적용된다. 또한, 본 발명은 일정 이하의 저온에서는, 캐소드 전압(V_{ss})을 낮게 하는 점(저온으로 되면, V_{dd} 와 V_{ss} 와의 차전압을 크게 함)도 본 발명의 특징 있는 구성이다.

도 541에서는, 온도 센서(4441)로 캐소드 전압을 전환하는(변화시키는) 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 540에 도시하는 바와 같이, 출력 전압을 결정하는 저항(5395)에 병렬로 혹은 직렬로 가변 저항(포지스터, 서미스터 등)(5401)을 형성 또는 배치하고, 온도에 의해 저항값(5401)을 변화시킬 수 있도록 구성해도 된다. 이 구성에 의해 제어 회로(5392)의 IN 단자에의 입력 전압이 변화하여, V_{dd} 전압 혹은 V_{ss} 전압을 적정한 값으로 조정할 수 있다.

도 541과 같이, 패널 온도를 검출하여, 검출 결과에 의해 복수의 전압을 선택할 수 있도록 구성함으로써, 패널의 소비 전력을 저감할 수 있다. 일정 온도 이하일 때에, V_{ss} 전압을 저하시키면 되기 때문이다. 일반적으로 저온으로 되면 EL 소자(15)의 단자간 전압은 커진다. 통상의 온도일 때에는, 전압이 낮은 $V_{ss}=-6(V)$ 를 사용할 수 있다.

또한, 스위치(5411)는 도 541에 도시하는 바와 같이 구성해도 된다. 또한, 복수의 캐소드 전압 V_{ss} 를 발생시키는 것은, 도 541의 트랜스포머(5391)로부터 중간 탭을 추출하는 것에 의해 용이하게 실현할 수 있다. 애노드 전압 V_{dd} 의 경우도 마찬가지이다. 실시예로서, 도 542의 구성을 예시한다. 도 542에서는, 트랜스포머(5391)의 중간 탭을 이용하여 복수의 캐소드 전압을 발생시키고 있다.

도 543은 전위 설정의 설명도이다. 이 예에서는 설명을 용이하게 하기 위해서, 소스 드라이버 IC(14)는 GND를 기준으로 하는 것으로서 설명을 한다. 소스 드라이버 IC(14)의 전원은 V_{cc} 이다. V_{cc} 는 애노드 전압(V_{dd})과 일치시켜도 된다. 본 발명에서는 소비 전력의 관점으로부터, $V_{cc}<V_{dd}$ 로 하고 있다. 바람직하게는, 소스 드라이버 회로(IC)의 V_{cc} 전압은 $V_{dd}-1.5(V)\leq V_{cc}\leq V_{dd}$ 의 관계를 만족시키는 것이 바람직하다. 예를 들면, $V_{dd}=7(V)$ 이면, V_{cc} 는, $V_{dd}-1.5=5.5(V)$ 이상 $7(V)$ 이하의 조건을 만족시키는 것이 바람직하다.

게이트 드라이버 회로(12)의 오프 전압 V_{gh} 는, V_{dd} 전압 이상으로 한다. 바람직하게는, $V_{dd}+0.2(V)\leq V_{gh}\leq V_{dd}+2.5(V)$ 의 관계를 만족시킨다. 예를 들면, $V_{dd}=7(V)$ 이면, V_{gh} 는, $7+0.2=7.2(V)$ 이상 $7+2.5=9.5(V)$ 이하의 조건을 만족시키도록 한다. 이상의 조건은, 화소 선택측(도 1의 화소 구성에서는 트랜지스터(11b, 11c))과, EL 선택측(도 1의 화소 구성에서는 트랜지스터(11d))의 양쪽에 적용된다.

구동용 트랜지스터(11a)와의 프로그램 전류의 경로를 발생시키는 스위칭용 트랜지스터(도 1의 화소 구성에 있어서는, 트랜지스터(11b, 11c)가 해당함)의 온 전압 V_{gl} 은, $V_{dd}-V_{dd}$ 이하 $V_{dd}-V_{dd}-4(V)$ 의 조건을 만족시키거나, 혹은, 캐소드 전압 V_{ss} 와 대략 일치시키는 것이 바람직하다. 마찬가지로, EL 선택측(도 1의 화소 구성에 있어서는, 트랜지스터(11d)가 해당함)의 온 전압도 마찬가지이다. 즉, 애노드 전압이 $7(V)$, 캐소드 전압이 $-6(V)$ 이면, 온 전압 V_{gl} 은, $7-7(V)=0(V)$ 이하 $7-7-4=-4(V)$ 의 범위로 하는 것이 바람직하다. 혹은, 온 전압 V_{gl} 은 캐소드 전압과 대략 일치시켜, $-6(V)$ 혹은 그 근방으로 하는 것이 바람직하다.

화소(16)의 구동용 트랜지스터(11a)가 N 채널의 트랜지스터인 경우에는, V_{gh} 는 온 전압으로 된다. 이 경우에는, 오프 전압을 온 전압으로 치환하면 되는 것은 물론이다.

본 발명의 전원 회로의 과제에, 애노드 전압 V_{dd} 및(또는) 캐소드 전압 V_{ss} 로부터 V_{gh} , V_{gl} 전압 등을 발생시키고 있는 점이 있다. 애노드 전압 등은 트랜스포머(5391)에서 발생시키고, 이 전압으로부터, DC/DC 컨버터 V_{gh} , V_{gl} 전압 등이 인가되게 된다.

그러나, V_{gh} , V_{gl} 은 게이트 드라이버 회로(12)의 제어 전압이고, 이 전압이 인가되어 있지 않으면, 화소의 트랜지스터(11)는 플로팅 상태로 되어 버린다. 또한, V_{cc} 전압이 없으면, 소스 드라이버 회로(IC)(14)도 플로팅 상태로 되어, 오동작을 야기시킨다. 따라서, 도 544에 도시하는 바와 같이, V_{gh} , V_{gl} , V_{cc} 전압을 패널에 인가한 후, T1 시간 경과 후, 혹은 동시에 V_{dd} , V_{ss} 전압을 인가할 필요가 있다.

이 과제에 대하여, 본 발명은 도 545에 도시하는 구성으로 해결하고 있다. 도 545에 있어서, (5413a)는 트랜스포머(5391) 등으로 구성되는 전원 회로이다. (5413b)는, 전원 회로(5413a)로부터의 전압을 입력하여, Vgh, Vgl, Vcc 전압 등을 발생시키는 전원 회로로서, DC/DC 컨버터 회로, 레귤레이터 회로 등으로 구성된다. (5451)은 스위치이다. 사이리스터, 메카니컬 릴레이, 전자 릴레이, 트랜지스터, 아날로그 스위치 등이 해당한다.

도 545의 (a)에서는, 전원 회로(5413a)가 우선, 애노드 전압(Vdd) 및 캐소드 전압(Vss)을 발생한다. 이 발생시에는, 스위치(5451a)가 오픈 상태로 되어 있다. 따라서, 표시 패널에는 애노드 전압(Vdd)은 인가되지 않는다. 전원 회로(5413a)에서 발생한 애노드 전압(Vdd) 및 캐소드 전압(Vss)은 전원 회로(5413b)에 인가되고, 전원 회로(5413b)에서 Vgh, Vgl, Vcc 전압이 발생되어, 표시 패널에 인가된다. Vgh, Vgl, Vcc 전압을 표시 패널에 인가한 후, 스위치(5451a)가 온(클로즈)하여, 표시 패널에 애노드 전압(Vdd)이 인가된다.

도 545의 (a)에서는, 애노드 전압(Vdd)만을 스위치(5451a)에 의해 차단하고 있다. 이것은, 애노드 전압(Vdd)이 인가되어 있지 않으면, EL 소자(15)에 전류를 인가하는 경로가 발생하지 않고, 또한, 소스 드라이버 회로(IC)(14)에 흐르는 경로도 발생하지 않기 때문이다. 따라서, 표시 패널이 오동작 혹은 플로팅 동작하는 일이 없다.

물론, 도 545의 (b)에 도시하는 바와 같이, 스위치(5451a, 5451b)의 양쪽을 온 오프 제어함으로써, 표시 패널에 인가하는 전압을 제어해도 된다. 단, 스위치(5451a)와 (5451b)는 동시에 클로즈 상태로 하거나, 혹은, 스위치(5451a)가 클로즈한 후, 스위치(5451b)가 클로즈 상태로 되도록 제어할 필요가 있다.

이상은, 전원 회로(5413a)의 Vdd 단자에 스위치(5451)를 형성 또는 배치하는 구성이었다. 도 546은 스위치(5451)를 형성 또는 배치하지 않는 구성이다. 애노드 전압(Vdd)과 Vgh 전압이 근사하고, 또한, 애노드 전압(Vdd)과 Vcc 전압이 근사하고 있는 점, Vgh 전압이 인가되어 있으면 게이트 드라이버(12)에 의해 게이트 신호선(17a, 17b)에 오프 전압 Vgh가 인가되고, 트랜지스터(11)(도 1의 구성에서는 트랜지스터(11b), 트랜지스터(11c), 트랜지스터(11d))가 오프 상태로 되는 것을 이용하고 있다. 트랜지스터(11)가 오프 상태이면, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류 경로는 발생하지 않고, 또한, 구동용 트랜지스터(11a)로부터 소스 드라이버 회로(IC)(14)에 흐르는 프로그램 전류의 경로도 발생하지 않기 때문에, 표시 패널이 오동작 혹은 이상 동작하는 일이 없다.

애노드 전압(Vdd)과 Vgh 전압이 근사하고 있으면, 저항(5461a)에서 쇼트되어 있더라도 저항에는 거의 전류가 흐르지 않는다. 따라서, 전력 손실은 거의 발생하지 않는다. 예를 들면, 애노드 전압(Vdd)=7(V)이고, Vgh=8(V)로 하고, 저항(5461a)이 10(K Ω)이라고 하면, $(8-7)/10=0.1$ 로 되므로, 저항(5461a)에 흐르는 전류는, 0.1(mA)이다.

Vgh는 오프 전압이다. 또한, 게이트 드라이버 회로(12)로부터 출력되는 전압이기 때문에, 사용하는 전류는 작다. 본 발명은 이 성질을 이용하고 있다. 즉, 애노드 전압(Vdd) 단자와 Vgh 단자를 단락한 저항(5461a)에 의해서, 게이트 신호선(17)에 오프 전압(Vgh) 혹은 그 근방의 전위로 유지할 수 있다.

따라서, 애노드 전압(Vdd)으로부터 EL 소자(15)에 흐르는 전류 경로가 발생하지 않아, 표시 패널에 이상 동작이 발생하지 않는다. 또한, 게이트 드라이버 회로(12)의 시프트 레지스터(141)(도 14를 참조할 것)를 동작시켜, 모든 게이트 신호선(17)으로부터 오프 전압(Vgh)이 출력되도록, 제어하는 것은 물론이다.

그 후, 전원 회로(5413b)가 완전 동작하여, 전원 회로(5413b)로부터 규정의 Vgh 전압, Vgl 전압, Vcc 전압이 출력된다.

마찬가지로, 애노드 전압(Vdd)과 Vcc 전압이 근사하고 있으면, 저항(5461b)에서 쇼트되어 있더라도 저항에는 거의 전류가 흐르지 않는다. 따라서, 전력 손실은 거의 발생하지 않는다. 예를 들면, 애노드 전압(Vdd)=7(V)이고, Vcc=6(V)으로 하고, 저항(5461a)이 10(K Ω)라고 하면, $(7-6)/10=0.1$ 로 되므로, 저항(5461b)에 흐르는 전류는, 0.1(mA)이다. 또한, Vcc는 소스 드라이버 회로(IC)(14)에서 사용하는 전압이지만, Vcc로부터 소비되는 전류는 소스 드라이버 회로(IC)(14)의 시프트 레지스터 회로 등에 사용되는 정도로, 근소하다.

본 발명은 이 성질을 이용하고 있다. 즉, 애노드 전압(Vdd) 단자와 Vcc 단자를 단락한 저항(5461b)에 의해서, 소스 드라이버 회로(IC)(14)의 스위치(481)를 오프(오픈) 상태로 하는 것에 의해, 단위 트랜지스터(154)에는 전류가 유입되지 않게 할 수 있다. 따라서, 애노드 전압(Vdd)으로부터 소스 신호선(18)으로의 전류 경로는 발생하지 않기 때문에, 표시 패널에 이상 동작이 발생하지 않는다. 또한, 소스 드라이버 회로(IC)(14)의 시프트 레지스터를 동작시켜, 모든 소스 신호선(17)으로부터 단위 트랜지스터(154)의 전류 경로를 분리하도록 제어하는 것은 물론이다.

도 546에 있어서, 캐소드 전압(V_{ss}) 단자와 V_{gl} 단자 사이를 저항(도시 생략)으로 단락해 두어도 된다. 이 저항의 단락에 의해, 캐소드 전압(V_{ss})의 발생시에 캐소드 전압(V_{ss})이 V_{gl} 단자에 인가된다. 따라서, 게이트 드라이버 회로(12)가 정상 동작한다.

도 546에서는 애노드 전압(V_{dd})과 V_{gh} 단자를 저항(5461)으로 쇼트하는 것으로 했지만, 구동용 트랜지스터(11a)가 N 채널의 트랜지스터인 경우에는, 애노드 전압(V_{dd})과 V_{gl} 단자 혹은, 캐소드 전압(V_{ss})과 V_{gl} 단자를 쇼트시키는 것은 물론이다.

애노드 전압(V_{dd})과 V_{gh} 전압 사이, 애노드 전압(V_{dd})과 V_{cc} 전압 사이 등은 비교적 높은 저항으로 쇼트(접속)하는 것으로 했지만, 이것에 한정되는 것은 아니다. 저항(5461)을 릴레이 혹은 아날로그 스위치 등의 스위치로 치환해도 된다. 즉, 애노드 전압(V_{dd})이 발생한 시점에서, 릴레이를 클로즈 상태로 해 둔다. 따라서, 애노드 전압(V_{dd})이 V_{gh} 단자 및 V_{cc} 단자에 인가된다. 다음으로, 전원 회로(5413b)에서 V_{gh} 전압, V_{gl} 전압, V_{cc} 전압 등이 발생한 시점에서, 릴레이를 오픈 상태로 하여, 애노드 전압(V_{dd})과 V_{gh} 단자, 및 애노드 전압(V_{dd})과 V_{cc} 단자를 분리한다.

다음으로, 도 260을 이용하여, 본 발명의 EL 표시 패널에서 사용하는 전원(전압)에 대하여 설명을 한다. 도 14에서도 설명을 했지만, 게이트 드라이버 회로(12)는, 버퍼 회로(142)와 시프트 레지스터 회로(141)로 구성된다. 버퍼 회로(142)는 오프 전압(V_{gh})과 온 전압(V_{gl})을 전원 전압으로서 사용한다. 한편, 시프트 레지스터 회로(141)는 시프트 레지스터의 전원 V_{GDD} 와 접지(GND) 전압을 사용하고, 또한, 입력 신호(CLK, UD, ST)의 반전 신호를 발생시키기 위한 V_{REF} 전압을 사용한다. 또한, 소스 드라이버 회로(IC)(14)는, 전원 전압 V_s 와 접지(GND) 전압을 사용한다.

여기서 이해를 용이하게 하기 위해서, 전압값을 규정한다. 우선, 애노드 전압 V_{dd} 를 6(V)으로 하고, 캐소드 전압 V_{ss} 를 -9(V)로 한다(도 1 등을 참조할 것). GND 전압은 0(V)으로 하고, 소스 드라이버 회로의 V_s 전압은 V_{dd} 전압과 동일한 6(V)로 한다. V_{gh1} 과 V_{gh2} 전압은 V_{dd} 보다 0.5(V) 이상 3.0(V) 이하로 하는 것이 바람직하다. 여기서는, $V_{gh1}=V_{gh2}=8(V)$ 로 한다.

게이트 드라이버 회로(12)의 V_{gh1} 은, 도 1의 트랜지스터(11c)의 온 저항을 충분히 작게 하기 위해서, 낮게 할 필요가 있다. 여기서는, 도 261의 회로 구성을 용이하게 하기 위해서, V_{gh1} 과 절대값이 반대인 $V_{gl1}=-8(V)$ 로 한다. V_{GDD} 전압은, V_{gh} 보다 낮고, GND 전압보다 높게 할 필요가 있다. 여기서는, 도 261과 같이 발생 전압 회로를 용이하게 하여, 회로 코스트를 저감하기 위해서, V_{gh} 전압의 1/2인 4(V)로 한다. 한편, V_{gl2} 전압은, 너무 낮게 하면, 트랜지스터(11b)의 누설을 발생시킬 위험성이 있기 때문에, 따라서, V_{GDD} 전압과 V_{gl1} 전압의 중간 전압으로 하는 것이 바람직하다. 여기서는, 도 261과 같이 발생 전압 회로를 용이하게 하여, 회로 코스트를 저감하기 위해서, V_{GDD} 전압과 절대값이 동일하고, 또한 반대 극성인 -4(V)로 한다.

이상과 같이 설정한 전압을 발생하는 본 발명의 회로 구성을 도 261에 도시하고 있다. 이하, 도 261에 대하여 설명을 행한다.

배터리로부터의 전압 $V_1 \sim V_2$ 는, 차지 펌프 회로를 갖는 레귤레이터 회로(2611)에 입력된다. 구체적으로는 $V_1=3.6(V)$, $V_2=4.2(V)$ 이다. 레귤레이터 회로(2611)는, 입력된 전압을 차지 펌프 회로(2612a)에서 4(V)의 정전압 V_a 로 변환한다. 이 전압이 V_{GDD} 전압으로 된다. 물론, 도 261에 도시하는 바와 같이, 정전압 및 부전압을 발생하는 차지 펌프 회로(레귤레이터 기능 없음)(2612a)에서 + V 인 4(V)와 - V 인 -4(V)를 발생시켜도 된다. 이 -4(V)가 V_{gl2} 전압으로 된다. 차지 펌프 회로(2612a)는 V_a 의 플러스 방향과 부방향 전압을 발생할 뿐이므로, 구성이 매우 용이하다. 따라서, 저코스트화를 실현할 수 있다.

레귤레이터 회로(2611)로부터의 출력 전압 V_a 는 차지 펌프 회로(2612b)에 입력된다. 도 261에 도시하는 바와 같이, 정전압 및 부전압을 발생하는 차지 펌프 회로(레귤레이터 기능 없음)(2612b)에서 +2V인 8(V)와 -2V인 -8(V)를 발생시켜도 된다. 이 -8(V)가 V_{gh1} 과 V_{gh2} 전압으로 된다. -2V 전압이 V_{gl1} 전압으로 된다. 차지 펌프 회로(2612b)는 V_a 의 2배의 플러스 방향과 2배의 마이너스 방향 전압을 발생할 뿐이므로, 구성이 매우 용이하다. 따라서, 저코스트화를 실현할 수 있다.

이상과 같이, 본 발명은, 기준으로 되는 전압 V_a 를 정배(2배, 3배 등)함으로써 V_{gh} 전압 등을 발생하는 것에 특징을 갖는다.

Vdd 및 Vss 전압의 발생 회로를 도 262에 도시한다. Vdd 전압 및 Vss 전압의 발생 회로는, 도 119에서도 설명했다. 도 262는 트랜스포머 회로를 이용하는 구성이다. 배터리로부터의 전압 V1~V2는, 차지 펌프 회로를 갖는 레귤레이터 회로(2611)에 입력된다. 레귤레이터 회로(2611)는, 입력된 전압을 차지 펌프 회로(2612a)에서 4(V)의 정전압 Va로 변환한다. Va 전압(도 261과 공통)은, 스위칭 회로(2621)에 의해 스위칭되어 교류화된다. 이 교류 신호는 트랜스포머(2622)로 이루어지는 회로에서 전위 변환되고, 전위 변환된 전압은 평활화 회로(2623)에서 직류 전압으로 변환된다. 변환된 전압이 Vdd와 Vss로 된다(트랜스포머로 전위 시프트를 행할 수 있기 때문에).

도 263은 본 발명의 표시 패널의 전원 회로의 출력 전압을 도시한 것이다. 프리차지 전압 Vpc는 Vs 전압과 GND 전압 사이에서 동작하는 전자 볼륨(501)에서 발생한다. 또한, VREF 전압은, VGDD 전압과 GND 사이에 배치된 저항(R1, R2)에 의해서 발생한다. 또한, VREF 전압에는 커패시터 C를 배치하여, 안정화시킨다.

이 전압이 VGDD 전압으로 된다. 물론, 도 261에 도시하는 바와 같이, 정전압 및 부전압을 발생하는 차지 펌프 회로(레귤레이터 기능 없음)(2612a)에서 +V인 4(V)와 -V인 -4(V)를 발생시켜도 된다. 이 -4(V)가 Vgl2 전압으로 된다. 차지 펌프 회로(2612a)는 Va의 플러스 방향과 마이너스 방향 전압을 발생할 뿐이므로, 구성이 매우 용이하다. 따라서, 저코스트화를 실현할 수 있다.

이하에서는, 주로 도 127~142를 참조하면서, 매트릭스 형상으로 배치된 EL 소자(15) 및 구동용 트랜지스터(11a)와, 프로그램 전압 신호를 발생하는 전압 게조 회로(1271), 프로그램 전류 신호를 발생하는 전류 게조 회로(164), 및 프로그램 전압 신호와 프로그램 전류 신호와의 절환을 행하는 스위치(151a, 150b)를 갖는다, 구동용 트랜지스터(11a)에 신호를 인가하는 드라이브 회로 수단을 구비한, EL 표시 장치에 대하여 설명한다.

또한, 주로 도 127~142를 참조하면서, 매트릭스 형상으로 배치된 EL 소자(15) 및 구동용 트랜지스터(11a)가 형성되고, 구동용 트랜지스터(11a)에 신호를 남기는 소스 신호선(18)을 갖는 EL 표시 장치의 구동 방법으로서, 1수평 주사 기간은, 전압 신호를 소스 신호선(18)에 인가하는 A 기간과, 전류 신호를 소스 신호선(18)에 인가하는 B 기간을 갖고, B 기간은, A 기간의 종료 후 혹은 동시에 개시되는, EL 표시 장치의 구동 방법에 대해서도 설명한다.

본 발명의 프리차지 구동에서는 소정 전압을 소스 신호선(18)에 인가한다. 또한, 소스 드라이버 IC는 프로그램 전류를 출력하는 것으로 했다. 그러나, 본 발명은, 프리차지 구동을 계조에 따라서 출력 전압을 변화시켜도 된다. 즉, 소스 신호선(18)에 출력하는 프리차지 전압은 프로그램 전압으로 된다. 소스 드라이버 IC 내에 이 프리차지 전압의 프로그램 전압 회로(1271)를 도입한 회로 구성이 도 127이다.

도 127은 1개의 소스 신호선(18)에 대응하는 1출력 회로 블록도이다. 계조에 따라서 프로그램 전류를 출력하는 전류 게조 회로(164)와, 계조에 따른 프리차지 전압을 출력하는 전압 게조 회로(1271)로 구성된다. 전류 게조 회로(164)와 전압 게조 회로(1271)에는 영상 데이터가 인가된다. 전압 게조 회로(1271)의 출력은 스위치(151a, 151b)가 온함으로써 소스 신호선(18)에 인가된다. 스위치(151a)는 프리차지 인에이블(프리차지 ENBL) 신호와, 프리차지 신호(프리차지 SIG)로 제어된다.

전압 게조 회로(1271)은, 샘플 홀드 회로, DA 회로 등으로 구성된다(도 308을 참조할 것). 디지털의 영상 데이터에 기초하여, DA 회로에 의해 프리차지 전압으로 변환된다. 이 변환된 프리차지 전압은, 샘플 홀드 회로에 의해 샘플 홀드되어, 오피앰프를 통하여 스위치(151a)의 일단자에 인가된다. 또한, DA 회로는 전압 게조 회로(1271)마다 구성 또는 형성할 필요가 없고, 소스 드라이버 회로(IC)(14)의 외부에 DA 회로를 구성하고, 이 DA 회로의 출력을 전압 게조 회로(1271) 내에서 샘플 홀드해도 된다. 또한, 폴리실리콘 기술로 형성해도 된다.

전압 게조 회로(1271)의 출력은, 도 128에 도시하는 바와 같이, 1H의 최초에 인가된다(기호 A로 나타냄). 그 후, 전류 출력 회로(164)에 의해 소스 신호선에 프로그램 전류가 공급된다(기호 B로 나타냄). 즉, 프리차지 전압에 의해 개략의 소스 신호선 전위까지 전압 설정된다. 따라서, 구동용 트랜지스터(11a)는 목적 전류에 가까운 값까지, 고속으로 설정된다. 그 후, 전류 게조 회로(164)가 출력하는 프로그램 전류에 의해 구동용 트랜지스터(11a)의 특성 변동을 보상할 목적 전류(=프로그램 전류)까지 설정된다.

프리차지 전압 신호가 인가되는 A 기간은, 1H의 1/100 이상 1/5 이하의 기간이 바람직하다. 또는, 0.2μsec 이상 10μsec 이하의 기간으로 설정하는 것이 바람직하다. 따라서, A 기간 이외가 B 기간의 프로그램 전류의 인가 기간이다. A 기간이

짧으면 소스 신호선(18)의 전하의 충방전이 충분히 행해지지 않기 때문에, 기입 부족이 발생한다. 한편, 지나치게 길면 전류 인가 기간(B)이 짧아져 충분히 프로그램 전류를 인가할 수 없다. 따라서, 구동용 트랜지스터(11a)의 전류 보정 부족으로 된다.

전압 인가 기간(A 기간)은, 1H의 최초부터 실시하는 것이 바람직하지만, 이것에 한정되지 않는다. 예를 들면, 1H의 마지막 블랭킹 기간부터 개시해도 된다. 또한, 1H의 도중에 A 기간을 실시해도 된다. 즉, 1H 중 어떠한 기간에 전압 인가 기간을 실시해도 된다. 그러나, 바람직하게는, 전압 인가 기간은, 1H의 최초부터 $1/4H(0.25H)$ 의 기간 내에 실시하는 것이 바람직하다.

도 128의 실시예에서는, 전압 프리차지(A)의 기간 후, 전류를 인가(B 기간)하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 129의 (a)에 도시하는 바와 같이, 1H의 기간의 전부를(혹은 대부분을, 혹은 과반 수를) 전압 프리차지(*A) 기간으로 해도 된다.

도 129의 (a)의 *A의 기간은, 1H의 기간이 전압 프로그램을 실시하고 있다. *A의 기간은, 저계조 영역이다. 저계조 영역에서 전류 프로그램을 실시해도 프로그램되는 전류가 미소하기 때문에, 소스 신호선(18)의 기생 용량의 영향에 의해, 소스 신호선(18)의 전위 변경을 실시할 수 없다. 즉, TFT(11a)(구동용 트랜지스터)의 특성 보상을 행할 수 없다. 또한, 전류 프로그램 방식에서는, 프로그램 전류 I와 휘도 B가 선형의 관계에 있다. 그 때문에, 저계조 영역에서 1계조에 대한 휘도 변화가 지나치게 크다. 따라서, 저계조 영역에서 계조 누락이 발생하기 쉽다.

이 과제에 대하여 본 발명에서는, 도 129의 (a)에 도시하는 바와 같이, 저계조 영역에서 1H의 기간에 걸쳐 전압 프로그램을 실시하고 있다(*A로 도시하고 있다). 저계조 영역에서의 영역에서 전압 프로그램의 전압 스텝 눈금을 작게 하고 있다. 화소(16)의 TFT(11a)에 인가하는 전압을 일정 스텝으로 하면, TFT(11a)의 EL 소자(15)에의 출력 전류는 개략 2승 특성으로 된다. 따라서, 인가 전압에 대한 휘도 B(휘도 B는 EL 소자(15)에의 출력 전류에 비례함)는, 사람의 시감도는 직선적으로 된다(사람의 시감도는, 2승 특성일 때에 저 스텝으로 변화하고 있다고 인식하기 때문이다).

전압 프로그램 방식에서는, TFT(11a)의 특성 보상을 양호하게 실시할 수 없다. 그러나, 저계조 영역에서는, 표시 화면(144)의 표시 휘도가 낮기 때문에, 특성 보상 부족에 의한 표시 얼룩이 발생해도 시각적으로 인식되는 일은 없다. 한편, 전압 프로그램 방식에서는, 소스 신호선(18)의 충방전을 양호하게 실시할 수 있다. 그 때문에, 저계조 영역에서도 충분히 소스 신호선(18)의 충방전을 실시할 수 있어, 적절한 계조 표시를 실현할 수 있다.

도 129의 (a)에서도 이해할 수 있는 바와 같이, 소스 신호선(18)의 전위가 애노드 전위(Vdd)에 가까운 경우에, 1H의 기간의 전부에(대부분에) 전압이 인가된다. 소스 신호선(18)의 전위가 0(V)에 가까워지면, 전압 프로그램(A 기간)과 전류 프로그램(B)이 1H의 기간 내에 실시된다. 또한, 소스 신호선(18)의 전위가 0(V)에 가까운 경우(고계조 영역)에는, 1H의 기간 중의 모든 기간에 걸쳐, 전류 프로그램을 실시해도 된다.

도 129(a)의 *A 이외의 기간은, 1H의 일정 기간(A로 나타냄)에 전압 프로그램에 의한 전압을 소스 신호선(18)에 인가하고, 그 후, B의 기간에 전류 프로그램에 의한 전류를 인가하고 있다. 이상과 같이 A 기간의 전압의 인가에 의해 화소(16)의 TFT(11a)의 게이트 전위에 소정 전압을 인가하여, 대략 EL 소자(15)에 흐르는 전류가 원하는 값으로 되도록 하고 있다. 그 후, B 기간의 프로그램 전류에 의해, EL 소자(15)에 흐르는 전류가 소정값으로 되도록 하고 있다. *A 기간은, 1H 기간의 전반에 걸쳐 전압 프로그램이 실시되고 있다(전압이 인가되고 있다).

도 129의 (a)는, 화소(16)의 TFT(11a)(구동용 트랜지스터)가 P 채널인 경우의 소스 신호선(18)에의 인가 신호 파형이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 화소(16)의 TFT(11a)가 N 채널이어도 된다(예를 들면, 도 1을 참조할 것). 이 경우에는, 도 129의 (b)에 도시하는 바와 같이, 소스 신호선(18)의 전위가 0(V)에 가까운 경우에, 1H의 기간의 전부에(대부분에) 전압이 인가된다. 소스 신호선(18)의 전위가 애노드 전압(Vdd)에 가까워지면, 전압 프로그램(A 기간)과 전류 프로그램(B)이 1H의 기간에 실시된다.

또한, 소스 신호선(18)의 전위가 Vdd에 가까운 경우(고계조 영역)에서는, 1H의 기간 중의 모든 기간에 걸쳐, 전류 프로그램을 실시해도 된다.

본 발명에서는, 구동용 트랜지스터(11a)는 P 채널로서 설명하지만, 이것에 한정되는 것은 아니고, 구동용 트랜지스터(11a)는 N 채널이어도 되는 것은 물론이다. 설명을 용이하게 하기 위해, 구동용 트랜지스터(11a)가 P 채널 트랜지스터인 것으로서 설명을 행할 뿐이다.

도 128, 도 129 등의 본 발명의 실시예에서는, 주로 저계조 영역은 전압 프로그램이 주로 화소에 기입된다. 중고(中高) 계조 영역은, 전류 프로그램이 주로 기입이 행해진다. 즉, 전류와 전압 구동의 양쪽의 좋은 것의 융합을 실현할 수 있다. 왜냐하면, 저계조 영역은, 전압에 의해 소정 계조 표시된다. 이것은, 전류 구동에서는 기입 전류가 미소하기 때문에, 1H 최초에 인가한 전압(전압 구동 혹은 프리차지 구동에 의한다. 프리차지 구동과 전압 구동은 개념적으로는 동일하다. 크게 차별화 하면, 프리차지 구동은 인가하는 전압의 종류가 비교적 적고, 전압 구동은 인가하는 전압의 종류가 많다고 해야 할 것이다)가 지배적으로 되기 때문이다.

중 계조 영역은, 전압에 의해 기입한 후, 전압의 어긋남량을, 프로그램 전류로 보상한다. 즉, 프로그램 전류가 지배적으로 된다(전류 구동이 지배적이다). 고계조 영역은, 프로그램 전류로 기입한다. 프로그램 전압 인가는 불필요하다. 인가한 전압이 프로그램 전류로 재기입되기 때문이다. 즉, 전류 구동이 압도적으로 지배적이다(도 130의 (b), 도 131 등을 참조할 것). 물론, 전압을 인가해도 되는 것은 물론이다.

도 127에서 전압 계조 회로의 출력과 전류 계조 회로(프리차지 회로도 포함함)의 출력을 단자(155)로 쇼트하여 구성할 수 있는 것은, 전류 계조 회로는 고 임피던스인 것에 의한다. 즉, 전류 계조 회로는 고 임피던스이기 때문에, 전압 계조 회로로부터의 전압이 전류 계조 회로에 인가되더라도, 회로에 문제점(단락으로 과전류가 흐르는 등)이 발생하지 않는다.

따라서, 본 발명에서 전압 출력과 전류 출력 상태를 절환하는 것으로 했지만, 이것에 한정되는 것은 아니다. 전류 계조 회로(164)로부터 프로그램 전류를 출력한 상태에서, 스위치(151)(도 127을 참조)를 온하여, 전압 계조 회로(1271)의 전압을 단자(155)에 인가해도 되는 것은 물론이다.

스위치(151)를 폐쇄하여 단자(155)에 전압을 인가한 상태에서, 전류 계조 회로(164)로부터 프로그램 전류를 출력해도 된다. 전류 계조 회로(164)는 고 임피던스이기 때문에 회로적으로는 문제가 없다. 이상의 상태도 본 발명은 전압 구동 상태와 전류 구동 상태를 절환하고 있다고 하는 동작의 범주이다. 본 발명은 전류 회로와 전압 회로의 성질을 잘 이용하고 있다. 이것은, 다른 드라이버 회로에 없는 특징 있는 구성이다.

도 130에 도시하는 바와 같이, 1H 기간에 인가하는 프로그램을 전압 또는 전류의 한쪽으로 해도 되는 것은 물론이다. 도 130에 있어서, *A의 기간은 전압 프로그램이 실시된 1H 기간이고, B의 기간은 전류 프로그램이 실시되어 있는 1H 기간이다. 주로 저계조 영역에서는 전압 프로그램이 실시되고(*A로 나타냄), 중간조 이상의 영역에서는 전류 프로그램이 실시된다(B로 나타냄). 이상과 같이, 계조 혹은 프로그램 전류의 크기에 따라서, 전압 구동을 선택할지 전류 구동을 선택할지를 절환해도 된다.

도 127의 본 발명의 실시예에서는, 전압 계조 회로(1271)와 전류 계조 회로(164)에는, 동일한 영상 Data가 입력되고 있다. 따라서, 영상 Data의 래치 회로는 전압 계조 회로(1271)와 전류 계조 회로(164)에서 공통이어도 된다. 즉, 영상 Data의 래치 회로는 전압 계조 회로(1271)와 전류 계조 회로(164)에 독립적으로 설치할 필요는 없다. 공통의 영상 Data 래치 회로로부터의 데이터에 기초하여, 전류 계조 회로(164) 또는(및) 전압 계조 회로(1271)가 데이터를 단자(155)에 출력한다.

도 132는 본 발명의 구동 방법의 타이밍차트이다. 도 132에 있어서, (a)의 DATA는 화상 데이터이다. (b)의 CLK는 회로 클럭이다. (c)의 Pcntl은, 프리차지의 컨트롤 신호이다. Pcntl 신호가 H 레벨일 때에는, 전압 구동만 모드 상태로 되고, L 레벨일 때, 전압+전류 구동 모드로 된다. (d)의 Ptc는 프리차지 전압 혹은 전압 계조 회로(1271)로부터의 출력의 절환 신호이다. Ptc 신호가 H 레벨일 때에는, 프리차지 전압 등의 전압 출력이 소스 신호선(18)에 인가된다. Ptc 신호가 L 레벨일 때에는, 전류 계조 회로(164)로부터의 프로그램 전류가 소스 신호선에 출력된다.

예를 들면, 데이터 D(2), D(3), D(8)일 때에는, Pcntl 신호가 H 레벨이기 때문에, 소스 신호선(18)에 전압 계조 회로(1271)로부터 전압이 출력된다(A 기간). Pcntl이 L 레벨일 때에는, 소스 신호선(18)에는 우선 전압이 출력되고, 그 후, 프로그램 전류가 출력된다. 전압이 출력되는 기간을 A로 나타내고, 전류가 출력되는 기간을 B로 나타낸다. 전압을 출력하는 기간 A는, Ptc 신호로 제어된다. Ptc 신호는, 도 127의 스위치(151)의 온 오프를 제어하는 신호이다.

Pcntl 신호가 H 레벨일 때에는, 전압 구동만 모드 상태로 되고, L 레벨일 때, 전압+전류 구동 모드로 된다고 설명했다. 전압을 인가하는 기간은, 점등률 혹은 계조에 따라서 변화시키는 것이 바람직하다. 저계조일 때에는, 전류 구동에서는 화소에 프로그램 전류를 완전하게 기입할 수 없다. 따라서, 전압 구동을 실시하는 것이 바람직하다. 전압을 인가하는 기간을 길게 함으로써, 전압+전류 구동 모드이더라도, 전압 구동 모드가 지배적으로 되어, 양호하게 화소에 저계조 상태를 기입할

수 있다. 저점등물인 경우에는, 저계조 상태의 화소가 많다. 따라서, 저계조 상태(저점등물)인 경우도, 전압을 인가하는 기간을 길게 함으로써, 전압+ 전류 구동 모드이더라도, 전압 구동 모드가 지배적으로 되어, 양호하게 화소에 저계조 상태를 기입할 수 있다.

이상과 같이, 전압+ 전류 구동 모드이더라도, 점등물 혹은 화소에 기입하는 계조 데이터(영상 데이터)에 따라서, 전압 구동 상태의 기간을 변화시키는 것이 바람직하다. 즉, EL 소자(15)에 흘리는 전류를 작게 할 때에는(본 발명에서는 저점등물 범위), 전압 구동 모드 기간을 길게 하고, EL 소자(15)에 흘리는 전류를 크게 할 때에는(본 발명에서는 고점등물 범위), 전압 구동 모드 기간을 짧게 하거나, 혹은 '없음'으로 하도록 제어 혹은 조정 혹은 장치를 구성한다. 또한, 점등물의 의미 혹은 점등물 상태에 관해서는, 본 명세서 내에서 상세하게 설명하고 있으므로 생략한다. 또한, 전압+ 전류 구동 모드에 있어서 전압 구동 모드에 인가(동작) 기간을, duty비, 기준 전류비 등을 제어 혹은 조정 혹은 장치를 구성해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용할 수 있는 것은 물론이다.

도 127 등의 전압 출력과 전류 출력을 갖는 실시예에 있어서, 전압 계조 회로(1271)의 출력 계조수와 전류 계조 회로(164)의 출력 계조수는, 일치하고 있을 필요는 없다. 예를 들면, 전압 계조 회로(1271)의 출력 계조수가 128계조이고, 전류 계조 회로(164)의 출력 계조수가 256계조라도 된다. 이 경우에는, 전류 계조 회로(164)의 일부의 계조에, 전압 계조 회로(1271)의 계조가 대응한다. 예를 들면, 전류 계조 회로(164)의 0계조채 내지 127계조채에, 전압 계조 회로(1271)의 0계조채 내지 127계조채가 대응하는 실시예가 예시된다. 이 실시예에서는, 전류 출력 회로(164)의 128계조채 내지 255계조채에는, 전압 계조 회로(1271)의 출력은 없다. 또한, 전류 계조 회로(164)의 홀수번째의 계조에, 전압 계조 회로(1271)의 계조가 대응하는 실시예가 예시된다.

또한, 도 127은, 1 출력 단자의 블록도인 것으로서 설명하고 있지만, 이것은 설명을 용이하게 하기 위해서이다. 예를 들면, 1개의 전압 출력 회로(1271)와 1개의 전류 출력 회로(164)를 소스 드라이버 회로(IC)(14) 내에 형성하고, 이들의 회로의 출력 전류 또는 출력 전압을, 아날로그 스위치 등을 이용하여, 복수의 출력 단자(155)로부터 1개의 출력 단자(155)를 선택하거나, 혹은 복수의 출력 단자(155)를 동시에 선택하여 출력할 수 있도록 구성하는 것은 용이하다.

본 발명은, 전압 계조 회로(1271)로부터 출력하는 전압 신호의 출력 기간을, 계조에 대응하여 변화시켜도 되는 것은 물론이다. 예를 들면, 0계조채 내지 127계조채까지는, 전압 계조 회로(1271)로부터 출력하는 전압 신호의 출력 기간을 1 μ sec로 하고, 128계조채로부터 255계조채까지는, 전압 계조 회로(1271)로부터 출력하는 전압 신호의 출력 기간을 0.5 μ sec로 하는 실시예가 예시된다. 물론, 0계조채 내지 255계조채를, 전압 계조 회로(1271)로부터 출력하는 전압 신호의 출력 기간을 비례적으로 혹은 비선형적으로 변화시켜도 되는 것은 물론이다.

이상의 사항은, 전류 계조 회로(164)에도 적용할 수 있다. 예를 들면, 0계조채로부터 127계조채까지는, 전류 계조 회로(164)로부터 출력하는 전류 신호의 출력 기간을 50 μ sec로 하고, 128계조채로부터 255계조채까지는, 전류 출력 회로(164)로부터 출력하는 전류 신호의 출력 기간을 20 μ sec로 하는 실시예가 예시된다. 물론, 0계조채로부터 255계조채를, 전류 계조 회로(164)로부터 출력하는 전류 신호의 출력 기간을 비례적으로 혹은 비선형적으로 변화시켜도 되는 것은 물론이다.

이상의 실시예에서는, 계조에 대응하여, 전류 계조 회로(164)와 전압 계조 회로(1271)의 한쪽의 출력 신호 기간 혹은 양쪽의 출력 신호 기간을 변화시키는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 점등물, duty비, 기준 전류비 혹은 기준 전류의 크기, 게이트 신호선(17)의 출력 전압의 크기, 애노드 전압 혹은 캐소드 전압의 크기 등에 대응하여, 전류 계조 회로(164)와 전압 계조 회로(1271)의 한쪽의 출력 신호 기간을 변화 혹은 제어해도 되는 것은 물론이다.

또한, 본 발명의 실시예에 있어서, 전류 계조 회로(164)와 전압 계조 회로(1271)의 한쪽의 출력 신호 기간을 고정로 하고, 다른 쪽을 회로(164, 1271)의 출력 신호 기간 등을 변화시켜도 되는 것은 물론이다.

이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 132에 있어서, 전압 출력 기간 A와 전류 출력 기간 B를 절환하는 것으로 했지만, 이것에 한정되는 것은 아니다. 프로그램 전류의 출력한 상태에서, 스위치(151)(도 127을 참조)를 온하여, 전압 계조 회로(1271)의 전압을 단자(155)에 인가해도 되는 것은 물론이다. 또한, 스위치(151)를 폐쇄하여 단자(155)에 전압을 인가한 상태에서, 전류 계조 회로(164)로부터 프로그램 전류를 출력해도 된다. A 기간 후에 스위치(151)을 오픈으로 한다. 이상과 같이 전류 계조 회로(164)는 고 임피던스이므로, 전압 회로와 단락 상태로 해도 회로적으로는 문제가 없다.

도 133은 Ptc 신호의 H 기간을 변화시킴으로써, 소스 신호선(18)에 전압을 출력하는 기간을 가변하는 것이다. H 기간은, 계조 번호 등에 따라 변화시킨다. 예를 들면, D(7)에서는, Ptc 신호는 1H의 기간 L 레벨이다. 따라서, 도 127의 스위치(151)는 1H의 기간 오픈 상태이다. 따라서, 1H 기간에는 전압은 인가되지 않고, 항상 전류 프로그램 상태이다. 또한, D(5)에서는 Ptc 기간은 다른 1H 기간보다 길게 되어 있다. 따라서, 전압을 인가하는 A 기간은 길게 설정되어 있다.

이상의 실시예는, 전류 구동 상태와 전압 구동 상태를 전환하는 것이다. 그러나, 본 발명은 이것에 한정되지 않는다. 도 134의 실시예에서는, Ptc 신호는 없다. 따라서, Pcntl 신호로 제어된다. 그 때문에, H 기간은 전압 구동이 실시되고, L 기간은 전류 구동이 실시된다.

전압 프로그램은, RGB의 EL 소자(15)의 발광 효율에 의해, 소스 신호선(18)에 출력하는 전압값을 변경할 필요가 있다. 도 1의 화소 구성을 예시하면, 구동용 트랜지스터(11a)의 게이트 단자에 인가하는 전압(프로그램 전압)은 구동용 트랜지스터(11a)가 출력하는 전류에 따라 다르기 때문이다. 구동용 트랜지스터(11a)의 출력 전류는 EL 소자(15)의 발광 효율에서 다르게 할 필요가 있다. 본 발명의 소스 드라이버 IC(14)를 범용성이 있는 것으로 하기 위해서는, EL 표시 패널의 화소 사이즈가 다르더라도, 혹은 EL 소자(15)의 발광 효율이 다르더라도, 설정 혹은 조정에 의해 대응할 필요가 있다.

전압 계조 회로(1271)는, 애노드 전압(Vdd)을 원점으로 해서 전압을 출력한다. 이 상태를 도 135에 도시한다. 애노드 전압(Vdd)은 구동용 트랜지스터(11a)의 동작 원점이다. 또한, 설명을 용이하게 하기 위해서, 도 1에 도시하는 구동용 트랜지스터(11a)가 P 채널의 구성인 것으로서 설명을 한다. 구동용 트랜지스터(11a)가 N 채널인 경우도, 원점 위치가 변화할 뿐이므로 설명을 생략한다. 따라서, 설명을 용이하게 하기 위해서, 구동용 트랜지스터(11a)는 P 채널인 경우를 예로 들어 설명을 한다.

도 135에 있어서, 횡축은 계조이다. 본 발명에서는 전압 계조 회로(1271)의 출력 계조는 256(8비트) 계조인 것으로서 설명을 한다. 종축은 소스 신호선(18)에의 출력 전압이다. 도 135에서는, 계조 번호에 비례하여 소스 신호선(18)의 전위는 낮아진다.

소스 신호선(18)의 전압은, 구동용 트랜지스터(11a)의 게이트 단자 전압이다. 구동용 트랜지스터(11a)의 출력 전류는, 게이트 단자 전압으로 비선형으로 변화한다. 일반적으로, 도 135와 같이 소스 신호선(18)에 전압을 인가하면, 구동용 트랜지스터(11a)의 출력 전류는, 인가 전압에 대하여 2승 특성으로 변화한다. 즉, 도 135에서는 계조에 대한 소스 신호선(18)의 전위는 비례하고 있지만, 구동용 트랜지스터(11a)의 출력 전류(EL 소자(15)에 흐르는 전류)는, 대략 2승 특성으로 된다.

도 135의 회로 구성은, 회로 구성 등이 용이하다. 그러나, EL 소자(15)에 흐르는 전류는 계조 번호에 비례하지 않는다. 구동용 트랜지스터(11a)에 선형으로 변화하는 전압을 인가(도 135의 실시예의 경우 등)하면, 트랜지스터(11a)의 2승 특성에 의해, 출력 전류는 인가 전압의 2승에 비례하여 출력되기 때문이다. 따라서, 계조 번호가 작을 때에는 트랜지스터(11a)의 출력 전류의 변화가 작고, 계조 번호가 커짐에 따라서, 급격히 커진다. 따라서, 계조 번호에 대한 출력 전류의 정밀도가 변화한다.

이 과제를 해결하는 구성이 도 136이다. 도 136에서는, 계조 번호가 작은 때에는, 소스 신호선(18)에의 출력 전압의 변화가 크다. 또한, 계조 번호가 작아질수록 소스 신호선(18)에의 전압 변화 비율은 커진다. 한편, 계조 번호가 커지면(256번째에 가까워지면), 소스 신호선(18)에의 출력 전압의 변화가 작아지도록 구성하고 있다. 따라서, 계조 번호에 대한 소스 신호선 출력 전류의 관계는 비선형으로 된다. 이 비선형 특성은, 구동용 트랜지스터(11a)의 게이트 단자 전압에 대한 EL 소자(15)에의 출력 전류 특성과 조합함으로써, 선형으로 되도록 하고 있다. 즉, 계조 번호의 변화에 대한 구동용 트랜지스터(11a)의 EL 소자(15)에의 출력 전류는 선형으로 되도록 조정하고 있다.

전류 프로그램 방식은, 계조 번호에 대한 EL 소자(15)에 흐르는 전류는 선형의 관계에 있다. 도 136의 구성(방식)은 전압 프로그램 방식이다. 도 136에서는 전압 프로그램 방식이지만, 계조 번호에 대한 EL 소자(15)에 흐르는 전류는 선형의 관계이다. 따라서, 도 127, 도 128과 같이 전류 프로그램 방식과 전압 프로그램 방식을 조합한 구성(방식)에 있어서, 매칭이 좋다.

도 136은 계조 번호에 대한 구동용 트랜지스터(11a)의 출력 전류 I_e 가 대략 리니어적으로 변화하도록 하고 있다. 따라서, 계조 번호에 대한 소스 신호선 출력 전압의 관계는, 계조 번호가 작을 때에는 밝고, 커짐에 따라서 미세(정밀)하게 변화하도록 하고 있다. 계조 번호를 K로 하고, 소스 신호선을 V_s 로 했을 때, 변화 커브식은, 도 136에 도시하는 바와 같이 소스 신호선 전압 $V_s = A/(K \cdot K)$ 로 되도록 한다. 또한, A는 비례 상수이다. 혹은, 소스 신호선 전압 $V_s = A/(B \cdot K \cdot K + C \cdot K + D)$ 혹은 $V_s = A/(B \cdot K \cdot K + C)$ 로 되도록 한다. 또한, D, B, C, A는 상수이다.

이상과 같이, 변화 커브식을 구성함으로써, 변화 커브식과 소스 신호선 전압 V_s 에 대한 구동용 트랜지스터의 출력 전류 I_e 를 곱했을 때에, V_s 에 대한 I_e 를 선형의 관계로 할 수 있다.

도 136에서는, 변화 커브식이 곡선으로 된다. 그 때문에, 변화 커브를 작성하는 것이 비교적 곤란하다. 이 과제에 대해서는, 도 137에 도시하는 바와 같이 복수의 직선으로 변화 커브식을 구성하는 것이 적절하다. 즉, 2개 이상의 기울기의 직선으로 변화 커브를 구성한다.

도 136에서는, 계조 번호가 작은 범위에서는, 소스 신호선(18)의 출력 전압의 눈금은 크게 하고(A로 나타냄), 계조 번호가 큰 범위에서는, 소스 신호선(18)의 출력 전압의 눈금은 작게 한다(B로 나타냄). 도 136의 변화 커브에서는, 계조 번호 K에 대한 구동용 트랜지스터(11a)의 출력 전류 I_e 는 비선형의 관계로 되고, 또한, 복수의 비선형의 출력을 조합한 것으로 된다. 그러나, 계조 번호 K에 대한 출력 전류 I_e 의 관계는 선형에 가까운 범위가 많아진다. 따라서, 전류 프로그램 구동과의 조합도 용이하다.

도 136에 있어서, 전압 계조 회로(1271)과 전류 계조 회로(164)를 1개의 소스 드라이버 회로(IC)(14) 내에 형성하도록 도시하고 있지만, 이것에 한정되는 것은 아니다. 본 발명은, 전압 계조 회로(1271)와 전류 계조 회로(164)를 갖는 것을 특징으로 한다. 따라서, 1개의 소스 신호(18)의 일단에 전압 계조 회로(용 IC)(1271)를 배치 또는 형성 혹은 실장하고, 상기 소스 신호선의 타단에 전류 계조 회로(용 IC)(164)를 배치 또는 형성 혹은 실장해도 된다. 즉, 본 발명은, 임의의 화소에 전류 프로그램과 전압 프로그램을 실시할 수 있는 구성 혹은 방법이면 어떠한 구성이어도 된다.

전압 프로그램을 실시하는 드라이버 회로(IC)(14)는 역 1.5승 내지 3.0승의 감마 특성으로 한다. 즉, 구동용 트랜지스터(11a)의 게이트 전압의 변화 스텝에 대응하여 등간격의 전류 증가를 실현할 수 있도록 한다. 구동용 트랜지스터(11a)의 V-I 특성은 대략 2승 특성이기 때문이다(전압 V 변화에 대하여, 출력 전류 I는 대략 2승 특성으로 변화하기 때문이다). 또한, 전압 프로그램을 실시하는 드라이버 회로(IC)의 감마 특성은 역 1.8승 내지 2.4승의 감마 특성으로 하는 것이 바람직하다.

전압 프로그램을 실시하는 드라이버 회로(IC)의 감마 특성은 프로그래머블하게 구성해 두는 것이 바람직하다. 또한, 구동용 트랜지스터(11a)가 P 채널 트랜지스터인 경우에는, 감마 특성 커브의 원점은 애노드 전압 V_{dd} 혹은 V_{dd} 근방으로 한다. 구동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우에는, 감마 특성 커브의 원점은 캐소드 전압 V_{ss} 또는 회로(14)의 접지 혹은 이들의 근방 전위로 한다.

이상의 사항은, 도 127~도 143, 도 293, 도 311, 도 312, 도 339~도 344 등에 대해서도 적용할 수 있는 것은 물론이다. 즉, 프리차지 회로에 있어서도, 프리차지 회로(용 IC)를 소스 신호선(18)의 일단에 형성 또는 배치하고, 전류 프로그램 방식의 소스 드라이버 회로(IC)(14)를 상기 소스 신호선(18)의 타단에 배치 또는 형성해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

또한, 전압 계조 회로(1271)(프리차지 회로)의 변화와 전류 계조 회로(164)는 동기시킨다. 즉, 전압 계조 회로(1271)(프리차지 회로)의 변화가 전류 계조 회로(164)의 변화에 대응하도록 변화시킨다. 전압 계조 회로(1271)에 의한 화소(16)의 구동용 트랜지스터(11a)의 출력 전류의 목표값(기대값)이 $1\mu A$ 이면, 전류 계조 회로(164)에 의한 화소(16)의 구동용 트랜지스터(11a)의 목표값(기대값)이 $1\mu A$ 로 되도록 계조 제어한다. 따라서, 전류 계조 회로(164)의 계조 데이터의 값과 전압 계조 회로(프리차지 회로)(1271)의 계조 데이터가 일치하도록 구성하는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 또한, 동기시키는 것이 바람직하다.

본 발명은 모든 소스 신호선(18)에 전압 프로그램(프리차지)과 전류 프로그램의 양쪽을 실시하는 것에 한정되는 것은 아니다. 어느 한쪽을 실시할 수 있는 것이어도 된다. 예를 들면, 홀수 화소 열에 전압 프로그램(프리차지)을 실시하고, 짝수 화소 열에 전류 프로그램을 실시할 수 있는 것이어도 된다. 이러한 구성이더라도 화질의 저하는 거의 없다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 135의 실시예에서는, 계조 번호가 0일 때에는, 소스 신호선(18)의 전위가 애노드 전위(V_{dd})로 되어 있지 않다. 구동용 트랜지스터(11a)는 상승 전압까지는 출력 전류가 0 또는 거의 0이다. 이 상승 전압까지의 범위가 C의 영역이다. 따라서, C의 영역은 블랭크로 되므로, 계조 번호 수가 일정한 경우, 도 135 등과 비교하여 상대적으로 소스 신호선의 출력 전압 눈금을 미세(정밀)하게 할 수 있다.

도 138의 관계(계조 번호 0일 때, 소스 신호선(18)의 전위는 원점(애노드 전위)이 아닌 관계)와, 도 136의 비직선의 관계, 도 137의 복수의 관계식을 조합하는 관계, 도 135의 직선의 관계 등은, 서로 조합해도 되는 것은 물론이다.

전압 프로그램은, R, G, B의 EL 소자(15)의 발광 효율에 의해, 소스 신호선(18)에 출력하는 전압값을 변경할 필요가 있다. 도 1의 화소 구성을 예시하면 구동용 트랜지스터(11a)의 게이트 단자에 인가하는 전압(프로그램 전압)은 구동용 트랜지스터(11a)가 출력하는 전류에 따라 다르기 때문이다. 구동용 트랜지스터(11a)의 출력 전류는 EL 소자(15)의 발광 효율에서 다르게 할 필요가 있다. 본 발명의 소스 드라이버 IC(14)를 범용성이 있는 것으로 하기 위해서는, EL 표시 패널의 화소 사이즈가 다르더라도, 혹은 EL 소자(15)의 발광 효율이 다르더라도, 설정 혹은 조정에 의해 대응할 필요가 있다.

도 131은, 전압 구동에 있어서, 전압의 기준은 Vdd라는 점을 이용한 회로 구성이다. 도 135 내지 도 138의 종축인 전압의 크기 Vdd를 고정하여 변화시킨다. 따라서, 계조 번호의 범위(256계조=256눈금)를 일정하게 한 경우에도, 종축의 전압의 크기를 조정할 수 있어, 소스 드라이버 회로(IC)(14)를 범용적으로 할 수 있다.

도 131은 전자 볼륨(501)의 전압 범위는, Vdd 내지 Vbv이다. 따라서, 오피 앰프(502a)의 출력 전압 Vad는 Vdd 내지 Vbv의 값이 출력된다. Vbv는 소스 드라이버 회로(IC)(14)의 외부로부터 입력된다. 또한, IC(회로)(14) 내부에서 발생시켜도 된다. 전자 볼륨(501)의 스위치 S는 8비트의 제어 데이터(계조 번호)가 디코더 회로(532)에서 디코드되어 해당 스위치 S가 폐쇄되고, 전압 Vdd 내지 Vbv 사이의 전압이 Vad로부터 출력된다. 전압 Vad가 도 135 내지 도 138의 종축인 전압으로 된다.

따라서, Vbv를 변화시킴으로써 용이하게 Vad를 변화 혹은 조정할 수 있다. 즉, 도 139에 도시하는 바와 같이, 종축은, Vdd 전압을 Vbv 전압의 범위로 된다. 이상의 도 131의 회로 구성은, 도 140에 도시하는 바와 같이 RGB마다 설치된다. 또한, RGB의 EL 소자(15)의 발광 효율의 밸런스가 취해져, RGB 전류 Ic가 Icr:Icg:Icb=1:1:1일 때, 화이트 밸런스가 취해지는 경우에는, RGB에서 공통으로 1개의 회로 구성(도 131)이어도 되는 것은 물론이다. 또한, R과 G, G와 B, B와 R과 같이 복수의 Ic 전류 발생 회로를 공통으로 해도 된다. 또한, Vbv 등은 점등률, 기준 전류비, duty비에 따라서 변화시켜도 되는 것은 물론이다.

도 77, 도 78 등은 전류 프로그램 회로용으로 2단의 래치 회로(771)를 갖고 있다. 본 발명의 소스 드라이버 회로(IC)(14)는 전류 프로그램 회로와, 전압 프로그램 회로의 양쪽을 구비하고 있다.

도 131 등은 애노드 전압 Vdd를 원점으로 하는 것이었다. 도 141은 애노드 전위에 해당하는 전압도 조정할 수 있도록 하는 것이다. 전자 볼륨(501)의 단자 Vdd에 오피 앰프(502c)로부터의 전압을 인가하고 있다. 인가하는 전압은 Vbvh이다. 전자 볼륨(501)의 하한 전압은, Vbvl이다. 따라서, 소스 신호선(18)에 인가되는 전압 범위는, 도 142에 도시하는 바와 같이 Vbvh 이하 Vbvl 이상으로 된다. 다른 사항은 다른 실시예와 동일 혹은 유사하므로 설명을 생략한다.

도 138에서도 설명했지만, 구동용 트랜지스터(11a) 등에는 C로 나타내는 상승 전압이 있다. 상승 전압 이하는 흑색 표시(구동용 트랜지스터(11a)가 EL 소자(15)에 전류를 공급하지 않는다)이다. 도 143은, 도 138의 C 블랭크를 발생시키는 회로이다. C 블랭크의 전압 범위는, Pk 데이터로 조정한다. Pk 데이터는 8비트이다. 이 Pk 데이터와 계조 번호 데이터 Data가 가산 회로(3731)에 의해 가산된다. 가산된 데이터는 9비트로 되어, 디코더 회로(532)에 입력되고, 디코드되어 전자 볼륨(501)의 해당 스위치 S를 폐쇄시킨다.

도 293은 프리차지 전압(프로그램 전압과 같거나 유사)을 발생하는 회로의 다른 실시예이다. 저항은 확산 저항 혹은 폴리실리콘 저항으로 구성한다. 단, 저항값도 변동이 발생하는 경우에는, 소정 저항값이 얻어지도록 트리밍 등을 실시한다. 트리밍에 관해서는 도 162 내지 도 173에서 설명을 했으므로, 설명을 생략한다.

실시예에서는 저항 어레이(2931)의 내장 저항은 R1~R6의 6개로 하고 있지만, 이것에 한정되는 것은 아니고, 6개 이상이어도 6개 이하라도 된다. 단, 저항 등에 의해 발생하는 프리차지 전압(프로그램 전압과 같거나 유사) Vpc의 개수는, 2의 승수-1 혹은 2의 승수-2로 하는 것이 바람직하다. 이 -1이라 함은 도 293에 도시하는 바와 같이, 오픈 상태(프리차지 전압(프로그램 전압과 같거나 유사)을 인가하지 않는 모드)를 지정하기 위해서이다.

예를 들면, 도 296에 있어서 프리차지 전압(프로그램 전압과 같거나 유사)을 지정하는 VSEL 데이터가 0일 때에는, Vpc0(오픈: 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하지 않는다)으로 한다. Vpc0이 지정됨으로써, 도 128의 B의

기간(A로 나타내는 전압이 인가되지 않는 기간이 없다)만의 구동을 실현할 수 있다. 즉, 해당 화소(16)(해당 소스 신호선(18))에는 프리차지 전압(프로그램 전압과 같거나 유사)(프로그램 전압과 동의)이 인가되지 않고(전압 프로그램은 실시되지 않는다), 전류 프로그램만이 실시된다.

2의 2승-2 중, -1은 앞서 설명한 Vpc0(오픈 모드)이다. 다른 하나는, 소스 드라이버 회로(IC)(14)의 외부에서 발생한 프리차지 전압(프로그램 전압과 같거나 유사)을 소스 드라이버 회로(IC)(14)의 단자로부터 취입하여 사용하는 모드이다.

또한, 외부 입력의 프리차지 전압(프로그램 전압과 같거나 유사)은 고정에 한정되는 것은 아니다. 패널의 회로의 도트 클럭에 동기하여(각 화소(16)에 대응하여) 변화하는 것이어도 되는 것은 물론이다. 또한, 내부의 프리차지 전압(프로그램 전압과 같거나 유사)에 있어서도 마찬가지이다. 예를 들면, 프리차지 전압(프로그램 전압과 같거나 유사) Vpc1이, 패널의 회로의 도트 클럭에 동기하여(각 화소(16)에 대응하여) 변화하는 것이어도 되는 것은 물론이다.

예를 들면, VSEL이 4비트이면, 지정할 수 있는 수는 8가지이다. 따라서, 2의 승수-1 구성이면, 프리차지 전압(프로그램 전압과 같거나 유사)은 7이치를 지정할 수 있고, 남은 1가지는 오픈 모드이다. 2의 승수-2 구성이면, 프리차지 전압(프로그램 전압과 같거나 유사)은 6가치를 지정할 수 있고, 남은 1가지는 오픈 모드이고, 다른 1가지는 외부 입력의 프리차지 전압(프로그램 전압과 같거나 유사)을 지정할 수 있다. 또한, 프리차지 전압 지정(전압 프로그램 구동)하는 VSEL이 8비트이면, 지정할 수 있는 수는 256가지이다.

따라서, 2의 승수-1 구성이면, 프리차지 전압(프로그램 전압과 같거나 유사)은 255가치를 지정할 수 있고, 남은 1가지는 오픈 모드이다. 2의 승수-2 구성이면, 프리차지 전압(프로그램 전압과 같거나 유사)은 254가치를 지정할 수 있고, 남은 1가지는 오픈 모드이고, 다른 1가지는 외부 입력의 프리차지 전압(프로그램 전압과 같거나 유사)을 지정할 수 있다.

이상의 실시예에 있어서, 2의 승수-1 구성이면, -1은 오픈 모드인 것으로 했지만, 이것에 한정되는 것은 아니고, -1을 외부 입력의 프리차지 전압(프로그램 전압과 같거나 유사)을 지정 모드로 해도 된다. 또한, 외부 입력의 프리차지 전압(프로그램 전압과 같거나 유사)은 1종류에 한정되는 것은 아니고, 복수라도 된다. 그 경우에는, 내부에서 발생하는 프리차지 전압(프로그램 전압과 같거나 유사)은 감소한다. 또한, -1 혹은 -2 이외의 모든 지정에 대하여 다른 프리차지 전압(프로그램 전압과 같거나 유사) Vpc가 지정되는 것에 한정되는 것은 아니다.

복수의 지정 데이터에서 동일한 프리차지 전압(프로그램 전압과 같거나 유사)이 출력되도록 구성 혹은 형성 혹은 제작해도 되는 것은 물론이다. 또한, 복수의 지정 데이터에서 오픈 모드 혹은 외부 입력 모드의 프리차지 전압(프로그램 전압과 같거나 유사)이 출력되도록 구성 혹은 형성 혹은 제작해도 되는 것은 물론이다. 이상의 실시예는 도 127 내지 도 143의 실시예에도 적용할 수 있는 것은 물론이다. 또한, 본 명세서의 다른 실시예에도 적용할 수 있는 것은 물론이다.

이상의 실시예에 있어서, 2의 승수-3 구성으로 해도 된다. 1개는 오픈 모드이고, 다른 1개는 외부 입력의 프리차지 전압(프로그램 전압과 같거나 유사)을 지정 모드로 하고, 남은 1개를 애노드 전압으로 해도 된다. 애노드 전압 Vdd의 인가에 의해 양호한 흑색 표시를 실현할 수 있다.

도 293에 있어서 프리차지 전압(프로그램 전압과 같거나 유사)의 인가 기간을 길게(최대 1H 기간) 함으로써, 도 129, 도 130에 도시하는 바와 같이 전압 프로그램을 실현할 수 있다(전압 데이터만을 소스 신호선(18) 혹은 화소(16)에 인가하고, 전류 데이터를 인가하지 않는 상태). 즉, VSEL(도 296을 참조할 것)의 선택 기간 혹은 선택 타이밍을 제어하는 것에 의해, 전압 프로그램 방법과 전류 프로그램 방법 중 어느 한쪽을 선택하거나, 양쪽의 프로그램 방법을 소정의 비율 기간으로 조합하거나 할 수 있다.

또한, 화소(16)에 인가하는 영상 데이터(계조 데이터)의 크기에 따라서, 양쪽의 프로그램 방법을 조합하는 비율을 변화시키는 것도 용이하다. 또한, 화소(16) 열 방법에 연속하는 영상 데이터(계조 데이터)의 크기 혹은 변화 상태에 따라서, 양쪽의 프로그램 방법을 조합하는 비율을 변화시키는 것도 용이하다. 또한, 어느 한쪽의 프로그램 방법만을 실시할 수도 있다. 또한, 양쪽의 프로그램 방법을 조합할 때에는, 전압 프로그램 방법을 먼저 실시한다.

계조 데이터의 크기에 따라서 프리차지 기간(전압 계조 회로(1271)의 전압 인가 기간)을 변화시켜도 된다. 저계조일 때에는 프리차지 기간(전압 계조 회로(1271)의 전압 인가 기간)을 길게 하고, 중간 계조로 됨에 따라서, 프리차지 기간(전압 계조 회로(1271)의 전압 인가 기간)을 짧게 한다.

이상과 같이 본 발명은, 디지털 신호에 의해 프리차지 전압(프로그램 전압과 같거나 유사)을 설정할 수 있고, 또한 적어도 1개 지정은, 프리차지 전압(프로그램 전압과 같거나 유사)은 외부로부터 입력할 수 있거나, 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하지 않는 모드를 선택할 수 있는 것을 특징으로 하고 있다.

프리차지 회로(전자 볼륨(501) 등으로 구성된다. 혹은 도 136의 전압 게조 회로(1271))의 변화와 전류 게조 회로(431c)의 변화는 동기시킨다. 즉, 프리차지 회로의 변화가 전류 게조 회로(431c)의 변화에 대응하도록 변화시킨다. 프리차지 회로에 의한 화소(16)의 구동용 트랜지스터(11a)의 출력 전류의 목표값(기대값)이 1 μ A이면, 프리차지 회로에 의한 화소(16)의 구동용 트랜지스터(11a)의 목표값(기대값)이 1 μ A로 되도록 게조 제어한다.

따라서, 프리차지 회로의 게조 데이터의 값과 전류 게조 회로(431c)의 게조 데이터가 일치하도록 구성하는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 또한, 프리차지 회로와 전류 게조 회로(431c)는 동기시키는 것이 바람직하다.

프로그램 전압을 인가할지 인가하지 않을지의 판정은, 1화소행 전의 화상 데이터(혹은, 직전에 소스 신호선에 인가된 화상 데이터)에 기초하여 행해도 된다. 예를 들면, 64계조에서, 63계조째가 최대 백색 표시, 0계조째를 완전 흑색 표시라고 한 경우, 어떤 소스 신호선(18)에 인가되는 화상 데이터가 63계조째→10계조째→10계조째이면, 63계조째로부터 10계조째로 될 때에는, 프로그램 전압을 인가한다. 저계조째는 기입하기 어렵기 때문이다.

기본 동작으로서는, 프로그램 전압을 인가한 후, 프로그램 전류를 인가하고 전류 보정을 행한다. 동일 계조로부터 동일 계조(예를 들면, 10계조째로부터 10계조째) 혹은 임의의 계조로부터 근방의 계조(예를 들면, 10계조째로부터 9계조째)로 변화시킬 때에는, 프로그램 전압을 인가하지 않고, 프로그램 전류만을 인가한다. 프로그램 전압을 인가하면, 구동용 트랜지스터(11a)의 특성 변동에 의해, 레이저 샷 얼룩이 발생하기 때문이다. 프로그램 전류만의 구동이면, 게조 변화가 적기 때문에, 미소한 프로그램 전류이더라도, 구동용 트랜지스터(11a)의 특성 변동에 추종할 수 있기 때문이다.

본 발명의 구동 방법 또는 표시 패널(표시 장치)에 있어서, 엑시머 레이저에 의한 어닐링(ELA)의 샷의 긴변 방향은, 소스 신호선(18)의 형성 방향과 일치시켜 어레이(30)를 형성 또는 구성하는(레이저의 스캔 방향을 소스 신호선(18)의 형성 방향과 직교시킨다) 것이 바람직한 것은 물론이다. 화소(16)의 구동용 트랜지스터(11a)의 특성 변화가, 레이저 어닐링(ELA)의 1샷 내에 있어서 특성이 일치하고 있기 때문이다(즉, 소스 신호선(18)의 형성 방향의 화소 열 내에서는, 구동용 트랜지스터(11a)의 특성(모빌리티(μ), S값 등)이 일치하고 있다).

본 발명의 실시예에서는 프로그램 전압을 인가하는 것으로서 설명하지만, 프로그램 전압을 프리차지 전압으로 치환해도 된다. 즉, 프리차지 전압이 복수 종류의 전압을 갖는 경우에는, 프로그램 전압이 동기의 동작으로 되기 때문이다.

다음의 화소행(화소)에 인가하는 화상(영상) 데이터는, 앞의 화소행(화소)에 인가한 화상(영상) 데이터와 동일 혹은 변화량이 작을 때에는, 프로그램 전압을 인가하지 않고, 프로그램 전류만을 인가한다. 앞의 화소행에 인가한 프로그램 전류에서 소스 신호선(18)의 전위가 다음에 기입하는 프로그램 전류의 전위로 되어 있기 때문이다(어긋남량은 구동용 트랜지스터(11a)의 특성 변동뿐이다). 따라서, 래스터 표시인 경우에는, 프로그램 전압은 인가되지 않는다(인가해도 되지만). 이상의 동작은, 컨트롤러 회로(IC)(760)에 1화소행분(FIFO이기 때문에 2라인의 메모리가 필요)의 라인 메모리를 형성(배치)하는 것에 의해 용이하게 실현할 수 있다. 단, 1화소행째는, 수직 블랭킹 기간의 문제도 있으므로, 프로그램 전압을 인가하는 것이 바람직하다.

본 발명에 있어서, 프로그램 전압+ 프로그램 전류 구동에서는, 프로그램 전압을 인가하는 것으로서 설명을 하지만, 이것에 한정되는 것은 아니다. 1수평 주사 기간보다 짧고, 프로그램 전류보다 큰 전류를 소스 신호선(18)에 기입하는 방식이어도 된다. 즉, 프리차지 전류를 소스 신호선(18)에 기입하고, 그 후에 프로그램 전류를 소스 신호선(18)에 기입하는 방식이어도 된다. 프리차지 전류도 물리적으로는 전압 변화를 야기시키고 있는 것에는 차이는 없다.

이상과 같이, 프로그램 전압 인가라는 동작을 프리차지 전류 혹은 프리차지 전압으로 행하는 방식도 본 발명의 프로그램 전압+ 프로그램 전류 구동의 범주이다. 예를 들면, 도 131, 도 140, 도 141, 도 143, 도 293, 도 297, 도 311, 도 312, 도 339~도 344에서는 전자 볼륨(501)을 절환하는 것에 의해 프로그램 전압이 변화한다. 이 전자 볼륨(501)을 전류 출력의 전자 볼륨으로 변경하면 된다. 변경은 복수의 커런트 미러 회로를 조합하는 것에 의해 용이하게 실현할 수 있다. 본 발명에서는 설명을 용이하게 하기 위해서, 프로그램 전압+ 프로그램 전류 구동의 프로그램 전압 인가는 전압으로 행하는 것으로서 설명을 한다.

프로그램 전압 인가는, 일정한 프로그램 전압을 인가하는 것에 한정되는 것은 아니다. 예를 들면, 복수의 프로그램 전압을 소스 신호선에 인가해도 된다. 예를 들면, 제1 프로그램 전압 5(V)를 5(μ sec) 인가한 후, 제2 프로그램 전압 4.5(V)를 5(μ sec) 인가하는 방법이다. 그 후에, 프로그램 전류 I_w 를 소스 신호선(18)에 인가한다. 또한, 프로그램 전압을 톱니파 형상으로 변화시킨 것이어도 된다. 또한, 직사각형과 형상, 삼각파 형상, 사인 커브 형상의 전압 등을 인가해도 된다. 또한, 정규의 프로그램 전류(전압)에 프로그램 전압(전류)을 중첩시켜도 된다. 또한, 프로그램 전압(전류)의 크기, 프로그램 전압(전류)의 인가 기간은, 화상 데이터에 대응시켜 변화시켜도 된다. 또한, 화상 데이터의 값 등에 따라서, 인가 파형의 종류, 프로그램 전압의 값 등을 변화시켜도 된다.

프로그램 전압은 소스 신호선(18)의 상변의 일단으로부터 인가하고, 프로그램 전류를 상기 소스 신호선(18)의 하변의 일단으로부터 인가해도 된다. 또한, 이와 같이 표시 패널의 드라이버 회로(14)를 배치 혹은 구성해도 된다.

프로그램 전류와 프로그램 전압은 동시에 인가해도 된다. 프로그램 전류를 발생하는 정전류(가변 전류) 회로는 고 임피던스 회로이므로, 프로그램 전압을 발생하는 전압 회로와 쇼트(단락)해도 동작에 문제가 발생하지 않기 때문이다. 단, 프로그램 전압과 프로그램 전류의 양쪽을 소스 신호선(18)에 인가하는 경우에는, 프로그램 전압의 인가를 종료한 후에, 프로그램 전류의 인가를 종료시킨다. 즉, 1H(수평 주사 기간) 혹은 복수 H 혹은 소정의 기간에서의 최후는 프로그램 전류의 인가 상태에서 종료시킨다. 또한, 도 390 등에 도시하는 과전류 구동(프리차지 전류 구동)과 조합해도 되는 것은 물론이다.

본 발명은 전류 구동 방식에 있어서, 소정의 전압의 프로그램 전압을 인가한 후, 프로그램 전류를 인가하는 것으로서 설명을 한다. 그러나, 본 발명의 기술적 사상은, 전압 구동 방식이어도 효과를 발휘한다. 전압 구동 방식에서는, EL 소자(15)를 구동하는 구동용 트랜지스터 사이즈가 크기 때문에, 게이트 용량이 크다. 그 때문에, 정규의 프로그램 전압이 기입하기 어렵다는 과제가 있다.

이 과제에 대하여, 정규의 프로그램 전압을 인가하기 전에, 소정 전압의 전압을 인가한다고 하는 동작을 실시함으로써, 구동용 트랜지스터를 리세트 상태로 할 수 있어, 양호한 기입을 실현할 수 있다(인가하는 전압은 트랜지스터(11a)가 오프 상태 혹은 그 근방으로 되는 전압으로 하는 것이 바람직하다). 따라서, 본 발명의 프로그램 전압+ 프로그램 전류 구동 방식은, 전류 프로그램 구동에 한정되는 것은 아니다. 본 발명의 실시예에서는, 설명을 용이하게 하기 위해, 전류 프로그램 구동의 화소 구성(도 1 등을 참조할 것)을 예시하여 설명을 한다.

본 발명의 실시예에 있어서, 프로그램 전압+ 프로그램 전류 구동 방식(도 127~도 143 등도 참조할 것)은, 구동용 트랜지스터(11a)에만 작용하는 것은 아니다. 예를 들면, 도 11, 도 12, 도 13 등의 화소 구성에 있어서, 커런트 미러 회로를 구성하는 트랜지스터(11a)에도 작용하여 효과를 발휘한다. 본 발명의 프로그램 전압+ 프로그램 전류 구동 방식은, 소스 드라이버 회로(IC)(14)로부터 본 소스 신호선(18)의 기생 용량을 충방전하는 것을 하나의 목적으로 하고 있지만, 당연히 소스 드라이버 회로(IC)(14) 내의 기생 용량도 충방전되는 것도 목적으로 하고 있다.

프로그램 전압을 인가한다고 하는 동작은, 흑색 표시를 양호하게 하는 것을 하나의 목적으로 하고 있지만, 이것에 한정되는 것은 아니다. 백색 표시를 기입하기 쉽게 하는 백 기입 프로그램 전압(전류)을 인가하면, 양호한 백색 표시도 실현할 수 있다. 즉, 본 발명의 프로그램 전압+ 프로그램 전류 구동이라 함은, 프로그램 전류(프로그램 전압)를 기입하기 전에, 상기 프로그램 전류(프로그램 전압)를 기입하기 쉽게 하기 위한, (화소(16)에 기입하는 계조 데이터에 따른) 소정의 전압을 인가하고, 소스 신호선(18) 등을 예비 충전하는 것이다. 또한, 계조에 따른 프로그램 전류를 기입하기 쉽게 하기 위해서, 프로그램 전압을 사전에 인가하는 것이다. 따라서, 소스 신호선(18) 등의 전위가 소정 전위 혹은 소정 범위 내에 유지되어 있으면, 프로그램 전압을 인가할 필요는 없다.

단, 화소(16)의 구동용 트랜지스터(11a)는 백색 표시 상태(고계조 표시 상태)로부터 흑색 표시 상태(저계조 표시 상태)로 변화하는 동작은 비교적 고속이다. 그러나, 구동용 트랜지스터(11a)는 흑색 표시 상태에서부터 백색 표시 상태로 변화하는 동작은 비교적 느리다. 따라서, 프로그램 전압은, 영상(화상) 데이터의 값보다 크게 하여(고계조 표시 방향) 인가하고, 프로그램 전류로 흑색 표시 방향으로 보정하도록 동작시키는 것이 바람직하다. 따라서, 프로그램 전압을 지정하는 영상 데이터 > 프로그램 전류를 지정하는 영상 데이터의 관계를 만족시키는 것이 바람직하다.

화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터이고, 또한 흡입 전류(소스 드라이버 회로(IC)(14)에 흡입하는 전류)로 전류 프로그램을 실시하는 경우이다. 화소(16)의 구동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우 혹은 구동용 트랜지스터(11a)를 토출 전류(소스 드라이버 IC(14)로부터 토출하는 전류)로 전류 프로그램을 실시하는 경우에는 반대의 관계로 한다. 즉, 화소(16)의 구동용 트랜지스터(11a)가 N 채널인 경우에는 흑색 표시 상태(저계조 표시 상태)로부터 백색 표시 상태(고계조 표시 상태)로 변화하는 동작은 비교적 고속이다.

그러나, 구동용 트랜지스터(11a)는 백색 표시 상태에서부터 흑색 표시 상태로 변화하는 동작은 비교적 느리다. 따라서, 프로그램 전압은, 영상(화상) 데이터의 값보다 작게 하여(저계조 표시 방향) 인가하고, 프로그램 전류로 백색 표시 방향으로 보정하도록 동작시키는 것이 바람직하다. 따라서, 프로그램 전압을 지정하는 영상 데이터<프로그램 전류를 지정하는 영상 데이터의 관계를 만족시키는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용(재판독)할 수 있는 것은 물론이다.

본 발명은 설명을 용이하게 하기 위해서, 구동용 트랜지스터(EL 소자(15)에 전류를 공급하는 트랜지스터)가 P 채널이고, 소스 드라이버 회로(IC)(14)가 흡입(싱크) 전류로 동작하고 있는 표시 패널(표시 장치)을 예시하여 설명을 한다.

프로그램 전압 인가 타이밍은, 프로그램 전류를 기입하는 화소행을 선택한 상태에서 프로그램 전압을 기입하는 것이 바람직하지만, 이것에 한정되는 것은 아니고, 화소행이 비선택의 상태에서, 소스 신호선(18)에 프로그램 전압을 인가하여 예비충전을 행하고, 그 후, 프로그램 전류를 기입하는 화소행을 선택해도 된다.

프로그램 전압은, 소스 신호선(18)에 인가하는 것으로 하고 있지만, 다른 방식도 예시된다. 예를 들면, 애노드 단자에의 인가 전압(Vdd) 또는 캐소드 단자에의 인가 전압(Vss)을 변화시켜도 된다(프로그램 전압을 인가). 애노드 전압 또는 캐소드 전압을 변화시킴으로써, 구동용 트랜지스터(11a)의 기입 능력이 확대된다. 따라서, 프로그램 전압 인가(디스차지) 효과가 발휘된다. 특히, 애노드 전압(Vdd)을 펄스적으로 변화시키는 방식을 실시하는 효과가 높다. 즉, 프로그램 전압의 인가는, 구동용 트랜지스터(11a)를 오프 상태로 하는 동작 혹은 구성이면 어떠한 신호선 혹은 단자(애노드 단자, 캐소드 단자, 소스 신호선 등)에 작용시켜도 되는 것은 물론이다.

도 332의 (a)는 계조 0만으로 프로그램 전압을 인가했을 때의 설명도이다. 계조 0만의 프로그램 전압 인가는 계조 누락이 없어, 양호한 흑색 표시를 실현할 수 있기 때문에 바람직한 방법이다. 도 332에 있어서, 행 번호는, 화소행의 번호를 나타내고 있다. 화소행은, 제1 화소행으로부터 n 화소행까지 순차적으로 화상 데이터가 재기입되고, 최종 화소행 n까지 전류 프로그램이 되면, 또한, 제1 화소행부터 전류 프로그램이 개시된다.

일례로서 화상 데이터는, 64계조의 화상 데이터로 한다. 화상 데이터는 0 내지 63의 값을 취한다. 당연히, 256계조일 때에는, 0 내지 255까지의 값을 취한다. PSL은 프로그램 전압 인가 셀렉트 신호이고, H 레벨(기호 H)일 때, 프로그램 전압의 출력이 허가된다. L 레벨일 때에는, 프로그램 전압은 출력되지 않는다. PEN은 프로그램 전압 인가 인에이블 신호이다. 이 PEN은 컨트롤러(81)의 판단에 의해 출력되는 신호이다. 즉, 컨트롤러는 화상 데이터에 기초하여, PEN 신호를 H 또는 L 레벨로 한다. PEN이 H 레벨일 때에는, 프로그램 전압 인가를 한다고 하는 판단 신호이고, L 레벨일 때에는, 프로그램 전압을 인가하지 않는다고 하는 판단 신호이다. 프로그램 전압도 바람직하게는 영상 데이터에 따라 변화시키는 것은 물론이다. 또한, 구체적인 구성 방법은, 도 127 내지 도 143, 도 293 내지 도 297 등에서 설명을 한다.

도 332에서는, 계조 0일 때에만, PEN 신호는 H 레벨로 되어 있다. P 출력은, 스위치(151a)의 온 오프 상태이다(도 16, 도 75, 도 308의 Si 등을 참조할 것). 표에서는, ○는 스위치(151a)가 온 상태(소스 신호선(18)에 프로그램 전압 Vp가 인가된 상태)이다. ×는 스위치(151a)가 오프 상태(소스 신호선(18)에 프로그램 전압이 인가되어 있지 않은 상태)이다.

도 332의 (a)에서는, 화소행 번호 3과 화소행 번호 8에 해당하는 개소에서, PEN 신호가 H로 되어 있다. 동시에 화소행 번호 3과 화소행 번호 8에서는, PSL 신호도 H 레벨이기 때문에, P 출력은 ○(프로그램 전압 Vp가 출력된 상태)로 되어 있다. 도 332의 (b)에서는, PEN 신호는 도 332의 (a)와 동일하지만, PSL 신호가 L 레벨이다. 따라서, P 출력은 항상 ×(프로그램 전압 Vp가 출력되고 있지 않다)의 상태로 되어 있다. 기본적으로는 PEN 신호도 컨트롤러(81)로부터 출력된다. 그러나, PEN 신호는 유저가 조정할 수 있도록 하는 것이 바람직하다.

프로그램 전압 Vp가 출력되고 있는 기간은, 도 16의 카운터(162)에서 설정할 수 있다. 이 카운터는 프로그래머블 카운터이고, 컨트롤러로부터의 설정값, 혹은 유저의 설정값에 기초하여 동작한다. 카운터(651)는 메인 클럭(CLK)에 동기하여 동작하도록 구성되어 있다.

도 333의 (a)는 계조 0 내지 계조 7만을 프로그램 전압 인가했을 때의 설명도이다. 저계조 영역에만 프로그램 전압을 인가하는 방법은, 전류 구동이 흑색 표시 영역을 기입하기 어렵다고 하는 과제를 해결하는 방법으로서 유효하다. 또한, 어떠한 범위까지 프로그램 전압을 인가할지는 컨트롤러(81)에 의해 설정할 수 있다.

도 333에서는, 계조 0-7일 때에만, PEN 신호는 H 레벨로 되어 있다. P 출력은, 스위치(151a)의 온 오프 상태이다. 도 333의 (a)에서는, 화소행 번호 3, 5, 6, 7, 11, 12, 13에 해당하는 개소에서, 화상 데이터는 7 이하이기 때문에, PEN 신호가 H

로 되어 있다. 동시에 이상의 개소에서, PSL 신호도 H 레벨이기 때문에, P 출력은 ○(프로그램 전압 V_p 가 출력된 상태)로 되어 있다. 도 333의 (b)에서는, PSL 신호가 L 레벨이기 때문에, P 출력은 모두 ×(프로그램 전압이 인가되어 있지 않은 상태)로 되어 있다.

도 334는 화소(16)의 휘도가 낮아질 때에 프로그램 전압 인가를 실시하는 구동 방식의 설명도이다. 전류 프로그램 방식에서는, 화소(16)의 휘도를 높게할 때(백색 표시)의 프로그램 전류 I_w 가 크다. 따라서, 소스 신호선(18)에 기생 용량이 있더라도 충분히 기생 용량을 충방전할 수 있다. 그러나, 화소(16)를 흑색 표시로 되도록 프로그램 전압을 인가할 때에는, 프로그램 전류는 작아 소스 신호선(18)의 기생 용량 등을 충분히 충방전할 수 없다. 따라서, 화소(16)에 기입하는 프로그램 전류가 커질 때에는, 프로그램 전압 인가를 할 필요가 없는 경우가 많다. 반대로 화소(16)에 기입하는 전류가 작아질 때(흑색 표시로 될 때)에는 프로그램 전압을 인가할 필요가 발생한다.

도 334는 화소(16)의 휘도가 낮아질 때에 프로그램 전압 인가를 실시하는 구동 방식의 설명도이다. 제1 화소행째의 화상 데이터가 39이다. 따라서, 소스 신호선(18)에는, 화소(16)를 화상 데이터 39로 전류 프로그램하는 전위가 유지되어 있다. 제2 화소행째의 화상 데이터는 12이다. 따라서, 소스 신호선(18)은 화상 데이터 12에 대응하는 전위로 되도록 할 필요가 있다. 그러나, 프로그램 전류는 계조 39로부터 계조 12로 작아진다. 그 때문에, 소스 신호선(18)을 충분히 충방전할 수 없는 상태가 발생하는 경우가 있다. 이 과제에 대응하기 위해서, 프로그램 전압을 인가한다(PEN 신호는 H 레벨로 된다). 화소행 3, 5, 6, 8, 11, 12, 13, 15에 있어서도 마찬가지로 판정 결과로 된다.

제3 화소행째의 화상 데이터는 0이다. 따라서, 소스 신호선(18)에는, 화소(16)를 화상 데이터 0으로 전류 프로그램하는 전위가 유지되어 있다. 제4 화소행째의 화상 데이터는 21이다. 따라서, 소스 신호선(18)은 화상 데이터 21에 대응하는 전위로 되도록 할 필요가 있다. 프로그램 전류는 계조 0으로부터 계조 21로 커진다. 그 때문에, 소스 신호선(18)을 충분히 충방전 가능하다. 따라서, 제4 화소행에서는 프로그램 전압을 인가할 필요는 없다.

이상의 판단을, 컨트롤러(81)에서 실시한다. 실시의 결과, 도 334의 (a)에 도시하는 바와 같이, PEN 신호는, 화소행 2, 3, 5, 6, 8, 11, 12, 13, 15에서 H 레벨로 된다. 즉, 상기 화소행에서는 프로그램 전압을 인가한다고 하는 결과로 된다. 도 334의 (a)에서는, PSL 신호도 H 레벨이기 때문에, P 출력의 란에서 알 수 있는 바와 같이, P 출력은, 화소행 2, 3, 5, 6, 8, 11, 12, 13, 15에서 ○(프로그램 전압을 인가함)으로 된다. 또한, 다른 화소행에서는 프로그램 전압 인가는 행해지지 않는다.

도 334의 (b)에서는, PEN 신호는 도 334의 (a)와 동일하지만, PSL 신호가 L 레벨이다. 따라서, P 출력은 항상 ×(프로그램 전압 V_p 가 출력되고 있지 않다)의 상태로 되어 있다. 기본적으로는 PEN 신호도 컨트롤러(81)로부터 출력된다. 그러나, PEN 신호는 유저가 조정할 수 있도록 하는 것이 바람직하다.

도 335는, 도 333과 도 334의 프로그램 전압 인가 방법을 조합한 방식이다. 화소(16)의 휘도가 낮아질 때에 프로그램 전압 인가를 실시하고, 또한, 화소(16)의 프로그램 전류가 0~7 계조의 저휘도로 되는 경우에 프로그램 전압을 인가하는 방법이다. 어떤 계조 이하에서 프로그램 전압을 인가할지의 여부는, 컨트롤러 IC(81)의 설정값으로 변경 가능하다. 또한, 유저가 변경하는 것도 가능하다. 변경은, 컨트롤러 내부의 테이블에 마이크로컴퓨터로부터 직렬 인터페이스를 통하여 행한다.

화상 데이터는 도 334의 실시예와 동일하다. 그러나, 도 335에서는, 제2 화소행에서는 화상 데이터가 12이고, 제15 화소행에서는, 화상 데이터가 12이기 때문에, PEN 신호는 L 레벨의 판정 결과로 되어 있다. 앞서도 설명한 바와 같이, 일정 이상의 프로그램 전류 I_w 의 크기가 있으면, 소스 신호선(18)의 기생 용량을 충방전할 수 있다. 따라서, 프로그램 전압을 인가할 필요는 없다. 반대로 프로그램 전압을 인가하면 소스 신호선(18)의 전위가 흑색 표시 전위까지 변화하여, 중간조 표시의 전위로 복귀하는 데 시간을 요한다.

이상의 판단을, 컨트롤러(81)에서 실시한다. 실시의 결과, 도 335의 (a)에 도시하는 바와 같이, PEN 신호는, 화소행 3, 5, 6, 8, 11, 12, 13에서 H 레벨로 된다. 즉, 상기 화소행에서는 프로그램 전압을 인가한다고 하는 결과로 된다. 도 335의 (a)에서는, PSL 신호도 H 레벨이기 때문에, P 출력의 란에서 알 수 있는 바와 같이, P 출력은, 화소행 3, 5, 6, 8, 11, 12, 13에서 ○(프로그램 전압을 인가함)으로 된다. 또한, 다른 화소행에서는 프로그램 전압 인가는 행해지지 않는다. 도 335의 (b)에서는, PEN 신호는 도 335의 (a)와 동일하지만, PSL 신호가 L 레벨이다. 따라서, P 출력은 항상 ×(프로그램 전압 V_p 가 출력되고 있지 않다)의 상태로 되어 있다.

이상의 실시예는, 각 RGB의 프로그램 전압 인가에 대하여 설명을 하고 있지 않지만, 도 336과 같이 각 RGB에서 프로그램 전압 인가 판정을 행하는 것이 바람직한 것은 물론이다. 각 RGB에서 화상 데이터가 서로 다르기 때문이다.

도 336은, 도 333과 같이 계조 0-7의 범위에서 프로그램 전압 인가를 실시하는 구동 방법이다. 각 RGB에서의 프로그램 전압 인가의 판단을 컨트롤러(81)에서 실시한다. 실시의 결과, 도 336에 도시하는 바와 같이, R 화상 데이터에서는, PEN 신호는, 화소행 3, 5, 6, 7, 8, 11, 12, 13에서 H 레벨로 된다. 즉, 상기 화소행에서는 프로그램 전압을 인가한다고 하는 결과로 된다. G 화상 데이터에서는, PEN 신호는, 화소행 3, 7, 9, 11, 12, 13, 14에서 H 레벨로 된다. 즉, 상기 화소행에서는 프로그램 전압을 인가한다고 하는 결과로 된다. B 화상 데이터에서는, PEN 신호는, 화소행 1, 2, 3, 6, 7, 8, 9, 15에서 H 레벨로 된다. 즉, 상기 화소행에서는 프로그램 전압을 인가한다고 하는 결과로 된다.

이상의 실시예에서는, 화소행에 대응하여 프로그램 전압 인가를 할지의 여부를 판단했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 프레임(필드) 단위로 각 화소에 인가되는 화상 데이터의 크기, 변화 등을 판정하고, 프로그램 전압 인가 할지의 여부를 판단해도 되는 것은 물론이다. 도 337은 그 실시예이다.

도 337은 임의의 화소(16)에 주목한 화상 데이터의 변화를 나타내고 있다. 도 337의 표의 제1행째는 프레임 번호를 나타내고 있다. 표의 2행째는 임의의 화소(16)에 프로그램되는 화상 데이터의 변화를 나타내고 있다. 또한, 도 337은, 도 332와 마찬가지로 계조 0에서 프로그램 전압을 인가하는 구동 방식의 변형예이다. 도 332에서는, 계조 0에서 반드시 프로그램 전압을 인가하는 방법이었다. 도 337에서는, 계조 0이 일정 프레임 연속할 때에 프로그램 전압을 인가하는 방법이다. 연속은, 카운터로 나타낸다.

도 337의 (a)에서는, 프레임 3, 4, 5, 6, 11, 12에서 계조 0이다. 그 때문에, 카운트값은, 제3 프레임으로부터 제6 프레임까지 순차적으로 카운트된다. 또한, 프레임 11, 12에서 카운트된다. 도 337의 (a)에서는, 계조 0이 3 프레임 연속할 때에, 프로그램 전압 인가를 실시하도록 제어되어 있다. 따라서, 프레임 5, 6에서 P 출력이 ○(프로그램 전압이 출력된다)로 된다. 프레임 11, 12에서는 2 프레임밖에 계조 0이 연속하지 않기 때문에, 프로그램 전압 인가는 되지 않는다.

도 337의 (b)에서는, PSL 신호에 의해 카운트 제어를 실시하고 있다. PSL 신호가 H 레벨일 때에, 카운트값은 업된다. 도 337의 (b)에서는, 프레임 5, 12에서 PSL 신호가 L 레벨이기 때문에, 카운트 업되지 않는다. 그 때문에, 프로그램 전압은, 프레임 6에서밖에 출력되지 않는다.

도 337에서는 계조 0이 일정 프레임 연속할 때에 프로그램 전압을 인가하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니고, 도 333에서 설명한 바와 같이, 일정한 계조 범위(예를 들면, 계조 0-7)가 연속할 때에 프로그램 전압을 인가하도록 제어해도 된다. 또한, 연속한 프레임에 한정되는 것은 아니고, 이산적이어도 된다. 또한, 연속한 화소행에서 일정한 계조 범위(예를 들면, 계조 0만, 계조 0-7 등)가 연속할 때에 프로그램 전압을 인가하도록 제어해도 된다.

이상과 같이 본 발명의 프로그램 전압+ 프로그램 전류 구동 방식에서는, 화상 데이터의 값 혹은 화상 데이터의 변화 상태 혹은 프로그램 전압을 인가하는 화소의 근방의 화상 데이터값과 그 변화 등에 의해, 프로그램 전압을 인가할지의 여부를 판정하고, 프로그램 전압(전류)을 인가한다. 또한, 프로그램 전압을 인가할지의 여부의 정보는, 소스 드라이버 회로(IC)에 유지된다. 따라서, 소스 드라이버 회로(IC)(14)는 프로그램 전압 인가 신호를 래치하는 래치 회로(2361)(유지 회로 혹은 기억 수단(메모리))를 구비할 뿐이므로 구성은 용이하다. 또한, 어떠한 프로그램 전압 인가 방식이더라도 컨트롤러 회로(IC)(760)(도 83, 도 85, 도 181, 도 319, 도 320, 도 327 등을 참조할 것)의 프로그램을 변경 혹은 설정값을 변경하는 것만으로 대응할 수 있기 때문에 범용성이 있다.

이상은, 프로그램 전압 인가에 의해 화소를 흑색 표시 혹은 흑색 표시에 가까운 상태로 하는 방법의 경우이다. 그러나, 프로그램 전압을 인가함으로써, 백색 표시로 하는 경우도 있다. 따라서, 프로그램 전압 인가라 함은, 흑색 표시 전압뿐만이 아니다. 소스 신호선(18)에 전압을 인가하는 것에 의해, 소스 신호선(18)을 일정 전위로 하는 방법이다.

또한, 도 1 등, 화소(16)의 구동용 트랜지스터(11a)가 P 채널인 경우에는, 스위칭용 트랜지스터(11b)도 P 채널에서 형성하는 것이 중요하다. 스위칭 소자(11b)가 온 상태에서부터 오프 상태로 될 때의 관통 전압에 의해 흑색 표시가 용이하게 되기 때문이다. 따라서, 화소(16)의 구동용 트랜지스터(11a)가 N 채널인 경우에는, 스위칭용 트랜지스터(11b)도 N 채널로 형성하는 것이 중요하다. 스위칭 소자(11b)가 온 상태에서부터 오프 상태로 될 때의 관통 전압에 의해 흑색 표시가 용이하게 되기 때문이다.

하단은, 소스 신호선(18)에 프로그램 전압(PRV)을 인가했을 때에 소스 신호선 전위를 도시하고 있다. 화살표의 개소가 프로그램 전압(PRV)의 인가 위치를 나타내고 있다. 또한, 프로그램 전압 인가 위치는, 1H의 최초에 한정되는 것은 아니다.

1/2H까지의 기간에 프로그램 전압을 인가하면 된다. 또한, 소스 신호선(18)에 프로그램 전압을 인가할 때에는, 선택층의 게이트 드라이버(12a)의 OEV 단자를 조작하여, 어떠한 게이트 신호선(17a)도 선택되어 있지 않은 상태로 하는 것이 바람직하다.

또한, 프로그램 전압을 인가할지 인가하지 않을지의 판정은, 1화소행 전의 화상 데이터(혹은, 직전에 소스 신호선에 인가된 화상 데이터)에 기초하여 행해도 된다. 임의의 소스 신호선(18)에 인가되는 화상 데이터에 있어서, 제1 화소행째의 직전의 화소행(화소)(최종 화소행)의 인가 데이터가 63계조째이고, 제1 화소행(화소)째가 10계조째이고, 이후의 화상 데이터의 변화가 없는 경우(10계조째가 연속함), 제1 화소행(화소)에 10계조째 혹은 그 근방에 해당하는 프로그램 전압이 인가된다. 그러나, 제2 화소행째로부터 최종 화소행째에는 프로그램 전압은 인가되지 않는다.

도 338은 프로그램 전류 데이터(적색용 IR, 녹색용 IG, 청색용 IB)와 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)와의 관계를 나타내고 있다. 프로그램 전류 데이터, 프로그램 전압 데이터는 영상(화상) 데이터에 기초하여, 컨트롤러 IC(회로)(760)에 의해 발생된다(도 127 내지 도 143 등을 참조할 것).

도 338의 (a)는 프로그램 전류 데이터(적색용 IR, 녹색용 IG, 청색용 IB)와 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)가 동일 수인 예이다. 즉, 임의의 프로그램 전류 데이터(적색용 IR, 녹색용 IG, 청색용 IB)에 대응하는 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)를 갖는 경우이다. 따라서, 프로그램 전압을 인가하면, 그것에 대응하는 프로그램 전류를 인가할 수 있다.

도 338의 (b)는 프로그램 전류 데이터(적색용 IR, 녹색용 IG, 청색용 IB)보다 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)가 적은 실시예이다. 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)의 하위 2비트가 없다. 일반적으로 저계조에서는 계조 표시가 러프해도 된다. 도 338의 (b)의 실시예에서는, 예를 들면, 계조 0~3의 프로그램 전류 데이터를 인가하기 전에, 계조 0의 프로그램 전압 데이터를 인가한다. 계조 4~7의 프로그램 전류 데이터를 인가하기 전에, 계조 1(실제는 하위 2비트가 없기 때문에 계조 4)의 프로그램 전압 데이터를 인가한다.

도 338의 (c)도 프로그램 전류 데이터(적색용 IR, 녹색용 IG, 청색용 IB)보다 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)가 적은 실시예이다. 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)의 상위 및 하위 2비트가 없다. 일반적으로 저계조에서는 계조 표시가 러프해도 된다. 도 338의 (c)의 실시예에서는, 예를 들면, 계조 0~3의 프로그램 전류 데이터를 인가하기 전에, 계조 0의 프로그램 전압 데이터를 인가한다. 계조 4~7의 프로그램 전류 데이터를 인가하기 전에, 계조 1(실제는 하위 2비트가 없기 때문에 계조 4)의 프로그램 전압 데이터를 인가한다. 또한, 고계조 영역에서는, 프로그램 전류가 우세하기 때문에, 프로그램 전압을 인가할 필요가 없다. 따라서, 고계조 영역에서 프로그램 전압을 인가할 때에는, 프로그램 전압 데이터(적색용 VR, 녹색용 VG, 청색용 VB)의 최대값을 소스 신호선(18) 등에 인가한다.

도 293에 있어서, 저항 어레이(2931)의 c전위는 전자 볼륨(501a)의 출력에 의해 결정된다. 저항 어레이(2931)의 d전위는 전자 볼륨(501b)의 출력에 의해 결정된다. 저항 어레이(2931)는 저항값이 1, 3, 5, 7, ……(2n-1)의 비율로 형성되어 있다. c점으로부터 가산하면, 1, 4, 9, 16, 25, ……(n·n)으로 된다. 즉, 2승 특성으로 되어 있다. 따라서, 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc} 는 저항 어레이(2931)의 c점과 d점과의 전위차가 대략 2승 특성 눈금으로 된다.

또한, 2승 눈금에 한정되는 것은 아니고, 1.5승 내지 32승의 범위이면 된다. 또한, 이 범위는 변경할 수 있도록 구성하는 것이 바람직하다. 변경은, 저항 어레이(2931)의 저항 R^* (*은 해당 저항의 번호)를 복수 저항값으로 형성하고, 목적에 따라 절환하도록 구성하면 된다. 또한, 1.5승 내지 32승의 범위에서 변화시키는 것은, 감마 특성을 화상에 따라 변화시킴으로써 양호한 화상 표시를 실현할 수 있기 때문이다. 또한, 감마의 변화에 의해 프리차지 전압(프로그램 전압과 같거나 유사)도 변화할 필요가 있기 때문이다. 이상의 것은, 도 106, 도 108의 (a), (b) 등에서 설명을 했으므로 생략한다.

도 293과 같이 구성함으로써, 프리차지 전압(프로그램 전압과 같거나 유사)의 원점(c점= V_{cp1})과, 프리차지 전압(프로그램 전압과 같거나 유사)의 최종점(d점= V_{cp7})을 변화시킬 수 있다. 또한, V_{cp1} 과 V_{cp7} 의 전압을 대략 2승눈금으로 출력함으로써, 계조에 따라서 최적의 프리차지 전압(프로그램 전압과 같거나 유사)을 출력할 수 있다(도 135 내지 도 142의 설명도 참조할 것). 또한, 계조의 출력 방식이 리니어적인 경우에는, 저항 어레이(293)의 저항도 등(等)저항 간격으로 해도 되는 것은 물론이다. 특히, 전류 프로그램 방식과 조합하는 경우에는, 도 293의 프리차지 구동(전압 프로그램 방식)도 등간격으로 하는 것이 바람직하다.

도 293의 V_{pc0} 은 오픈하고 있다. 즉, V_{pc0} 이 선택되었을 때에는, 전압 무인가 상태로 된다. 따라서, 프리차지 전압(프로그램 전압과 같거나 유사)은 소스 신호선(18)에는 인가되지 않는다.

도 293은 c점, d점의 양쪽의 전압을 변화시키는 구성이지만, 도 297에 도시하는 바와 같이 d점만을 변화시키도록 구성해도 된다. 또한, 프리차지 전압(프로그램 전압과 같거나 유사)은 도 293에 도시하는 바와 같이 8개에 한정되는 것은 아니고, 복수이면 어느 것이어도 된다. 또한, 도 297은 DA 회로(503)를 이용한 구성이지만, 도 311에 도시하는 바와 같이 d 전압은 볼륨(VR) 등을 이용하여 아날로그적으로 변경 혹은 가변해도 된다.

도 297 등의 프리차지 전압(프로그램 전압과 같거나 유사)의 원점으로 하는 V_s 전압은, 소스 드라이버 회로(IC)(14)의 외부에서 발생시킨 전압이어도 된다. 도 324에서는, 볼륨 VR에서 V_0 전압을 발생하여, 각 소스 드라이버 회로(IC)(14)에 공통의 전압으로서 전자 볼륨(501)에 인가하고 있다. 즉, V_0 전압을 도 131, 도 143, 도 308, 도 311, 도 312 등의 V_s 전압으로서 이용하고 있다. V_s 전압은, 애노드 전압 V_{dd} 와 동일하게 함으로써 전원 수를 감소시킬 수 있다.

이상의 실시예에서는, 프리차지 전압(프로그램 전압과 같거나 유사)은 애노드 전압에 가까운 전압인 것으로서 설명을 했다. 그러나, 화소 구성에 따라서는, 프리차지 전압(프로그램 전압과 같거나 유사)이 캐소드 전압에 가까운 경우가 있다. 예를 들면, 구동용 트랜지스터(11a)가 N 채널 트랜지스터로 형성되어 있는 경우, 구동용 트랜지스터(11a)가, P 채널 트랜지스터에서 토출 전류(도 1의 화소 구성은 흡입(싱크) 전류)로 전류 프로그램이 실시되는 경우이다.

이 경우에는, 프리차지 전압(프로그램 전압과 같거나 유사)은 캐소드 전압에 가까운 전압으로 할 필요가 있다. 예를 들면, 도 297에서는 d점을 기준 위치로 할 필요가 있다. 도 293에서는 오피 앰프(502b)의 출력 전압을 기준으로 할 필요가 있다. 또한, 도 131의 V_{bv} 전압을 기준으로 할 필요가 있고, 도 141, 도 143에서는 V_{bvl} 을 기준으로 할 필요가 있다. 이상과 같이 화소 구성 등이 변화하면 기준 위치를 변경할 필요가 있는 것은 물론이다.

도 312에 도시하는 바와 같이, 전압 셀렉터 회로(2951)를 이용하여 구성해도 된다. 전압 셀렉터 회로의 a 단자에는 전자 볼륨(501)에 의해 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc} 가 변화(변경)된 것이 인가되고, b 단자에는 고정된 프리차지 전압(프로그램 전압과 같거나 유사) V_c 가 인가된다.

도 339는 본 발명의 다른 실시예이다. 전자 볼륨의 0계조제에 해당하는 프리차지 전압(프로그램 전압) V_0 은 도 324에 도시하는 바와 같이 RGB에서 고정 전압을 인가한다. 물론, RGB에서 변화시켜도 된다. CCM 방식에서는 일반적으로 RGB에서 공통이어도 된다. 또한, 저항 R은 도면에 도시하는 바와 같이 전자 볼륨(501)의 외부부작으로 해도 된다. 저항 R을 변화 혹은 교체하는 것에 의해 자유롭게 각 V_{pc} 전압을 변화시킬 수 있다.

또한, 저항값 $R_1 > R_2 > \dots > R_n$ 의 관계를 유지하도록 구성한다. 또한, 적어도 $R_1 > R_n$ 의 관계를 유지시킨다(R_n 은 최후의 스위치로부터 출력되는 V_{pc} 전압을 결정하는 저항이다. 또한, R_1 은 저계조측이고 R_n 은 고계조측이다. 또한, R_1 은 구동용 트랜지스터(11a)의 상승 전압 근방의 전압 발생용이고, R_n 은 백색 표시 전압을 발생하는 것이다). 특히, $R_1 > R_2$ (R_1 의 단자간 전압 $> R_2$ 의 단자간 전압)의 관계는 유지하는 것이 바람직하다. 구동용 트랜지스터(11a)의 특성으로부터, V_0 전압의 다음의 1계조제의 전압과의 차가, 1계조제와 2계조제의 전압과의 차가 크기 때문이다.

스위치 S는 VDATA를 디코딩함으로써 지정된다. 또한, 선택할 수 있는 V_{pc} 의 전압의 개수는, 표시 장치가 6인치 이상인 경우에는, 표시 장치의 계조수의 1/8 이상으로 하는 것이 바람직하다(256계조인 경우에는, 32계조 이상). 특히, 1/4 이상으로 하는 것이 바람직하다(256계조인 경우에는, 64계조 이상). 비교적 고계조 영역까지 프로그램 전류의 기입 부족이 발생하기 때문이다. 6인치 이하의 비교적 소형의 표시 패널(표시 장치)에서는, 선택 가능한 V_{pc} 의 전압의 개수는, 2 이상으로 하는 것이 바람직하다. V_{pc} 가 V_0 의 1개이더라도 양호한 흑색 표시를 실현할 수 있지만, 저계조 영역에서 계조 표시하는 것이 곤란한 경우가 있기 때문이다. V_{pc} 가 2 이상이면, FRC 제어에 의해 복수의 계조를 발생할 수 있어, 양호한 화상 표시를 실현할 수 있다.

b점의 전위를 결정하는 SDATA는 기준 전류 I_c 에 상관한다. 바람직하게는 I_c 의 1/1.5승 이상 1/32승에 비례하도록 제어된다. 기준 전류 I_c 가 클 때에는, b점 전위가 강하하도록 제어되고, 기준 전류 I_c 가 작을 때에는 b점 전위가 높아진다. 따라서, 기준 전류 I_c 가 클 때에는, 각 저항 R 사이의 전위차가 커져, 각 V_{pc} 의 차가 커진다(프로그램 전압의 스텝 변화가 커진다). 반대로, 기준 전류 I_c 가 작을 때에는, 각 저항 R 사이의 전위차가 작아져, 각 V_{pc} 의 차가 작아진다. 예를 들면, 도 344에 도시하는 바와 같이 기준 전류 I_c 에 의해 b 단자의 전위를 변화시키고, 전압 V_0 과의 전위차에 의해 전자 볼륨(501)의 각 저항 단자 사이의 전위차와 비례적으로 변화시킨다.

도 344는 기준 전류 I_c 에 의해 직접 b 단자의 전위를 변화시키는 것으로 했지만, 이것에 한정되는 것은 아니다. 도 188의 기준 전류 $I_c(I_{cr}, I_{cg}, I_{cb})$ 를 전류 분류 회로 혹은 변환 회로에서 변환 등을 한 전류를 이용해도 된다. 변환 등에 의해 얻어지는 전류는 기준 전류의 1/2승 근방으로 되도록 구성한다. 또한, 각 RGB의 전자 볼륨(501)에 있어서의 기준 전류 I_c 는, RGB마다 다르게 할 수 있도록 구성하는 것이 바람직한 것은 물론이다.

예를 들면, 도 343은, 기준 전류 I_c (혹은 기준 전류에 비례 또는 상관하는 전류)를 트랜지스터(158b, 158c)로 이루어지는 커런트 미러 회로에 도입하고, 저항 R_0 의 일단에 발생하는 전압 V_1 을 오피 앰프(502a)를 통하여, b 단자에 인가하는 구성이다. 이와 같이 구성함으로써, 기준 전류(본 발명의 점등률 제어에서는, 기준 전류를 변화시킴으로써 표시 휘도 혹은 소비 전류 제어 등을 실시함)의 변화에 따라서 혹은 상관하여 프리차지 전압(프로그램 전압)을 변화시킬 수 있다. 또한, b 단자의 전압 변화는 완만하게 하지 않으면 화상에 플리커가 발생한다. 이 대책을 위해서, 도 343의 실시예에서는 b 단자에 커패시터 C를 배치 또는 형성하고 있다.

본 발명의 실시예에 있어서, 오피 앰프(502)는 증폭 회로 등의 아날로그 처리 회로로서 이용하는 경우도 있지만, 버퍼로서 사용하는 경우도 있다.

이상과 같이, 기준 전류 변화(점등률 제어에 의한 변화)에 있어서의 b 단자의 전압 변화(프리차지 전압(프로그램 전압) V_{pc} 의 변화는 원활하게 되도록 실시한다. 이상의 것은 본 발명의 다른 실시예에 있어서도 마찬가지로 적용되는 것은 물론이다(도 343, 도 339 등도 참조할 것).

기준 전류 I_c 에 따라서 혹은 상관하여 프리차지 전압(프로그램 전압)을 변화 혹은 변경하는 구성으로서, 도 345에 나타내는 실시예도 예시된다. 도 345의 실시예에서는, 기준 전류 I_c (혹은 기준 전류 I_c 에 비례 또는 상관하는 전류)가 커런트 미러 회로(트랜지스터(158b), 트랜지스터(158c) 등으로 구성)가 구성되어 있다. 저항 R_0 은 소스 드라이버 회로(IC)(14)의 외부에 부착(배치 혹은 형성)된 것이다. 저항 R_0 을 교체 혹은 변경함으로써 전자 볼륨(501a, 501b)의 단자 b의 전압을 변경 혹은 가변할 수 있다.

저항 R_0 은 고정 저항, 볼륨 등에 한정되는 것은 아니다. 제너 다이오드, 트랜지스터, 사이리스터 등의 비선형 소자라도 된다. 또한, 정전압 레귤레이터, 스위칭 전원 등의 회로 혹은 소자라도 된다. 또한, 저항 R_0 대신에 포지스터, 서미스터 등의 소자라도 된다. 단자 b의 전위 조정과 함께, 온도 보상도 동시에 실시할 수 있다. 소스 드라이버 회로(IC)(14)의 저항에 관해도 마찬가지로 치환할 수 있다.

이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 예를 들면, 도 188, 도 209의 저항 R_1 , 도 197, 도 346의 저항 $R_1 \sim R_3$, 도 311의 VR, 도 324의 VR, 도 339의 $R_1 \sim R_8$, 도 341의 R_1, R_2 , 도 343의 R_0 , 도 351의 R_a, R_b, R_c , 도 354의 R_a, R_b 등이 예시된다. 도 351, 도 352, 도 353 등의 내장 저항 등에도 적용할 수 있는 것은 물론이다.

도 345의 구성은, 전자 볼륨(501a)은 VDATA1의 값에 의해 제1 프리차지 전압(프로그램 전압) V_a 가 선택되고, 전자 볼륨(501b)은 VDATA2의 값에 의해 제2 프리차지 전압(프로그램 전압) V_b 가 선택된다. 표시 패널(표시 장치)에 인가되는 V_{pc} 는 V_a 전압과 V_b 전압을 오피 앰프 등으로 구성되는 가산 회로(3451)에 의해 가산된 것으로 된다. 이상과 같이 복수의 전자 볼륨(501)(조작 수단)을 이용함으로써 유연하게 또한 목적에 대응한 V_{pc} 전압을 발생시킬 수 있다.

도 345의 실시예는, V_a 전압과 V_b 전압을 가산하여 V_{pc} 전압을 발생시키는 것으로 했지만, 이것에 한정되는 것은 아니다. V_a 전압과 V_b 전압을 감산해도 된다. 또한, 승산해도 된다. 또한, V_a 전압과 V_b 전압의 2 전압에 한정되는 것은 아니고, 3 개 이상의 전압으로 V_{pc} 전압을 발생시켜도 된다. 또한, 전압에 한정되는 것은 아니고, Ia 전류와 Ib 전류와 같이 발생하는 대상이 전류 등이어도 된다. 이 전류 등을 최종적으로 전압인 V_{pc} 로 변경하는 것이면 어느 것이어도 된다.

이상과 같이 프리차지 전압(프로그램 전압)은 복수의 전압을 변환 혹은 합성 혹은 조합함으로써 발생시켜도 된다. 이상의 사항은 본 발명의 다른 실시예(예를 들면, 도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354가 예시된다)에도 적용할 수 있는 것은 물론이다.

도 342는 전자 볼륨(501)의 저항 R_a 혹은 R_b 의 크기를 변화시키고 있다. $R_{a1} > R_{a2}$, $R_a > R_b$ 로 하고 있다. 도 342와 같이 구성함으로써, 프리차지 전압의 최초의 스텝은 전압 차가 크고, 고계조로 됨에 따라서(고계조측에서는), 프리차지 전압의 스텝이 작아지도록 하고 있다. 고계조측에서는, 구동용 트랜지스터(11a)의 게이트 단자 전압을 약간 변화시키는 것만으로 큰 출력 전류(=프로그램 전류)를 얻을 수 있기 때문이다.

중간부 이상의 저항 R_b 는 동일 저항($R_{b1}=R_{b2}$)값으로 해도 된다. 또한, $R_a > R_b$ 로 하고, $R_{a1}=R_{a2}=\dots$, $R_{b1}=R_{b2}=\dots$ 로 구성해도 된다. 즉, VDATA에 대한 프리차지 전압 V_{pc} 의 변화는 1점 꺾은선 커브로 된다. 물론, 도 339 등에 도시하는 바와 같이, 모든 저항 R 은 동일한 저항값이어도 된다. 이 경우에는, VDATA에 대한 프리차지 전압 V_{pc} 의 변화는 리니어적으로 된다. 또한, 리니어인 경우이더라도, $R_{a1} > R_{a2}$ 인 관계를 유지해 두는 것이 바람직하다. 상승 전압 V_0 과 다음의 프리차지 전압 $V_{pc}=V_1$ 전압의 스텝이 크기 때문이다.

소스 드라이버 회로(IC)(14)에 내장하는 저항의 저항값은 트리밍에 의해, 혹은 가열에 의해 저항값을 소정값으로 되도록 조정 혹은 가공해도 되는 것은 물론이다.

SDATA의 값은, DA 회로(503)에 의해 전압으로 변환되어, 전자 볼륨(501)의 단자 b에 인가된다. 또한, SADTA의 발생 대신에 도 311에 도시하는 바와 같이 아날로그적으로 변화시켜도 되는 것은 물론이다. 또한, 도 339 등에서는, 기준 전류의 크기 등에 의해 b 단자 전압을 변화시키는 것으로 했지만, 이것에 한정되는 것은 아니고, 고정 전압이어도 된다.

V_{pc} 의 전압의 발생은 전자 볼륨(501)에 의해 발생하는 것에 한정되는 것은 아니다. 예를 들면, 오피 앰프로 이루어지는 가산 회로에 의해서도 발생시킬 수 있다. 또한, 복수의 전압을 스위치로 선택하는 스위치 회로로도 구성할 수 있다.

도 348은, bd 단자의 전위를 소스 드라이버 회로(IC)(14)의 외부에서 발생한 전압(V_{1c} , V_{c2} , V_{c3})을 스위치 S의 조작에 의해 선택할 수 있도록 구성한 실시예이다.

본 발명에 있어서, V_0 단자(0계조제의 전압을 인가하는 단자 혹은 트랜지스터(11a)의 상승 전압 이하의 전압을 인가하는 단자)는, RGB의 프리차지 회로(프로그램 전압 발생 회로)에서 공통이어도 된다. 그러나, b 단자의 전압은, RGB에서 독립적으로 설정할 수 있도록 구성하는 것이 바람직하다. 이 실시예를 도 349에 도시한다.

본 발명의 실시예에 있어서, 오피 앰프(502)는 증폭 회로 등의 아날로그 처리 회로로서 이용하는 경우도 있지만, 버퍼로서 사용하는 경우도 있다.

도 349에서는, R의 프리차지 회로(프로그램 전압 발생 회로)(501R), G의 프리차지 회로(프로그램 전압 발생 회로)(501G), B의 프리차지 회로(프로그램 전압 발생 회로)(501B)에서, a 단자의 V_0 전압을 공통으로 인가하고 있다. 그러나, b 단자에서는, R의 프리차지 회로(프로그램 전압 발생 회로)(501R)에는 V_{1R} 전압을 인가할 수 있도록 구성하고 있다. 마찬가지로, G의 프리차지 회로(프로그램 전압 발생 회로)(501G)에는 V_{1G} 전압을 인가할 수 있도록 구성하고 있다. 또한, B의 프리차지 회로(프로그램 전압 발생 회로)(501B)에는 V_{1B} 전압을 인가할 수 있도록 구성하고 있다.

도 340의 실시예는, 전자 볼륨(501) 내에 적어도 1개 이상의 DA 회로(503)를 형성 또는 구성 혹은 배치한 실시예이다. 각 DA 회로(503)는 2개의 전압(예를 들면, DA 회로(503a)는 전압 V_0 과 V_1 , DA 회로(503b)는 전압 V_1 과 V_2 , DA 회로(503c)는 전압 V_2 와 V_3 , DA 회로(503d)는 전압 V_3 과 V_4)과, DA 데이터를 설정하는 VDATA(5:0) 및 어느 DA 회로(503)를 동작시킬지를 선택하는 선택 비트 S에 의해 제어된다.

각 DA 회로(503)는 VDATA(5:0)과 S 단자에 의해 제어되어, 각각 2개의 전압 사이의 전압을 출력한다. 예를 들면, DA 회로(503a)는, S1단자가 선택됨으로써, V_{pc} 전압을 발생한다. 또한, S1단자를 선택하는 신호는 스위치 S1의 온을 제어한다. 또한, DA 회로(503a)는 VDATA(5:0)의 값에 의해, V_0 전압과 V_1 전압 사이에서, VDATA(5:0)의 값에 대응한 전압을 출력한다. 도 340의 실시예에서는, VDATA는 6비트이기 때문에, V_0-V_1 전압을 64분할하고, 이 분할된 단위 전압 $\times$ VDATA(5:0)의 값 + V_1 전압이 출력되게 된다.

마찬가지로, DA 회로(503b)는, S2 단자가 선택됨으로써, V_{pc} 전압을 발생한다. S2 단자를 선택하는 신호는 스위치 S2의 온을 제어한다. 또한, DA 회로(503b)는 VDATA(5:0)의 값에 의해, V_1 전압과 V_2 전압 사이에서, VDATA(5:0)의 값에 대응한 전압을 출력한다. 도 340의 실시예에서는, V_1-V_2 전압을 64분할하고, 이 분할된 단위 전압 $\times$ VDATA(5:0)의 값 + V_2 전압이 출력되게 된다. 이상의 사항은, DA 회로(503c, 503d)에 대해서도 마찬가지이다.

도 340과 같이 구성하면, $V_0, V_1 \dots V_4$ 전압을 변경하는 것만으로 발생하는 V_{pc} 의 커브를 변경하는 것을 용이하게 실현할 수 있다. 즉, 도 340의 V_1, V_2, V_3 전압은, 계조 데이터(VDATA(5:0), S1, S2, S3, S4)에 대한 V_{pc} 의 절곡 위치를 제어하고 있다(도 340의 구성에서는, 3점 꺾임 감마 커브이다). V_1, V_2, V_3 전압을 변화시킴으로써, 계조 데이터에 대한 프리차지 전압(프로그램 전압)의 크기 혹은 기울기를 변경하는 것을 용이하게 실현할 수 있다. 또한, V_0 전압을 변경함으로써, 0계조제에서 인가하는 프리차지 전압(프로그램 전압) 위치를 변화시킬 수 있다. 또한, V_4 전압을 변경함으로써 프리차

지 전압(프로그램 전압)을 인가하는 최대값을 변화시킬 수 있다. 또한, DA 회로(503)의 개수를 증가시키는 것, 입력 전압(V0~V4) 수를 증가시키는 것에 의해, 보다 유연한 프리차지 전압(프로그램 전압) 또는 감마 커브를 설정하는 것이 가능하게 된다.

도 340의 실시예에서는, 전압 V1~V4는 소스 드라이버 회로(IC)(14)의 외부로부터 공급하는 것으로 했지만, 이것에 한정되는 것은 아니다. 소스 드라이버 회로(IC)(14)의 내부에서 발생시켜도 된다. 또한, 도 341에 도시하는 바와 같이, 2개의 전압(V0 전압, V2 전압)을 저항(R1, R2)로 분압하여 V1 전압을 발생시켜도 된다.

DA 회로(503b)는, S일단자가 선택됨으로써, Vpc 전압을 발생한다. S일단자를 선택하는 신호는 스위치 S1의 온을 제어한다. 또한, DA 회로(503b)는 VDATA(2:0)의 값에 의해, V0 전압과 V1 전압 사이에 있어서, VDATA(2:0)의 값에 대응한 전압을 출력한다. 도 341의 실시예에서는, V0-V1 전압을 8분할하고, 이 분할된 단위 전압×VDATA(2:0)의 값+V1 전압이 출력되게 된다.

DA 회로(503c)는, S2 단자가 선택됨으로써, Vpc 전압을 발생한다. S2 단자를 선택하는 신호는 스위치 S2의 온을 제어한다. 또한, DA 회로(503c)는 VDATA(4:0)의 값에 의해, V1 전압과 V2 전압 사이에 있어서, VDATA(4:0)의 값에 대응한 전압을 출력한다. 도 341의 실시예에서는, V1-V2 전압을 32분할하고, 이 분할된 단위 전압×VDATA(4:0)의 값+V2 전압이 출력되게 된다.

저항 R1 혹은 저항 R2 혹은 양쪽의 저항 R은, 소스 드라이버 회로(IC)(14)에 내장시켜도 된다. 또한, 한쪽 혹은 양쪽의 저항을 가변 저항으로 해도 된다. 또한, 저항 R1, R2에 대하여 트리밍 가공 등을 실시함으로써 조정 등을 해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용되는 것은 물론이다.

도 351은, 소스 드라이버 회로(IC)(14)의 외부에 3개의 저항(Ra, Rb, Rc)을 이용하여, V0 전압 및 V1 전압을 발생시킨 실시예이다. 저항은 소스 드라이버 회로(IC)(14)의 단자(2883)에 접속한다. 애노드 전압과 접지(GND) 사이에 저항 Ra, Rb, Rc를 직렬 접속하고 있다. 저항 Ra의 양단에는 Va 전압($V_{dd}-V_a=V_0$), 저항 Rb 사이에 Vb 전압, 저항 Rc 사이에 Vc 전압($V_c=V_1$)이 발생한다.

이상과 같이 구성함으로써, 저항 Ra, Rb, Rc를 조정함으로써 전압 V0, V1을 자유롭게 설정할 수 있다. 또한, 도 351의 구성에서는 애노드 단자 전압 Vdd를 기준으로 V0 전압, V1 전압 등을 발생시키는 구성이다. 따라서, 애노드 전압 Vdd가 변동한 경우, 혹은 전원 모듈에서 발생하는 Vdd 전압의 전압 변동이 발생한 경우에도, V0 전압, V1 전압은 연동하여 변화한다. 이 변화는 화소(16)의 구동용 트랜지스터(11a)의 동작 원점(애노드 단자)과 일치하고 있기 때문에, 양호한 동작을 실현할 수 있다.

도 487에 도시하는 바와 같이 구성하는 것도 바람직하다. 도 487은 도 340의 변형예(간략화한 실시예이기도 함)이다. 도 487은 4점 꺾임 감마의 실시예이지만, 이것은 설명을 용이하게 하기 위해서이고, 4점 꺾임 감마 이하라도 되고, 4점 꺾임 감마 이상이어도 된다.

도 487의 특징은, V0~V1, V1~V2, V2~V4 사이의 프리차지 전압 Vpc 수가 일정하지 않은 것이다. 일례로서 V0~V1은 Vpc0과 Vpc1의 2개, V1~V2는 $32-1=31$ 개의 프리차지 전압 Vpc, V2~V3은 $128-32=96$ 개의 프리차지 전압 Vpc, V3~V4는 $255-32=223$ 개의 프리차지 전압 Vpc로 하고 있다. 즉, 고계조로 됨에 따라서, 프리차지 전압 수를 많게 하고 있다.

도 356에 도시하는 바와 같이, 계조 0에 대응하는 프리차지 전압 V0은 RGB에서 공통이고(도 349 등을 참조할 것), 애노드 전압 Vdd에 가깝다. 또한, 계조 1에 대응하는 프리차지 전압 V1은 RGB에서 서로 다르고, V1과 V0 전압의 전위차는 크다(도 356을 참조할 것). 또한, V1 전압은 저계조이기 때문에, 전류 프로그램 방법에 있어서 기입 부족이 발생하기 쉽고, EL 소자의 발광 효율도 낮기 때문에, 전압 구동을 지배적으로 할 필요가 있다. 이러한 이유로 인해, 도 487에서는, V0 전압과 V1 전압을 소스 드라이버 회로(IC)(14)의 외부로부터 입력하고 있다.

한편, V3 전압 내지 V4 전압의 범위는, 접지(GND) 전압에 가깝다. 또한, 프로그램 전류도 크기 때문에, 전류 구동이 지배적으로 되기 때문에, 기본적으로는, 프리차지 전압 Vpc의 인가는 필요하지 않다. 또한, 도 356에서 도시하는 바와 같이, 고계조측에서는, 소스 신호선 전위(구동용 트랜지스터(11a)의 게이트 전위)에 대한 출력 전류는 직선적인 관계로 되고, 약간의 전위 변화로 출력 전류는 커진다. 또한, 전류값도 크다. 따라서, 프리차지 전압 Vpc의 정밀도는 필요 없다. 이러한 이유로 인해, V3 전압과 V4 전압 사이에 대응하는 계조수를 많게 해도 문제없다.

바람직하게는, V0~V1의 전위차, V1~V2의 전위차, V2~V3의 전위차, V3~V4의 전위차는 동일 혹은 근방의 전압차로 하는 것이 바람직하다. 근방의 전위차라 함은, 1V 이내이다. 이와 같이 근방의 전위차로 하는 것에 의해, 전압 V0~V4의 발생 회로가 용이하게 되어, 전자 볼륨(501)의 구성도 간략화할 수 있다.

이상과 같이, 본 발명은, 외부로부터(내부에서 발생해도 되는 것은 물론이다) 인가하는 전압 V0~V4의 각각 사이에 대응하는 프리차지 전압 수가 서로 다른 것에 특징이 있다.

V0 전압은, 기준 전류비가 변화해도 고정이어도 된다. 그러나, V1 전압 위치는, 기준 전류비의 변화에 크게 의존한다. 화소(16)의 구동용 트랜지스터(11a)의 상승 전류가 작기 때문에, 기준 전류비에 대응하여 구동용 트랜지스터(11a)의 게이트 단자 전위(프로그램시의 소스 신호선(18) 전위)를 크게 변화시킬 필요가 있기 때문이다. 구동용 트랜지스터(11a)가 P 채널 트랜지스터인 경우에는, 기준 전류비를 크게 함에 따라서, 소스 신호선(18) 전위를 저하시킬 필요가 있다. 또한, 기준 전류비에 의한 전압의 변화는, V2 전압보다 V4 전압 쪽을 크게 할 필요가 있다.

이상과 같이 본 발명은, 기준 전류비를 변화시키는 구동을 실시하는 경우에는, V0 전압을 고정 또는, 소정 전압 근방의 전위를 유지한 채로, V1 전압 이후 혹은 V2 전압 이후의 전위를 변화시키는 것에 특징이 있다. 또한, 구동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우에는, GND 전위측에 V0 전압(상승 전압)이 위치한다.

따라서, 도 487의 전위 관계를 N 채널용으로 변경하면 된다. 변경은 당업자이면 용이하므로, 설명을 생략한다. 이상과 같이, 본 발명은, 구동용 트랜지스터(11a)가 P 채널 트랜지스터인 것으로서 설명을 하지만, 이것에 한정되는 것은 아니다. N 채널 트랜지스터라도 되는 것은 물론이다.

도 487은 V0과 V1 전압 사이에 소스 드라이버 회로(IC)(14)의 내장 저항을 형성 또는 배치한 구성이다. 물론, 저항 R은 외부 부작 저항이어도 된다. 또한, 저항 R의 저항값은 트리밍에 의해 조정해도 된다.

V0 전압은 고정이고, V1 혹은 V2 전압과 연동하지 않는 것이면, 도 491에 도시하는 바와 같이, 저항 R을 형성할 필요가 없다. 또한, V0 전압과 V1 전압은 비교적 전위차가 크기 때문에, V0 전압과 V1 전압 사이에는 큰 저항을 형성할 필요가 있다. 큰 저항은, 저항의 파트수(부품수)가 증대하여, 소스 드라이버 회로(IC)(14) 칩의 사이즈 확대로 직결된다.

도 491은 이 과제를 해결하기 위해서, V0 전압과 V1 전압을 독립시키고 있다. 즉, V0 전압 단자와 V1 전압 단자 사이에 저항을 형성하고 있지 않다. 또한, V1 전압 단자와 V2 전압 단자 사이에도 저항을 형성하고 있지 않다. 한편, V2 전압 단자와 V8 전압 단자 사이에는 저항 R을 배치하고, Vpc2와 Vpc3 사이, Vpc3과 Vpc4 사이, Vpc4와 Vpc5 사이 등 1개의 프리차지 전압 단자 사이에는, 저항 R의 8배의 저항(8R)을 형성하고 있다. 이것은, V2 전압 단자와 V3 전압 단자 사이는 비교적 전위차가 커서, 저항 R의 형성수가 적으면 관통 전류가 많이 흘러 소비 전력이 커지기 때문이다.

V8 전압 단자와 V32 전압 단자 사이에는 저항 R을 배치하고, Vpc8과 Vpc9 사이, Vpc9와 Vpc10 사이, Vpc10과 Vpc11 사이 등 1개의 프리차지 전압 단자 사이에는, 저항 R의 4배의 저항(4R)을 형성하고 있다. 이것은, V8 전압 단자와 V32 전압 단자 사이도 비교적 전위차가 커서, 저항 R의 형성수가 적으면 관통 전류가 많이 흘러 소비 전력이 커지기 때문이다. V32 전압 단자와 V128 전압 단자 사이의 Vpc 단자 사이에는 저항 R을 배치하고 있다. 1파트의 저항으로 구성할 수 있는 것은, V32 전압 단자와 V128 전압 단자 사이에 형성되는 프리차지 전압 단자 수가 많기 때문에, 저항 R의 구성 수도 많아, 관통 전류가 흐르지 않기 때문이다. 이상의 사항은, V128 전압 단자와 V255 전압 단자 사이도 마찬가지이다.

도 491의 실시예와 같이, V2 전압, V8 전압, V32 전압, V128 전압과, 4배의 계조에 대응하도록 전압 단자를 구성하면, 도 492에 도시하는 바와 같이, 꺾은선 감마의 프리차지 전압 회로를 구성할 수 있다. V2 전압과 V8 전압과의 전위차, V8 전압과 V32 전압과의 전위차, V32 전압과 V128 전압과의 전위차, V128 전압과 V255 전압과의 전위차는 거의 동등하게 된다. 또한, 도 492의 꺾은선 감마는 구동용 트랜지스터(11a)의 V-I 특성과 일치한다.

이상의 점으로부터, 도 491, 도 492의 실시예와 같이 구성함으로써, 양호한 프리차지 구동(프리차지 전압+ 프로그램 전류 구동 등)을 실현할 수 있다. 도 491의 회로 구성으로부터 출력되는 프리차지 전압에 의해, 목표의 소스 신호선(18) 전위 근방으로 변화하여, 근소한 변동량을 프로그램 전류에 의해 보정할 수 있기 때문에, 균일성이 매우 양호한 화상 표시를 실현할 수 있다(도 127~도 142 등을 참조할 것).

도 491의 구성은, 전압 단자는 V0, V1, V2, V8, V32, V128, V255의 7단자의 실시예이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 493은 512계조의 실시예이고, 전압 단자 위치를 나타내고 있다. 도 493의 (a)는, 단자 위치를 0, 1, 2, 4, 8, 32, 128, 512로 기재하고 있다. 즉, V0 전압 단자, V1 전압 단자, V2 전압 단자, V8 전압 단자, V32 전압 단자, V128 전압 단자, V512 전압 단자를 형성한 실시예이다.

도 493의 (b)는, 단자 위치를 0, 1, 8, 32, 128, 512로 기재하고 있다. 즉, V0 전압 단자, V8 전압 단자, V32 전압 단자, V128 전압 단자, V512 전압 단자를 형성한 실시예이다. 도 493의 (c)는, 단자 위치를 0, 1, 2, 8, 32, 128로 기재하고 있다. 즉, V0 전압 단자, V1 전압 단자, V2 전압 단자, V8 전압 단자, V32 전압 단자, V128 전압 단자를 형성한 실시예이다. 물론, 근방이면 되고, 예를 들면, V0 전압 단자, V1 전압 단자, V3 전압 단자, V7 전압 단자, V31 전압 단자, V127 전압 단자 등이어도 된다.

이상과 같이, 본 발명은, 적어도 전압 단자의 1조를 4의 배수 혹은 그 근방으로 한 것이 본 발명이다. 또한, 4배라고 하더라도, 0계조로부터 개시되는지, 1계조로부터 개시되는지에 따라 서로 다르다. 예를 들면, 도 493은, V0, V1, V2, V8, V32, V128로 하고 있지만, V1, V2, V7, V31, V127 등이어도 된다. 즉, V_n/V_{n-1} 이 4 근방으로 되면 된다. 예를 들면, V127/V31도 4근방이므로, 본 발명의 기술적 범주이다. V1, V3, V12, V31, V255 등이어더라도 1개의 조합인 V12와 V3의 관계, 즉 V12/V3이 4이기 때문에 본 발명의 기술적 범주이다.

각 전압 단자 사이의 전위차는, 기준 전류비 등에 따라 변화할 수 있도록 구성하는 것이 바람직하다. 도 494는 각 전압 단자 사이를 볼륨 VR으로 가변할 수 있도록 구성한 실시예이다. 물론, VR 대신에 DA 컨버터(501)에서 가변해도 된다. 전압 Vdd와 GND 사이에 저항 R0~R6이 배치되어 있다. 기준 전류비의 변화에 수반하여, 저항 R6의 단자 전압은, 볼륨 VR로 변화시킨다. 볼륨 VR에 의해 R0~R6의 각 저항 단자의 전압은 변화하고, 이 변화는, 전압 단자 V1~V256의 전압을 변화시킨다. V0 전압은 계조 0의 전압이기 때문에, 소정 전압 Va로 고정하고 있다. 전압 단자 V1~V256의 전위는, 복수의 소스 드라이버 회로(IC)(14)에 공통으로 인가된다.

이상의 실시예는, 전압 단자 V1~V256 기준 전류비에 대응하여 변화시키는 것으로 했지만, 점등률 등 다른 변동에 따라 변화시켜도 되는 것은 물론이다.

도 494의 실시예는, 소스 드라이버 회로(IC)(14)의 외부 부착 저항 R에 의해 전압 단자에 인가하는 전압을 변화시키는 구성이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들어, 도 495에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14)의 내장 저항 Ra에 의해, 전압 단자 사이(V2 전압과 V8 전압 사이, V8 전압과 V32 전압 사이, V32 전압과 V128 전압 사이)에 소정 전압이 인가되도록 구성해도 된다.

도 495 등에서는, V1 전압과 V2 전압을 분리하고 있지만, 도 496에 도시하는 바와 같이, V1 전압을 프리차지 전압 Vpc1로 하고, 또한, 오피 앰프(502c)를 통하여 프리차지 전압 Vpc2 이후를 발생하도록 구성해도 되는 것은 물론이다.

도 487 등에서는, 전자 볼륨(501)의 저항 R은 동일한 것으로서 설명하고 있다. 저항 R의 저항값을 동일하게 함으로써 IC 칩을 소사이즈화할 수 있다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 저항 R은 변화시켜도 된다. 예를 들면, 저계조측의 저항값을 크게 하고(도 356에 도시하는 바와 같이, V0~저계조 영역에서는, 계조에 대응하는 전위의 전위차가 크기 때문이다), 고계조측의 저항값을 상대적으로 혹은 절대값적으로 작게 해도 된다. 또한, 저항의 저항값은, 저계조측과 고계조측의 2종류 혹은 복수 종류로 구성해도 된다. 이상의 사항은, 도 136, 도 137, 도 341, 도 342 등에서도 설명을 행하고 있으므로, 설명을 생략한다.

예를 들면, 도 492에 도시하는 감마 커브를 발생하기 위해서는, 프리차지 전압 Vpc 단자 사이에 배치하는 저항값을 2승 특성으로 한다. 이 실시예를 도 497에 도시한다. 프리차지 전압 Vpc 단자간 전압은, 1, 3, 5, 7, 9……로 저항값을 변화시키고 있다.

도 497 등에 있어서, V1 전압, V2 전압 등을 변화시킴으로써, 적절한 프리차지 전압을 발생할 수 있다. 전압의 변화는, 도 498에 도시하는 바와 같이 DA 회로(501a)를 이용해도 된다. DA 회로(501a)는, 컨트롤러 회로(IC)(760)가 출력하는 8비트 데이터 ID로 제어한다.

도 503에 도시하는 바와 같이, 트랜지스터(158), 오피 앰프(502)로 이루어지는 정전류 회로에서 정전류 Ir을 발생하고, 이 Ir을 전자 볼륨의 저항 R에 흘리는 것에 의해 프리차지 전압 Vpc를 가변할 수 있다. 저항 Ir은 볼륨 VR 등으로 변화시킨다.

이상의 실시예는, 프리차지 구동 방식의 실시예로서 설명했지만, 본 발명은 이것에 한정되는 것이 아니다. 전압 구동 방식(예를 들면, 도 2 등의 화소 구성을 갖는 EL 표시 패널의 구동 방법)에도 적용할 수 있는 것은 물론이다. 전압 구동에서는, RGB의 EL 소자의 감마 커브가 서로 다르기 때문에, RGB 독립의 감마 회로가 필요하다.

도 491의 구성과, 도 497의 구성을 조합하여, 도 527과 같이 구성해도 된다. 도 527은, 예를 들면, V1 전압과 V2 전압 사이의 탭 사이의 저항값을 일정한 저항이 아니고, 4R, 2R, R 등 변화시키고 있다. 변화시킴으로써, 도 492의 커브가, 곡선 형상으로 되어, 보다 트랜지스터(11a)의 VI 특성과 일치하게 된다. 또한, 도 131 내지 도 142 등의 실시예와 조합해도 되는 것은 물론이다.

도 525는, 전압 입력 단자(전압 입력 탭)에, 디지털 데이터를 입력하고, DA 변환기(501a)에서 전압을 발생시킨 구성이다. 도 525는 일례로서, V2 전압을 입력하는 단자에, 8비트의 V2DATA로 이루어지는 디지털 데이터를 인가한 구성이다. 또한, V3 전압을 입력하는 단자에, 8비트의 V3DATA로 이루어지는 디지털 데이터를 인가한 구성이다. 단자에 인가하는 데이터를 디지털 데이터로 하여, 가변할 수 있도록 구성함으로써, 도 492의 커브를 자유롭게 설정 혹은 가변할 수 있다. 또한, 점등률 등에 대응하여, 혹은 온도 등, 또는 동화상과 정지 화상의 비율에 따라서, 도 492의 커브를 가변 혹은 설정할 수 있다.

이상과 같이, 본 발명의 소스 드라이버 회로(IC)(14)에 있어서, 프리차지 전압을 발생하는 회로 구성은, 다종 다양한 구성이 포함된다. 또한, 이상의 사항은, 프리차지 전류 혹은 과전압 Id를 발생하는 회로 구성에도 적용할 수 있는 것은 물론이다.

도 499는, 이전에 설명한 본 발명의 프리차지 전압 회로를 전압 구동 방식에 적용한 실시예이다. RGB의 V0 전압은 공통이다. 전자 볼륨(501R)은 R의 전압 발생 회로이다. 또한, 전자 볼륨(501G)은 G의 전압 발생 회로이다. 전자 볼륨(501B)은 B의 전압 발생 회로이다. 도 499에 구성하는 것에 의해 RGB 독립 감마 커브를 발생할 수 있어, 양호한 화이트 밸런스를 실현할 수 있다.

이상과 같이, 프리차지 전압을 발생하는 본 발명의 회로 구성, 구동 방식은 전압 구동 방식에도 적용할 수 있는 것은 물론이다. 즉, 전압+전류 구동에 한정되는 것이 아니다.

도 487에서는, 전체 게조 범위에 있어서, 프리차지 전압 V_{pc} 를 대응시키는 것으로 하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 기입 전류 혹은 기입 전압이 부족한 영역에 한정하여 프리차지 전압 V_{pc} 발생 회로를 구성 또는 배치해도 된다. 예를 들면, 도 487에서는, 전류 구동이고, 저계조 영역에서 기입 부족이 발생한다(라고 상정함). 따라서, 저계조에 해당하는 V0~V128까지 프리차지 전압 발생 회로를 구성하고, 그 이상은, 생략해도 되는 것은 물론이다. 또한, 0계조제와 짝수 계조제에만 프리차지 발생 회로를 구성하거나 하도록, 대응하는 계조를 간헐로 해도 되는 것은 물론이다. 또한, 계조 128 이상의 프리차지 전압은 V_{pc255} 뿐이어도 된다. 프로그램 전류가 지배적으로 동작하기 때문이다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용할 수 있는 것은 물론이다.

도 339, 도 341d에서는 b점 전위는 가변할 수 있는 구성이다. b점 전위를 가변할 필요가 있는 본 발명의 구동 방법에서는 기준 전류를 가변하기 때문이다(기준 전류를 변화 혹은 제어하는 방식으로서 도 61, 도 63, 도 64, 도 93~도 97, 도 111~도 116, 도 122, 도 145~도 153, 도 188, 도 252, 도 254, 도 267, 도 269, 도 277, 도 278, 도 279 등과 그 설명을 참조할 것). 도 350은 구동용 트랜지스터(11a)의 게이트 단자 전압(횡축)과 출력 전류(종축)의 관계를 도시하고 있다. 종축은 프로그램 전류 I_w 를 나타낸다. 프로그램 전류 I_w 는 기준 전류와 비례한다. 또한, 횡축의 게이트 단자 전압은 소스 신호선(18)의 전위를 나타낸다. 또한, 소스 신호선(18)의 전위는 프리차지 전압(프로그램 전압)과 동일하다.

이상의 점으로부터, 도 350은, 기준 전류 I_c 가 $I1$ 이고, 소스 신호선(18)으로부터 최대 프로그램 전류(최고 계조시)일 때에는, 소스 신호선(18)의 전위가 V1로 되도록 프리차지 전압(프로그램 전압)을 인가할 필요가 있는 것을 나타내고 있다. 마찬가지로, 기준 전류 I_c 가 $I2$ 이고, 소스 신호선(18)으로부터 최대 프로그램 전류(최고 계조시)일 때에는, 소스 신호선(18)의 전위가 V2로 되도록 프리차지 전압(프로그램 전압)을 인가할 필요가 있는 것을 나타내고 있다. 또한, 기준 전류 I_c 가 $I3$ 이고, 소스 신호선(18)으로부터 최대 프로그램 전류(최고 계조시)일 때에는, 소스 신호선(18)의 전위가 V3으로 되도록 프리차지 전압(프로그램 전압)을 인가할 필요가 있는 것을 나타내고 있다.

여기서, 기준 전류 I_c 가 I_1 로부터 I_3 까지 3배 변화하는 것으로 한다. 즉, $I_3:I_2:I_1=3:2:1$ 로 한다. 이 때, V_3, V_2, V_1 은, 검토의 결과에 따르면 최적값은, $V_3:V_2:V_1=11.5:11:10$ 이다. 즉, 기준 전류의 변화가 3배이더라도, 프리차지 전압 V_{pc} 의 변화는 근소하다. 이상의 점으로부터, V_{pc} 의 변화는 작아도 된다. 프리차지 전압의 변화 K_v (도 350에서는 V_3/V_1)와, 기준 전류의 변화 K_i (도 350에서는 I_3/I_1)의 관계는, $2 < K_i/K_v < 3.5$ 의 관계를 유지시키는 것이 바람직하다.

도 350으로부터, 기준 전류 I 의 값이 크게 변화되는 경우에도, 프리차지 전압의 변화는 작다. 따라서, 도 339, 도 341 등에 있어서의 V_1 전압은, 기준 전류가 크게 변화해도 변화량은 작아도 된다. 그 때문에, DA 회로(503)의 출력 변화는 작아도 충분하다. 도 339, 도 341에서는 V_1 전압을 기준 전류에 맞추어 변화시키는 것으로 했지만, 도 351의 실시예와 같이 단자(2883c)의 전압은 고정이어도 실용상은 문제가 발생하지 않는다. 반대로, 최대 프리차지 전압(프로그램 전압)의 가변 범위가 적어도 되어 회로 구성을 간략화할 수 있다. 또한, 고정밀도의 출력이 가능하게 된다.

전류 구동 방식에 있어서, 전류 기입 부족이 발생하는 것은, 저계조 영역이다. 또한, 기입 부족이 발생하는 영역은, 도 350의 V_0 전압(0계조제: 구동용 트랜지스터(11a)의 상승 전압)으로부터, V_x 까지의 A구간이다. 이 범위는 점선으로 기재하고 있는 바와 같이 직선적인 변화를 나타낸다. 도 350에서는 A로 나타내는 구간은 기울기를 작게 표현하고 있다. 실용상은 이러한 기울기가 실선의 곡선보다 작아도 충분하다. 도 127~도 143 등에서 설명한 전압 인가(프리차지 전압(프로그램 전압) 인가)를 실시한 후, 프로그램 전류를 인가하는 방법에서는, 완전한 보정이 이루어진 소스 신호선(18) 전위와 프리차지 전압 인가에 의한 소스 신호선의 전위와의 차(도 350에서는 실선과 점선과의 전류차로서 나타내어진다)가 있더라도, 프로그램 전류에 의해 완전한 보정을 실현할 수 있기 때문이다.

중요한 것은 프리차지 전압(프로그램 전압)을 소스 신호선(18)에 인가하고, 이상적으로는 소스 신호선(18)의 전위(구동용 트랜지스터(11a)가 프로그램 전류에 의해 실현되는 게이트 단자 전위)의 근방까지 단시간(1H의 $1/200$ 이상 $1/20$ 이하의 시간)에 설정 또는 조정하는 것이다. 이 동작에 의해 이상(보상된) 소스 신호선(18) 전위로부터 프로그램 전류에 의해 실현하는 소스 신호선(18)까지 변화시키는 전위차가 작아져 있다. 따라서, 비교적 작은 프로그램 전류(저계조 영역에서의 프로그램 전류)라도 이상 상태를 실현할 수 있다(구동용 트랜지스터(11a)의 특성을 보상한 전류 프로그램을 실현할 수 있다). 고계조 영역에서는 프로그램 전류의 크기가 크기 때문에 프리차지 전압(프로그램 전압)을 인가하지 않더라도, 프로그램 전류만으로 이상 상태를 달성(실현)할 수 있다.

이상의 점으로부터, 기입 부족이 발생하는 범위는 저계조 영역에 한정된다. 또한, 고계조 영역에서 프리차지 전압(프로그램 전압)은 필요하지 않다(물론, 프리차지 전압을 인가해도 된다). 프리차지 전압(프로그램 전압)을 인가해야 할 영역은 전체 계조 범위에 필요하지 않고, 중간조 이하의 영역으로 충분하다. 프리차지 전압을 인가하는 영역을 중간 계조 이하로 범위를 한정함으로써, 도 131, 도 135~도 142, 도 339~도 341, 도 351, 도 353 등의 전자 볼륨의 탭 수를 삭감할 수 있다. 따라서, 회로의 간략화가 가능하여, 저코스트화를 실현할 수 있다.

도 350에 도시하는 점선에 대응하여 프리차지 전압(프로그램 전압)을 발생(출력)하도록 구성하면, 전자 볼륨(501)의 각 저항은 동일한 저항값의 것을 배치하여 구성할 수 있다. 따라서, 전자 볼륨(501)의 회로 구성이 심플하게 되어 바람직하다.

그러나, 도 359에 도시하는 바와 같이, 이상적으로는, 프리차지 전압(프로그램 전압)의 인가에 의한 출력 전류 I 는 등간격(등 스텝)으로 되도록 하는 것이 바람직하다. 전압 0으로부터 전압 V_0 , 전압 V_0 으로부터 전압 V_1 의 차는 크다. 전압 V_4 와 전압 V_5 의 차는 작다. 이러한 스텝(눈금)을 실현하기 위해서는, 전자 볼륨(501)의 저항의 크기를 변화시키면 된다.

프리차지 전압(프로그램 전압)을 설정(지정)하는 전압 계조 데이터와, 프로그램 전류를 설정(지정)하는 전류 계조 데이터는 일치시키는 것이 바람직하다. 영상 데이터가 계조 128이면, 전압 계조 데이터도 128로 하고, 전류 계조 데이터도 128로 한다. 즉, 감마 변환 등을 행한 후의 영상 데이터의 번호=전압 계조 데이터의 번호=전류 계조 데이터로 한다. 영상 데이터의 번호로 도 131, 도 339, 도 351 등의 전자 볼륨(501)의 스위치 S를 결정하여 동작시켜 프리차지 전압(프로그램 전압) V_{pc} 를 소스 신호선(18)에 인가한다. 또한, 영상 데이터의 번호로 도 15 등의 스위치(151)의 온 오프 상태를 결정하여, 전류 회로(164) 혹은 단위 트랜지스터군(431c)을 조작시킨다.

각 영상 데이터에 대하여, 프리차지 전압(프로그램 전압)을 인가할지의 여부는, 컨트롤 IC(760)에 의해 제어하고, 프리차지 비트에 의해 제어한다(도 75~도 79 및 그 설명을 참조할 것). 소스 신호선(18)의 전위 상태(각 화소에 기입하는 1개 전의 프리차지 전압(프로그램 전압)의 인가 상태)에 따라, 혹은 영상 데이터의 크기(저계조 영역에서는 프리차지 전압(프로그램 전압)을 인가함)에 따라, 프리차지 전압(프로그램 전압)을 인가할지의 여부가 판단된다. 따라서, 저계조 영역의 영상 데이터이더라도, 프리차지 전압(프로그램 전압)을 인가하지 않는 경우도 있다.

또한, 고계조 영역의 영상 데이터더라도, 프리차지 전압(프로그램 전압)이 인가되는 경우도 있다. 본 발명은, 프리차지 전압(프로그램 전압)을 판정하는 비트를 소스 드라이버에 내장하는 점, 프리차지 전압(프로그램 전압)을 인가할지의 여부를 판정 혹은 프리차지 전압(프로그램 전압)을 영상 데이터(계조)에 대응하여 제어하는 방법 혹은 기술적 사상을 갖는 점에 특징이 있다.

이상과 같이 구성 혹은 제어함으로써, 소스 드라이버 회로(IC)(14)의 구성이 용이하게 되고, 또한, 컨트롤러 IC(회로)(760)로부터 소스 드라이버 회로(IC)(14)로 전송하는 데이터가 적어지기(전압 계조 데이터의 번호, 전류 계조 데이터가 필요하지 않고, 영상 데이터만이어도 된다) 때문에, 전송 데이터의 주파수를 저감할 수 있다.

선택 가능한 V_{pc} 의 전압의 개수는, 표시 장치가 6인치 이상인 경우에는, 표시 장치의 계조수의 1/8 이상으로 하는 것이 바람직하다(256계조인 경우에는, 32계조 이상). 특히, 1/4 이상으로 하는 것이 바람직하다(256계조인 경우에는, 64계조 이상). 비교적 고계조 영역까지 프로그램 전류의 기입 부족이 발생하기 때문이다. 그러나, 앞에서 설명한 바와 같이 전체 계조 범위에서 프리차지 전압(프로그램 전압)을 인가할 수 있도록 구성 혹은 형성하는 것은 필요하지 않다.

6인치 이하의 비교적 소형의 표시 패널(표시 장치)에서는, 선택 가능한 V_{pc} 의 전압의 개수는, 2 이상으로 하는 것이 바람직하다. V_{pc} 가 V_0 의 1개이더라도 양호한 흑색 표시를 실현할 수 있지만, 저계조 영역에서 계조 표시하는 것이 곤란한 경우가 있기 때문이다. V_{pc} 가 2 이상이면, FRC 제어에 의해 복수의 계조를 발생할 수 있어, 양호한 화상 표시를 실현할 수 있다.

프리차지 전압(프로그램 전압)은 게이트 신호선(17a)을 제어하는 전압(V_{gh1} , V_{gl1})에 따라 변화시키는 것이 바람직하다. 특히, V_{gl1} 전압에 의해 프리차지 전압(프로그램 전압)을 변화시킨다. 구동용 트랜지스터(11a)의 게이트 단자의 기생 용량과 V_{gl1} 전압의 진폭에 의해 구동용 트랜지스터(11a)의 게이트 단자 전위가 변화하기 때문이다.

도 355에 도시하는 바와 같이, V_{gl1} 전압이 낮을수록 구동용 트랜지스터(11a)의 상승 전압이 변화한다. 예를 들면, $V_{gl1}=0V$ 일 때에는, 상승 전압(0계조째로서 인가하는 프리차지 전압(프로그램 전압))은 V_2 이지만, $V_{gl1}=-4V$ 일 때에는, 상승 전압(0계조째로서 인가하는 프리차지 전압(프로그램 전압))은 V_1 , $V_{gl1}=-9V$ 일 때에는, 상승 전압(0계조째로서 인가하는 프리차지 전압(프로그램 전압))은 V_0 으로 애노드 전위(도 355에서는 V_{dd})에 근접한다. 따라서, 도 339 등의 V_0 전압을 V_{gl1} 전압과 연동시켜 변화시키는 것이 바람직하다. 또한, V_1 전압도 변화시키는 것이 바람직하다.

이상의 사항은, 본 발명의 다른 실시예에 적용할 수 있는 것은 물론이다. 또한, 이상의 기술적 사상을 본 발명의 표시 장치, 표시 패널, 표시 방법 등에 적용할 수 있는 것도 물론이다.

도 352는 도 351의 변형예이다. 도 352에서는, 저항 R_a , 저항 R_b 를 소스 드라이버 회로(IC)(14)에 내장하고 있다. 단자(2883b)에 V_{dd} 전압을 인가하고, 단자(2883c)와 접지 사이에 저항 R_c 를 접속한다. 도 352와 같이 구성함으로써 외부 부작 저항이 1개로 된다. 단, 저항 R_c 의 값은 RGB마다 개별로 설정할 수 있도록 구성하는 것이 바람직하다. 또한, 단자(2883c)에는 전압을 직접 입력해도 되는 것은 물론이다. 또한, 저항 R_c 도 소스 드라이버 회로(IC)(14)에 내장시켜도 된다.

저항 R_a 는 트리밍 등에 의해 조정해도 된다. 또한, 저항이 확산 저항으로 형성되어 있는 경우에는 가열에 의해 저항값 조정을 하는 것도 가능하다. 또한, 전자 볼륨 혹은 저항 스위치 회로로 구성하는 것에 의해 소정의 저항값으로 설정 혹은 조정해도 된다. 이상의 사항은 도 352, 도 353 등의 다른 실시예에도 적용할 수 있는 것은 물론이다. 도 352에서는 저항 R_a 를 조정하는 것을 실시예로서 기재하고 있다. 도 353은 저항 R_b 를 조정하는 것을 실시예로서 기재하고 있다.

도 353은, 단자(2883b)에 V_{dd} 전압을 인가하고, 단자(2883c)에 외부 부작 저항 R_c 를 접속하고 있다. a점의 전위와 b점의 전위와의 전위차는 저항 R_b 를 조정함으로써 설정한다. 또한, 저항 R_c 의 값을 조정함으로써 b 단자의 전위를 조정한다.

기준 전류 I_c 에 의해 V_1 전압을 조정하는 실시예로서, 도 354의 구성이 예시된다. 도 354에서는 기준 전류 I_c (혹은 기준 전류 I_c 에 상관 혹은 비례하는 전류 I_c)가 외부 부작 저항 R_b 에 유입되도록 구성되어 있다. 따라서, 단자(2883b)의 전압 V_b 는, 저항 $R_b \times I_c$ 로 된다. 이 전압이 트랜지스터(158b)의 게이트 단자 전압으로 된다. 트랜지스터(158b)는 전압 V_b 에 의해 채널간 전압(SD 전압)이 발생하고, I_b 전류가 외부 부작 저항 R_a 에 흐른다. 단자(2883a)의 전압 V_1 은 $V_{dd}-R_a \times I_b$ 로 된다. 따라서, 기준 전류 I_c 의 크기의 변화가 V_1 전압의 변화로 된다. 전자 볼륨(501)의 동작은 이전에 설명했으므로 생략한다.

이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 예를 들면, 도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354가 예시된다. 또한, 각 실시예에서 설명한 내용은, 각각의 실시예와 선택하여 혹은 복합하여 혹은 조합하여 실시예를 구성할 수 있는 것은 물론이다.

소스 드라이버 회로(IC)(14)에 내장하는 저항의 저항값은 트리밍에 의해, 혹은 가열에 의해 저항값을 소정값으로 되도록 조정 혹은 가공해도 되는 것은 물론이다. 또한, 외부 부착 저항에 대해서도 마찬가지이다.

도 293 등(다른 실시예라도 된다)에 있어서, 저항 어레이(2931)(저항 R) 등은 IC 칩(14) 또는 소스 드라이버 회로(IC)(14) 내에 내장하는 것으로 했지만, 이것에 한정되는 것은 아니다. IC(회로)(14)에 디스크리트 부품으로 외부 부착해도 되는 것은 물론이다. 또한, 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc} 는 저항 R 등을 이용하여 발생하는 것에 한정되는 것은 아니고, 오피 앰프 혹은 트랜지스터 등 다른 부품으로 구성해도 되는 것은 물론이다. 또한, 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc} 는 일정한 전압을 PWM 변조 등에 의해 펄스 형상으로 발생하고, 컨덴서 등에 의해 평활화하여 소정의 프로그램 전압을 얻도록 구성 혹은 형성 혹은 제작해도 되는 것은 물론이다. 또한, 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc} 는 IC(회로)(14) 내에서 발생하는 것에 한정되는 것은 아니다. IC(회로)(14)의 외부에서 발생하여, IC(회로)(14)의 단자로부터 입력하고, IC(회로)(14)에서는 스위치 등으로 적응하는 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc} 를 선택하도록 구성해도 된다.

또한, 컨트롤러 회로(IC)(760)의 제어 데이터에 의해, 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc} 는 IC(회로)(14)의 외부에서 발생하여, IC(회로)(14)의 내부에 취입하고 소스 신호선(18) 등에 인가하도록 구성해도 되는 것은 물론이다. 이상으로 기재한 사항은, 도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354 등의 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354 등에서 설명한 바와 같이, 본 발명에서는, 프리차지 전압(프로그램 전압과 같거나 유사)(전압 데이터)를 인가하고, 그 후, 프로그램 전류를 인가한다. 프로그램 전류 I_w 는 보다 계조성을 증가시키기 위해서 FRC 기술을 이용한다. 일반적으로 10비트의 데이터를 4FRC의 8비트로 표현한다.

본 발명에서는, 도 313에서 도시하는 바와 같이 프리차지 전압도 FRC화하고 있다. 예를 들면, 도 313의 (b)는 4FRC의 구동 방법이다. 도 313의 (b)에 있어서, 흰색 ○(흰색 동그라미)는 프리차지 전압(프로그램 전압과 같거나 유사)이 인가(출력)된 것을 나타내고 있고, 검은색 ○(검은색 동그라미)는 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되어 있지 않은 것을 나타내고 있다. 즉, 도 313의 (b)(1)에서는, 4프레임(필드)에서 1회밖에 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되지 않는 것을 나타내고 있다.

마찬가지로 도 313의 (b)(2)에서는, 4프레임(필드)에서 2회밖에 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되지 않는 것을 나타내고 있고, 도 313의 (b)(3)에서는, 4프레임(필드)에서 3회 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되는 것을 나타내고 있다. 도 313의 (b)(4)에서는, 4프레임(필드) 모두 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되는 것을 나타내고 있다.

이상의 동작(방법)을 실시함으로써 프리차지 전압(프로그램 전압과 같거나 유사)으로 계조 표시를 증대시킬 수 있다. 따라서, 계조수가 증가하여 보다 양호한 화상 표시를 실현할 수 있다. 즉, 저계조 영역에서는 주로 프리차지 전압(프로그램 전압과 같거나 유사)으로 계조 표시를 실현하고, 고계조 영역에서는 프로그램 전류에 의해 계조 표시를 실현한다.

이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 예를 들면, 도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354가 예시된다.

또한, 프리차지 전압(프로그램 전압과 같거나 유사)의 인가는 플리커의 발생을 방지하기 위해서, 도 313의 (c)에 도시(4FRC에서 2회 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 실시예)하는 바와 같이, 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 타이밍을 변화시키는 것이 바람직하다.

저계조 영역에서는, 프리차지 전압(프로그램 전압과 같거나 유사) 등의 전압 데이터(VDATA)는 단시간에 소스 신호선(18)을 충방전할 수 있다. 한편, 프로그램 전류 I_w 등의 전류 데이터(IDATA)는, 목적의 전압(전류)까지 소스 신호선(18)을 충방전하는 데 시간을 필요로 한다. 따라서, 동일한 목표인 EL 소자(15)의 전류로 하기 위한 동작은, 전류 프로그램 쪽을 강하게 할 필요가 있다.

따라서, 도 313의 (a)에 도시하는 바와 같이, 계조 1에서는 전류 데이터(IDATA)는 계조를 약간 높은 데이터로 한다(예를 들면, 계조 1에서는 IDATA=1로 하는 것이 본래이지만, 4로 하여, 4배의 전류를 흘린다). 프리차지 전압(프로그램 전압과 같거나 유사)(VDATA)은 1로 하고 있다(본래의 값이다). 마찬가지로, 계조 2에서는 전류 데이터(IDATA)는 계조를 약간 높은 데이터로 한다(예를 들면, 계조 2에서는 IDATA=2로 하는 것이 본래이지만, 6으로 하여, 3배의 전류를 흘린다). 프리차지 전압(프로그램 전압과 같거나 유사)(VDATA)은 2로 하고 있다(본래의 값이다).

이상과 같이 전류 데이터를 큰 값으로 함으로써 정밀도에 의해 프로그램을 실현할 수 있다. 또한, 중간조 이상에서는, 전류 데이터와 전압 데이터는 동일(계조 k에서는, IDATA=VDATA=k)로 하거나, 혹은 전압 데이터의 인가를 하지 않는다.

또한, c전위 혹은 d전위는, 점등률, 애노드 전류, duty비 등에 따라서 변화시켜도 되는 것은 물론이다. 또한, 도 313에 도시하는 FRC의 기술사상에 대해서도 마찬가지로 적용할 수 있는 것은 물론이다. 또한, 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 예를 들면, 도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354가 예시된다.

도 294는 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}를 선택하는 회로부를 중심으로 한 설명도이다. 저항 어레이(2931)의 출력은 전압 선택터 회로(2941)에 입력된다. 전압 선택터 회로(2941)는 아날로그 스위치와 디코더 회로로 구성되고, 선택 신호 VSEL의 3비트 신호에 의해 1개의 프리차지 전압(프로그램 전압과 같거나 유사)이 인가된다(도 296을 참조할 것). 선택된 프리차지 전압(프로그램 전압과 같거나 유사)은 배선(150)을 통하여 단자(155)로부터 출력된다.

단자(155)로부터 출력된 프리차지 전압(프로그램 전압과 같거나 유사)은, 소스 신호선(18)의 기생 용량인 C_s에 유지된다. 따라서, 프리차지 전압(프로그램 전압과 같거나 유사)의 출력은 점순차 동작을 행해도 된다. 그러나, 점순차 동작에서는 단자 1과 단자 n(최종 단자)에서는 프리차지 전압(프로그램 전압과 같거나 유사)의 인가 시간이 서로 다르다.

이 과제에 대해서는, 도 295에 도시하는 바와 같이 전압 선택터 회로(2941)를 2개 형성 또는 구성한다. 제1 H기간에서는, 전압 선택터 회로(2941a)가 출력하고, C1에 유지된 프리차지 전압(프로그램 전압과 같거나 유사)이, 선택터 회로(2951)의 스위치 S1이 선택됨으로써, 선택된 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}가 단자(155)로부터 출력된다. 이 기간(제1 H기간)은, 전압 선택터 회로(2941a2)가 순차적으로 동작하여, 선택된 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}가 C2에 유지되어 간다. 또한, 선택터 회로(2951)의 스위치 S2는 오픈이다.

제1 H기간의 다음의 제2 H기간에서는 전압 선택터 회로(2941b)가 출력하고, C2에 유지된 프리차지 전압(프로그램 전압과 같거나 유사)이 선택터 회로(2951)의 스위치 S1을 통하여 단자(155)로부터 출력된다. 이 기간(제2 H기간)은, 전압 선택터 회로(2941a1)가 순차적으로 동작하여, 선택된 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}가 C1에 유지되어 간다. 또한, 선택터 회로(2951)의 스위치 S1은 오픈이다.

도 351 등에서, 전자 볼륨(501)에 오픈 단자를 설치하고 있다. 그러나, 이것은 설명을 용이하게 하기 위해서이고, 반드시 전자 볼륨(501) 내에 구성 혹은 형성하는 것에 한정되는 것은 아니다. 예를 들면, 도 387에 도시하는 바와 같이, 프로그램 전압(프리차지 전압)의 전압 출력 회로(1271)의 출력측에 스위치(151b)(선택터 회로)를 배치 또는 형성하고, 프리차지 전압 등을 단자(155)로부터 출력하는 모드(구동 방식)인 경우에는, 스위치(151b)를 a 단자측으로 하고, 다른 모드에서는 스위치(151b)를 b 단자측에 설정(a 단자를 선택하지 않는다)하도록 구성해도 된다.

마찬가지로, 제2 H기간의 다음의 제3 H기간에서는 전압 선택터 회로(2941a)가 출력하고, C1에 유지된 프리차지 전압(프로그램 전압과 같거나 유사)이, 선택터 회로(2951)의 스위치 S1이 선택됨으로써, 선택된 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}가 단자(155)로부터 출력된다. 이 기간(제3 H기간)은, 전압 선택터 회로(2941a2)가 순차적으로 동작하여, 선택된 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}가 C2에 유지되어 간다. 또한, 선택터 회로(2951)의 스위치 S2는 오픈이다. 제3 H기간의 다음의 제4 H기간에서는 전압 선택터 회로(2941b)가 출력하고, C2에 유지된 프리차지 전압(프로그램 전압과 같거나 유사)이 선택터 회로(2951)의 스위치 S1을 통하여 단자(155)로부터 출력된다. 이 기간(제4 H기간)은, 전압 선택터 회로(2941a1)가 순차적으로 동작하여, 선택된 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}가 C1에 유지되어 간다. 또한, 선택터 회로(2951)의 스위치 S1은 오픈이다. 이상의 동작을 순차적으로 반복한다.

도 308은 프리차지 전압(프로그램 전압과 같거나 유사)을 출력하는 본 발명의 다른 실시예이다. 프리차지 전압(프로그램 전압과 같거나 유사)을 선택 혹은 결정하는 VDATA에 의해 전자 볼륨(501)의 스위치가 동작하여, 해당하는 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}가 컨덴서 C_c에 유지된다. 유지된 프리차지 전압(프로그램 전압과 같거나 유사) V_{pc}

는 샘플링 회로(862)에 의해 유지되고, 출력하는 소스 신호선(18)의 어드레스 데이터 PADRS에 의해 선택된 출력의 Ca~Cn에 유지된다. 또한, PADRS의 지정 데이터는 도트 클럭 CLK에 동기하여 변화한다. 또한, VDATA는, 영상 데이터에 대응하여 변화시킨다(도 127 내지 도 143 등의 설명을 참조할 것).

따라서, 프리차지 전압(프로그램 전압과 같거나 유사) Vpc는 1H의 기간에 각 출력 단자에 대응하는 유지용 컨덴서 Ca~Cn에 유지된다. 소스 신호선(18)에 프리차지 전압(프로그램 전압과 같거나 유사)을 인가할 때에는, 스위치 Sp가 일제히 일정 기간 클로즈한다. 이 때, 스위치 Si는 오픈 상태로 되어, 프리차지 전압(프로그램 전압과 같거나 유사) Vpc가 전류 회로(431c)로 역류하는 것을 억제한다. 도 295의 전압 셀렉터 회로(2941)에서 프리차지 전압(프로그램 전압과 같거나 유사) Vpc를 선택한다. 선택 데이터는 래치 회로(771)에서 행해도 된다. 이것은 도 308의 실시예에 있어서도 마찬가지이다. 또한, 도 308에 있어서도 도 295에 도시하는 바와 같이 2단 구성으로 하는 것이 바람직한 것은 물론이다.

도 308은 프리차지 전압(프로그램 전압과 같거나 유사)을 샘플 홀드하는 회로 구성이었지만, 본 발명은 이것에 한정되는 것은 아니다. 도 309에 도시하는 바와 같이 복수의 프리차지 전압(프로그램 전압과 같거나 유사)을 발생시켜 두고, 선택해도 된다.

도 309에서는 프리차지 전압(프로그램 전압과 같거나 유사)으로서 고정인 Vpa, Vpb와, 볼륨(VR) 등으로 임의로 변화할 수 있는 Vpc를 선택할 수 있다. 프리차지 전압(프로그램 전압과 같거나 유사)은 2비트의 셀렉터 신호(SEL)에 의해 선택된다. SEL 신호에 의해 프리차지 전압(프로그램 전압과 같거나 유사)을 선택하는 스위치 Sp가 선택된다. 도 309의 표에 나타내는 바와 같이 SEL이 0일 때, 어떠한 프리차지 전압(프로그램 전압과 같거나 유사)도 선택되지 않는다. 즉, 소스 신호선(18)에는 프리차지 전압(프로그램 전압과 같거나 유사)은 인가되지 않는다. SEL이 1일 때에는, 스위치 Sp1이 선택되고 프리차지 전압(프로그램 전압과 같거나 유사) Vpa가 소스 신호선(18)에 인가된다. SEL이 2일 때에는, 스위치 Sp2가 선택되고 프리차지 전압(프로그램 전압과 같거나 유사) Vpb가 소스 신호선(18)에 인가된다. 또한, SEL이 3일 때에는, 스위치 Sp3이 선택되고 프리차지 전압(프로그램 전압과 같거나 유사) Vpc가 소스 신호선(18)에 인가된다.

도 309에 있어서, 전류 출력 회로의 전류 프로그램 데이터(DATAa, DATAb)는, 래치 회로(771)에서 유지되어, 1H마다 절환된다. 즉, 제1 H에서는 래치 회로(771a)가 선택되고, 이 기간은 래치 회로(771b)에는 도트 클럭에 동기하여 순차적으로 데이터가 유지된다. 제2 H에서는 래치 회로(771b)가 선택되고, 이 기간은 래치 회로(771a)에는 도트 클럭에 동기하여 순차적으로 데이터가 유지된다. 유지된 데이터는 수평 동기 신호에 동기하여 스위치 Sa(Saa, Sab)에 의해 절환되어 트랜지스터군(431c)의 출력 전류(프로그램 전류등)가 확정된다.

도 310은 주로 도 309의 구성을 보다 구체적으로 도시한 것이다. 프리차지 전압(프로그램 전압과 같거나 유사) Vp(Vpa, Vpb, Vpc, open)를 전달하는 프리차지 전압(프로그램 전압과 같거나 유사) 배선 PS(PSa, PSb, PSc, PSd)가 소스 신호선(18)과 직교하도록 배선된다. 프리차지 전압(프로그램 전압과 같거나 유사) 배선 PS와 내부 배선(150)은 직교하고, 각 교점에 스위치 Sp가 배치되어 있다. 스위치 Sp는 도 309에 도시하는 바와 같이 SEL 신호에 의해 절환된다. 또한, 프리차지 전압(프로그램 전압과 같거나 유사)은 1H의 최초의 기간에 전체 소스 신호선(18)에 일제히 인가된다. 따라서, SEL 신호도 래치하여 유지해 둘 필요가 있다.

이상의 실시예는, 소스 드라이버 IC(14)를 통하여, 프리 차지 전압(프로그램 전압과 같거나 유사)을 인가하는 것이었지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 어레이(30) 기관에 형성한 프리차지 전압(프로그램 전압과 같거나 유사)용 트랜지스터 소자를 형성하고, 이 트랜지스터 소자를 온 오프 제어함으로써, 프리차지 전압(프로그램 전압과 같거나 유사)선에 인가된 프리차지 전압(프로그램 전압과 같거나 유사)을 소스 신호선(18)에 인가하도록 구성해도 되는 것은 물론이다.

이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 예를 들면, 도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354가 예시된다.

도 77, 도 78은 소스 드라이버 회로(IC)(14)(프로그램 전류를 출력하는 회로 혹은 IC) 등에 프리차지 비트를 래치하는 래치 회로(771)를 구성 혹은 형성한 것이지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 프로그램 전압을 출력하는 소스 드라이버 회로 혹은 IC에도 적용할 수 있다.

상기 소스 드라이버 회로(IC)(14)에 프리차지 기능 혹은 프리차지 신호를 래치하는 래치 회로 혹은 프리차지의 선택 신호선을 배치 또는 구성함으로써, 프로그램 전압을 소스 신호선(18)에 기입하기 전에, 소스 신호선의 전위를 소정값으로 할 수 있어, 기입 안정도를 향상시킬 수 있다.

도 77, 도 78 등에서는, 프리차지 신호선(RPC, GPC, BPC)은 1개로 하고, 또한, 그것에 대응하는 래치 회로는 2단에서 각 1비트로서 설명했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 75에 도시하는 바와 같이 프리차지 신호가 4비트로 구성되는 경우에는, 프리차지 신호선은 4개가 필요하다. 따라서, 프리차지 신호의 래치 회로도 2단에서 4비트분이 필요로 되는 것은 물론이다. 또한, 래치 회로(771)는 도 77에 도시하는 바와 같이 2단에 한정되는 것은 아니다. 3단 이상으로 구성해도 되는 것은 물론이다. 예를 들면, 4단으로 구성하면, 소스 신호선(18)에 기입하는 전류 신호는 2배의 시간을 확보할 수 있게 되어 바람직하다. 또한, 프리차지 신호선은 R, G, B에서 개별로 설치할 필요는 없는 것은 물론이다. RGB에서 공통의 신호선으로 해도 된다.

이상과 같이, 본 발명의 소스 드라이버 회로(IC)(14) 등은, 소스 드라이버 회로에, 소스 신호선(18)에 프로그램 전류 혹은 프로그램 전압을 기입할 때에, 프리차지 신호를 인가할지 인가하지 않을지를 선택하는 판정 비트를 유지하는 회로를 갖는 것, 또한, 판정 비트에 유지하는 신호 혹은 상정되는 신호를 전달하는 신호 입력 단자를 갖는 것이다.

점등률에 따라서, 소스 신호선에 인가하는 프리차지 전압(프로그램 전압과 같거나 유사)을 변화 혹은 변경해도 된다. 예를 들면, 점등률에 대하여 도 75에 있어서의 선택 신호 D의 값을 변화시키고, 전자 볼륨(501)을 제어하여 단자(155)로부터 출력되는 프리차지 신호를 변화시킨다. 점등률에 따라서 구동용 트랜지스터(11a)에 흐르는 전류가 변화하기 때문에, 최적의 프리차지 전압(프로그램 전압과 같거나 유사)의 크기(특히 전압 구동으로 계조 표시를 하는 경우)가 변화한다. 점등률에 의해, 최적의 계조 표시로 되도록 전자 볼륨(501)을 제어함으로써 계조 표시 등을 실현할 수 있다.

이상의 실시예에서는, 점등률에 따라서, 프리차지 전압(프로그램 전압과 같거나 유사)을 변화시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 기준 전류비에 따라서 프리차지 전압(프로그램 전압과 같거나 유사)을 변화시켜도 된다. 기준 전류의 크기에 따라서도, 구동용 트랜지스터(11a)에 흐르는 전류가 변화하여, 최적의 프리차지 전압(프로그램 전압과 같거나 유사)(구동용 트랜지스터(11a)의 게이트 단자에 인가하는 전압)이 변화하기 때문이다. 또한, 애노드(캐소드) 단자의 전류의 크기에 따라서도 프리차지 전압(프로그램 전압과 같거나 유사)을 변화시켜도 된다.

도 127~도 143, 도 293, 도 311, 도 312, 도 339~도 344 등에서는, 화소행마다 순차적으로 프리차지 전압(프로그램 전압)을 인가할지의 여부를 판단하도록 설명했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 인터레이스 구동인 경우에는, 제1 필드에서 홀수 화소행에 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하고, 제2 필드에서 짝수 화소행에 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하도록 구동해도 된다.

또한, 임의의 프레임에서, 프리차지 전압(프로그램 전압과 같거나 유사)을 각 화소행에 인가하고, 다음의 프레임에서는, 프리차지 전압(프로그램 전압과 같거나 유사)을 전혀 인가하지 않는 구동 방법도 예시된다. 또한, 각 화소행에 랜덤하게 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하고, 복수 프레임에서 평균적으로 각 화소에 프리차지 전압(프로그램 전압과 같거나 유사)이 인가되도록 구동해도 된다.

또한, 특정한 저계조의 화소에만 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 구동 방식이 예시된다. 또한, 특정한 고계조의 화소에만 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 구동 방식이 예시된다. 또한, 특정한 중간 계조의 화소에만 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 구성도 예시된다. 또한, 1H 또는 복수 H 전의 소스 신호선 전위(화상 데이터)로부터, 특정 계조 범위의 화소에 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 구성도 예시된다.

이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다. 예를 들면, 도 127 내지 도 143, 도 293~도 297, 도 308~도 313, 도 338~도 345, 도 349~도 354가 예시된다.

이하, 본 발명의 EL 표시 패널 혹은 EL 표시 장치 혹은 구동 방법을 채용한 실시예에 대하여, 도면을 참조하면서 설명한다. EL 표시 패널은 특히 B의 색도가 나쁘다는 과제가 있고, 한편 R의 색도가 매우 좋다는 사실이 있다. 그 때문에, 화상을 표시한 경우, 표시색이 본래의 화상과 달라져 버리는 경우가 있다. 도 144의 색도의 XY 좌표에 있어서, 실선이 NTSC의 색 범위이다. 점선이 유기 EL의 색 범위이다. NTSC의 색 재현 범위와 유기 EL의 색 재현 범위가 어긋나 있기 때문에, 특히 수목의 녹색이 많은 화상 표시에 있어서 잎이 고엽색으로 된다고 하는 과제가 발생한다.

이 과제를 해결하는 대책이, 컬러 매니지먼트 처리이다. 이것은, 신호 처리에 의해 화상의 색 보정을 행하는 것이다. 또한, 색 필터(5861)에 의해 화상의 색도를 개선하는 대책도 예시된다(도 586을 참조할 것).

색 필터(5861)에 의해 EL 표시 패널의 색 순도를 개선하기 위해서는, 도 586에 도시하는 바와 같이, 표시 패널(71)의 광출사측에 색 필터(5861)를 배치 또는 구성 혹은 형성하면 된다. 색 필터(5861)는 도 360의 (a)에 도시하는 바와 같이, 편광 필름(109)과 패널(71) 사이에 배치 또는 형성해도 된다. 색 필터(5861)는, 시안색을 컷하는 것을 이용함으로써 B의 색도를 개선할 수 있다. 색 필터(5861)는, 수지로 이루어지는 필터 외에, 광학적 간섭 다층막으로 이루어지는 간섭 필터를 이용해도 된다. 또한, 색 필터(5861)는, 도 586의 (b)에 도시하는 바와 같이 편광 필름(원편광 필름을 포함함)(109) 위 또는 아래에 형성 또는 배치해도 된다. 또한, 색 필터(5861) 또는 편광 필름(109)에 광 확산제 혹은 광을 확산시키는 구성을 부가함으로써, 시야각이 양호하게 되어, 색 비트를 저감시킬 수 있다.

회로적으로 컬러 매니지먼트(색 보정 처리)를 실현하기 위해서는, 각 트랜지스터군(431)으로부터 출력되는 RGB의 단위 트랜지스터(154) 출력 비율을 변화시키면 된다. 유기 EL에서 B의 색도가 나빠서(한편 R의 색도가 좋음), 수목의 잎이 고엽으로 되는 현상을 억제하기 위해서는, B의 전류를 크게 하거나, R의 전류를 작게 하면 된다. 또한, G의 전류를 크게 하는 방법이 유효하다. 즉, 표시 화상의 R, G, B 전류의 비율로부터 표시 화상의 색도 위치를 판단하고, R, G, B 중 적어도 1개의 출력 전류의 크기를 변화시킨다(본 발명의 컬러 매니지먼트 처리 방법).

트랜지스터군(431c)의 출력 전류를 조정하기 위해서는, 도 46 등에 있어서의 전류 Ic를 조정하면 된다(RGB에서). 또한, 본 발명의 실시예에 있어서 본 명세서에서 설명한 사항, 구성, 방법, 장치는 적용할 수 있는 것은 물론이다.

전류 Ic를 조정하는 구성은, 도 145에 예시하고 있다. 도 145의 (a)는 8비트의 데이터를 DA 회로(661)에서 아날로그 신호로 변환하고, 오피 앰프(502a)에 입력하여, 전류 Ic를 변화(조정)시키는 구성이다. 기본적인 전류의 크기는 외부 부착 혹은 내장 저항 R1에 의해 행한다.

도 145의 (b)는 8비트의 데이터를 DA 회로(661)에서 아날로그 신호로 변환하여, 전류 Ic를 변화(조정)시키는 구성이다. 기본적인 전류의 크기는 외부 부착 혹은 내장 저항 R1에 의해 행한다. 단, 도 145의 (b)의 구성은 DA 회로(661)의 출력 전압에 대한 전류 Ic 변화는 비선형으로 된다.

도 145의 (c)는 8비트의 데이터를 DA 회로(661)에서 아날로그 신호로 변환하여, 트랜지스터(157b)를 통하여, 전류 Ic를 변화(조정)시키는 구성이다. 기본적인 전류의 크기는 외부 부착 혹은 내장 저항 R1에 의해 행한다. 단, 도 145의 (b)의 구성은 DA 회로(661)의 출력 전압에 대한 전류 Ic 변화는 비선형으로 된다.

도 146은 전자 볼륨 회로(501)를 이용한 회로 구성이다. 도 60의 전자 볼륨 회로(501)의 단자 전압 Vs에 DA 회로(661)의 출력을 접속한 구성이다. 다른 구성은 도 60, 도 50, 도 46 등과 마찬가지로 혹은 유사하므로, 설명을 생략한다. 즉, 전류 Ic는 전자 볼륨(501)에 의해 절환됨과 함께, 컬러 매니지먼트 처리의 DA 회로(661)의 출력에 의해서도 조정할 수 있다.

또한, 도 145와 도 146의 구성을 조합해도 되는 것은 물론이다. 또한, 도 146에 있어서 전자 볼륨(501)을 제어함으로써 컬러 매니지먼트 처리를 실시해도 되는 것은 물론이다.

도 147은 도 146의 변형예이다. 오피 앰프(502a)의 입력 단자 c에 직접 전압 Vc를 입력할 수 있도록 구성하고 있다. 또한, Vc를 입력할 때는, 전자 볼륨(501)은 어떠한 스위치 S도 선택되지 않고 오픈으로 되도록 제어된다. IC(14) 외부로부터의 Vc 전압의 인가에 의해, 용이하게 전류 Ic를 제어 혹은 조정할 수 있다.

도 148은, DA 회로(661a)의 전원 전압 Vda를 DA 회로(661b)에서 변화시키는 것에 의해, 오피 앰프(502a)의 입력 단자 전압을 변화시키는 것이다. 입력 단자 전압에 의해 출력 전류 Ic는 리니어적으로 변화한다.

도 148에 있어서, DA 회로(661a)의 출력 전압은 8비트의 디지털 데이터에 의해 리니어적으로 변화하고, 또한 DA 회로(661a)의 출력 전압은, DA 회로(661b)의 출력 전압에 의해 리니어적으로 변화한다. 도 148의 회로 구성에서는 전류 Ic의 변화의 폭이 크고, 또한 변화는 리니어적이므로, 구성으로서 바람직하다.

컬러 매니지먼트 처리는, 각 RGB의 전류에 의해 제어한다. 또한, RGB의 전류는 점등률로 표현할 수 있다(duty비는 1/1로 함). duty비가 1/1일 때, 점등률은 화상 데이터의 총합과 최대값으로부터 산출할 수 있다. 컬러 매니지먼트 처리를 실시할 때에는, 점등률은 RGB 개별로 구한다. 즉, R의 점등률, G의 점등률, B의 점등률을 구하고(R의 소비 전류, G의 소비 전류, B의 소비 전류를 구하고 있게 된다), 일정한 비율의 범위, 크기로 컬러 매니지먼트 처리를 실시한다. 화면에 백색 표시가 많은 상태에서는, 화이트 밸런스가 취해져 있기 때문에, 컬러 매니지먼트 처리는 불필요하기 때문이다.

도 149의 (a), (b)는 컬러 매니지먼트 처리 방법의 설명도이다. duty비 제어는 이전에도 설명한 바와 같이 EL 표시 패널의 소비 전류를 평균화하기 위해 실시하고 있다. 컬러 매니지먼트 처리는, 기준 전류 I_c 의 조정에 의해 실시하고 있다. 도 149의 (a), (b)에서는 점등률이 높은 범위에서, R의 기준 전류 I_{cr} 을 저하시킴과 함께, B의 기준 전류 I_{cb} 를 증가시키고 있다. 또한, B의 기준 전류 I_{cb} 는 점등률이 중간 레벨(30%~60%)인 범위에서도 증가시켜 조정을 행하고 있다. 이상의 처리에 의해 EL 표시 장치의 컬러 매니지먼트 처리를 양호하게 실현할 수 있다.

도 150은, 점등률이 낮은 영역에서 RGB의 기준 전류 I_c 를 증가시키고 있다. 이것은, 저점등률로 화상의 다이내믹 범위를 증대시키기 위해서이다. B의 점등률이 높은 영역에서 B의 기준 전류 I_{cb} 를 증대시키고 있는 점이 컬러 매니지먼트 처리이다. 이상과 같이, 본 발명은 화상의 다이내믹 처리와 컬러 매니지먼트 처리의 양쪽을, 기준 전류 제어에 의해 실현할 수 있다.

도 151은 R의 기준 전류 I_{cr} 을 복수의 레벨로 제어하는 방식이다. 이상과 같이 본 발명은 기준 전류를 자유롭게 조정함으로써 컬러 매니지먼트 처리를 실시할 수 있다.

도 152는 RGB의 점등률로부터 기준 전류를 제어하는 방식이었다. 그러나, EL 표시 패널의 컬러 매니지먼트 처리는, R과 B의 전류(I_{cr} , I_{cb})의 비율에 의해 제어해도 된다. 도 152는 그 실시예의 설명도이다. 도 149의 (a), (b)의 횡축의 점등률 대신에 B 점등률/R 점등률(B 소비 전류/R 소비 전류)로 하고 있다. B 점등률/R 점등률(B 소비 전류/R 소비 전류)이 일정 이상으로 되었을 때, B 기준 전류 I_{cr} 을 변화시키고 있다.

마찬가지로, 도 152는 도 149의 (a), (b)의 횡축의 점등률 대신에 B 점등률/R 점등률(B 소비 전류/R 소비 전류)로 하고 있다. 또한, 도 153에서는, B점등률/(R 점등률+G 점등률)(B 소비 전류/(R 소비 전류+G 점등률))이 일정 이상으로 되었을 때, B 기준 전류 I_{cr} 을 변화시키고 있다.

이상의 도 145 내지 도 148의 구성은, 전류 I_c 의 조정 혹은 제어하는 구성이다. 전류 I_c 를 변화시킴으로써 트랜지스터군(431c)의 출력 전류를 변화시킬 수 있다. 따라서, 이 구성은 컬러 매니지먼트 처리뿐만 아니라, 게조 제어 혹은, 트랜지스터(431c) 등의 출력 전류 제어, 화이트 밸런스 조정 회로로서 이용할 수 있는 것은 물론이다.

이상의 실시예에서는, 기준 전류 I_c 의 조정에 의해, 컬러 매니지먼트 처리를 실시하는 것으로 했지만, 이것에 한정되는 것은 아니다. duty비의 조정 혹은, 각 RGB의 비표시 영역(51)의 비율을 변화 혹은 제어 혹은 조정함으로써, RGB의 휘도를 개별로 조정할 수 있다. 따라서, 이들의 구성 혹은 방법을 이용하여 컬러 매니지먼트 처리를 실시해도 되는 것은 물론이다.

이상의 실시예는, 주로 RGB의 EL 소자(15)의 색도가 NTSC의 색도와 다르기 때문에, 컬러 매니지먼트를 실시하는 방법 또는 구성(장치)이었다. 그러나, 컬러 매니지먼트의 필요성은 이들의 실시예뿐만 아니라, EL 소자(15)의 발광 효율에 따라서도 필요하다.

도 321은, RGB의 EL 소자의 EL 전류와 휘도의 관계를 나타내는 그래프이다. 도 321에 도시하는 바와 같이, G는 EL 전류가 커지더라도 휘도는 비례적으로 증가하는 관계에 있다. 그러나, R은 EL 전류 I_0 이상에서 휘도의 증가가 완만하게 된다(비례하지 않는다=발광 효율이 저하함). 또한, B는 EL 전류 I_1 이상에서 휘도의 증가가 완만하게 된다(비례하지 않는다=발광 효율이 저하함).

이상의 점으로부터, EL 전류가 I_1 이상에서 B의 휘도가 상대적으로 저하하여 화이트 밸런스를 취할 수 없게 된다. 또한, I_0 이상의 R의 휘도도 상대적으로 저하하여 화이트 밸런스를 취할 수 없게 된다. 이상의 과제를 해결하여, EL 전류의 변화에 대한 화이트 밸런스를 유지하기 위해서는, 도 322의 점선(R', B')으로 도시하는 바와 같이, 게조에 대한 EL 전류의 관계를 비선형성으로 할 필요가 있다. 도 322에서는, 게조 K2 이상에서 R의 EL 전류를 증가시키고 있다(R'). 또한, 게조 K1 이상에서 R의 EL 전류를 증가시키고 있다(B').

이상의 제어는, 게조에 따라서, RGB의 기준 전류를 변화시킴으로써 용이하게 실현할 수 있다. 예를 들면, R에 대해서는, 도 323에 도시하는 바와 같이 기준 전류를 변화시키면 된다. 즉, 게조 K2 이상에서 R의 기준 전류비를 1 내지 R의 EL 소자의 효율에 역비례시켜 증가시킨다. 또한, B에 대해서는, 도 323에 도시하는 바와 같이 기준 전류를 변화시킨다. 즉, 게조 K1 이상에서 B의 기준 전류비를 1 내지 B의 EL 소자의 효율에 역비례시켜 증가시킨다.

유기 EL 표시 패널과 같이, 자기 발광 디바이스는 고정 패턴 표시에서의 화상 소부가 과제로 된다. 소부라 함은, 유기 EL의 재료 등이 발광 등으로 인해 열화하여, 발광 강도가 저하하는 현상 등을 말한다. 이 소부를 방지하기 위해서는, 고정 패

턴의 표시시에 표시 화상의 표시 위치를 시간적으로 이동시키는 것이 득책이다. 예를 들면, 1분 간격으로 화면 위치를 이동시킨다. 이동은 1화소 혹은 2화소 정도로 하는 것이 바람직하다. 3화소 이상에서는, 표시 화상이 이동한 것이 시각적으로 인식되어 버린다.

표시 화상(1264)의 이동이라 함은, 도 177에 도시하는 바와 같이, 위치(193a)로 이동시키거나, 위치(193b)의 위치로 이동시키거나 하는 것이다. 이동이 상하, 좌우로 1화소 혹은 2화소의 이동을 행한다.

이동 타이밍은, 점등률로 판단한다. 점등률이 급변할 때에 화면 이동 제어를 행한다. 점등률이 급변하는 상태라 함은, 화면이 어두운 상태에서부터 밝은 상태(예를 들면, 밤의 신으로부터, 낮의 바다의 신으로의 변화 등), 화면이 밝은 상태에서부터 어두운 상태로의 변화, 드라마의 신으로부터 CM의 신으로의 변경 등이다.

점등률이 급변하는 상태는, 신(화면)이 급변하는 상태이다. 화면의 상태가 급변하기 때문에, 화상의 표시 위치가 변화해도 시각적으로 인식되는 일은 없다. 화상의 내용(화상의 표시 상태)이 완전히 변화하는 경우가 대부분이기 때문이다. 이 점등률의 급변을 이용하여 화상의 표시 위치를 변화시켜 고정 패턴의 소부를 억제할 수 있다.

점등률이 급변이라 함은, 변화가 2배 혹은 1/2 이상 변화한 경우이다. 예를 들면, 어떤 시각에서의 점등률이 10%이면, 점등률이 20% 이상 혹은 점등률이 5% 이하로 변화하는 상태이다. 이상과 같이, 점등률이 변화한 경우에, 화면의 표시 위치를 변화시킨다. 화면의 표시 위치의 변화는 수평 혹은 수직 방향의 스타트 펄스를 1클럭 혹은 2클럭분 지연시킴으로써 행한다. 이 동작은 카운터의 비교값을 변화시킴으로써 실현할 수 있다.

점등률이 급변할 때라 함은, 애노드 전류 혹은 캐소드 전류가 급변할 때와 동의이다. 따라서, 점등률의 급변이라 함은, 애노드 전류 혹은 캐소드 전류가 2배 혹은 1/2 이상 변화하는 경우이다. 이 경우에 화면 위치를 변화시킨다. 예를 들면, 애노드 전류 또는 캐소드 전류가 50mA이면, 애노드 전류 또는 캐소드 전류가 100mA 이상 혹은 25mA 이하로 변화한 경우에, 화면 위치를 변화시킨다.

본 발명에서는, 점등률, 애노드 전류 혹은 캐소드 전류는, duty비와 연동시킨다. 따라서, 점등률의 급변이라 함은, duty비가 2배 혹은 1/2 이상 변화한 상태와 동의이다. 즉, duty비가 변화했거나 혹은 변화시킨 경우에, duty비와 연동시켜 화면 위치를 변화시킨다. 예를 들면, 도 178에 도시하는 바와 같이, 점등률 1~25%의 시간(duty비 1.0)에, 화살표와 같이 duty비를 0.5로 변화시킨 경우에, 화면의 표시 위치를 변화시킨다.

이상의 실시예에서는, 점등률 등이 변화할 때에, 화면의 표시 위치를 변화시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 표시 패널이 점등상태로 될 때(예를 들면, 전원이 온되었을 때)에, 화면 표시 위치를 이전회의 표시 위치로 변화시키는 것이어도 된다. 즉, 전원을 온 오프할 때마다 화면의 표시 위치를 변화시킨다.

소부를 방지하기 위해서는, 화상의 에지를 흐리게 하는 것도 유효하다. 즉, 화상 데이터를 적분(로우 패스 필터)함으로써, 화상의 에지가 흐려진다(미분의 반대의 처리이다). 특히 점등률이 낮을 때는, 흑색 표시로 화상이 표시되고, 또한, 점등률이 낮을 때에는 duty비를 낮게 하기 때문에 화소의 휘도가 높다. 따라서, 소부되기 쉬워진다. 즉, 저점등률일 때에, 화상의 에지를 흐리게 하는 처리(적분 처리)를 한다. 즉, 본 발명은, 점등률에 따라서, 화상의 적분 처리를 변화시킨다. 점등률이 낮을 때에는 적분 처리를 크게 하고, 점등률이 높을 때에는 적분 처리를 작게 한다(통상의 표시로 함).

이상의 실시예를 도 179에 도시한다. 적분 처리비가 1이라는 것은, 적분 처리를 하지 않는 상태이다. 이 비율이 커짐에 따라서, 적분 처리가 강해져, 화소 에지가 흐려진다. 도 179에서는, 점등률 50% 이상에서 통상 표시이고, 점등률 25~50%에서 적분 처리비 4~1로 변화시킨다. 점등률 25% 이하에서는 적분 처리비 4로 고정한다. 이상과 같이 제어함으로써 화소 에지의 소부를 완화할 수 있다.

본 발명의 실시예에 있어서, 점등률은, 기본적으로는 애노드 전류 혹은 캐소드 전류의 크기와 같거나 유사하다. 따라서, 애노드 전류 혹은 캐소드 전류의 크기에 대응하여 적분 처리비를 변화시켜도 된다. 또한, 애노드 전류 혹은 캐소드 전류는, duty비와 연동시킨다. 따라서, duty비에 연동시켜, 적분 처리비를 변화시켜도 된다.

이상의 실시예에서는, 점등률 등이 변화할 때에, 화면의 표시 위치를 변화시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 표시 패널이 점등 상태로 될 때(예를 들면, 전원이 온되었을 때)에, 화면 표시 위치를 이전회의 표시 위치로 변화시키는 것이어도 된다. 즉, 전원을 온 오프할 때마다 화면의 표시 위치를 변화시킨다.

도 192에 도시하는 바와 같이, 4:3의 화면에 16:9 등의 와이드 표시를 행하는 경우에는, 도 192의 (a)과 도 192의 (b)에서 도시하는 바와 같이 1화소행 혹은 2화소행을 어긋나게 해도 된다. 이 제어는, 이상에서 설명한 바와 같이, 점등률 제어, 기준 전류 제어, duty비 제어, 애노드(캐소드) 전류 제어, 온 오프 제어에 동기하여 실시하면 된다.

본 명세서에 있어서, 기준 전류를 변화시키는 것으로서 설명을 했다. 기준 전류를 변화시키는 것은, 소스 신호선에 흐르는 프로그램 전류 I_w 를 변화시키는 것이다. 따라서, 기준 전류를 가변 혹은 제어 혹은 조정한다는 것은, 소스 신호선(18)에 흐르는 프로그램 전류 I_w 를 가변 혹은 제어 혹은 조정하는 것으로 치환할 수 있는 것은 물론이다.

본 발명은, 기준 전류를 변화시킴으로써 소스 드라이버 회로(IC)(14)의 단자(155)로부터 출력하는 전류를 비례적으로, 혹은 일정한 비율로, 혹은 소정의 관계를 유지한 상태에서, 변경, 조정 혹은 가변 혹은 제어할 수 있는 것을 특징으로 하고 있다.

본 발명의 구동 방법에 있어서, 프로그램 전류 I_w 와 EL 소자(15)에 흐르는 전류 I_e 는 대략 일치한다. 따라서, 기준 전류를 가변 혹은 제어 혹은 조정한다는 것은, 구동용 트랜지스터 혹은 EL 소자(15)에 흐르는 전류 $I_e(I_w)$ 를 가변 혹은 제어 혹은 조정하는 것으로 치환할 수 있는 것은 물론이다. 단, 도 31, 도 36 등의 화소 구성에서는, EL 소자(15)에 흐르는 전류 I_e 와 I_w 는 일치하지 않는다. 그러나, 기준 전류를 가변 혹은 제어 혹은 조정한다는 것은, 소스 신호선(18)에 흐르는 프로그램 전류 I_w 를 가변 혹은 제어 혹은 조정한다고 할 수 있고, 대략 비례적으로 EL 소자(15)에 흐르는 전류를 가변 혹은 제어 혹은 조정하는 것으로 치환할 수 있는 것은 물론이다.

도 128, 도 129, 도 130 등에서 설명한 바와 같이, 기준 전류를 변화시키는 것은, 소스 신호선(18)의 전위를 변화시키는 것이다. 예를 들면, 기준 전류를 증대시키면 프로그램 전류 I_w 는 비례하여(상관하여) 커져, 소스 신호선(18)의 전위를 저하시킨다(구동용 트랜지스터가 P 채널일 때). 반대로, 기준 전류를 작게 하면 프로그램 전류 I_w 는 비례하여(상관하여) 작아져, 소스 신호선(18)의 전위를 상승시킨다(구동용 트랜지스터가 P 채널일 때). 따라서, 기준 전류를 가변 혹은 제어 혹은 조정한다는 것은, 소스 신호선(18)의 전위를, 비례적으로, 혹은 일정한 비율로, 혹은 소정의 관계를 유지한 상태에서, 변경, 조정 혹은 가변 혹은 제어할 수 있다는 것과 동의이다.

도 271 내지 도 276에서 설명한 본 발명의 구동 방법에서는, 복수의 화소행을 동시에 선택하고, 프로그램 전류 I_w 를 선택한 화소행으로 분할하여(평균하여) 인가한다. 예를 들면, 4화소행을 동시에 선택하고, 프로그램 전류가 I_w 라고 하면, 이상적으로는 1화소행에 기입되는 프로그램 전류 I_p 는 $I_w/4$ 로 된다. 또한, 2화소행을 동시에 선택하고, 프로그램 전류가 I_w 라고 하면, 이상적으로는 1화소행에 기입되는 프로그램 전류 I_p 는 $I_w/2$ 로 된다.

이상과 같이 구동하면, 1화소행에는 선택된 화소 수로 분할된 프로그램 전류 I_p 가 기입된다. 따라서, 화소(16)의 표시 휘도는 분할된 화소행분의 1로 된다. 따라서, 표시 휘도는 어두워진다. 이것을 방지하기 위해서는, 기준 전류를 증가시키면 된다. 예를 들면, 도 171과 같이, 2화소행을 동시에 선택한 경우에는, 기준 전류를 2배로 하는 것에 의해 휘도가 저하하는 일은 없어진다. 즉, 본 발명의 구동 방법은, 선택한 화소수배로 기준 전류를 증가시켜 구동하는 것이다.

증가시키는 기준 전류는, 완전하게 선택한 화소수배로 할 필요는 없다. 평가 결과에 따르면, 선택한 화소 수를 N 으로 하고, 증가시키는 기준 전류의 배율을 C 로 했을 때, $N \cdot C$ 는 0.8 이상 1.2 이하로 제어하면 된다. 이 범위이면 플리커 등은 발생하지 않아, 양호한 화상 표시를 실현할 수 있다.

본 발명은 이상의 실시예에 한정되지 않는다. 선택하는 화소행 수(선택 신호선 수: 도 277의 (a), (b)~도 279의 (a), (b)의 종축)를 점등률에 따라 변화시켜도 된다. 도 277의 (a), (b)에서는, 점등률 25% 이하에서 선택 신호선 수(화소행 수)를 2화소행으로 하고(도 271의 구동 방법으로 된다), 점등률 25% 이상에서는, 선택 신호선 수(화소행 수)를 1화소행으로(도 23의 구동 방법으로 된다) 하고 있다. 또한, 점등률 25% 이하에서는, 화소(16)의 휘도가 저하하지 않도록, 기준 전류(기준 전류비)도 2배로 하고 있다(점등률 25% 이상의 범위에 대하여).

이상과 같이, 점등률에 따라서 선택하는 화소행 수를 변화시키고, 또한, 기준 전류비를 변화시키는 것은, 저점등률 영역에 있어서 화면(144)에 흑색 표시 영역이 많아, 크로스토크가 눈에 띄기 쉽기 때문이다. 크로스토크는 프로그램 전류 I_w 를 크게 할수록 해소된다. 프로그램 전류 I_w 는 기준 전류 I_c 의 크기에 비례한다. 따라서, 기준 전류 I_c (기준 전류비)를 크게 함으로써, 프로그램 전류 I_w 가 커져, 크로스토크가 해소된다. 그러나, 프로그램 전류 I_w 가 커지면 화소의 휘도도 비례하여 높아져 버린다. 이것을 해소하기 위해 도 271에서 설명한 구동법을 실시하여 선택 개수를 많게 하고, 프로그램 전류 I_w 를 선택한 화소행분의 1의 I_p 로 하는 것에 의해 휘도가 높아지는 것을 방지한다.

도 277의 (a), (b)에서는, 점등률 25% 이하에서 선택 신호선 수(화소행 수)를 2화소행으로 하고, 기준 전류비를 2배로 한다. 따라서, 화소(16)의 휘도는, 선택 신호선 수(화소행 수)를 1화소행으로 하고, 기준 전류비를 1배로 한 경우와 동일하게 된다. 점등률 25% 이상에서는, 도 23과 동일한 구동 방법으로서, 선택 신호선 수(화소행 수)를 1화소행으로 하고, 기준 전류(기준 전류비)도 1배로 하고 있다.

본 발명은 이것에 한정되는 것은 아니다. 도 278의 (a), (b)와 같이 구동해도 된다. 도 278의 (a), (b)에서는, 점등률 25% 이하에서 선택 신호선 수(화소행 수)를 2화소행으로 하고, 기준 전류비를 4배로 한다. 따라서, 화소(16)의 휘도는 종래에 대하여 2배로 된다. 그러나, 기준 전류비가 4배로 되어 있기 때문에, 크로스토크의 발생은 완전하게 방지할 수 있다. 또한, 휘도가 2배로 되는 것을 억제하기 위해서는, 점등률 25% 이하의 영역에 있어서, duty비를 1/2로 하면 된다. 즉, 선택 신호선 수(화소행 수)와, 기준 전류비와, duty비를 연동시키면 된다.

도 278의 (a), (b)에서는, 점등률 25% 이상 75% 이하에서는, 선택 신호선 수(화소행 수)를 1화소행으로 하고, 기준 전류비를 2배로 한다. 따라서, 화소(16)의 휘도는 종래에 대하여 2배로 된다. 휘도가 2배로 되는 것을 억제하기 위해서는, duty비를 1/2로 하면 된다. 마찬가지로, 점등률 75% 이상에서는, 선택 신호선 수(화소행 수)를 1화소행으로 하고, 기준 전류비를 1배로 한다. 따라서, 화소(16)의 휘도는, duty비를 1/1로 하면 종래와 동일하다. 또한, 이 점등률 영역 등에 있어서, duty비를 1/1 미만으로 함으로써 화면(144)의 휘도를 억제할 수 있어, 패널의 소비 전력을 억제할 수 있다.

도 279의 (a), (b)는 본 발명의 다른 실시예이다. 도 279의 (a), (b)에서는, 점등률 25% 이하에서 선택 신호선 수(화소행 수)를 4화소행으로 하고, 기준 전류비를 4배로 한다. 따라서, 화소(16)의 휘도는 종래와 동일하다. 기준 전류비가 4배로 되어 있기 때문에, 크로스토크의 발생은 완전하게 방지할 수 있다. 점등률 25% 이상 50% 이하에서는, 선택 신호선 수(화소행 수)를 2화소행으로 하고, 기준 전류비를 2배로 한다. 따라서, 화소(16)의 휘도는 종래와 마찬가지로이다. 점등률 50% 이상 75% 이하에서는 선택 신호선 수(화소행 수)를 1화소행으로 하고, 기준 전류비를 2배로 한다. 따라서, 화소(16)의 휘도는 종래의 2배로 된다. 점등률 75% 이상에서는, 선택 신호선 수(화소행 수)를 1화소행으로 하고, 기준 전류비를 1배로 한다. 따라서, 화소(16)의 휘도는 종래와 마찬가지로이다.

도 277~도 279 등에서 설명한 바와 같이, 예를 들면, 선택 신호선 수를 2배로 할 때에는, 기준 전류비를 2배로 한다. 즉, 선택 신호선 수를 N배로 할 때에는, 기준 전류비를 N배로 하는 것에 의해, 이론상, 표시 휘도는 일정하게 유지된다. 그러나, 실제로는, 게이트 신호선(12a)으로부터 구동용 트랜지스터(11a)의 게이트 단자로의 관통 전압 상태가 변화하여, 선택 신호선 수가 변화했을 때에, 다소이기는 하지만 휘도 변화가 발생하는 경우가 있다. 휘도 변화가 발생하면 플리커로서 인식된다.

이 과제에 대해서는, 선택 신호선 수를 변화시킬 때에는, 점등률이 급변할 때에 실시한다. 점등률이 급변할 때라 함은, 화면의 신이 변화했을 때, 채널을 전환했을 때 등이 예시된다. 보다 구체적으로는, 어떤 화면(신)의 점등률에 대하여 100% 이상 변화했을 때에 선택 신호선 수를 변화시키고, 동시에 혹은 일정한 지연 혹은 진행을 두고 기준 전류비를 연동시킨다. 예를 들면, 점등률 10%이면, 점등률 20% 혹은 5%로 변화했을 때에 선택 신호선 수를 변화시키고, 동시에 혹은 일정한 지연 혹은 진행을 두고 기준 전류비를 연동시킨다.

이상과 같이, 본 발명은, 특히 저점등률일 때(저계조 표시가 많은 화면)에, 선택 신호선 수를 증가시킴과 함께, 기준 전류를 증가시켜, 소스 신호선(18)의 기생 용량의 충방전을 고속으로 하여 기입 부족을 해소하는 것을 특징으로 한다. 또한, 선택 신호선 수의 변경은, 점등률이 변화했을 때에 실시한다.

이상과 같이, 본 발명의 구동 방법은, 선택 신호선 수(화소행 수)와, 기준 전류비와, duty비 혹은 이들의 조합에 의해 제어를 실시하고, 크로스토크 등의 발생을 억제하는 것이다.

이상과 같이, 점등률에 기초하여, 기준 전류를 변화시키는 것으로 설명하고 있지만, 점등률에 기초하여, 소스 신호선에 흐르는 프로그램 전류 I_w 를 변화시키는 것이고, 또한, 소스 신호선(18)에 흐르는 프로그램 전류 I_w 를 가변 혹은 제어 혹은 조정하는 것이다. 또한, 소스 드라이버 회로(IC)(14)의 단자(155)로부터 출력하는 전류를 비례적으로, 혹은 일정한 비율로, 혹은 소정의 관계를 유지한 상태에서, 변경, 조정 혹은 가변 혹은 제어하는 것이다. 또한, 점등률 혹은 데이터 합에 기초하여, 소스 신호선(18)의 전위 혹은 구동용 트랜지스터의 게이트 단자 전위를, 비례적으로, 혹은 일정한 비율로, 혹은 소정의 관계를 유지한 상태에서, 변경, 조정 혹은 가변 혹은 제어하는 것이다.

점등률에 기초하여라는 것은, 영상 신호의 데이터 합에 기초하여로도 치환할 수 있는 것은 물론이다. 특히 전류 구동인 경우에는, 영상 신호의 크기가 화소(16)에 흐르는 전류에 비례하기 때문이다. 또한, 점등률은 애노드 단자(캐소드 단자)에 흐르는 전류에 비례 혹은 상관한다. 따라서, 점등률에 기초하여라는 것은 애노드 단자(캐소드 단자)에 흐르는 전류의 크기에 기초하여도 치환할 수 있는 것은 물론이다. 물론, EL 소자(15)에 흐르는 전류로서 치환할 수도 있다.

점등률은 연속량이 아니더라도 된다. 예를 들면, 제1 애노드 전류일 때를 점등률 1로 하고, 제2 애노드 전류일 때를 점등률 2로 하고, 점등률 1일 때와 점등률 2일 때에 제어를 변화시킨다고 하는 제어를 실시해도 된다. 즉, 본 발명의 점등률에 의한 제어라 함은, 복수의 점등률 상태에서 변화 혹은 제어하는 것이다.

본 발명은 제1 점등률(애노드 단자의 애노드 전류 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.)에 있어서, 제1 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시킨다.

또한, 제2 점등률(애노드 단자의 애노드 전류 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.)에 있어서, 제2 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시킨다. 혹은, 점등률(애노드 단자의 애노드 전류 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.)에 따라서(적응하여), FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시키는 것이다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용할 수 있는 것은 물론이다.

도 375에서는, 컨텐서 신호선(3751)을 조작함으로써, 구동용 트랜지스터(11a)의 게이트 단자 전위를 제어하여, 양호한 흑색 표시를 실현하는 것으로 했다. 이 흑색 표시를 점등률(애노드 단자의 애노드 전류 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.)에 의해서, 제어를 실시해도 된다. 점등률(애노드 단자의 애노드 전류 등이어도 된다. 또한, 데이터의 총합 등이어도 된다.)이 높을 때는, 백색 표시 부분이 화상의 대부분을 차지한다. 또한, 열레이션이 발생하기 때문에 흑색 표시를 양호하게 할 필요는 없다. 점등률이 낮은 경우에는, 흑색 표시 부분의 화상이 대부분을 차지한다. 따라서, 양호한 흑색 표시를 실현할 필요가 있다. 그러나, 관통 전압을 높게 하고, 구동용 트랜지스터(11a)의 게이트 단자의 전위 시프트량을 크게 하는 것은, 구동 전압의 마진을 높게 하는 것으로 되고, 즉, EL 소자(15)의 부하를 크게 하는 것으로 된다.

이상의 과제를 해결하기 위해서, 도 379에 도시하는 바와 같이, 점등률에 따라, 컨텐서 신호선(3751)의 전위 시프트량을 변화시키고 있다. 컨텐서 신호선(3751)의 전위 시프트량을 크게 하면, 구동용 트랜지스터(11a)의 게이트 단자의 전위 시프트량이 커진다. 또한, 이하의 실시예에서는 컨텐서 신호선(3751)의 전위 시프트를 변화시키는 것으로 하지만, 본 발명은 이것에 한정되는 것은 아니다. 본 발명의 동작(제어 방식 등)은, 점등률에 대응하여 구동용 트랜지스터(11a)의 게이트 단자의 전위를 시프트시키는 것이다. 또한, 점등률이 작을 때에, 전위 시프트량을 크게 하는(구동용 트랜지스터(11a)에 전류가 흐르기 어렵도록 조작(제어)함) 것이다.

저점등률에서는, 컨텐서 신호선(3751)의 전위 시프트량을 크게 한다. 전위 시프트량을 크게 하는 것보다, 구동용 트랜지스터(11a)의 게이트 단자의 전위 시프트량이 커져, 양호한 흑색 표시를 실현할 수 있다. 점등률이 25~50%인 범위에서는 전위 시프트량은 일정하게 유지되고 있다. 이 점등률의 범위는 화상 표시에서 자주 출현하는 범위이고, 점등률에 따라서 변화시키면 플리커가 발생한다.

또한, 점등률에 의한 전위 시프트의 변화는, 지연시켜(천천히) 실시한다. 고점등률에서는, 컨텐서 신호선(3751)의 전위 시프트량을 작게 한다. 전위 시프트량을 작게 하는 것보다, EL 소자(15)의 부하가 경감되어 장기 수명화를 실현할 수 있다.

전류 구동 방식에서는, 저계조 영역에 있어서 프로그램 전류가 작아져, 기입 부족이 발생하는 것이 과제이다. 이 과제의 대책을 위해 본 발명에서는, 프리차지 구동, 전압+전류 구동, 기준 전류 제어 등을 실시한다.

전류 구동에서 기입 부족이 발생하는 원인은, 도 380에 도시하는 바와 같이 소스 신호선(18)의 기생 용량 Cs에 의한 영향이 크다. 기생 용량 Cs는 게이트 신호선(17)과 소스 신호선(18)과의 교차부 등에서 발생한다.

이하의 설명은 설명을 용이하게 하기 위해, 화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터이고, 또한 흡입 전류(소스 드라이버 회로(IC)(14)에 흡입하는 전류)로 전류 프로그램을 실시하는 경우인 것으로서 설명을 한다. 화소(16)의 구

동용 트랜지스터(11a)가 N 채널 트랜지스터인 경우 혹은 구동용 트랜지스터(11a)를 토출 전류(소스 드라이버 IC(14)로부터 토출하는 전류)로 전류 프로그램을 실시하는 경우에는 반대의 관계로 한다. 반대의 관계로 변경 혹은 재판독하는 것은 당업자이면 용이하기 때문에 설명을 생략한다.

이하의 설명은 화소(16)의 구동용 트랜지스터(11a)가 P 채널에 한정되는 것은 아니다. 또한, 화소 구성은 도 1의 화소 구성을 예시하여 설명을 하지만, 이것에 한정되는 것은 아니고, 도 12 등의 다른 전류 구동의 화소 구성이면 어느 것이어도 되는 것도 물론이다. 또한, 이상의 사항은, 이전 혹은 이 이후에 기재하는 본 발명에 적용되는 것은 물론이다.

도 380의 (a)에 도시하는 바와 같이, 흑색 표시(저계조 표시)로부터 백색 표시(고계조 표시)로 변화할 때에는, 소스 드라이버 회로(IC)(14)가 싱크 전류로 구동하는 것이 주체이다. 소스 드라이버 회로(IC)(14)가 프로그램 전류 Id1(Iw)로 기생 용량 Cs의 전하를 흡입한다. 전류를 흡입하는 것에 의해, 기생 용량 Cs의 전하를 방전하여, 소스 신호선(18)의 전위가 저하한다. 따라서, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전위가 저하하여, 프로그램 전류 Iw를 흘리도록 전류 프로그램이 행해진다.

백색 표시(고계조 표시)로부터 흑색 표시(저계조 표시)로 변화할 때에는, 화소(16)의 구동용 트랜지스터(11a)의 동작이 주체이다. 소스 드라이버 회로(IC)(14)는 흑색 표시의 전류를 출력하지만, 미소하기 때문에 실효적으로 동작하지 않는다. 구동용 트랜지스터(11a)가 동작하여, 프로그램 전류 Id2(Iw)의 전위와 일치하도록 기생 용량 Cs를 충전한다. 기생 용량 Cs에 전하를 충전함으로써, 소스 신호선(18)의 전위가 상승한다. 따라서, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전위가 상승하여, 프로그램 전류 Iw를 흘리도록 전류 프로그램이 행해진다.

그러나, 도 380의 (a)의 구동은 저계조 영역에서는 전류 Id1이 작고, 또한, 정전류 동작을 위해, 기생 용량 Cs의 전하의 방전에 매우 장시간을 필요로 한다. 특히 백 휘도에 도달할 때까지의 시간이 길기 때문에 백 윈도우 표시에서 상변의 휘도가 소정 휘도보다 낮다. 그 때문에, 시각적으로 눈에 띈다. 도 380의 (b)는 구동용 트랜지스터(11a)가 비선형 동작하기 때문에, 비교적 전류 Id2가 크다. 그 때문에, Cs의 수전(受電) 시간이 비교적 빠르다. 또한, 특히 흑 휘도에 도달할 때까지의 시간이 짧기 때문에 백 윈도우 표시에서 하변의 휘도가 저하하기 쉬워, 시각적으로 눈에 띄지 않는다.

프로그램 전류의 기입 부족의 과제를 해결하기 위해, 전압+ 전류 구동, 관통 전압 구동, duty 구동, 프리차지 구동을 실시한다. 그러나, 이 방법만으로는, 패널이 대형으로 되면, 도 380의 (a)의 흑색으로부터 백색 표시의 실현이 곤란하게 되는 경우가 있다. 이 대책으로서, 본 발명에서는, 1H의 전반에 소스 드라이버 회로(IC)(14)로부터의 프로그램 전류를 증가시킨다. 또한, 후반은 정류의 프로그램 전류 Iw를 출력한다. 즉, 소정 조건일 때에는, 1H의 최초에 소정의 프로그램 전류보다 큰 전류를 소스 신호선(18)에 흘리고, 후반에 정류의 프로그램 전류를 소스 신호선(18)에 흘린다. 이하, 실시예에 대하여 설명을 한다.

이하에 설명하는 구동 방법(구동 장치 혹은 구동 방식)을 과전류(프리차지 전류 혹은 디스차지 전류) 구동이라고 부른다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류) 구동은 본 발명의 다른 구동 방식 혹은 구동 장치(전압+ 전류 구동, 관통 전압 구동, duty 구동, 프리차지 구동 등)와 조합할 수 있는 것은 물론이다. 또한, 도 81 등의 차동 신호 IF 등의 다른 실시예와 조합할 수 있는 것도 물론이다.

도 381은 본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방식을 실시한 소스 드라이버 회로(IC)(14)의 설명도이다. 기본 구성은 도 15, 도 58, 도 59의 구성이다. 단, 도시를 용이하게 하기 위해서, 단위 트랜지스터(154)가 1개인 전류 회로는 트랜지스터군(164a)으로 하고, '1'로 도시하고 있다. 이하, 마찬가지로, 단위 트랜지스터(154)가 2개인 전류 회로는 트랜지스터군(164b)으로 하고, '2'로 도시하고 있다. 또한, 단위 트랜지스터(154)가 4개인 전류 회로는 트랜지스터군(164c)으로 하고, '4'로 도시하고 있다. 단위 트랜지스터(154)가 8개인 전류 회로는 트랜지스터군(164d)으로 하고, '8'로 도시하고 있다. 이하, 마찬가지로이다. 또한, 설명을 용이하게 하기 위해서, RGB는 각 6비트로 하고 있다.

도 381의 구성은, 과전류(프리차지 전류 혹은 디스차지 전류)의 프로그램 전류를 흘리는 트랜지스터군은 트랜지스터군(164f)으로 하고 있다. 즉, 계조 데이터의 최상위 비트의 스위치 D5를 온 오프 제어함으로써, 과전류(프리차지 전류 혹은 디스차지 전류)를 소스 신호선(18)에 흘린다. 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 것에 의해 기생 용량 Cs의 전하를 단시간에 방전시킬 수 있다.

최상위 비트를 과전류(프리차지 전류 혹은 디스차지 전류) 제어에 사용하는 것은, 이하의 이유에 의한다. 우선, 설명을 용이하게 하기 위해서, 1계조로부터 4계조로 변화시키는 것으로 한다. 또한, 계조수는 256계조(RGB 각 6비트)로 한다.

1계조로부터 백색 계조로 변화시키는 경우에도, 1계조로부터 중간조 이상(128계조 이상)으로 변화시키는 경우에는, 프로그램 전류의 기입 부족은 발생하지 않는다. 프로그램 전류가 비교적 크고, 기생 용량 Cs의 충전이 비교적 빠르기 때문이다.

그러나, 1계조로부터 중간조 이하로 변화하는 경우에는, 프로그램 전류가 작아, 1H 기간에 기생 용량 Cs를 충분히 충전시킬 수 없다. 따라서, 1계조로부터 4계조 등과 같이, 중간조 이하로 계조 변화시키는 것을 개선시킬 필요가 있다. 이 경우에, 본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동을 실시한다.

이상과 같이 변화하는 계조가 중간조 이하이기 때문에, 프로그램 전류의 지정에 최상위 비트는 사용하지 않는다. 즉, 1계조로부터 변화시키는 경우, 목표의 계조는, '011111' 이하이다(최상위 비트의 스위치 D5는 항상 오프 상태이다). 본 발명은 항상 오프 상태의 최상위 비트를 제어하여 과전류(프리차지 전류 혹은 디스차지 전류) 구동을 실시한다.

최초의 계조(변화 전의 계조)가 1이면, 스위치 D0이 온에서 단위 트랜지스터(154c)가 1개 동작한다. 목표의 계조가 4이면, 스위치 D2가 동작하여, 단위 트랜지스터(154c)가 4개 동작한다. 그러나, 단위 트랜지스터(154c)가 4개에서는 충분히 기생 용량 Cs의 전하를 목표값까지 방전시킬 수 없다. 따라서, 스위치 D5를 폐쇄하고 트랜지스터군(164f)을 동작시킨다. 또한, D5 스위치의 동작은, D2 스위치의 동작에 부가해서 실시해도 되고(1H의 전반을 D5와 D2 스위치를 온시키고, 후반은 D2 스위치만을 온시킴), 1H의 전반은 스위치 D5만을 온시키고, 후반은 스위치 D2만을 온시켜도 된다.

스위치 D5가 온하면, 단위 트랜지스터(154c)가 32개 동작한다. 따라서, D2 스위치만의 동작과 비교하여 $32/4=8$ 이기 때문에 8배의 속도로 기생 용량 Cs의 전하를 방전시킬 수 있다. 따라서, 프로그램 전류의 기입 개선이 가능하다.

스위치 D5를 온시킬지의 여부는, RGB의 영상 데이터마다 컨트롤러 회로(IC)(760)로 판단한다. 컨트롤러 회로(IC)(760)로부터는 판단 비트 KDATA가 소스 드라이버 회로(IC)(14)에 인가된다. KDATA는 일레로서 4비트이다. KDATA=0일 때에는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동은 실시하지 않는다. KDATA=1일 때에는 프리차지 구동(전압+ 전류 구동)을 실시한다. KDATA=2~15가 과전류(프리차지 전류 혹은 디스차지 전류) 구동을 실시하고, KDATA의 크기는, D5 비트를 온시키는 시간을 나타낸다.

KDATA는 래치 회로(161)에 의해 1H 기간 유지된다. 카운터 회로(162)는 HD(1H의 동기 신호)에 의해 리셋되고, 클럭 CLK에 의해 카운트된다. 카운터 회로(162)와 래치 회로(161)의 데이터가 비교되고, 카운터 회로(162)의 카운트값이, 래치 회로(161)의 데이터값(KDATA)보다 작을 때, AND 회로(163)는 내부 배선(150b)에 온 전압을 계속해서 출력하여, 스위치 D5의 온 상태가 유지된다. 따라서, 트랜지스터군(164f)의 단위 트랜지스터(154c)의 전류가 내부 배선(150a) 및 소스 신호선(18)에 흐른다. 또한, 전류 프로그램시에는 스위치(150b)가 폐쇄되고, 프리차지 구동시에는, 스위치(151a)가 폐쇄되고, 스위치(151b)가 오픈 상태로 된다.

도 388은 컨트롤러 IC(회로)(760)의 동작의 설명도이다. 단, 1화소열(RGB의 조)의 처리의 설명도이다. 영상 데이터 DATA(8비트×RGB)는 내부 클럭에 동기하여 래치 회로(771a)와 (771b)에 2단 래치된다. 따라서, 래치 회로(771b)에는, 1H 전의 영상 데이터가 유지되고, 래치 회로(771a)에는 현재의 영상 데이터가 유지된다.

비교 회로(3881)는 1H 전의 영상 데이터와 현재의 영상 데이터를 비교하여, KDATA의 값을 도출한다. 또한, 영상 데이터 DATA는 소스 드라이버 회로(IC)(14)에 전송된다. 또한, 컨트롤러 회로(IC)(760)는 카운터(162)의 상한 카운트값 CNT를 소스 드라이버 회로(IC)(14)에 전송한다.

KDATA는 비교 회로(3881)에서 결정된다. 결정은, 변화 전의 영상 데이터(1H 전의 데이터)와 변화 후의 영상 데이터(현재의 데이터)로부터 결정된다. 1H 전의 데이터라 함은, 현재의 소스 신호선(18)의 전위를 나타낸다. 현재의 데이터라 함은, 변화시키는 소스 신호선(18)의 목표 전위를 나타낸다.

도 380에 도시하여 설명한 바와 같이, 프로그램 전류의 기입은, 소스 신호선(18)의 전위를 고려하여 행하는 것이 중요하다. 기입 시간 t_{in} 은, $T=ACV/I$ (A: 비례 상수, C: 기생 용량의 크기, V: 변화하는 전위차, I: 프로그램 전류)로 나타낼 수 있다. 따라서, 변화하는 전위차 V가 크면 기입 시간이 길어진다. 한편, 프로그램 전류 $I=I_w$ 를 크게 하면 기입 시간은 짧아진다.

본 발명에서는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동에 의해 I를 크게 한다. 그러나, 어떠한 경우라도 I를 크게 하면, 목표의 소스 신호선(18) 전위를 초과하는 경우가 발생한다. 따라서, 과전류(프리차지 전류 혹은 디스차지 전류) 구동

을 실시하는 경우에는, 전위차 V 를 고려할 필요가 있다. 현재의 소스 신호선(18)의 전위와, 다음의 영상 데이터(현재의 영상 데이터(다음에 인가하는 영상 데이터)=(변화 후: 도 389의 세로 방향))로부터 결정되는 목표의 소스 신호선(18) 전위로 부터, KDATA를 구한다.

KDATA는 D5 스위치를 온시키는 시간인 경우도 있지만, 과전류(프리차지 전류 혹은 디스차지 전류) 구동에서의 전류의 크기라도 된다. 또한, D5 스위치의 온 시간(시간이 길수록 소스 신호선(18)에 인가하는 과전류(프리차지 전류 혹은 디스차지 전류) 인가 시간이 길어져, 과전류(프리차지 전류 혹은 디스차지 전류)의 실효값이 커짐)와, 과전류(프리차지 전류 혹은 디스차지 전류)의 크기(크기가 클수록 소스 신호선(18)에 인가하는 과전류(프리차지 전류 혹은 디스차지 전류)의 실효값이 커짐)의 양쪽을 조합해도 된다. 설명을 용이하게 하기 위해서, 최초, KDATA는 D5 스위치의 온 시간인 것으로서 설명을 한다.

비교 회로(3881)는 1H 전과 변화 후(도 389를 참조할 것)의 영상 데이터를 비교하여 KDATA의 크기를 결정한다. KDATA에 0 이상의 데이터가 설정되는 경우에는 이하의 조건에 합치하는 경우이다.

1H 전의 영상 데이터가 저계조 영역인 경우(0계조 이상 전체 계조의 1/8 이하의 영역인 것이 바람직하다. 예를 들면, 64계조인 경우에는, 0계조 이상 8계조 이하이다.)이고, 또한, 변화 후의 영상 데이터가 중간조 영역 이하인 경우(1계조 이상 전체 계조의 1/2 이하의 영역인 것이 바람직하다. 예를 들면, 64계조인 경우에는, 1계조 이상 32계조 이하의 영역이다.)에 KDATA를 설정한다. 설정하는 데이터는, 도 356의 구동용 트랜지스터(11a)의 VI 특성 커브를 고려하여 결정한다. 도 356에 있어서, 소스 신호선(18)의 Vdd 전압으로부터, 0계조째의 전압인 V0(완전 흑색 표시)까지의 전위차는 크다. 또한, V0 전압으로부터, 1계조째의 V1까지의 전위차는 크다. 다음의 2계조째인 V2 전압과 V1 전압까지의 전위차는, V0 전압으로부터 V1 전압까지의 전위차보다 매우 작다. 이후, V3과 V2, V4와 V3으로 뒀에 따라서 전위차는 작아진다. 이상과 같이 고계조측으로 뒀에 따라서, 전위차가 작아지는 것은, 구동용 트랜지스터(11a)의 VI 특성이 비선형이라는 것을 의미한다.

계조간의 전위차는, 기생 용량 Cs의 전하의 방전량에 비례한다. 따라서, 프로그램 전류의 인가 시간, 즉, 과전류(프리차지 전류 혹은 디스차지 전류) 구동에서는 과전류(프리차지 전류 혹은 디스차지 전류) Id의 인가 시간과 크기에 연동한다. 예를 들면, 1H 전의 V0(계조 0)와 변화 후의 V1(계조 1)의 계조차가 작다고 해서, 과전류(프리차지 전류 혹은 디스차지 전류) Id의 인가 시간을 짧게 할 수는 없다. 도 356에 도시하는 바와 같이 전위차가 크기 때문이다.

반대로, 계조차가 크더라도 과전류(프리차지 전류 혹은 디스차지 전류)를 크게 할 필요가 없는 경우도 있다. 예를 들면, 계조 10과 계조 32에서는, 계조 10의 전위 V10과 계조 32의 전위 V32의 전위차도 작고(도 356로부터 추정), 계조 32의 프로그램 전류 Iw도 크기 때문에, 기생 용량 Cs를 단시간에 충방전할 수 있기 때문이다.

도 389는 횡축에 1H 전(변화 전, 즉 현재의 소스 신호선(18) 전위를 나타낸다)의 영상 데이터의 계조 번호를 나타내고 있다. 또한, 종축에 현재의 영상 데이터의 계조 번호(변화 후, 즉 변화시킬 목표의 소스 신호선(18) 전위를 나타낸다)를 나타내고 있다.

0계조째(1H 전)로부터 0계조째(변화 후)로 변화시키는 것은, 전위 변화가 없기 때문에, KDATA는 0이어도 된다. 소스 신호선(18)의 전위 변화가 없기 때문이다. 0계조째(1H 전)로부터 1계조째(변화 후)로 변화시키는 것은, 도 356에 도시하는 바와 같이 V0 전위 내지 V1 전위로 변화시킬 필요가 있다. V1-V0 전압은 크기 때문에, KDATA는 최고값인 15(일레임)로 설정한다. 소스 신호선(18)의 전위 변화가 크기 때문이다. 1계조째(1H 전)로부터 2계조째(변화 후)로 변화시키는 것은, 도 356에 도시하는 바와 같이 V1 전위 내지 V2 전위로 변화시킬 필요가 있고, V2-V1 전압은 비교적 크기 때문에, KDATA는 최고값의 근방의 12(일레임)로 설정한다. 소스 신호선(18)의 전위 변화가 크기 때문이다. 3계조째(1H 전)로부터 4계조째(변화 후)로 변화시키는 것은, 도 356에 도시하는 바와 같이 V3 전위 내지 V4 전위로 변화시킬 필요가 있다. 그러나, V4-V3 전압은 비교적 작기 때문에, KDATA는 작은 값인 2로 설정한다. 소스 신호선(18)의 전위 변화가 작아도 되어, 기생 용량 Cs의 충방전을 단시간에 실시할 수 있어, 목표의 프로그램 전류를 화소(16)에 기입할 수 있기 때문이다.

변화 전이 저계조 영역이더라도, 변화 후의 계조가 중간조 이상인 경우에는, KDATA의 값은 0이다. 변화 후의 계조에 대응하는 프로그램 전류가 크고, 1H 기간 내에 소스 신호선(18)의 전위를 목표 전위 또는 근방의 전위까지 변화시킬 수 있기 때문이다. 예를 들면, 2계조로부터 38계조째로 변화시키는 경우에는, KDATA=0이다.

변화 후가 변화 전보다 저계조인 경우에 있어서, 과전류(프리차지 전류 혹은 디스차지 전류) 구동은 실시하지 않는다. 38계조로부터 2계조째로 변화시키는 경우에는, KDATA=0이다. 이 경우에는, 도 380의 (b)가 해당하며, 주로 화소(16)의 구

동용 트랜지스터로부터 프로그램 전류 Id가 기생 용량 Cs에 공급되기 때문이다. 도 380의 (b)의 경우에는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방식은 실시하지 않고, 전압+ 전류 구동 방식 혹은 프리차지 전압 구동을 실시하는 것이 바람직하다.

본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방식에 있어서, 도 116 등에서 설명한 기준 전류를 증가시키는 구동 방식 혹은 기준 전류비와 duty를 제어하는 구동 방식과 조합하는 것은 효과가 있다. 기준 전류의 증가에 의해, 도 381의 구성에서는 과전류(프리차지 전류 혹은 디스차지 전류)도 증가시킬 수 있기 때문이다. 따라서, 기생 용량 Cs의 충방전 시간도 짧아진다. 기준 전류의 크기 혹은 기준 전류비의 제어에 의해, 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방식의 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 제어할 수 있다는 점도 본 발명의 특징있는 구성이다.

이상과 같이, KDATA가 컨트롤 IC(회로)(760)에 의해 결정되고, KDATA가 소스 드라이버 회로(IC)(14)에 차동 신호(도 319, 도 320 등을 참조할 것)로 전송된다. 전송된 KDATA는 도 381의 래치 회로(161)에서 유지되고, D5 스위치가 제어된다.

도 389의 표의 관계는, 매트릭스 ROM 테이블을 이용하여 KDATA를 설정해도 되지만, 계산식을 이용하여 컨트롤러 회로(IC)(760)의 승산기를 이용하여 KDATA의 산출(도출)을 행해도 된다. 그 밖에, 컨트롤러 회로(IC)(760)의 외부 전압의 변화에 의해 KDATA를 정해도 된다. 또한, 컨트롤러 회로(IC)(760)에서 실시하는 것에 한정되는 것은 아니고, 소스 드라이버 회로(IC)(14)에서 실시해도 되는 것은 물론이다.

본 발명은, 기준 전류의 크기에 따라 프로그램 전류 Iw의 크기가 기준 전류에 비례하여 변화한다. 따라서, 도 381 등의 과전류(프리차지 전류 혹은 디스차지 전류) 구동의 과전류(프리차지 전류 혹은 디스차지 전류)의 크기도 기준 전류의 크기에 비례하여 변화한다. 도 389에서 설명한 KDATA의 크기도 기준 전류의 크기의 변화에 연동시킬 필요가 있는 것은 물론이다. 즉, KDATA의 크기는, 기준 전류의 크기에 연동시키거나 혹은 기준 전류의 크기를 고려하는 것이 바람직하다.

본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방식의 기술적 사상은, 프로그램 전류의 크기, 구동용 트랜지스터(11a)로부터의 출력 전류 등에 대응하여 과전류(프리차지 전류 혹은 디스차지 전류)의 크기, 인가 시간, 실효값을 설정하는 것이다.

비교 회로(3881) 또는 비교 수단 등에서는 RGB의 영상 데이터마다 비교를 실시하지만, RGB 데이터로부터 휘도(Y값)를 구하여, KDATA를 산출해도 되는 것은 물론이다. 즉, 단지, 각 RGB로 비교하는 것이 아니고, 색도 변화, 휘도 변화를 고려하고, 또한, 계조 데이터의 연속성, 주기성, 변화 비율을 고려하여 KDATA를 산출 혹은 결정 혹은 연산한다. 또한, 1화소 단위가 아니고, 주변의 화소의 영상 데이터 혹은 영상 데이터와 비슷한 데이터를 고려하여 KDATA를 도출해도 되는 것은 물론이다. 예를 들면, 화면(144)을 복수의 블록으로 분할하고, 각 블록 내의 영상 데이터 등을 고려하여 KDATA를 결정하는 방식이 예시된다.

또한, 이상의 사항은, 본 발명의 표시 장치, 표시 패널 등 다른 실시예에도 조합하여 적용할 수 있는 것은 물론이다. 또한, N배 펄스 구동 방식(예를 들면, 도 19~도 27 등), N배 전류 구동 화소 방식(예를 들면, 도 31~도 36 등), 비표시 영역 분할 구동 방식(예를 들면, 도 54의 (b), (c) 등), 필드 시퀀셜 구동 방식(예를 들면, 도 37~도 38 등), 전압+ 전류 구동 방식(예를 들면, 도 127~도 142 등), 관통 전압 구동 방식(명세서의 관통 전압에 관한 사항을 참조할 것), 프리차지 구동 방식(예를 들면, 도 293~도 297, 도 308~도 312 등), 복수 라인 동시 선택 구동 방식(예를 들면, 도 271~도 276 등) 등 다른 구동 방식과 조합하여 실시할 수 있는 것은 물론이다.

이상의 실시예는, 설명을 용이하게 하기 위해서 기본 구성은 도 15, 도 58, 도 59의 구성으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 86, 도 161~도 174, 도 188~도 189, 도 198~도 200, 도 208~도 210, 도 221~도 222, 도 228, 도 230, 도 231, 도 240, 도 241~도 250 등의 드라이버 회로(IC)(14)에도 적용할 수 있는 것은 물론이다. 이상의 사항은, 본 발명의 표시 장치, 표시 패널, 구동 방식, 검사 방법 등 다른 실시예에도 조합하여 적용할 수 있는 것은 물론이다.

도 381 등에 있어서, D5 스위치가 선택되는 시간은, 1H(1수평 주사 기간)의 3/4 기간 이하 1/32 기간 이상으로 설정하는 것이 바람직하다. 더욱 바람직하게는, 1H(1수평 주사 기간)의 1/2 기간 이하 1/16 기간 이상으로 설정하는 것이 바람직하다. 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 기간이 길면, 정규의 프로그램 전류를 인가하는 기간이 짧아져, 전류 보상이 양호하게 되지 않는 경우가 있다.

과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 기간이 짧으면, 목표의 소스 신호선(18)의 전위까지 도달할 수 없다. 과전류(프리차지 전류 혹은 디스차지 전류) 구동에서는, 목표의 계조의 소스 신호선(18) 전위까지 행하는 것이 바람직한 것은 물론이다. 그러나, 과전류(프리차지 전류 혹은 디스차지 전류) 구동만으로 완전하게 목표의 소스 신호선 전위로 할 필요는 없다. 1H의 전반의 과전류(프리차지 전류 혹은 디스차지 전류) 구동 후에, 정규의 전류 구동을 실시하고, 과전류(프리차지 전류 혹은 디스차지 전류) 구동에 의해 발생한 오차는, 정규의 전류 구동에 의한 프로그램 전류에 의해 보상되기 때문이다.

도 382는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방식을 실시한 경우의, 소스 신호선(18)의 전위 변화를 도시하고 있다. 도 382의 (a)는 D5 스위치를 1/(2H) 기간 온 상태로 한 경우이다. 1수평 주사 기간(1H)의 최초인 t1부터 D5 스위치를 온하여, 32개분의 단위 트랜지스터(154c)의 단위 전류가 단자(155)로부터 흡입된다. D5 스위치는 1/(2H)의 t2 기간까지의 동안, 온 상태가 유지되어, 과전류(프리차지 전류 혹은 디스차지 전류) Id2가 소스 신호선(18)에 흐른다. 따라서, 소스 신호선(18)의 전위는 목표 전위의 Vn 전위 근방의 Vm 전위까지 저하한다. 그 후(t2 후), D5 스위치는 오프 상태로 되고, 정규의 프로그램 전류 Iw가 1H의 종료(t3)까지, 소스 신호선(18)에 흘러, 소스 신호선(18) 전위는 목표의 Vn 전위로 된다.

소스 드라이버 회로(IC)(14)는 정전류 동작한다. 따라서, t2~t3 기간에는 정전류의 프로그램 전류 Iw가 흐른다. 이 프로그램 전류 Iw에 의해, 기생 용량 Cs가 목표 전위로 될 때까지 충방전되면, 화소(16)의 구동용 트랜지스터(11a)로부터 전류 I가 흐르고, 소스 신호선(18)의 전위는 목표 프로그램 전류 Iw가 흐르도록 유지된다. 따라서, 구동용 트랜지스터(11a)는 소정 프로그램 전류 Iw가 흐르도록 유지된다. 이상과 같이, 과전류(프리차지 전류 혹은 디스차지 전류) 구동의 과전류(프리차지 전류 혹은 디스차지 전류)의 정밀도는 필요없다. 정밀도가 없더라도, 화소(16)의 구동용 트랜지스터(11a)에 의해 보정된다.

도 382의 (b)는 D5 스위치를 1/(4H) 기간 온 상태로 한 경우이다. 1수평 주사 기간(1H)의 최초인 t1부터 D5 스위치를 온하여, 32개분의 단위 트랜지스터(154c)의 단위 전류가 단자(155)로부터 흡입된다. D5 스위치는 1/(4H)의 t4 기간까지의 동안, 온 상태가 유지되어, 과전류(프리차지 전류 혹은 디스차지 전류) Id2가 소스 신호선(18)에 흐른다. 따라서, 소스 신호선(18)의 전위는 목표 전위의 Vn 전위 근방의 Vm 전위까지 저하한다. 그 후(t4 후), D5 스위치는 오프 상태로 되고, 정규의 프로그램 전류 Iw가 1H의 종료(t3)까지, 소스 신호선(18)에 흘러, 소스 신호선(18) 전위는 목표의 Vn 전위로 된다.

소스 드라이버 회로(IC)(14)는 정전류 동작한다. 따라서, t4~t3 기간에는 정전류의 프로그램 전류 Iw가 흐른다. 이 프로그램 전류 Iw에 의해, 기생 용량 Cs가 목표 전위로 될 때까지 충방전되면, 화소(16)의 구동용 트랜지스터(11a)로부터 전류 I가 흐르고, 소스 신호선(18)의 전위는 목표 프로그램 전류 Iw가 흐르도록 유지된다. 따라서, 구동용 트랜지스터(11a)는 소정 프로그램 전류 Iw가 흐르도록 유지된다. 이상과 같이, 과전류(프리차지 전류 혹은 디스차지 전류) 구동의 과전류(프리차지 전류 혹은 디스차지 전류)의 정밀도는 필요없다. 정밀도가 없더라도, 화소(16)의 구동용 트랜지스터(11a)에 의해 보정된다.

도 382의 (c)는 D5 스위치를 1/(8H) 기간 온 상태로 한 경우이다. 1수평 주사 기간(1H)의 최초인 t1부터 D5 스위치를 온하여, 32개분의 단위 트랜지스터(154c)의 단위 전류가 단자(155)로부터 흡입된다. D5 스위치는 1/(8H)의 t5 기간까지의 동안, 온 상태가 유지되어, 과전류(프리차지 전류 혹은 디스차지 전류) Id2가 소스 신호선(18)에 흐른다. 따라서, 소스 신호선(18)의 전위는 목표 전위의 Vn 전위 근방의 Vm 전위까지 저하한다. 그 후(t5 후), D5 스위치는 오프 상태로 되고, 정규의 프로그램 전류 Iw가 1H의 종료(t3)까지, 소스 신호선(18)에 흘러, 소스 신호선(18) 전위는 목표의 Vn 전위로 된다.

이상과 같이, 단위 트랜지스터(154c)의 동작 개수와, 1개의 단위 트랜지스터(154c)의 단위 전류의 크기가 고정값이다. 따라서, D5 스위치의 온 시간에 의해, 비례하여 기생 용량 Cs의 충방전 시간을 조작할 수 있어, 소스 신호선(18)의 전위를 조작할 수 있다. 또한, 설명을 용이하게 하기 위해서, 기생 용량 Cs를 과전류(프리차지 전류 혹은 디스차지 전류)에 의해 충방전시키는 것으로 하고 있지만, 화소(16)의 스위치 트랜지스터 등의 누설도 있기 때문에, Cs의 충방전에 한정되는 것은 아니다.

이상과 같이, 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 단위 트랜지스터(154)의 동작 개수에 의해 파악할 수 있다는 점이 도 381의 본 발명의 특징 있는 구성이다. 기입 시간 t는, $T=ACV/I$ (A: 비례 상수, C: 기생 용량의 크기, V: 변화하는 전위차, I: 프로그램 전류)로 나타낼 수 있기 때문에, KDATA의 값도, 기생 용량(어레이 설계 시에 파악할 수 있다), 구동용 트랜지스터(11a)의 VI 특성(어레이 설계 시에 파악할 수 있다) 등으로부터 이론값으로 KDATA의 값을 결정할 수 있다.

도 382의 실시예는, 최상위 비트 D5 스위치를 조작함으로써, 과전류(프리차지 전류 혹은 디스차지 전류) 구동의 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기, 인가 시간을 제어하는 것이었다. 본 발명은 이것에 한정되는 것은 아니다. 최상위 비트 이외의 스위치를 조작 혹은 제어해도 되는 것은 물론이다.

도 383은, 소스 드라이버 회로(IC)(14)가 각 RGB 8비트 구성인 경우에, 최상위 비트의 스위치 D7과 최상위 비트로부터 2번째의 스위치 D6을 KDATA에 의해 제어한 구성이다. 또한, 설명을 용이하게 하기 위해서, D7 비트에는 128개의 단위 트랜지스터(154c)가 형성 또는 배치되어 있는 것으로 하고, D6비트에는 64개의 단위 트랜지스터(154c)가 형성 또는 배치되어 있는 것으로 한다.

도 383의 (a1)은 D7 스위치의 동작을 나타내고 있다. 도 383의 (a2)는 D6 스위치의 동작을 나타내고 있다. 도 383의 (a3)은 소스 신호선(18)의 전위변화를 나타내고 있다. 도 383의 (a)에서는 D7, D6의 스위치를 동시에 동작하기 때문에, 단위 트랜지스터(154c)는 128+64개가 동시에 동작하여, 단자(155)로부터 소스 드라이버 회로(IC)(14)에 유입된다. 따라서, 계조 0의 V0 전압으로부터 계조 3의 V3 전압까지 고속으로 소스 신호선(18) 전위를 변화시킬 수 있다. 또한, t2 후는, 정규의 스위치 D가 폐쇄되어, 정규의 프로그램 전류 Iw가 단자(155)로부터 소스 드라이버 회로(IC)(14)에 흡입된다.

마찬가지로, 도 383의 (b1)은 D7 스위치의 동작을 나타내고 있다. 도 383의 (b2)는 D6 스위치의 동작을 나타내고 있다. 도 383의 (b3)은 소스 신호선(18)의 전위 변화를 나타내고 있다. 도 383의 (b)에서는 D7 스위치만이 동작하기 때문에, 단위 트랜지스터(154c)는 128개가 동시에 동작하여, 단자(155)로부터 소스 드라이버 회로(IC)(14)에 유입된다. 따라서, 계조 0의 V0 전압으로부터 계조 2의 V2 전압까지 고속으로 소스 신호선(18) 전위를 변화시킬 수 있다. 도 383의 (a)보다 변화 속도는 작다. 그러나, 변화하는 전위가 V0 내지 V2이기 때문에, 적정하다. 또한, t2 후는, 정규의 스위치 D가 폐쇄되어, 정규의 프로그램 전류 Iw가 단자(155)로부터 소스 드라이버 회로(IC)(14)에 흡입된다.

마찬가지로, 도 383의 (c1)은 D7 스위치의 동작을 나타내고 있다. 도 383의 (c2)는 D6 스위치의 동작을 나타내고 있다. 도 383의 (c3)은 소스 신호선(18)의 전위 변화를 나타내고 있다. 도 383의 (c)에서는 D6 스위치만이 동작하기 때문에, 단위 트랜지스터(154c)는 64개가 동시에 동작하여, 단자(155)로부터 소스 드라이버 회로(IC)(14)에 유입된다. 따라서, 계조 0의 V0 전압으로부터 계조 1의 V1 전압까지 고속으로 소스 신호선(18) 전위를 변화시킬 수 있다. 도 383의 (b)보다 변화 속도는 작다. 그러나, 변화하는 전위가 V0 내지 V1이기 때문에, 적정하다. 또한, t2 후는, 정규의 스위치 D가 폐쇄되어, 정규의 프로그램 전류 Iw가 단자(155)로부터 소스 드라이버 회로(IC)(14)에 흡입된다.

이상과 같이 KDATA에 의해, 스위치의 온 기간뿐만 아니라, 복수의 스위치를 조작 혹은 동작시키고, 동작시키는 단위 트랜지스터(154c) 개수를 변화시킴으로써, 적절한 소스 신호선 전위를 달성할 수 있다.

도 383에서는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동에 의한 스위치 D(D6, D7)를 t1 내지 t2의 기간에 동작시키는 것으로 했지만, 이것에 한정되는 것은 아니고, 도 382에 도시 혹은 설명한 바와 같이, t2, t3, t4 등과 같이 KDATA의 값에 의해서 변화 혹은 변경해도 되는 것은 물론이다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고 있는 기간에 기준 전류 혹은 기준 전류의 크기를 제어 혹은 변경하여, 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 조정해도 된다. 또한, 정규의 프로그램 전류를 인가하고 있는 기간은 기준 전류 혹은 기준 전류의 크기는 정규의 값으로 한다.

조작하는 스위치는 D7, D6에 한정되는 것은 아니고, D5 등 다른 스위치도 동시에 혹은 선택하여 동작 혹은 제어해도 되는 것은 물론이다. 예를 들면, 도 385가 실시예이다. a 기간의 예에서는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동으로서 1/(2H)의 기간 D7 스위치를 온 상태로 하여, 128개의 단위 전류로 이루어지는 과전류(프리차지 전류 혹은 디스차지 전류)를 소스 신호선(18)에 인가하고 있다.

b 기간의 예에서는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동으로서 1/(2H)의 기간 D7, D6 스위치를 온 상태로 하여, 128+64개의 단위 전류로 이루어지는 과전류(프리차지 전류 혹은 디스차지 전류)를 소스 신호선(18)에 인가하고 있다.

c 기간의 예에서는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동으로서 1/(2H)의 기간 D7, D6, D5 스위치를 온 상태로 하여, 128+64+32개의 단위 전류로 이루어지는 과전류(프리차지 전류 혹은 디스차지 전류)를 소스 신호선(18)에 인가하고 있다.

d 기간의 예에서는, 과전류(프리차지 전류 혹은 디스차지 전류) 구동으로서 $1/(2H)$ 의 기간 D7, D6, D5 스위치와 상기 스위치에 해당하지 않는 영상 데이터의 스위치(예를 들면, 영상 데이터가 4이면, D2 스위치)를 온 상태로 하여, $128+64+32+a$ 개의 단위 전류로 이루어지는 과전류(프리차지 전류 혹은 디스차지 전류)를 소스 신호선(18)에 인가하고 있다.

이상의 실시예는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 기간이 1H의 최초부터인 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 384에서 (a1), (a2)는, 스위치를 1H의 최초의 t1로부터 $1/(2H)$ 의 t2까지 동작시키는 방법이다. 도 384에서 (b1), (b2)는, 스위치를 t4로부터 $1/(2H)$ 의 t5까지 동작시키는 방법이다. 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간은 도 384의 (a)와 동일하다. 소스 신호선(18)의 전위는, 기생 용량 Cs의 충방전으로 규정되기 때문에, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 기간이 어느 것이든 실효값은 동일하게 된다. 단, 1H의 최후에는, 정규의 프로그램 전류의 인가 기간으로 할 필요가 있다. 정규의 프로그램 전류의 인가에 의해, 정확한 목표 전위(구동용 트랜지스터(11a)가 정밀도가 좋은 프로그램 전류를 흘릴 수 있다)로 설정할 수 있기 때문이다.

도 384의 (c1), (c2)에서는, 스위치를 1H의 최초의 t1로부터 $1/(4H)$ 의 t4까지 동작시키고, 스위치를 1H의 t2로부터 $1/(4H)$ 의 t5까지 동작시키고 있다. 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간의 실효값은 도 384의 (a)와 동일하게 된다. 이상과 같이, 본 발명은, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간은 복수로 분산해도 된다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 개시 시간은 1H의 최초부터에 한정되는 것은 아니다.

이상과 같이 본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방법은, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 타이밍에 한정되는 것은 아니다. 단, 해당 화소(16)의 전류 프로그램이 종료하는 시점에서, 프로그램 전류가 인가되고 있는 기간으로 할 필요가 있다. 단, 화소(16)의 전류 프로그램에 정밀도를 필요로 하지 않을 때에는, 이것에 한정되지 않는 것은 물론이다. 즉, 과전류(프리차지 전류 혹은 디스차지 전류) 인가 상태에서 1H 기간이 종료해도 된다.

본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동에서는 과전류(프리차지 전류 혹은 디스차지 전류)를 소스 신호선(18)에 흘리는 동작이 중요하고, 과전류(프리차지 전류 혹은 디스차지 전류)를 발생시키는 것이 단위 트랜지스터(154c)에 한정되는 것은 아니다. 예를 들면, 단자(155)에 접속되어 정전류 회로, 가변 전류 회로를 형성 또는 구성하고, 이들의 전류 회로를 동작시켜 과전류(프리차지 전류 혹은 디스차지 전류)를 발생시켜도 되는 것은 물론이다.

도 381은 소스 드라이버 회로(IC)(14)의 계조 표시에 이용하는(전류 프로그램 구동에 이용하는) 구성물 혹은 구조를 과전류(프리차지 전류 혹은 디스차지 전류) 구동에 이용하는 것이었다. 본 발명은 이것에 한정되는 것은 아니다. 도 386에 도시하는 바와 같이, 과전류(프리차지 전류 혹은 디스차지 전류) 구동에 이용하는 과전류(프리차지 전류 혹은 디스차지 전류) 발생용의 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3811)를 별도로 형성 또는 구성해도 된다.

과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)는, 단위 트랜지스터(154c)와 동일 사이즈로 하고, 이 단위 트랜지스터(154)를 복수개 형성하여 구성해도 된다. 또한, 단위 트랜지스터(154c)와 사이즈 혹은 WL비, WL의 형상을 다르게 해도 된다. 단, 모든 출력단에서 동일하게 한다.

도 386에서는 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)의 게이트 단자 전위는, 단위 트랜지스터(154c)의 게이트 단자 전위와 동일하게 했다. 동일하게 함으로써, 기준 전류 제어에 의해, 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)로부터 출력하는 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 용이하게 제어할 수 있다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)의 사이즈 등의 출력 과전류(프리차지 전류 혹은 디스차지 전류)를 예측할 수 있기 때문에 설계가 용이하게 된다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)의 게이트 단자 전위는 단위 트랜지스터(154c)와는 다른 단자 전위로 되도록 구성해도 된다. 다르게 되도록 구성한 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)의 게이트 단자 전위를 조작함으로써, 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 제어할 수 있다.

과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)의 드레인 단자(D)를 단위 트랜지스터(154c)의 드레인 단자(D)와 분리하여, 인가하는 전압을 제어 혹은 조정해도 된다. 드레인 단자 전위의 조정 혹은 제어에 의해서도 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)로부터 출력되는 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 조정 혹은 제어할 수 있다.

이상의 것은, 본 발명의 다른 실시예에 있어서도 적용할 수 있다. 예를 들면, 도 381에 있어서도, 드레인 단자의 전위를 제어 혹은 조정함으로써 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 조정 혹은 제어할 수 있다.

도 386에서는, (150b)에 인가하는 신호에 의해 스위치 Dc를 온 오프 제어하여, 본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동을 실현한다. 도 386의 구성을 채용함으로써, 영상 데이터의 크기에 좌우되지 않고, 과전류(프리차지 전류 혹은 디스차지 전류) 구동을 실시할 수 있다. 다른 구성 동작에 대해서는, 도 380~도 390에서 설명하거나 혹은 설명하고 있으므로 설명을 생략한다.

도 381, 도 386 등의 사항은, 본 발명의 표시 장치, 표시 패널 등 다른 실시예에도 조합하여 적용할 수 있는 것은 물론이다. 또한, N배 펄스 구동 방식(예를 들면, 도 19~도 27 등), N배 전류 구동 화소 방식(예를 들면, 도 31~도 36 등), 비표시 영역 분할 구동 방식(예를 들면, 도 54의 (b), (c) 등), 필드 시퀀셜 구동 방식(예를 들면, 도 37~도 38 등), 전압+ 전류 구동 방식(예를 들면, 도 127~도 142 등), 관통 전압 구동 방식(명세서의 관통 전압에 관한 사항을 참조할 것), 프리차지 구동 방식(예를 들면, 도 293~도 297, 도 308~도 312 등), 복수 라인 동시 선택 구동 방식(예를 들면, 도 271~도 276 등) 등 다른 구동 방식과 조합하여 실시할 수 있는 것은 물론이다.

특히, 도 381, 도 386에서 설명한 과전류(프리차지 전류 혹은 디스차지 전류) 구동은, 전압+ 전류 구동(프리차지 구동)과 조합하여 실시하는 것이 바람직하다. 도 390은 그 실시예의 설명도이다. 도 390에 있어서, 영상 데이터라 함은 화소(16)에 기입되는 계조의 변화(영상 데이터의 변화)를 나타내고 있다. 소스 신호선 전위라 함은 소스 신호선(18)의 전위 변화를 나타내고 있다. 또한, 계조수는 256계조인 경우이다.

영상 데이터가 255(백색)계조로부터 0계조로 변화하는 경우에는, 도 380의 (b)의 상태이다. 이 경우에는, 우선, 소스 신호선(18)에 프리차지 전압이 인가된다. 화소(16)의 구동용 트랜지스터(11a)의 프로그램 전류 I_w 가 0이기 때문에, 전류가 흐르지 않도록, 게이트 단자 전위가 Vdd 전압 방향으로 상승한다. 또한, 0계조에서는 관통 전압 구동에 의해, 완전하게 흑색 표시 상태로 한다. 과전류(프리차지 전류 혹은 디스차지 전류) 구동은 실시하지 않는다.

영상 데이터가 0(흑색)계조로부터 2계조로 변화하는 경우에는, 도 380의 (a)의 상태이다. 이 경우에는, 우선, 소스 신호선(18)에 과전류(프리차지 전류 혹은 디스차지 전류)가 t3 내지 t4의 기간 인가된다. 화소(16)의 구동용 트랜지스터(11a)는, 일반적으로 동작하지 않는다. t4 내지 t5의 기간에서는 프로그램 전류 구동이 행해진다. 과전류(프리차지 전류 혹은 디스차지 전류) 구동에 의해, 소스 신호선(18)의 전위가 지나치게 저하해 있는 경우에는, 화소(16)의 구동용 트랜지스터(11a)가 동작하여, 도 390에 도시하는 바와 같이 소스 신호선(18)의 전위를 애노드 전압측으로 상승시켜 V2 전압으로 된다.

이상의 동작에 의해 구동용 트랜지스터(11a)의 게이트 단자 전압은 V2 전압으로 되어, 정밀도가 좋은 프로그램 전류를 EL 소자(15)에 흘릴 수 있다.

영상 데이터가 2계조로부터 16계조로 변화하는 경우의 비교적 저계조 영역에서 프로그램 전류가 작다. 동작은 도 380의 (a)의 상태이다. 이 경우에는, 우선, 소스 신호선(18)에 과전류(프리차지 전류 혹은 디스차지 전류)가 t5 내지 t6의 기간 인가된다. 화소(16)의 구동용 트랜지스터(11a)는, 일반적으로 동작하지 않는다. t6 내지 t7의 기간에서는 프로그램 전류 구동이 행해진다. 과전류(프리차지 전류 혹은 디스차지 전류) 구동에 의해, 소스 신호선(18)의 전위가 적절한 경우에는, 도 390에 도시하는 바와 같이 소스 신호선(18)의 전위는 변화하지 않는다. 즉, 화소(16)의 구동용 트랜지스터(11a)도 동작하지 않는다. 소스 신호선(18)의 전위가 목표값보다 낮은 경우에는, t6 내지 t7의 기간에 소스 드라이버 회로(IC)(14)가 프로그램 전류를 인입하여, 목표의 소스 신호선(18) 전위로 된다.

이상의 동작에 의해, 도 390에 도시하는 바와 같이 소스 신호선(18)의 전위를 구동용 트랜지스터(11a)의 게이트 단자 전압은 V16 전압으로 되어, 정밀도 되는 프로그램 전류를 EL 소자(15)에 흘릴 수 있다.

영상 데이터가 16계조로부터 90계조로 변화하는 경우에는 프로그램 전류가 크다. 동작은 도 380의 (a)의 상태이다. 이 경우에는, t7 내지 t8의 전체 기간에 걸쳐, 프로그램 전류 구동이 행해진다. 즉, 프리차지 전압 구동, 과전류(프리차지 전류 혹은 디스차지 전류) 구동은 실시되지 않는다. 이상과 같이, 본 발명은, 계조 데이터의 변화 비율, 변화 전의 크기에 따라 KDATA값을 변화시키고, 또한, 구동 방법을 변경한다.

도 435는, 도 390 등에 나타내는 구동 방법의 다른 실시예(변형예)이다. 도 435의 (a)는, 일정 이하의 저계조에서는 0계조 전압(V0)의 전압 프리차지를 실시하는 구동 방법이다. 도 435의 (a)에서는, 화소(16)에 기입하는 계조가 5계조 이하에서, 0계조 전압(V0)의 전압 프리차지를 실시하고 있다. 도 435의 (a)에서는, t0~t1, t3~t4, t5~t6의 1H 기간에 V0 전압을 인가하고 있다. t0~t1의 1H에서 기입하는 것은 계조 데이터 5이고, t3~t4의 1H에서 기입하는 것은 계조 데이터 3이고, t5~t6의 1H에서 기입하는 것은 계조 데이터 4이다. 따라서, 전부 계조 번호가 5계조 이하이다. 이들의 저계조 영역에서는, 프

로그래밍 전류가 작기 때문에, 기입하기 어렵다. 따라서, V0 전압을 인가하고, 우선, 흑레벨을 확보하고 나서, 전류 프로그램을 실시한다. 계조 번호가 6계조 이상에서는, 비교적 충분한 프로그램 전류를 소스 신호선(18)에 인가한다. 6계조 이상에서는, 전압 프리차지는 실시하지 않고, 프로그램 전류 구동만을 실시한다.

도 435의 (b)는, 일정 이하의 저계조에서는 대응하는 전압으로 전압 프리차지를 실시하는 구동 방법이다. 도 435의 (b)에서는, 화소(16)에 기입하는 계조가 5계조 이하에서, 전압 프리차지를 실시하고 있다. 도 435의 (b)에서는, t0-t1, t3-t4, t5-t6의 1H 기간에 전압을 인가하고 있다. t0-t1의 1H에서 기입하는 것은 계조 데이터 5이기 때문에, 계조 5에 대응하는 전압 V5를 인가한다. t3-t4의 1H에서 기입하는 것은 계조 데이터 3이기 때문에, 계조 3에 대응하는 전압 V3을 인가한다. t5-t6의 1H에서 기입하는 것은 계조 데이터 4이기 때문에, 계조 4에 대응하는 전압 V4를 인가한다. 따라서, 모두 계조 번호가 5계조 이하에서 전압 프리차지를 실시하고 있다. 이들의 저계조 영역에서는, 프로그램 전류가 작기 때문에, 기입하기 어렵다. 따라서, 소정의 저계조에서는, 대응하는 전압을 인가하고, 우선, 소정의 흑레벨을 확보하고 나서, 전류 프로그램을 실시한다. 계조 번호가 6계조 이상에서는, 비교적 충분한 프로그램 전류를 소스 신호선(18)에 인가한다. 6계조 이상에서는, 전압 프리차지는 실시하지 않고, 프로그램 전류 구동만을 실시한다.

이하, 도면을 참조하면서, 본 발명의 다른 실시예에 대하여 설명을 한다. 도 393은, 본 발명의 과전류(프리차지 전류 혹은 디스차지 전류) 구동 방식의 다른 실시예이다. 도 386에서는 과전류 트랜지스터(3861)는 1개였다. 도 393에서는, 과전류 트랜지스터(3861)는 복수개 형성 또는 배치하고 있고, 과전류 트랜지스터(3861)의 게이트 단자는 트랜지스터(431c)와는 다른 게이트 배선과 접속하고 있다.

도 393과 같이 구성함으로써, 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 기준 전류 Ic의 크기에 제약받지 않고, 자유롭게 설정 혹은 조정할 수 있다. 또한, 복수의 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터(3861)로 구성함으로써, 스위치 DC에 의해 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 자유롭게 설정할 수 있다.

과전류 트랜지스터(3861)는, RGB 회로에서 공통으로 하고 있다. 도 397에 도시하는 바와 같이, R의 기준 전류 Icr로서, Icr은 R(적)의 기준 전류의 설정값 IRDATA로 변경 혹은 조정된다. 마찬가지로 G의 기준 전류 Icg로서, Icg는 G(녹)의 기준 전류의 설정값 IGDATA로 변경 혹은 조정된다. 또한, B의 기준 전류 Icb로서, Icb는 B(청)의 기준 전류의 설정값 IBDATA로 변경 혹은 조정된다.

한편, 과전류(프리차지 전류 혹은 디스차지 전류) Id는, 도 397에 도시하는 바와 같이, RGB에서 공통이다. 즉, R의 출력단 회로의 Id(도 393 등을 참조할 것)과, G의 출력단 회로의 Id, B의 출력단 회로의 Id는 동일하다. Id의 크기 및/또는 Id의 변화 타이밍은 과전류(프리차지 전류 혹은 디스차지 전류)의 설정 데이터 IKDATA 4비트에 의해 컨트롤러 회로(IC)(760)에 의해 설정된다. 이 Id가 도 393에 도시하는 바와 같이 1개의 트랜지스터(158d) 또는 복수의 트랜지스터(158d)로 구성되어 트랜지스터군으로 이루어지는 커런트 미러의 친(親) 회로에 흐른다. 또한, 도 393에서는, 트랜지스터(158d)는 1개로서 도시하고 있지만, 복수의 트랜지스터(158d)로 구성 혹은 형성해도 되는 것은 물론이다.

도 386에서는, RGB 회로에서 개별로 프로그램 전류의 크기를 설정할 수 있다. 그러나, 과전류(프리차지 전류 혹은 디스차지 전류)는 RGB 개별로 설정하는 것은 바람직하지 않다. 도 380에서 설명한 바와 같이, 과전류(프리차지 전류 혹은 디스차지 전류)는 기생 용량 Cs의 충방전을 제어하는 것이기 때문이다. 기생 용량 Cs는 RGB에 있어서 소스 신호선(18)에서는 동일하다. 따라서, RGB의 과전류(프리차지 전류 혹은 디스차지 전류)가 서로 다르면, 도 395에 도시하는 바와 같이, 과전류(프리차지 전류 혹은 디스차지 전류)의 기입 속도가 달라, 1H 종료 시의 소스 신호선 전위가 달라져 버린다.

도 395에서는, 일점쇄선의 B의 과전류(프리차지 전류 혹은 디스차지 전류)가 가장 크다. 따라서, 1H의 기간에 계조 0에 상당하는 V0 전압으로부터 계조 2에 상당하는 V2 전압에 도달해 있다. 점선의 G의 과전류(프리차지 전류 혹은 디스차지 전류)가 가장 작다. 따라서, 1H의 기간에서는, 계조 0에 상당하는 V0 전압으로부터 계조 2에 상당하는 V2 전압에는 도달하지 않는다. R은 실선으로 나타낸다. 도 395에 도시하는 바와 같이, G와 B의 중간 상태이다. 이상과 같은 상태에서는, 1H 후는, 화이트 밸런스가 어긋나 있게 된다. 단, 도 395는 저계조의 영역이기 때문에, 화이트 밸런스가 어긋나 있더라도 실용상은 문제없다.

기생 용량을 RGB에서 서로 다르게 하면, 도 395에서 설명한 과제를 해결할 수 있는 것은 물론이다. 즉, 도 395의 상태에서는, R의 소스 신호선(18)의 기생 용량 Cs를, G의 소스 신호선(18)의 기생 용량 Cs보다도 크게 한다. 또한, B의 소스 신호선(18)의 기생 용량 Cs를, R의 소스 신호선(18)의 기생 용량 Cs보다도 크게 한다. 기생 용량 Cs를 크게 하는 방법으로서, RGB마다 소스 신호선(18) 끝에 커패시터를 폴리실리콘 회로로 형성 혹은 구성하는 방식이 예시된다.

또한, RGB에서 소스 신호선(18)의 기생 용량을 작게 하는 구성도 예시된다. G의 소스 신호선(18)의 기생 용량 C_s 를, R의 소스 신호선(18)의 기생 용량 C_s 보다 작게 한다. 또한, R의 소스 신호선(18)의 기생 용량 C_s 를, B의 소스 신호선(18)의 기생 용량 C_s 보다 작게 한다. 기생 용량 C_s 를 작게 하는 방식으로, RGB마다 소스 신호선(18)의 배선 폭을 변화시키는 구성이 예시된다.

소스 신호선(18)의 폭이 좁아지면, 기생 용량 C_s 의 크기는 작아진다. 전류 구동 방식에서는, 소스 신호선(18)에 흐르는 전류는 μA 오더이다. 따라서, 소스 신호선(18) 폭이 가늘고, 소스 신호선(18)의 저항값이 높아도 전류 구동 방법을 실현하는데 지장은 없다.

이상과 같이, 본 발명에서는, RGB의 소스 신호선(18) 중 1개 이상의 기생 용량 C_s 를, 다른 소스 신호선(18)의 기생 용량 C_s 와 다르게 한 것이다. 또한, 그 실현에는, 소스 신호선(18)의 선 폭을 변화시키는 구성이 예시된다. 용량으로 되는 컨덴서를 제작 혹은 배치하여, 해당 소스 신호선(18)에 전기적으로 접속시키는 구성이 예시된다.

0계조에 해당하는 V_0 전압은, 화소(16)의 구동용 트랜지스터(11a)에 의해서 결정된다. 통상적으로, 구동용 트랜지스터(11a)는, RGB에서 공통의 사이즈 혹은 크기이다. 따라서, RGB에서는 V_0 전압은 일치하고 있다. 기생 용량 C_s 의 충방전은 V_0 전압이 기준으로 되는 경우가 많다.

도 397에 도시하는 바와 같이, RGB 회로에서 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 공통으로 함으로써, 도 395에 도시하는 바와 같이 각 RGB에서 소스 신호선(18)의 충방전 곡선이 서로 다른 일은 없다. 즉, 과전류(프리차지 전류 혹은 디스차지 전류) I_d 는 RGB에서 동일하게 하는 것이 바람직하다.

과전류(프리차지 전류 혹은 디스차지 전류) I_d 의 조정은, 도 397의 전자 볼륨 회로(501b)에 의해 행한다. 전자 볼륨(501b)은 IKDATA에 의해, 프레임마다 혹은 화소행마다 변화 혹은 변경할 수 있다. 또한, 화면(144)을 복수 영역으로 분할하고, 분할한 영역마다 전자 볼륨(501b)을 배치하고, 분할한 영역마다 전류 I_d 를 변화 혹은 조정하는 구성도 예시된다. 이상의 사항은, 기준 전류 I_c 의 전자 볼륨 회로(501a) 등에도 적용할 수 있는 것은 물론이다.

도 397은 전자 볼륨(501)으로 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 조정 등하는 구성이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 396의 (a)에 도시하는 바와 같이 반고정 볼륨 V_r 으로 조정해도 된다. 또한, 단자(2883b)에 조정용 전압을 인가해도 된다. 또한, 내장 저항 R_2 는 트리밍 등을 행하여, 규정값으로 되도록 조정해 두는 것이 바람직하다.

도 396의 (b)에 도시하는 바와 같이 내장 저항 R_a , R_b 에 의해 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 조정해도 된다. 내장 저항 R_a , R_b 중 적어도 한쪽의 저항은 트리밍 등을 행하여, 규정값으로 되도록 조정해 두는 것이 바람직하다. 저항 R_2 는 도면에 도시하는 바와 같이 외부 부착으로 해도 되고, 소스 드라이버 회로(IC)(14)에 내장시켜도 된다. 또한, R_2 는 반고정 볼륨 V_r 으로 조정해도 된다. 또한, 단자(2883a)에 조정용 전압을 인가해도 된다.

도 372, 도 396 등에 있어서, 저항 R 은 소스 드라이버 회로(IC)(14) 등에 내장시키는 것으로 했지만, 이것에 한정되는 것은 아니다. 소스 드라이버 IC의 외부에 종단 저항으로서 배치해도 되는 것은 물론이다.

이상과 같이 구성 혹은 형성함으로써, RGB의 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 설정 혹은 조정 혹은 변경을 용이하게 실현할 수 있다.

도 398은 프로그램 전류 I_w 를 출력하는 출력단(431c)과 과전류(프리차지 전류 혹은 디스차지 전류)를 출력하는 출력단(431e)과의 배치 관계를 도시한 것이다. 출력단(431c)은, RGB에서 서로 다른(물론, 동일해도 되는 것은 물론이다) 기준 전류에 의해 프로그램 전류의 크기는 변화한다. 출력단(431c)으로부터 출력되는 프로그램 전류 I_w 는 단자(155)로부터 출력된다. 과전류(프리차지 전류 혹은 디스차지 전류)를 출력하는 출력단(431e)은, RGB에서 동일(물론, RGB에서 서로 달라도 되는 것은 물론이다)하다.

기준 전류 I_d 로 과전류(프리차지 전류 혹은 디스차지 전류)의 크기는 변화한다. 출력단(431e)으로부터 출력되는 과전류(프리차지 전류 혹은 디스차지 전류)는 프로그램 전류 I_w 를 출력하는 단자(155)로부터 출력된다. 또한, 단자(155)에는 프리차지 전압 V_{pc} 의 출력 회로도 접속된다.

도 399는 과전류(프리차지 전류 혹은 디스차지 전류) 회로의 기준 전류 Id를 발생시키는 다른 실시예이다. 전자 볼륨(501b)에의 데이터 IKDATA와 저항 R2로 이루어지는 정전류 회로에 의해 기본적인 전류 Ie가 발생한다. 이 전류 Ie가 트랜지스터(158a, 158b)에 흐른다. 트랜지스터(158b)와 트랜지스터(158e)는 소정의 커런트 미러비의 커런트 미러 회로를 구성한다. 트랜지스터(158b)에 대하여 복수의 트랜지스터(158e)가 형성 또는 배치되어 있다. 도 399에서는 트랜지스터(158e)는 출력단 수 형성되어 있다. 예를 들면, 160RGB이면, $160 \times 3 = 480$ 의 트랜지스터(158e)가 형성 또는 배치된다.

각 트랜지스터(158e)는 전류 접속으로 트랜지스터(158b)에 기준 전류 Id를 전송한다. 이 전송된 전류 Id에 의해 과전류 트랜지스터(3861a)의 출력 전류의 크기, 변화 타이밍 혹은 제어 상태가 결정된다.

도 249, 도 250, 도 299~도 305 등에서는, 기준 전류의 캐스캐이드 접속에 대하여 설명을 했다. 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id에 대해서도 도 400에 도시하는 바와 같이 소스 드라이버 회로(IC) 사이에서 전류 Id의 교체를 행하는 것이 바람직하다.

도 162, 도 165, 도 169, 도 170, 도 172, 도 175, 도 176 등에서 설명한 트리밍 방법, 트리밍 기술, 트리밍 구조 등 조정 방식에 관한 내용은, 소스 드라이버 회로(IC)(14)를, 캐스캐이드 접속을 행하는 경우에 적용할 수 있는 것은 물론이다. 트리밍 기술 등에 의해 인접한 소스 드라이버 회로(IC)(14)의 기준 전류 Ic 등을 조정하여, 접속 화면(144)에서 휘도차가 없도록 할 수 있다. 트리밍은, 도 61, 도 146, 도 188 등에 있어서, 저항 R1, 트랜지스터(158a, 158b) 등에 실시한다. 또한, 기준 전류를 조정하는 DA 회로(501) 내의 저항 R에 트리밍 등을 실시해도 된다. 또한, 도 48, 도 49의 트랜지스터군(431b)의 트랜지스터(158b)의 개수를 트리밍 등에 의해 감소시키는 것, 도 547~도 550의 서브 단위 트랜지스터(5471) 혹은 단위 트랜지스터(154)의 개수를 감소시킴으로써 행해도 된다. 또한, 트랜지스터(158) 등에 열 혹은 레이저 광을 조사하여, 활성화시키거나 비활성화시켜 출력하는 전류 등을 증감시켜도 된다.

이상과 같이 저항 혹은 트랜지스터 등에 트리밍하여, 기준 전류 Ic 등을 소정값으로 조정한다. 또한, 조정은 기준 전류에 한정되는 것은 아니다. 캐스캐이드 접속되는 인접한 소스 드라이버 회로(IC)(14)의 출력 단자의 프로그램 전류가 일치하는 방법이면 어떠한 방법을 이용해도 된다.

도 400에서는, 소스 드라이버 회로(IC)(14a)에 외부 부착 저항 R이 접속되어 있다. R의 기준 전류 Icr은 저항 R1r에 의해 크기가 설정 혹은 조정된다. G의 기준 전류 Icg는 저항 R1g에 의해 크기가 설정 혹은 조정된다. 또한, B의 기준 전류 Icb는 저항 R1b에 의해 크기가 설정 혹은 조정된다.

마찬가지로, 과전류(프리차지 전류 혹은 디스차지 전류) Id는 저항 R2에 의해 크기가 설정 혹은 조정된다. 이상의 구성에 의해 발생한 기준 전류 Icr, Icg, Icb, Id는 배선(2081)에 의해 인접한 소스 드라이버 회로(IC)(14)에 교체된다. 또한, 각 기준 전류는, 도 396, 도 397 등의 구성에 의해 발생 혹은 조정해도 되는 것은 물론이다.

이상의 실시예는 과전류 트랜지스터(3861), 기준 전류 Id를 소스 드라이버 회로(IC)(14)에서 발생시키는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 401에 도시하는 바와 같이 구성해도 된다. 도 401에서는 어레이 기판(30)에 과전류 트랜지스터(3861)를 형성 또는 배치한 구성이다. 소스 드라이버 회로(IC)(14)로부터 게이트 배선(4011)에 출력되는 전압에 의해 과전류 트랜지스터(3861)가 동작하여, 소스 신호선(18)에 과전류(프리차지 전류 혹은 디스차지 전류)를 흘린다.

이상과 같이 과전류(프리차지 전류 혹은 디스차지 전류) 회로는, 폴리실리콘 기술 등을 이용하여 구성 혹은 형성해도 된다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류) 회로는, 드라이버 회로(IC)로 구성하고, 어레이 기판(30)의 소스 신호선(18) 단자에 실장해도 된다.

또한, 도 401에서는 게이트 배선(4011)에 인가한 전압으로 과전류 트랜지스터(3861)가 흘리는 과전류(프리차지 전류 혹은 디스차지 전류)를 조정하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 399에 도시하는 트랜지스터(158d)와 과전류 트랜지스터(3861)로 이루어지는 커런트 미러 회로를 어레이 기판(30)에 저온 폴리실리콘 기술로 형성하고, 도 396, 도 397, 도 399 등에서 설명한 기준 전류 Id는 과전류 트랜지스터(3861)를 구성하는 커런트 미러 회로에 인가해도 된다. 즉, 소스 드라이버 회로(IC)(14)에서 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id를 발생시킨다.

도 392의 (a)는 본 발명의 소스 드라이버 회로(IC)(14)에 있어서의 과전류(프리차지 전류 혹은 디스차지 전류) 회로의 구성예이다. 트랜지스터(158d)와 과전류 트랜지스터(3861)는 커런트 미러 회로를 구성하고 있다. 과전류(프리차지 전류 혹은 디스차지 전류) Ik의 크기는 2개의 스위치 Dc로 제어된다. 스위치 Dc0은 1개의 과전류 트랜지스터(3861)가 접속되어 있고, 스위치 Dc1은 2개의 과전류 트랜지스터(3861)가 접속되어 있다.

과전류 트랜지스터(3861)는 도 15 등에서 설명한 단위 트랜지스터(154)와 동일한 구성이다(동일한 기술사상으로 형성 혹은 구성되어 있다). 따라서, 과전류 트랜지스터(3861)의 구성 혹은 설명은, 단위 트랜지스터(154)에서 설명한 사항이 그대로 혹은 준용된다. 따라서, 설명을 생략한다.

프리차지 전압 Vpc를 단자(155)에 인가하는 스위치 Dp의 제어와, 과전류(프리차지 전류 혹은 디스차지 전류)를 단자(155)에 인가하는 스위치 Dc의 제어는 2비트로 제어된다. 이 비트를 K 비트(1비트째), P 비트(0 비트째: LSB)로 한다. 따라서, 4개의 상태를 제어할 수 있다.

4개의 상태를 도 392의 (b)의 표에 도시하고 있다. (K, P)=0일 때, (Dp, Dc0, Dc1)=(0,0,0)으로 제어된다. 또한, 0은 스위치가 오픈 상태, 1은 스위치가 클로즈 상태를 나타낸다.

(K, P)=0일 때, 프리차지 전압(프로그램 전압) 제어 스위치 Dp는 오픈이고, 과전류 제어 스위치 Dc도 오픈이다. 따라서, 단자(155)로부터는 프리차지 전압도 과전류(프리차지 전류 혹은 디스차지 전류)도 출력(인가)되지 않는다.

(K, P)=1일 때, (Dp, Dc0, Dc1)=(1,0,0)으로 제어된다. 프리차지 전압(프로그램 전압) 제어 스위치 Dp는 클로즈(close) 상태이고, 과전류 제어 스위치 Dc는 양쪽 모두 오픈 상태이다. 따라서, 단자(155)로부터는 프리차지 전압 Vpc가 출력되지만, 과전류(프리차지 전류 혹은 디스차지 전류)는 출력(인가)되지 않는다.

(K, P)=2일 때, (Dp, Dc0, Dc1)=(0,1,0)으로 제어된다. 프리차지 전압(프로그램 전압) 제어 스위치 Dp는 오픈(open) 상태이고, 과전류 제어 스위치 Dc는 Dc0이 클로즈 상태이고, Dc1은 오픈 상태이다. 따라서, 단자(155)로부터는 프리차지 전압 Vpc는 출력되지 않는다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류)는 1개분의 과전류 트랜지스터(3861)의 출력 전류가 소스 신호선(18)에 인가된다.

(K, P)=3일 때, (Dp, Dc0, Dc1)=(0,0,1)로 제어된다. 프리차지 전압(프로그램 전압) 제어 스위치 Dp는 오픈(open) 상태이고, 과전류 제어 스위치 Dc는 Dc0, Dc1이 클로즈 상태이다. 따라서, 단자(155)로부터는 프리차지 전압 Vpc는 출력되지 않는다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류)는 2개분의 과전류 트랜지스터(3861)의 출력 전류가 소스 신호선(18)에 인가된다.

이상과 같이, 2비트의 신호(K, P)에 의해, 프리차지 전압, 과전류(프리차지 전류 혹은 디스차지 전류)를 제어할 수 있다.

도 392의 (b)에서는, (K, P)의 디코드 회로가 필요하다. 디코드 회로를 불필요하게 한 구성표를 도 391에 도시한다. 도 391에 있어서, K0, K1은 과전류(프리차지 전류 혹은 디스차지 전류)를 제어하는 스위치의 신호이다. K0은 Dc0을 오픈, 클로즈를 제어하는 비트이다. K1은 Dc1을 오픈, 클로즈를 제어하는 비트이다(도 392의 (a)를 참조할 것). 도 391에 있어서, P는 프리차지 전압을 제어하는 스위치의 신호이다. Dp를 오픈, 클로즈를 제어하는 비트이다(도 392의 (a)를 참조할 것).

(P, K0, K1)=(0, 0, 0)일 때, (Dp, Dc0, Dc1)=(0, 0, 0)으로 제어된다. 프리차지 전압(프로그램 전압) 제어 스위치 Dp는 오픈(open) 상태이고, 과전류 제어 스위치는 Dc0, Dc1도 오픈 상태이다. 따라서, 단자(155)로부터는 프리차지 전압 Vpc는 출력되지 않는다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류)도 출력되지 않는다.

(P, K0, K1)=(1, 0, 0)일 때, (Dp, Dc0, Dc1)=(1, 0, 0)으로 제어된다. 프리차지 전압(프로그램 전압) 제어 스위치 Dp는 클로즈(close) 상태이고, 과전류 제어 스위치 Dc0, Dc1도 오픈 상태이다. 따라서, 단자(155)로부터는 프리차지 전압 Vpc가 출력되지만, 과전류(프리차지 전류 혹은 디스차지 전류)는 출력되지 않는다.

예를 들면, (P, K0, K1)=(1, 1, 1)일 때, (Dp, Dc0, Dc1)=(1, 1, 1)로 제어된다. 프리차지 전압(프로그램 전압) 제어 스위치 Dp는 클로즈(close) 상태이고, 과전류 제어 스위치 Dc0, Dc1도 클로즈 상태이다. 따라서, 단자(155)로부터는 프리차지 전압 Vpc와 과전류(프리차지 전류 혹은 디스차지 전류)가 출력된다.

이하, 마찬가지로 (P, K0, K1)의 값에 따라서, 프리차지 전압(프로그램 전압) 제어 스위치 Dp와, 과전류 제어 스위치 Dc0, Dc1이 독립적으로 제어된다. 따라서, 프리차지 전압 인가와 과전류(프리차지 전류 혹은 디스차지 전류) 인가를 동시에 실시할 수 있다.

도 391, 도 392에 있어서, 스위치(Dp, Dc0, Dc1)를 클로즈시키는 비트를 부가함으로써 더욱 정밀도가 좋은 과전류(프리차지 전류 혹은 디스차지 전류), 프리차지 전압의 제어를 실시할 수 있는 것은 물론이다.

도 393은, 과전류(프리차지 전류 혹은 디스차지 전류)를 제어하는 스위치를 3비트로 한 실시예이다. Dc0 스위치의 온(클로즈)에 의해, 1개의 과전류 트랜지스터(3861)의 전류가 소스 신호선(18)에 인가된다. Dc1 스위치의 온(클로즈)에 의해, 2개의 과전류 트랜지스터(3861)의 전류가 소스 신호선(18)에 인가된다. Dc2 스위치의 온(클로즈)에 의해, 4개의 과전류 트랜지스터(3861)의 전류가 소스 신호선(18)에 인가된다. 마찬가지로, Dc0, Dc1, Dc2 스위치의 온(클로즈)에 의해, 7개의 과전류 트랜지스터(3861)의 전류가 소스 신호선(18)에 인가된다.

도 393에 있어서, 단자(155)에 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고 있는 기간은, 소스 드라이버 회로(IC)(14)의 단자(2883)에 인가하는 신호의 td 기간에 의해 제어한다. td 기간이라 함은 스위치(151c)를 온(클로즈)시키는 기간이다.

d기간의 제어는, 소스 드라이버 회로(IC)(14) 내부에 구성 혹은 형성한 카운터 회로(도시 생략)에 의해 실시해도 된다. td 기간의 설정 커맨드는, 도 360, 도 361, 도 362, 도 357 등에서 설명한 커맨드 신호 등으로 컨트롤러 회로(IC)(760)로부터 소스 드라이버 회로(IC)(14)에 전송시킨다. 물론, td는 1H의 1/2 등 고정값이더라도 되는 것은 물론이다. 또한, 스위치(151b)와 (151c)는 동기를 취하여 제어하는 것이 바람직하다.

도 402는, 도 424, 도 425 등의 영상 데이터 DATA의 하위 3비트를 스위치 Dc의 온 오프 제어 시간으로서 이용한 것이다. 즉, D2~D0 비트를 소정의 규칙으로 디코드하여 시간 제어 비트 T2~T0으로서 이용하고 있다. T2~T0 비트는, 프리차지 전압 제어 비트(P)와 과전류 제어 비트(K)의 데이터 내용에 의해 의미를 변화시킨다.

프리차지 전압 제어 비트(P)가 1일 때, 전압 프리차지가 실시된다. 0일 때에는, 전압 프리차지가 실시되지 않는다. 과전류 제어 비트(K)가 1일 때, 과전류(전류 프리차지)가 실시된다. 0일 때에는, 전류 프리차지가 실시되지 않는다. 프리차지 전압 제어 비트(P)가 1이고, 과전류 제어 비트(K)가 1일 때, 전압 프리차지가 실시됨과 함께, 과전류(전류 프리차지)가 실시된다.

전압 프리차지가 실시되면, 소스 신호선(18)의 전위가 소정 전압으로 강제적으로 변경된다. 과전류(전류 프리차지)는, 전압 프리차지된 소스 신호선(18) 전위로부터의 동작으로 된다. 따라서, 도 402의 (b)의 P=1, K=1에 있어서의 전류 프리차지는 절대값 동작으로 된다. 전압 프리차지에 의해 소스 신호선(18)의 전위가 소정 전압으로 되고, 이 전위로부터 변화가 발생하기 때문이다. 그 때문에, T2~T0은 절대적인 Dc 스위치의 온 시간 제어로 된다. 또한, 절대적인 온 시간 제어함으로써 목표 소스 신호선(18) 전위로 조정할 수 있어 바람직하다.

프리차지 전압 제어 비트(P)가 0이고, 과전류 제어 비트(K)가 1일 때, 전압 프리차지가 실시되지 않는다. 과전류(전류 프리차지)는 실시된다. 전압 프리차지가 실시되지 않으면, 소스 신호선(18)의 전위가 1H 전의 상태가 유지된다. 따라서, 과전류(전류 프리차지)는, 이전의 소스 신호선(18) 전위로부터의 상대 동작으로 된다. 도 402의 (c)의 P=1, K=1에 있어서의 전류 프리차지는 상대값 동작으로 된다. 그 때문에, T2~T0은 상대적인 Dc 스위치의 온 시간 제어로 된다.

도 402에서는, 영상 데이터 DATA의 하위 3비트를 디코드하여 스위치 Dc의 온 오프 제어 시간으로서 이용한 것이다. 디코드의 변환 테이블은, P와 K의 값에 따라 변화시킨다. 402의 (b)에서는, D2~D0의 값이 클수록, T2~T0의 크기를 크게 하고 있다. 소정의 프리차지 전압이 인가된 후에, 과전류(프리차지 전류 혹은 디스차지 전류) Id를 인가하기 때문이다. 402의 (c)에서는, D2~D0의 값이 클수록, T2~T0의 크기를 작게 하고 있다. 프리차지 전압이 인가되지 않고, 과전류(프리차지 전류 혹은 디스차지 전류) 인가 전의 소스 신호선(18) 전위로부터, 과전류(프리차지 전류 혹은 디스차지 전류) Id를 인가하여, 소스 신호선(18) 전위를 변화시키기 때문이다.

도 402에 있어서 T2~T0은 시간인 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니고, 과전류(프리차지 전류 혹은 디스차지 전류)의 크기로 치환해도 된다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간 제어와, 과전류(프리차지 전류 혹은 디스차지 전류)의 크기 제어의 양쪽을 조합해도 되는 것은 물론이다.

도 393에서는 스위치(151c)를 형성 또는 배치했지만, 도 394의 (a)에 도시하는 바와 같이 (151c)를 형성 또는 배치하지 않아도 된다. 정전류 회로(431c와 3861 등)는, 단락해도 임피던스가 높기 때문에 문제가 발생하지 않기 때문이다.

도 392, 도 393, 도 386에서는, 각 스위치 Dc에 단위 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 복수의 과전류 트랜지스터 등으로 구성하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 394의 (b)에 도시하는 바와 같이, 각 스위치 Dc에 1개의 과전류 트랜지스터(3861)를 형성 또는 배치해도 되는 것은 물론이다. 도 394의 (b)에 있어서, 스위치 Dc0에는 1개의 과전류 트랜지스터(3861) a가 배치 또는 형성되어 있다. 스위치 Dc1에도 1개의 과전류 트랜지스터(3861b)가 배치 또는 형성되어 있다. 또한, 스위치 Dc2에는 1개의 과전류 트랜지스터(3861c)가 배치 또는 형성되어 있다. 과전류 트랜지스터(3861a~3861c)는 출력하는 과전류(프리차지 전류 혹은 디스차지 전류)의 크기를 서로 다르게 하고 있다. 과전류(프리차지 전류 혹은 디스차지 전류)의 크기는, 과전류 트랜지스터(3861)의 WL비 혹은 사이즈, 형상에 따라서 용이하게 조정 혹은 설계할 수 있다.

도 399는 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id를 1개의 트랜지스터(158e)에 흘리는 구성이다. 그러나, 도 47 등에서 설명한 바와 같이 트랜지스터(158b)를 복수개 형성하고, 트랜지스터군(431b)으로 구성함으로써, Id의 변동을 감소시킬 수 있다. 도 405는 그 실시예이다. 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id는 4개의 트랜지스터(158e)에서 발생시킨다.

도 405에서는, 기준 전류 Ic와 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id는, 전자 볼륨(501)에 입력되는 IDATA에 따라 변화한다. 기준 전류 Ic와 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id의 크기의 비율은, 기준 전류 Ic를 흘리는 트랜지스터(158a)와 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id를 흘리는 트랜지스터(158c)의 형상 등을 서로 다르게 한 것에 의해 실현한다.

도 405에서는, 기준 전류 Ic를 흘리는 트랜지스터(158a)는 1개이고, 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id를 흘리는 트랜지스터(158c)는 4개이므로, 트랜지스터(158a)와 트랜지스터(158c)가 동일 형상인 경우에도, 기준 전류 $Ic \times 4 =$ 기준 전류 Id의 관계를 구성할 수 있다.

도 405에서는, 스위치 Dc에 대응하는 과전류 트랜지스터(3861)가 4개 형성 또는 배치되어 있다. 작은 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 복수의 과전류 트랜지스터(3861)로 출력단을 구성함으로써 출력 변동을 감소시킬 수 있다. 이상의 것은 도 15 등에서도 설명을 하고 있으므로 설명을 생략한다.

도 405에서는 도 393에 도시하는 바와 같이 내부 배선(150b)에 인가하는 온 오프 신호에 의해 스위치 Dc를 시간 제어하고, 단자(155)로부터 출력하는 실효 전류를 제어하고 있다. 또한, 스위치(151a)와 (151b)는 온 오프 상태를 반대의 관계로 하고 있다. 따라서, 프리차지 전압 Vpc가 단자(155)에 인가되고 있는 때에는, 과전류(프리차지 전류 혹은 디스차지 전류)가 단자(155)에 인가되지 않도록 제어되고 있다.

도 127~도 143, 도 405, 도 308~도 313 등은, 전압 구동과 전류 구동을 조합하여 실시하는 실시예이다. 그러나, 전압 구동의 데이터 VDATA와, 전류 구동의 데이터 IDATA는 동일한 비트 수로 할 필요는 없다. 예를 들면, 프로그램 전류 구동의 데이터 IDATA를 8비트(256계조)로 하고, 프리차지 전압 구동의 데이터 VDATA를 6비트(64 단계)로 해도 된다.

도 434는, 그 실시예이다. 도 434에서는, 계조의 번호(단 횟수)에 대응하여, 프로그램 전류 데이터 IDATA를 출력할 수 있도록 소스 드라이버 회로(IC)(14)가 구성되어 있다. 그러나, 프리차지 전압 VDATA는 IDATA 4개에 대하여, 1개밖에 대응시키고 있지 않다. 즉, 프로그램 전류 구동의 데이터 IDATA를 8비트(256계조)로 하면, 프리차지 전압 구동의 데이터 VDATA는 6비트(64단계)이다.

도 434에서는, VDATA는 IDATA 4개에 대하여, 등간격으로 1개를 대응시키고 있다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 저계조 영역에서는, VDATA의 간격을 좁게 하고, 고계조 영역에서는 VDATA의 간격을 넓게 해도 된다.

이상의 사항은 본 명세서의 다른 실시예에도 적용할 수 있는 것은 물론이다. 또한, 조합해서 실시예를 구성할 수 있는 것도 물론이다.

도 406은 8비트의 소스 드라이버 회로(IC)(14)에 있어서, 프로그램 전류 Iw(D0~D7의 스위치의 온 오프 상태에 의해 발생함)와, 과전류(프리차지 전류 혹은 디스차지 전류) Id(설명을 용이하게 하기 위해서, 트랜지스터(158d)와 과전류 트랜지

스터(3861)는 커런트 미러비 1의 커런트 미러 회로를 구성하고 있는 것으로 하고, 과전류(프리차지 전류 혹은 디스차지 전류)의 기준 전류 Id와 동일한 과전류(프리차지 전류 혹은 디스차지 전류)가 단자(155)에 인가되는 것으로 함)와의 발생 관계 혹은 그 상태 혹은 구동 방법을 설명하기 위한 설명도이다.

도 406의 (a)는 과전류(프리차지 전류 혹은 디스차지 전류) Id가 인가되고 있는 상태이다. 과전류(프리차지 전류 혹은 디스차지 전류) Id는, 1H의 1/(2H) 기간 등 일정한 기간 인가된다. 단, 1H의 1/(2H) 기간이라고 하는 것은 일 실시예이고, 이것에 한정되는 것은 아니다. 제어 신호 등에 의해 1H의 1/(2H) 기간, 1H의 1/(4H) 기간, 1H의 2/(3H) 기간, 1H의 1/(8H) 기간 등 절환할 수 있도록 구성하는 것이 바람직한 것은 물론이다. 도 406의 (b)는 과전류(프리차지 전류 혹은 디스차지 전류) 인가 시간 후의 상태이다. 도 406의 (b)는 일례로서, 데이터 D(D7~D0)가 "10000001" 즉, D7 비트와 D0 비트가 온(클로즈) 상태에서의 프로그램 전류 Iw의 출력 상태를 나타내고 있다.

이상과 같이, 도 406의 실시예에서는, 과전류(프리차지 전류 혹은 디스차지 전류) Id를 인가하고 있는 상태와, 프로그램 전류 Iw의 출력 상태는 독립되어 있다.

도 407의 (a)는 과전류(프리차지 전류 혹은 디스차지 전류) Id가 인가하고 있는 상태이다. 과전류(프리차지 전류 혹은 디스차지 전류) Id는, 1H의 1/(2H) 기간 등 일정한 기간 인가된다.

단, 도 406에서 설명한 바와 같이, 1H의 1/(2H) 기간이라고 하는 것은 일 실시예이고, 이것에 한정되는 것은 아니다. 제어 신호 등에 의해 1H의 1/(2H) 기간, 1H의 1/(4H) 기간, 1H의 2/(3H) 기간, 1H의 1/(8H) 기간 등 절환할 수 있도록 구성하는 것이 바람직한 것은 물론이다.

또한, 영상 데이터의 크기, 1화면의 영상 데이터의 총합의 크기, 1H 전의 소스 신호선(18) 전위의 크기, 각 프레임의 화상 상태의 변화, 정지 화상 혹은 동화상 등의 화상의 성질 등에 의해, 과전류(프리차지 전류 혹은 디스차지 전류) Id의 인가 시간 등은 변화 혹은 변경 혹은 제어해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 407의 (a)에서는 프로그램 전류 Iw를 발생시키는 스위치 D0~D7이 모두 온(클로즈) 상태로 하고 있다. 그 때문에, 단자(155)로부터 출력되는 과전류(프리차지 전류 혹은 디스차지 전류)는, 본래의 과전류(프리차지 전류 혹은 디스차지 전류) Id에, 최대의 프로그램 전류 Iw를 부가한 것으로 된다. 이상과 같이 도 407의 (a)와 같이 스위치 D0~D7, Dc를 제어함으로써, 큰 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가할 수 있다. 그 때문에, 기생 용량 Cs의 전하 방전 시간을 짧게 할 수 있다.

도 407의 (b)는 과전류(프리차지 전류 혹은 디스차지 전류) 인가 시간 후의 상태이다. 도 407의 (b)는 도 406의 (b)와 마찬가지로 일례로서, 데이터 D(D7~D0)가 "10000001" 즉, D7 비트와 D0 비트가 온(클로즈) 상태에서의 프로그램 전류 Iw의 출력 상태를 나타내고 있다.

이상과 같이, 도 407의 실시예에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 기간에 큰 과전류(프리차지 전류 혹은 디스차지 전류)를 인가할 수 있다. 또한, 도 407의 (a)에 있어서, 모든 스위치 D0~D7을 온(클로즈)하는 것에 한정되는 것은 아니다. 소스 신호선(18)의 전위, 수평 주사 기간의 길이, 기생 용량 Cs의 크기 등에 대응하여 스위치 D0~D7의 온 오프 상태를 변화 혹은 제어해도 되는 것은 물론이다.

도 406, 도 407에서는 과전류 트랜지스터(3861)를 제어하여, 소스 신호선(18)에 과전류(프리차지 전류 혹은 디스차지 전류)를 인가한다고 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 이 실시예를 도 408에 도시한다.

도 408의 (a)에서는 프로그램 전류 Iw를 발생시키는 스위치 D0~D7이 모두 온(클로즈) 상태로 하고 있다. 그러나, 과전류 트랜지스터(3861)를 제어하는 스위치 Dc는 오픈 상태이다. 따라서, 단자(155)에는 과전류(프리차지 전류 혹은 디스차지 전류)인 Id는 인가되지 않는다. 도 408의 (a)에서는, 영상 데이터에 기초하는 프로그램 전류 Iw 이상의 전류와 스위치 D7~D0을 제어함으로써 발생시킨 실시예이다. 일반적으로 기입 부족이 발생하는 것은, 영상 데이터가 작은 영역(저계조 영역)이다. 따라서, 이 영역에서는 D7 비트 등의 스위치가 온하지 않다. 이 영상 데이터에서는 온하지 않는 스위치(D7 등)를 온시켜, 큰 프로그램 전류(=과전류(프리차지 전류 혹은 디스차지 전류))를 발생시키고, 이 전류로 소스 신호선(18)의 전위를 제어 혹은 조작한다.

이상과 같이, 단자(155)로부터 출력되는 과전류(프리차지 전류 혹은 디스차지 전류)는, 최대의 프로그램 전류 I_w 이다. 이상과 같이 도 408의 (a)와 같이 스위치 D0~D7, Dc를 제어함으로써, 큰 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가할 수 있다. 그 때문에, 기생 용량 Cs의 전하 방전 시간을 짧게 할 수 있다.

도 408의 (b)는 과전류(프리차지 전류 혹은 디스차지 전류) 인가 시간 후의 상태이다. 도 408의 (b)는 도 406의 (b), 도 407의 (b)와 마찬가지로 일례로서, 데이터 D(D7~D0)가 "10000001" 즉, D7 비트와 D0 비트가 온(클로즈) 상태에서의 프로그램 전류 I_w (정규의 영상 데이터의 크기에 대응함)의 출력 상태를 나타내고 있다.

이상과 같이, 도 408의 실시예에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 기간에 큰 과전류(프리차지 전류 혹은 디스차지 전류)를 인가할 수 있다. 또한, 도 408의 (a)에 있어서, 모든 스위치 D0~D7을 온(클로즈)하는 것에 한정되는 것은 아니다. 소스 신호선(18)의 전위, 수평 주사 기간의 길이, 기생 용량 Cs의 크기 등에 대응하여 스위치 D0~D7의 온 오프 상태를 변화 혹은 제어해도 되는 것은 물론이다.

도 407에서는, 과전류 트랜지스터(3861)를 설치하고 있지만, 본 발명은 이것에 한정되는 것은 아니다. 도 470에 도시하는 바와 같이, 과전류 트랜지스터(3861)를 형성 또는 배치하지 않아도 된다. 도 470에서는, 프리차지 전류를 인가할 때는, 스위치 D0~D7 등을 모두 온시켜, 최대 단위 전류를 흘리도록 한다(도 470의 (a)). 정규의 전류를 출력할 때에는, 도 470의 (b)에 도시하는 바와 같이, 영상 데이터에 해당하는 스위치 D(도 470에서는 스위치 D1은 적어도 온하고, 스위치 D0, D2, D7은 오픈이다)를 온시킨다. 다른 구성은, 본 발명의 다른 실시예에서 설명하고 있으므로 설명을 생략한다.

도 407, 도 470 등에 있어서, 프리차지 전류를 인가할 때에는, 모든 스위치 D0~D7을 클로즈시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 프리차지 전류를 인가할 때에는, 상위 비트의 D7 비트만을 온시켜도 된다. 또한, 상위 비트에 해당하는 D4~D7 비트를 온시켜도 된다. 즉, 본 발명은, 소정의 영상 데이터에 해당할 때보다, 큰 출력 전류로 되도록 스위치 Dn을 조작하는 것이다.

도 408의 (a), 도 470의 (a)에서는 프로그램 전류 I_w 를 발생시키는 스위치 D0~D7이 모두 온(클로즈) 상태로 하고 있다. 그러나, 과전류 트랜지스터(3861)를 제어하는 스위치 Dc는 오픈 상태이다. 따라서, 단자(155)에는 과전류(프리차지 전류 혹은 디스차지 전류)인 Id는 인가되지 않는다.

도 408의 (a)에서는, 영상 데이터에 기초하는 프로그램 전류 I_w 이상의 전류와 스위치 D7~D0을 제어함으로써 발생시킨 실시예이다. 일반적으로 기입 부족이 발생하는 것은, 영상 데이터가 작은 영역(저계조 영역)이다. 따라서, 이 영역에서는 D7 비트 등의 스위치가 온하지 않는다. 이 영상 데이터에서는 온하지 않는 스위치(D7 등)를 온시켜, 큰 프로그램 전류(=과전류(프리차지 전류 혹은 디스차지 전류))를 발생시키고, 이 전류로 소스 신호선(18)의 전위를 제어 혹은 조작한다.

이상과 같이, 단자(155)로부터 출력되는 과전류(프리차지 전류 혹은 디스차지 전류)는, 최대의 프로그램 전류 I_w 이다. 이상과 같이 도 408의 (a)와 같이 스위치 D0~D7, Dc를 제어함으로써, 큰 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가할 수 있다. 그 때문에, 기생 용량 Cs의 전하 방전 시간을 짧게 할 수 있다.

도 408의 (b)는 과전류(프리차지 전류 혹은 디스차지 전류) 인가 시간 후의 상태이다. 도 408의 (b)는 도 406의 (b), 도 407의 (b)와 마찬가지로 일례로서, 데이터 D(D7~D0)가 "10000001" 즉, D7 비트와 D0 비트가 온(클로즈) 상태에서의 프로그램 전류 I_w (정규의 영상 데이터의 크기에 대응함)의 출력 상태를 나타내고 있다.

이상과 같이, 도 408의 실시예에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 기간에 큰 과전류(프리차지 전류 혹은 디스차지 전류)를 인가할 수 있다. 또한, 도 408의 (a)에 있어서, 모든 스위치 D0~D7을 온(클로즈)하는 것에 한정되는 것은 아니다. 소스 신호선(18)의 전위, 수평 주사 기간의 길이, 기생 용량 Cs의 크기 등에 대응하여 스위치 D0~D7의 온 오프 상태를 변화 혹은 제어해도 되는 것은 물론이다.

도 399, 도 405~도 408 등은, 단자(155)로부터 흡입하는 방향의 과전류(프리차지 전류 혹은 디스차지 전류) Id를 발생시키는 구성 혹은 방법이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 단자(155)로부터 과전류(프리차지 전류 혹은 디스차지 전류)를 토출하는 구성이어도 된다.

또한, 단자(155)로부터 과전류(프리차지 전류 혹은 디스차지 전류)를 흡입하는 회로와, 단자(155)로부터 과전류(프리차지 전류 혹은 디스차지 전류)를 토출하는 회로의 양쪽을 형성 또는 구성 혹은 배치해도 되는 것은 물론이다.

도 414는, 단자(155)로부터 과전류(프리차지 전류 혹은 디스차지 전류)를 흡입하는 회로와, 단자(155)로부터 과전류(프리차지 전류 혹은 디스차지 전류)를 토출하는 회로의 양쪽을 구비하는 본 발명의 소스 드라이버 회로(IC)(14)의 실시예이다.

도 399, 도 405~도 408 등과의 차이는, 과전류(프리차지 전류 혹은 디스차지 전류)를 토출하는 회로를 갖는 점이다. 과전류(프리차지 전류 혹은 디스차지 전류)의 토출 회로는, 트랜지스터(158d2)와 과전류 트랜지스터(3861)로 이루어지는 커런트 미러 회로로 구성된다. 이 커런트 미러 회로에서 과전류(프리차지 전류 혹은 디스차지 전류) Id2(커런트 미러비가 1 일 때)를 단자(155)에 인가한다.

도 414에 있어서, 토출 방향의 과전류(프리차지 전류 혹은 디스차지 전류) Id2를 단자(155)에 인가하는 경우에는, 스위치 Dc2를 온한다. 흡입 방향의 과전류(프리차지 전류 혹은 디스차지 전류) Id1을 단자(155)에 인가하는 경우에는, 스위치 Dc1을 온한다. 또한, 스위치 Dc1과 Dc2를 동시에 온시켜도 된다. 과전류(프리차지 전류 혹은 디스차지 전류) Id2와 과전류(프리차지 전류 혹은 디스차지 전류) Id1의 차가 단자(155)에 인가된다. 다른 구성은, 도 399, 도 405~도 408 등과 마찬가지로 설명을 생략한다.

도 407, 도 408, 도 470 등에 있어서, D0~D7 스위치(Dn 스위치라고 부른다)를 제어하는 것으로 했다. Dn 스위치를 온시키는 기간(프리차지 전류 인가 기간)을 제어함으로써, 보다 양호한 화상 표시를 실현할 수 있다. 프리차지 전류의 인가 기간은 도 471에 도시하는 바와 같이, 스위치 Dn을 제어 혹은 조작함으로써 실현한다. 모든 스위치 Dn을 온하는 기간은, 1H 이하의 기간이고, 그 기간인 온 기간 데이터값은, 컨트롤러 회로(IC)(760)에 의해 RAM(4712)에 유지되어 있다. 카운터 회로(4682)는 1H의 최초의 메인 클럭 CLK으로 리셋되고, 이후, CLK에 의해 카운트업된다.

카운터 회로(4682)의 카운트값과, RAM(4712)에 유지된 온 기간 데이터는 일치 회로(4711)에서 비교되고, 일치할 때까지, 모든 스위치 Dn을 온하는 로직이 스위치 Dn의 제어 회로(도시 생략)에 인가되어, 스위치 Dn이 온한다. 카운터 회로(4682)의 카운트값과, RAM(4712)에 유지된 온 기간 데이터가 일치하면, 일치 회로(4711)는, 이후에는 오프 전압을 출력하고, 스위치 Dn은 영상 데이터에 대응하는 스위치만이 온된다. 스위치 Dn의 조작은, 로직 회로에서 마스킹함으로써 용이하게 실현할 수 있다.

또한, 모든 스위치 Dn을 조작하여 프리차지 전류를 발생시킨다고 하는 동작은, 모든 화소에 대하여 행해지는 것은 아니다. 영상 신호의 전위 변화, 영상 데이터의 크기 등으로 실시하거나, 실시하지 않거나 조작되는 것은 물론이다(적응형 프리차지 구동이라고 부른다. 도 417~도 422, 도 463 등에서 설명하고 있으므로 참조할 것). 이상의 사항은 본 발명의 다른 실시예에서 설명하고 있으므로, 설명을 생략한다.

도 407, 도 408, 도 470, 도 471 등의 구성에서는, 1H(1수평 주사 기간)의 최초의 기간에, 영상 데이터 등으로부터 판단되고, 필요한 때에는 스위치(151a)가 클로즈되고, 프리차지 전압 Vpc가 단자(155)에 인가되어, 소스 신호선(18)에 인가된다. 기본적으로는, 프리차지 전압 Vpc가 인가되고 있을 때에는, 스위치(151b)는 오픈 상태로 제어된다.

또한, 1H의 최초 혹은 프리차지 전압의 인가한 후에, 영상 데이터 등으로부터 판단되고, 필요한 때에는 스위치 Dn이 클로즈되고, 프리차지 전류가 단자(155)에 인가되어, 소스 신호선(18)에 인가된다. 프리차지 전류의 인가후, 정규의 영상 데이터에 해당하는 스위치 D가 클로즈되어 프로그램 전류 Iw가 소스 신호선(18)에 인가된다.

도 407, 도 408, 도 470, 도 471 등에 있어서, 프리차지 전류 Id를 인가하는 기간을 길게 할수록, 소스 신호선(18)의 전위 변화를 크게 할 수 있다. 즉, 프리차지 전류가 인가되는 기간을 제어함으로써, 소스 신호선(18)의 전위 변화를 크게 할 수 있다.

프리차지 전류 Id를 인가하는 기간은, 도 471에 도시하는 바와 같이, 카운터의 값만으로 제어할 수 있다. 프리차지 전류 Id는 기본적으로 온도특성이 없다. 또한, 도 380의 (a)에서 설명한 바와 같이 기생 용량을 충방전하는 기간은 선형이다. 따라서, 로직으로 용이하게 제어가 가능하다.

도 472는, 인가되고 있는 소스 신호선 전위가 계조 0전압 혹은 계조 0전류(전압으로 대표하여 V0으로 함)인 경우에 있어서, 다음의 계조 n으로 변화하는 경우의, 모든 스위치 Dn의 온 시간을 나타내고 있다. 예를 들면, 1계조제로 변화시킬 때(0계조제로부터 1계조제의 변화)는, 모든 스위치 Dn을 2(μ sec) 온시키면 된다. 마찬가지로, 예를 들면, 5계조제로 변화시킬 때(0계조제로부터 5계조제의 변화)는, 모든 스위치 Dn을 4(μ sec) 온시키면 된다. 또한, 마찬가지로, 예를 들면, 10계조제

로 변화시킬 때(0계조째로부터 10계조째의 변화)는, 모든 스위치 Dn을 6(μ sec) 온시키면 된다. 20계조째 이후는, 일정하여, 모든 스위치 Dn을 8(μ sec) 온시키면 된다. 20계조째 이후는, 정규의 프로그램 전류로 목표의 소스 신호선(18) 전위에 도달할 수 있기 때문이다.

도 472에 인가 시간을, 컨트롤러 회로(IC)(760)에 각 계조에 따라서 매트릭스 테이블(예를 들면, V0에 대한 계조 n의 스위치 Dn의 온 시간, V1에 대한 계조 n의 스위치 Dn의 온 시간, V2에 대한 계조 n의 스위치 Dn의 온 시간, 등, 도 463 등도 참조할 것)로 기억시켜 두고, 이 테이블에 따라서 스위치 Dn을 제어하도록 하면 된다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용할 수 있는 것은 물론이다.

도 407, 도 408, 도 470, 도 471에서는, 흡입 전류 방향의 프리차지 전류를 발생시키는 구성이었다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 473에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14) 내에 싱크 전류의 프로그램 전류 출력단(431ca)와, 토출 전류를 출력하는 프로그램 전류 출력단(431cb)를 형성 또는 구성해도 된다. 싱크 전류의 프리차지 전류를 발생하는 경우에는, 출력단(431ca)의 스위치 Dn을 제어 혹은 조작한다. 토출 전류를 발생하는 경우에는, 출력단(431cb) 스위치 Dn을 제어 혹은 조작한다. 어느 하나의 프리차지 전류는, 스위치(151b1)와 스위치(151b2)를 제어함으로써 실현한다.

본 발명의 실시예에 있어서, 프리차지 전압 Vpc는, 주로 애노드 전압에 가까운 전압을 인가하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 474과 같이 프리차지 전압 Vpc를 인가해도 된다. 도 474의 (a)는, 저계조시에, 1H의 최초의 ta 기간에 계조 0에 대응하는 프리차지 전압 Vpc=V0 전압을 인가하는 실시예이다. 도 474의 (b)는, 고계조시에, 1H의 최초의 ta 기간에 계조 255에 대응하는 프리차지 전압 Vpc=V255 전압을 인가하는 실시예이다. 어떠한 경우도, 프리차지 전압 Vpc의 인가후, 프로그램 전류를 인가한다.

또한, 프리차지 전압 Vpc는 1H의 소정 기간뿐만 아니라, 1H 기간 동안 계속해서 인가하여도 되는 것은 물론이다. 도 475는 그 실시예이다.

도 475의 (a)는, 저계조 시에, 1H 기간에 계조 0에 대응하는 프리차지 전압 Vpc=V0 전압을 인가하는 실시예이다. (g)에 도시하는 기간에 프리차지 전압으로서 V0 전압을 계속해서 인가하고 있다. 또한, 다른 기간은, 프리차지 전압 Vpc를 인가하지 않고, 프로그램 전류만으로 구동하고 있다. 프로그램 전류는 상대 동작(현 계조로부터 다음의 계조로 변화함)한다.

도 475의 (b)는, 저계조시에, 1H 기간에 계조 0에 대응하는 프리차지 전압 Vpc=V0 전압을 인가하고, 고계조시에, 1H 기간에 계조 255에 대응하는 프리차지 전압 Vpc=V255 전압을 인가하는 실시예이다. (e)에 도시하는 기간에 프리차지 전압으로서 V255를 계속해서 인가하고 있다. 또한, (g)에 도시하는 기간에 프리차지 전압으로서 V0 전압을 계속해서 인가하고 있다. 또한, 다른 기간은, 프리차지 전압 Vpc를 인가하지 않고, 프로그램 전류만으로 구동하고 있다.

도 403은, 본 발명의 표시 패널(표시 장치)의 구동 방법(구동 방식)을 설명하기 위한 설명도이다. 전압 프리차지 및 프로그램 전류에 의한 소스 신호선(18)에 전위 상태를 나타내고 있다. 도 403의 실시예에서는, 소스 드라이버 회로(IC)(14)가 발생하는 프리차지 전압은, 계조 0의 전위 V0(혹 전압 프리차지)과, 최대의 계조 255의 전위 V255(백 전압 프리차지)를 발생한다.

표시 패널이 5인치 이하로 소형인 경우에는, 프리차지 전압의 발생 회로를 간략화하는 것이 가능하다. 도 427은 프리차지 전압의 발생 수를 3개(0계조용: V0, 1계조용: V1, 2계조용: V2)로 하고 있다. 또한, 도 427은, 도 351~353과 도 309, 도 310을 조합한 구성 혹은 유사한 구성이다.

도 427에 있어서, 소스 드라이버 회로(IC)(14)의 단자(283b)에는, V0 전압이 인가되고 있다. V0 전압은 볼륨 등에 의해 자유롭게 설정 혹은 조정할 수 있도록 구성되어 있다. V0 전압의 조정에 의해, 본 발명의 EL 표시 패널이 최적의 흑색 표시로 되도록 할 수 있다. 또한, L단자(283c)에는 V2 전압이 인가된다. V2 전압도 볼륨 등에 의해, 소스 드라이버 회로(IC)(14) 외부에서 자유롭게 설정 혹은 조정할 수 있도록 구성되어 있다. V0, V2 전압의 조정에 의해, 본 발명의 EL 표시 패널이 최적의 흑색 표시와 2계조째의 표시를 얻을 수 있다. 또한, V0 전압, V2 전압은, 소스 드라이버 회로(IC)(14) 내부에 DA 회로를 형성 또는 구성하고, 디지털적으로 변경 혹은 조정해도 되는 것은 물론이다.

1계조째의 프리차지 전압 V1은, V0, V2 전압과 내장 혹은 외부 부속 저항 Ra, Rb에서 발생시킨다. V2 전압을 변화시키면, V1 전압도 상대적으로 변화한다. 본 발명에서는, 기준 전류비 제어를 실시한다. 기준 전류비를 변화 혹은 변경하면, 도 355, 도 356, 도 350 등에서 설명한 바와 같이, 각 계조에서의 동작점(프로그램 전류의 크기)이 변화한다. 따라서, 동일한 2계조째이더라도 기준 전류를 변화시키면 프로그램 전류의 크기가 달라, 소스 신호선(18) 전위도 다르다.

도 427의 구성에서는, 기준 전류 혹은 기준 전류비에 연동하여, V2 전압을 변화시킨다. 따라서, V1 전압도 변화한다. 한편으로 0계조체인 V0 전압은 동작 원점이기 때문에, 기준 전류를 변화시켜도 조정할 필요는 없다. 즉, 본 발명은, 0계조체(완전 흑색 표시)에 대응하는 V0 전압을 고정하고, 필요에 따라, V0 전압보다 고계조(도 427의 실시예에서는 V2 전압)를 조정할 수 있는 구성 혹은 방법이다.

V0 전압은, RGB에서 공통이더라도 실용상 충분하다. 단, V2 전압은, EL 소자(15)가 RGB에서 효율이 서로 다르기 때문에, R용의 V2 전압, G용의 V2 전압, B용의 V2 전압과 같이 개별로 설정 가능하도록 구성할 필요가 있다.

V0 등의 프리차지 전압 V_{pc} 는 애노드 전압 V_{dd} 와 연동시키는 것이 바람직하다. 이 실시예를 도 521에 도시한다. 프리차지 전압 V_{pc} 는, 기본적으로는, 구동용 트랜지스터(11a)의 상승 전압이다. 상승 전압은, 애노드 전압 V_{dd} 는, 구동용 트랜지스터(11a)의 일단자의 전압이다. 따라서, 애노드 전압 V_{dd} 가 높아지면, 프리차지 전압 V_{pc} 도 높게 할 필요가 있다. 애노드 전압 V_{dd} 가 낮아지면, 프리차지 전압 V_{pc} 도 낮게 할 필요가 있다.

이상의 과제에 대하여, 도 521에 도시하는 바와 같이, 전자 볼륨(501)의 전원 전압을 애노드 전압 V_{dd} 로 하는 것에 의해, V_{dd} 전압이 변동해도, V_{pc} 전압이 연동하여 변화한다. 따라서, 양호한 프리차지를 실현할 수 있다.

이상의 실시예에서는, 프리차지 전압 V_{pc} 를 애노드 전압 V_{dd} 에 연동시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 구동용 트랜지스터(11a)의 화소 구성 배치 혹은 극성(P 채널 또는 N 채널)에 따라서는, 캐소드 전압에 연동시켜도 된다. 이상과 같이 본 발명의 특징은, 캐소드 전압 또는 애노드 전압과 프리차지 전압 V_{pc} 를 연동시키는 것이다.

프리차지 전압인 V0, V1, V2 전압은, 내부 배선에 의해 소스 드라이버 회로(IC)(14) 내를 길이 방향으로 전송(전달)된다. 전류 출력단(771)의 출력 배선(150)과 프리차지 전압이 인가된 배선의 교점에는 스위치 Sp 가 형성 또는 배치되어 있다. 각 스위치는 SSEL 신호(2비트)에 의해 온 오프 제어된다. 예를 들면 스위치 $Sp1a$ 가 온하면 V0 전압이 단자(2884a)로부터 출력된다. 또한, 스위치 $Sp2b$ 가 온하면 V1 전압이 단자(2884)로부터 출력된다. 다른 구성은, 도 351~353, 도 309, 도 310 등과 마찬가지로 설명을 생략한다. 또한, SSEL 신호는, 컨트롤러 IC(회로)(760)에서 발생하여, 소스 드라이버 회로(IC)(14)로 전송한다. 또한, SSEL 신호는, 영상 신호마다 판정하고, 발생한다.

도 350에 도시하는 바와 같이, V0 전압이 트랜지스터(11a)의 상승 전압이다. 따라서, 프리차지 전압으로서는, V0 전압보다 V_{dd} 전압에 가까운 전압을 인가할 필요가 있다. 그러나, V0 전압은, 어레이의 프로세스에 의해 변동이 있다. 일반적으로, 볼륨 등을 이용하여 어레이 또는 패넬마다 조정하면 된다. 그러나, 개개로 조정하는 것은 코스트 업으로 된다. 이 과제를 해결하는 방식이 도 519의 구성이다.

도 519에 있어서, 소스 드라이버 회로(IC)(14)와 표시 영역간의 소스 신호선(18) 상에 컨덴서 전극(5191)이 형성되어 있다. 또한, 컨덴서 전극(5191)은 소스 신호선(18)과 절연막을 통하여 배치 또는 형성되어 있고, 직류적으로는 접속은 되어 있지 않다(도 523을 참조할 것). 또한, 본 발명의 실시예에 있어서, 컨덴서 전극(5191)은 소스 신호선(18) 상에 형성 또는 배치하는 것으로 하지만, 이것에 한정되는 것은 아니다. 소스 신호선(18)의 하층에 형성 또는 배치해도 된다. 나아가서는, 컨덴서 전극(5191)은, 소스 신호선(18)과 전자 결합을 하는 것이면 어떠한 구성이어도 된다. 예를 들면, 인접한 소스 신호선(18) 사이에 전극을 형성 또는 배치하고, 소스 신호선(18)과 전자 결합시킨 구성이어도 된다.

도 350에서도 설명한 바와 같이, P 채널의 트랜지스터(11a)의 게이트 전위가 애노드 전위 V_{dd} 에 가까워지면, 양호한 흑색 표시를 실현할 수 있다. 트랜지스터(11a)의 게이트 전위는, 프로그램 전류 I_w 의 기입시의 소스 신호선(18)이다. 따라서, 흑색 표시시(흑색 기입시)의 소스 신호선(18) 전위를 어레이마다 측정(계측 또는 입수)할 수 있으면 된다. 측정하는 전압은, V0 전압 혹은 그 근방 전압이다. 이 전압이 어레이 또는 표시 패넬에서 변화한다.

도 519와 같이 구성하고, 소스 드라이버 회로(IC)(14)의 출력을 0으로 한다. 즉, 프로그램 전류 $I_w=0$ 이기 때문에, 흑색 표시이다. 그러면, 소스 신호선(18)의 전위도 흑색 표시를 실현하기 위한 전위로 된다. 소스 신호선(18)과 컨덴서 전극(5191)은 교류적(전자적)으로 결합하고 있기 때문에, 전체 소스 신호선(컨덴서 전극(5191)과 중첩되어 있는(전자 결합하고 있는) 소스 신호선(18))의 전위를 평균한 전위가, 컨덴서 전극(5191)에 유기된다. 이 유기된 전위를 V_n 으로 한다. 이 전위를 안정시키기 위해, 도 519에 도시하는 바와 같이 컨덴서 C를 접속해 두어도 된다.

컨덴서 전극(5191)의 전위 V_n 은 버퍼(502)를 통하여 아날로그-디지털 변환 회로(AD 컨버터)(5193)에서 디지털 신호로 변환된다. 디지털 신호로 변환된 V_n 데이터는, 가산 회로(5192)에 입력된다.

이 V_n 데이터는 흑색 표시에서의 소스 신호선(18) 전위를 평균한 것이기 때문에, V_0 전압 근방이고, V_n 전압에서는 완전한 흑색 표시는 기대할 수 없다. 그 때문에, V_n 전압보다 소정의 값만큼 V_{dd} 전압으로 높게 할 필요가 있다(구동용 트랜지스터(11a)가 P 채널인 경우이다. 구동용 트랜지스터(11a)가 N 채널인 경우에는 반대로 된다). 그 때문에, 도 519에 도시하는 바와 같이, 가산 회로(5192)에 일정한 전압 ADDV로 되는, 8비트 데이터를 가산한다. ADDV 데이터의 크기는, 0.05 이상 0.2V 이하의 범위로 설정하는 것이 바람직하다. 또한, 도 519에 도시하는 바와 같이 가변할 수 있도록 구성하는 것이 바람직하다. 가변은, 예를 들면, 점등률에 따라서 실시한다.

ADDV와 V_n 데이터를 가산한 전압이, 프리차지 전압 V_{pc} 로 된다. V_{pc} 데이터는 소스 드라이버 회로(IC)(14)의 전자 볼륨(501) 등에 의해 아날로그 데이터로 되어, 화소에 프리차지 전압으로서 인가된다.

도 519의 실시예는, 소스 신호선(18)의 전위를 검출하는 방법이었다. 도 520의 방식은, 표시 영역(144) 또는 표시 패널의 특정 개소에 V_0 전압을 검출하는 더미 화소(5201)를 형성 또는 배치한 구성이다.

도 520의 (a)에 도시하는 바와 같이, 더미 화소(5201)에는, 화소(16)와 동일한 사이즈, 형상의 구동용 트랜지스터(11a)가 형성되어 있다. 도 520의 (b)에 도시하는 바와 같이 더미 화소(11a)는 표시 영역(144)의 일부의 영역에 형성되어 있다. 더미 화소(5201)의 구동용 트랜지스터(11a)는 게이트와 드레인 단자가 단락되어 있고, 흑색 표시 상태로 되어 있다.

트랜지스터(11c)가 클로즈하는 것에 의해, 구동용 트랜지스터(11a)의 게이트 단자 전압이 출력된다. 출력된 전압 V_n 은 아날로그-디지털 변환 회로(AD 컨버터)(5193)에서 디지털 신호로 변환된다. 디지털 신호로 변환된 V_n 데이터는, 가산 회로(5192)에 입력된다.

이 V_n 데이터는 흑색 표시시에 구동용 트랜지스터(11a)의 게이트 단자 전위이기 때문에, V_0 전압 근방이다. 그러나, V_n 전압에서는 완전한 흑색 표시는 기대할 수 없다. 그 때문에, V_n 전압보다 소정의 값만큼 V_{dd} 전압으로 높게 할 필요가 있다(구동용 트랜지스터(11a)가 P 채널인 경우이다. 구동용 트랜지스터(11a)가 N 채널인 경우에는 반대로 된다). 그 때문에, 도 519와 마찬가지로 도 520에 도시하는 바와 같이, 가산 회로(5192)에 일정한 전압 ADDV로 되는, 8비트 데이터를 가산한다. ADDV 데이터의 크기는, 0.05 이상 0.2V 이하의 범위로 설정하는 것이 바람직하다. 또한, 도 520에 도시하는 바와 같이 가변할 수 있도록 구성하는 것이 바람직하다. 가변은, 예를 들면, 점등률에 따라서 실시한다.

ADDV와 V_n 데이터를 가산한 전압이, 프리차지 전압 V_{pc} 로 된다. V_{pc} 데이터는 소스 드라이버 회로(IC)(14)의 전자 볼륨(501) 등에 의해 아날로그 데이터로 되어, 화소에 프리차지 전압으로서 인가된다.

또한, 도 519의 실시예에서는, V_n 전압 등을 디지털화하여 처리하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 아날로그 신호인 채로, 가산 처리 등을 실시해도 되는 것은 물론이다.

도 428은, SSEL 신호의 설명도이다. 도 428에 도시하는 바와 같이, SSEL=0에서는, 스위치 SP는 선택되지 않는다. 즉, 프리차지 전압 V_{pc} (도 427에서는 V_0 , V_1 , V_2)는 인가되지 않는다. 따라서, 프리차지 전압 구동은 해당 소스 신호선(18)에 실시되지 않는다. SSEL=1에서는, 스위치 SP1이 선택되고, 해당 소스 신호선(18)에 V_0 전압이 소정의 기간 인가된다. 프리차지 전압 $V_{pc}=V_0$ 이 인가된 후, 전류 구동이 실시된다. 단, V_0 에서는 계조 0이기 때문에, 프로그램 전류 I_w 도 0이다. 이 경우에는, 화소(16)의 구동용 트랜지스터(11a)는, 전류가 흐르지 않도록, 게이트 단자 전위가 변화한다. 그 때문에, V_0 전압 인가 후에도 소스 신호선(18) 전위는 변화한다.

SSEL=2에서는, 스위치 SP2가 선택되고, 해당 소스 신호선(18)에 V_1 전압이 소정의 기간 인가된다. 프리차지 전압 $V_{pc}=V_1$ 이 인가된 후, 전류 구동이 실시된다. 마찬가지로, SSEL=3에서는, 스위치 SP3이 선택되고, 해당 소스 신호선(18)에 V_2 전압이 소정의 기간 인가된다. 프리차지 전압 $V_{pc}=V_2$ 가 인가된 후, 전류 구동이 실시된다.

이상의 실시예는, 프리차지 전압 회로의 실시예였다. 도 429는 프리차지 전류 회로의 실시예이다. IDATA에 의해 전자 볼륨(501b)으로부터의 출력 전압 V_a 가 변화한다. V_a 전압은, 오피 앰프(502)의 정극성의 단자에 인가된다. 오피 앰프(502) 및 트랜지스터(158a)와 저항 R로 정전류 회로를 구성하고 있다. 각 정전류 회로의 출력 전류(프리차지 전류)는 저항 R(R_a , R_b , R_c)의 값에 따라 변화시킬 수(조정할 수) 있다.

트랜지스터(158a1)에는, 프리차지 전류 I_0 이 흐른다. 트랜지스터(158a2)에는, 프리차지 전류 I_1 이 흐른다. 마찬가지로, 트랜지스터(158a2)는, 프리차지 전류 I_2 가 흐른다. 어떤 프리차지 전류가 단자(2884)에 출력될지는, SSEL 신호에 의해 스위치 SP가 제어되는 것에 의해 실시된다.

도 430은, 도 429에 있어서의 SSEL 신호의 설명도이다. 도 430에 도시하는 바와 같이, SSEL=0에서는, 스위치 SP는 선택되지 않는다. 즉, 프리차지 전류 Ic(도 429에서는 I0, I1, I2)는 인가되지 않는다. 따라서, 프리차지 전류 구동은 해당 소스 신호선(18)에는 실시되지 않는다. SSEL=1에서는, 스위치 SP1이 선택되고, 해당 소스 신호선(18)에 I0 전류가 소정의 기간 인가된다. 프리차지 전류 I0이 인가된 후, 전류 구동이 실시된다. 단, 계조 0이기 때문에, 프로그램 전류 Iw도 0이다. 이 경우에는, 화소(16)의 구동용 트랜지스터(11a)는, 전류가 흐르지 않도록, 게이트 단자 전위가 변화한다.

SSEL=2에서는, 스위치 SP2가 선택되고, 해당 소스 신호선(18)에 I1 전류가 소정의 기간 인가된다. 프리차지 전류 Ic=I1이 인가된 후, 프로그램 전류 구동이 실시된다. 마찬가지로 SSEL=3에서는, 스위치 SP3이 선택되고, 해당 소스 신호선(18)에 I2 전류가 소정의 기간 인가된다. 프리차지 전류 Ic=I1이 인가된 후, 프로그램 전류 구동이 실시된다.

또한, 도 427의 프리차지 전압 회로와, 도 429의 프리차지 전류 회로를 조합해도 되는 것은 물론이다.

도 403에서는, 프리차지 전압을 인가하는 기간은 일례로서 1μsec로 하고 있다. 따라서, 1H 시간-1μsec가 전류 프로그램 기간이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 다른 구성 혹은 상태 혹은 시간 등이어도 되는 것은 물론이다(도 471의 실시예를 참조할 것). 또한, 전압 구동 혹은 프리차지 전압 구동 및 전류 구동에 관한 사항은, 도 16, 도 75~도 79, 도 127~도 142, 도 213, 도 238, 도 257~도 258, 도 263, 도 293~도 297, 도 308~도 313, 도 331~도 349, 도 351~도 354 등에 설명하고 있다. 이들의 도면 등에서 설명 혹은 기재한 사항이 적용 혹은 준용 혹은 유사하므로 생략한다.

과전류(프리차지 전류 혹은 디스차지 전류) 구동에 관한 사항은, 도 381~도 422에서 설명하고 있다. 이들의 도면 등에서 설명 혹은 기재한 사항이 적용 혹은 준용 혹은 유사하므로 생략한다. 이상의 사항은 본 발명의 다른 실시예에도 적용된다. 또한, 서로 조합할 수 있다.

도 403 등의 실시예는, RGB가 각 8비트(256계조 표시)인 것으로서 설명을 한다. 또한, 본 발명은, 이전에도 설명한 바와 같이 RGB에 한정되는 것은 아니다. 단색이어도 되고, 또한, 시안, 옐로우, 마젠타 등이어도 되고, RGB 외에 추가로, 백색(W)의 4색 등이어도 된다. 도 403의 (a)는 계조 0으로부터 계조 255로 변화시키는 실시예이다. 계조 0과 계조 255 등의 전위차가 클 때에는, 백 전압 프리차지(V255 전압을 인가)가 실시된다. 도 403의 (a)에 도시하는 바와 같이 1H의 최초의 기간(또한, 1H의 최초의 기간에 한정되는 것은 아니다)으로부터 1μsec의 기간에 백 전압 프리차지가 실시된다. 백 전압 프리차지의 실시예에 의해, 소스 신호선(18)에 전압이 인가되어, 소스 신호선(18) 전위는 V255로 된다. 그 후, 전류 프로그램이 실시되고, 화소(16)의 구동용 트랜지스터(11a)의 특성에 따라서 소스 신호선(18) 전위가 보정된다. 일례로서 도 403의 (a)에서는, 소스 신호선(18) 전위가 애노드 전위 Vdd의 방향으로 상승한다.

도 403의 (b)는 계조 255로부터 계조 0으로 변화시키는 실시예이다. 계조 255와 계조 0 등의 전위차가 클 때에는, 흑 전압 프리차지(V0 전압을 인가)가 실시된다. 도 403의 (b)에 도시하는 바와 같이 1H의 최초의 기간(또한, 1H의 최초의 기간에 한정되는 것은 아니다)으로부터 1μsec의 기간에 흑 전압 프리차지가 실시된다. 흑 전압 프리차지의 실시예에 의해, 소스 신호선(18)에 전압 V0이 인가되어, 소스 신호선(18) 전위는 GND 전압에 가까운 1/0로 된다. 그 후, 전류 프로그램이 실시되고, 화소(16)의 구동용 트랜지스터(11a)의 특성에 따라서 소스 신호선(18) 전위가 목표의 프로그램 전류와 동일한 전류가 흐르도록 보정된다. 일례로서 도 403의 (b)에서는, 소스 신호선(18) 전위가 접지(GND) 전위의 방향으로 하강한다.

도 403의 (c)는 계조 0으로부터 계조 200으로 변화시키는 실시예이다. 계조 0과 계조 200 등의 비교적 전위차가 클 때에는, 백 전압 프리차지(V255 전압을 인가)가 실시된다. 또한, 흑 전압 프리차지는, 전체 계조의 1/4보다 저계조 영역으로 변화할 때에 실시된다. 백 전압 프리차지는, 전체 계조의 1/2보다 고계조 영역으로 변화할 때에 실시된다. 도 403의 (c)에 도시하는 바와 같이 1H의 최초의 기간(또한, 1H의 최초의 기간에 한정되는 것은 아니다)으로부터 1μsec의 기간에 백 전압 프리차지가 실시된다. 백 전압 프리차지의 실시예에 의해, 소스 신호선(18)에 전압이 인가되어, 소스 신호선(18) 전위는 V255로 된다. 그 후, 전류 프로그램이 실시되고, 화소(16)의 구동용 트랜지스터(11a)가 주로 동작하여, 목표의 계조 전류 200에 상당하는 소스 신호선(18) 전위로 보정된다.

도 404는 과전류 구동(프리차지 전류 구동)과 전압 구동(프리차지 전압 구동)의 양쪽을 실시하는 구동 방법의 설명도이다. 또한, 회로 구성은 일례로서 도 405의 구성인 것으로 한다. 스위치(151)는 ON에서 클로즈 상태, OFF에서 오픈 상태로 한다. 스위치(151a)가 ON에서 프리차지 전압 Vpc가 단자(155)에 인가된다(소스 신호선(18)에 인가된다). 스위치(151b)가 ON에서 프로그램 전류 Iw가 단자(155)에 인가된다(소스 신호선(18)에 인가된다). 또한, 스위치 Dc가 ON에서 과전류(프리차지 전류 혹은 디스차지 전류) Iw가 단자(155)에 인가된다(소스 신호선(18)에 인가된다).

도 404의 (a)에 도시하는 바와 같이, 스위치(151a)가 ON에서 프리차지 전압 V_{pc} 가 단자(155)에 인가되는 상태와, 스위치(151b)가 ON에서 프로그램 전류 I_w 가 단자(155)에 인가되는 상태가 동시에 발생해도 동작상은 문제가 없다. 정전류 회로(431c) 등은 내부 임피던스가 높아, 정전압 회로(프리차지 전압 회로)과 단락해도 정상 동작을 실시할 수 있기 때문이다. 단, 도 404의 (b), (c)에 도시하는 바와 같이, 스위치 Dc가 ON 상태일 때에는, 스위치(151a)는 OFF 상태로 하는 것이 바람직하다. 과전류(프리차지 전류 혹은 디스차지 전류) 회로로부터의 전류가 정전압 회로에 돌입 전류로서 흐르는 경우가 있기 때문이다. 도 404의 (a)에 도시하는 바와 같이, 스위치 Dc가 OFF 상태일 때에는, 스위치(151a)가 ON 상태이더라도 문제는 없다.

도 404의 (b), (c)에 도시하는 바와 같이, 스위치 Dc가 ON하는 기간을 제어함으로써, 단자(155)에 과전류(프리차지 전류 혹은 디스차지 전류)가 인가되는 기간을 조정할 수 있다. 도 404의 (b)에서는, 과전류(프리차지 전류 혹은 디스차지 전류)가 인가되는 기간은 $1/(3H)$ 이고, 도 404의 (c)에서는, 과전류(프리차지 전류 혹은 디스차지 전류)가 인가되는 기간은 $1/(4H)$ 이다. 도 404의 (c)쪽이, 도 404의 (b)보다 소스 신호선(18)의 전위 변화를 크게 할 수 있다.

도 407, 도 408에서는, 프로그램 전류 I_w 를 제어하는 D0~D7 스위치를 조작하는 구성을 설명했다. 도 409는 더욱 자세한 실시예 혹은 다른 실시예이다.

과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 스위치 Dc는 내부 배선(150b)에 인가하는 온 오프 신호에 의해 온하는 기간을 제어할 수 있다. 도 409의 실시예에서는, 1H의 0, 1/4, 2/4, 3/4의 4개의 기간으로 제어할 수 있다. 마찬가지로, 강제적으로 프로그램 전류 I_w 를 제어하는 스위치 D0~D를 조작(제어)하는 기간(강제 제어라고 기재함)도, 도 409의 실시예에서는, 1H의 0, 1/4, 2/4, 3/4의 4개의 기간으로 제어할 수 있다. 또한, 도 409에서는 정규의 프로그램 전류를 흘리는 기간은 데이터 제어로서 기재하고 계조 4로부터 계조 5(4+5라고 기재) 등으로 기재하고 있다. 도 409의 실시예에서는, 적어도 1H의 1/2의 기간은, 정규의 프로그램 전류를 흘리는 기간이다.

정규의 프로그램 전류를 흘리는 기간(정규의 프로그램 전류로 되도록 영상 신호에 해당하는 스위치 D0~D7이 설정(조작 혹은 제어)되어 있는 상태)은 1H의 모든 기간이어도 된다. 즉, 1H 이하 $1/(4H)$ 이상의 기간이면 어느 것이어도 된다.

Dc 스위치와 강제성에 의한 D7~D0 스위치의 조작(제어)은, 계조의 변화에 따라서 실시된다. Dc 스위치와 강제성에 의한 D7~D0 스위치의 조작(제어)은, 컨트롤러 IC(회로)(760)에 의해, 1H마다의 영상 신호 변화 혹은 1F(1프레임) 내의 영상 신호 변화 혹은 변화 비율 등에 기초하여 판단된다. 판단된 데이터 혹은 제어 신호는 차동 신호 등으로 변환되어 소스 드라이버 회로(IC)(14)에 전송된다.

도 409의 (a)에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 스위치 Dc는 1H의 최초부터 $1/(4H)$ 의 기간 온(클로즈)된다. 따라서, 1H의 최초부터 $1/(4H)$ 기간, 소스 신호선(18)에는 과전류(프리차지 전류)가 인가된다. 또한, 프로그램 전류를 흘리는 스위치 D0~D7은 1H의 최초부터 $1/(2H)$ 의 기간, 강제적으로(클로즈)된다. 따라서, Dc 스위치의 동작에 의해 흐르는 과전류(프리차지 전류 혹은 디스차지 전류) I_d 에 가산되어, 1H의 최초부터 $1/(2H)$ 기간, 소스 신호선(18)에는 스위치 D0~D7에 의한 프리차지 전류가 인가된다.

과전류(프리차지 전류 혹은 디스차지 전류) I_d 와 가산되는 기간은, 1H의 최초부터 $1/(4H)$ 기간으로, 비교적 짧다. 정규의 프로그램 전류를 흘리는 기간(정규의 프로그램 전류로 되도록 영상 신호에 해당하는 스위치 D0~D7이 설정(조작 혹은 제어)되어 있는 상태)은, 1H의 후반 $1/(2H)$ 기간에 실시된다. 이상의 동작에 의해, 소스 신호선(18)의 전위가 1H의 최초부터 $1/(2H)$ 기간에 계조 4로부터 계조 5 레벨로 변화하고, 1H의 후반의 $1/(2H)$ 기간에, 정규의 프로그램 전류에 의해 보정되어 화소(16)의 구동용 트랜지스터(11a)가 목표의 프로그램 전류 I_w 를 흘리도록 전류 프로그램이 실시된다.

도 409의 (b)에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 스위치 Dc는 1H의 최초부터 $1/(2H)$ 의 기간 온(클로즈)된다. 따라서, 1H의 최초부터 $1/(2H)$ 기간, 소스 신호선(18)에는 과전류(프리차지 전류)가 인가된다. 또한, 프로그램 전류를 흘리는 스위치 D0~D7은 1H의 최초부터 $1/(2H)$ 의 기간, 강제적으로(클로즈)된다. 따라서, Dc 스위치의 동작에 의해 흐르는 과전류(프리차지 전류 혹은 디스차지 전류) I_d 에 가산되어, 1H의 최초부터 $1/(2H)$ 기간, 소스 신호선(18)에는 스위치 D0~D7에 의한 프리차지 전류가 인가된다.

정규의 프로그램 전류를 흘리는 기간(정규의 프로그램 전류로 되도록 영상 신호에 해당하는 스위치 D0~D7이 설정(조작 혹은 제어)되어 있는 상태)은, 1H의 후반 $1/(2H)$ 기간에 실시된다.

이상의 동작에 의해, 소스 신호선(18)의 전위가 1H의 최초부터 1/(2H) 기간에 계조 1로부터 계조 2 레벨로 변화하고, 1H의 후반의 1/(2H) 기간에, 정규의 프로그램 전류에 의해 보정되어 화소(16)의 구동용 트랜지스터(11a)가 목표의 프로그램 전류 I_w 를 흘리도록 전류 프로그램이 실시된다. 이상과 같이, 동작 개시의 소스 신호선(18)의 전위가 계조 1 레벨일 때는, Dc 스위치를 온하는 기간을 길게 하여, 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 장시간, 소스 신호선(18)에 인가할 필요가 있다.

도 409의 (c)에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 스위치 Dc는 1H의 최초부터 3/(4H)의 기간 온(클로즈)된다. 따라서, 1H의 최초부터 3/(4H) 기간, 소스 신호선(18)에는 과전류(프리차지 전류)가 인가된다. 또한, 프로그램 전류를 흘리는 스위치 D0~D7은 1H의 최초부터 1/(4H)의 기간, 강제적으로(클로즈)된다. 따라서, Dc 스위치의 동작에 의해 흐르는 과전류(프리차지 전류 혹은 디스차지 전류) I_d 에 가산되어, 1H의 최초부터 1/(4H) 기간, 소스 신호선(18)에는 스위치 D0~D7에 의한 프리차지 전류가 인가된다.

정규의 프로그램 전류를 흘리는 기간(정규의 프로그램 전류로 되도록 영상 신호에 해당하는 스위치 D0~D7이 설정(조작 혹은 제어)되어 있는 상태)은, 1H의 후반 1/(4H) 기간에 실시된다.

이상의 동작에 의해, 소스 신호선(18)의 전위가 1H의 최초부터 3/(4H) 기간에 계조 0으로부터 계조 1 레벨로 변화하고, 1H의 후반의 1/(4H) 기간에, 정규의 프로그램 전류에 의해 보정되어 화소(16)의 구동용 트랜지스터(11a)가 목표의 프로그램 전류 I_w 를 흘리도록 전류 프로그램이 실시된다. 이상과 같이, 동작 개시의 소스 신호선(18)의 전위가 계조 0 레벨일 때는, Dc 스위치를 온하는 기간을 가장 길게 하여, 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 장시간, 소스 신호선(18)에 인가할 필요가 있다.

도 409의 (d)에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 스위치 Dc는 동작하지 않는다. 프로그램 전류를 흘리는 스위치 D0~D7은 1H의 최초부터 1/(2H)의 기간, 강제적으로(클로즈)된다. 따라서, Dc 스위치의 동작에 의해 흐르는 과전류(프리차지 전류 혹은 디스차지 전류) I_d 에 가산되어, 1H의 최초부터 1/(2H) 기간, 소스 신호선(18)에는 스위치 D0~D7에 의한 프리차지 전류가 인가된다.

정규의 프로그램 전류를 흘리는 기간(정규의 프로그램 전류로 되도록 영상 신호에 해당하는 스위치 D0~D7이 설정(조작 혹은 제어)되어 있는 상태)은, 1H의 후반 1/(2H) 기간에 실시된다. 이상의 동작에 의해, 소스 신호선(18)의 전위가 1H의 최초부터 1/(2H) 기간에 계조 0으로부터 계조 1 레벨로 대략 변화하고, 1H의 후반의 1/(2H) 기간에, 정규의 프로그램 전류에 의해 보정되어 화소(16)의 구동용 트랜지스터(11a)가 목표의 프로그램 전류 I_w 를 흘리도록 전류 프로그램이 실시된다. 이상과 같이, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 Dc 스위치를 동작시키지 않는 것은, 계조 변화가 16계조째로부터 18계조째와 같이, 변화 전의 계조가 비교적 크고(소스 신호선(18) 전위가 높고), 16으로부터 18계조째로 비교적 변화가 작기 때문이다.

이상의 실시예에서는, Dc 스위치는 연속하여 온 상태를 유지시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 409의 (e)는, Dc 스위치를 1H 기간은 연속하여 온 상태를 유지시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 409의 (e)는, Dc 스위치를 1H 기간에 복수회(2회) 온시킨 실시예이다. 도 409의 (e)에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 흘리는 스위치 Dc는 1H의 최초부터 1/(4H)의 기간과, 1/(2H) 경과 후의 1/(4H)의 기간에 온(클로즈)된다. 따라서, 전체적으로 1H의 1/(2H) 기간, 소스 신호선(18)에는 과전류(프리차지 전류)가 인가된다. 또한, 프로그램 전류를 흘리는 스위치 D0~D7은 1H의 최초부터 1/(2H)의 기간, 강제적으로(클로즈)된다.

따라서, Dc 스위치의 동작에 의해 흐르는 과전류(프리차지 전류 혹은 디스차지 전류) I_d 에 가산되어, 1H의 최초부터 1/(4H) 기간에, 소스 신호선(18)에는 스위치 D0~D7에 의한 프리차지 전류가 인가된다. 정규의 프로그램 전류를 흘리는 기간(정규의 프로그램 전류로 되도록 영상 신호에 해당하는 스위치 D0~D7이 설정(조작 혹은 제어)되어 있는 상태)은, 1H의 후반 1/(4H) 기간에 실시된다.

이상의 동작에 의해, 소스 신호선(18)의 전위가 1H의 최초부터 3/(4H) 기간에 계조 2로부터 계조 3 레벨로 변화하고, 1H의 후반의 1/(4H) 기간에, 정규의 프로그램 전류에 의해 보정되어 화소(16)의 구동용 트랜지스터(11a)가 목표의 프로그램 전류 I_w 를 흘리도록 전류 프로그램이 실시된다. 이상과 같이, 전류 구동에서는, 정전류는 가산할 수 있다. 따라서, 과전류(프리차지 전류 혹은 디스차지 전류) I_d 는 1H의 후반 이외(최종 이외)의 어떠한 기간에 인가해도 된다. 또한, 복수회로 분할하여 인가해도 된다. 이상의 사항은, D0~D7 스위치의 강제 제어에 대하여도 적용할 수 있는 것은 물론이다.

이상의 실시예에서는, Dc 스위치는 1H의 최초부터 온 상태로 하는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 409의 (f)는, Dc 스위치를 최초부터 1/(4H) 기간 경과 후에 온시킨 실시예이다. 또한, 프로그램 전류를 흘리는 스위치 D0~D7은 1H의 최초부터 3/(4H)의 기간, 강제적으로 (클로즈)된다.

따라서, Dc 스위치의 동작에 의해 흐르는 과전류(프리차지 전류 혹은 디스차지 전류) Id에 가산되어, 1H의 최초부터 1/(4H) 기간에, 소스 신호선(18)에는 스위치 D0~D7에 의한 프리차지 전류가 인가된다.

정규의 프로그램 전류를 흘리는 기간(정규의 프로그램 전류로 되도록 영상 신호에 해당하는 스위치 D0~D7이 설정(조작 혹은 제어)되어 있는 상태)은, 1H의 후반 1/(4H) 기간에 실시된다. 이상의 동작에 의해, 소스 신호선(18)의 전위가 1H의 최초부터 3/(4H) 기간에 계조 5로부터 계조 6 레벨로 변화하고, 1H의 후반의 1/(4H) 기간에, 정규의 프로그램 전류에 의해 보정되어 화소(16)의 구동용 트랜지스터(11a)가 목표의 프로그램 전류 Iw를 흘리도록 전류 프로그램이 실시된다. 이상과 같이, 전류 구동에서는, 정전류는 가산할 수 있다. 따라서, 과전류(프리차지 전류 혹은 디스차지 전류) Id는, 1H의 최초부터 인가하는 것에 한정되는 것은 아니다. 1H의 후반 이외(최종 이외)의 어떠한 기간에 인가해도 된다. 또한, 복수회로 분할하여 인가해도 된다. 이상의 사항은, D0~D7 스위치의 강제 제어에 대하여도 적용할 수 있는 것은 물론이다.

또한, 이상의 실시예의 제어 기간 혹은 조작 기간은 1H로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 1H 이상의 특정한 기간 내에 실시해도 되는 것은 물론이다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류) 구동과 프리차지 전압(프로그램 전압) 구동을 조합하여 실시해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 410은, 과전류(프리차지 전류 혹은 디스차지 전류) 구동과 프리차지 전압(프로그램 전압) 구동을 조합한 실시예이다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류) Id 인가 기간도 변화시킨 실시예이다.

도 410은, 프리차지 전압은 0계조에 대응하는 V0 전압인 경우이다. 우선, 도 410의 (a1), (a2), (a3)에 대하여 설명을 한다. 도 410의 (a1)에서는, 프리차지 전압을 1H의 최초에 1μsec 인가하고 있다. 또한, 도 410의 (a2)에 도시하는 바와 같이 1H의 최초부터 1/(2H)의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가하고 있다. 따라서, 도 410의 (a3)에 도시하는 바와 같이 t1~t0의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V0이다. 또한, t0~t3의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) Id(흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 강하한다. t3~t2(1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다.

따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다. 이상의 도 410의 (a)의 실시예에서는, 프리차지 전압 V0을 인가함으로써 소스 신호선(18)의 전위를 소정값으로 한 후, 과전류(프리차지 전류 혹은 디스차지 전류) Id에 의한 전류 프리차지를 실시한다. 따라서, 적절한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 이론적으로 예측하고, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

다음으로, 본 발명의 다른 실시예에 있어서의 구동 방법에 대하여 도 410의 (b1), (b2), (b3)을 이용하여 설명을 한다. 도 410의 (b1)에서는, 프리차지 전압을 1H의 최초부터 txμsec의 시간 인가하고 있다. 또한, 도 410의 (b2)에 도시하는 바와 같이 1H의 최초부터 1/(2H)의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가하고 있다. 따라서, 도 410의 (b3)에 도시하는 바와 같이, t1~t0의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V0이다. 또한, t0~t3의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) Id(흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 강하한다. t3~t2(1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

이상의 도 410의 (b)의 실시예에서는, 프리차지 전압 V0을 인가하는 기간 tx를 제어함으로써, 과전류(프리차지 전류 혹은 디스차지 전류) Id에 의한 전류 프리차지의 인가 기간을 조정할 수 있다. 따라서, 적절한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 이론적으로 예측하여, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

도 410의 (a), (b)는 프리차지 전압을 인가하는 횟수는 1회인 경우였다. 그러나, 본 발명은, 프리차지 전압을 인가하는 기간은, 1회에 한정되는 것은 아니다. 프리차지 전압을 인가함으로써, 소스 신호선(18) 전위를 리셋할 수 있어, 리셋에

의해 과전류(프리차지 전류 혹은 디스차지 전류) Id 구동에 의한 소스 신호선(18)의 전위 제어(조정)가 용이하게 되기 때문이다. 또한, 프리차지 전압 V_{pc} 는 V_0 전압에 한정되는 것은 아니다. 도 127~도 143, 도 293, 도 311, 도 312, 도 339~도 344 등에서 설명한 바와 같이 프리차지 전압(프로그램 전압과 같거나 유사)은 다중 다양한 전압을 설정할 수 있다.

도 410의 (c1), (c2), (c3)은, 1H 기간(소정의 시간 간격)에 복수회, 소스 신호선(18)에 프리차지 전압을 인가한 실시예이다. 도 410의 (c1)에서는, 프리차지 전압을 1H의 최초부터와, t_3 시간부터의 2회 $1\mu\text{sec}$ 인가하고 있다. 또한, 도 410의 (c2)에 도시하는 바와 같이 1H의 최초부터 $4/(5H)$ 의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가하고 있다. 따라서, 도 410의 (c3)에 도시하는 바와 같이 $t_1 \sim t_0$ 의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V_0 이다. $t_0 \sim t_3$ 의 기간은 과전류(프리차지 전류 혹은 디스차지 전류) Id에 의해 소스 신호선(18)의 전위는 강하한다. 그러나, $t_3 \sim t_4$ 의 기간에, 프리차지 전압을 인가하기 위해, 소스 신호선(18)의 전위는 V_0 으로 리세트된다. $t_4 \sim t_5$ 의 기간은 과전류(프리차지 전류 혹은 디스차지 전류) Id에 의해 소스 신호선(18)의 전위는 재차 강하한다. $t_5 \sim t_2$ (1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

이상의 도 410의 (c)의 실시예에서는, 프리차지 전압 V_0 을 인가함으로써 소스 신호선(18)의 전위를 소정값으로 리세트하고, 최종의 프리차지 전압을 인가한 시점부터 전류 프로그램의 동작이 개시된다. 따라서, 프리차지 전압을 인가하는 타이밍을 제어 혹은 조정함으로써, 적절한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 이론적으로 제어하는 것이 가능하다. 그 때문에, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하여, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

도 410은, 일정한 프리차지 전압(프로그램 전압)을 인가한 실시예였다. 도 411은 프리차지 전압을 변화시킨 실시예이다. 또한, 일례로서 도 411에 있어서의 과전류(프리차지 전류 혹은 디스차지 전류) Id는 1H의 최초부터 $1/(2H)$ 의 기간 인가하고 있는 것으로 한다($t_1 \sim t_3$ 기간).

도 411의 (a1)은, 프리차지 전압은 0계조에 대응하는 V_0 전압인 경우이다. 도 411의 (b1)은, 프리차지 전압은 1계조에 대응하는 V_1 전압인 경우이다. 도 411의 (c1)은, 프리차지 전압은 2계조에 대응하는 V_2 전압인 경우이다.

도 411의 (a1), (a2), (a3)에 대하여 설명을 한다. 도 411의 (a1)에서는, 프리차지 전압 V_0 을 1H의 최초에 $1\mu\text{sec}$ 인가하고 있다. 또한, 도 411의 (a2)에 도시하는 바와 같이 1H의 최초부터 $1/(2H)$ 의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가하고 있다. 따라서, 도 411의 (a3)에 도시하는 바와 같이, $t_1 \sim t_0$ 의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V_0 이다.

또한, $t_0 \sim t_3$ 의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) Id(흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 강하한다. $t_3 \sim t_2$ (1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

도 411의 (a)의 실시예에서는, 프리차지 전압 V_0 을 인가함으로써 소스 신호선(18)의 전위를 소정값으로 한 후, 과전류(프리차지 전류 혹은 디스차지 전류) Id에 의한 전류 프리차지를 실시한다. 따라서, 적절한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 이론적으로 예측하여, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

다음으로, 도 411의 (b1), (b2), (b3)에 대하여 설명을 한다. 도 411의 (b1)에서는, 1계조제에 해당하는 프리차지 전압 V_1 을 1H의 최초에 $1\mu\text{sec}$ 인가하고 있다. 또한, 도 411의 (b2)에 도시하는 바와 같이 1H의 최초부터 $1/(2H)$ 의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가하고 있다. 따라서, 도 411의 (b3)에 도시하는 바와 같이 $t_1 \sim t_0$ 의 기간은, 소스 신호선(18)의 전위는 1계조의 전압 전위 V_1 이다. 또한, $t_0 \sim t_3$ 의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) Id(흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 강하한다. $t_3 \sim t_2$ (1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

도 411의 (b)의 실시예에서는, 프리차지 전압 V_1 을 인가함으로써 소스 신호선(18)의 전위를 소정값으로 한 후, 과전류(프리차지 전류 혹은 디스차지 전류) Id에 의한 전류 프리차지를 실시한다. 프리차지 전압 V_1 은 V_0 보다 소스 신호선(18)에

기입하는 전위가 낮다. 한편, 과전류(프리차지 전류)의 인가 시간은 일정하고, 또한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기도 Id0으로 일정하다. 따라서, 도 411의 (a)보다 소스 신호선(18)의 전위를 낮게 할 수 있기 때문에, 보다 고휘도 표시를 실현할 수 있다.

또한, 적절한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 이론적으로 예측하여, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

또한, 도 411의 (c1), (c2), (c3)에 대하여 설명을 한다. 도 411의 (c1)에서는, 2계조째에 해당하는 프리차지 전압 V2를 1H의 최초에 1μsec 인가하고 있다. 또한, 도 411의 (c2)에 도시하는 바와 같이 1H의 최초부터 1/(2H)의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id를 소스 신호선(18)에 인가하고 있다. 따라서, 도 411의 (c3)에 도시하는 바와 같이 t1~t0의 기간은, 소스 신호선(18)의 전위는 2계조째의 전압 전위 V2이다.

또한, t0~t3의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) Id(흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 강하한다. t3~t2(1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

도 411의 (c)의 실시예에서는, 프리차지 전압 V2를 인가하는 것에 의해 소스 신호선(18)의 전위를 소정값으로 한 후, 과전류(프리차지 전류 혹은 디스차지 전류) Id에 의한 전류 프리차지를 실시한다. 프리차지 전압 V2는 V1보다 더욱 소스 신호선(18)에 기입하는 전위가 낮다. 한편, 과전류(프리차지 전류)의 인가 시간은 일정하고, 또한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기도 Id0으로 일정하다. 따라서, 도 411의 (b)보다 소스 신호선(18)의 전위를 낮게 할 수 있기 때문에, 보다 고휘도 표시를 실현할 수 있다.

또한, 적절한 과전류(프리차지 전류 혹은 디스차지 전류) Id의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 이론적으로 예측하여, 컨트롤러 IC(회로)(760)(도시 생략)에 의해 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

이상과 같이, 프리차지 전압 Vpc의 크기 혹은 전위를 변화시킴으로써, 1H 경과했을 때의, 소스 신호선(18) 전위를 용이하게 제어할 수 있다.

도 411은, 일정한 프리차지 전압(프로그램 전압)으로 변화시킨 실시예였다. 도 412는, 과전류(프리차지 전류)를 변화시킨 실시예이다. 또한, 프리차지 전류를 변화시키는 것은, 도 392, 도 393, 도 394의 Dc0, Dc1 스위치 등을 제어함으로써 실현할 수 있다. 도 412의 (a1), (b1)에서는, 프리차지 전압은 V0으로 고정하고 있다. 도 412의 (c1)에서는 프리차지 전압을 인가하고 있지 않은 실시예이다.

도 412의 (a1), (a2), (a3)에 대하여 설명을 한다. 도 412의 (a1)에서는, 프리차지 전압 V0을 1H의 최초에 1μsec(t1~t0의 기간) 인가하고 있다. 또한, 도 412의 (a2)에 도시하는 바와 같이 1H의 최초(t1)~t4의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id0을 소스 신호선(18)에 인가하고 있다. t4~t3의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) Id1을 소스 신호선(18)에 인가하고 있다.

도 412의 (a3)에 도시하는 바와 같이 t1~t0의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V0이다. 또한, t0~t4의 기간은, 큰 과전류(프리차지 전류 혹은 디스차지 전류) Id0(흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 급격하게 강하한다. t4~t3의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) Id0보다 작은 과전류(프리차지 전류 혹은 디스차지 전류) Id1(흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 비교적 완만하게 강하한다. t3~t2(1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

도 412의 (a)의 실시예에서는, 프리차지 전압 V0을 인가함으로써 소스 신호선(18)의 전위를 소정값으로 한 후, 우선, 제1 과전류(프리차지 전류 혹은 디스차지 전류) Id0에 의한 전류 프리차지를 실시하여 소스 신호선의 전위를 급변시킨다. 다음으로 제2 과전류(프리차지 전류 혹은 디스차지 전류) Id1에 의한 전류 프리차지를 실시하여 소스 신호선의 전위를 목표 전위 가까이까지 가도록 한다. 최후에는, 목적의 영상 신호에 해당하는 프로그램 전류로 구동용 트랜지스터(11a)가 소정 전류를 흘리도록 전류 프로그램을 행한다. 이상과 같이 복수의 과전류(프리차지 전류 혹은 디스차지 전류) Id를 제어에 이용하고, 이들의 과전류(프리차지 전류 혹은 디스차지 전류)의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 조정함으로써 정밀도가 좋은 전류 프로그램을 실현할 수 있다.

또한, 소스 신호선(18)의 전위 변화를 이론적으로 예측 혹은 추측할 수 있기 때문에, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

다음으로, 도 412의 (b1), (b2), (b3)에 대하여 설명을 한다. 도 412의 (b1)에서는, 프리차지 전압 V_0 을 1H의 최초에 $1\mu\text{sec}(t_1 \sim t_0)$ 의 기간) 인가하고 있다. 또한, 도 412의 (b2)에 도시하는 바와 같이 1H의 최초(t_1)~ t_3 의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) I_{d1} 을 소스 신호선(18)에 인가하고 있다.

도 412의 (b3)에 도시하는 바와 같이, $t_1 \sim t_0$ 의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V_0 이다. 또한, $t_0 \sim t_3$ 의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) I_{d1} (흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 강하한다. $t_3 \sim t_2$ 의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

도 412의 (b)의 실시예에서는, 프리차지 전압 V_0 을 인가함으로써 소스 신호선(18)의 전위를 소정값으로 한 후, 비교적 작은 과전류(프리차지 전류 혹은 디스차지 전류) I_{d1} 에 의한 전류 프리차지를 실시하여 소스 신호선의 전위를 변화시킨다. 최후에는, 목적의 영상 신호에 해당하는 프로그램 전류로 구동용 트랜지스터(11a)가 소정 전류를 흘리도록 전류 프로그램을 행한다.

이상과 같이, 목표 프로그램 전류 혹은 소스 신호선(18) 전위로부터 적절한 크기의 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 제어에 이용하여, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 조정함으로써 정밀도가 좋은 전류 프로그램을 실현할 수 있다. 또한, 소스 신호선(18)의 전위 변화를 이론적으로 예측 혹은 추측할 수 있기 때문에, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

또한, 도 412의 (c1), (c2), (c3)에 대하여 설명을 한다. 도 412의 (c1)에서는, 프리차지 전압을 인가하고 있지 않다. 따라서, 소스 신호선(18)의 전위는 1H 전의 전위이다. 또한, 도 412의 (c2)에 도시하는 바와 같이 1H의 최초(t_1)~ t_4 의 기간에 제2 과전류(프리차지 전류 혹은 디스차지 전류) I_{d1} 을 소스 신호선(18)에 인가하고 있다. $t_4 \sim t_3$ 의 기간에 제2 과전류(프리차지 전류 혹은 디스차지 전류) I_{d0} 을 소스 신호선(18)에 인가하고 있다.

도 412의 (c3)에 도시하는 바와 같이, $t_0 \sim t_4$ 의 기간은, 비교적 작은 과전류(프리차지 전류 혹은 디스차지 전류) I_{d1} (흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 변화한다. $t_4 \sim t_3$ 의 기간은, 과전류(프리차지 전류 혹은 디스차지 전류) I_{d1} 보다 큰 과전류(프리차지 전류 혹은 디스차지 전류) I_{d0} (흡입 전류 방향)에 의해, 소스 신호선(18)의 전위는 급격하게 강하한다. $t_3 \sim t_2$ (1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

도 412의 (c)의 실시예에서는, 우선, 제2 과전류(프리차지 전류 혹은 디스차지 전류) I_{d1} 에 의한 전류 프리차지를 실시하여 소스 신호선의 전위를 변화시킨다. 다음으로 제1 과전류(프리차지 전류 혹은 디스차지 전류) I_{d0} 에 의한 전류 프리차지를 실시하여 소스 신호선의 전위를 목표 전위 가까이까지 가도록 한다. 최후에는, 목적의 영상 신호에 해당하는 프로그램 전류로 구동용 트랜지스터(11a)가 소정 전류를 흘리도록 전류 프로그램을 행한다.

이상과 같이 복수의 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 제어에 이용하여, 이들의 과전류(프리차지 전류 혹은 디스차지 전류)의 크기, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간을 조정함으로써 정밀도가 좋은 전류 프로그램을 실현할 수 있다. 또한, 프리차지 전압을 인가하지 않기 때문에, 이전 화소행에 인가한 전위로부터 상대적으로 전위를 변화시킬 수 있다. 이전 화소행에 인가한 소스 신호선(18)의 전위는 이론적으로 예측 혹은 추측할 수 있다. 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

도 412에서는 과전류(프리차지 전류 혹은 디스차지 전류)(프리차지 전류)를 1H 기간(소정 기간)에 변화시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 1H 기간(소정 기간)에 프리차지 전압을 변화시켜도 된다. 또한, 프리차지 전류와 프리차지 전압의 양쪽의 크기를 변화시켜도 되는 것은 물론이다. 또한, 프리차지 전류와 프리차지 전압의 양쪽의 인가 시간을 변화시켜도 되는 것은 물론이다.

도 413은 프리차지 전압의 인가 타이밍을 변화시킨 실시예이다. 과전류(프리차지 전류)는 동일한 것으로 하고 있다. 도 412의 (a1), (b1), (c1)에서는, 프리차지 전압은 V_0 으로 고정하고 있다. 도 413의 (a1), (a2), (a3)에 대하여 설명을 한다.

도 413의 (a1)에서는, 프리차지 전압 V_0 을 1H의 최초에 $1\mu\text{sec}(t_1 \sim t_0$ 의 기간) 인가하고 있다. 또한, 도 413의 (a2)에 도시하는 바와 같이 1H의 최초(t_1) $\sim t_5$ 의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) I_{d0} 을 소스 신호선(18)에 인가하고 있다.

도 413의 (a3)에 도시하는 바와 같이 $t_1 \sim t_0$ 의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V_0 이다. 또한, $t_0 \sim t_5$ 의 기간은, I_{d0} (일례로서 흡입 전류 방향으로 하고 있다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다)에 의해, 소스 신호선(18)의 전위는 급격하게 강하한다. $t_5 \sim t_2$ (1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

이상과 같이, 목표 프로그램 전류 혹은 소스 신호선(18) 전위로부터 적절한 크기의 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 제어에 이용하여, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간 혹은 크기를 조정함으로써 정밀도가 좋은 전류 프로그램을 실현할 수 있다. 또한, 소스 신호선(18)의 전위 변화를 이론적으로 예측 혹은 추측할 수 있기 때문에, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

마찬가지로, 도 413의 (b1), (b2), (b3)에 대하여 설명을 한다. 도 413의 (b1)에서는, 프리차지 전압 V_0 을 t_0 으로부터 $1\mu\text{sec}(t_0 \sim t_3$ 의 기간) 인가하고 있다. 또한, 도 413의 (b2)에 도시하는 바와 같이 1H의 최초(t_1) $\sim t_5$ 의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) I_{d0} 을 소스 신호선(18)에 인가하고 있다.

도 413의 (b3)에 도시하는 바와 같이 $t_1 \sim t_0$ 의 기간은, 소스 신호선(18)의 전위는 1H 전의 전위(이전 화소행에 전류 프로그램을 행하기 위해 인가한 소스 신호선(18) 전위)로부터 변화가 개시된다. 그 후, t_0 일 때에 프리차지 전압 V_0 을 t_0 으로부터 $1\mu\text{sec}(t_0 \sim t_1$ 기간) 인가하고 있다. 따라서, 소스 신호선(18) 전위는, V_0 전압으로 리세트된다.

$t_3 \sim t_5$ 의 기간은, I_{d0} (일례로서 흡입 전류 방향으로 하고 있다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다)에 의해, 소스 신호선(18)의 전위는 급격하게 강하한다. $t_5 \sim t_2$ (1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

이상과 같이, 임의의 시간에 프리차지 전압을 인가함으로써, 임의의 타이밍에서 규정된 소스 신호선(18) 전위(도 413에서는 V_0 전압)로부터 적절한 크기의 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 제어에 이용하여, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간 혹은 크기를 조정함으로써 정밀도가 좋은 전류 프로그램을 실현할 수 있다. 또한, 소스 신호선(18)의 전위 변화를 이론적으로 예측 혹은 추측할 수 있기 때문에, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

도 413의 (c)도 도 413의 (b)와 마찬가지이다. 도 413의 (c1)에서는, 프리차지 전압 V_0 을 t_3 으로부터 $1\mu\text{sec}(t_3 \sim t_4$ 의 기간) 인가하고 있다. 또한, 도 413의 (b2)에 도시하는 바와 같이 1H의 최초(t_1) $\sim t_5$ 의 기간에 과전류(프리차지 전류 혹은 디스차지 전류) I_{d0} 을 소스 신호선(18)에 인가하고 있다.

도 413의 (c3)에 도시하는 바와 같이, $t_1 \sim t_3$ 의 기간은, 소스 신호선(18)의 전위는 1H 전의 전위(이전 화소행에 전류 프로그램을 행하기 위해 인가한 소스 신호선(18) 전위)로부터 변화가 개시된다. 그 후, t_3 일 때에 프리차지 전압 V_0 을 t_3 으로부터 $1\mu\text{sec}(t_3 \sim t_4$ 기간) 인가하고 있다. 따라서, 소스 신호선(18) 전위는, V_0 전압으로 리세트된다.

$t_4 \sim t_5$ 의 기간은, I_{d0} (일례로서 흡입 전류 방향으로 하고 있다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다)에 의해, 소스 신호선(18)의 전위는 급격하게 강하한다. $t_5 \sim t_2$ (1H의 최후)까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저하한다.

이상과 같이, 임의의 시간에 프리차지 전압을 인가함으로써, 소스 신호선(18) 전위는 일정한 값으로 변경할 수 있다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류) I_d 의 크기는 동일하다. 따라서, 과전류(프리차지 전류 혹은 디스차지 전류) I_d 에 의한 변화 커브는 일정한 경사 각도로 된다. 임의의 타이밍에서 규정된 소스 신호선(18) 전위(도 413에서는 V_0 전압)로부터, 규정된 적절한 크기의 과전류(프리차지 전류 혹은 디스차지 전류) I_d 를 제어에 이용하여, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간 혹은 크기를 조정함으로써 소스 신호선(18) 전위를 목표 전위 근방까지 변화시킬 수 있다. 전

위가 근방으로 된 이후에는, 프로그램 전류에 의해 보정할 뿐이기 때문에, 정밀도가 좋은 전류 프로그램을 실현할 수 있다. 또한, 소스 신호선(18)의 전위 변화를 이론적으로 예측 혹은 추측할 수 있기 때문에, 컨트롤러 IC(회로)(760)(도시 생략)에서 제어 혹은 설정하는 것이 용이하다.

도 410~도 413 등은, 과전류(프리차지 전류)의 방향은, 소스 드라이버 회로(IC)(14)에 흡입하는 방향의 전류(싱크 전류)를 예시하여 설명을 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니고, 과전류(프리차지 전류)는 토출 방향이어도 된다. 또한, 과전류(프리차지 전류 혹은 디스차지 전류)는 토출 전류와 흡입 전류의 양쪽을 가져도 된다.

도 415는, 과전류(프리차지 전류 혹은 디스차지 전류)가 토출 전류와 흡입 전류의 양쪽을 이용하는 경우의 구동 방법의 설명도이다. 회로 구성으로서는 도 414의 구성이 예시된다. 도 415에 있어서, 스위치(151a)는 프리차지 전압의 온 오프 제어에 이용한다. 온일 때, 단자(155)에 프리차지 전압이 인가된다. 스위치 Dc2는 토출 방향의 프리차지 전류의 온 오프 제어에 이용한다. 온일 때, 단자(155)에 토출 방향의 프리차지 전류가 인가된다. 또한, 스위치 Dc1은 흡입 방향의 프리차지 전류의 온 오프 제어에 이용한다. 온일 때, 단자(155)에 흡입 방향의 프리차지 전류가 인가된다.

도 415의 a의 기간에서는, 프리차지 전압 V0을 1H의 최초에 1μsec 인가하고 있다. 또한, 도 415의 Dc1 스위치는 t1~ta 기간 온하고 있다. 따라서, 흡입 방향의 과전류 Id1이 흐른다. t1로부터 1μsec의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V0이다. 이후 ta까지의 기간은, 과전류(프리차지 전류) Id0에 의해, 소스 신호선(18)의 전위는 급격하게 강해한다. ta~t2까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저해한다.

도 415의 b의 기간에서는, 프리차지 전압은 인가하고 있지 않다. 또한, 도 415의 Dc2 스위치는 t2~tb 기간 온하고 있다. 따라서, 토출 방향의 과전류 Id2가 흐른다. 과전류(프리차지 전류) Id2에 의해, 소스 신호선(18)의 전위는 급격하게 상승한다. tb~t3까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저해한다.

도 415의 c의 기간은 저계조 영역의 기입이기 때문에, 프리차지 전압 V0을 1H의 최초에 1μsec 인가하고 있다. 도 415의 Dc1, Dc2 스위치는 오프 상태이다. t3으로부터 1μsec의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V0이다. 이후 t4까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저해한다.

도 415의 d의 기간에서는, 프리차지 전압 V0을 1H의 최초에 1μsec 인가하고 있다. 또한, 도 415의 Dc1 스위치는 t4~td 기간 온하고 있다. 따라서, 흡입 방향의 과전류 Id1이 흐른다. t4로부터 1μsec의 기간은, 소스 신호선(18)의 전위는 0계조의 전압 전위 V0이다.

이후 td까지의 기간은, 과전류(프리차지 전류) Id0에 의해, 소스 신호선(18)의 전위는 급격하게 강해한다. td~t5까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저해한다.

도 415의 e의 기간에서는, 프리차지 전압은 인가하고 있지 않다. 또한, 도 415의 Dc2 스위치는 t5~te 기간 온하고 있다. 따라서, 토출 방향의 과전류 Id2가 흐른다. 과전류(프리차지 전류) Id2에 의해, 소스 신호선(18)의 전위는 급격하게 상승한다. te~t6까지의 기간은, 영상 데이터에 의한 전류 프로그램이 실시된다. 따라서, 소스 신호선(18)의 전위는, 화소(16)의 구동용 트랜지스터(11a)가 프로그램 전류와 일치하는 전류가 흐르도록 저해한다.

이상과 같이, 목표 프로그램 전류 혹은 소스 신호선(18) 전위로부터 적절한 크기의 과전류(프리차지 전류 혹은 디스차지 전류) Id를 제어에 이용하여, 과전류(프리차지 전류 혹은 디스차지 전류)의 인가 시간 혹은 크기를 조정함으로써 정밀도가 좋은 전류 프로그램을 실현할 수 있다. 또한, 소스 신호선(18)의 전위 변화를 이론적으로 예측 혹은 추측할 수 있기 때문에, 컨트롤러 IC(회로)(760)(도시 생략)에 의해 제어 혹은 설정하는 것이 용이하다. 그 때문에, 양호하고 정밀도가 좋은 전류 프로그램을 실시할 수 있다.

이상의 실시예는, 1H 기간 내의 과전류(프리차지 전류 혹은 디스차지 전류) 구동 또는/및 프리차지 전압 구동의 실시예였다. 그러나, 과전류(프리차지 전류 혹은 디스차지 전류) 구동 또는/및 프리차지 전압 구동은 1H 기간 내뿐만 아니라, 1프레임 혹은 복수 수평 주사 기간의 소스 신호선(18)의 전위 상태를 고려하여 행하는 것이 바람직하다. 도 416은 그 실시예이다.

도 416 등에 있어서 설명을 용이하게 하기 위해서, 계조수는 64계조로 한다. 또한, P는 프리차지 전압 구동을 의미하고, P=1로, 프리차지 전압을 소스 신호선(18)에 인가하는 것을 의미하고, P=0으로, 프리차지 전압은 소스 신호선(18)에 인가하지 않는 것을 의미하는 것으로 한다. 또한, K는 과전류(프리차지 전류) 구동을 의미하고, K=1로, 프리차지 전류를 소스 신호선(18)에 인가하는 것을 의미하고, K=0으로, 프리차지 전류는 소스 신호선(18)에 인가하지 않는 것을 의미하는 것으로 한다.

또한, 도 416 등에 있어서, 표의 1 증가는 1H 기간 혹은 1화소행의 선택 기간을 나타내는 것으로 한다. 또한, 표의 최상부에 기재하는 숫자는 화소행 번호를 나타낸다. 영상 데이터란의 숫자는 영상 데이터의 크기(0~63)를 나타낸다. 또한, 도 416 등에서는 P, K의 부호 변화만을 기재하고 있지만, 실제의 제어 타이밍, 인가 전류 혹은 인가 전압의 크기 등은, 도 403~도 415 등에서 설명한 실시예가 적용된다.

도 416에 있어서, 제3 화소행째로부터 제4 화소행째에, 영상 데이터가 36으로부터 0으로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제4 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다.

제5 화소행째로부터 제6 화소행째에서는, 영상 데이터가 0으로부터 1로 변화하고 있다. 도 356에 도시하는 바와 같이, V0 전압으로부터 V1 전압에는 전위차가 크다. 따라서, 계조 1의 전류 기입을 완전하게 행하기 위해, 제6 화소행째에 K=1로 하고, 소스 신호선(18)에 프리차지 전류(I1)를 인가하고 있다. 또한, I1 등으로 나타내는 첨자는, 목표로 하는 계조를 나타내는 것으로 한다.

제6 화소행째로부터 제7 화소행째에서는, 영상 데이터가 1로부터 8로 변화하고 있다. 계조차가 $8-1=7$ 이고, 비교적 저계조 영역이다. 그 때문에, 계조 8의 전류 기입을 완전하게 행하기 위해, 제7 화소행째에 K=1로 하고, 소스 신호선(18)에 프리차지 전류(I8)를 인가하고 있다.

제8 화소행째로부터 제9 화소행째에, 영상 데이터가 8로부터 0으로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제9 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다.

또한, 제9 화소행째로부터 제10 화소행째에서는, 영상 데이터가 0으로부터 4로 변화하고 있다. 계조차가 $4-0=4$ 이고, 비교적 저계조 영역이다. 또한, V0 전압은 애노드 전압 Vdd에 가깝고, 전위가 높다. 그 때문에, 계조 4의 전류 기입을 완전하게 행하기 위해, 제10 화소행째에 K=1로 하고, 소스 신호선(18)에 프리차지 전류(I4)를 인가하고 있다.

제11 화소행째로부터 제12 화소행째에서는, 영상 데이터가 60으로부터 1로 변화하고 있다. 따라서, 전위차가 크다. 또한, V1 전압은 애노드 전압 Vdd에 가깝고, 전위가 높다. 그 때문에, 계조 1의 전류 기입을 완전하게 행하기 위해, 제12 화소행째에서, P=1로 하고, 우선, 프리차지 전압(V0)을 기입하여, 소스 신호선(18)의 전위를 리셋 상태로 하고, 또한, K=1로 하고, 소스 신호선(18)에 프리차지 전류(I1)를 인가하고 있다.

또한, 제12 화소행째로부터 제13 화소행째에서는, 영상 데이터가 1로부터 2로 변화하고 있다. 계조차는 작다. 그러나, 저계조 영역이다. 또한, V1 전압은 애노드 전압 Vdd에 가깝고 전위가 높다. 도 356에 도시하는 바와 같이, V2 전위와 V1 전위는 전위차가 크다. 그 때문에, 계조 2의 전류 기입을 완전하게 행하기 위해, 제13 화소행째에 K=1로 하고, 소스 신호선(18)에 프리차지 전류(I2)를 인가하고 있다.

또한, 제13 화소행째로부터 제14 화소행째에, 영상 데이터가 2로부터 0으로 변화하고 있다. 계조 0은 프로그램 전류가 0의 상태이다. 따라서, 소스 신호선(18) 전위를 변화시킬 수 없다. 그 때문에, 흑색 기입을 완전하게 행하기 위해서 제14 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다.

도 417은 본 발명의 다른 실시예이다. 도 417에 있어서, 제1 화소행째로부터 제2 화소행째에, 영상 데이터가 38로부터 0으로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제2 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다. 제2 화소행째로부터 제6 화소행째까지는 계조 0이 연속한다. 따라서, 소스 신호선(18)에 전위는 V0 전압이 유지되기 때문에, 제2 화소행째로부터 제6 화소행째까지는 프리차지 전압의 인가는 불필요하다.

반대로, 프리차지 전압을 인가하면, 전압 구동의 표시 상태로 되어, 레이저 샷에 의한 구동용 트랜지스터(11a)의 특성 불균일이 표시되고, 화질을 저하시키게 되어 바람직하지 않다. 이상과 같이 본 발명은, 0계조 등의 저계조의 영역에 있어서, 계

조의 변화가 없을 때는, 프리차지 전압을 인가하지 않는 것을 특징으로 한다. 저계조의 영역이라 함은 전체 계조의 1/8 이하의 계조이다. 예를 들면, 64계조이면, 0계조로부터 7계조째가 해당한다. 또한, 어떤 계조로부터 0계조로 변화할 때(계조차가 발생할 때)는, V0 전압의 프리차지 전압을 인가하는 것을 특징으로 한다.

제6 화소행째로부터 제7 화소행째에서는, 영상 데이터가 0으로부터 1로 변화하고 있다. 도 356에 도시하는 바와 같이, V0 전압으로부터 V1 전압에는 전위차가 크다. 따라서, 계조 1의 전류 기입을 완전하게 행하기 위해, 제6 화소행째에 K=1로 하고, 소스 신호선(18)에 프리차지 전류(I1)를 인가하고 있다. 또한, I1 등으로 나타내는 첨자는, 목표로 하는 계조를 나타내는 것으로 한다.

이상과 같이 본 발명은, 0계조 등으로부터 저계조의 영역으로의 계조의 변화가 발생할 때는, 프리차지 전류 또는 프리차지 전압을 인가하는 것을 특징으로 한다. 특히 0계조로부터 1계조로 변화할 때에는 필수이다.

도 417은, 프리차지 전압, 프리차지 전류를 독립해서 인가하는 본 발명의 실시예이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 418은 프리차지 전압과 프리차지 전류를 동시에 인가하는 본 발명의 구동 방법의 설명도이다.

도 418에 있어서, 제1 화소행째로부터 제2 화소행째에, 영상 데이터가 38로부터 1로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제2 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다. 동시에, K=1로 하고, 소스 신호선(18)에 프리차지 전류(I1)를 인가하고 있다. 제2 화소행째에서는, 프리차지 전압의 인가에 의해, 소스 신호선(18) 전위는 일단 V0 전압으로 상승한다. 그 후, 과전류(프리차지 전류)에 의해, 소스 신호선(18) 전위가 급속하게 저하하고, 또한, 과전류의 정지 후, 정규의 영상 신호에 대응하는 프로그램 전류가 소스 신호선(18)에 인가된다.

마찬가지로, 제6 화소행째로부터 제7 화소행째에, 영상 데이터가 0으로부터 1로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제7 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다. 동시에, K=1로 하고, 소스 신호선(18)에 프리차지 전류(I1)를 인가하고 있다. 제2 화소행째에서는, 프리차지 전압의 인가에 의해, 소스 신호선(18) 전위는 일단 V0 전압으로 상승한다. 그 후, 과전류(프리차지 전류)에 의해, 소스 신호선(18) 전위가 급속하게 저하하고, 또한, 과전류의 정지 후, 정규의 영상 신호에 대응하는 프로그램 전류가 소스 신호선(18)에 인가된다.

또한, 제2 화소행째, 제7 화소행째에 인가하는 프리차지 전압은 V0에 한정되는 것은 아니다. V1 전압이어도 된다. 이 경우에는, 프리차지 전압 V1의 인가에 의해, 소스 신호선(18) 전위는 변화하고, 과전류의 정지 후, 정규의 영상 신호에 대응하는 프로그램 전류가 소스 신호선(18)에 인가된다.

제2 화소행째로부터 제3 화소행째에, 영상 데이터가 1로부터 0으로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제7 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다. 제3 화소행째로부터 제6 화소행째까지는 계조 0이 연속한다. 따라서, 소스 신호선(18)에 전위는 V0 전압이 유지되기 때문에, 제2 화소행째로부터 제6 화소행째까지는 프리차지 전압의 인가는 불필요하다. 반대로, 프리차지 전압을 인가하면, 전압 구동의 표시 상태로 되어, 레이저 샷에 의한 구동용 트랜지스터(11a)의 특성 불균일이 표시되고, 화질을 저하시키게 되어 바람직하지 않다.

이상과 같이 본 발명은, 0계조 등의 저계조의 영역에 있어서, 계조의 변화가 없을 때는, 프리차지 전압을 인가하지 않는 것을 특징으로 한다. 저계조의 영역이라 함은 전체 계조의 1/8 이하의 계조이다. 예를 들면, 64계조이면, 0계조로부터 7계조째가 해당한다. 또한, 어떤 계조로부터 0계조로 변화할 때(계조차가 발생할 때)는, V0 전압의 프리차지 전압을 인가하는 것을 특징으로 한다.

제10 화소행째로부터 제11 화소행째에서는, 영상 데이터가 1로부터 2로 변화하고 있다. 도 356에 도시하는 바와 같이, V1 전압으로부터 V2 전압에는 전위차가 크다. 따라서, 계조 2의 전류 기입을 완전하게 행하기 위해, 제6 화소행째에 K=1로 하고, 소스 신호선(18)에 프리차지 전류(I2)를 인가하고 있다.

이상과 같이 본 발명은, 0계조 등으로부터 저계조의 영역으로의 계조의 변화가 발생할 때는, 프리차지 전류 또는 프리차지 전압을 인가하는 것을 특징으로 한다. 특히 0계조로부터 1계조로 변화할 때에는 필수이다. 또한, 0계조 등으로부터 저계조의 영역으로의 계조차가 1 또는 2정도로 작은 경우에도, 프리차지 전류 또는 프리차지 전압을 인가하는 것을 특징으로 한다. 특히 0계조로부터 1계조로 변화할 때에는 필수이다.

도 419도 본 발명의 다른 실시예에 있어서의 본 발명의 구동 방법의 설명도이다. 도 419에서는, 0계조로 변화할 때, 프리차지 전압을 인가하고, 0계조로부터 1계조 혹은 저계조로 변화할 때에는, 프리차지 전류를 인가한다.

도 419에 있어서, 제1 화소행째로부터 제2 화소행째에, 영상 데이터가 38로부터 1로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제2 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다.

또한, 제2 화소행째로부터 제3 화소행째에, 영상 데이터가 0으로부터 1로 변화하고 있다. 제3 화소행째에 K=1로 하고, 소스 신호선(18)에 프리차지 전류(I1)를 인가하고 있다.

마찬가지로, 제237 화소행째로부터 제238 화소행째에, 영상 데이터가 12로부터 0으로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제238 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다.

도 420도 본 발명의 다른 실시예에 있어서의 본 발명의 구동 방법의 설명도이다. 도 420에서는, 저계조 영역의 저계조에 대응하는 복수의 프리차지 전압을 인가하고 있다. 이상과 같이, 계조에 대응하여 전압을 인가함으로써 양호한 계조 표시를 실현할 수 있다.

도 420에 있어서, 제3 화소행째로부터 제4 화소행째에, 영상 데이터가 34로부터 0으로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제2 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다.

제4 화소행째로부터 제5 화소행째에, 영상 데이터가 0으로부터 1로 변화하고 있다. 따라서, 1계조의 흑색 기입을 완전하게 행하기 위해서 제2 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V1)을 인가하고 있다.

제5 화소행째로부터 제6 화소행째에, 영상 데이터가 1로부터 2로 변화하고 있다. 따라서, 계조 2의 흑색 기입을 완전하게 행하기 위해서 제2 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V1)을 인가하고 있다. 동시에, K=1로 하고, 소스 신호선(18)에 프리차지 전류(I2)를 인가하고 있다. 제6 화소행째에서는, 프리차지 전압의 인가에 의해, 소스 신호선(18) 전위는, 일단 V1 전압으로 저하한다. 그 후, 과전류(프리차지 전류) I2에 의해, 소스 신호선(18) 전위가 더욱 저하하고, 또한, 과전류의 정지 후, 정규의 영상 신호에 대응하는 프로그램 전류가 소스 신호선(18)에 인가되어, 목표 계조 표시가 실현된다.

도 421도 본 발명의 다른 실시예에 있어서의 본 발명의 구동 방법의 설명도이다. 도 421에서는, 도 414에 도시한 구성의 구동 회로의 제어 방법이다. 저계조 영역의 저계조에 대응하는 흡입 방향의 프리차지 전류(제어 부호를 KL로 나타낸다. 또한, 전류를 IL로 나타냄)와, 고계조에 대응하는 토출 방향의 프리차지 전류(제어 부호를 KH로 나타낸다. 또한, 전류를 IH로 나타냄)를 제어한다.

도 421에 있어서, 제1 화소행째로부터 제2 화소행째에, 영상 데이터가 38로부터 0으로 변화하고 있다. 따라서, 흑색 기입을 완전하게 행하기 위해서 제2 화소행째에 P=1로 하고, 소스 신호선(18)에 프리차지 전압(V0)을 인가하고 있다.

제6 화소행째로부터 제7 화소행째에, 영상 데이터가 0으로부터 2로 변화하고 있다. 따라서, K=1로 하고, 소스 신호선(18)에 프리차지 전류(IL2)를 인가하고 있다. 과전류(프리차지 전류) IL2에 의해, 소스 신호선(18) 전위가 더욱 저하하고, 또한, 과전류의 정지 후, 정규의 영상 신호에 대응하는 프로그램 전류가 소스 신호선(18)에 인가되어, 목표 계조 표시가 실현된다.

제9 화소행째로부터 제10 화소행째에, 영상 데이터가 2로부터 63으로 변화하고 있다. 따라서, K=1로 하고, 소스 신호선(18)에 프리차지 전류(IH63)를 인가하고 있다. 과전류(프리차지 전류) IH63에 의해, 소스 신호선(18) 전위가 더욱 상승하고, 또한, 과전류의 정지 후, 정규의 영상 신호에 대응하는 프로그램 전류가 소스 신호선(18)에 인가되어, 목표 계조 표시가 실현된다.

본 발명은 동일 계조가 연속하는 경우, 1H 전의 계조와 다음의 계조의 계조차를 판단하여, P, K 부호를 판단한다. 프리차지 전압, 프리차지 전류의 크기, 인가 타이밍, 인가 시간을 제어한다. 이러한 제어를 실현하기 위해서는, 컨트롤 회로(IC)(760) 등에 화소행의 영상 데이터를 유지하는 라인 메모리가 필요하다. 그러나, 영상 데이터가 8비트인 것으로 하면, 8비트×횡방향 화소 수×3(RGB)의 메모리가 필요하게 된다. 라인 메모리는 코스트 업으로 직결되기 때문에, 라인 메모리의 비트 수는 극력 적은 쪽이 바람직하다.

도 422는 라인 메모리를 감소시키는 방식의 설명도이다. 도 422는 2개의 설정값(설정1, 설정2)을 유지할 수 있게 되어 있다. 설정값은, 컨트롤러 회로(IC)(760)의 외부로부터 마이크로컴퓨터에 의해 설정할 수 있도록 구성되어 있다. 설정값은, 영상 데이터의 크기의 판단에 이용한다. 영상 데이터가 설정1보다 크면 b0 비트에 1이 세트된다.

또한, 설정값이 작으면 b0 비트는 0이다. 영상 데이터가 설정2보다 크면 b1비트에 1이 세트된다. 물론 판단이 1개이면, 설정값은 1개이어도 되고, 유지 비트 b도 1개이어도 된다.

예를 들면, 영상 데이터가, "00010100"인 것으로 한다. 설정1이 "00010000"인 것으로 한다. 설정2가 "00000100"인 것으로 한다. 영상 데이터가 "00001100"이고, 설정1이 "00010000"이므로, 영상 데이터는 설정1보다 작다. 따라서, b0 비트는 0으로 된다. 또한, 영상 데이터가, "00001100"이고, 설정2가 "00000100"이므로, 영상 데이터는 설정2보다 크다. 따라서, b1 비트는 1로 된다.

이상의 결과로부터, 영상 데이터는, 설정1보다 작고, 설정2보다 큰 것이, b0, b1의 2비트로 나타낼 수 있게 된다. 이 2비트를 메모리에서 유지한다. 이상과 같이, 각 영상 데이터는 2비트로 크기를 나타낼 수 있다.

이상의 b0, b1 신호는, 컨트롤러 회로(IC)(760)에서 발생하여, 소스 드라이버 회로(IC)(14)로 전송된다. 전송된 b0, b1 부합은, 도 431에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14) 내에서 디코드된다. 물론, 테이블 변환해도 된다. 도 431은 도 427과 같이 프리차지 전압이 3개인 경우이다.

도 431의 실시예에서는, (b0, b1)=(0, 0)일 때, all open 상태 즉, 프리차지 전압 구동(전류)은 실시되지 않는다. (b0, b1)=(0, 1)일 때에는, 프리차지 전압 V0이 출력된다. 또한, 마찬가지로 (b0, b1)=(1, 0)일 때에는, 프리차지 전압 V1이 출력되고, (b0, b1)=(1, 1)일 때에는, 프리차지 전압 V2가 출력된다.

본 발명의 구동 방식에서 중요한 것은, 0계조인지, 저계조 영역인지, 1H 전의 영상 데이터와 다음의 영상 데이터의 계조차가 어느 정도 떨어져 있는지이다. 이들의 판단은, 설정1, 설정2의 판단 비트 b(b0, b1)에 의해 입수할 수 있다. 따라서, 영상 데이터의 라인 메모리는 필요없고, 각 영상 데이터의 크기의 판단 비트 b를 유지하는 것만이어도 된다. 그 때문에, 코스트를 저감시킬 수 있다.

도 381~도 422 등에서는, 과전류 구동(프리차지 전류 구동)에 의해, 소스 신호선(18)의 기생 용량 Cs의 전하를 충방전하는 실시예를 설명했다. 과전류(프리차지 전류 혹은 디스차지 전류) 구동의 과제는, 소스 신호선(18)의 전위를 목표 전위로 정지할 수 없다는 점이다. 스위치 Dc가 온(클로즈)하고 있는 기간, 과전류(프리차지 전류 혹은 디스차지 전류) Id가 소스 신호선(18)에 흐른다.

이 과제에 대해서는, 소스 신호선(18)의 전위를 감시하는 콤퍼레이터 회로를 부가함으로써 해결할 수 있다. 즉, 콤퍼레이터에 의해, 소스 신호선(18)의 전위 변화를 감시하여, 소스 신호선(18)의 전위가 목표 계조 전위에 도달하면, 콤퍼레이터 회로로부터 OFF 신호를 발생시켜, Dc 스위치를 오프(오픈)시키면 된다. 이상의 회로는, 오피 앰프에 의해 용이하게 구성할 수 있다. 또한, 오피 앰프는, 저온 폴리실리콘 기술, CGS 기술, 고온 폴리실리콘 기술에 의해 용이하게 형성 또는 구성할 수 있다. 또한, 소스 드라이버 회로(IC)(14) 내에 콤퍼레이터 회로를 형성하는 것도 용이하다.

0계조의 전압 프리차지(V0)를 실시하여, 0계조가 연속하는 경우에는 해당 화소에 대한(소스 신호선(18)에 대한) 전압 프리차지(0계조 전압)는 불필요하다. 그러나, 0계조 전압 프리차지를 실시한 후, 1계조 이상으로 변화하는 경우에는, 1계조 이상으로 해당하는 전압 프리차지(V1 이상의 전압)를 실시하는 것이 바람직하다. 도 356에서도 설명한 바와 같이 V0 전압과 V1 전압과의 전위차가 크기 때문이다. 전위차가 크면 계조 1정도의 프로그램 전류로는 목표 소스 신호선(18) 전위에 1H 기간에서는 도달할 수 없기 때문이다(아주 먼 전위에서 멈춰 버린다).

본 발명의 전류 구동 방식에서는, 0계조 표시로 전압 프리차지를 실시하여, 1계조 이상으로 변화할 때는, 1계조 이상의 전압 프리차지를 실시한다. 1계조 이상의 전압 프리차지를 실시함으로써, 화소(16)의 구동용 트랜지스터(11a)를 목표 프로그램 전류가 흐르도록 프로그램할 수 있다.

또한, 1계조 표시로 전압 프리차지를 실시하고(실시하지 않더라도 1계조 표시의 소스 신호선(18) 전위에 있을 때), 2계조 이상으로 변화할 때는, 2계조 이상의 전압 프리차지를 실시하는 것이 바람직하다. 2계조 이상의 전압 프리차지를 실시함으로써, 화소(16)의 구동용 트랜지스터(11a)를 목표 프로그램 전류가 흐르도록 프로그램할 수 있다. 1 혹은 2계조 표시라도 전위차가 비교적 크다. 계조 2정도의 프로그램 전류로는 목표 소스 신호선(18) 전위에 1H 기간에서는 도달할 수 없는 경우가 있기 때문이다.

본 발명의 전류 구동 방식에서는, 0계조 표시로 전압 프리차지를 실시하여, 1계조 이상으로 변화할 때는, 1계조 이상의 전압 프리차지를 실시하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 1계조 이상의 전압 프리차지를 도 381~도 422에서 설명한 과전류(프리차지 전류 혹은 디스차지 전류) 구동으로 치환해도 되는 것은 물론이다. 또한, 전압 프리차지와 과전류(프리차지 전류 혹은 디스차지 전류) 구동의 양쪽을 실시해도 된다.

1계조 표시로 전압 프리차지를 실시하여, 2계조 이상으로 변화할 때는, 2계조 이상의 전압 프리차지를 실시하는 것이 바람직하다고 설명했다. 이 경우도 2계조 이상의 과전류 구동(전류 프리차지 구동)을 실시함으로써, 화소(16)의 구동용 트랜지스터(11a)를 목표 프로그램 전류가 흐르도록 프로그램할 수 있는 것은 물론이다.

또한, 프리차지 전압의 최대값이, 계조 k 이고, 그 전압이 V_k 일 때, 계조 k 이하로부터, 계조 k 이상으로 변화할 때는, 프리차지 전압 V_k 을 인가하고 나서, 프리차지 전류를 인가하고, 프로그램 전류를 인가해도 된다. 또한, 프리차지 전압 V_k 을 인가하고 나서, 프로그램 전류를 인가해도 된다. 즉, 우선, 프리차지 전압 V_k 을 인가함으로써, 전위의 고조를 행한다. 이 동작에 의해, 목표 전위에 도달하는 시간을 단축할 수 있다.

이상의 실시예는, 소스 드라이버 회로(IC)(14)로부터, 과전류(프리차지 전류 혹은 디스차지 전류) 혹은 프리차지 전압을 소스 신호선(18)에 인가하는 구성이었다. 본 발명은 이것에 한정되는 것은 아니다. 도 445는, 어레이에 과전류(프리차지 전류 혹은 디스차지 전류)를 공급하는 수단을 형성 또는 배치한 구성이다.

도 445에 있어서, 화소(16p)가 과전류를 공급하는 수단이다. 단, 화소(16p)로 표현하고 있지만, 중요한 것은 도 446에 도시하는 바와 같이, 과전류 구동용 트랜지스터(11ap)이고, 화소(16) 구성일 필요는 없다.

도 445에 있어서, 화소(16ap)는 소스 드라이버 회로(IC)(14)가 배치된 반대측의 소스 신호선(18) 끝에 형성 또는 배치되어 있다. 단, 본 발명은 이것에 한정되는 것은 아니다. 소스 드라이버 회로(IC)(14)측에 형성 또는 배치되어 있어도 되고, 소스 신호선(18)의 양측에 배치되어 있어도 된다. 예를 들면, 도 453은, 소스 드라이버 회로(IC)(14)측에 과전류 화소(16p1)를 배치하고, 소스 신호선(18) 끝에 제2 과전류 화소(16p2)를 배치한 구성이다. 도 453에 도시하는 바와 같이, 소스 신호선(18)의 양단에 과전류 화소(16p)를 배치함으로써 프리차지 구동시에 소스 신호선(18)의 전위가 소스 신호선(18)의 양단에서 평균적으로 변화하여, 화면(144)에 휘도 경사가 발생하지 않고, 균일한 화상 표시를 실현할 수 있다.

과전류 구동용 트랜지스터(11ap)는, 실리콘 칩으로서 구성하고, 어레이(30)에 실장해도 된다. 바람직하게는, 과전류 구동용 트랜지스터(11ap)는, 폴리실리콘 기술에 의해 화소(16a) 혹은 게이트 드라이버 회로(12) 등을 동시에 형성한다.

과전류 구동용 트랜지스터(11ap)는, 화소(16a)의 구동용 트랜지스터(11a)와는 출력 전류를 다르게 한다. 화소(16a)(화상 표시하는 화소)의 구동용 트랜지스터(11a)의 게이트 단자에 인가하는 전압 V_{g1} 과, 화소(16p)(과전류를 공급 혹은 출력하는 화소)의 화소 과전류 구동용 트랜지스터(11ap)의 게이트 단자에 인가하는 전압 V_{g2} 를 동일($V_{g1}=V_{g2}$)하게 했을 때, 구동용 트랜지스터(11a)가 출력하는 전류 I_1 과, 과전류 구동용 트랜지스터(11ap)가 출력하는 전류 I_2 는, $I_2=bI_1$ (단, b 는 1 이상)의 관계를 만족하도록 한다. $I_2=bI_1$ (단, b 는 1 이상)의 관계는, 과전류 구동용 트랜지스터(11ap) 및 구동용 트랜지스터(11a)의 WL의 크기 혹은 WL비를 설계함으로써 설정을 용이하게 실현할 수 있다.

바람직하게는, 화소(16p)의 과전류 구동용 트랜지스터(11ap)는, 구동용 트랜지스터(11a)의 형상과 동일하고, 복수의 구동용 트랜지스터(11a)를 병렬로 형성 또는 배치함으로써, $I_2=bI_1$ 인 관계를 구성하는 것이 바람직하다.

예를 들면, 구동용 트랜지스터(11a)의 채널 폭 $W=20\mu\text{m}$, 채널 길이 $L=12\mu\text{m}$ 로 하고, 이 구동용 트랜지스터(11a)의 게이트 단자 G에 V_{g1} 의 전압을 인가했을 때의 출력 전류를 I_1 이라고 하면, 1개의 과전류 구동용 트랜지스터(11ap)의 채널 폭 $W=20\mu\text{m}$, 채널 길이 $L=12\mu\text{m}$ 으로 하고, 이 과전류 구동용 트랜지스터(11ap)를 6개 병렬로 연결하여 과전류 화소(16p)를 구성하고, 이 복수의 과전류 구동용 트랜지스터(11ap)의 게이트 단자 G에 V_{g1} 의 전압을 인가했을 때 가산한 출력 전류를 I_2 라고 하면, $I_2=6I_1$ ($b=6$)인 관계를 구성할 수 있다. 과전류 구동용 트랜지스터(11ap)와 구동용 트랜지스터(11a)의 형상 등을 동일하게 함으로써, b 의 값을 정밀도 좋게 설정 혹은 설계하는 것이 가능하게 된다. 따라서, 도 446에 있어서, 과전류 구동용 트랜지스터(11ap)는, 화소(16p)에 1개의 구성이지만, 이것에 한정되는 것은 아니다.

그 밖의, 구성으로서, 도 450에 도시하는 바와 같이, 복수의 과전류 구동용 트랜지스터(11ap)를 직렬로 연결하고, 또한, 병렬로 연결하여 구성해도 되는 것은 물론이다. 이들의 과전류 구동용 트랜지스터(11ap)는 선택 수단으로서의 트랜지스터

(11cp)를 통하여 소스 신호선(18)에 접속된다. 이상과 같이, 과전류(프리차지 전류 혹은 디스차지 전류)를 공급하는 트랜지스터(11ap)를 복수개로 형성 혹은 구성함으로써, 과전류(프리차지 전류 혹은 디스차지 전류)의 변동을 저감하는 것이 가능하다.

과전류 구동용 트랜지스터(11ap)를 (저온) 폴리실리콘 기술 등으로 형성하는 경우에는, 특성 변동이 크기 때문에, 어레이 (30) 상에서 분산시켜 형성하는 것이 바람직하다. 따라서, 도 450과 같이 과전류 구동용 트랜지스터(11ap)를 형성하는 경우에도, 극력 넓은 범위로 과전류 구동용 트랜지스터(11ap)를 배치하는 것이 바람직하다. 더욱 바람직하게는, 도 451에 도시하는 바와 같이, 복수의 과전류 화소(16p)를 형성하고(16pa, 16pb, 16pc, 16pd), 넓은 범위의 과전류 화소(16p)를 연결하여 구성하는 것이 바람직하다.

도 451에 있어서, 사선으로 나타낸 과전류 화소(16p)는, 어떤 소스 신호선(18)과도 연결되지 않는다(사용되지 않는다). 그러나, 사선으로 나타낸 과전류 화소(16p)가 없으면, 사선으로 나타낸 과전류 화소(16p)에 인접하여 형성된 과전류 화소(16p)(16pa, 16pb, 16pc, 16pd)가 다른 과전류 화소(16p)와 특성이 서로 다르다. 이것은, 패틴을 규칙 바르게 형성하지 않으면, 트랜지스터를 형성한 주변부가 에칭 등의 상태가 달라, 특성이 변화하기 때문이다. 도 451과 같이 사선으로 나타낸 과전류 화소(16p)를 형성함으로써, 특성 변동이 없어져 균일하게 할 수 있다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

과전류 화소(16p)의 특성 변동의 영향을 적게 하기 위해서는, 도 452에 도시하는 바와 같이 스위치 회로 S에서 선택하는 과전류 화소(16p)를 절환하는 방식도 예시된다. 스위치 회로 S는 폴리실리콘 기술에 의해 화소(16a) 혹은 게이트 드라이버 회로(12) 등을 동시에 형성한다. 스위치 회로 S는, 저온 폴리실리콘 기술, CGS 기술, 고온 폴리실리콘 기술에 의해 용이하게 형성 또는 구성할 수 있다. 또한, 소스 드라이버 회로(IC)(14) 내에 형성하는 것도 용이하다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

스위치 회로는, 1H마다 선택하는 과전류 화소(16p1, 16p2)를 교대로 절환한다. 또한, 1F(1프레임 또는 1필드)마다 절환해도 된다. 그 밖에, 랜덤하게 절환하고, 평균하여 과전류 화소(16p1)와 과전류 화소(16p2)를 선택하는 횟수가 일치하도록 제어해도 된다. 또한, 홀수 필드와 짝수 필드에서 선택하는 과전류 화소(16p)를 변경해도 된다.

도 446의 과전류 화소(16p)의 과전류 구동용 트랜지스터(11ap)는 P 채널 트랜지스터로서 도시하고 있다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 과전류 구동용 트랜지스터(11ap)는 N 채널 트랜지스터로 구성 혹은 형성해도 된다. 또한, 화소(16a)의 구동용 트랜지스터(11a)가 P 채널인 경우에는, 과전류 구동용 트랜지스터(11ap)도 P 채널로 형성 또는 구성하는 것이 바람직하다. 화소(16a)의 구동용 트랜지스터(11a)가 N 채널인 경우에는, 과전류 구동용 트랜지스터(11ap)도 N 채널로 형성 또는 구성하는 것이 바람직하다.

도 448에 도시하는 바와 같이, P 채널의 과전류 구동용 트랜지스터(11ap)를 갖는 과전류 화소(16p)와, N 채널의 과전류 구동용 트랜지스터(11an)를 갖는 과전류 화소(16n)의 양쪽을 형성 또는 배치해도 된다. 소스 신호선(18)에 과전류를 토출할 때에는 게이트 신호선(17pp)에 온 전압을 인가하여, 스위치용 트랜지스터(11cpp)를 온 상태로 한다. 소스 신호선(18)으로부터 과전류를 흡입할 때는 게이트 신호선(17pn)에 온 전압을 인가하여, 스위치용 트랜지스터(11cpn)를 온 상태로 한다. 또한, 게이트 신호선(17pp)과 게이트 신호선(17pn)의 양쪽을 선택하고, 토출 방향의 과전류와 흡입 방향의 과전류와의 차를 소스 신호선(18)에 인가해도 된다.

도 446에서는, 과전류 화소(16p)의 과전류 구동용 트랜지스터(11ap)의 소스 단자는 Vct 전압에 접속되어 있다. Vct 전압 = Vdd 전압(애노드 전압)으로 함으로써, 전원 수를 삭감할 수 있다.

과전류 구동용 트랜지스터(11ap)가 출력하는 전류의 크기를 조정 혹은 변경하기 위해서는, 도 446의 Vct 전압을 변경할 수 있는 것이 바람직하다. 그 실시예를 도 449에 도시하고 있다. 도 449에서는, Vct 전압보다도 높은 전압 Vtt 전압과 GND 사이에 볼륨 VR이 배치되어 있다. 이 볼륨 VR에 의해 Vct 전압을 조정할 수 있다. Vct 전압을 높게 함으로써, 과전류의 크기를 크게 할 수 있다.

도 447에서는, Vct 전압을 전자 볼륨(501)에 인가하는 VPDATA에 의해 변경할 수 있도록 한 구성이다. VPDATA에 의해, 과전류의 크기를 조정 혹은 변경 혹은 변화시킬 수 있다. 또한, 과전류 인가 중이더라도, VPDATA를 변경함으로써, 과전류의 크기를 조정 혹은 변경 혹은 변화시킬 수 있다. 또한, VPDATA를 변경함으로써, 1화소행마다 혹은 복수 화소행마다 혹은 프레임마다 혹은 복수 프레임마다 과전류의 크기를 변화 혹은 변경할 수 있다.

도 448에서는, P 채널의 과전류 구동용 트랜지스터(11ap)의 과전류의 크기는, V_{ctp} 전압을 변화시킴으로써 실시할 수 있다. N 채널의 과전류 구동용 트랜지스터(11an)의 과전류의 크기는, V_{ctn} 전압을 변화시킴으로써 실시할 수 있다.

도 446의 과전류 화소(16p)에는, 과전류 구동용 트랜지스터(11ap)의 게이트 단자 전위를 유지하는 컨덴서를 형성하고 있지 않다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 447에 도시하는 바와 같이 과전류 화소(16p)에 컨덴서(19p)를 형성 또는 배치해도 된다. 컨덴서(19p)의 배치에 의해, 유지 특성이 향상한다.

도 445 등은, 각 소스 신호선(18)에 1개의 과전류 화소(16p)를 배치한 구성이다. 본 발명은 이것에 한정되는 것은 아니다. 도 454는, 1소스 신호선(18)에 복수의 과전류 화소(16p)를 배치하고, 선택하는 과전류 화소(16p)의 개수를 변화 혹은 조정할 수 있도록 한 구성이다.

도 445는, 선택하는 과전류 화소(16p)의 개수는 0 내지 3이다. 선택하는 과전류 화소(16p)의 개수는, 게이트 드라이버 회로(IC)(12p)에 의해 실시한다. 게이트 드라이버 회로(IC)(12p)가 3개의 과전류 구동용 트랜지스터(11ap)를 선택하는 경우에는, 게이트 신호선(17p1, 17p2, 17p3)에 온 전압을 인가한다. 게이트 드라이버 회로(12p)는, 저온 폴리실리콘 기술, CGS 기술, 고온 폴리실리콘 기술에 의해 용이하게 형성 또는 구성할 수 있다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

게이트 신호선(17p1)에 온 전압을 인가함으로써 소스 신호선(18)에 과전류 구동용 트랜지스터(11ap1)의 토출 전류가 인가된다. 게이트 신호선(17p2)에 온 전압을 인가함으로써 소스 신호선(18)에 과전류 구동용 트랜지스터(11ap2)의 토출 전류가 인가된다. 또한, 게이트 신호선(17p3)에 온 전압을 인가함으로써 소스 신호선(18)에 과전류 구동용 트랜지스터(11ap3)의 토출 전류가 인가된다.

예를 들면, 과전류 구동용 트랜지스터(11ap1~11ap3)의 출력 전류가 동일한 경우에는, 2개의 게이트 신호선(17p)의 선택에 의해 1개의 게이트 신호선(17p)의 선택과 비교하여 2배의 과전류 출력을 얻을 수 있다. 또한, 3개의 게이트 신호선(17p)의 선택에 의해 1개의 게이트 신호선(17p)의 선택과 비교하여 3배의 과전류 출력을 얻을 수 있다.

도 454에 있어서, 화소(16p)에는 컨덴서(19)는 배치하고 있지 않다. 컨덴서(19)는 복수의 화소(16p)에 1개 혹은 1화소(16p)행에 1개 배치하고 있다.

도 454에 있어서, 과전류 화소(16p1)의 토출 전류 I21, 과전류 화소(16p2)의 토출 전류 I22, 과전류 화소(16h3)의 토출 전류 I23은 동일한 것으로서 설명하고 있지만, 이것에 한정되는 것은 아니다. 화소(16p1~16p3)의 과전류 구동용 트랜지스터(11ap)의 크기 혹은 과전류 구동용 트랜지스터(11ap)의 형성 개수를 다르게 해도 되는 것은 물론이다. 이 경우에는, 과전류 화소(16p1)의 토출 전류 I21, 과전류 화소(16p2)의 토출 전류 I22, 과전류 화소(16p3)의 토출 전류 I23을 서로 다르게 할 수 있다. 따라서, 게이트 드라이버 회로(12p)가 선택하는 게이트 신호선(17p)가 1게이트 신호선이라도, 과전류의 크기를 서로 다르게 할 수 있다.

도 446은 게이트 신호선(17p)에 온 전압을 인가함으로써, 1화소(16p) 행을 선택하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 449에 도시하는 바와 같이, 선택 드라이버 회로(IC)(4491)는, 각 과전류 화소(16p)를 선택하고, 선택한 화소(16p)의 스위치용 트랜지스터(11cp)를 온시킨다. 따라서, 각 소스 신호선(18)에 과전류를 인가할지 인가하지 않을지를 선택할 수 있다.

어떤 소스 신호선(18)에 과전류를 인가할지는 컨트롤러 회로(IC)(760)에 의해 제어한다. 물론, 소스 드라이버 회로(IC)(14)에 의해서 실시해도 된다. 선택 드라이버 회로(4491)는, 저온 폴리실리콘 기술, CGS 기술, 고온 폴리실리콘 기술에 의해 용이하게 형성 또는 구성할 수 있다. 또한, 소스 드라이버 회로(IC)(14)에 내장시켜도 된다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

게이트 신호선(17p)의 온 오프 제어는 컨트롤러 회로(IC)(760)의 제어에 의해 실시한다. 컨트롤러 회로(IC)(760)는, 영상 신호의 처리에 의해, duty비 제어, 기준 전류비 제어 등을 실시한다. 이 실시 등과 대응하여 과전류 제어를 실시한다. 과전류 제어는, 컨트롤러 회로(IC)(760)에 특정되는 것은 아니고, 다른 회로에서 행해도 된다. 예를 들면, 소스 드라이버 회로(IC)(14)가 예시된다.

게이트 신호선(17p)에 인가되는 전압은, V_{gh} , V_{gl} 이다. 컨트롤러 회로(IC)(760)로부터의 출력 전압은, 0(GND), 3.3(V)이다. 이 전압을 V_{gh} , V_{gl} 로 레벨 시프트할 필요가 있다. 레벨 시프트는, 게이트 드라이버 회로(12a)에서 실시하고 있다.

도 445 내지 도 454에서 설명한 구성은, 단독으로 혹은 조합하여 구성 혹은 형성할 수 있는 것은 물론이다. 예를 들면, 도 445의 구성과 도 454의 구성으로 치환할 수 있다. 차이는, 1개의 게이트 신호선(17p)을 제어하는가, 3개의 게이트 신호선(17p1~17p3)을 제어하는가의 차이이다. 이 동작은 당업자이면 용이하게 실시 혹은 변경하여 채용할 수 있다. 도 448의 P 채널의 과전류 구동용 트랜지스터(11ap)와 N 채널의 과전류 구동용 트랜지스터(11an)의 양쪽을 갖는 구성이어도 당업자이면 용이하게 실시 혹은 변경하여 채용할 수 있다. 여기서는 설명을 용이하게 하기 위해서, 도 445, 도 446의 구성을 예시하여 이후를 설명한다.

우선, 설명을 용이하게 하기 위해서, 과전류(프리차지 전류)의 인가 시간을 1수평 주사 기간(1H)의 $1/2(=1/(2H))$ 로 하고, 남은 $1/(2H)$ 의 기간에 정규의 프로그램 전류를 인가하는 기간으로 하는 구동 방법에 대하여 설명한다. 단, 과전류의 인가 시간은 $1/(2H)$ 의 기간에 한정되는 것은 아니다. $1/(4H)$ 나 $3/(4H)$ 등의 다른 기간(시간)이어도 되는 것은 물론이다.

도 445의 구성에 있어서 과전류를 인가하는 기간은, 게이트 신호선(17p)에 스위치용 트랜지스터(11cp)를 온 상태로 하는 온 전압(Vgl)이 인가된다. 이 기간은, 게이트 신호선(17p)에 온 전압을 인가함으로써 과전류 I2가 소스 신호선(18)에 인가된다. 과전류를 인가하고 있는 기간은, 영상 신호인 프로그램 전류 Iw를 기입하는 화소행에 대응하는 게이트 신호선(17a)에는 오프 전압을 인가한 상태라도 된다. 물론, 영상 신호인 프로그램 전류 Iw를 기입하는 화소행에 대응하는 게이트 신호선(17a)에는 온 전압을 인가해도 된다. 전류 프로그램 방식에서는, 1개의 소스 신호선(18)에 복수의 전류원이 접속되어 있어도 동작에 장애가 발생하지 않기 때문이다. 프로그램 전류 Iw와 과전류 I2를 동시에 소스 신호선(18)에 인가함으로써, 상태에 따라서는 소정의 소스 신호선 전위에 빠르게 도달한다.

과전류 I2의 인가 기간에 소스 드라이버 회로(IC)(14)를 동작시킨다. 이 때, 소스 드라이버 회로(IC)(14)의 기준 전류비를 크게 한다. 또한, 기준 전류비를 제어하는 구성, 방법에 대해서는 이전에 설명하고 있으므로 설명을 생략한다. 도 455에서는, $t1 \sim ta$ 의 $1/(2H)$ 기간에서는, 기준 전류비를 2(배)로 하고 있다. 1H의 후반($ta \sim t2$ 기간)의 정규의 프로그램 전류 Iw를 인가하는 기간에서는, 기준 전류비는 1(배)로 한다.

전반의 $1/(2H)$ 기간에서는 기준 전류비는, 영상 신호의 크기, 1H 전의 영상 신호의 크기에 따라 변화시킨다. (a) 기간에서는, 이전의 1H의 영상 신호가 0(완전 흑색 표시)으로부터 1로 변화한다. 따라서, 영상 신호의 변화는 $1-0=1$ 로 비교적 작다. 그러나, 도 356에서 설명한 바와 같이, 영상 신호 0에 대응하는 전압 V0과, 영상 신호 1에 대응하는 전압 V1과의 전위차는 크다. 이 요인을 고려하여, (a) 기간의 전반의 $1/(2H)$ 기간에서는, 기준 전류비를 2로 하고 있다. 따라서, 전반의 $1/(2H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 Iw의 2배의 전류가 소스 신호선(18)으로부터 흡입된다. 그 때문에, 소스 신호선(18)의 전위 변화는, 정규의 프로그램 전류 Iw를 인가하고 있는 경우와 비교하여 2배의 속도로 전하가 방전되고, 전위 변화가 발생한다. 또한, (a) 기간의 후반의 $1/(2H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 Iw가 화소(16a)에 기입된다. 이 기간은, 게이트 신호선(17p)에는 오프 전압이 인가되고, 스위치용 트랜지스터(11cp)는 오프 상태로 된다. 따라서, 과전류(프리차지 전류)는 소스 신호선(18)에는 인가되지 않는다.

본 발명의 실시예에 있어서, 화소(16p)로부터 과전류(프리차지 전류)가 인가되는 것으로서 설명을 하지만, 소스 신호선(18)의 전위를 강하시키는 동작은, 도 380의 (a)에서 설명한 바와 같이 소스 드라이버 회로(IC)(14)의 동작이 지배적이다. 따라서, 화소(16p)의 동작보다는, 소스 드라이버 회로(IC)(14)로부터 과전류가 인가된다고 하는 쪽이 적절하다. 그러나, 도 380의 (b)에서 설명한 바와 같이 소스 신호선(18)의 전위를 상승시키는 동작은 화소(16p)의 동작이 지배적으로 된다. 또한, 동작은, 구동용 트랜지스터(11a), 과전류 구동용 트랜지스터(11ap)(11an:도 448을 참조할 것)에 의해서 반대 동작으로 된다. 여기서는 설명을 용이하게 하기 위해서, 소스 드라이버 회로(IC)(14)의 기준 전류비를 증가시킴으로써, 과전류가 화소(16p)로부터 공급되는 것으로서 설명한다.

실제의 동작에서는, 과전류 화소(16p)로부터 과전류를 공급하지 않는 동작도 있고, 소스 드라이버 회로(IC)(14)로부터 과전류(프리차지 전류)를 인가하지 않는 경우도 있다. 그러나, 동작을 경우 별로 설명하는 것은 번잡하여, 과전류 화소(16p)와 소스 드라이버 회로(IC)(14)가 동시에 동작하여 소정의 소스 신호선(18) 전위에 도달하고, 화소(16a)(화소(16))의 구동용 트랜지스터(11a)에 목적의 프로그램 전류가 흐르도록 제어(구동)된다.

이상과 같이 본 발명은, 소정의 기간에 적어도 과전류(프리차지 전류)를 소스 신호선(18)으로부터 흡입시키거나 혹은 소스 신호선으로 토출하는 동작을 시킨다는 점이 기술적 범주이다. 또한, 소정의 기간에 적어도 과전류를 소스 신호선(18)으로부터 흡입시키거나 혹은 소스 신호선으로 토출하는 동작을 시킨다고 하는 점이 기술적 범주이다. 따라서, 화소(16p)의 동작, 소스 드라이버 회로(IC)(14)의 동작에 본 발명의 기술적 범주(기술적 범위 혹은 청구의 범위)가 한정되는 것은 아니다.

이상의 사항은, 도 127~도 142, 도 228~도 231, 도 308~도 313, 도 324, 도 328~도 354, 도 380~도 435, 도 445~도 467 등의 회로 구성, 구동 방법, 표시 패널(표시 장치)에 대해서도 적용할 수 있는 것은 물론이다.

도 455에 있어서, (b) 기간은, (a) 기간의 영상 신호1로부터 영상 신호6으로의 변화이다. 즉, (b) 기간에서는, 영상 신호1에 대응하는 소스 신호선(18)의 전위로부터, 영상 신호6에 대응하는 소스 신호선(18)의 전위로 변화시킬 필요가 있다. 따라서, 영상 신호의 변화는 $6-1=5$ 로 비교적 크다. 따라서, 소스 신호선(18)의 전위 변화도 비교적 크다. 이 요인을 고려하여, (b) 기간의 전반의 $1/(2H)$ 기간에서는, 기준 전류비를 3으로 하고 있다. (b) 기간의 전반의 $1/(2H)$ 기간에서는, 게이트 신호선(17p)에 온 전압이 인가된다. 전반의 $1/(2H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 I_w 의 3배의 전류가 소스 신호선(18)으로부터 흡입된다. 그 때문에, 소스 신호선(18)의 전위 변화는, 정규의 프로그램 전류 I_w 를 인가하고 있는 경우와 비교하여 3배의 속도로 전하가 방전되고, 전위 변화가 발생한다. 후반의 $1/(2H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 I_w 의 1배의 전류가 소스 신호선(18)으로부터 흡입된다. 이 프로그램 전류에 대응하도록 화소(16a)의 구동용 트랜지스터(11a)의 게이트 전위가 변화하고, 프로그램 전류 I_w 가 화소에 프로그램된다.

도 455의 (c)에 있어서는, 기준 전류비는 1로 고정한다. (b) 기간에서는, 영상 신호가 6이다. (c)에서는 영상 신호가 1이다. 따라서, 영상 신호의 변화는 $1-6=-5$ 로 작아져 있다. 따라서, 소스 신호선 전위는, 애노드 전위 V_{dd} 측으로 상승시킬 필요가 있다. 이 경우에는, 도 380의 (b)에서 설명한 화소(16)의 구동용 트랜지스터(11a)의 동작이 중심으로 되기 때문에, 소스 드라이버 회로(IC)(14)의 기준 전류비가 1로도 된다. 화소(16)의 구동용 트랜지스터(11a)의 드레인-게이트 단자 사이는 단락되고, 소스 신호선(18)에 전하가 충전되어 전위가 상승한다.

도 455의 (d)에서는, 1H 전의 소스 신호선(18)의 전위가, 영상 신호1에 대응하는 전위(V_1)이다. (d)에서는, 영상 신호10이다. 따라서, $10-1=9$ 로 영상 신호 차는 크다. 즉, 소스 신호선(18)의 전위도 크게 강하시킬 필요가 있다. 이 요인을 고려하여, (d) 기간의 전반의 $1/(2H)$ 기간에서는, 기준 전류비를 4로 하고 있다. 따라서, 전반의 $1/(2H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 I_w 의 4배의 전류가 소스 신호선(18)으로부터 흡입된다. 그 때문에, 소스 신호선(18)의 전위 변화는, 정규의 프로그램 전류 I_w 를 인가하고 있는 경우와 비교하여 4배의 속도로 전하가 방전되고, 전위 변화가 발생한다. (d) 기간의 후반의 $1/(2H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 I_w 가 화소(16a)에 기입된다. 이 기간은, 게이트 신호선(17p)에는 오프 전압이 인가되어, 스위치용 트랜지스터(11cp)는 오프 상태로 된다. 따라서, 과전류(프리차지 전류)는 소스 신호선(18)에는 인가되지 않는다.

도 455의 (e)의 기간($t_5 \sim t_6$)은, 1H 전의 기간($t_4 \sim t_5$)이 영상 신호10이고, (d)의 기간($t_5 \sim t_6$)도 영상 신호가 10으로, 변화가 없다. 따라서, 도 455의 (e)에 있어서는, 기준 전류비는 1로 고정한다. 화소(16)는, 구동용 트랜지스터(11a)의 V_t 변동(특성 변동)에 따라서 동작한다. 소스 신호선(18)에는, 구동용 트랜지스터(11a)로부터 전류가 공급되고, 소스 신호선(18)에 유입되는 프로그램 전류 I_w 와 평형 상태로 되는 전위에 소스 신호선(18) 전위는 설정된다.

이상과 같이, 과전류 화소(16p)의 과전류 구동용 트랜지스터(11ap)의 동작과, 소스 드라이버 회로(IC)(14)의 기준 전류비의 증대에 의해, 소스 신호선(18)의 전위 변화를 빠르게 하여, 소정의 프로그램 전류 I_w 를 화소(16)에 기입한다.

또한, 앞서도 설명했지만, 이상의 사항은, 도 127~도 142, 도 228~도 231, 도 308~도 313, 도 324, 도 328~도 354, 도 380~도 435, 도 445~도 467 등의 회로 구성, 구동 방법, 표시 패널(표시 장치)에 대해서도 적용할 수 있는 것은 물론이다. 또한, duty비 제어 등의 본 발명의 다른 구동 방법과 조합할 수 있는 것도 물론이다. 이상의 사항은, 이후에 설명하는 본 발명의 다른 실시예에 있어서도 마찬가지이다.

도 457은, 도 455의 실시예의 변형예이다. 도 455와의 차이는, (c) 기간($t_3 \sim t_4$)에 프리차지 전압을 인가한 것이다. 프리차지 전압은 V_0 전압(계조 0) 혹은, V_1 전압(계조 1) 중 어느 것이어도 된다. 중요한 것은, 영상 신호가 큰 값으로부터 작은 값으로 될 때((c)에서는, 영상 신호6으로부터 영상 신호1로 변화함)에는, 프리차지 전압에 의해 전압을 인가하여, 소스 신호선(18) 전위를 애노드 전압(V_{dd})측으로 상승시키는 것이다.

즉, 본 발명은, 소스 드라이버 회로(IC)(14)가 흡입 전류(싱크 전류) 방향에서 동작하여, 영상 신호가 작은 방향으로 변화할 때(EL 소자(15)에 흘리는 전류를 작게 하는 방향으로 변화시킬 때), 프리차지 전압에 의해, 소스 신호선(18)의 전위를 높게 한다(구동용 트랜지스터(11a)에 전류를 흘리지 않도록 게이트 단자 전위를 변화시킨다). 더욱 바람직하게는, 도 445~도 458 등에서 설명한 실시예를 실시한다. 즉, 과전류 화소(16p)를 조작하여, 과전류를 소스 신호선(18)에 인가한다. 또한,

본 발명은, 소스 드라이버 회로(IC)(14)가 토출 전류 방향에서 동작하여, 영상 신호가 작은 방향으로 변화할 때(EL 소자(15)에 흘리는 전류를 작게 하는 방향으로 변화시킬 때), 프리차지 전압에 의해, 소스 신호선(18)의 전위를 낮게 한다(구동용 트랜지스터(11a)에 전류를 흘리지 않도록 게이트 단자 전위를 변화시킨다).

프리차지 전압을 인가할지의 여부는, 1H 전의 영상 데이터와, 다음의 영상 데이터에 의해 결정한다. 예를 들면, (b)의 기간(1H 전의 영상 데이터)과 (c)의 기간(다음의 영상 데이터)에 의해 결정한다. 이 관계를 도 463의 표에 일례로서 나타내고 있다. 또한, 도 389의 표와 같이 제어한다. 도 463의 표에 있어서, 1은 다음의 1H 기간에 있어서 프리차지 전압을 인가하는 것을 나타내고, 0은 다음의 1H 기간에 있어서 프리차지 전압을 인가하지 않는 것을 나타내고 있다. 예를 들면, 다음의 1H의 영상 데이터가 0일 때에는, 1H 전의 영상 데이터가 1 이상인 경우에 프리차지 전압을 인가한다. 또한, 다음의 1H의 영상 데이터가 1일 때에는, 1H 전의 영상 데이터가 4 이상인 경우에 프리차지 전압을 인가한다. 마찬가지로 다음의 1H의 영상 데이터가 2일 때에는, 1H 전의 영상 데이터가 5 이상인 경우에 프리차지 전압을 인가한다. 다른 경우에는, 프리차지 전압을 인가하지 않는다.

이상과 같이 본 발명은, 영상 데이터의 변화에 의해 프리차지 전압의 인가의 유무를 결정한다. 따라서, 양호한 화상 표시를 실현할 수 있다.

도 457에 있어서, (b) 기간($t_2 \sim t_3$)은 영상 신호가 6이다. (c) 기간($t_3 \sim t_4$)은 영상 신호가 1이기 때문에, 소스 신호선(18) 전위는, 애노드 전위측으로 상승시킬 필요가 있다. 그러나, 소스 드라이버 회로(IC)(14)는, 흡입 전류 방식(도 414의 경우에는 제외한다. 도 414의 경우에는, 도 457의 방법을 이용하지 않더라도 소스 신호선(18)의 전위를 양호하게 상승시킬 수 있다)이기 때문에, 소스 드라이버 회로(IC)(14)에서는, 소스 신호선(18)의 전위를 상승시킬 수 없다.

이 과제를 해결하기 위해서, 이전에 설명한 전압 구동을 실시한다. 도 457에서는, $t_3 \sim t_f$ 의 기간에 프리차지 전압을 소스 신호선(18)에 인가하여, 소스 신호선(18) 전위를 상승시키고 있다. 이 때의 기준 전류비는 1이어도 된다. 또한, 영상 신호 1에 해당하는 프로그램 전류 I_w 를 소스 신호선(18)에 소스 드라이버 회로(IC)(14)로부터 인가한다. 다른 구성 혹은 동작은 도 455와 동일 혹은 유사하므로 설명을 생략한다.

도 455, 도 457의 실시예에서는, 전반의 $1/(2H)$ 기간에, 소스 드라이버 회로(IC)(14)에 과전류로 되는 전류를 흡입, 후반의 $1/(2H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 I_w 를 화소(16a)에 기입하는 것이었다. 즉, 과전류의 인가 기간은 $1/(2H)$ 기간으로 고정이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 과전류의 인가 기간을 변화시켜도 된다.

도 458은 과전류의 인가 기간을 변화시킨 실시예이다. 도 458의 (1)은 도 455와 동일하고, 과전류의 인가 기간은 $1/(2H)$ 기간으로 고정인 실시예이다. 단, 기준 전류비는 4로 고정하고 있다. 이상과 같이 과전류의 인가 기간에서는, 기준 전류비를 고정으로 해도 된다. 고정으로 하는 것에 의해 회로 구성이 간단해져, 저코스트화를 실현할 수 있다.

도 458의 (2)는, 과전류의 인가 기간을 영상 데이터 혹은 영상 데이터의 변화(소스 신호선(18)의 전위 또는 소스 신호선(18)의 전위 변화)에 따라 변화시킨 실시예이다.

도 458의 (2)의 방법에 있어서 과전류를 인가하는 기간은, 게이트 신호선(17p)에 스위치용 트랜지스터(11cp)를 온 상태로 하는 온 전압(V_{91})이 인가된다. 이 기간은, 게이트 신호선(17p)에 온 전압을 인가함으로써 과전류 I_2 가 소스 신호선(18)에 인가된다. 과전류를 인가하고 있는 기간은, 영상 신호인 프로그램 전류 I_w 를 기입하는 화소행에 대응하는 게이트 신호선(17a)에는 오프 전압을 인가한 상태라도 된다. 물론, 영상 신호인 프로그램 전류 I_w 를 기입하는 화소행에 대응하는 게이트 신호선(17a)에는 온 전압을 인가해도 된다. 이하, 도 458의 (2)의 실시예에 대하여 설명을 한다.

과전류 I_2 의 인가 기간에 소스 드라이버 회로(IC)(14)를 동작시킨다. 이 때, 소스 드라이버 회로(IC)(14)의 기준 전류비를 크게 한다. 또한, 기준 전류비를 제어하는 구성, 방법에 대해서는 이전에 설명하고 있으므로 설명을 생략한다. 도 455에서는, 기준 전류비를 4(배)로 하고 있다. 과전의 인가 기간의 경과 후에는, 즉 정규의 프로그램 전류 I_w 를 인가하는 기간에서는, 기준 전류비는 1(배)로 한다.

도 458의 (2)의 (a) 기간에서는, 이전의 1H의 영상 신호가 0(완전 흑색 표시)으로부터 1로의 변화이다. 따라서, 영상 신호의 변화는 $1-0=1$ 으로 비교적 작다. 그러나, 도 356에서 설명한 바와 같이, 영상 신호 0에 대응하는 전압 V_0 과, 영상 신호 1에 대응하는 전압 V_1 과의 전위차는 크다. 이 요인을 고려하여, (a) 기간의 전반의 $1/(4H)$ 기간에 기준 전류비 4의 전류를

인가하고 있다. 따라서, 전반의 $1/(4H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 I_w 의 4배의 전류가 소스 신호선(18)으로부터 흡입된다. 그 때문에, 소스 신호선(18)의 전위 변화는, 정규의 프로그램 전류 I_w 를 인가하고 있는 경우와 비교하여 4배의 속도로 전하가 방전되어, 전위 변화가 발생한다.

(a) 기간의 후반의 $3/(4H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 I_w 가 화소(16a)에 기입된다. 이 기간은, 게이트 신호선(17p)에는 오프 전압이 인가되어, 스위치용 트랜지스터(11cp)는 오프 상태로 된다. 따라서, 과전류(프리차지 전류)는 소스 신호선(18)에는 인가되지 않는다.

도 458에 있어서, (b) 기간은, (a) 기간의 영상 신호1로부터 영상 신호6으로의 변화이다. 즉, (b) 기간에서는, 영상 신호1에 대응하는 소스 신호선(18)의 전위로부터, 영상 신호6에 대응하는 소스 신호선(18)의 전위로 변화시킬 필요가 있다. 따라서, 영상 신호의 변화는 $6-1=5$ 로 비교적 크다. 따라서, 소스 신호선(18)의 전위 변화도 비교적 크다.

이 요인을 고려하여, (b) 기간의 전반의 $1/(2H)$ 기간에서는, 기준 전류비4의 전류를 인가하고 있다. (b) 기간의 전반의 $1/(2H)$ 기간에서는, 게이트 신호선(17p)에 온 전압이 인가된다. 전반의 $1/(2H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 I_w 의 4배의 전류가 소스 신호선(18)으로부터 흡입된다. 그 때문에, 소스 신호선(18)의 전위 변화는, 정규의 프로그램 전류 I_w 를 인가하고 있는 경우와 비교하여 4배의 속도로 전하가 방전되어, 전위 변화가 발생한다. 후반의 $1/(2H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 I_w 의 1배의 전류가 소스 신호선(18)으로부터 흡입된다. 이 프로그램 전류에 대응하도록 화소(16a)의 구동용 트랜지스터(11a)의 게이트 전위가 변화하고, 프로그램 전류 I_w 가 화소에 프로그램된다.

도 458의 (c)에서는, 기준 전류비는 1로 고정한다. (b) 기간에서는, 영상 신호가 6이다. (c)에서는 영상 신호가 1이다. 따라서, 영상 신호의 변화는 $1-6=-5$ 로 작게 되어 있다. 따라서, 소스 신호선 전위는, 애노드 전위 V_{dd} 측으로 상승시킬 필요가 있다. 이 경우에는, 도 380의 (b)에서 설명한 화소(16)의 구동용 트랜지스터(11a)의 동작이 중심으로 되기 때문에, 소스 드라이버 회로(IC)(14)의 기준 전류비가 1로도 된다. 화소(16)의 구동용 트랜지스터(11a)의 드레인- 게이트 단자 사이는 단락되고, 소스 신호선(18)에 전하가 충전되어 전위가 상승한다. 또한, 도 457의 (c) 기간($t_3 \sim t_4$)과 같이, 프리차지 전압을 인가해도 되는 것은 물론이다.

도 458의 (d)에서는, 1H 전의 소스 신호선(18)의 전위가, 영상 신호1에 대응하는 전위(V_1)이다. (d)에서는, 영상 신호10이다. 따라서, $10-1=9$ 로 영상 신호 차는 크다. 즉, 소스 신호선(18)의 전위도 크게 강하시킬 필요가 있다.

이 요인을 고려하여, (d) 기간의 전반의 $3/(4H)$ 기간에서 프리차지 전류를 인가한다. 따라서, 전반의 $3/(4H)$ 기간에서는, 소스 드라이버 회로(IC)(14)에 정규의 프로그램 전류 I_w 의 4배의 전류가 소스 신호선(18)으로부터 흡입된다. 그 때문에, 소스 신호선(18)의 전위 변화는, 정규의 프로그램 전류 I_w 를 인가하고 있는 경우와 비교하여 4배의 속도로 전하가 방전되어, 전위 변화가 발생한다. (d) 기간의 후반의 $1/(4H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 I_w 가 화소(16a)에 기입된다. 이 기간은, 게이트 신호선(17p)에는 오프 전압이 인가되어, 스위치용 트랜지스터(11cp)는 오프 상태로 된다. 따라서, 과전류(프리차지 전류)는 소스 신호선(18)에는 인가되지 않는다.

도 458에 있어서의 (e)의 기간($t_5 \sim t_6$)은, 1H 전의 기간($t_4 \sim t_5$)이 영상 신호10이고, (d)의 기간($t_5 \sim t_6$)도 영상 신호가 10으로, 변화가 없다. 따라서, 도 455의 (e)에 있어서, 기준 전류비는 1로 고정한다. 화소(16)는, 구동용 트랜지스터(11a)의 V_t 변동(특성 변동)에 따라서 동작한다. 소스 신호선(18)에는, 구동용 트랜지스터(11a)로부터 전류가 공급되고, 소스 신호선(18)에 유입되는 프로그램 전류 I_w 와 평형 상태로 되는 전위로 소스 신호선(18) 전위는 설정된다.

이상과 같이, 과전류 화소(16p)의 과전류 구동용 트랜지스터(11ap)의 동작과, 소스 드라이버 회로(IC)(14)의 기준 전류비의 증대에 의해, 소스 신호선(18)의 전위 변화를 빠르게 하여, 소정의 프로그램 전류 I_w 를 화소(16)에 기입한다.

또한, 이상의 사항은, 도 127'~도 142, 도 228~도 231, 도 308~도 313, 도 324, 도 328~도 354, 도 380~도 435, 도 445~도 467 등의 회로 구성, 구동 방법, 표시 패널(표시 장치)에 대해서도 적용할 수 있는 것은 물론이다. 또한, duty비 제어 등의 본 발명의 다른 구동 방법과 조합할 수 있는 것도 물론이다. 이상의 사항은, 이후에 설명하는 본 발명의 다른 실시예에 있어서도 마찬가지이다.

이상의 실시예는, 기준 전류비를 변화시켜 과전류를 소스 신호선(18)에 인가하는 실시예였다. 즉, 과전류를 인가하고 있는 기간에 있어서, 영상 신호의 크기를 변화시키는 것이 아니었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다.

도 459는 과전류를 인가하고 있는 기간에 있어서, 영상 신호의 크기를 변화시킨 실시예이다. 도 459에 있어서 설명을 용이하게 하기 위해서, 일례로서, 과전류 인가 기간에 있어서, 영상 데이터는 2비트 시프트(4배)로 하는 것으로 하고, 기준 전류비는 1배로 하는 것으로 한다. 단, 과전류 인가 기간에 있어서 기준 전류비를 1보다 크게 해도 되는 것은 물론이다.

도 459의 (1)에 있어서, (a) 기간의 영상 데이터는 1로 한다. 영상 데이터는 2비트 시프트하면, 영상 신호는 4로 된다. 이 영상 데이터에 기초하는 프로그램 전류를 전반의 $1/(2H)$ 기간에 인가한다. 따라서, 프로그램 전류가 1이었다고 하더라도, 영상 신호4이기 때문에, 기준 전류를 4배로 한 것과 마찬가지로의 효과가 발휘된다. (a) 기간의 후반의 $1/(2H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 I_w 가 화소(16a)에 기입된다. 이 기간은, 게이트 신호선(17p)에는 오프 전압이 인가되어, 스위치용 트랜지스터(11cp)는 오프 상태로 된다. 따라서, 과전류(프리차지 전류)는 소스 신호선(18)에는 인가되지 않는다.

마찬가지로, (b) 기간의 영상 데이터는 6으로 한다. 영상 데이터는 2비트 시프트하면, 영상 신호는 24로 된다. 따라서, 영상 신호4이기 때문에, 기준 전류를 4배로 한 것과 마찬가지로의 효과가 발휘된다. 이 영상 데이터에 기초하는 프로그램 전류를 전반의 $1/(2H)$ 기간에 인가한다. (b) 기간의 후반의 $1/(2H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 I_w 가 화소(16a)에 기입된다. 이 기간은, 게이트 신호선(17p)에는 오프 전압이 인가되어, 스위치용 트랜지스터(11cp)는 오프 상태로 된다. 따라서, 과전류(프리차지 전류)는 소스 신호선(18)에는 인가되지 않는다.

(c) 기간의 영상 데이터는 1로 한다. 영상 데이터는 2비트 시프트해도 되지만, 실시예에서는 시프트하고 있지 않다. (b) 기간에서는, 영상 신호가 6이다. (c)에서는 영상 신호가 1이다. 따라서, 영상 신호의 변화는 $1-6=-5$ 로 작게 되어 있다. 그 때문에, 소스 신호선 전위는, 애노드 전위 V_{dd} 측으로 상승시킬 필요가 있다. 이 경우에는, 프로그램 전류를 증가시키는 것은 역효과이다. 따라서, 영상 데이터의 비트 시프트는 실시하지 않는다. 이상의 동작은 (e) 기간에 있어서도 적용된다.

(d) 기간의 영상 데이터는 10으로 한다. 영상 데이터는 2비트 시프트하면, 영상 신호는 40으로 된다. 따라서, 영상 신호4이기 때문에, 기준 전류를 4배로 한 것과 마찬가지로의 효과가 발휘된다. 이 영상 데이터에 기초하는 프로그램 전류를 전반의 $1/(2H)$ 기간에 인가한다. (d) 기간의 후반의 $1/(2H)$ 기간에서는, 기준 전류비를 1로 하여, 소정의 프로그램 전류 I_w 가 화소(16a)에 기입된다. 이 기간은, 게이트 신호선(17p)에는 오프 전압이 인가되어, 스위치용 트랜지스터(11cp)는 오프 상태로 된다. 따라서, 과전류(프리차지 전류)는 소스 신호선(18)에는 인가되지 않는다.

이상과 같이, 제어 혹은 동작시킴으로써, 기준 전류비를 변화시키지 않고, 소스 신호선(28)에 과전류를 인가할 수 있다. 따라서, 소스 신호선(18)의 전위 변화를 단시간에 실시할 수 있어, 소정의 프로그램 전류를 화소(16a)((16))에 프로그램할 수 있다.

또한, 도 459의 (2)는 과전류(프리차지 전류)를 인가하는 기간을 $1/(4H)$ 로 한 실시예이다. 다른 구성 혹은 동작은, 도 459의 (1)과 마찬가지로 혹은 유사하므로 설명을 생략한다. 또한, 도 459의 실시예에 있어서도, 도 457의 프리차지 전압(프로그램 전압)을 인가하는 것((c) 기간), 도 458의 과전류 인가 기간을 변화하는 것 등과 조합해도 되는 것은 물론이다.

또한, 도 459에 있어서, 영상 데이터를 비트 시프트시켜 프로그램 전류 I_w 를 증대시키는 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 영상 신호에 일정한 상수를 곱하는 것, 혹은, 일정한 상수를 가산하는 것 등에 의해 프로그램 전류를 증대시켜 과전류(프리차지 전류)로 해도 되는 것은 물론이다.

이상과 같이, 과전류 화소(16p)의 과전류 구동용 트랜지스터(11ap)의 동작과, 소스 드라이버 회로(IC)(14)의 영상 데이터의 비트 시프트 등에 의한 프로그램 전류의 증대에 의해, 소스 신호선(18)의 전위 변화를 빠르게 하여, 소정의 프로그램 전류 I_w 를 화소(16)에 기입한다.

또한, 이상의 사항은, 도 127~도 142, 도 228~도 231, 도 308~도 313, 도 324, 도 328~도 354, 도 380~도 435, 도 445~도 467 등의 회로 구성, 구동 방법, 표시 패널(표시 장치)에 대해서도 적용할 수 있는 것은 물론이다. 또한, duty비 제어 등의 본 발명의 다른 구동 방법과 조합할 수 있는 것도 물론이다. 이상의 사항은, 이후에 설명하는 본 발명의 다른 실시예에 있어서도 마찬가지이다.

이상의 실시예에서는, 점등률을 고려하고 있지 않지만, 점등률도 고려하여 기준 전류비의 크기 혹은 기준 전류비를 증대시키는 기간을 변화 혹은 제어함으로써, 더욱 양호한 화상 표시를 실현할 수 있다. 점등률이 낮을 때에는, 저계조의 화소가 많아, 전류 구동 방식에 있어서 기입 부족이 발생하기 쉽기 때문이다. 반대로, 점등률이 높을 때에는, 프로그램 전류 I_w 가 커서, 기입 부족이 발생하지 않는다. 따라서, 기준 전류비를 변화시킬 필요는 없다.

도 460은, 점등률에 대응하여 기준 전류비의 증대 기간(과전류 인가 기간)을 변화시킨 실시예이다. 또한, 기준 전류비의 변화는, 지연시켜 혹은 천천히 혹은 히스테리시스를 갖게 하여 실시한다. 플리커가 발생하기 때문이다. 이상의 사항은, duty 비 제어 혹은 기준 전류비 제어의 설명에서 행하고 있기 때문에 설명을 생략한다(도 93~도 116 등의 설명을 참조할 것).

도 460에 있어서, 점등률 0~10%에서는, 과전류의 인가 기간을 1H의 최초부터 7/(8H) 기간으로 하고 있다. 따라서, 과전류에 의해 급속하게 소스 신호선(18) 전위가 상승하여, 소정의 소스 신호선 전위에 도달한다. 점등률 10~25%에서는, 과전류의 인가 기간을 1H의 최초부터 3/(4H) 기간으로 하고 있다. 또한, 점등률 75% 이상에서는, 과전류의 인가 기간을 0으로 하고 있다.

도 461은, 점등률에 따라서 프리차지 전류를 발생하는 기준 전류비의 배율을 변화시킨 실시예이다. 도 461에 있어서, 점등률 0~10%에서는, 기준 전류비의 배율을 20으로 하고 있다. 따라서, 과전류에 의해 급속하게 소스 신호선(18) 전위가 상승하여, 소정의 소스 신호선 전위에 도달한다. 점등률 50~75%에서는, 기준 전류비의 배율을 10으로 하고 있다. 점등률 75% 이상에서는, 기준 전류비의 배율을 조금씩 저하시키고, 점등률 100에서는, 배율 5로 하고 있다.

이상의 실시예에서는, 1H 기간 혹은 소정의 기간 내에서는, 기준 전류비의 크기를 고정(일정)으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 또한, 기준 전류비 등을 변화시킴으로써 출력 전류(프로그램 전류 I_w)가 변화한다. 본 발명은, 기준 전류비를 변화 혹은 제어하는 것이 주목적이 아니고, 출력 전류를 변화시키는 데에 목적이 있다.

도 462에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14)의 출력 전류(프로그램 전류) I_w 는 1H 기간 내에 변화시켜도 된다. 도 462의 (a)에서는, 1H의 전반의 1/(2H) 기간에 출력 전류 I_w 를 변화시키고 있다. 출력 전류는, I32(프로그램 전류에서는 계조 32에 해당하는 전류)로부터, I10(프로그램 전류에서는 계조 10에 해당하는 전류)으로 변화시키고 있다. 또한, 다음의 1H 기간에서는 출력 전류는, I20(프로그램 전류에서는 계조 20에 해당하는 전류)로부터, I5(프로그램 전류에서는 계조 5에 해당하는 전류)로 변화시키고 있다. 출력 전류 I_w 의 변화는, 기준 전류비의 변경 등에 의해 실현할 수 있는 것은 이전에 설명한 바와 같다.

도 462의 (b)에서는, 1H의 전반의 1/(4H) 기간에 출력 전류 I_w 를 고정하고, 그 후의 1/(4H) 기간에 출력 전류 I_w 를 변화시키고 있다. 출력 전류는, I32(프로그램 전류에서는 계조 32에 해당하는 전류)로부터, I10(프로그램 전류에서는 계조 10에 해당하는 전류)으로 변화시키고 있다. 또한, 다음의 1H 기간에서는 출력 전류는, I20(프로그램 전류에서는 계조 20에 해당하는 전류)로부터, I5(프로그램 전류에서는 계조 5에 해당하는 전류)로 변화시키고 있다. 출력 전류 I_w 의 변화는, 기준 전류비의 변경 등에 의해 실현할 수 있는 것은 이전에 설명한 바와 같다.

이상의 도 460, 도 461, 도 462의 실시예는, 프리차지 전류의 인가에 관한 실시예이지만, 프리차지 전류를 프리차지 전압으로 치환하여 실시예로 해도 되는 것은 물론이다. 예를 들면, 도 460에 있어서, 저점등률인 경우에는, 프리차지 전압의 인가 기간을 길게 하고, 고점등률인 경우에는, 프리차지 전압의 인가 기간을 짧게 혹은 프리차지 전압을 인가하지 않는 실시예가 예시된다. 또한, 도 461에서는, 저점등률인 경우에는, 프리차지 전압의 애노드 전압에 가깝게 하고, 고점등률인 경우에는, 프리차지 전압을 낮게(GND에 가까워진다)하는 실시예가 예시된다.

이상의 실시예는, 과전류 화소(16p)의 과전류 구동용 트랜지스터(11ap)의 동작에 의해, 과전류(프리차지 전류)를 인가하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 465는 본 발명의 다른 실시예이다. 도 464는, 1H의 전반의 소정의 기간에 N개의 화소행을 선택하고(과전류 인가 기간), 1H의 후반의 소정의 기간에 본래의 프로그램 전류를 기입하는 1개의 화소행을 선택하여, 프로그램 전류 I_w 를 기입하고, 순차적으로 유지하는 구동 방법이다.

이후의 실시예에서는, 과전류를 소스 신호선(18)에 인가하는 기간은, 설명을 용이하게 하기 위해서, 1/(2H)로 한다. 그러나, 도 458 등에서 설명한 바와 같이 이것에 한정되는 것은 아니다. 또한, 기준 전류비의 제어, 인가 파형 등에 관한 사항은, 도 445~도 462 등을 적용할 수 있는 것은 물론이다. 또한, 프리차지 전압 혹은 프리차지 전류에 관한 사항 혹은 장치의 구성 혹은 동작 등은 도 127~도 142, 도 228~도 231, 도 308~도 313, 도 324, 도 328~도 354, 도 380~도 435에서 설명한 사항이 적용된다. 따라서, 이상에 기재하고 있는 사항은 이후에 있어서 설명을 생략한다.

도 464의 (a1)은, 복수의 게이트 신호선(17a)을 선택하고, 상기 게이트 신호선(17a)에 접속한 화소행의 구동용 트랜지스터(11a)로부터의 전류를 소스 신호선(18)에 인가한 상태를 나타내고 있다. 또한, 이전에 설명했지만, 구동용 트랜지스터(11a)가 소스 신호선(18)에 전류를 공급하는 경우도 있지만, 실제의 동작은, 소스 드라이버 회로(IC)(14)로부터의 전류에 의해 동작하는 경우도 있다.

도 464의 (a2)는 화면(144)의 표시 상태를 도시하고 있다. 도 464의 (a2)로부터 선택된 화소행에 해당하는 표시 영역은 비점등 영역(192)으로 된다. 또한, 이상의 동작도 도 19~도 27, 도 54, 도 271~도 279의 실시예를 적용할 수 있는 것은 물론이다. 또한, 혹은 조합하여 실시할 수 있는 것은 물론이다.

도 464의 (a1)에 있어서, 소스 드라이버 회로(IC)(14)는 기준 전류비 $K(K는 1 이상의 값) \times N(N은 동시에 선택한 화소행 수로서 정수)$ 으로 동작한다. 따라서, 출력 전류 I_2 는 영상 신호에 대응하는 프로그램 전류 $I_w \times N \times K$ 로 하고 있다. 그 때문에, I_2 는 커서, 소스 신호선(18)의 기생 용량의 전하를 단기간에 충방전할 수 있다.

도 464의 (b2)는 화면(144)의 표시 상태를 도시하고 있다. 도 464의 (a2)와 마찬가지로, 1H의 전반에서 선택된 화소행에 해당하는 표시 영역은 비점등 영역(192)으로 된다. 또한, 이상의 동작도 도 19~도 27, 도 54, 도 271~도 279의 실시예를 적용할 수 있는 것은 물론이다. 또한, 혹은 조합하여 실시할 수 있는 것은 물론이다.

도 464의 (b1)은 1H의 후반의 소정의 기간의 동작을 나타내고 있다. 1H의 후반 기간에서는, 본래의 프로그램 전류를 기입하는 1개의 화소행을 선택하여, 프로그램 전류 I_w 를 기입한다. 소스 드라이버 회로(IC)(14)는 프로그램 전류 I_w 를 소스 신호선(18)에 인가한다.

도 465는 도 464의 구동 방법의 타이밍차트이다. 도 465에서는, 동시에 선택하는 화소행 수는 4화소행의 예이다. 게이트 신호선(17a)의 괄호 내의 첨자는 게이트 신호선(17a)의 순서를 나타내고 있다(화면(144)의 가장 위의 화소행에 해당하는 게이트 신호선(17a)은 (17a(1))이다).

도 465에 도시하는 바와 같이 최초의 1H 기간인 (a)기간에 있어서, 전반의 $1/(2H)$ 기간에는, 게이트 신호선(17a(1)(2)(3)(4))이 선택되고, 해당하는 4 화소행으로부터 전류가 소스 신호선(18)에 유입된다(도 465의 (a1)의 상태). (a) 기간의 후반의 $1/(2H)$ 기간에는, 게이트 신호선(17a(1))만이 선택되고, 해당하는 1화소행에 프로그램 전류 I_w 가 공급된 전류 프로그램이 실시된다(도 465의 (b1)의 상태).

다음의 1H 기간은 (b)이다. (b) 기간에서는, 도 465에 도시하는 바와 같이, 선택하는 화소행은 1화소행 시프트된다. 최초의 1H 기간인 (b)기간에 있어서, 전반의 $1/(2H)$ 기간에는, 게이트 신호선(17a(2)(3)(4)(5))이 선택되고, 해당하는 4 화소행으로부터 전류가 소스 신호선(18)에 유입된다(도 465의 (a1)의 상태). (b) 기간의 후반의 $1/(2H)$ 기간에는, 게이트 신호선(17a(2))만이 선택되고, 해당하는 1화소행에 프로그램 전류 I_w 가 공급된 전류 프로그램이 실시된다(도 465의 (b1)의 상태).

마찬가지로, 다음의 1H 기간은 (c)이다. (c) 기간에서는, 도 465에 도시하는 바와 같이, 선택하는 화소행은 1화소행 시프트된다. 최초의 1H 기간인 (c)기간에 있어서, 전반의 $1/(2H)$ 기간에는, 게이트 신호선(17a(3)(4)(5)(6))이 선택되고, 해당하는 4화소행으로부터 전류가 소스 신호선(18)에 유입된다(도 465의 (a1)의 상태). (c) 기간의 후반의 $1/(2H)$ 기간에는, 게이트 신호선(17a(3))만이 선택되고, 해당하는 1화소행에 프로그램 전류 I_w 가 공급된 전류 프로그램이 실시된다(도 465의 (b1)의 상태). 이상의 동작이 순차적으로 선택하는 화소행이 시프트되어 실시된다. 다른 구성 동작은, 이전에 설명한 실시예와 마찬가지로 혹은 유사하므로 설명을 생략한다.

도 464 내지 도 465의 실시예에 있어서, 도 460과 마찬가지로, 점등률에 대응하여 복수 화소행을 선택하는 기간을 제어함으로써 양호한 화상 표시를 실현할 수 있다. 도 466은 그 실시예이다.

도 466은, 점등률에 대응하여 복수 화소행을 선택하는 기간(과전류 인가 기간)을 변화시킨 실시예이다. 또한, 기간의 변화는, 지연시켜 혹은 천천히 혹은 히스테리시스를 갖게 하여 실시한다. 플리커가 발생하기 때문이다. 이상의 사항은, duty비 제어 혹은 기준 전류비 제어의 설명에서 행하고 있기 때문에 설명을 생략한다(도 93~도 116 등의 설명을 참조할 것). 도 460, 도 461에서 설명하고 있으므로 설명을 생략한다.

이상의 실시예는, 선택하는 화소행 수를 변화시킴으로써, 과전류(프리차지 전류)를 소스 신호선(18)에 인가하는 것이었다. 그러나, 선택하는 화소행이 1화소행이더라도, 과전류(프리차지 전류)를 실현할 수 있다. 도 467은 그 실시예에 있어서의 화소 구성이다. 또한, 도 467의 화소 구성이 주요한 사항은, 도 31~도 34 등에서 설명을 하고 있다. 따라서, 차이를 중심으로 설명한다. 또한, 도 467 등에서 설명하는 구동 방식은, 도 35~도 36 등의 화소 구성에 있어서도 적용할 수 있는 것은 물론이다.

도 467의 화소 구성에서는, 트랜지스터(11a2)가 과전류($I_{w1} + I_{w2}$ 혹은 I_{w2})를 담당하는 트랜지스터이다. 구동용 트랜지스터(11a1)가 EL 소자(15)에 전류를 흘리는 트랜지스터이다. 트랜지스터(11a1)는 트랜지스터(11a1)보다 W를 크게 하여, 출력 전류가 커지도록 구성하고 있다($I_{w2} > I_{w1}$).

과전류를 흘릴 때에는, 게이트 신호선(17a1, 17a2, 17a3)에 온 전압을 인가하여, $I_{w2} + I_{w1}$ 의 전류를 소스 신호선(18)에 인가한다. 혹은, 게이트 신호선(17a1, 17a3)에 온 전압을 인가하여, I_{w2} 의 전류를 소스 신호선(18)에 인가한다.

프로그램 전류를 구동용 트랜지스터(11a1)에 기입할 때는, 게이트 신호선(17a1)에 오프 전압을 인가하고, 게이트 신호선(17a2, 17a3)에 온 전압을 인가하여, I_{w1} 의 전류를 소스 신호선(18)에 인가한다(소스 드라이버 회로(IC)(14)로부터 프로그램 전류 I_w 를 소스 신호선(18)에 인가함).

1H의 전반의 $1/(2H)$ 기간($1/(2H)$ 기간에 한정되는 것은 아니다)에, $I_{w1} + I_{w2}$ 혹은 I_{w2} 의 전류로 구동하고, 후반의 $1/(2H)$ 기간에는, 해당하는 1화소행에 프로그램 전류 I_{w1} 이 공급되어, 전류 프로그램이 실시된다. 이상의 동작이 순차적으로 선택하는 화소행이 시프트되어 실시된다. 다른 구성 동작은, 이전에 설명한 실시예와 마찬가지로 혹은 유사하므로 설명을 생략한다.

도 456이 도 467의 동작의 타이밍차트이다. 도 456에 도시하는 바와 같이, 1H의 전반의 $1/(2H)$ 기간($1/(2H)$ 기간에 한정되는 것은 아니다)에, 일례로서 기준 전류비를 4로 하여, $4 \times (I_{w1} + I_{w2})$ 혹은 $4 \times I_{w2}$ 의 전류로 구동된다. 이 때, 게이트 신호선(17a, 17a2, 17a3)에 온 전압이 인가된다.

후반의 $1/(2H)$ 기간에는, 기준 전류비는 1로 되고, 해당하는 1화소행에 프로그램 전류 I_{w1} 이 공급되어, 전류 프로그램이 실시된다. 이상의 동작이 순차적으로 선택하는 화소행이 시프트되어 실시된다. 다른 구성 동작은, 이전에 설명한 실시예와 마찬가지로 혹은 유사하므로 설명을 생략한다.

이상의 실시예는, 프리차지 전류 혹은 전압 구동에 관한 실시예였다. 이 구동 방식을 이용함으로써, 저계조시에 있어서의 EL 소자(15)의 발광 효율의 변화에 의한 화이트 밸런스 어긋남을 보정할 수 있다. 그러나, 기술적으로는, 이전에 설명한 프리차지 구동과 마찬가지로, 특히 차이를 중심으로 해서 설명한다. 따라서, 다른 구성, 동작, 방식, 형식 등은 이전에 설명한 내용이 적용된다. 또한, 이전에 설명한 본 발명의 명세서의 내용과 조합하여 실시할 수 있다.

EL 소자(15)는, 인가 전류와 발광 휘도는 직선의 관계가 있다. 그러나, 인가 전류가 작을 때에는, 발광 효율이 저하한다. RGB의 EL 소자(15)의 발광 효율이 동일 비율로 저하하는 것이면, 저계조시에 있어서도 화이트 밸런스 어긋남은 발생하지 않는다. 그러나, 도 476에 도시하는 바와 같이, RGB의 EL 소자(15)는 특히 저계조시에 발광 효율의 밸런스 어긋남이 발생한다.

도 476은, 녹색(G)에서, 31계조 이하의 발광 효율의 저하가 현저한 예이다. 도 476에서는, 적색(R)의 발광 효율의 변화가 작고, 또한, 청색(B)의 발광 효율의 변화도 저계조측에서 비교적 작다. 그러나, 녹색(G)의 발광 효율의 저하는 크기 때문에, 31계조 이하, 특히 15계조 이하에서, 큰 화이트 밸런스 어긋남이 발생하여, 백 래스터 표시이더라도, 마젠타색으로 된다.

이 과제에 대하여, 저계조측에서 전압 구동을 실시하거나, 과전류 혹은 고조 전류를 인가하면 된다. 즉, 저계조 영역에 있어서, 프리차지 전압 또는 프리차지 전류 구동을 실시한다(EL 소자(15)에 흘리는 전류가 작은 계조에서 프리차지 전압 또는 프리차지 전류의 구동을 실시함).

도 477은, 저계조 영역에서, 고조 전류 I_k 를 인가하는 구성이다. 또한, 고조 전류의 구성에 대해서는, 도 84와 그 설명을 참조하기 바란다. 고조 전류 I_k 의 제어는 스위치 $K0 \sim K3$ 으로 실시한다. 도 477의 실시예에서는, 고조 전류는 $K0 \sim K3$ 이기 때문에, 4비트이고, 0(내지)으로부터 15까지의 16단계로 변화 혹은 변경하는 것이 가능하다.

프로그램 전류 I_w 를 발생하는 트랜지스터군은 164ah, 164bh, 164ch, 164dh, 164eh, 164fh, 164gh, 164hh로 구성되고, 이들은, 스위치 $D0 \sim D7$ 로 제어된다. 고조 전류 I_k 를 발생하는 트랜지스터군은 164ak, 164bk, 164ck, 164dk로 구성되고, 이들은, 스위치 $K0 \sim K3$ 으로 제어된다.

예를 들면, 계조 0에서는, K0 스위치를 클로즈하고, 1단위의 고조 전류를 프로그램 전류에 가산한다. 계조 1에서는, K1 스위치를 클로즈하고, 2단위의 고조 전류를 프로그램 전류에 가산한다. 계조 2에서는, K0과 K1 스위치를 클로즈하고, 3 단위의 고조 전류를 프로그램 전류에 가산한다. 마찬가지로, 계조 7은, 모든 K 스위치를 클로즈하고, 15 단위의 고조 전류를 프로그램 전류에 가산한다.

이상의 실시예는, 계조에 따라서 규칙 바르게, K 스위치를 동작시키는 실시예였지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 계조 0에서는, 모든 K 스위치를 클로즈하고, 고조 전류를 프로그램 전류에 가산하지 않는 실시예도 있을 수 있다. 계조 1에서는, K0, K1 스위치를 클로즈하고, 3 단위의 고조 전류를 프로그램 전류에 가산하고, 계조 2 이상에서는, 모든 K 스위치를 클로즈하고, 15 단위의 고조 전류를 프로그램 전류에 가산하는 실시예도 예시된다. 또한, 고조 전류를 가산할지의 여부는, 스위치(151b2)를 제어함으로써 용이하게 실현할 수 있다. 다른 구성에 대해서는, 이전의 실시예에서 설명하고 있으므로 생략한다.

도 477에서는, 프리차지 전압 V_{pc} 는, V0 전압 등의 저계조용의 프리차지 전압 $V_{pc}=V_{pL}$ 과, V255 전압 등의 고계조용의 프리차지 전압 $V_{pc}=V_{pH}$ 를 구비하고, 스위치(151a)의 접점을 a접점과 b접점에서 절환하여 구동할 수 있도록 구성되어 있다((도 475의 (b) 및 그 설명을 참조할 것). 또한, 이전에 설명한 과전류 구동 등을 조합하여 실시할 수 있는 것도 물론이다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 477에서는, RGB 중, 1색의 회로를 도시하고 있다. 실제로는, RGB가 독립적으로 구성되어 있다. 또한, RGB에서, 고조 전류의 크기, 개수, 비트 수를 변화 혹은 변경해도 되는 것은 물론이다. 고조 전류의 크기는, 기준 전류 I_{c2} 를 변화시킴으로써 용이하게 실현할 수 있다. 또한, 기준 전류 I_{c1} 과 I_{c2} 를 공통으로 함으로써 회로 구성을 용이하게 할 수 있는 것은 물론이다. 또한, 고조 전류를 출력하는 트랜지스터는 단위 트랜지스터로 할 필요는 없고, 계조마다 대응한 고조 전류를 출력할 수 있도록 변화 혹은 변경해도 된다. RGB에 계조에 따라서 고조 전류를 인가함으로써 화이트 밸런스 어긋남을 보정(보상 혹은 조정)하는 것을 용이하게 실현할 수 있다. 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 477의 실시예는, 단위 트랜지스터로 고조 전류의 출력단을 구성한 실시예였다. 그러나, 본 발명은, 이것에 한정되는 것은 아니다. 예를 들면, 도 478에 도시하는 바와 같이, 고조 전류 I_k 를 출력하는 1개 또는 복수의 트랜지스터(164k)로 구성해도 된다. 도 478의 구성에서 계조에 따른 고조 전류를 출력하기 위해서는, 기준 전류 I_{c2} 를 변화시키면 된다.

또한, 도 478에서, 계조에 따라서 고조 전류의 크기를 변화시키기 위해서는, 도 479에 도시하는 바와 같이 스위치(151b2)의 클로즈 시간을 제어하는 방법도 있다. 고조 전류용 트랜지스터(164k)는, 비교적 큰 고조 전류를 출력할 수 있도록 구성한다. 스위치(151b2)의 단기간의 클로즈에서는 고조 전류의 인가의 영향은 작다. 스위치(151b2)를 장시간 클로즈시키면, 소스 신호선(18)의 전위 변화에 대한 영향은 커진다.

도 479에서는, 카운터 회로(4682)는 1H의 스타트 펄스로 리셋되고, 메인 클럭 CLK에 의해 카운트 업된다(도 471을 참조할 것). 카운터 회로(4782)는 RAM에 유지된 계조 혹은 계조 변화에 대한 데이터로 제어된다. 카운터 회로(4682R)는 소스 드라이버 회로(IC)(14)의 적색의 스위치(R-SW(151b2))를 제어한다. 카운터 회로(4682G)는 소스 드라이버 회로(IC)(14)의 녹색의 스위치(G-SW(151b2))를 제어한다. 또한, 마찬가지로 카운터 회로(4682B)는 소스 드라이버 회로(IC)(14)의 청색의 스위치(B-SW(151b2))를 제어한다.

도 479에서는, G 회로의 스위치(151b2)가 클로즈되어 있는 기간이 가장 길고, 다음으로 R 회로의 스위치(151b2)가 클로즈되어 있는 기간이 길고, B 회로의 스위치(151b2)가 클로즈되어 있는 기간이 가장 짧은 예이다. 따라서, 고조 전류는, G가 가장 크고, 다음으로 R이 크고, B가 가장 작다. 그 때문에, G의 화이트 밸런스 어긋남 보정이 가장 크고, B의 화이트 밸런스 어긋남 보정이 가장 작다. 이상의 스위치(151b2)의 클로즈 시간을 계조 혹은 계조차에 대응하여 제어함으로써, 화이트 밸런스 어긋남을 양호하게 보정할 수 있다.

이상과 같이, 고조 전류의 인가 기간에, 소스 신호선(18)의 전위를 제어할 수 있는 것은, 저계조 영역에서 프로그램 전류가 작기 때문에, 프리차지 전류 구동 혹은 프리차지 전압 구동에 의한 소스 신호선(18) 전위 변화가 지배적이기 때문이다. 즉, 저계조에 있어서의 고조 전류 구동은, 이전에 설명한 프리차지 전류 구동과 마찬가지로의 동작이다(도 471, 도 472 등을 참조할 것).

도 479의 실시예는, 도 477의 스위치(151b2) 제어에도 적용할 수 있는 것은 물론이다. 또한, 도 477, 도 478의 실시예에서는, 프리차지 전류 혹은 고조 전류 구동으로 화이트 밸런스 어긋남을 보정하는 것이었지만, 프리차지 전압 구동으로도 화이트 밸런스 어긋남을 보정할 수 있는 것은 물론이다. 프리차지 전압 구동에 의한 화이트 밸런스 어긋남의 보정은, 이전에 설명한 프리차지 전압 구동과 마찬가지로 설명을 생략한다.

도 478 등에 있어서, 스위치(151b2) 등은 1H의 최초부터 클로즈시키는 것으로 했지만, 이것에 한정되는 것은 아니다. 1H 기간의 어떠한 기간에 클로즈시키더라도 실용상은 충분한 보정을 실현할 수 있다. 또한, 1H 기간에 복수회 클로즈 혹은 오픈으로 해도 되는 것은 물론이다. 이상의 사항은, 본 발명의 다른 스위치 제어에 있어서도 적용할 수 있는 것은 물론이다.

도 477, 도 478 등은, 고조 전류를 프로그램 전류 I_w 에 가산함으로써 저계조 영역의 화이트 밸런스 어긋남을 보정하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 480에 도시하는 바와 같이, 저계조 보정용의 단위 트랜지스터군(164)(164a1~164h1)과 별도로 구성해도 된다.

도 480에서는, 저계조 보정용의 단위 트랜지스터군(164)은 프로그램 전류 I_w 를 발생하는 단위 트랜지스터군과 동기를 취하여 동작한다. 또한, 저계조 보정용의 단위 트랜지스터군(164)은 단위 트랜지스터로 구성하는 것에 한정되는 것은 아니고, 도 478에서 설명한 바와 같이 크기가 다른 트랜지스터로 구성해도 된다.

도 480의 저계조 보정용 트랜지스터군은, L0~L4의 5 비트로 제어된다. 따라서, 1계조째로부터 31계조째까지 보정할 수 있다. 1계조째인 경우에는, 스위치 D0이 클로즈하고, 동시에 스위치 L0도 클로즈한다. 따라서, 단자(155)에는, 트랜지스터군(164ah)의 단위 전류와, 트랜지스터(164a1)의 단위 전류가 가산된 것이 출력된다. 마찬가지로, 2계조째인 경우에는, 스위치 D1이 클로즈하고, 동시에 스위치 L1도 클로즈한다. 따라서, 단자(155)에는, 트랜지스터군(164bh)의 2단위 전류와, 트랜지스터(164b1)의 2단위 전류가 가산된 것이 출력된다. 또한, 마찬가지로, 4계조째인 경우에는, 스위치 D2가 클로즈하고, 동시에 스위치 L2도 클로즈한다. 따라서, 단자(155)에는, 트랜지스터군(164ch)의 4단위 전류와, 트랜지스터(164c1)의 4단위 전류가 가산된 것이 출력된다. 이하, 마찬가지로이다. 그러나, 32계조째인 경우에는, 스위치 D0~D4가 클로즈하고, 프로그램 전류에 대응하는 32단위 전류가 단자(155)로 출력되지만, 저계조측의 단위 트랜지스터군(164)은 동작하지 않는다. 도 476에 도시하는 바와 같이 32계조 이상에서는 화이트 밸런스 어긋남을 보정할 필요가 없기 때문이다. 또한, RGB의 저계조 전류의 크기는, RGB에서 기준 전류 I_{dl} 을 다르게 하거나 혹은 조정함으로써 실현할 수 있는 것은 물론이다. 다른 구성은, 본 발명의 다른 실시예와 마찬가지로 설명을 생략한다.

이상의 실시예와 도 479의 실시예를 조합해도 되는 것은 물론이다. 또한, 도 480의 실시예에서는, 저계조에서, D_n 스위치와 L_n 스위치를 동기시켜 동작시키는 것으로 했지만, 이것에 한정되는 것은 아니고, 저계조에서는, L_n 스위치(도 480에서는, L0~L4)만을 동작시키도록 구성해도 되는 것은 물론이다. 32계조 이상의 중간 계조 이상에서는, 모든 1N 스위치를 클로즈시키고, D_n 스위치를 계조에 맞추어 클로즈시킨다. 이 경우에는, 도 481에 도시하는 바와 같이, 1점 꺾임선 감마로 된다. 또한, 도 481에서는, 청색(B)에만 1점 꺾임 감마를 실시하고 있다. 적색(R)과 청색(B)에는 실시하고 있지 않다. 물론, RGB에 1점 꺾임 감마를 실시해도 된다. 또한, 1점 꺾임 감마에 한정되는 것은 아니고, 2점 이상의 다점 꺾임 감마로 해도 된다. 또한, 이 구성은, 도 84에서도 설명하고 있으므로 설명을 생략한다.

저계조의 화이트 밸런스 어긋남은, 과전류 구동 혹은 도 477~도 480 등의 고조 전류 구동 등뿐만 아니라, 프리차지 전압 구동이어도 보상(보정)할 수 있다. 도 482는 그 실시예이다. 도 482에서는, 계조 3 이하로 전압 구동을 실시하고 있다. 따라서, (b), (c), (d), (e), (g)의 기간이 계조 3 이하이므로, 1H의 기간 동안, 프리차지 전압을 인가하고 있다. 또한, 1H의 기간 전부에 프리차지 전압을 인가하는 것에 한정되는 것은 아니다. 1H의 기간의 일부의 기간에 프리차지 전압(프로그램 전압)을 실시하는 것이어도 되는 것은 물론이다.

도 483은, 과전류 구동(프리차지 전류 구동)에 의해 저계조의 화이트 밸런스 어긋남을 보정하는 것이다. 도 483에서는, 계조 3 이하에서 과전류 구동을 실시하고 있다. 단, 과전류의 방향은 토출 전류 방향인 예이다. 따라서, (b), (c), (d), (e), (g)의 기간이 계조 3 이하이므로, 1H의 기간 동안, 프리차지 전류를 인가하고 있다. 따라서, 소스 신호선(18)의 전위는 직선적으로 애노드 전압 V_{dd} 의 방향으로 상승한다. 또한, 1H의 기간 전부에 프리차지 전류를 인가하는 것에 한정되는 것은 아니다. 1H의 기간의 일부의 기간에 프리차지 전류(+ 프로그램 전류)를 실시하는 것이어도 되는 것은 물론이다.

도 484는, 프리차지 전압을 인가한 후, 과전류 구동(프리차지 전류 구동)에 의해 저계조의 화이트 밸런스 어긋남을 보정하는 것이다. 도 484에서는, 계조 3 이하에서 본 발명의 구동 방법을 실시하고 있다. 따라서, (b), (c), (d), (e), (g)의 기간이 계조 3 이하이므로, 1H 최초의 기간에, 계조에 대응하는 V_0 전압을 인가하고(프리차지 전압을 인가하고), 동시에 혹은, 프리차지 전압의 인가 후에, 프리차지 전류를 인가하고 있다. 단, 프리차지 전류의 방향은 싱크 전류(흡입 전류)의 방향이다.

따라서, (b), (c), (d), (e), (g)의 기간에서는, 1H의 최초에 소스 신호선(18) 전위는 V0 전압으로 되고, 프리차지 전류에 의해 소스 신호선(18) 전위는 저하한다. 소스 신호선(18)의 전위는 직선적으로 GND 방향으로 저하한다. 또한, 1H의 기간 전부에 프리차지 전류를 인가하는 것에 한정되는 것은 아니다. 1H의 기간의 일부의 기간에 프리차지 전류(+ 프로그램 전류)를 실시하는 것이어도 되는 것은 물론이다.

이상과 같이, 저계조의 화이트 밸런스 어긋남의 보정에 있어서도, 본 발명의 과전류 구동, 프리차지 전압(프로그램 전압) 구동, 고조 전류 구동 등, 혹은 조합에 의해 개선할 수 있어, 전체 계조 범위에서 양호한 화이트 밸런스를 실현할 수 있다. 또한, 이상의 실시예에는 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 381~도 422, 도 445~도 467, 도 477~도 484 등에서는, 순차적으로 과전류(프리차지 전류 혹은 디스차지 전류), 고조 전류 등을 인가할지의 여부를 판단하도록 설명했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 인터레이스 구동인 경우에는, 제1 필드에서 홀수 화소행에 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고, 제2 필드에서 짝수 화소행에 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하도록 구동해도 된다.

또한, 임의의 프레임에서, 과전류(프리차지 전류 혹은 디스차지 전류)를 각 화소행에 인가하고, 다음의 프레임에서는, 과전류(프리차지 전류 혹은 디스차지 전류)를 전혀 인가하지 않는 구동 방법도 예시된다. 또한, 각 화소행에 랜덤하게 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고, 복수 프레임에서 평균적으로 각 화소에 과전류(프리차지 전류 혹은 디스차지 전류)가 인가되도록 구동해도 된다.

또한, 특정한 저계조의 화소에만 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 구동 방식이 예시된다. 또한, 특정한 고계조의 화소에만 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 구동 방식이 예시된다. 또한, 특정한 중간 계조의 화소에만 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 구성도 예시된다. 또한, 1H 또는 복수H 전의 소스 신호선 전위(화상 데이터)로부터, 특정 계조 범위의 화소에 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 구성도 예시된다.

도 381~도 422, 도 477~도 484의 과전류 구동(전류 프리차지 구동) 등에 있어서의 과전류(프리차지 전류)는, 화상(영상) 데이터, 점등률, 애노드(캐소드) 단자에 흐르는 전류, 패널 온도 등에 의해, 기준 전류, duty비, 프리차지 전압(프로그램 전압과 같거나 유사), 감마 커브 등을 변경 혹은 조정 혹은 변화 혹은 가변하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 화상(영상) 데이터, 점등률, 애노드(캐소드) 단자에 흐르는 전류, 패널 온도의 변화 비율 혹은 변화를 예상 또는 예측하여, 기준 전류, duty비, 프리차지 전압(프로그램 전압과 같거나 유사), 감마 커브 등을 변경 혹은 조정 혹은 변화 혹은 가변 혹은 제어해도 되는 것은 물론이다. 또한, 프레임 레이트 등을 변경 혹은 변화시켜서도 되는 것은 물론이다.

예를 들면, 과전류(프리차지 전류)의 크기, 인가 시간, 인가 횟수 등은, 도 93 내지 도 116, 도 252, 도 269의 점등률, duty비, 기준 전류와 연동 혹은 조합해도 된다. 또한, 도 117, 도 236, 도 238, 도 257의 프리차지 전압 제어와 연동 혹은 조합해도 된다. 또한, 도 122, 도 123, 도 124, 도 125, 도 280의 애노드 전압 제어와 연동 혹은 조합해도 된다. 물론, 도 127~도 142, 도 308~도 313, 도 332~도 354에서 설명한 전압 구동(전압 프리차지 A)과 조합해도 된다. 또한, 도 149, 도 150, 도 151, 도 152, 도 153의 RGB의 기준 전류 제어와 연동 혹은 조합해도 된다. 또한, 도 253, 도 254의 온도 제어의 개념을 조합해도 된다. 또한, 도 256의 감마 제어와 연동 혹은 조합해도 된다. 또한, 도 259, 도 313 등에서 설명한 프레임 레이트 컨트롤(FRC)과 연동 혹은 조합해도 된다. 또한, 도 277~도 276의 선택 게이트 신호선 수와 연동 혹은 조합해도 된다. 또한, 도 315, 도 318의 게이트 전압 제어(Vgh, Vgl)와 연동 혹은 조합해도 된다. 또한, 도 317의 분할수 제어와 연동시켜도 된다.

본 발명에서는, 프리차지 전류 혹은 프리차지 전압 구동을 실시하는 것으로 했다. 예를 들면, 8비트(256계조)의 소스 드라이버 회로(IC)(14)에서 1024계조를 실현하기 위해서는, 도 313에서 설명한 바와 같이 4FRC와 조합한다. 따라서, 1024계조에서, 2계조제는, 256계조의 소스 드라이버 회로(IC)(14)에서는 0계조제의 출력과 1계조제의 출력을 조합하여 표시한다. 따라서, FRC 구동에서는 소스 신호선(18)에는, 1H마다 0계조제의 전압(프리차지 전압과 1계조제의 프로그램 전압 또는 프로그램 전류)이 교대로 인가된다. 이 영역은 저계조 영역이기 때문에, 1계조제는 반드시 프리차지 구동이 실시된다. 프리차지 구동은 래스터 표시에서도 실시된다. 프리차지 구동하면, 전류 구동이더라도 전압 구동 상태로 되어 표시의 균일성이 저하한다. 한편 래스터 표시에서는, 가령 저계조 영역이더라도 기입 부족은 발생하지 않기 때문에, 프로그램 전류만으로 균일 표시를 실현할 수 있다. 프리차지 구동을 실시하는 것에 의해 균일성이 저하하는 것은 바람직하지 않다.

이 과제를 해결하기 위해서, 본 발명은, FRC 구동을 실시하는 경우에는, 인접한 계조 출력인 경우(256계조의 소스 드라이버 회로(IC)(14)에서는, 0계조제의 출력과 1계조제가 인접 출력이다. 또한, 1계조제의 출력과 2계조제가 인접 출력이다)는, 프리차지 구동은 실시하지 않는다. 즉, 소스 신호선(18)에 인가되는 출력이, 1계조분밖에 차이가 없을 때는 프리차지

구동(전압 프리차지, 전류 프리차지 등)을 실시하지 않는다. FRC에 의한 래스터 표시 혹은 화상에 변화가 발생하지 않는다고 판단하고, 전류 구동만으로 균일 표시를 실현하기 때문이다. 1계조차는 FRC를 실시하기 때문에, 프리차지 구동을 실시하면, 화면 전체에 전압 구동이 실시되게 되어, 각 화소(16)의 구동용 트랜지스터(11a)의 특성 변동이 화면(144)에 표시될 가능성이 높기 때문이다.

또한, FRC라 함은, 인접한 계조를 조합하여 중간의 계조 표시를 실현하는 기술이다. 예를 들면, 6비트 표시(64계조)로 4FRC를 실시하면, 약 256계조 표시를 실현할 수 있다. 이 표시 방법에서는, 예를 들면, 1계조째와 2계조째(인접한 계조)를 조합하여, 1계조째와 2계조째 사이에 7계조의 표시를 실현할 수 있다. 마찬가지로, 2계조째와 3계조째(인접한 계조)를 조합하여, 1계조째와 2계조째 사이에 7계조의 표시를 실현할 수 있다.

2계조 이상의 차이가 있을 때는, 프리차지 구동(전압 프리차지, 전류 프리차지 등)을 실시한다(특히 저계조 영역에서는 실시함). 예를 들면, 256계조의 소스 드라이버 회로(IC)(14)에서는, 소스 신호선(18)에 인가하는 출력이 0계조째로부터 2계조째로 변화할 때이다. 또한, 1계조째의 출력으로부터 3계조째로 변화할 때이다. 2계조 이상 변화할 때는, FRC 이상의 계조 변화로서 판단하고, 기입 부족을 프리차지 구동으로 해결한다. 이상의 판단은, 컨트롤러 회로(IC)(760)에서 행한다. 즉, 2계조차 이상에서는, FRC 구동은 실시되지 않기 때문이다.

더욱 실시예를 기재하면, 1024계조의 6계조째는, 256계조의 소스 드라이버 회로(IC)(14)에서는, 1계조째의 출력과 2계조째의 출력으로 표시한다. 소스 신호선(18)에는 256계조의 소스 드라이버 회로(IC)(14)로부터, 1계조째의 출력과 2계조째의 출력이 교대로 혹은 일정 주기로 인가된다.

이와 같이, 소스 신호선(18)에 인가하는 영상 데이터가 1계조분일 때에는, 프리차지 구동은 실시하지 않는다. 즉, 소스 신호선(18)에 인가되는 출력이, FRC를 고려하지 않는 계조(본 실시예에서는 256계조)에서 1계조분밖에 차이가 없을 때는 프리차지 구동(전압 프리차지, 전류 프리차지 등)을 실시하지 않는다. FRC에 의한 래스터 표시 혹은 화상에 변화가 발생하지 않는다고 판단하고, 전류 구동만으로 균일 표시를 실현하기 때문이다.

2계조 이상의 차이가 있을 때는, 프리차지 구동(전압 프리차지, 전류 프리차지 등)을 실시한다. 특히 저계조 영역에서 실시한다. 예를 들면, 256계조의 소스 드라이버 회로(IC)(14)에서는, 소스 신호선(18)에 인가하는 출력이 1계조째로부터 3계조째 이상으로 변화하는 경우가 예시된다. 또한, 고계조 영역에서는 프리차지 구동을 실시할 필요가 없다. 기입 전류가 크기 때문이다.

이상은 FRC를 실시할 때에, 본 계조(실시예에서는 256계조)에서, 소스 신호선(18)에 인가하는 계조수가 2계조 이상 변화할 때에, 필요에 따라서 프리차지 구동을 실시하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. FRC를 실시하지 않는 경우에 있어서도, 소스 신호선(18)에 인가하는 계조수가 2계조 이상 변화할 때에, 필요에 따라서 프리차지 구동을 실시하는 것으로 해도 되는 것은 물론이다.

단, 인접한 화소행에서의 변화(소스 신호선(18)에 인가하는 신호 레벨의 변화)가 1계조차인 경우이더라도, 프리차지 구동을 실시해도 된다. 예를 들면, 자연 화상을 표시하는 경우에는, 프리차지 구동을 실시해도, 각 화소(16)의 구동용 트랜지스터(11a)의 특성 변동은 눈에 띄지 않는다(백 래스터 등의 패턴 표시인 경우에는, 구동용 트랜지스터(11a)의 특성 변동이 눈에 띈다). 따라서, 표시 화상을 컨트롤러 회로(IC)(760)에서 판단하여, 프리차지 구동의 실시의 유무를 결정하면 된다.

또한, nFRC 후의 계조에서 변화하는 계조수가 C인 것으로 한 경우에, C/n 이 1보다 큰 경우에 필요에 따라서 프리차지 구동을 실시하는 것으로 해도 되는 것은 물론이다. 예를 들면, 4FRC에서, 1024계조 표시를 하는 경우, 1024계조에서 변화하는 계조수가 4($C=4$)이면, $4/4=1$ 이고, 프리차지 구동은 실시하지 않는다. 1024계조에서 변화하는 계조수가 5 이상($C=5$ 이상)이면, $5/4 > 1$ 로서, 필요에 따라서 프리차지 구동을 실시한다.

이상의 실시예에서는, C/n 가 1보다 큰 경우에 필요에 따라서 프리차지 구동을 실시하는 것으로서 설명했지만, C/n 가 K보다 큰 경우에 필요에 따라서 프리차지 구동을 실시하는 것으로 해도 된다. K의 값은, 점등률에 따라 변화시킨다. 예를 들면, 4FRC에서, 1024계조 표시를 하는 경우, 점등률이 70% 이상인 경우에는 $K=4$ 로 하고, 1024계조에서 변화하는 계조수가 16($C=16$) 이상이면, $16/4=4=K$ 로서, 프리차지 구동을 실시하는 것으로 해도 된다. $C=16$ 미만인 경우에는 프리차지 구동을 실시하지 않는다. 또한, 4FRC에서, 1024계조 표시를 하는 경우, 점등률이 20% 이상인 경우에는 $K=2$ 로 하고, 1024계조에서 변화하는 계조수가 8($C=8$) 이상이면, $8/4=2=K$ 로서, 프리차지 구동을 실시하는 것으로 해도 된다. $C=8$ 미만인 경우에는 프리차지 구동을 실시하지 않는다.

상술한 실시예에서는, 소스 신호선(18)에 인가하는 출력이 1계조째로부터 3계조째 이상으로 변화하는 경우 등, 저계조로부터 고계조로 변화할 때, 3계조째로부터 1계조째 이하, 10계조째로부터 8계조째 이하 등과 같이, 고계조로부터 저계조로 변화할 때에, 프리차지 구동해도 되는 것은 물론이다. 또한, 소정 계조 이상의 고계조 영역에서는 프리차지 구동을 실시할 필요가 없다. 기입 전류가 크기 때문이다.

이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있다. 또한, 본 발명의 다른 실시예와 조합하여 실시할 수 있는 것은 물론이다.

또한, 도 127~도 143, 도 293, 도 311, 도 312, 도 339~도 344, 도 477~도 484 등에서 설명한 프리차지 전압(프로그램 전압과 같거나 유사) 구동과, 도 381~도 422 등에서 설명한 과전류(프리차지 전류 혹은 디스차지 전류)를 조합해도 되는 것은 물론이다. 예를 들면, 소정 화소에 인가하는 영상 데이터가 소정의 조건을 만족시키는 경우에, 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하고, 그 후, 순차적으로 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고, 또한 1H의 남은 기간에 프로그램 전류를 인가하는 방식이 예시된다.

또한, 인터레이스 구동인 경우에는, 제1 필드에서 홀수 화소행에 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하고, 제2 필드에서 짝수 화소행에 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 구동 방식이 예시된다.

임의의 프레임에서, 프리차지 전압(프로그램 전압과 같거나 유사) 혹은 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고, 다음의 프레임에서는, 프리차지 전압(프로그램 전압과 같거나 유사) 및 과전류(프리차지 전류 혹은 디스차지 전류)를 전혀 인가하지 않는 구동 방식도 예시된다.

또한, 각 화소행에 랜덤하게 프리차지 전압(프로그램 전압과 같거나 유사) 또는/및 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고, 복수 프레임에서 평균적으로 각 화소에 프리차지 전압(프로그램 전압과 같거나 유사) 또는 과전류(프리차지 전류 혹은 디스차지 전류)가 인가되도록 구동해도 된다.

또한, 특정한 저계조의 화소에만 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하고, 중간 계조에는 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 구동 방식이 예시된다.

또한, 특정한 고계조의 화소에만 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하고, 저계조의 화소에는, 프리차지 전압(프로그램 전압과 같거나 유사)과 과전류(프리차지 전류 혹은 디스차지 전류)를 적시에 판단하여 인가하는 구동 방식이 예시된다.

또한, 특정한 1H 전 또는 복수H 전의 화상 데이터와의 차가 큰 경우에, 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하고, 0계조 또는 저계조인 경우에 프리차지 전압(프로그램 전압과 같거나 유사)을 인가하는 구성(방식)도 예시된다.

또한, 1H 또는 복수H 전의 소스 신호선 전위(화상 데이터)로부터, 특정 계조 범위의 화소에 프리차지 전압(프로그램 전압과 같거나 유사) 혹은 과전류(프리차지 전류 혹은 디스차지 전류)를 인가하는 구성(방식)도 예시된다.

이상과 같이, 본 발명의 구동 방식은, 본 명세서에서 기재한 구동 방식을 조합하여 이용할 수 있는 것은 물론이다. 예를 들면, 도 127~도 143, 도 293, 도 311, 도 312, 도 339~도 344에서 설명한 프리차지 전압(프로그램 전압과 같거나 유사) 구동 등과, 도 381~도 422, 도 477~도 484 등에서 설명한 과전류(프리차지 전류 혹은 디스차지 전류) 구동 등은 조합할 수 있다.

전류 프로그램 방식에서는, 소스 신호선(18)의 기생 용량이 과제로 된다. 소스 신호선의 기생 용량은, 표시 화면(144) 내에서 균일하지 않다. 일반적으로 화면의 주변부에서 기생 용량은 크고, 중앙부에서 작다. 이것은, 도 524에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14)로부터 표시 영역(144)으로 배선하는 소스 신호선(18)의 배치에 의해 기생 용량이 변화하여 형성되기 때문이라고 생각된다. 소스 드라이버 회로(IC)(14)로부터 표시 영역(144) 사이(도 524에서는 A의 영역)에서는, 소스 신호선(18)이 비스듬하게 배치되는 것이 있다.

표시 영역(144)의 중앙부의 소스 신호선(18f, 18g)은 소스 드라이버 회로(IC)(14)로부터 직선적으로 배치된다. 따라서, 소스 신호선(18f, 18g)의 기생 용량은 비교적 작아진다. 표시 영역(144)의 주변부의 소스 신호선(18a, 18b, 18m, 18n)은 소스 드라이버 회로(IC)(14)로부터 비스듬하게 배치된다. 따라서, 소스 신호선(18a, 18b, 18m, 18n)의 기생 용량은, 소스 신호선(18f, 18g)의 기생 용량보다 커진다.

소스 신호선(18)의 기생 용량이 서로 다르면, 전류 프로그램시의 프로그램 전류 I_w 가 소스 신호선 위치에 대응하여 변화한다. 특히, 이 현상은 저계조 영역에서 발생한다. 즉, 화면 중앙부(선대칭)로부터 화면 주변부에 걸쳐서, 휘도 경사가 발생한다.

이 과제에 대하여 본 발명은, 도 524와 같이, 소스 신호선(18)에 절연막(32)을 형성하고, 이 절연막(32) 상에 컨덴서 전극(5191)(도 519도 참조할 것)이 형성되어 있다. 도 519에서도 설명했지만, 컨덴서 전극(5191)은 소스 신호선(18)의 하층 등에 형성해도 되는 것은 물론이다.

도 522는 도 524의 A 개소의 평면도이다. 도 522의 (a)의 k개소가 표시 패널의 중앙부이다(도 524의 k 위치를 참조할 것). k개소의 단면도(kk')를 도 523의 (b)에 도시한다. 도 522의 (a)의 j개소가 표시 패널의 주변부이다(도 524의 j 위치를 참조할 것). j개소의 단면도(jj')를 도 523의 (a)에 도시한다.

도 523에서도 명확한 바와 같이, 도 523의 (b)의 컨덴서 전극(5191)과 소스 신호선(18)과의 오버랩은, 도 523의 (a)의 컨덴서 전극(5191)과 소스 신호선(18)과의 오버랩보다 크다. 따라서, 도 523의 (b)의 컨덴서 용량 쪽이, 도 523의 (a)의 컨덴서 용량보다 크다. 따라서, 도 522의 (a)에 있어서의 k점의 컨덴서 용량 쪽이, j점의 컨덴서 용량보다 크다. 이상의 구성을 채용 혹은 실현함으로써 도 524의 k점의 컨덴서 용량과 j점의 컨덴서 용량을 일치시킬 수 있다. 따라서, 저계조에서의 전류 프로그램 구동시더라도, 화면(144)에 휘도 경사가 발생하는 일은 없다.

이상의 실시예는, 컨덴서 전극(5191)의 전위를 일정하게 하는 구성이었다. 컨덴서 용량을 소스 신호선(18) 위치에 따라서 변화시키는 것을, 이상의 실시예뿐만 아니라, 도 522의 (b)의 구성에 의해서도 실현할 수 있다. 도 522의 (b)는 도 522의 (a)의 등가 회로도이다. 도 522의 (a)의 L부가 가늘게 제작되어 있기 때문에, 등가적으로 저항 R이 접속된 상태로 된다(도 522의 (b)).

따라서, 도 522의 (b)의 B점에 전압을 인가하면, B점으로부터 A점, B점으로부터 C점에 걸쳐서 전위 경사가 발생한다. 따라서, B점 부근에서는 컨덴서 용량이 증가하고, A점 및 C점에서는, B점에 대하여 상대적으로 컨덴서 용량이 저하한다. 따라서, 도 524에 있어서의 j점(소스 신호선(18)의 기생 용량이 크다)과 k점(소스 신호선(18)의 기생 용량이 작다)의 토탈의 컨덴서 용량이 일치한다.

도 522의 (b)의 A점, C점, B점 등 전압을 인가하는 위치에 따라서 소스 드라이버 회로(IC)(14)로부터 각 소스 신호선(18)을 본 컨덴서 용량을 변화 혹은 변경할 수 있다. 따라서, 화면의 휘도 경사를 보정할 수 있고, 또한, 의도적으로 휘도 경사를 발생시킬 수도 있다.

도 522에서는, 소스 신호선(18) 상에 컨덴서 전극(5191)을 형성하는 것으로 했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 본 발명의 의도는, 소스 드라이버 회로(IC)(14)로부터 각 소스 신호선(18)을 보았을 때, 기생 용량(기생 용량에 한정되는 것은 아니다. 컨덴서 성분이면 된다)이 각 소스 신호선(18)에서 대략 일치 혹은 극력 동일하게 되도록 구성하는 것이다.

따라서, 도 522와 같이, 소스 신호선(18) 상에 컨덴서 전극(5191)을 형성 또는 배치하는 구성이 일례이다. 그 외에, 인접한 소스 신호선(18) 사이에 제1 전극을 형성하고, 형성한 제1 전극을 소정 전위로 함으로써 소스 신호선(18)과 이 제1 전극 사이에 전자 결합시켜, 컨덴서를 구성해도 된다. 제1 전극의 형상, 위치를 화면(144)의 중앙부와 주변부에서 변화시킴으로써, 소스 신호선(18)의 컨덴서 용량을 균일화시킬 수 있다.

인접한 소스 신호선(18) 사이에 홈을 형성하여, 기관(30)을 통하여 인접한 소스 신호선(18)이 전자 결합하는 것을 변화 혹은 조정할 수 있다. 홈을 깊게 함으로써, 인접한 소스 신호선 간의 전자 결합은 작아지고, 해당 소스 신호선(18) 사이의 컨덴서 용량은 작아진다. 또한, 홈을 깊게 함으로써, 인접한 소스 신호선 간의 전자 결합은 작아지고, 해당 소스 신호선(18) 사이의 컨덴서 용량은 작아진다. 반대로 기관(30)에 형성하는 홈을 짧게 함으로써, 인접한 소스 신호선 간의 전자 결합은 상대적으로 커지고, 해당 소스 신호선(18) 사이의 컨덴서 용량은 커진다. 또한, 홈을 얇게 함으로써, 인접한 소스 신호선 간의 전자 결합은 상대적으로 커지고, 해당 소스 신호선(18) 사이의 컨덴서 용량은 상대적으로 커진다.

도 519, 도 512에 있어서, 컨덴서 전극(5191)을 형성하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 캐소드 전극(36)으로 컨덴서 전극(5191)을 형성해도 된다. 혹은, 캐소드 전극(36)의 형성 프로세스로, 컨덴서 전극(5191)을 형성해도 된다.

이상과 같이, 전류 구동 방식 등에 있어서, 소스 신호선(18)의 기생 용량이, 대략 균일하게 되도록 표시 패널(어레이)를 구성한 것에 특징을 갖는다. 또한, 기생 용량을 제어 또는 가변할 수 있는 것에 특징을 갖는다. 또한, 이들의 표시 패널(어레이)의 구동 방법에 특징을 갖는다.

이하, 본 발명의 EL 표시 패널 또는 EL 표시 장치 혹은 그 구동 방법 등을 이용한 장치 등에 대하여 설명을 한다. 이하의 장치는, 이전에 설명한 본 발명의 장치 또는 방법을 실시한다. 도 126은 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 케이싱(1263)에 안테나(1261), 텐키(1262) 등이 부착되어 있다. (1262) 등이 표시색 전환 키 혹은 전원 온 오프, 프레임 레이트 전환 키이다.

키(1262)를 1회 누르면 표시색은 8색 모드로, 계속해서 동일 키(1262)를 누르면 표시색은 4096색 모드, 또 키(1262)를 누르면 표시색은 26만색 모드로 되도록 시퀀스를 조합해도 된다. 키는 누를 때마다 표시색 모드가 변화하는 토글 스위치로 한다. 또한, 별도 표시색에 대한 변경 키를 설치해도 된다. 이 경우, 키(1262)는 3개(이상)로 된다.

키(1262)는 푸시 스위치 외에, 슬라이드 스위치 등의 다른 메카니컬인 스위치라도 되고, 또한, 음성 인식 등에 의해 전환하는 것이어도 된다. 예를 들면, 4096색을 수화기에 음성 입력하는 것, 예를 들면, 「고 품위표시」, 「4096색 모드」 혹은 「저 표시색 모드」 라고 수화기에 음성 입력하는 것에 의해 표시 패널의 표시 화면(144)에 표시되는 표시색이 변화하도록 구성한다. 이것은 현행의 음성 인식 기술을 채용함으로써 용이하게 실현할 수 있다. 표시색의 전환은, FRC, 프리차지 구동 등에 의해서도 실시할 수 있다. FRC 혹은 프리차지 구동의 실시에는 이전에 설명하고 있기 때문에 생략한다.

또한, 표시색의 전환은 전기적으로 전환하는 스위치라도 되고, 표시 패널의 표시 화면(144)에 표시시킨 메뉴를 터치하는 것에 의해 선택하는 터치 패널이어도 된다. 또한, 스위치를 누르는 횟수로 전환하거나, 혹은 클릭 볼과 같이 회전 혹은 방향에 따라 전환하도록 구성해도 된다.

1262는 표시색 전환 키로 했지만, 프레임 레이트를 전환하는 키 등으로 해도 된다. 또한, 동화상과 정지 화상을 전환하는 키 등으로 해도 된다. 또한, 동화상과 정지 화상과 프레임 레이트 등의 복수의 요건을 동시에 전환해도 된다. 또한, 계속해서 누르면 서서히(연속적으로) 프레임 레이트가 변화하도록 구성해도 된다. 이 경우에는 발진기를 구성하는 컨덴서 C, 저항 R 중, 저항 R을 가변 저항으로 하거나, 전자 볼륨으로 하거나 함으로써 실현할 수 있다. 또한, 컨덴서는 트리머 컨덴서로 함으로써 실현할 수 있다. 또한, 반도체 칩에 복수의 컨덴서를 형성해 놓고, 1개 이상의 컨덴서를 선택하고, 이들을 회로적으로 병렬로 접속함으로써 실현해도 된다.

본 발명의 표시 패널(표시 장치)에 있어서, 밝기(brightness) 조절은, duty비 제어(도 19~도 27, 도 54 등을 참조할 것) 혹은 기준 전류비 제어(도 60, 도 61, 도 64, 도 65 등을 참조할 것) 등에 의해 실시한다. 특히, 도 65에서 설명한 기준 전류비 제어 회로의 구성에서는, 스위치(642)를 전환하는 것에 의해, 화이트 밸런스를 유지한 채로, 표시 화면(144)의 밝기를 리니어적으로 제어 혹은 조절할 수 있기 때문에 바람직하다. 밝기 조절은 컨트롤러 회로(IC)(760)에 의한 소프트웨어적 제어라도 되고, 표시 패널의 표시 화면(144)에 표시시킨 메뉴를 터치하는 것에 의해 선택하는 터치 스위치 등에 의한 조절이어도 된다. 또한, 외광의 강도를 포토 센서로 검출하고, 오토매틱으로 조절하는 방식이어도 된다. 이상의 사항은, 콘트라스트 조절 등에도 적용할 수 있는 것은 물론이다. 또한, duty비 제어에도 적용할 수 있는 것은 물론이다.

표시 패널의 중요한 기능은, 복수의 포맷의 화상을 표시할 수 있는 것이다. 예를 들면, 디지털 비디오 카메라(DVC)에서는, NTSC와 PAL 화상을 표시할 수 있도록 할 필요가 있다. 이하, 1개의 패널에 복수 포맷의 화상을 표시하는 방법에 대하여 설명을 한다. 또한, 설명을 용이하게 하기 위해서, 표시 패널은 가로 320RGB×세로 240도트의 QVGA 패널인 것으로 하고, NTSC 화상과 PAL 화상을 이 QVGA의 화소 수의 패널로 표시하는 것으로서 설명을 한다.

도 154는 본 발명의 실시예에 있어서의 뷰 파인더의 단면도이다. 단, 설명을 용이하게 하기 위해서 모식적으로 그리고 있다. 또한 일부 확대 혹은 축소된 개소가 존재하고, 또한, 생략한 개소도 있다. 예를 들면, 도 154에 있어서, 접안 커버를 생략하고 있다. 이상의 것은 다른 도면에 있어서도 해당한다.

보디(body)(1263)의 이면은 암색(暗色) 혹은 흑색으로 되어 있다. 이것은, EL 표시 패널(표시 장치)(1264)로부터 출사한 미광이 보디(1263)의 내면에서 난반사하여 표시 콘트라스트의 저하를 방지하기 때문이다. 또한, 표시 패널의 광 출사측에는 위상판($\lambda/4$ 판 등)(38), 편광판(39) 등이 배치되어 있다. 이것은 도 3, 도 4에서도 설명하고 있다.

접안 링(1541)에는 확대 렌즈(1542)가 부착되어 있다. 관찰자는 접안 링(1541)을 보디(1263) 내에서의 삽입 위치를 가변하여, 표시 패널(1264)의 표시 화면(144)에 핀트가 맞도록 조정한다.

또한, 필요에 따라 표시 패널(1264)의 광 출사측에 + 렌즈(positive lens)(1543)를 배치하면, 확대 렌즈(1542)에 입사하는 주광선을 수축시킬 수 있다. 그 때문에, 확대 렌즈(1542)의 렌즈 직경을 작게 할 수 있어, 뷰 파인더를 소형화할 수 있다.

도 155는 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬영) 렌즈부(1552)와 비디오 카메라 본체(1263)를 구비하고, 촬영 렌즈부(1552)와 뷰 파인더부(1263)는 등을 맞대고 있다. 또한, 뷰 파인더(도 154도 참조)(1263)에는 접안 커버가 부착되어 있다. 관찰자(유저)는 이 접안 커버부로부터 표시 패널(1264)의 표시 화면(144)을 관찰한다.

한편, 본 발명의 EL 표시 패널은 표시 모니터로서도 사용되고 있다. 표시 화면(144)는 지점(1551)에서 각도를 자유롭게 조정할 수 있다. 표시 화면(144)을 사용하지 않을 때는, 저장부(1553)에 저장된다.

스위치(1554)는 이하의 기능을 실시하는 절환 혹은 제어 스위치이다. 스위치(1554)는 표시 모드 절환 스위치이다. 스위치(1554)는, 휴대 전화 등에도 부착하는 것이 바람직하다. 이 표시 모드 절환 스위치(1554)에 대하여 설명을 한다.

본 발명의 구동 방법의 하나에 N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법이 있다. 이 점등시키는 기간을 변화시키는 것에 의해, 밝기를 디지털적으로 변경할 수 있다. 예를 들면, N=4로 하여, EL 소자(15)에는 4배의 전류를 흘린다. 점등 기간을 1/M로 하고, M=1, 2, 3, 4로 절환하면, 1배로부터 4배까지의 밝기 절환이 가능하게 된다. 또한, M=1, 1.5, 2, 3, 4, 5, 6 등으로 변경할 수 있도록 구성해도 된다.

이상의 절환 동작은, 휴대 전화, 모니터 등의 전원을 온했을 때에, 표시 화면(144)을 매우 밝게 표시하고, 일정한 시간을 경과한 후에는, 전력 세이브하기 위해, 표시 휘도를 저하시키는 구성에 이용한다. 또한, 유저가 희망하는 밝기로 설정하는 기능으로서도 이용할 수 있다. 예를 들면, 옥외 등에서는, 화면을 매우 밝게 한다. 옥외에서는 주변이 밝아, 화면이 전혀 보이지 않게 되기 때문이다. 그러나, 높은 휘도로 계속해서 표시하면 EL 소자(15)는 급격하게 열화한다. 그 때문에, 매우 밝게 하는 경우에는, 단시간에 통상의 휘도로 복귀시키도록 구성해 둔다. 또한, 고휘도로 표시시키는 경우에는, 유저가 버튼을 누르는 것에 의해 표시 휘도를 높게 할 수 있도록 구성해 둔다.

따라서, 유저가 버튼으로 절환할 수 있도록 해 두거나, 설정 모드로 자동적으로 변경할 수 있거나, 외광의 밝기를 검출하여 자동적으로 절환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80%로 유저 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

또한, 표시 화면(144)은 가우스 분포 표시로 하는 것이 바람직하다. 가우스 분포 표시라 함은, 중앙부의 휘도가 밝게 하고, 주변부를 비교적 어둡게 하는 방식이다. 시각적으로는, 중앙부가 밝으면 주변부가 어둡더라도 밝게 느껴진다. 주관 평가에 따르면, 주변부가 중앙부와 비교하여 70%의 휘도를 유지하고 있으면, 시각적으로 손색없다. 더욱 저감시켜, 50% 휘도로 해도 거의 문제가 없다. 본 발명의 자기 발광형 표시 패널에서는, 이전에 설명한 N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법)을 이용하여 화면의 상측으로부터 하측 방향으로, 가우스 분포를 발생시키고 있다.

구체적으로는, 화면의 상부와 하부에서는 M의 값을 크게 하고, 중앙부에서 M의 값을 작게 한다. 이것은, 게이트 드라이버 회로(12)의 시프트 레지스터의 동작 속도를 변조하는 것 등에 의해 실현한다. 화면의 좌우의 밝기 변조는, 테이블의 데이터와 영상 데이터를 승산함으로써 발생시키고 있다. 이상의 동작에 의해, 주변 휘도(화면 각도 0.9)를 50%로 했을 때, 100% 휘도인 경우와 비교하여 약 20%의 저소비 전력화가 가능하다. 주변 휘도(화면 각도 0.9)를 70%로 했을 때, 100% 휘도인 경우와 비교하여 약 15%의 저소비 전력화가 가능하다.

가우스 분포는, 기준 전류를 변화시키는 것(예를 들면, 화면의 중앙부에서 기준 전류비를 크게 하고, 화면의 상하부에서 기준 전류비를 작게 함), duty비를 변화시키는 것(예를 들면, 화면의 중앙부에서 duty비를 크게 하고, 화면의 상하부에서 duty비를 작게 함), 프리차지 전류 혹은 프리차지 전압 등을 변화시키는 것에 의해서도 실현할 수 있는 것은 물론이다.

또한, 가우스 분포 표시는 온 오프할 수 있도록 절환 스위치 등을 설치하는 것이 바람직하다. 예를 들면, 옥외 등에서, 가우스 표시시키면 화면 주변부가 전혀 보이지 않게 되기 때문이다. 따라서, 유저가 버튼으로 절환할 수 있도록 해 두거나, 설정 모드로 자동적으로 변경할 수 있거나, 외광의 밝기를 검출하여 자동적으로 절환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 주변 휘도를 50%, 60%, 80%로 유저 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

액정 표시 패널에서는 백 라이트로 고정된 가우스 분포를 발생시키고 있다. 따라서, 가우스 분포의 온 오프를 행하는 것은 불가능하다. 가우스 분포를 온 오프할 수 있는 것은 자기 발광형의 표시 디바이스 특유의 효과이다.

도 3에서 설명한 바와 같이, 캐소드 전극(36)은 알루미늄으로 이루어지는 박막으로 형성 또는 구성된다. 알루미늄으로 이루어지는 박막은 경면성을 갖고, 반사율이 높기 때문에 거울로서 이용할 수 있다. 따라서, EL 표시 패널은, 표면은 화면(144)으로서 화상 표시에 이용하고, 이면은 거울로서 이용할 수 있다. 단, 건조제(37)는 캐소드(36)로부터 경면을 차광하지 않도록, 사용 영역의 주변부에 배치한다.

도 325는 본 발명의 표시 장치의 단면도이다. 도 325는 표면을 화상 표시 화면(144)으로서 이용(B방향으로부터 본다)하고, A방향으로부터 보는 것에 의해 거울로서 이용할 수 있도록 구성한 본 발명의 표시 장치이다. 표시 패널(1264)은 지점(1551)에서 회전할 수 있도록 구성되어 있다. 따라서, 패널(1264)의 유지 각도에 의해서, 거울로서 이용하거나, 모니터로서 이용하거나 하는 것을 용이하게 실현할 수 있다.

또한, 도 326은 거울로서 이용하거나, 모니터로서 이용하거나 할 수 있는 표시 장치의 제2 실시예이다. 도 326의 (a)가 EL 표시 패널을 모니터로서 사용하고 있는 상태이고, 도 326의 (c)가 거울로서 이용하고 있는 상태이다. 도 326의 (b)는 모니터 사용 상태에서부터 거울 사용 상태 혹은 거울 사용 상태에서부터 모니터 사용 상태로의 변경 상태이다.

도 326의 (a)에서는 패널(1264)의 저장부(1561)에 패널(1264)이 저장되어 있다. 거울로서 사용할 때에는, 도 326의 (b)에 도시하는 바와 같이, 패널(1264)을 저장부(1561)로부터 취출하여, 지점(1551)에서 회전시켜 패널(1264)의 안과 밖(表裏)을 뒤집어 놓는다. 그 후, 표시 패널(1264)의 경면(캐소드(36)면)을 위로 하여 저장부(1564) 내에 저장한다(도 326의 (c)). 모니터로서 사용할 때에는, 도 326의 (b)에 도시하는 바와 같이, 패널(1264)을 저장부(1561)로부터 취출하여, 지점(1551)에서 회전시켜 패널(1264)의 안과 밖을 뒤집어 놓는다. 그 후, 표시 패널(1264)의 화소 전극(35)을 위로 하여 저장부(1564) 내에 저장한다(도 326의 (a)). 또한, 이상의 실시예는, 도 3에 도시하는 바와 같이, 광을 B방향으로부터 취출하는 구성의 경우이다. 도 4와 같이 A측으로부터 광을 취출하는 경우에는, 반대의 관계로 되는 것은 물론이다.

프레임 레이트가 소정일 때, 실내의 형광등 등의 점등 상태와 간섭하여 플리커가 발생하는 경우가 있다. 즉, 형광등이 60Hz의 교류로 점등하고 있을 때, EL 표시 소자(15)가 프레임 레이트 60Hz로 동작하고 있으면, 미묘한 간섭이 발생하여, 화면이 천천히 점멸하고 있는 것처럼 느껴지는 경우가 있다. 이것을 회피하기 위해서는 프레임 레이트를 변경하면 된다. 본 발명은 프레임 레이트의 변경 기능을 부가하고 있다. 또한, N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법)에 있어서, N 또는 M의 값을 변경할 수 있도록 구성하고 있다(도 23, 도 54의 (a)~(c) 등도 참조할 것).

또한, 도 317에 도시하는 바와 같이 프레임 레이트에 따라서 화면의 분할수를 가변할 수 있도록 구성하는 것이 바람직하다. 프레임 레이트가 낮을 때에는, 도 54의 (c)에 도시하는 바와 같이 분할수(비점등 영역(192)을 복수로 분할하여 화면(144)을 구성함)를 많게 한다. 프레임 레이트가 높을 때에는, 도 54의 (a)에 도시하는 바와 같이, 비점등 영역(192)은 일괄해서 화면(144)에 삽입한다.

예를 들면, 지상파의 디지털 모바일 텔레비전의 전송 프레임 레이트는 15Hz이다. 이 때는, 프레임 레이트가 낮기 때문에, 도 54의 (c)에 도시하는 바와 같이 비점등 영역(192)을 복수로 분할할 필요가 있다. 그러나, 현재의 지상파의 아날로그 텔레비전의 전송 프레임 레이트는 60Hz이다. 이 때는, 프레임 레이트가 높기 때문에, 도 54의 (a)에 도시하는 바와 같이 비점등 영역(192)을 일괄해서 삽입하여, 동화상 표시 성능을 확보하는 것이 바람직하다. 즉, 용도 혹은 수신 신호에 따라 분할수를 변경 혹은 가변시킨다.

도 317에서는, 프레임 레이트 60~45 Hz에서는 분할수1(비표시 영역(192)은 1개(도 54의 (a)의 상태))이다. 프레임 레이트 45 이하에서는 분할수10(비표시 영역(192)은 10개인 상태)인 실시예이다. 또한, 분할수는 프레임 레이트뿐만 아니라, 주위의 휘도(밝기), 화상의 내용(정지 화상, 동화상 등), 장치의 용도(모바일, 거치 등) 등에 따라서, 자동으로 혹은 수동으로 혹은 프로그래머블로 변경 혹은 가변 혹은 설정할 수 있도록 구성하는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 적용되는 것은 물론이다.

이상의 기능을 스위치(1554)로 실현할 수 있도록 한다. 스위치(1554)는 표시 화면(144)의 메뉴에 따라서, 복수회 누르는 것에 의해, 이상에서 설명한 기능을 전환하여 실현한다.

또한, 이상의 사항은, 휴대 전화에만 한정되는 것은 아니고, 텔레비전, 모니터 등에 이용할 수 있는 것은 물론이다. 또한, 어떠한 표시 상태에 있는가를 유저가 바로 인식할 수 있도록, 표시 화면에 아이콘 표시를 해 두는 것이 바람직하다. 이상의 사항은 이하의 사항에 대해서도 마찬가지이다.

본 실시의 형태의 EL 표시 장치 등은 비디오 카메라뿐만 아니라, 도 156에 도시하는 바와 같은 전자 카메라, 스틸카메라 등에도 적용할 수 있다. 표시 장치는 카메라 본체(1561)에 부속된 모니터(144)로서 이용한다. 카메라 본체(1561)에는 셔터(1563) 외에, 스위치(1554)가 부착되어 있다.

본 발명의 EL 표시 패널은, 3D(입체) 표시 장치에도 채용할 수 있다. 도 605, 도 606은 본 발명의 3D 표시 장치의 설명도이다. 도 605에 도시하는 바와 같이, 2매의 EL 표시 패널(EL 표시 어레이)(30a, 30b)은 대면하여 배치되어 있다. 또한, 표시 패널(30a)의 화소 전극(15a)과, 표시 패널(30b)의 화소 전극(15b)은 대면하는 위치에 배치되어 있다. 2매의 EL 표시 패널의 간격은 격리 기둥(6161)로 유지되어 있다. 격리 기둥(6161)은 표시 영역(144)의 주위에 배치되어, 링 형상의 형상을 하고 있다. 글래스 등의 무기 재료로 구성되어 있다. 격리 기둥(6161)은 압막(壓膜) 기술, 도포 기술, 인쇄 기술 등으로 형성 또는 구성해도 된다. 또한, 어레이 기판(30)을 에칭 기술 혹은 연마 기술을 이용하여 표시 영역(144) 등을 파는 것에 의해 형성해도 된다.

격리 기둥(6161)은 1mm 이상 8mm 이하의 두께이다. 특히, 격리 기둥(6161)은 3mm 이상 7mm 이하의 두께로 하는 것이 바람직하다. 격리 기둥(6161)은 밀봉 수지(6162)로 패널(30a, 30b)에 접촉되어 있다. 공간(6163)에는 필요에 따라 건조제가 배치 혹은 형성 또는 구성된다.

표시 패널(30a)의 화소 전극(15a)과, 표시 패널(30b)의 화소 전극(15b)은, 서로 다른 화상 혹은 동일한 화상을 표시한다. 화상은 A방향으로부터 관찰한다. 따라서, EL 표시 패널(30a)은 투과형일 필요가 있다. 화소 전극(15a)을 통하여 표시 패널(30b)의 화소 전극(15b)에 표시되는 화상을 관찰할 필요가 있기 때문이다. 표시 패널(30b)은 투과형이어도 되고, 반사형이어도 된다.

표시 패널(30a)의 표시 화상(144a)은, 표시 패널(30b)의 표시 화상층(144b)보다 밝게(휘도를 높게) 표시시킨다. 표시 화상(144a)과 표시 화상(144b)의 휘도차를 발생시킴으로써, A측으로부터 본 화상이 입체적으로 보인다. 휘도차는, 10% 이상 80% 이하로 하면 된다. 특히, 20% 이상 60% 이하로 하면 된다.

도 606은, 2매의 표시 패널(30a, 30b)의 화상 표시 상태의 설명도이다. 컨트롤러 회로(IC)(760)는 표시 패널(30a)의 소스 드라이버 회로(IC)(14a) 등과, 표시 패널(30b)의 소스 드라이버 회로(IC)(14b) 등을 제어하여 화상을 제어하고, 표시 화상(144a)과 표시 화상(144b)로 3D 표시를 실현한다.

이상은 표시 패널의 표시 영역이 비교적 소형인 경우이지만, 30인치 이상으로 대형으로 되면 표시 화면(144)이 휘기 쉽다. 그 대책을 위해, 본 발명에서는 도 157에 도시하는 바와 같이 표시 패널에 외부 프레임(1571)을 부착하고, 외부 프레임(1571)을 매달 수 있도록 고정 부재(1574)로 부착하고 있다. 이 고정 부재(1574)를 이용하여, 벽 등에 부착한다.

그러나, 표시 패널의 화면 사이즈가 커지면 중량도 무거워진다. 그 때문에, 표시 패널의 하측에 다리 부속부(1573)를 배치하고, 복수의 다리(1572)에 의해 표시 패널의 중량을 유지할 수 있도록 하고 있다.

다리(1572)는 A로 도시하는 바와 같이 좌우로 이동할 수 있고, 또한, 다리(1572)는 B로 도시하는 바와 같이 수축할 수 있도록 구성되어 있다. 그 때문에, 좁은 장소이더라도 표시 장치를 용이하게 설치할 수 있다.

도 157의 텔레비전에서는, 화면의 표면을 보호 필름(보호판이어도 된다)으로 피복하고 있다. 이것은, 표시 패널의 표면에 물체가 부딪쳐 파손되는 것을 방지하는 것이 1개의 목적이다. 보호 필름의 표면에는 AIR 코트가 형성되어 있고, 또한, 표면을 엠보싱 가공함으로써 표시 패널에 외부의 상황(외광)이 비치는 것을 억제하고 있다.

보호 필름과 표시 패널 사이에 비즈 등을 산포함으로써, 일정한 공간이 배치되도록 구성되어 있다. 또한, 보호 필름의 이면에 미세한 볼록부를 형성하고, 이 볼록부에서 표시 패널과 보호 필름 사이에 공간을 유지시킨다. 이와 같이 공간을 유지함으로써 보호 필름으로부터의 충격이 표시 패널에 전달되는 것을 억제한다.

또한, 보호 필름과 표시 패널 사이에 알콜, 에틸렌 글리콜 등 액체 혹은 겔 상태의 아크릴 수지 혹은 에폭시 등의 고체 수지 등의 광 결합제를 배치 또는 주입하는 것도 효과가 있다. 계면 반사를 방지할 수 있음과 함께, 상기 광 결합제가 완충재로서 기능하기 때문이다.

보호 필름으로서는, 폴리카보네이트 필름(판), 폴리프로필렌 필름(판), 아크릴 필름(판), 폴리에스테르 필름(판), PVA 필름(판) 등이 예시된다. 그 밖에 엔지니어링 수지 필름(ABS 등)을 이용할 수 있는 것은 물론이다. 또한, 강화 글래스 등 무기 재료로 이루어지는 것이어도 된다. 보호 필름을 배치하는 대신에, 표시 패널의 표면을 에폭시 수지, 페놀 수지, 아크릴 수지로 0.5mm 이상 2.0mm 이하의 두께로 코팅하는 것도 마찬가지로의 효과가 있다. 또한, 이들의 수지 표면에 엠보싱 가공 등을 하는 것도 유효하다.

또한, 보호 필름 혹은 코팅 재료의 표면을 불소 코팅하는 것도 효과가 있다. 표면에 부착된 오물을 세제 등으로 용이하게 닦아낼 수 있기 때문이다. 또한, 보호 필름을 두껍게 형성하여, 프론트 라이트와 겸용해도 된다.

이상의 실시예는, 본 발명의 표시 패널 등을 표시 장치로서 이용하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 573은, 정보 발생 장치로서 이용하는 것이다. 도 14 등에서 설명한 바와 같이, 게이트 드라이버 회로(12)에 입력하는 신호(특히 ST 신호)에 의해, 도 54, 도 439, 도 469에서 설명한 바와 같이, 비점등 영역(192)과 점등 영역(193)을 발생할 수 있다. 점등 영역(193)은 해당 화소(16)의 EL 소자(15)가 발광하고 있는 영역이다. 즉, 게이트 신호선(17b)에 온 전압이 인가되고, 도 1의 화소 구성에서는, 트랜지스터(11d)가 온 상태로 되어 있는 영역이다. 비점등 영역(192)은 해당 화소(16)의 EL 소자(15)에 전류가 흐르고 있지 않은 영역이다. 즉, 게이트 신호선(17b)에 오프 전압이 인가되고, 도 1의 화소 구성에서는, 트랜지스터(11d)가 오프 상태로 되어 있는 영역이다.

소스 드라이버 회로(IC)(14)로부터 표시 영역(144)에 백 래스터 표시의 신호가 인가되고 있는 것으로 한다. 게이트 드라이버(12b)를 제어함으로써, 표시 영역(144)에 스트라이프 형상(화소행 단위로 점등, 비점등 제어되기 때문)으로 점등 영역(193)과 비점등 영역(192)을 발생시킬 수 있다. 도 573에 도시하는 바와 같이, 게이트 드라이버 회로(12b)의 제어에 의해 바코드 표시를 실현할 수 있다.

게이트 드라이버 회로(12a)의 ST일단자에는, 1프레임에 1회의 스타트 펄스가 인가된다. 게이트 드라이버 회로(12b)의 ST2 단자에는, 바코드 표시에 대응시켜 스타트 펄스가 인가된다. 통상의 인쇄물의 바코드와 다른 점은, 표시 영역(144)의 각 바코드 표시 위치가 수평 주사 신호에 동기하여 이동하는 점이다.

따라서, 도 572에 도시하는 바와 같이, EL 표시 패널(5723)의 표시 영역(144)에, 1화소행의 점등 상태를 검출할 수 있는 포토 센서(5721)를 배치 또는 형성하면, 포토 센서(5721)를 고정된 상태에서, 1/(1초간의 프레임 수·화소행 수)의 레이트로 바코드의 표시 상태를 검출할 수 있다. 포토 센서(5721)로 검출한 데이터는 디코더(바코드 해독기)(5722)에 의해 전기 신호로 변환되어 해독되어 정보로 된다.

표시 패널이 대형으로 되면 소스 신호선(18)의 기생 용량도 커진다. 따라서, 전류 프로그램이 곤란하게 되기 쉽다. 이 과제에 대해서는, 도 264에 도시하는 바와 같이, 소스 드라이버 회로(12)를 화면(144)의 상하에 배치한다. 또한, 소스 신호선(18)의 개수도 2배(18a, 18b)로 한다. 이상과 같이 구성함으로써, 소스 드라이버 회로(IC)(14a)가 홀수 화소행에 프로그램 전류를 인가하고, 소스 드라이버 회로(IC)(14b)가 짝수 화소행에 프로그램 전류를 인가하도록 구성할 수 있다.

따라서, 종래는 1화소를 선택하여, 프로그램 전류를 인가하는 기간은 1H 기간이었지만, 도 264의 구성에서는, 2화소행을 동시에 선택하여, 프로그램 전류를 인가할 수 있기 때문에, 각 화소행에 프로그램 전류 I_w 를 인가할 수 있는 기간은 2H 기간으로 할 수 있다. 그 때문에, 충분한 프로그램 전류의 기입 기간을 확보할 수 있어, 패널 사이즈가 대형으로 되어도 양호한 전류 프로그램을 실현할 수 있다. 또한, 이상의 사항은 전압 프로그램 방식에도 적용할 수 있는 것은 물론이다.

도 264와 같이 구동해도, 본 발명의 duty비 제어 등을 적용할 수 있다. 예를 들면, 도 265이면, 화소 기입측의 게이트 드라이버 회로(12a)는 2개의 게이트 신호선(17a)을 선택하여, 2개씩 선택 위치를 주사해 간다. 한편, EL 선택측의 게이트 드라이버 회로(12b)는 1화소행을 순차적으로(즉, 1개의 게이트 신호선(17b)을 순차적으로 선택함) 선택한다.

따라서, 전류 프로그램측은 복수 게이트 신호선(17a)을 선택하여 전류 프로그램을 실시하고, duty비 제어측은 종래와 마찬가지로 1개의 게이트 신호선(17b)을 제어하여 duty비 제어를 실현한다. 또한, 이상의 사항은 기준 전류비 제어 등에도 적용할 수 있는 것은 물론이다.

화면은 분할해도 된다. 2분할에는, 화면의 중앙부에서 상하로 분할하는 구성과, 도 264, 도 559에 도시하는 바와 같이 1화소열마다(복수 화소열이어도 된다) 분할하는 구성이 있다. 도 559에서는, 소스 드라이버 회로(IC)(14a)에는 소스 신호선(18a)이 접속되어 있다. 소스 신호선(18a)은 짝수 화소행의 화소가 접속되어 있다. 또한, 소스 드라이버 회로(IC)(14b)에는 소스 신호선(18b)이 접속되어 있다. 소스 신호선(18b)은 홀수 화소행의 화소가 접속되어 있다.

전류 구동의 특징으로서, 복수의 출력 단자를 단락하는 것만으로 프로그램 전류를 가산할 수 있다고 하는 특징이 있다. 예를 들면, 제1단자가 10 μ A를 출력하고 있고, 제2 단자가 20 μ A를 출력하고 있는 경우, 제1단자와 제2 단자를 단락한 출력은, 10+ 20=30 μ A로 된다. 전압 구동에서는 복수의 출력 단자를 단락할 수 없다. 예를 들면, 제1단자가 1V를 출력하고 있고, 제2 단자가 2V를 출력하고 있는 경우, 제1단자와 제2 단자를 단락한 출력은, 쇼트 상태로 되어 파괴될 뿐이다.

이상과 같이, 전류 구동(전류 제어 방식)의 경우에는, 출력 단자를 쇼트해도 문제가 발생하지 않는다. 이 특징 있는 효과를 응용함으로써 용이하게 계조수를 증대시킬 수 있다. 도 560은 그 실시예이다. 이하, 도면을 참조하면서, 본 발명의 실시예에 대하여 설명을 한다.

도 560은, 본 발명의 소스 드라이버 회로(IC)의 구성도이다. 도 560에 있어서, (431c)는 트랜지스터군이다. 트랜지스터군(431c)의 1은 단위 트랜지스터(153)가 1개로 형성되어 있는 것을 나타내고 있다. 또한, 1은 1계조분의 프로그램 전류를 출력하고, 최하위 비트가 해당한다.

도 560의 트랜지스터군(431c)에 도시하는 2는 단위 트랜지스터(153)가 2개로 형성되어 있는 것을 나타내고 있다. 또한, 2계조분의 프로그램 전류를 출력하고, 제2 비트가 해당한다. 마찬가지로 4는 단위트랜지스터(153)가 4개로 형성되어 있는 것을 나타내고 있다. 또한, 4계조분의 프로그램 전류를 출력하고, 제3 비트가 해당한다. 마찬가지로 8은 단위 트랜지스터(153)가 8개로 형성되고 있는 것을 나타내고 있다. 8계조분의 프로그램 전류를 출력하고, 제4 비트가 해당한다. 16은 단위 트랜지스터(153)가 16개로 형성되어 있는 것을 나타내고 있다. 또한, 16은 16계조분의 프로그램 전류를 출력하고, 제5 비트째가 해당한다.

마찬가지로 32는 단위 트랜지스터(153)가 32개로 형성되어 있는 것을 나타내고 있다. 또한, 32는 32계조분의 프로그램 전류를 출력하고, 제6 비트째가 해당한다. 따라서, 트랜지스터군(431c)에서 64계조의 프로그램 전류 출력을 행할 수 있다.

본 발명의 소스 드라이버 회로(IC)는, 1개의 출력 단자(155)마다 1개의 트랜지스터군(431c)이 형성(구성)되어 있다. 전류 구동의 특징으로서, 복수의 출력 단자를 단락하는 것만으로 프로그램 전류를 가산할 수 있다고 하는 특징이 있다. 따라서, 복수의 출력 단자로부터의 출력을 조합하는 것에 의해, 계조수를 증가시키는 것이 용이하다. 예를 들면, 1출력이 64계조이면, 2개의 출력을 조합하면 64+ 64-1=127계조를 실현할 수 있다. 또한, -1하는 것은, 0계조째가 있기 때문이다. 또한, 설명을 용이하게 하기 위해서, 본 발명의 소스 드라이버 회로(IC)는 기본적으로는 64계조이고 128 출력인 것으로서 설명을 한다.

따라서, 128출력의 64계조의 드라이버 IC(14)는, 64출력의 127계조의 드라이버 IC로서 이용할 수 있다. 도 560은 그 실시예이다. 2개의 출력 사이에 스위치(SW)(5601)가 배치되어 있다. 드라이버 IC(14)를 64계조로서 이용할 때에는, 스위치(5601)는 오픈 상태로 하여 이용한다. 127계조로서 이용할 때에는, 스위치(5601)는 클로즈 상태로 이용한다. 스위치는, 아날로그 스위치이다. 또한, 스위치(5601)는 IC(14)의 컨트롤 단자의 로직 신호에 의해 오픈, 클로즈 제어할 수 있도록 구성되어 있다.

도 560에서는 스위치(5602a, 5602b)를 클로즈 상태로서 이용하면, 128출력의 64계조 드라이버로서 이용할 수 있다. 스위치(5601)를 클로즈로 한다. 또한, 스위치(5602a)를 클로즈로 하고, 스위치(5602b)를 오픈으로 하면, 단자(155a)보다 127계조의 프로그램 전류를 출력할 수 있다. 따라서, 소스 신호선(18a)에 접속된 화소(16)(도시 생략)에 프로그램 전류를 인가할 수 있다. 이 때, 소스 신호선(18b)에는 프로그램 전류를 인가할 수 없다. 그러나, 스위치(5602a)와 스위치(5602b)를 교대로 클로즈와 오픈을 제어하면, 인접한 출력 단자(155a, 155b)에 교대로 프로그램 전류를 출력할 수 있다. 교대로 절환함과 함께, 게이트 신호선(17)의 주사와 동기를 취한다. 따라서, 소스 신호선(18a)와 (18b)에 프로그램 전류를 인가할 수 있다. 비트 입력이다.

또한, 소스 신호선(18a)와 (18b)를 절환할 필요가 없을 때(당초부터 127계조의 소스 드라이버 회로(IC)로서 사용할 때 등)에는, 도 562와 같이 사용한다. 이 때는, 스위치(5602)는 불필요하다.

각 트랜지스터군(431c)은 6비트 입력이다. 따라서, 64계조 혹은 63계조째까지는, 트랜지스터군(431c1)에는 계조수에 따라서 6비트 입력하고, 트랜지스터(431c2)에의 입력 6비트는 모두 0으로 한다. 64계조 혹은 65계조째로부터는, 트랜지스터군(431c1)에는 계조수에 따라서 6비트 입력하고, 트랜지스터(431c2)에의 입력 6비트는 모두 1로 한다(63계조분의 프로그램 전류를 가산함). 또한, 트랜지스터군(431c2)은 63개의 단위 트랜지스터(153)를 일괄 동작시킨다.

도 560에서는, 2개의 전류 출력단((431c) 등)을 조합하는 것에 의해, 127계조의 전류 출력을 행한다. 그러나, 128계조에는 1계조분 부족되어 있다. 이것은, 트랜지스터군(431c)을 구성하는 단위 트랜지스터(153)가 63개밖에 없기 때문이다. 따라서, 2개의 트랜지스터군(431c)을 조합해도 단위 트랜지스터(153)는 126개로 된다. 따라서, 계조 0일 때에는, 단위 트랜지스터(153)의 동작 수를 0으로 해도, 127계조까지밖에 표현할 수 없다.

도 561은 이 과제를 해결하는 구성이다. 트랜지스터군(431c2)에, 1단위분의 선택 단위 트랜지스터(5611)를 부가(형성 또는 배치)하고 있다. 128계조로서 이용하는 경우(64계조 이상에서 이용하는 경우)는, 이 선택 단위 트랜지스터(5611)를 동작시킨다. 트랜지스터군(431c2)은 64개의 단위 트랜지스터(153)로 구성되게 된다. 트랜지스터군(431c2)은 64개의 단위 트랜지스터(153)를 일괄 동작시킨다. 128계조 이하(미만)인 경우에는, 트랜지스터군(431c2)의 단위 트랜지스터(153)는 모두 비동작 상태이고, 128계조 이상인 경우에는, 트랜지스터군(431c2)의 단위 트랜지스터(153)를 동작시킨다. 따라서, 트랜지스터군(431c2)은 최초부터 단위 트랜지스터(153)가 64개로 구성되어 있는 것을 이용해도 된다. 트랜지스터군(431c1)의 단위 트랜지스터(153)는 계조수에 따라서 비트에 대응하여 변화시킨다.

소스 드라이버 회로(IC)(14)는, 64계조를 표현하는 63개의 단위 트랜지스터(153) 혹은 63개의 단위 트랜지스터(153)와 1개의 선택 단위 트랜지스터(5611)로 이루어지는 표준 트랜지스터군(431)을, 스탠더드 셀로서 구성해 둔다. 이 스탠더드 셀을 복수개 레이아웃함으로써, 용이하게 임의의 계조의 소스 드라이버 회로(IC)를 형성(구성)할 수 있다. 또한, 스탠더드 셀은, 단위 트랜지스터(153)가 63개로 한정되는 것은 아니고, 127개, 255개의 단위 트랜지스터(153)로 구성되는 것이어도 되는 것은 물론이다.

이상의 실시예는, 64계조 및 128계조인 경우이다. 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 256계조인 경우에는, 도 563과 같이 구성하면 된다. 2개의 출력 사이에 스위치(SW)(5601)가 배치되어 있다. 드라이버 IC(14)를 64계조로서 이용할 때에는, 스위치(5601)는 오픈 상태로서 이용한다. 256계조로서 이용할 때에는, 스위치(5601)는 클로즈 상태로서 이용한다. 스위치(5601)는 IC(14)의 컨트롤 단자의 로직 신호에 의해 오픈, 클로즈 제어할 수 있도록 구성되어 있다.

이상의 실시예에서는, (14)는 소스 드라이버 회로(IC)인 것으로서 설명했지만, 이것에 한정되는 것은 아니다. 예를 들면, 소스 드라이버 회로(IC)(14)는 저온 폴리실리콘 기술, 고온 폴리실리콘 기술, CGS 기술 등으로 형성한 소스 드라이버 회로(IC)(14)라도 된다. 즉, 소스 드라이버 회로(IC)(14)는 기판(30)에 직접 형성한 것을 이용해도 된다. 이상의 사항은, 이하의 실시예에 대하여도 마찬가지이다.

여기서, 주로 도 564를 참조하면서, 소스 신호선(18)의 일단에 접속된 제1 소스 드라이버 회로(14a)와, 소스 신호선(18)의 타단에 접속된 제2 소스 드라이버 회로(14b)를 구비하고, 제1 소스 드라이버 회로(14a) 및 제2 소스 드라이버 회로(14b)는, 계조에 대응한 전류를 출력하는 EL 표시 장치에 대하여 설명한다.

도 560 내지 도 563은, 1개의 소스 드라이버 회로(IC)(회로)(14)를 각 소스 신호선(18)에 대응하여 접속하는 구성이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 564에 도시하는 바와 같이, 1개의 소스 신호선의 양단에 본 발명의 소스 드라이버 회로(IC)(회로)(14)를 접속해도 된다.

각 소스 신호선(18)에는, 일단에는 소스 드라이버 회로(IC)(14a)가 접속되어 있고, 타단에는 소스 드라이버 회로(IC)(14b)가 접속되어 있다. 소스 드라이버 회로(IC)(14a)의 트랜지스터군(431c1)은 단위 트랜지스터(153)가 63개로 구성되어 있다. 소스 드라이버 회로(IC)(14b)의 트랜지스터군(431c2)은 단위 트랜지스터(153)가 63개와 선택 단위 트랜지스터(5611)가 1개로 구성되어 있다.

또한, 트랜지스터군(431c2)은, 64개의 단위 트랜지스터(153)로 구성해도 된다. 또한, 트랜지스터군(431c2)은 64개의 단위 트랜지스터(153)가 모두 동작하거나, 혹은 비동작 상태의 2 모드밖에 없다. 따라서, 단위 트랜지스터(153)의 64배의 크기의 트랜지스터로 형성해도 된다.

이상과 같이 구성하면, 트랜지스터군(431c1)은 64계조까지 입력 데이터에 따라서 대응하는 단위 트랜지스터(153)가 동작하고, 트랜지스터(431c2)는 64계조 이상에서 일괄해서 동작한다.

즉, 도 564의 구성에서는, 64계조를 표현할 수 있는 소스 드라이버 회로(IC)(14a)를 소스 신호선(18)의 일단에 접속하고, 소스 신호선의 타단에, 소스 드라이버 회로(IC)(14a)의 트랜지스터군(431c1)을 구성하는 단위 트랜지스터(153) 수+1의 단위 트랜지스터(153)로 이루어지는 트랜지스터군(431c2)을 접속하고 있다. 소스 드라이버 회로(IC)(14b)는 단위 트랜지스터(153)의 64배의 트랜지스터로 구성해도 된다.

즉, 단위 트랜지스터(153)가 63개로 이루어지는 소스 드라이버 회로(IC)(14a)와 단위 트랜지스터(153)가 64개로 이루어지는 소스 드라이버 회로(IC)(14b)를 이용함으로써 용이하게 128계조를 실현할 수 있다. 또한, 단위 트랜지스터(153)가 63개로 이루어지는 소스 드라이버 회로(IC)(14a)를 2개 이용하는 경우에는, 127계조를 표현할 수 있다. 화상 표시로서는 127계조이든 128계조이든 실용상은 차이가 없다. 따라서, 단위 트랜지스터(153)가 63개로 이루어지는 소스 드라이버 회로(IC)(14a)를 2개 이용해도 된다.

64계조 이하(미만)인 경우에는, 트랜지스터군(431c2)의 단위 트랜지스터(153)는 모두 비동작 상태이고, 64계조 이상인 경우에는, 트랜지스터군(431c2)의 단위 트랜지스터(153)를 동작시킨다. 따라서, 트랜지스터군(431c2)은 최초부터 단위 트랜지스터(153)가 64개로 구성되어 있는 것을 이용해도 된다. 트랜지스터군(431c1)의 단위 트랜지스터(153)는 계조수에 따라서 비트에 대응하여 변화시킨다. 따라서, 64계조의 소스 드라이버 회로(IC)(14)를 복수개 이용함으로써, 다계조 표시를 실현할 수 있다.

128계조 이상인 경우에는, 소스 드라이버 회로(IC)(14)의 트랜지스터군(431c)의 단위 트랜지스터(153)를 64개 이상으로 구성하면 된다. 도 564의 구성에 의해, 계조수가 적은 소스 드라이버 회로(IC)(회로)(14)를 이용하여, 용이하게 다계조 표시를 실현할 수 있다. 이것은, 복수의 출력 단자를 단락하는 것만으로, 출력 전류를 가산할 수 있다고 하는 전류 구동 방식의 특징 있는 효과를 응용한 것이다.

또한, 도 564의 실시예는, 1개의 소스 신호선(18)에 2개의 소스 드라이버 회로(IC)(14)의 출력 단자를 접속한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 1개의 소스 신호선(18)에 3개 이상의 소스 드라이버 회로(IC)(14)의 출력 단자를 접속해도 되는 것은 물론이다. 또한, 도 564의 구성에 도 560의 스위치(5601)의 기술적 사상을 도입해도 되는 것은 물론이다.

표시 패널이 16:9의 와이드 타입인 화면(144)에 4:3의 화면을 표시할 때는, 도 270의 (a)와 같이 16:9의 화면의 단에 4:3의 화면(144a)을 표시한다. 남은 화면(144b)에는 OSD(온 스크린 디스플레이)의 표시를 행한다. 온 스크린 디스플레이의 화면(144b)과 화면(144a)의 표시는 미리 영상 신호로서 합성해 두는 것이 바람직하다.

또한, 도 270의 (b)와 같이 16:9의 화면의 중앙부에 4:3의 화면(144a)을 표시한다. 남은 화면(144b1, 144b2)에는 OSD(온 스크린 디스플레이)의 표시를 행한다. 온 스크린 디스플레이의 화면(144b)과 화면(144a)의 표시는 미리 영상 신호로서 합성해 두는 것이 바람직하다.

도 327에 도시하는 바와 같이, 컨트롤러 IC(회로)(760)는 패널 모듈 내에 배치 또는 구성된 전원 모듈(3272)과 소스 드라이버 회로(IC)(14) 등을 제어한다. 또한, 전원 모듈(3272)의 구성, 동작 등은 도 119, 도 120, 도 121, 도 122, 도 123, 도 124, 도 125, 도 251, 도 262, 도 263, 도 268, 도 280 등에서 설명했으므로 설명을 생략한다. 또한, 패널 등의 구성, 동작에 대해서도 이전에 설명했으므로 설명을 생략한다.

전원 모듈(3272)은 리튬 배터리(3271)로부터 전력이 공급된다. 전원 모듈(3272)은 Vgh 전압, Vgl 전압, Vdd 전압, Vss 전압 등(이후, 이들의 전압을 패널 전압이라고 부른다)을 발생한다. 패널 전압의 발생 타이밍은 컨트롤러 회로(IC)(760)의 ON/OFF 신호로 제어된다. 한편, 컨트롤 회로(760)의 전원은, 본체 회로로부터 공급된다. 따라서, 본 발명의 표시 장치를 갖는 기기는, 우선, 컨트롤 IC(760)에 전원 전압이 공급되어 동작하고, 컨트롤 IC(760)의 기동 후, 전원 모듈(3272)은 컨트롤 IC(760)로부터의 ON/OFF 신호에 의해, 패널 전압을 발생한다. 발생한 패널 전압은, 게이트 드라이버 회로(12), 소스 드라이버 회로(IC)(14), 패널의 Vdd, Vss 전압으로서 인가된다. 이상과 같이 구성함으로써, 본체 회로와 패널 모듈 사이의 배선 수를 적게 할 수 있다.

본 발명의 기기는, 본체 회로에는, 적어도 컨트롤러 회로(IC)(760)와 배터리(3271)를 갖고 있다. 따라서, 패널 모듈과 본체 회로는, RGB의 영상 신호 등을 전송하는 차동 신호의 배선 2개, 패널 모듈(3272)의 전압을 공급하는 Vcc, GND 배선의 2개, 전원 모듈(3272)을 온 오프 제어하는 신호선의 1개의 합계 5개(이상)를 갖고 있다.

도 367은 도 327의 변형예이다. 컨트롤 IC(760)은 PLL 회로(3611a)를 갖고 있고, 차동 신호가 동기를 취한다. 적녹청(RGB)과 제어 데이터(D)인 RGBD는 차동 신호로서 한쌍의 페어 신호선에 의해 전송된다(도 80~도 82, 도 292, 도 327~도 331 등을 참조할 것). RGBD 신호의 동기 신호도 마찬가지로 CLK 차동 신호로서 한쌍의 페어 신호선에 의해 전송된다. 또한, RGBD 신호에 스타트(1조의 최초 위치)를 나타내기 위해서 차동 신호의 St 신호가 한쌍의 페어 신호선에 의해 전송된다. 또한, St 신호는 차동 신호로 할 필요는 없고, CMOS나 TTL의 로직 신호로서 전송해도 된다.

전원 회로(3271)에는 배터리(도시 생략) 내지 Vcc 전압을 GND의 2라인에 의해 전력이 인가되고, 컨트롤러 회로(IC)(760)로부터는 전원 회로(3271)의 온 오프 신호(ON/OFF)가 인가된다.

도 367은 RGBD를 한쌍의 차동 신호로서 전송하는 구성이었지만, 본 발명은 이것에 한정되는 것은 아니고, 도 361에 도시하는 바와 같이, 적색의 영상 데이터(RDATA)를 한쌍의 차동 신호로 하고, 녹색의 영상 데이터(GDATA)를 한쌍의 차동 신호로 하고, 청색의 영상 데이터(BDATA)를 한쌍의 차동 신호로 해도 된다. 각 RGB의 차동 신호에는, 프리차지 비트를 부가한다. 즉, 적색의 RDATA는 적색의 해당 데이터를 프리차지할지의 여부의 비트 PrR 비트를 부가(RDATA 8비트+ PrR1 비트)한다. 녹색의 GDATA는 적색의 해당 데이터를 프리차지할지의 여부의 비트 PrG 비트를 부가(GDATA 8비트+ PrG1 비트)한다. 청색의 BDATA는 청색의 해당 데이터를 프리차지할지의 여부의 비트 PrB 비트를 부가(BDATA 8비트+ PrB1 비트)한다.

도 371에 도시하는 바와 같이, DATA(RDATA, GDATA 등)과 동기를 취하는 CLK는 동일한 주파수로 되도록 하고 있다. 즉, CLK의 상승과 하강으로 DATA 내용을 식별한다. 이러한 DATA와 CLK의 관계를 유지하는 것에 의해 주파수를 정상적으로 하여, 불요 복사를 저감하고 있다.

도 357은, 도 371에 부가해서, St 신호와의 관계를 기재한 것이다. CLK, ST, 영상 신호의 RGB 혹은 (RGBD)(도 80~도 82, 도 292, 도 327~도 331 등을 참조할 것)도 0V(GND)를 중심으로 Diff 전압의 진폭으로 송출(전송)된다. 또한, 진폭으로서의 Diff 전압은 도 368~도 370의 회로 구성으로 설정 혹은 가변 혹은 조정된다.

도 357에 도시하는 바와 같이, 영상 신호로서의 RGB와 동기를 취하는 CLK는 동일한 주파수로 되도록 하고 있다. 즉, CLK의 상승과 하강으로 DATA 내용을 식별한다. 이러한 DATA와 CLK의 관계를 유지하는 것에 의해 주파수를 정상적으로 하여, 불요 복사를 저감하고 있다. 한편, St 신호는, CLK의 2배의 폭을 갖고, CLK의 상승 또는 하강으로 검출한다. CLK는 PLL 회로(3611)에서 위상 제어된다. 이상과 같이 차동 신호는 송출되어, 송수신이 행해진다.

본 발명의 차동 신호 혹은 신호의 전송에서 특징적인 것은, RGB의 영상 신호 외에 추가로, 프리차지의 판단 비트를 갖고 있는 점이다. 이것은, 도 76~도 78 등에서 설명하고 있다. 따라서, 도 359에 도시하는 바와 같이, R, G, B 데이터에 프리차지의 비트(Pr)를 갖고 있다.

도 359의 (a)는 영상 데이터가 10 비트인 경우이다. 영상 데이터의 10 비트(D9~D0) 외에 프리차지 비트(Rr)가 있다. 또한, 최상위 비트에 커맨드인지 영상 데이터인지를 식별하는 D/C 비트를 갖고 있다. D/C 비트가 1일 때, 이하의 데이터 영역의 비트는 커맨드인 것을 나타낸다. 커맨드에 대해서는, 통상 수평 블랭킹 기간 혹은 수직 블랭킹 기간에 전송된다. 이 커맨드 등에 대하여는, 도 329, 도 331 등에서 설명을 하고 있으므로 설명을 생략한다. D/C 비트가 0일 때, 영상 데이터인 것을 나타내고, 영상 데이터(8비트 또는 10비트)와 프리차지 전압(프로그램 전압)의 판단 비트(Pr)가 데이터로서 전송된다.

도 359의 (b)는 영상 데이터의 8비트(D7~D0)인 경우이다. 도 359의 (a)와 마찬가지로 영상 데이터 외에 프리차지 비트(Rr)가 있다. 또한, 최상위 비트에 커맨드인지 영상 데이터인지를 식별하는 D/C 비트를 갖고 있는 점은 도 359의 (a)와 마찬가지로이다. D/C 비트가 0일 때, 영상 데이터인 것을 나타내고, 영상 데이터(8비트)와 프리차지 전압(프로그램 전압)의 판단 비트(Pr)가 데이터로서 전송된다.

도 359의 데이터가 도 357의 CLK에 동기하여 전송된다. 또한, 1화소에 대응하는 RGB의 영상 데이터 혹은 1화소에 대응하는 RGB의 영상 데이터+ 제어 데이터 D를 주기로 해서, ST 신호가 전송된다.

도 364는, R 화소 Pr 비트+R 영상 데이터, G 화소 Pr 비트+G 영상 데이터, B 화소 Pr 비트+B 영상 데이터, 제어 데이터를 1조로 해서 ST 신호를 전송하는 실시예이다.

도 365는 1비트의 제어 데이터마다 ST 신호를 전송하는 실시예이다. 제어 데이터는 2비트의 어드레스 데이터(A1, A2)와 프리차지 비트(Pr)와 8비트 데이터(D7~D0)로 구성되어 있다. 어드레스 데이터(A1, A2)인 A(1:0)가 0일 때에는, 데이터(7:0)는 제어 데이터(도 329, 도 331 등에서 설명을 하고 있으므로 설명을 생략함)인 것을 나타낸다. 또한, A(1:0)가 1일 때에는, 데이터(7:0)는 R의 영상 데이터인 것을 나타낸다. A(1:0)가 2일 때에는, 데이터(7:0)는 G의 영상 데이터인 것을 나타낸다. A(1:0)가 3일 때에는, 데이터(7:0)는 B의 영상 데이터인 것을 나타낸다. 또한, Pr 비트는 제어 데이터 혹은 영상 데이터의 일부로서 전송해도 되는 것은 물론이다.

도 366은, 도 364과 유사하다. 도 366의 (b)는, 영상 데이터(프리차지 비트를 포함함) RGB를, R, G, B, R, G, B, R, G, B……로 전송하는 구성이다. 도 366의 (a)는, 필요에 따라 제어 데이터 D를 전송하는 구성이다. 따라서, 도 366의 (b)와 같이 화상 전송 기간에 마침 화상 데이터가 전송되고 있는 경우에는, 도 366의 (a)와 같이 제어 데이터가 삽입됨으로써, 수평 블랭킹 기간까지 화상 데이터 등이 전송되게 된다. 그러나, 도 364와 같이 제어 데이터의 기간을 미리 확보할 필요가 없는 점, 수평 블랭킹 기간을 유효하게 이용하고 있는 점에서, 도 366의 (a)의 전송 효율은 높다.

도 362는 영상 데이터를 비트 전개하여 전송하는 방식이다(도 364 등은 1화소 단위로 영상 데이터를 전송하고 있다). 도 362에 있어서, 데이터의 개시 위치 A로 나타내는 바와 같이, R의 프리차지 비트 PrR, G의 프리차지 비트 PrG, B의 프리차지 비트 PrB, R의 영상 데이터의 7비트째(최상위 비트), G의 영상 데이터의 7비트째(최상위 비트), B의 영상 데이터의 7비트째(최상위 비트), R의 영상 데이터의 6비트째, G의 영상 데이터의 6비트째, B의 영상 데이터의 6비트째, R의 영상 데이터의 5비트째, G의 영상 데이터의 5비트째, B의 영상 데이터의 5비트째, ……… R의 영상 데이터의 0비트째(최하위 비트), G의 영상 데이터의 0비트째(최하위 비트), B의 영상 데이터의 0비트째(최하위 비트), 다음의 화소의 R의 프리차지 비트 PrR, G의 프리차지 비트 PrG, B의 프리차지 비트 PrB, R의 영상 데이터의 7비트째(최상위 비트), G의 영상 데이터의 7비트째(최상위 비트), B의 영상 데이터의 7비트째(최상위 비트), ……… 로 전송된다.

도 363은 영상 데이터를 제어 데이터 D와 화상 데이터를 순차적으로 전송하는 방식이다. RGB의 프리차지 비트 Pr과 화상 데이터, 제어 데이터를 전송하고 있다. 우선, R의 Pr과 8비트의 화상 데이터(R(7:0)), G의 Pr과 8비트의 화상 데이터(G(7:0)), B의 Pr과 8비트의 화상 데이터(B(7:0)), 제어 데이터 D(9:0)를 1주기로 해서 전송한다. 다음은, 다음의 화소의 R의 Pr과 8비트의 화상 데이터(R(7:0)), G의 Pr과 8비트의 화상 데이터(G(7:0)), B의 Pr과 8비트의 화상 데이터(B(7:0)), 제어 데이터 D(9:0)를 1주기로 해서 전송한다.

이상과 같이 본 발명은, 다종 다양한 실시예가 있다. 공통되어 있는 점은, Pr 데이터를 전송하고 있는 점이다. 또한, Pr 데이터는 제어 커맨드 내에 비트로서 포함시켜도 되는 것은 물론이다.

이상의 실시예는, 프리차지 전압을 제어하는 비트를 차동 신호 등(차동 신호에 한정되는 것은 아니다)으로 소스 드라이버 회로(IC)(14) 등에 전송하는 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 381~도 422에서는, 과전류 구동의 실시예에 대하여 설명했다. 도 389, 도 391, 도 392의 (b), 도 402 등에서는, 과전류의 크기, 과전류에 인가 기간을 제어하는 신호 혹은 부호에 대하여 설명했다.

도 423 등은, 도 389, 도 391, 도 392의 (b), 도 402 등에서 설명한 과전류의 크기, 과전류에 인가 기간을 제어하는 신호 혹은 부호를 전송하는 인터페이스 사양, 포맷이다. 또한, 과전류의 데이터 혹은 제어 부호의 전송 이외의 사항은, 도 80~도 82, 도 296, 도 319, 도 320, 도 327~도 337, 도 357, 도 359~도 372에 설명하고 있으므로, 생략을 한다. 이들의 도면에서 설명한 사항이 도 423~도 426, 도 477~도 484에 적용된다. 또한, 도 423~도 426에서 설명한 사항은 본 발명의 다른 실시예에도 적용되는 것은 물론이다.

도 423에서는, 과전류의 제어 부호 K가 전송되고 있다. 기본적으로는 도 362에 과전류의 제어 부호 K(적색 화소용은 Kr, 녹색 화소용은 Kg, 청색 화소용은 Kb)이다. 또한, K에 대해서는, 도 391, 도 392 등에서 설명을 하고 있으므로 생략한다. 단, 전송하는 부호 혹은 데이터는 K에 한정되는 것은 아니다. 예를 들면, 도 402의 T 등이어도 된다. 즉, 과전류 구동에 관계하는 데이터 혹은 부호 혹은 제어 신호를, 차동 신호 등으로 전송하는 것이 본 발명의 기술사상이다. 이상의 사항은 도 424~도 426에 대하여도 마찬가지로 적용된다.

도 424는, 기본은 도 361의 전송 방법 혹은 전송 형식 혹은 전송 방식에, 과전류의 제어 부호 K(적색 화소용은 Kr, 녹색 화소용은 Kg, 청색 화소용은 Kb 등)을 부가한 구성이다. 또한, K에 대해서는, 도 391, 도 392 등에서 설명을 하고 있으므로 생략한다. 단, 전송하는 부호 혹은 데이터는 K에 한정되는 것은 아니다. 예를 들면, 도 402의 T 등이어도 된다. 즉, 과전류

구동에 관계하는 데이터 혹은 부호 혹은 제어 신호를, 차동 신호 등으로 전송하는 것이 본 발명의 기술사상이다. 도 424에서는, 과전류에 관한 데이터 등을 트위스트 페어의 차동 신호로 전송하고 있다. 또한, DDATA에 도시하는 바와 같이, 프리차지 전압 등의 제어 신호 등도 전송하고 있다.

도 425는, CLK, R 데이터와 R의 과전류 제어 신호(R+Kr), G 데이터와 G의 과전류 제어 신호(G+Kg), B 데이터와 B의 과전류 제어 신호(B+Kb), 게이트 드라이버 회로 등의 제어 데이터(D)를 트위스트 페어의 차동 신호로 전송한 실시예이다. 소스 드라이버 회로(IC)(14)의 우측 시프트의 스타트 펄스(STHR), 소스 드라이버 회로(IC)(14)의 좌측 시프트의 스타트 펄스(STHL), 게이트 드라이버 회로(IC)(12)의 상하 반전 제어 신호(RL), 영상 데이터 등의 로드 신호(LD)를 TTL 혹은 CMOS 레벨 신호로 전송한 실시예이다.

도 426은, CLK, 영상 데이터, 제어 데이터와 과전류 제어 신호(RGBD+)를 트위스트 페어의 차동 신호로 전송한 실시예이다. 소스 드라이버 회로(IC)(14)의 우측 시프트의 스타트 펄스(STHR), 소스 드라이버 회로(IC)(14)의 좌측 시프트의 스타트 펄스(STHL), 게이트 드라이버 회로(IC)(12)의 상하 반전 제어 신호(RL), 영상 데이터 등의 로드 신호(LD)를 TTL 혹은 CMOS 레벨 신호로 전송한 실시예이다.

도 432도 본 발명의 표시 장치에 있어서의 전송 포맷이다. 도 432의 (a)는, RGB 각 8비트의 데이터에 각각 프리차지 비트 P를 부가한 구성이다. R 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pr에 연속하여, R의 제1 화소 데이터 R1(7:0)을 전송하고, G 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pg에 연속하여, G의 제1 화소 데이터 G1(7:0)를 전송하고, B 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pb에 연속하여, B의 제1 화소 데이터 B1(7:0)를 전송한다. 이하, 마찬가지로, R 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pr에 연속하여, R의 제2 화소 데이터 R2(7:0)를 전송하고, G 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pg에 연속하여, G의 제2 화소 데이터 G2(7:0)를 전송하고, B 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pb에 연속하여, B의 제2 화소 데이터 B2(7:0)를 전송한다.

즉, Pr, R1(7:0), Pg, G1(7:0), Pb, B1(7:0), Pr, R2(7:0), Pg, G2(7:0), Pb, B2(7:0), Pr, R3(7:0), Pg, G3(7:0), Pb, B3(7:0), Pr, R4(7:0), Pg, G4(7:0), Pb, B4(7:0), Pr, R5(7:0), Pg, G5(7:0), Pb, B5(7:0)……… 로 전송한다.

도 432의 (b)는, RGB 각 8비트의 데이터 내에 각각 프리차지 비트 P를 다중한 구성이다. R 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pr은, R1(7:0) 비트 내에 다중된다. 프리차지 비트는, R1 데이터의 MSB 등을 사용한다. 프리차지 전압 등을 인가하는 화상 데이터는, 저계조의 경우이고, MSB는 사용하고 있지 않기 때문이다(0이다). 따라서, 프리차지를 행할 때는, MSB 비트를 1로 하고, 해당 영상 데이터는 프리차지를 실시하는 것을 나타내도록 한다. 소스 드라이버 IC 내에서, 프리차지 비트를 추출하고, 프리차지 동작을 실시한다.

이하, 마찬가지로 G 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pg는, G1(7:0) 비트 내에 다중되고, B 화소의 프리차지를 할지 하지 않을지의 판정 비트 Pb는, B1(7:0) 비트에 다중화된다. 즉, R1(7:0), G1(7:0), B1(7:0), R2(7:0), G2(7:0), B2(7:0), R3(7:0), G3(7:0), B3(7:0), R4(7:0), G4(7:0), B4(7:0), R5(7:0), G5(7:0), B5(7:0)……… Rn(7:0), Gn(7:0), Bn(7:0)으로 전송한다.

R, G, B의 영상 데이터는, 각각 독립된 트위스트 페어선에 의해 전송하는 것에 한정하는 것도 아니다. 도 433은 그 실시예이다. 도 433의 (a), (b), (c), (d)는 각각 차동 신호에 있어서의 트위스트 페어선을 나타내고 있다. 트위스트 페어선 (a)은, R 데이터의 상위 8비트(R(9:2))를 전송하고 있다. 트위스트 페어선 (b)는, R 데이터의 상위 8비트(G(9:2))를 전송하고 있다. 또한, 트위스트 페어선 (c)는, B 데이터의 상위 8비트(B(9:2))를 전송하고 있다. 트위스트 페어선 (d)는, 커맨드 데이터 CM과, R 데이터의 하위 2비트(R(1:0)), G 데이터의 하위 2비트(G(1:0)), B 데이터의 하위 2비트(B(1:0))를 전송하고 있다.

도 367, 도 361의 실시예에서는, 차동 신호를 송출하는 측에 PLL 회로(3611)를 배치 또는 구성한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 360에 도시하는 바와 같이, 수신측(도 360에서는 소스 드라이버 회로(IC)(14))에도 PLL 회로(3611b)를 배치 또는 형성해도 된다. 송신측과 수신측에 PLL 회로(3611)를 배치하고, 차동 신호로서의 DATA의 주기 수(1조의 개수)를 송수신측에서 설정해 두면, 보다 적은 신호선으로, 고속의 차동 신호 데이터를 전송할 수 있다.

도 360에 있어서, PLL(3611b)은 DATA의 주기(개시 위치)를 나타내는 CLK를 이용하여, 차동 신호 DATA의 1주기 내에 데이터 수의 발진을 행하고, 차동 신호로서의 DATA를 디코드하여 병렬 신호로 변환한다.

본 발명에서는, 차동 신호의 송출측과 수신측에서 임피던스를 변화 혹은 조정할 수 있도록 공정(公正)하고 있다. 차동 신호는 진폭이 클수록, 전송 거리를 길게 할 수 있다. 그러나, 진폭이 크면 전송 전력이 커진다. 차동 신호를 정전류로 출력하는 경우에는, 차동 신호를 수신하는 쪽에서 임피던스를 높게 하면, 진폭을 높게 할 수 있다. 따라서, 전송하는 전류가 작더라도 차동 신호를 수신하는 것이 가능하게 된다. 그러나, 노이즈에 약해진다.

이상의 점으로부터, 차동 신호를 전송하는 거리, 전송에 필요로 되는 전력으로부터 차동 신호의 진폭, 임피던스를 설정 혹은 조정할 수 있는 것이 바람직하다. 도 368~도 370은 그 실시예이다.

도 368은 차동 신호의 수신측의 회로 구성이다. 소스 드라이버 회로(IC)(14) 내에 임피던스 설정 회로(3682)를 갖고 있다. 임피던스 설정 회로(3682)는 저항값(임피던스값)이 서로 다른 R(도 368에서는 R1, R2, R3, R4)과 상기 R을 선택하는 스위치 S(도 368에서는 S1, S2, S3, S4)로 구성되어 있다. 소스 드라이버 회로(IC)(14)의 신호 입력 단자 RSEL에 인가된 신호 혹은 전압에 의해, 1개 이상의 스위치 S가 온하여, 저항 R이 선택된다. 차동 신호의 입력 단자(2883)에는 선택된 저항 R이 접속되게 된다.

본 발명에서는 차동 신호 배선에는 정전류를 흘린다. 따라서, 저항 R의 값에 의해, 단자(2883a)와 (2883b) 사이에 발생하는 차동 신호의 진폭값을 변경할 수 있다. 즉, 전송 거리 등에 따라서 차동 신호의 진폭 조정을 하는 것이 가능하다.

도 369는 다른 실시예이다. 내장 저항 Rx는 가변할 수 있도록 구성되어 있다. 가변을 행하는 구성으로서, 이전에 설명한 전자 볼륨(501) 등이 예시된다. 그 밖에, 트리밍에 의해서도 조정할 수 있다.

도 370은 송신측의 구성예이다. 단자(2884c)와 단자(2884d) 사이에 가변 전압원 혹은 고정 전압을 입력하도록 구성하고 있다. 단자(2884c, 2884d)에 입력하는 전압에 의해, 컨트롤러 회로(IC)(760) 내부의 정전류 회로의 전류 출력을 변화할 수 있도록 구성하고 있다. 이 조작에 의해, 단자(2884a, 2884b)로부터 출력되는 차동 신호의 전류를 변경할 수 있다.

또한, 도 368 등에 있어서, 소스 드라이버 회로(IC)(14) 내의 저항 R을 RSEL 신호 등으로 선택하는(절환하는) 것으로 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 372와 같이, IC 마스크에 의해 접속을 변경해도 된다.

도 372는, 소스 드라이버 IC(14)에 저항 R1, R2, R3을 미리 형성 혹은 구성해 놓고, IC(14)를 제조할 때에, 최종 마스크(알루미늄 배선 형성용)를 변경함으로써, 단자(2883)에 접속되는 저항을 변화시킨 실시예이다. 즉, 저항 R과 단자(2883)를 접속하는 알루미늄 배선을 변경함으로써, 단자(2883)(2883a, 2883b)에 접속되는 임피던스를 절환하고 있다.

도 372의 (a)는 저항 R1과 R3으로 이루어지는 병렬 임피던스를 단자(2883)에 접속한 구성이다. 도 372의 (b)는 저항 R3으로 이루어지는 병렬 임피던스를 단자(2883)에 접속한 구성이다.

또한, 이상의 사항은, 도 370의 실시예에도 적용할 수 있는 것은 물론이다. 컨트롤러 회로(IC)(760)에 복수의 정전류원을 미리 형성 혹은 구성해 놓고, IC(760)를 제조할 때에, 최종 마스크(알루미늄 배선 형성용)를 변경함으로써, 단자(2884)로부터 출력되는 정전류를 변경한다.

차동 신호는 도 328에 도시하는 바와 같이, 본체 회로의 A 신호(판별 신호)의 H와 L에 동기하여 출력된다. A 신호가 L일 때에는, 프로그램 전압(VR, VG, VB)이 출력되고, A 신호가 H일 때에는, 프로그램 전류(IR, IG, IB)가 출력된다. 또한, 프로그램 전압, 프로그램 전류의 출력 동작 등에 관해서는, 도 127~도 143, 도 293, 도 338 등에서 설명을 하고 있으므로 설명을 생략한다.

또한, 영상 신호로서의 프로그램 전류(IR, IG, IB) 및 프로그램 전압(VR, VG, VB)과, 데이터 신호 DM, DS가 전송된다. 즉, 차동 신호는, R 영상 신호, G 영상 신호, B 영상 신호, D 데이터 신호의 4상(相)이 다중된다(VR, IR, VG, IG, VB, IB, DM, DS, VR, IR, ……). 또한, 영상의 블랭킹 기간은, 도 330에 도시하는 바와 같이, DM과 DS 신호가 연속하여 전송된다.

데이터인 DM의 8 또는 10비트 데이터는 커맨드이다. 데이터인 DS의 8 또는 10비트 데이터는 제어 데이터이다. 도 329는 DM의 일례이다. DM은 수평 동기 신호(HD), 수직 동기 신호(VD) 등을 나타낸다. 일례로서, DM=1은 HD 신호이다. DM=2는 VD 신호이다. DM=3은 화면의 영상의 상하를 반전시키는 UD 신호이다. 또한, DM=4는 화면(144)의 영상의 좌우를 반전시키는 RL 신호이다.

마찬가지로, DM=5는, R의 프리차지 시간(PR-time)을 나타내고, DM=6은, G의 프리차지 시간(PG-time)을 나타내고, DM=7은, B의 프리차지 시간(PB-time)을 나타낸다. DM=8은, R의 기준 전류(기준 I-R)를 나타내고, DM=9는, R의 기준 전류(기준 I-G)를 나타내고, DM=10은, R의 기준 전류(기준 I-B)를 나타낸다. 또한, DM=10은, 게이트 드라이버 회로(12)의 스타트 펄스 등의 출력 타이밍을 나타내고 있다. 이상과 같이, DM은 커맨드로서 지정하는 데이터이다.

또한, 프리차지 시간은, TTL 혹은 CMOS의 로직의 파형 신호 등으로, 컨트롤러 회로(IC)(760) 등으로부터 소스 드라이버 회로(IC)(14)에 인가해도 되는 것은 물론이다. 예를 들면, 로직의 파형 신호의 H 레벨의 기간에, 프리차지 전압(프리차지 전류)이 소스 신호선(18)에 인가되고, 로직의 파형 신호의 L 레벨의 기간은, 프리차지 전압(프리차지 전류)이 소스 신호선(18)에 출력되지 않도록 제어 혹은 구성된다. 또한, 프리차지 시간은 점등률에 따라 제어(가변)해도 되는 것은 물론이다. 점등률이 낮을 때에는, 저계조의 화소가 많다는 것을 의미하고 있다. 따라서, 프리차지 시간을 길게 한다. 반대로 점등률이 높을 때에는, 고계조의 화소가 많다는 것을 의미하고 있다. 이 경우에는, 프로그램 전류의 기입 부족은 발생하지 않거나, 혹은 눈에 띄지 않는다(인식되지 않는다). 따라서, 프리차지 시간은 짧아도 된다.

도 331은 DS 신호의 내용예를 도시하고 있다. DM=9일 때에는, 게이트 드라이버 회로(12)의 제어 신호이다. DS의 8비트는, ex.1과 같이 각 비트의 배치가 정해져 있다. bit0은, 게이트 드라이버 회로(12a)의 인에이블 신호(ENBL1)이다. bit1은, 게이트 드라이버 회로(12a)의 클럭 신호(CLK1)이다. bit2는, 게이트 드라이버 회로(12a)의 스타트 신호(ST1)이다. 또한, bit4는, 게이트 드라이버 회로(12b)의 인에이블 신호(ENBL2)이다. bit5는, 게이트 드라이버 회로(12b)의 클럭 신호(CLK2)이다. bit6은, 게이트 드라이버 회로(12b)의 스타트 신호(ST2)이다. 또한, ex.3에 도시하는 바와 같이, DM=8일 때에는, DS 신호는, R의 기준 전류의 크기를 데이터로서 나타낸다. 위와 같이, DS는 DM으로 지정된 데이터이다.

이상의 실시예는, 신호를 차동 신호로서 전송하는 것으로서 설명했다. 물론, 차동 신호의 표준 포맷인 RSDS로 전송해도 되는 것은 물론이다. 도 505는, 일례로서 프리차지 신호, 영상 신호 등을 RSDS 신호 포맷으로 전송하고 있는 예이다. 또한, RSDS 포맷이어도, 본 발명은, 전송하는 데이터의 수순, 형식에 신규성을 갖고 있다. 또한, 이하에 설명하는 사항은, 이전에 설명한 본 발명에 있어서도 적용할 수 있는 것은 물론이다. 예를 들면, 도 360~도 366, 도 389~도 394, 도 432, 도 433 등에 적용할 수 있다.

또한, 이하의 실시예에서는, 전류 프리차지를 3비트로 하고, 전류 프리차지 기간을 6종류로 하고 있지만, 이것에 한정되는 것은 아니다. 6 이상이어도 되고 6 이하라도 된다. 또한, 프리차지 신호(RP0~2, GP0~2, BP0~2)는, 전류 프리차지에 한정되는 것은 아니고, 전압 프리차지라도 된다.

또한, 이하의 실시예에 있어서, 데이터 등은 트위스트 페어선 등을 이용하여 차동 신호(RSDS, LVDS, 미니 LVDS 등)로서 전송하는 것으로 설명하지만, 이것에 한정되는 것은 아니다. 로직 신호인 CMOS 레벨 혹은 TTL 레벨의 신호로 전송해도 된다. 이 경우에는, 트위스트 페어선을 이용할 필요가 없는 것은 물론이다. 본 발명은, 데이터 등을 직렬로 전송하고, 직렬-병렬 변환부(3681) 등에서 병렬 신호로 변환하는 점에 특징이 있다. 따라서, 데이터 등의 전송은, 차동 신호에 한정되는 것이 아닌 것은 물론이다. 물론, 전류 신호뿐만 아니라, 전압 신호라도 되는 것은 물론이다. 또한, 유선 신호뿐만 아니라, 무선 신호(전파, 적외선 등의 광 신호)로 전송해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용된다.

도 505, 도 506 등에 있어서, 클럭은, 데이터를 상승 및 하강에서 래치한다. 따라서, 클럭의 주파수는, 데이터 전송 속도의 1/2이다. R 데이터는, 2개의 차동의 트위스트 페어선을 이용한다. G 데이터 및 B 데이터도, 2개의 차동의 트위스트 페어선을 이용한다. 도 505는 데이터 전송시를 도시한 도면이고, 도 506은 커맨드 전송시를 설명하는 도면이다.

도 505의 실시예에서는, 과전류 등의 전류 프리차지를 지정하는 비트를 3 비트로 하고 있다. 영상 데이터는, RGB 각 8비트의 예이다. R 데이터는, B 기간에, 3개의 프리차지 지정 데이터(RP0, RP1, RP2)와, C/D 데이터(또한, C/D=H로 하고 있다.)를 전송한다. C/D 데이터는, 커맨드와 데이터와의 절환 부호이다. C/D=L일 때에는, 트위스트 페어선(전송선)에 의해 전송되는 신호가, 커맨드 신호(제어 신호)인 것을 나타낸다. C/D=H일 때에는, 트위스트 페어선(전송선)에 의해 전송되는 신호가, 데이터 신호(영상 신호, 프리차지 지정 신호)인 것을 나타낸다. 따라서, 도 505에서는, 데이터를 전송하고 있는 상태이기 때문에, C/D=H로 하고 있다.

프리차지 지정 신호는, 3비트이므로, 8가지를 표현할 수 있다. 이 8가지의 지정 신호의 일례를 도 514에 도시하고 있다. 도 514의 표에 있어서, IPC는 전류 프리차지를 나타내고 있다. VPC는 전압 프리차지를 나타내고 있다. 전류 프리차지 IPC는, 지정 신호 IS=0 및 7일 때, IPC는 항상 L 레벨이다. 즉, 전류 프리차지 기간은 0이기 때문에, 결과적으로 전류 프리차지는 실시되지 않는다.

지정 신호 IS=0일 때에는, 전압 프리차지 VPC도 항상 L 레벨이다. 즉, 전압 프리차지 기간은 0이기 때문에, 결과적으로 전압 프리차지는 실시되지 않는다. 따라서, 지정 신호 IS=0일 때에는, 전류 프리차지도 전압 프리차지도 실시되지 않는다. 결과적으로 지정 신호 IS=0일 때에는, 통상의 전류 프로그램 구동이 실시된다(도 130 등의 B 기간의 설명을 참조할 것).

지정 신호 IS=7일 때에는, 전류 프리차지 IPC는 항상 L 레벨이지만, 전압 프리차지 VPC는 실시된다. 즉, 전압 프리차지만이 실시된다. 결과적으로 전압 프리차지는 실시된 후, 통상의 전류 프로그램 구동이 실시된다(도 129 등의 1H에 A 기간과 B 기간이 실시하는 실시예의 설명을 참조할 것).

지정 기간 IS=1일 때에는, 전압 프리차지 VPC가 실시된 후, 전류 프리차지 IPC로서, 전류 프리차지 펄스 1이 선택되어 실시된다. 각 전류 프리차지 펄스의 길이는, 도 506의 커맨드 전송시에 설정된다(도 507도 참조할 것). 전류 프리차지 펄스 1에서는 설정된 기간 동안, 과전류 구동이 실시된다. 즉, 큰 기입 전류가 소스 신호선(18)에 인가된다. 이 실시예로서는, 도 410의 (a1), (a2), (a3)이 해당한다. 즉, 프리차지 전압 V0이 소스 신호선(18)에 인가되고, 소스 신호선(18)에 전위가 V0 전압으로 리셋(초기화 전압: 일정한 전위 혹은 고정 전위)된다(도 410의 (a1)). 다음으로 혹은 프리차지 전압과 동시에, 과전류 전압 Id가 소스 신호선(18)에 인가된다(도 410의 (a2)). 또한, 도 484 등과 그 설명도 참조하기 바란다.

도 410의 (a2)와 같이, 프리차지 전압 V0과 동시에, 프리차지 전류 Id를 인가해도 되고, 프리차지 전압 인가 기간과 프리차지 전류 인가 기간이 중첩되지 않도록(프리차지 전압 인가 기간이 완료(종료)하고 나서, 프리차지 전류를 인가함) 구동해도 되는 것은 물론이다. 또한, 도 410의 (b1)~도 410의 (b3), 도 410의 (c1)~도 410의 (c3)과 같이 구동해도 되는 것은 물론이다.

도 411~도 413의 구동 방법, 도 414~도 422 등의 구동 방법과 도 505, 도 506, 도 507, 도 514, 도 508~도 513 등의 구동 방법을 조합해도 되는 것은 물론이다. 단, 전압 프리차지 기간, 전압 프리차지 전압값을 변화시키는(지정하는) 경우에는, 지정 혹은 변화를 위한 비트 수가 필요하다. 즉, 프리차지 비트가 3비트가 아니고, 4비트 이상으로서, 도 514의 지정 신호 IS 수로 확장할 필요가 있다.

도 127~도 142, 도 331~도 336의 실시예 등과 도 505, 도 506, 도 507, 도 514, 도 508~513 등의 구동 방법을 조합해도 되는 것은 물론이다. 그 밖에, 본 발명의 소스 드라이버 회로(구성), 표시 패널 혹은 표시 장치, 구동 방법, 검사 방법 등과, 도 411~도 413, 도 414~도 422, 도 505, 도 506, 도 507, 도 514, 도 508~도 513, 도 127~도 142, 도 331~도 336의 실시예 등을 서로 조합해도 되는 것은 물론이다.

지정 기간 IS=2일 때에는, 전압 프리차지 VPC가 실시된 후, 전류 프리차지 IPC로서, 전류 프리차지 펄스 2가 선택되고, 과전류 구동이 실시된다. 즉, 전류 프리차지 펄스 2의 기간에 과전류 Id가 소스 신호선(18)에 인가된다.

이하, 마찬가지로, 지정 기간 IS=3일 때에는, 전압 프리차지 VPC가 실시된 후, 전류 프리차지 IPC로서, 전류 프리차지 펄스 3이 선택된다. 지정 기간 IS=4일 때에는, 전압 프리차지 VPC가 실시된 후, 전류 프리차지 IPC로서, 전류 프리차지 펄스 4가 실시된다. 지정 기간 IS=5일 때에는, 전압 프리차지 VPC가 실시된 후, 전류 프리차지 IPC로서, 전류 프리차지 펄스 5가 선택된다. 지정 기간 IS=6일 때에는, 전압 프리차지 VPC가 실시된 후, 전류 프리차지 IPC로서, 전류 프리차지 펄스 6이 실시된다.

본 발명에서는, 전류 프리차지 펄스*의 *수가 커질수록, 과전류 Id(전류 프리차지의 전류)가 소스 신호선(18)에 인가되는 기간이 긴 것으로서 설명을 한다. 또한, 본 발명에서는, 전류 프리차지 기간을 변화시키는 것으로서 설명하지만, 이것에 한정되는 것은 아니고, 지정 신호 IS에 의해 전류 프리차지 전류의 크기를 변화(지정)시켜도 된다. 또한, 전압 프리차지 기간 혹은 전압 프리차지의 인가 전압을 변화(지정)시켜도 되는 것은 물론이다.

R 데이터와 마찬가지로, G 데이터는, B 기간에, 3개의 프리차지 지정 데이터(GP0, GP1, GP2)와, GSIG7 데이터(도 508과 그 설명을 참조할 것))를 전송한다. 또한, B 데이터는, B 기간에, 3개의 프리차지 지정 데이터(BP0, BP1, BP2)와, GSIG8 데이터(도 508과 그 설명을 참조할 것))를 전송한다.

이상과 같이, B 기간에는, 전류 프리차지를 지정하는 신호와, C/D 등의 다른 신호가 전송된다. 또한, 전송은, 컨트롤러 회로(IC)(760)로부터 소스 드라이버 회로(IC)(14)에 대하여 행해진다.

R 데이터의 C 기간은, 영상 신호로서의 R 데이터가 전송된다. 즉, RD0[0]~RD0[7]이 전송된다. 또한, RD0[*]의 괄호 []의 첨자는, 영상 데이터의 비트 위치를 나타낸다. 즉, RD0[0]이라 함은, R 데이터의 0번째의 최하위 비트를 나타내고,

RD0[7]라 함은, R 데이터의 0번째의 최상위 비트를 나타낸다. 또한, RD*[]의 *는, 영상 데이터의 순서를 나타낸다. 예를 들면, RD0[]이라 함은, R의 제0 화소번째의 데이터를 나타내어, RD7[]이라 함은, R의 제7 화소번째의 데이터를 나타낸다. 마찬가지로, RD18[]이라 함은, R의 제18 화소번째의 데이터를 나타낸다. 이상의 사항은, 영상 G 데이터, 영상 B 데이터에 대하여도 마찬가지이다.

G 데이터의 C 기간은, 영상 신호로서의 G 데이터가 전송된다. 즉, GD0[0]~GD0[7]이 전송된다. B 데이터의 C 기간은, 영상 신호로서의 B 데이터가 전송된다. 즉, BD0[0]~BD0[7]이 전송된다.

B 기간+C 기간은 A 기간이다. A 기간에서 각 RGB의 1화소의 데이터가 전송된다. 즉, 각 RGB의 각 8비트의 영상 데이터를, 각 영상 데이터를 프리차지할지 하지 않을지 및 프리차지하는 경우에는, 어떠한 프리차지를 실시할지의 지정 데이터가 전송된다. 게다가, 게이트 드라이버 회로(12)의 제어 데이터가 전송된다. 이상의 사항은, 영상 G 데이터, 영상 B 데이터에 대하여도 마찬가지이다. 즉, A 기간에는, 6비트의 직렬 데이터가 병렬로 7트위스트쌍의 신호선에 의해 전송된다.

이상의 실시예에서는, A 기간에는, 6비트의 직렬 데이터가 병렬로 7트위스트쌍의 신호선에 의해 전송되는 것으로 했지만, 본 발명은, 이것에 한정되는 것이 아니다. A 기간에, 7 비트의 직렬 데이터가 병렬로 6트위스트쌍의 신호선에 의해 전송되어도 된다. 또한, 다른 방식이어도 되는 것은 물론이다.

게이트 드라이버 회로(12)의 제어 데이터도 직렬 데이터로 하여 전송된다(도 505의 게이트 데이터). 이것은, 도 292 등을 설명하고 있다. 컨트롤 회로(IC)(760)로부터 직렬 데이터로서, 소스 드라이버 회로(IC)(14)에 전송된 데이터는, 소스 드라이버 회로(IC)(14)에서 병렬 데이터로 변환되어, 게이트 드라이버 회로(12)에 인가된다.

도 505에서는, 1개의 트위스트 페어선에 의해 A 기간에, 6 데이터(GSIG1~GSIG6)가 전송된다. 게이트 드라이버 회로(12)의 제어 데이터는, 게이트 데이터의 페어선 뿐만 아니라, G 데이터와 B 데이터에도 배치되어 있다. 즉, 트위스트 페어에 의해 전송되는 G 데이터의 GSIG7, 트위스트 페어로 전송되는 B 데이터의 GSIG8의 2개를 부가해서, A 기간에 합계 8개의 제어 신호가 전송된다.

시리얼 신호로서 소스 드라이버 회로(IC)(14)에 인가된 게이트 데이터 등은, 도 508에 도시하는 바와 같이, 소스 드라이버 회로(IC)(14)의 직렬-병렬 변환부(3681)에서 병렬 신호로 변환된다. 게이트 드라이버 회로(12)의 제어 데이터로서, 8비트가 전송된다. 또한, 도 508은 게이트 드라이버 회로(12)의 제어에만 한정된 도면으로 하고 있다(소스 드라이버 회로의 영상 신호의 직렬-병렬 전개는 생략하고 있다). 또한, 도 292와 그 설명도 참조하기 바란다. 직렬-병렬 변환부는, GOE 단자를 갖고 있다. GOE 단자에 L 레벨 신호가 인가되면, OGSIG 단자는, 모두 하이 임피던스 상태로 된다. 즉, 3스테이트 단자이다. 하이 임피던스로 하는 것에 의해, OGSIG 단자는 소스 드라이버 회로(IC)(14)로부터 분리된 상태로 된다. 따라서, OGSIG 단자에 외부로부터의 신호를 접속할 수 있다. 즉, 게이트 데이터 등의 직렬 신호를 사용하지 않는 상태로 되어, 직접 병렬 신호의 게이트 드라이버 회로(12)의 제어 신호를 접속할 수 있다.

도 508의 구성은, 도 282~도 284, 도 288~도 292, 도 316, 도 319, 도 320, 도 327, 도 347, 도 358, 도 365, 도 367, 도 373, 도 374 등의 구성을 상세하게 도시한 구성 혹은, 유사한 구성이다. 따라서, 도 282~도 284, 도 288~도 292, 도 316, 도 319, 도 320, 도 327, 도 347, 도 358, 도 365, 도 367, 도 373, 도 374에서 설명한 내용 혹은 구성을 도 508과 조합할 수 있는 것은 물론이다.

8개의 제어 신호의 지정은 임의이지만, 본 발명에서는, GSIG1은 게이트 드라이버 회로(12a)의 스타트 펄스(ST1) 신호, GSIG2는 게이트 드라이버 회로(12a)의 클럭(CLK1) 신호, GSIG3은 게이트 드라이버 회로(12a)의 인에이블(OEV1:도 40 등을 참조할 것) 신호이다. GSIG1은 단자 OGSIG1단자로부터 출력되어, 게이트 드라이버 회로(12a)에 인가된다. GSIG2는 단자 OGSIG2 단자로부터 출력되어, 게이트 드라이버 회로(12a)에 인가된다. 마찬가지로, GSIG3은 단자 OGSIG3 단자로부터 출력되어, 게이트 드라이버 회로(12a)에 인가된다.

GSIG4는 게이트 드라이버 회로(12b)의 스타트 펄스(ST2) 신호, GSIG5는 게이트 드라이버 회로(12b)의 클럭(CLK2) 신호, GSIG6은 게이트 드라이버 회로(12b)의 인에이블(OEV2:도 40 등을 참조할 것) 신호이다. GSIG4는 OGSIG4 단자로부터 출력되어, 게이트 드라이버 회로(12b)에 인가된다. GSIG5는 OGSIG5 단자로부터 출력되어, 게이트 드라이버 회로(12b)에 인가된다. 마찬가지로, GSIG6은 OGSIG6 단자로부터 출력되어, 게이트 드라이버 회로(12b)에 인가된다.

이상과 같이, 본 발명은, 복수의 게이트 드라이버 회로(12)에 공통의 제어 신호를 구비하는 점에 특징이 있다. 또한, OGSIG 단자를 하이 임피던스 상태로 제어할 수 있고, OGSIG 단자에 다른 제어 신호를 접속할 수 있다는 점에도 특징이 있다.

GSIG7은 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 공통 신호이다. 구체적으로는, GSIG7은 표시 화면의 표시 방향을 상하로 절환하는 UD(업다운) 신호이다. GSIG7은 OGSIG7L 단자로부터 출력되어, 게이트 드라이버 회로(12a)에 인가된다. 동시에, GSIG7은 OGSIG7R 단자로부터 출력되어, 게이트 드라이버 회로(12b)에 인가시킨다.

GSIG8도 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 공통 신호이다. 구체적으로는, GSIG8은 게이트 드라이버 회로(12a)와 (12b)의 공통의 인에이블 신호(OEV3)이다. GSIG8은 OGSIG8L 단자로부터 출력되어, 게이트 드라이버 회로(12a)에 인가된다. 동시에, GSIG8은 OGSIG8R 단자로부터 출력되어, 게이트 드라이버 회로(12b)에 인가된다.

도 509는 게이트 드라이버 회로(12)의 제어 신호 GSIG의 설명도이다. 게이트 드라이버 회로(12)의 제어 신호는, DY[1], DZ[1]과 게이트 데이터이다. 게이트 드라이버 회로(12)의 제어 데이터에서 8비트는, 3 클럭으로 확정한다(클럭은 상승 에지와 하강 에지에서 래치함). 따라서, A1 기간의 3 클럭이 종료한 시점에서, GSIG1~8의 데이터가 OGSIG1~OGSIG8 단자로부터 출력된다. 이 출력은, A1 기간의 다음의 A2 기간 동안 유지된다. A2 기간에서는, A2 기간의 3 클럭이 종료한 시점에서, GSIG1~8의 데이터가 OGSIG1~OGSIG8 단자로부터 출력된다. 이 출력은, A2 기간의 다음의 A3 기간 동안 유지된다.

도 508의 GOE 신호가 H 레벨일 때에는, GSIG1~8의 데이터가 OGSIG1~OGSIG8로서 단자로부터 출력된다. CGOE 신호가 L 레벨일 때에는, OGSIG1~OGSIG8 단자는 하이임피던스 상태로 된다(도 509에 Hi-Z라고 기재하고 있다).

게이트 데이터는, 게이트 드라이버 회로(12)의 제어 신호로서 설명했지만, 이것에 한정되는 것은 아니다. 예를 들면, 소스 드라이버 회로(IC)(14)의 제어 데이터 혹은 패널의 온도 제어 데이터라도 된다. A 기간의 영상 데이터도 영상 데이터에 한정되는 것은 아니다. 휘도(Y) 신호, 색차(C) 신호라도 되고, 소스 드라이버 회로의 제어 데이터 신호라도 된다.

본 발명은, 직렬 데이터는 영상 신호를 발생하는 소스 드라이버 회로(IC)(14)에 인가하고, 소스 드라이버 회로(IC)(14)에서 인가된 직렬 데이터를 병렬 데이터 등에 전개하고, 소스 드라이버 회로(IC)(14)의 출력 신호에 의해, 게이트 드라이버(12) 등을 제어하는 것에 특징이 있다. 이상과 같이 구성함으로써, 표시 패널과 컨트롤러 회로(IC)(760) 등과의 접속 신호선 개수를 삭감할 수 있어, 접속 플렉시블 면적의 축소와 저코스트화 등을 실현할 수 있다.

A 기간은, 1수평 주사 기간(1H)에 1화소행의 화소 수분의 데이터 수가 발생한다. 예를 들면, 1화소행의 화소 수가 320 트이면, A 기간은 320회이다. 도 505와 같이 데이터 전송이 실행된다.

도 506은, 커맨드 전송 시간이다. 커맨드 전송 시에는, 구체적으로는 1H 기간의 블랭킹 시간이다. 블랭킹 기간에, 소스 드라이버 회로의 기준 전류 설정값, 프리차지 전압의 설정값 등의 설정 데이터(커맨드)를 전송한다.

커맨드는 6개의 트위스트 페어에 의해 전송한다. DX[0], DX[1], DY[0], DY[1], DZ[0], DZ[1]이다. 블랭킹 기간도 게이트 드라이버 회로(12)의 제어는 필요하기 때문에, 게이트 데이터는, 트위스트 페어선에 의해 전송된다. 또한, GSIG7 및 GSIG8 신호도 전송된다.

커맨드 전송 시에는 C/D 데이터를 H 레벨로서 전송한다. 소스 드라이버 회로(IC)(14)의 직렬-병렬 변환부(3681)는, C/D 데이터의 로직 레벨을 판정하고, 데이터 전송 상태인지, 커맨드 전송 상태인지를 판단한다. 즉, C/D 데이터=H일 때에는, 영상 데이터가 전송되고 있는 것으로서 처리를 행하고, C/D 데이터=L일 때에는, 커맨드 데이터가 전송되고 있는 것으로서 처리를 행한다. 또한, C/D 데이터 위치는, 수평 동기 신호와, 화소 수의 카운터에 의해 위치 검출을 행한다.

도 506에 있어서, B 기간은 3비트의 어드레스 데이터(ADDR)가 전송된다. C 기간은, 설정 커맨드 데이터(CMD)가 전송된다. 커맨드 데이터는, CMD1~CMD5로 이루어지고, 각 커맨드(CMD)는 6비트이다. 또한, 커맨드 CMD1~5에 있어서, DX[1]가 최상위 비트(MSB)이고, DZ[0]가 최하위 비트이다. 즉, CMD1[*], CMD2[*], CMD3[*], CMD4[*], CMD5[*]의 괄호[]의 첨자는, 비트 위치를 나타낸다.

도 506에 있어서, B 기간은 3비트의 어드레스 데이터가 전송된다. 어드레스 데이터(ADDR)라 함은, 도 507의 표에 도시하는 바와 같이, 커맨드(CMD) 데이터의 내용을 나타낸다. 예를 들면, ADDR[2]~[0]이 '000'일 때에는, 커맨드 CMD5~CMD1은 기준 전류(Ic) 설정(DATA 또는 IDATA 등)을 행한다. 또한, 기준 전류 Ic 및 기준 전류 설정 데이터에 관해서는, 도 50, 도 60, 도 61, 도 64~도 66, 도 131, 도 140, 도 141, 도 145, 도 188, 도 196~도 200, 도 346, 도 377~도 379, 도 397 등을 이용하여 설명하고 있으므로, 설명을 생략한다. CMD0을 H 레벨로 하면, 소스 드라이버 회로(IC)(14)의 외부의 단자에 의해 프리차지 제어되는 모드로 된다.

ADDR[2]~[0]가 '001'과 '010'일 때에는, 커맨드 CMD5~CMD1은 전류 프리차지 펄스의 길이의 설정을 행한다. 펄스의 길이는, 도 513의 회로 구성으로 행한다. CMD1은 전류 프리차지 펄스1의 길이 설정이다. 마찬가지로, CMD2는 전류 프리차지 펄스2의 길이 설정, CMD3은 전류 프리차지 펄스3의 길이 설정, CMD4는 전류 프리차지 펄스4의 길이 설정, CMD5는 전류 프리차지 펄스5의 길이 설정이다.

전압 프리차지의 전압값의 설정은, 도 507에 도시하는 바와 같이, ADDR[2]~[0]이 '010'일 때의 커맨드 CMD2의 6비트로 설정한다. 도 16, 도 75~도 79, 도 127~도 142, 도 410~도 413 등에서 설명하고 있으므로 설명을 생략한다.

각 전류 프리차지 펄스의 길이 설정은, 설정된 6비트의 카운터값이 일치할 때까지 카운트하여 행한다. 카운터의 카운트 클럭은, ADDR[2]~[0]이 '010'일 때의, CMD4의 프리차지 펄스 발생 클럭 설정(PpS)의 3 비트에 의해 행한다. 프리차지 펄스 발생 클럭 설정을 크게 할수록, 즉, 분주 회로(5132)에서 CLK를 분주하여 카운터(4682)의 카운트 업 속도를 변화시킨다. 프리차지 펄스 발생 클럭 설정(PpS)을 크게 할수록, 분주 회로(5132)가 커진다. 따라서, 카운터(4682)의 카운트 업 속도는 느려지고, 결과적으로, 전류 프리차지 펄스가 인가되는 기간의 길이는 길어진다.

도 513에 도시하는 바와 같이 프리차지 펄스 생성부(5131)는 주로 카운터(4682), 펄스 생성부(5133)로 구성된다. 프리차지 펄스 생성부(5131)의 카운터 회로(4682)에는, 분주 회로(5132)는, PpS 신호에 의해, CLK를 분주한 클럭이 인가된다. 또한, 카운터(4682)는 로드 신호(LD)에 의해 동작이 제어된다. 또한, 로드 신호(LD)는 기본적으로는 수평 동기 신호이다.

펄스 생성부(5133)는, 도 514에 나타낸 바와 같이 지정 신호 IS에 따라서, 6종류의 전류 프리차지 펄스 기간 TIp를 발생한다. 또한, 설정에 따라서, 전압 프리차지 펄스 기간 VIp를 발생한다. TIp 및 TVp의 기간은, 분주 회로(5132)의 설정값에 따라 변화한다. 따라서, 본 발명의 소스 드라이버 회로(IC)(14)는, 대상의 패널 사이즈가 변화해도 대응하는 것이 가능하다.

도 513에 도시하는 바와 같이, ADDR, CMD(도 506 등을 참조할 것)에 따라서 지정 신호 IS(IS는, 3비트로 함)가 추출된다. 이 IS 신호는, 래치 회로(유지 회로)(5134)에서 래치되어 1H의 기간 유지된다. 각 화소에 대응한 IS 신호는, 각 소스 신호선(18)에 배치 또는 형성된 셀렉터 회로(5135)에 입력된다. 입력된 IS 신호는 셀렉터 회로(5135)에서 디코딩되어, 6개의 전류 프리차지 펄스 기간 TIp로부터 1개의 전류 프리차지 펄스 기간(또한, IS=0, 7일 때에는 어떠한 펄스 기간도 선택되지 않는다)이 선택된다. 또한, IS=7일 때에는, 전압 프리차지 펄스 기간이 선택되어, 전압 프리차지만이 실시된다. IS=1~6일 때에는, 전압 프리차지가 실시된 후, 전류 프리차지가 실시된다.

도 510은 전압 프리차지와 전류 프리차지의 타이밍차트이다. 수평 동기 신호인 LD 펄스의 하강으로 전압 프리차지 기간이 개시된다. 전압 프리차지 펄스가 H 레벨일 때, 프리차지 전압이 소스 드라이버 회로(IC)(14)로부터 출력된다. 도 510에서는 전압 프리차지 기간을 C로 나타내고 있다. 또한, 수평 동기 신호인 LD 펄스의 하강으로 전류 프리차지 기간이 개시된다. 전류 프리차지 펄스1일 때에는, C+A의 기간이 전류 프리차지되는 기간이다. 전류 프리차지 펄스2일 때에는, 전류 프리차지 펄스1의 기간보다 길게, C+B의 기간이 전류 프리차지되는 기간이다. 이하, 전류 프리차지 펄스3은 전류 프리차지 펄스2의 기간보다 길고, 전류 프리차지 펄스4는 전류 프리차지 펄스3의 기간보다 길다. 이상의 관계가, 전류 프리차지 펄스6까지 도 513의 회로 구성과, 도 507의 설정값에 의해 설정 혹은 구성되어 있다.

도 511, 도 512는 소스 드라이버 회로(IC)(14) 내에 구성 혹은 형성된 전류 프리차지 출력단의 구성도이다. 도 511, 도 512의 구성은, 이전에 설명한 도 381~도 394, 도 398~도 399, 도 402~도 421, 도 432~도 435, 도 457~도 462, 도 470~도 484 등의 구성과 동일 혹은 유사 혹은 변형 혹은 기능을 구체적으로 기재한 혹은 기능을 부가한 구성이다. 따라서, 서로 조합할 수 있다. 또한, 중복되는 점이 많기 때문에, 주로 차이를 중심으로 설명한다.

도 511은, 8비트의 영상 전류 신호의 1출력단이다. 영상 데이터 D[0]~D[7]은 스위치 D*a(*는 0~7이고, 비트 위치를 나타낸다)가 클로즈함으로써 단자(155)로부터 출력된다. 스위치 D*a는, 영상 데이터에 따라서 해당 스위치가 클로즈한다. 한편, 스위치 D*b(*는 0~7이고, 비트 위치를 나타낸다)는, 전류 프리차지 기간 동안 클로즈한다. 스위치 D*b의 클로즈에 의해, 단위 전류 출력단(431c)으로부터 최대 전류(과전류 Id)가 단자(155)로부터 출력된다.

프리차지 전압 Vp는 스위치(151a)가 클로즈함으로써 단자(155)로부터 출력된다. 프리차지 전류 Id 및 프로그램 전류 Iw는 스위치(151b)가 클로즈함으로써 단자(155)로부터 출력된다. 스위치(151a)와 스위치(151b)는 동시에 클로즈하지 않도록 인버터(142)에 의해 제어되고 있다.

인버터(142)에의 로직 데이터는, 프리차지 기간 판정부(5112)에 의해 인가된다. 즉, 프리차지 기간 판정부(5112)는, 도 507의 전류 프리차지 펄스의 길이 설정값에 의해 인버터(142)를 제어한다.

도 512는 스위치 D*a, D*b를 OR 게이트로 치환한 구성이다. 프리차지 기간 판정부(5112)로부터의 출력 신호에 의해, 단위 전류 출력단(431c)로부터 최대 전류(과전류 Id)가 단자(155)로부터 출력된다.

본 발명의 실시예에 있어서의 표시 패널은, 3변 프리의 구성과 조합하는 것도 유효한 것은 물론이다. 특히, 3변 프리의 구성은 화소가 아몰퍼스 실리콘 기술을 이용하여 제작되어 있을 때에 유효하다. 또한, 아몰퍼스 실리콘 기술로 형성된 패널에서는, 트랜지스터 소자의 특성 변동의 프로세스 제어가 불가능하기 때문에, 본 발명의 N배 펄스 구동, 리셋 구동, 기준 전류비 제어, duty비 제어, 더미 화소 구동(도 271 등) 등을 실시하는 것이 바람직하다. 즉, 본 발명에 있어서의 트랜지스터(11) 등은, 폴리실리콘 기술에 의한 것에 한정되는 것은 아니고, 아몰퍼스 실리콘에 의한 것이어도 된다.

본 발명의 표시 패널에 있어서 화소(16)를 구성하는 트랜지스터(11) 등은 아몰퍼스 실리콘 기술을 이용하여 형성한 트랜지스터라도 된다. 또한, 게이트 드라이버 회로(12), 소스 드라이버 회로(IC)(14)도 아몰퍼스 실리콘 기술을 이용하여 형성 혹은 구성해도 되는 것은 물론이다. 또한, 트랜지스터 등은 유기 트랜지스터라도 되는 것은 물론이다. 또한, 도 251의 스페커(2512) 등의 구동 회로도 폴리실리콘 기술에 의한 것에 한정되는 것은 아니고, 아몰퍼스 실리콘에 의한 것이어도 된다.

본 발명의 N배 펄스 구동(도 13, 도 16, 도 19, 도 20, 도 22, 도 24, 도 30, 도 271, 도 274 등) 등은, 저온 폴리실리콘 기술로 트랜지스터(11)를 형성하고 표시 패널보다 아몰퍼스 실리콘 기술로 트랜지스터(11)를 형성한 표시 패널에 유효하다. 아몰퍼스 실리콘의 트랜지스터(11)에서는, 인접한 트랜지스터의 특성이 대략 일치하고 있기 때문이다. 따라서, 가산한 전류로 구동해도 개개의 트랜지스터의 구동 전류는 거의 목표값으로 되어 있다(특히, 도 22, 도 24, 도 30, 도 271, 도 274 등의 N배 펄스 구동은 아몰퍼스 실리콘으로 형성한 트랜지스터의 화소 구성에 있어서도 유효하다).

본 명세서에 기재한, 화소 구성 혹은 표시 패널(표시 장치) 혹은 그 제어 방법 혹은 기술적 사상, 표시 패널 혹은 표시 장치의 구동 방법 혹은 제어 방법 혹은 그 기술적 사상, 소스 드라이버 회로(IC), 게이트 드라이버 IC(회로) 등의 구동 회로 혹은 컨트롤러 IC(회로) 혹은 이들의 제어 회로와 그 조정 혹은 제어 방법(게이트 드라이버 회로 등도 포함함) 혹은 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다. 또한, 서로 적용 혹은 구성 혹은 형성 혹은 방법으로서 적용할 수 있는 것은 물론이다.

본 발명의 검사 장치와 검사 방법 혹은 조정 방법의 기술적 사상 등은, 본 발명의 표시 패널 혹은 표시 장치 혹은 방법 등에 적용할 수 있는 것은 물론이다. 이들의 구성 혹은 방법 혹은 장치 등은, 저온 폴리실리콘의 표시 패널뿐만 아니라, 아몰퍼스 실리콘의 표시 패널, CGS 기술로 구성한 표시 패널에도 적용할 수 있는 것은 물론이다.

또한, 기관(30)의 일부(예를 들면, 표시 영역(144) 등)가 아몰퍼스 실리콘 기술로 구성 혹은 형성되고, 다른 부분(드라이버 회로(12), (14) 등)이 저온 폴리실리콘 기술, CGS 기술 등으로 형성 또는 구성된 표시 패널 혹은 표시 장치도 본 발명의 기술적 범위이다.

duty비 제어 구동, 기준 전류 제어, N배 펄스 구동, 소스 드라이버 회로(IC), 게이트 드라이버 구성 등 본 명세서에서 기재한 본 발명의 구동 방법 및 구동 회로 등은, 유기 EL 표시 패널의 구동 방법 및 구동 회로 등에 한정되는 것은 아니다. 도 159에 도시하는 바와 같이 필드 에미션 디스플레이(FED), SED(캐논과 도시바가 개발한 디스플레이) 등의 다른 디스플레이에도 적용할 수 있는 것은 물론이다.

도 158의 FED에서는 기관(30) 상에 매트릭스 형상으로 전자를 방출하는 전자 방출 돌기(1583)(도 3에서는 화소 전극(35)이 해당함)가 형성되어 있다. 화소에는 영상 신호 회로(1582)(도 1에서는 소스 드라이버 회로(IC)(14)가 해당함)로부터의 화상 데이터를 유지하는 유지 회로(1584)가 형성되어 있다(도 1에서는 콘텐츠가 해당함). 또한, 전자 방출 돌기(1583)의 앞면에는 제어 전극(1581)이 배치되어 있다. 제어 전극(1581)에는 온 오프 제어 회로(1585)(도 1에서는 게이트 드라이버 회로(12)가 해당함)에 의해 전압 신호가 인가된다.

도 158의 화소 구성에서, 도 174에 도시하는 바와 같이 주변 회로를 구성하면, duty비 제어 구동 혹은 N배 펄스 구동 등을 실시할 수 있다. 영상 신호 회로(1582)로부터 소스 신호선(18)에 화상 데이터 신호가 인가된다. 온 오프 제어 회로(1585a)로부터 선택 신호선(2173)에 화소(16)의 선택 신호가 인가되고 순차적으로 화소(16)가 선택되고, 화상 데이터가 기입된다. 또한, 온 오프 제어 회로(1585b)로부터 온 오프 신호선(1742)에 온 오프 신호가 인가되고, 화소의 FED가 온 오프 제어(duty비 제어)된다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

도 158 등의 구성에도, 본 발명의 duty비 제어, 기준 전류 제어, 프리차지 제어, 점등률 제어, AI 제어, 피크 전류 억제 제어, 패널의 배선 주회, 소스 드라이버 회로(IC)(14)의 구성 혹은 구동 방법, 게이트 드라이버 회로 구성 혹은 제어 방법, 트리밍 방법, 프로그램 전압+ 프로그램 전류 구동 방법, 검사 방법 등, 본 발명의 명세서에서 기재한 각종 구성 혹은 방법, 구성, 방식, 장치 구성, 표시 방법 등을 적용할 수 있는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에 있어서도 마찬가지로 적용할 수 있는 것은 물론이다.

또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다. 이상의 사항은, 특히 FED, SED 등의 자기 발광 디바이스 혹은 장치에 적용할 수 있는 것은 물론이다.

본 발명의 드라이버 회로(IC)(14)의 출력단(예를 들면, 트랜지스터군(431c) 등)은 전류 출력(프로그램 전류를 출력)하는 것을 주로 설명하고 있지만, 이것에 한정되는 것은 아니다. 출력단이 프로그램 전압을 출력하는 것이어도 된다(화소 구성으로서는 도 2 등이 해당함). 전압 출력단은, 기준 전류 Ic에 대응하도록 오피 앰프 등으로 전압으로 변환하여 출력하는 것이 예시된다.

출력 전류 Id를 오피 앰프 등으로 전압으로 변환하여 출력하는 것이 예시된다. 그 밖에, 영상 데이터를 전압 데이터로 변환하고, 이 전압 데이터에 감마 처리 등을 실시하여, 출력 단자(155)로부터 출력하는 것이 예시된다. 이상과 같이 본 발명의 소스 드라이버 회로(IC)(14)의 출력은 프로그램 전류에 한정되는 것은 아니고, 프로그램 전압이어도 된다.

또한, 도 77, 도 78, 도 75 등에서는 소스 신호선(18)에 인가하는 프리차지 신호는 전압인 것으로서 설명했지만, 이것에 한정되는 것은 아니고, 전류라도 된다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

본 발명은, 화상(영상) 데이터, 점등률, 애노드(캐소드) 단자에 흐르는 전류, 패널 온도 등에 의해, 기준 전류, duty비, 프리차지 전압(프로그램 전압과 같거나 유사), 게이트 신호선 전압(Vgh, Vgl), 감마 커브 등을 변경 혹은 조정 혹은 변화 혹은 가변하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 화상(영상) 데이터, 점등률, 애노드(캐소드) 단자에 흐르는 전류, 패널 온도의 변화 비율 혹은 변화를 예상 또는 예측하여, 기준 전류, duty비, 프리차지 전압(프로그램 전압과 같거나 유사), 소스 신호선(18)의 출력 전류, 게이트 신호선 전압(Vgh, Vgl), 감마 커브 등을 변경 혹은 조정 혹은 변화 혹은 가변 혹은 제어해도 되는 것은 물론이다. 또한, 프레임 레이트 등을 변경 혹은 변화시켜도 되는 것은 물론이다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합하는 것이 가능하다.

본 발명은 제1 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 있어서, 제1 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시킨다.

또한, 제2 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 있어서, 제2 FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등 혹은 이들의 조합으로서 변화시킨다. 혹은, 점등률(애노드 단자의 애노드 전류 등이어도 된다) 혹은 점등률 범위(애노드 단자의 애노드 전류 범위 등이어도 된다)에 따라서(적응하여), FRC 혹은 점등률 혹은 애노드(캐소드) 단자에 흐르는 전류 혹은 기준 전류 혹은 duty비 혹은 패널 온도 등, 혹은 이들의 조합으로서 변화시키는 것이다.

또한, 변화시킬 때에는, 히스테리시스를 갖게 하여, 혹은 지연시켜, 혹은 천천히 변화시킨다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

본 발명의 드라이버 회로(IC)에서 설명하는 사항은, 게이트 드라이버 회로(IC)(12), 소스 드라이버 회로(IC)(14)에 적용할 수 있고, 또한, 유기(무기) EL 표시 패널(표시 장치)뿐만 아니라, 액정 표시 패널(표시 장치)에도 적용할 수 있다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

본 발명의 표시 장치에 있어서, FRC를 실시하는 경우에는, 도 504에 도시하는 바와 같이, 적색의 영상 데이터(RDATA), 녹색의 영상 데이터(GDATA), 청색의 영상 데이터(BDATA)를 필요에 따라 프레임(필드) 메모리(5041)에 저장한다. 또한, 영상 데이터는 각 6비트로 한다. 메모리(5041)에 저장된 영상 데이터는 판독되어, 감마 회로(764)에 입력되고 감마 변환되어 10비트 데이터로 된다. 10비트화된 영상 데이터는 FRC 회로(765)에서 8비트화로 되어, 4FRC에서 소스 드라이버 회로(IC)(14)에 인가된다.

이와 같이 영상 데이터를 메모리(5041)에는 6비트로 저장하여 메모리 사이즈를 작게 하고, 감마 회로(764)에서 10비트로 변환하고, FRC 처리에 의해 8비트로 변환하여 소스 드라이버 회로(IC)(14)에 입력하는 구성은, 회로 구성이 용이하고 또한 회로 규모를 작게 할 수 있기 때문에 바람직하다. 이상의 실시예는, 휴대 전화와 같이 1화면 혹은 일부의 화면용으로서 메모리(5041)를 갖는 구성에 최적이다.

또한, 본 발명의 표시 장치(표시 패널), 검사 장치, 구동 방법, 표시 방법 등에 있어서, 화소 구성은 도 1을 중심으로 설명했다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 2, 도 6~도 13, 도 28, 도 31, 도 33~도 36, 도 158, 도 193~도 194, 도 574, 도 576, 도 578~도 581, 도 595, 도 598, 도 602~도 604, 도 607의 (a), (b), (c)의 방식도 적용할 수 있는 것은 물론이다.

본 발명의 실시예(구성, 동작, 구동 방법, 제어 방법, 검사 방법, 형성 또는 배치, 표시 패널과 그것을 이용한 표시 장치 등)는 주로 도 1의 화소 구성을 예시하여 설명을 했다. 그러나, 도 1의 화소 구성 등 설명한 사항은, 도 1에 한정되는 것은 아니다. 예를 들면, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13, 도 28, 도 31, 도 36, 도 193, 도 194, 도 215, 도 314, 도 607의 (a), (b), (c)의 화소 구성에도 적용할 수 있는 것은 물론이다.

또한, 화소 구성에 한정되는 것은 아니고, 도 231 등에서 설명한 유지 회로(2280)에 대해서도 적용할 수 있는 것은 물론이다. 구성이 동일 혹은 유사하고, 기술적 사상이 동일하기 때문이다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

도 1~14, 도 22, 도 31, 도 32, 도 33, 도 34, 도 35, 도 36, 도 39, 도 83, 도 85, 도 119, 도 120, 도 121, 도 126, 도 154~158, 도 180, 도 181, 도 187, 도 190, 도 191, 도 192, 도 193, 도 194, 도 195, 도 208, 도 248, 도 249, 도 250, 도 251, 도 258, 도 260~도 265, 도 270, 도 319, 도 320, 도 324, 도 325, 도 326, 도 327, 도 373, 도 374, 도 391~도 404, 도 409~도 413, 도 415~도 422, 도 423~도 426, 도 444~도 454, 도 467, 도 519~도 524, 도 539~도 549, 도 559~도 564, 도 574~도 588, 도 595~도 601, 도 602~도 606 등에서 설명한 혹은 기재한 본 발명의 화소 구성 혹은 표시 패널(표시 장치) 혹은 그 제어 방법 혹은 기술적 사상은, 서로 조합할 수 있다. 또한, 서로 적용 혹은 복합의 구성 혹은 형성 혹은 조합을 할 수 있다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

도 18, 도 19, 도 20, 도 21, 도 23, 도 24, 도 25, 도 26, 도 27, 도 28, 도 37, 도 38, 도 40, 도 41, 도 42, 도 54, 도 89~도 118, 도 122~도 125, 도 128, 도 129, 도 130, 도 132, 도 133, 도 134, 도 149~153, 도 177, 도 178, 도 179, 도 211~도 222, 도 227, 도 252, 도 253, 도 257, 도 259, 도 266~도 269, 도 280, 도 281, 도 282, 도 289, 도 290, 도 291, 도 307, 도 313, 도 314, 도 315, 도 316, 도 317, 도 318, 도 321, 도 322, 도 333, 도 328, 도 329, 도 330, 도 331, 도 332~도 337, 도 355~도 371, 도 375, 도 376, 도 380, 도 382~도 385, 도 389, 도 390, 도 391~도 404, 도 409~도 413, 도 415~도 422, 도 432~도 435, 도 442, 도 443, 도 455~도 466, 도 468, 도 469, 도 477~도 484, 도 504, 도 505~도 510, 도 515~도 518, 도 532~도 538, 도 565~도 573, 도 605~도 607 등에서 설명 혹은 기재한 본 발명의 표시 패널 혹은 표시 장치의 구동 방법 혹은 제어 방법 혹은 기술적 사상은, 서로 조합할 수 있다. 또한, 서로 적용 혹은 구성 혹은 형성할 수 있다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

도 15, 도 16, 도 17, 도 29, 도 30, 도 43~53, 도 55, 도 56, 도 57, 도 58, 도 59, 도 60, 도 61, 도 62, 도 63~82, 도 84, 도 86, 도 87, 도 88, 도 127, 도 131, 도 135~148, 도 159~176, 도 182~185, 도 186, 도 188, 도 196, 도 197, 도 198, 도 199, 도 200, 도 201, 도 209, 도 210, 도 228~245, 도 246, 도 247, 도 283~도 288, 도 292~도 305, 도 308~도 313, 도 338~도 354, 도 372, 도 375, 도 377~도 379, 도 381, 도 386, 도 387~도 388, 도 391~도 402, 도 405~도 408, 도 414, 도 427~도 431, 도 470~도 473, 도 471~도 480, 도 487, 도 491~도 503, 도 511~도 515, 도 525~도 527, 도 528~도 531, 도 547~도 558, 도 589~도 590 등에 기재 혹은 설명한 본 발명의 소스 드라이버 회로(IC) 혹은 드라이버 회로와 그 조정 혹은 제어 방법(게이트 드라이버 회로 등도 포함함) 혹은 기술적 사상은 서로 조합할 수 있다. 또한, 서로 적용 혹은 구성 혹은 형성할 수 있다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

도 202~도 207, 도 223~226, 도 306, 도 436~도 441, 도 485~도 486, 도 488~도 490, 도 591~도 594 등에 기재 혹은 설명한 본 발명의 검사 장치와 검사 방법 혹은 조정 방법 혹은 제조 방법, 제조 장치 등의 기술적 사상은, 서로 조합할 수 있다. 또한, 본 발명의 표시 패널(표시 장치), 소스 드라이버 회로(IC), 구동 방법 등에 대하여 서로 적용 혹은 구성 혹은 형성할 수 있다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

또한, 이상에 기재한, 화소 구성 혹은 표시 패널(표시 장치) 혹은 그 제어 방법 혹은 기술적 사상, 표시 패널 혹은 표시 장치의 구동 방법 혹은 제어 방법 혹은 그 기술적 사상, 소스 드라이버 회로(IC), 게이트 드라이버 IC(회로) 등의 구동 회로 혹은 컨트롤러 IC(회로) 혹은 이들의 제어 회로와 그 조정 혹은 제어 방법(게이트 드라이버 회로 등도 포함함) 혹은 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다. 또한, 서로 적용 혹은 구성 혹은 형성할 수 있는 것은 물론이다. 또한, 본 발명의 검사 장치와 검사 방법 혹은 조정 방법의 기술적 사상 등은, 본 발명의 표시 패널 혹은 표시 장치 등에 적용할 수 있는 것은 물론이다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

또한, 본 발명의 표시 패널은, 표시 장치를 의미하는 경우가 있는 것은 물론이다. 또한, 표시 장치라 함은, 촬영 렌즈 등 다른 구성물을 갖는 것을 의미하는 경우도 포함된다. 즉, 표시 패널 혹은 표시 장치라 함은, 어떠한 표시 수단을 갖는 장치이다.

본 발명의 실시예에서 설명한 표시 장치 혹은 구동 방법 혹은 제어 방법 혹은 방식 등의 기술적 사상은, 비디오 카메라, 프로젝터, 입체 텔레비전, 프로젝션 텔레비전, FED, SED(케논과 도시바가 개발한 디스플레이) 등에 적용할 수 있다.

또한, 뷰 파인더, 휴대 전화의 메인 모니터 및 서브 모니터, PHS, 휴대 정보 단말기 및 그 모니터, 디지털 카메라, 위성 텔레비전, 위성 모바일 텔레비전 및 그 모니터에도 적용할 수 있다.

또한, 전자 사진 시스템, 헤드 마운트 디스플레이, 직시 모니터 디스플레이, 노트 퍼스널 컴퓨터, 비디오 카메라, 전자 스틸 카메라에도 적용할 수 있다.

또한, 현금 자동 인출기의 모니터, 공중 전화, 텔레비전 전화, 퍼스널 컴퓨터, 손목 시계 및 그 표시 장치 등에도 적용할 수 있다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

또한, 본 발명은, 가정 전기 기기의 표시 모니터, 포켓 게임 기기 및 그 모니터, 표시 패널용 백 라이트 혹은 가정용 혹은 업무용의 조명 장치 등에도 적용 혹은 응용 전개할 수 있는 것은 물론이다. 조명 장치는 색 온도를 가변할 수 있도록 구성하는 것이 바람직하다. 이것은, RGB의 화소를 스트라이프 형상 혹은 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있다.

또한, 광고 혹은 포스터 등의 표시 장치, RGB의 신호기, 경보 표시등 등에도 응용 가능하다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

또한, 스캐너의 광원으로서도 본 발명의 자기 발광 소자 혹은 표시 장치 혹은 유기 EL 표시 패널은 유효하다. RGB의 도트 매트릭스를 광원으로 해서, 대상물에 광을 조사하여, 화상을 판독한다. 물론, 단색이어도 되는 것은 물론이다. 또한, 액티브 매트릭스에 한정되는 것은 아니고, 단순 매트릭스라도 된다. 색 온도를 조정할 수 있도록 하면 화상 판독 정밀도도 향상한다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

또한, 본 발명은, 액정 표시 장치의 백 라이트에도 유기 EL 표시 장치는 유효하다. EL 표시 장치(백 라이트)의 RGB의 화소를 스트라이프 형상 혹은 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있고, 또한, 밝기의 조정도 용이하다. 게다가, 먼 광원이기 때문에, 화면의 중앙부를 밝게, 주변부를 어둡게 하는 가우스 분포를 용이하게 구성할 수 있다.

또한, R, G, B 광을 교대로 주사하는, 필드 시퀀셜 방식의 액정 표시 패널의 백 라이트로서도 유효하다. 물론, 화소(16) 등을 형성하지 않고, 백색 혹은 단색의 백 라이트 혹은 프론과 라이트로서 본 발명의 기술적 사상을 이용해도 되는 것은 물론이다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

또한, 액티브 매트릭스 표시 패널뿐만 아니라, 단순 매트릭스 표시 패널에 본 발명의 기술적 사상을 이용해도 된다. 또한, 백 라이트를 점멸해도 흑(黑) 삽입함으로써 동화상 표시용 등의 액정 표시 패널의 백 라이트로서도 이용할 수 있다. 또한, 본 발명의 장치 혹은 방법에 의해, 백색 발광을 실현하여, 액정 표시 장치 등의 백 라이트로서도 이용할 수 있다. 또한, 이들의 기술적 사상 등은, 일부 혹은 전부를 막론하고 서로 조합할 수 있다.

또한, 본 발명은 상기 각 실시예에 한정되는 것은 아니고, 그 실시의 단계에서는 그 요지를 일탈하지 않는 범위에서 여러 가지 변형·변경이 가능하다. 또한, 각 실시예는 가능한 한 적절하게 조합하여 실시되어도 되고, 그 경우 조합에 의한 효과가 얻어진다.

또한, 본 발명의 프로그램은, 상술한 본 발명의 EL 표시 장치의 전부 또는 일부의 수단(또는, 장치, 소자 등)의 기능을 컴퓨터에 의해 실행시키기 위한 프로그램으로서, 컴퓨터와 협동하여 동작하는 프로그램이다.

또한, 본 발명의 프로그램은, 상술한 본 발명의 EL 표시 장치의 구동 방법의 전부 또는 일부의 스텝(또는, 공정, 동작, 작용 등)의 동작을 컴퓨터에 의해 실행시키기 위한 프로그램으로서, 컴퓨터와 협동하여 동작하는 프로그램이다.

또한, 본 발명의 기록 매체는, 상술한 본 발명의 EL 표시 장치의 전부 또는 일부의 수단(또는, 장치, 소자 등)의 전부 또는 일부의 기능을 컴퓨터에 의해 실행시키기 위한 프로그램을 담지한 기록 매체이고, 컴퓨터에 의해 판독 가능하고 또한, 판독된 상기 프로그램이 상기 컴퓨터와 협동하여 상기 기능을 실행하는 기록 매체이다.

또한, 본 발명의 기록 매체는, 상술한 본 발명의 EL 표시 장치의 구동 방법의 전부 또는 일부의 스텝(또는, 공정, 동작, 작용 등)의 전부 또는 일부의 동작을 컴퓨터에 의해 실행시키기 위한 프로그램을 담지한 기록 매체이고, 컴퓨터에 의해 판독 가능하고 또한, 판독된 상기 프로그램이 상기 컴퓨터와 협동하여 상기 동작을 실행하는 기록 매체이다.

또한, 본 발명의 상기 「일부의 수단(또는, 장치, 소자 등)」이라 함은, 이들의 복수의 수단 중의, 하나 또는 몇 개의 수단을 의미하고, 본 발명의 상기 「일부의 스텝(또는, 공정, 동작, 작용 등)」이라 함은, 이들의 복수의 스텝 중의, 하나 또는 몇 개의 스텝을 의미한다.

또한, 본 발명의 상기 「수단(또는, 장치, 소자 등)의 기능」이라 함은, 상기 수단의 전부 또는 일부의 기능을 의미하고, 본 발명의 상기 「스텝(또는, 공정, 동작, 작용 등)의 동작」이라 함은, 상기 스텝의 전부 또는 일부의 동작을 의미한다.

또한, 본 발명의 프로그램의 일 이용 형태는, 컴퓨터에 의해 판독 가능한 기록 매체에 기록되고, 컴퓨터와 협동하여 동작하는 양태라도 된다.

또한, 본 발명의 프로그램의 일 이용 형태는, 전송 매체 중을 전송하여, 컴퓨터에 의해 판독되고, 컴퓨터와 협동하여 동작하는 양태라도 된다.

또한, 기록 매체로서는, ROM 등이 포함되고, 전송 매체로서는, 인터넷 등의 전송 매체, 광·전파·음파 등이 포함된다.

또한, 상술한 본 발명의 컴퓨터는, CPU 등의 순연한 하드웨어에 한하지 않고, 펌 웨어나, OS, 그리고 주변 기기를 포함하는 것이어도 된다.

또한, 이상 설명한 바와 같이, 본 발명의 구성은, 소프트웨어적으로 실현해도 되고, 하드웨어적으로 실현해도 된다.

발명의 효과

본 발명은, 예를 들면, 유기 EL 표시 패널을 이용하여 보다 양호한 화상 표시를 얻는 것이 가능하여, 유용하다.

도면의 간단한 설명

도 1은 본 발명의 표시 패널의 구성도.

도 2는 본 발명의 표시 패널의 구성도.

도 3은 본 발명의 표시 패널의 설명도.

도 4는 본 발명의 표시 패널의 설명도.

도 5는 본 발명의 표시 장치의 구동 방법의 설명도.

도 6은 본 발명의 표시 패널의 설명도.

- 도 7은 본 발명의 표시 패널의 설명도.
- 도 8은 본 발명의 표시 패널의 설명도.
- 도 9는 본 발명의 표시 패널의 설명도.
- 도 10은 본 발명의 표시 패널의 설명도.
- 도 11은 본 발명의 표시 패널의 설명도.
- 도 12는 본 발명의 표시 패널의 설명도.
- 도 13은 본 발명의 표시 패널의 설명도.
- 도 14는 본 발명의 표시 패널의 설명도.
- 도 15는 본 발명의 표시 패널의 설명도.
- 도 16은 본 발명의 표시 패널의 설명도.
- 도 17은 본 발명의 표시 패널의 설명도.
- 도 18은 본 발명의 표시 패널의 설명도.
- 도 19는 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 20은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 21은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 22는 본 발명의 표시 패널의 설명도.
- 도 23은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 24는 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 25는 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 26은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 27은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 28은 본 발명의 표시 패널의 설명도.
- 도 29는 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 30은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 31은 본 발명의 표시 패널의 설명도.
- 도 32는 본 발명의 표시 패널의 설명도.
- 도 33은 본 발명의 표시 패널의 설명도.

도 34는 본 발명의 표시 패널의 설명도.

도 35는 본 발명의 표시 패널의 설명도.

도 36은 본 발명의 표시 패널의 설명도.

도 37은 본 발명의 표시 패널의 구동 방법의 설명도.

도 38은 본 발명의 표시 패널의 구동 방법의 설명도.

도 39는 본 발명의 표시 패널의 구동 방법의 설명도.

도 40은 본 발명의 표시 패널의 구동 방법의 설명도.

도 41은 본 발명의 표시 패널의 구동 방법의 설명도.

도 42는 본 발명의 표시 패널의 구동 방법의 설명도.

도 43은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 44는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 45는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 46은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 47은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 48은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 49는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 50은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 51은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 52는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 53은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 54는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 55는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 56은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 57은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 58은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 59는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 60은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 61은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 62는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 63은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 64는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 65는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 66은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 67은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 68은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 69는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 70은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 71은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 72는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 73은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 74는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 75는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 76은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 77은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 78은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 79는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 80은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 81은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 82는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 83은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 84는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 85는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 86은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 87은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 88은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 89는 본 발명의 표시 패널의 구동 방법의 설명도.
도 90은 본 발명의 표시 패널의 구동 방법의 설명도.
도 91은 본 발명의 표시 패널의 구동 방법의 설명도.
도 92는 본 발명의 표시 패널의 구동 방법의 설명도.
도 93은 본 발명의 표시 패널의 구동 방법의 설명도.
도 94는 본 발명의 표시 패널의 구동 방법의 설명도.
도 95는 본 발명의 표시 패널의 구동 방법의 설명도.
도 96은 본 발명의 표시 패널의 구동 방법의 설명도.
도 97은 본 발명의 표시 패널의 구동 방법의 설명도.
도 98은 본 발명의 표시 패널의 구동 방법의 설명도.
도 99는 본 발명의 표시 패널의 구동 방법의 설명도.
도 100은 본 발명의 표시 패널의 구동 방법의 설명도.
도 101은 본 발명의 표시 패널의 구동 방법의 설명도.
도 102는 본 발명의 표시 패널의 구동 방법의 설명도.
도 103은 본 발명의 표시 패널의 구동 방법의 설명도.
도 104는 본 발명의 표시 패널의 구동 방법의 설명도.
도 105는 본 발명의 표시 패널의 구동 방법의 설명도.
도 106은 본 발명의 표시 패널의 구동 방법의 설명도.
도 107은 본 발명의 표시 패널의 구동 방법의 설명도.
도 108은 본 발명의 표시 패널의 구동 방법의 설명도.
도 109는 본 발명의 표시 패널의 구동 방법의 설명도.
도 110은 본 발명의 표시 패널의 구동 방법의 설명도.
도 111은 본 발명의 표시 패널의 구동 방법의 설명도.
도 112는 본 발명의 표시 패널의 구동 방법의 설명도.
도 113은 본 발명의 표시 패널의 구동 방법의 설명도.
도 114는 본 발명의 표시 패널의 구동 방법의 설명도.

도 115는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 116은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 117은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 118은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 119는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 120은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 121은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 122는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 123은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 124는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 125는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 126은 본 발명의 표시 장치의 설명도.
 도 127은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 128은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 129는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 130은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 131은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 132는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 133은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 134는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 135는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 136은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 137은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 138은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 139는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 140은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 141은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 142는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 143은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 144는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 145는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 146은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 147은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 148은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 149는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 150은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 151은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 152는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 153은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 154는 본 발명의 표시 장치의 설명도.
도 155는 본 발명의 표시 장치의 설명도.
도 156은 본 발명의 표시 장치의 설명도.
도 157은 본 발명의 표시 장치의 설명도.
도 158은 본 발명의 표시 장치의 설명도.
도 159는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 160은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 161은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 162는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 163은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 164는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 165는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 166은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 167은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 168은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 169는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 170은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 171은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 172는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 173은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 174는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 175는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 176은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 177은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 178은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 179는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 180은 본 발명의 표시 패널의 설명도.
 도 181은 본 발명의 표시 패널의 설명도.
 도 182는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 183은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 184는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 185는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 186은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 187은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 188은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 189는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 190은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 191은 본 발명의 표시 패널의 설명도.
 도 192는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 193은 본 발명의 표시 패널의 설명도.
 도 194는 본 발명의 표시 패널의 설명도.
 도 195는 본 발명의 표시 패널의 설명도.

- 도 196은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 197은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 198은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 199는 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 200은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 201은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 202는 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
- 도 203은 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
- 도 204는 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
- 도 205는 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
- 도 206은 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
- 도 207은 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
- 도 208은 본 발명의 표시 패널의 설명도.
- 도 209는 본 발명의 표시 패널의 설명도.
- 도 210은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 211은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 212는 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 213은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 214는 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 215는 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 216은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 217은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 218은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 219는 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 220은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 221은 본 발명의 표시 패널의 구동 방법의 설명도.
- 도 222는 본 발명의 표시 패널의 구동 방법의 설명도.

도 223은 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
 도 224는 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
 도 225는 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
 도 226은 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
 도 227은 본 발명의 표시 패널(어레이)의 검사 방법의 설명도.
 도 228은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 229는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 230은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 231은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 232는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 233은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 234는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 235는 본 발명의 표시 패널의 설명도.
 도 236은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 237은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 238은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 239는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 240은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 241은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 242는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 243은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 244는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 245는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 246은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 247은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 248은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 249는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 250은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 251은 본 발명의 표시 패널의 설명도.

도 252는 본 발명의 표시 패널의 구동 방법의 설명도.

도 253은 본 발명의 표시 패널의 구동 방법의 설명도.

도 254는 본 발명의 표시 패널의 구동 방법의 설명도.

도 255는 본 발명의 표시 패널의 구동 방법의 설명도.

도 256은 본 발명의 표시 패널의 구동 방법의 설명도.

도 257은 본 발명의 표시 패널의 구동 방법의 설명도.

도 258은 본 발명의 표시 패널의 구동 방법의 설명도.

도 259는, 본 발명의 표시 패널의 구동 방법의 설명도.

도 260은 본 발명의 표시 패널의 설명도.

도 261은 본 발명의 표시 패널의 설명도.

도 262는 본 발명의 표시 패널의 설명도.

도 263은 본 발명의 표시 패널의 설명도.

도 264는 본 발명의 표시 패널의 설명도.

도 265는 본 발명의 표시 패널의 설명도.

도 266은 본 발명의 표시 패널의 구동 방법의 설명도.

도 267은 본 발명의 표시 패널의 구동 방법의 설명도.

도 268은 본 발명의 표시 패널의 구동 방법의 설명도.

도 269는 본 발명의 표시 패널의 구동 방법의 설명도.

도 270은 본 발명의 표시 패널의 구동 방법의 설명도.

도 271은 본 발명의 표시 패널의 구동 방법의 설명도.

도 272는 본 발명의 표시 패널의 구동 방법의 설명도.

도 273은 본 발명의 표시 패널의 구동 방법의 설명도.

도 274는 본 발명의 표시 패널의 구동 방법의 설명도.

도 275는 본 발명의 표시 패널의 구동 방법의 설명도.

도 276은 본 발명의 표시 패널의 구동 방법의 설명도.

도 277은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 278은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 279는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 280은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 281은 본 발명의 표시 패널의 설명도.
 도 282는 본 발명의 표시 패널의 설명도.
 도 283은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 284는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 285는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 286은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 287은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 288은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 289는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 290은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 291은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 292는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 293은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 294는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 295는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 296은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 297은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 298은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 299는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 300은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 301은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 302는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 303은 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 304는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 305는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 306은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 307은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 308은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 309는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 310은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 311은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 312는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 313은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 314는 본 발명의 표시 패널의 설명도.
도 315는 본 발명의 표시 패널의 설명도.
도 316은 본 발명의 표시 패널의 설명도.
도 317은 본 발명의 표시 패널의 구동 방법의 설명도.
도 318은 본 발명의 표시 패널의 구동 방법의 설명도.
도 319는 본 발명의 표시 패널의 설명도.
도 320은 본 발명의 표시 패널의 설명도.
도 321은 본 발명의 표시 패널의 구동 방법의 설명도.
도 322는 본 발명의 표시 패널의 구동 방법의 설명도.
도 323은 본 발명의 표시 패널의 구동 방법의 설명도.
도 324는 본 발명의 표시 패널의 설명도.
도 325는 본 발명의 표시 장치의 설명도.
도 326은 본 발명의 표시 장치의 설명도.
도 327은 본 발명의 표시 패널의 구동 방법의 설명도.
도 328은 본 발명의 표시 패널의 구동 방법의 설명도.
도 329는 본 발명의 표시 패널의 구동 방법의 설명도.
도 330은 본 발명의 표시 패널의 구동 방법의 설명도.

도 331은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 332는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 333은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 334는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 335는 본 발명의 표시 패널의 구동 방법의 설명도.
 도 336은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 337은 본 발명의 표시 패널의 구동 방법의 설명도.
 도 338은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 339는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 340은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 341은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 342는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 343은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 344는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 345는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 346은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 347은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 348은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 349는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 350은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 351은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 352는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 353은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 354는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 355는 본 발명의 표시 장치의 설명도.
 도 356은 본 발명의 표시 장치의 설명도.
 도 357은 본 발명의 표시 장치의 설명도.

도 358은 본 발명의 표시 장치의 설명도.
도 359는 본 발명의 표시 장치의 설명도.
도 360은 본 발명의 표시 장치의 설명도.
도 361은 본 발명의 표시 장치의 설명도.
도 362는 본 발명의 표시 장치의 설명도.
도 363은 본 발명의 표시 장치의 설명도.
도 364는 본 발명의 표시 장치의 설명도.
도 365는 본 발명의 표시 장치의 설명도.
도 366은 본 발명의 표시 장치의 설명도.
도 367은 본 발명의 표시 장치의 설명도.
도 368은 본 발명의 표시 장치의 설명도.
도 369는 본 발명의 표시 장치의 설명도.
도 370은 본 발명의 표시 장치의 설명도.
도 371은 본 발명의 표시 장치의 설명도.
도 372는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 373은 본 발명의 표시 장치의 설명도.
도 374는 본 발명의 표시 장치의 설명도.
도 375는 본 발명의 표시 장치의 구동 방법의 설명도.
도 376은 본 발명의 표시 장치의 구동 방법의 설명도.
도 377은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 378은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 379는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 380은 본 발명의 표시 장치의 구동 방법의 설명도.
도 381은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 382는 본 발명의 표시 장치의 구동 방법의 설명도.
도 383은 본 발명의 표시 장치의 구동 방법의 설명도.
도 384는 본 발명의 표시 장치의 구동 방법의 설명도.

도 385는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 386은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 387은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 388은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 389는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 390은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 391은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 392는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 393은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 394는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 395는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 396은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 397은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 398은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 399는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 400은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 401은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 402는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 403은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 404는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 405는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 406은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 407은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 408은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 409는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 410은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 411은 본 발명의 표시 장치의 구동 방법의 설명도.

도 412는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 413은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 414는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 415는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 416은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 417은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 418은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 419는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 420은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 421은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 422는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 423은 본 발명의 표시 장치의 설명도.
 도 424는 본 발명의 표시 장치의 설명도.
 도 425는 본 발명의 표시 장치의 설명도.
 도 426은 본 발명의 표시 장치의 설명도.
 도 427은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 428은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 429는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 430은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 431은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 432는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 433은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 434는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 435는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 436은 본 발명의 검사 방법의 설명도.
 도 437은 본 발명의 검사 방법의 설명도.
 도 438은 본 발명의 검사 방법의 설명도.

도 439는 본 발명의 검사 방법의 설명도.
도 440은 본 발명의 검사 방법의 설명도.
도 441은 본 발명의 검사 방법의 설명도.
도 442는 본 발명의 표시 장치의 구동 방법의 설명도.
도 443은 본 발명의 표시 장치의 구동 방법의 설명도.
도 444는 본 발명의 표시 장치의 설명도.
도 445는 본 발명의 표시 장치의 설명도.
도 446은 본 발명의 표시 장치의 설명도.
도 447은 본 발명의 표시 장치의 설명도.
도 448은 본 발명의 표시 장치의 설명도.
도 449는 본 발명의 표시 장치의 설명도.
도 450은 본 발명의 표시 장치의 설명도.
도 451은 본 발명의 표시 장치의 설명도.
도 452는 본 발명의 표시 장치의 설명도.
도 453은 본 발명의 표시 장치의 설명도.
도 454는 본 발명의 표시 장치의 설명도.
도 455는 본 발명의 표시 장치의 구동 방법의 설명도.
도 456은 본 발명의 표시 장치의 구동 방법의 설명도.
도 457은 본 발명의 표시 장치의 구동 방법의 설명도.
도 458은 본 발명의 표시 장치의 구동 방법의 설명도.
도 459는 본 발명의 표시 장치의 구동 방법의 설명도.
도 460은 본 발명의 표시 장치의 구동 방법의 설명도.
도 461은 본 발명의 표시 장치의 구동 방법의 설명도.
도 462는 본 발명의 표시 장치의 구동 방법의 설명도.
도 463은 본 발명의 표시 장치의 구동 방법의 설명도.
도 464는 본 발명의 표시 장치의 구동 방법의 설명도.
도 465는 본 발명의 표시 장치의 구동 방법의 설명도.

- 도 466은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 467은 본 발명의 표시 장치의 설명도.
- 도 468은 본 발명의 표시 장치의 설명도.
- 도 469는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 470은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 471은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 472는 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 473은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 474는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 475는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 476은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 477은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 478은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 479는 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 480은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 481은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 482는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 483은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 484는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 485는 본 발명의 표시 장치(표시 패널)의 검사 방법의 설명도.
- 도 486은 본 발명의 표시 장치(표시 패널)의 검사 방법의 설명도.
- 도 487은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 488은 본 발명의 표시 장치(표시 패널)의 검사 방법의 설명도.
- 도 489는 본 발명의 표시 장치(표시 패널)의 검사 방법의 설명도.
- 도 490은 본 발명의 표시 장치(표시 패널)의 검사 방법의 설명도.
- 도 491은 본 발명의 소스 드라이버 회로(IC)의 설명도.
- 도 492는 본 발명의 소스 드라이버 회로(IC)의 설명도.

도 493은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 494는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 495는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 496은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 497은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 498은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 499는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 500은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 501은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 502는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 503은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 504는 본 발명의 표시 장치의 설명도.
도 505는 본 발명의 표시 장치의 설명도.
도 506은 본 발명의 표시 장치의 설명도.
도 507은 본 발명의 표시 장치의 설명도.
도 508은 본 발명의 표시 장치의 설명도.
도 509는 본 발명의 표시 장치의 설명도.
도 510은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 511은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 512는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 513은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 514는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 515는 본 발명의 표시 장치의 구동 방법의 설명도.
도 516은 본 발명의 표시 장치의 구동 방법의 설명도.
도 517은 본 발명의 표시 장치의 구동 방법의 설명도.
도 518은 본 발명의 표시 장치의 구동 방법의 설명도.
도 519는 본 발명의 표시 장치의 설명도.

도 520은 본 발명의 표시 장치의 설명도.
도 521은 본 발명의 표시 장치의 설명도.
도 522는 본 발명의 표시 장치의 설명도.
도 523은 본 발명의 표시 장치의 설명도.
도 524는 본 발명의 표시 장치의 설명도.
도 525는 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 526은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 527은 본 발명의 소스 드라이버 회로(IC)의 설명도.
도 528은 본 발명의 표시 장치의 설명도.
도 529는 본 발명의 표시 장치의 설명도.
도 530은 본 발명의 표시 장치의 설명도.
도 531은 본 발명의 표시 장치의 설명도.
도 532는 본 발명의 표시 장치의 구동 방법의 설명도.
도 533은 본 발명의 표시 장치의 설명도.
도 534는 본 발명의 표시 장치의 구동 방법의 설명도.
도 535는 본 발명의 표시 장치의 구동 방법의 설명도.
도 536은 본 발명의 표시 장치의 구동 방법의 설명도.
도 537은 본 발명의 표시 장치의 구동 방법의 설명도.
도 538은 본 발명의 표시 장치의 구동 방법의 설명도.
도 539는 본 발명의 표시 장치의 전원 회로의 설명도.
도 540은 본 발명의 표시 장치의 전원 회로의 설명도.
도 541은 본 발명의 표시 장치의 전원 회로의 설명도.
도 542는 본 발명의 표시 장치의 전원 회로의 설명도.
도 543은 본 발명의 표시 장치의 전원 회로의 설명도.
도 544는 본 발명의 표시 장치의 전원 회로의 설명도.
도 545는 본 발명의 표시 장치의 전원 회로의 설명도.
도 546은 본 발명의 표시 장치의 전원 회로의 설명도.

도 547은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 548은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 549는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 550은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 551은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 552는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 553은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 554는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 555는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 556은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 557은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 558은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 559는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 560은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 561은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 562는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 563은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 564는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 565는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 566은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 567은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 568은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 569는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 570은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 571은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 572는 본 발명의 표시 장치의 설명도.
 도 573은 본 발명의 표시 장치의 설명도.

도 574는 본 발명의 표시 패널의 설명도.
 도 575는 본 발명의 표시 패널의 설명도.
 도 576은 본 발명의 표시 패널의 설명도.
 도 577은 본 발명의 표시 패널의 설명도.
 도 578은 본 발명의 표시 패널의 설명도.
 도 579는 본 발명의 표시 패널의 설명도.
 도 580은 본 발명의 표시 패널의 설명도.
 도 581은 본 발명의 표시 패널의 설명도.
 도 582는 본 발명의 표시 장치의 설명도.
 도 583은 본 발명의 표시 장치의 설명도.
 도 584는 본 발명의 표시 장치의 설명도.
 도 585는 본 발명의 표시 장치의 설명도.
 도 586은 본 발명의 표시 장치의 설명도.
 도 587은 본 발명의 표시 장치의 설명도.
 도 588은 본 발명의 표시 장치의 설명도.
 도 589는 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 590은 본 발명의 소스 드라이버 회로(IC)의 설명도.
 도 591은 본 발명의 표시 패널의 제조 방법의 설명도.
 도 592는 본 발명의 표시 패널의 제조 방법의 설명도.
 도 593은 본 발명의 표시 패널의 제조 방법의 설명도.
 도 594는 본 발명의 표시 패널의 제조 방법의 설명도.
 도 595는 본 발명의 표시 패널의 설명도.
 도 596은 본 발명의 표시 패널의 설명도.
 도 597은 본 발명의 표시 패널의 설명도.
 도 598은 본 발명의 표시 패널의 설명도.
 도 599는 본 발명의 표시 패널의 설명도.
 도 600은 본 발명의 표시 패널의 설명도.

도 601은 본 발명의 표시 장치의 설명도.

도 602는 본 발명의 표시 장치의 설명도.

도 603은 본 발명의 표시 장치의 설명도.

도 604는 본 발명의 표시 장치의 설명도.

도 605는 본 발명의 표시 장치의 설명도.

도 606은 본 발명의 표시 장치의 설명도.

도 607은 본 발명의 표시 패널의 설명도.

(부호의 설명)

11 : 트랜지스터(TFT, 박막 트랜지스터)

12 : 게이트 드라이버(회로) IC

14 : 소스 드라이버 회로(IC)

15 : EL 소자(발광 소자)

16 : 화소

17 : 게이트 신호선

18 : 소스 신호선

19 : 축적 용량(부가 커패시터, 부가 용량)

29 : EL막

30 : 어레이 기판

31 : 독(리브)

32 : 층간 절연막

34 : 콘택트 접속부

35 : 화소 전극

36 : 캐소드 전극

37 : 건조제

38 : $\lambda/4$ 판($\lambda/4$ 필름, 위상판, 위상 필름)

39 : 편광판

40 : 밀봉 뚜껑

41 : 박막 밀봉막

71 : 절환 회로(아날로그 스위치)

141 : 시프트 레지스터

142 : 인버터

143 : 출력 버퍼

144 : 표시 영역(표시 화면)

150 : 내부 배선(출력 배선)

151 스위치(온 오프 수단)

153 : 게이트 배선

154 : 전류원(단위 트랜지스터)

155 : 출력 단자

157, 158 : 트랜지스터

161 : 일치회로

162 : 카운터 회로

163 : AND

164 : 전류 출력 회로

171 : 보호 다이오드

172 : 서지 저감 저항

191 : 기입 화소행

192 : 비표시(비점등) 영역

193 : 표시(점등) 영역

431 : 트랜지스터군

501 : 전자 볼륨(전압 가변 수단)

502 : 오피 앰프

601 : 기준 전류 회로

641 : 래더 저항

642 : 스위치 회로

643 : 전압 입출력 회로(전압 입출력 단자)

661 : DA 변환 회로

760 : 컨트롤 회로(IC)(제어 수단)

761 : 프리차지 제어 회로

764 : 감마 변환 회로

765 : 프레임 레이트 컨트롤(FRC) 회로

771 : 래치 회로(유지 회로, 유지 수단, 데이터 저장 회로)

772 : 셀렉터 회로(선택 수단, 절환 수단)

773 : 프리차지 회로

811 : 차동 회로

821 : 직렬-병렬 변환 회로(컨트롤 IC)

831 : 컨트롤 IC(회로)(제어 수단)

841 : 고조 회로

851 : 스위치 회로(절환 수단)

852 : 디코더 회로

856 : AI 처리 회로(피크 전류 억제, 다이내믹 범위 확대 처리 등)

857 : 동화상 검출 처리(ID 처리)

858 : 컬러 매니지먼트 처리 회로(색 보상/보정, 색 온도 보정 회로)

859 : 연산 회로(MPU, CPU)

861 : 가변 증폭기

862 : 샘플링 회로(데이터 유지 회로, 신호 래치 회로)

881, 882: 승산기

883 : 가산기

884 : 총합 회로(SUM 회로, 데이터 처리 회로, 총 전류 연산 회로)

1191 : DC/DC 컨버터(전압값 변환 회로, DC 전원 회로)

1193 : 레귤레이터

1261 : 안테나

1262 : 키

1263 : 케이스

1264 : 표시 패널

1271 : 전압 게조 회로(프로그램 전압 발생 회로)

1311 : 디코더

1431 : 가산 회로

1541 : 접안 링

1542: 확대 렌즈

1543: 볼록 렌즈(+ 렌즈)

1551: 지점(회전부, 지점부)

1552: 촬영 렌즈(촬영 수단)

1553 : 저장부

1554 : 스위치

1561 : 본체

1562 : 촬영부

1563 : 셔터 스위치

1571: 부착틀

1572 : 다리

1573: 부착대

1574 : 고정부

1153 : 제어 전극

1582 : 영상 신호 회로

1583 : 전자 방출 돌기

1584 : 유지 회로

1585 : 온 오프 제어 회로

1621 : 트리밍 장치(트리밍 수단, 조정 수단)

1622 : 레이저 광

1623 : 저항(조정부)

1681 : 보정(조정) 트랜지스터

1691 : 소스 단자

1692 : 게이트 단자

1693 : 드레인 단자

1694 : 트랜지스터

1731 : 선택 스위치(선택 수단)

1732 : 공통선

1733 : 전류계(전류 측정 수단)

1734 : 단자 전극

1801 : 커넥터 단자(접속 단자)

1802 : 플렉시블 기판

1811 : 캐소드 배선

1812 : 캐소드 접속 위치

1813 : 게이트 드라이버 신호

1814 : 소스 드라이버 신호

1815 : 애노드 배선

1881 : 전류 유지 회로

1882 : 계조 전류 배선

1883 : 출력 제어 단자

1884 : 프로그램 전류 발생 회로

1885 : 선택 신호선

1891 : 샘플링 스위치

1901 : 차동 신호

1902 : 신호 배선

1912 : 전원 모듈

1913 : 코일(트랜스포머 회로, 승압 회로)

1914 : 접속 단자

2021 : 쇼트 배선

2031 : 애노드 단자 배선

2032 : 쇼트 칩(전기적 단락 수단)

2033 : 칩 단자

2034 : 소스 신호선 단자

2041 : 쇼트랙(전기적 단락 겹, 전기적 단락 수지, 전기적 단락 수단)

2081 : 캐스케이드 배선

2191 : 스위치(온 오프 수단)

2231 : 온 오프 제어 수단

2232 : 검사 스위치

2251 : 보호 다이오드

2252 : 전압(전류) 배선

2261 : 전압원(검사 신호 발생 수단, 검사 신호 발생부)

2280 : 출력 회로(출력단, 전류 출력 회로, 전류 유지 회로)

2281 : 트랜지스터

2282 : 게이트 신호선

2283 : 전류 신호선

2284 : 게이트 신호선

2289 : 컨덴서

2301 : 리셋 회로

2311 : 스위치 트랜지스터

2285 : 게이트 신호선

2391 : I-V 변환 회로

trb : 트랜지스터군

tb : 트랜지스터군

2471 : 폴리실리콘 전류 유지 회로

2501 : 트리밍 조정부

2511 : 밀봉 수지

2512 : 스피커

2513 : 밀봉막

2514 : 공간

2611 : 레귤레이터

2612 : 차지 펌프 회로

2621 : 스위칭 회로(교류화 회로)

2622 : 트랜스포머

2623 : 평활화 회로

2741 : 더미 화소행

2831 : 반전 출력 발생 회로

2841 : FF(플립플롭 회로, 지연 회로)

2851 : 타이밍 발생 회로

2852 : 배선

2871 : 보정 데이터 연산 회로

2872 : 전류 측정 회로

2873 : 프로브

2874 : 보정 회로(데이터 변환 회로)

2881 : 게이트용 배선 패드

2882 : 게이트용 배선 패드

2883 : 입력 신호선 패드

2884 : 출력 신호선 패드

2885 : 배선

2901 : 입력 신호선

2902 : 단자 전극

2903 : 애노드 배선

2904 : 금 범프

2911 : 플렉시블 기판

2921 : 차동-병렬 신호 변환 회로

2931 : 저항 어레이

2941 : 전압 셀렉터 회로

2951 : 셀렉터 회로

3031 : 플래시 메모리(데이터 유지 회로)

3051 : 휘도계

3052 : 연산기

3053 : 제어 회로

3141 : 차광막

3271 : 배터리(전지, 전력 공급 수단)

3272 : 전원 모듈(전압 발생 수단)

3451 : 가산 회로

3611 : PLL 회로

3681 : 차동 신호-병렬 신호 변환 회로

3682 : 임피던스 설정 회로

3751 : 컨덴서 신호선

3752 : 컨덴서 드라이버 회로(IC)

3861 : 과전류(프리차지 전류 혹은 디스차지 전류) 트랜지스터

3881 : 비교 회로(데이터 비교 수단, 연산 수단, 제어 수단)

4011: 게이트 배선

K : 과전류 bit

P : 프리차지 bit

4371 : 전류계(전류 검출 수단, 전류 측정 수단)

4411 : 검사 드라이버(검사 제어 수단, 소스 신호선 선택 수단)

4441 : 온도 센서(온도 변화 검출 수단, 온도 측정 수단, 온도 검사 수단)

4443 : 검출기

4491 : 선택 드라이버 회로

4681 : 비교 회로(비교 수단)

4682 : 카운터 회로

4711 : 일치 회로

4881 : 클래스 기판

4891 : 신호 배선

5041 : 프레임(필드) 메모리

5111 : 전류 출력단(프로그램 전류 출력 회로)

5112 : 프리차지 기간 판정부

5131 : 프리차지 펄스 생성부

5132 : 분주 회로(클럭 주파수 변환 회로, 타이밍 변경 회로)

5133 : 펄스 생성부(프리차지 펄스 발생 회로, 타이밍 회로)

5134 : 디코더(래치 회로를 갖는 경우도 있음)

5135 : 셀렉터

5191 : 컨덴서 전극

5192 : 가산 회로

5193 : AD 변환 회로(아날로그-디지털 변환 수단)

5201 : 더미 화소(전위 검출 수단, 전압 검출 회로)

5281 : 콤퍼레이터(신호 레벨 판정 수단)

5301 : 처리 회로(신호 처리 회로)

5311 : 모드 변환 회로(IC)(신호 레벨 변환 회로)

5391 : 코일(트랜스포머)

5392 : 제어 회로

5393 : 다이오드(정류 수단)

5394 : 컨덴서(평활 수단)

5395 : 저항

5396 : 트랜지스터

5401 : 가변 저항

5411 : 스위치

5413 : 전원 회로

5451 : 스위치

5461 : 저항

5471 : 서브 트랜지스터

5601 : 스위치(접속 수단)

5602 : (아날로그) 스위치(절환 수단)

5611 : 선택 단위 트랜지스터

3411 : 프리차지 펄스

5721 : 포토 센서

5722 : 디코더(바코드 해독기)

5723 : EL 표시 패널(자발광 표시 패널(장치))

5861 : 색 필터(색 개선 수단, 과장 확대역 수단)

5871 : 화소 애노드 배선

5881 : 금속 박막(도전 재료)

3441 : 웨이퍼

3442 : 특성 분포

5911 : 도핑 헤드

5912 : 레이저 헤드

6021 : 애노드 배선

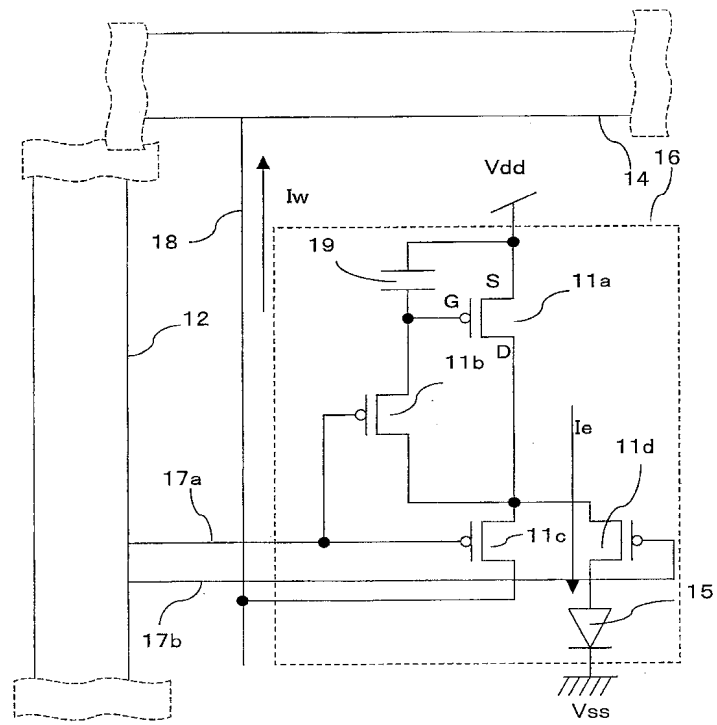
6161 : 격리 기둥(격리벽(링))

6162 : 밀봉 수지(밀봉 수단)

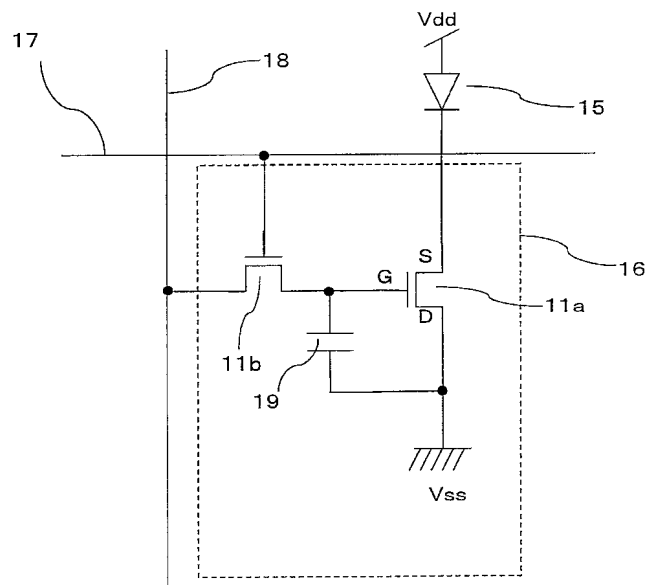
6163 : 공간

도면

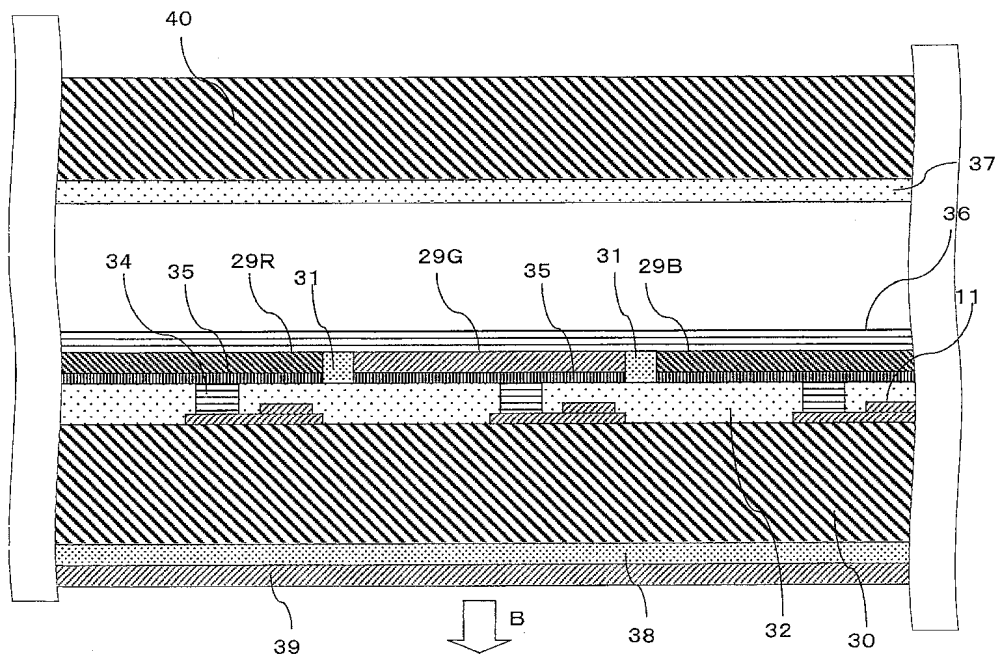
도면1



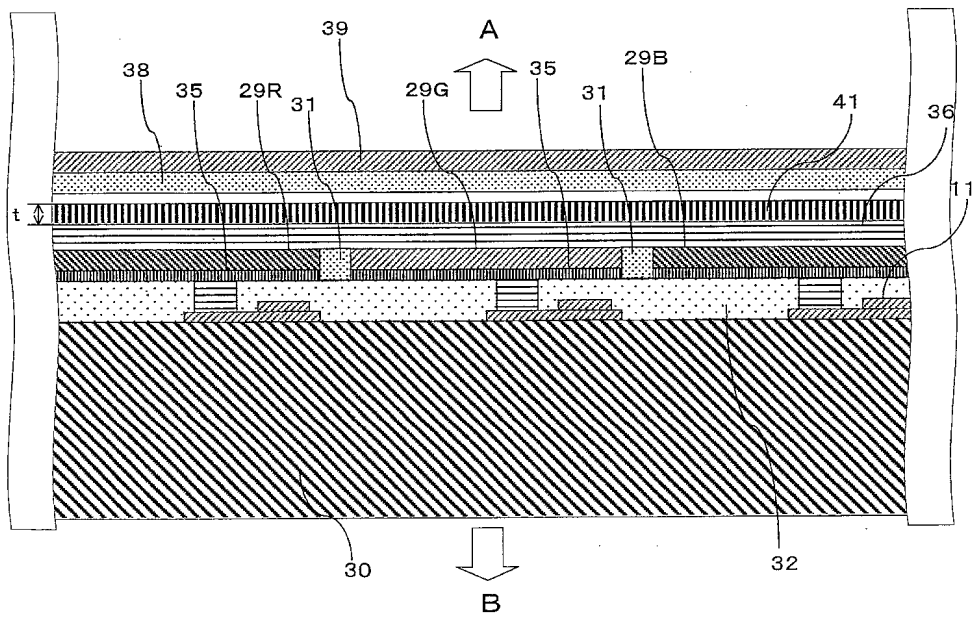
도면2



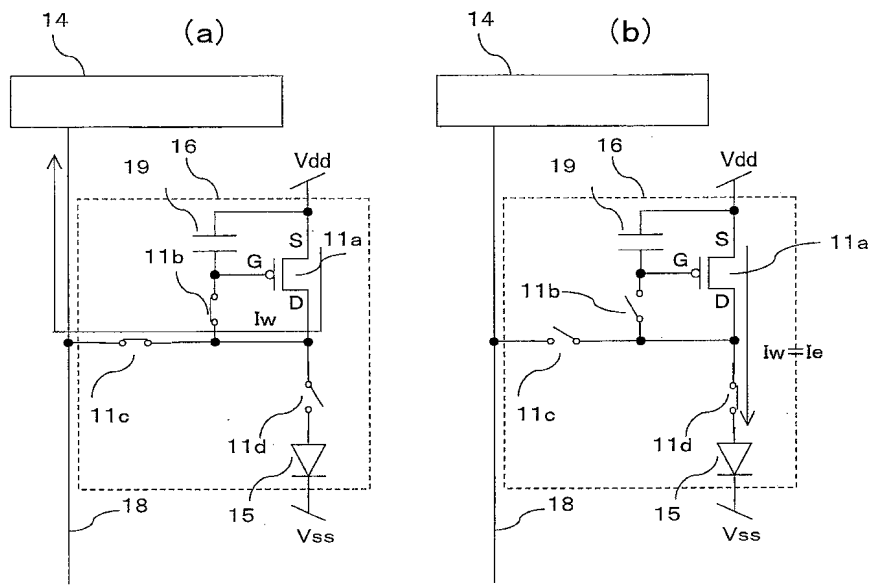
도면3



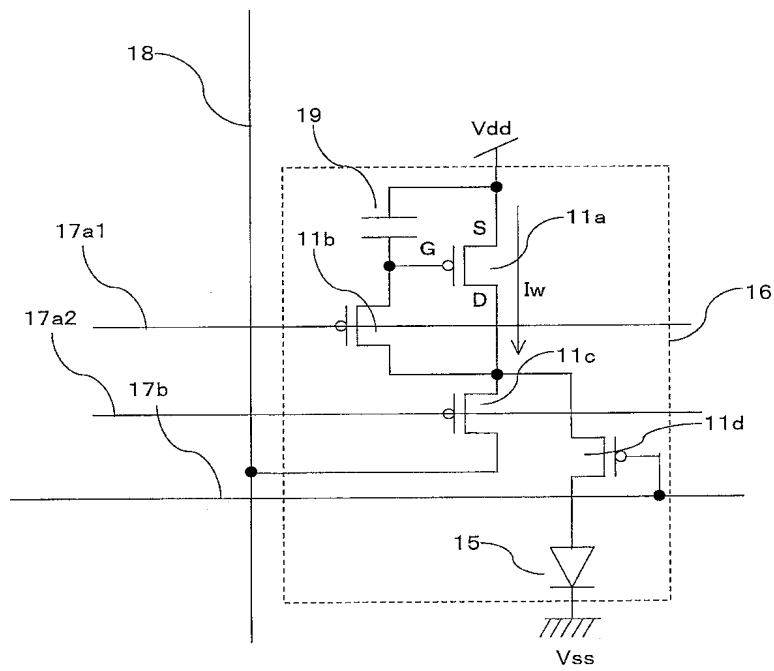
도면4



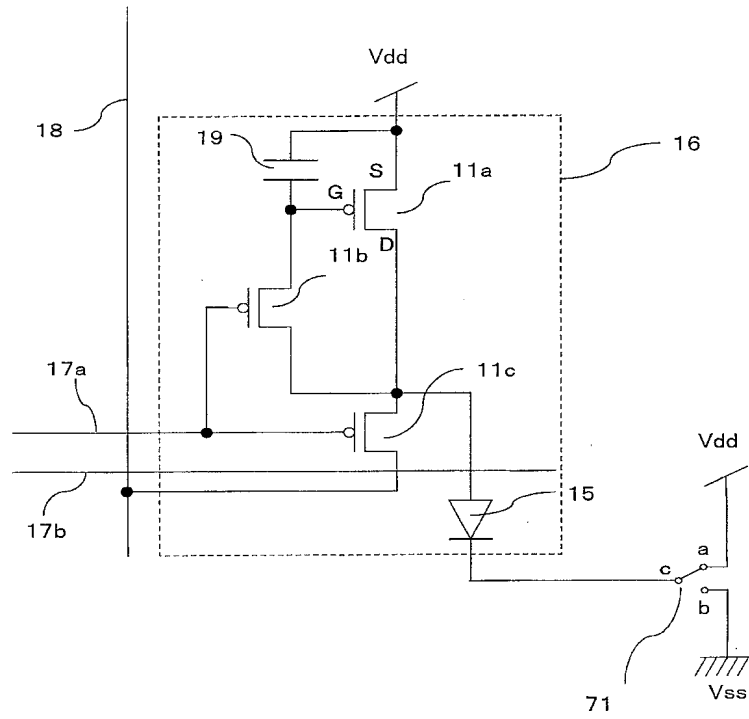
도면5



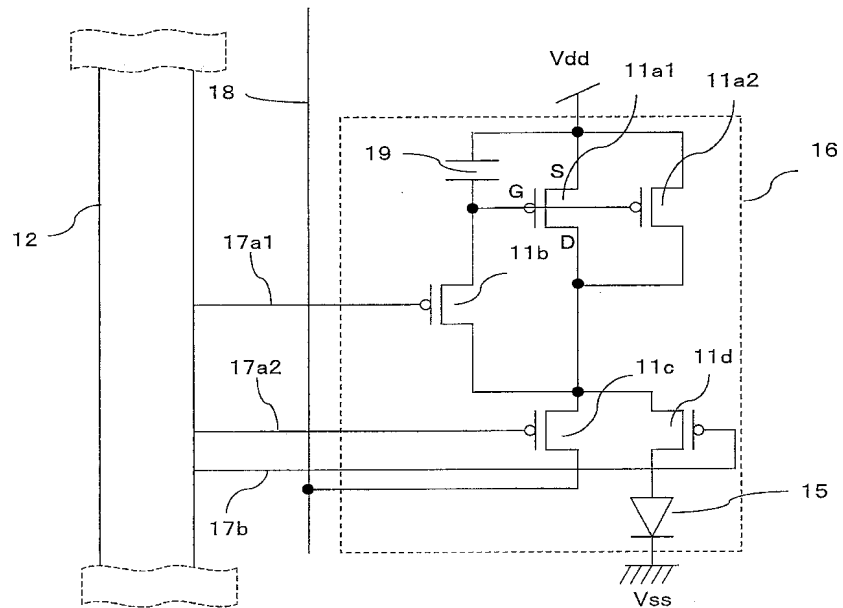
도면6



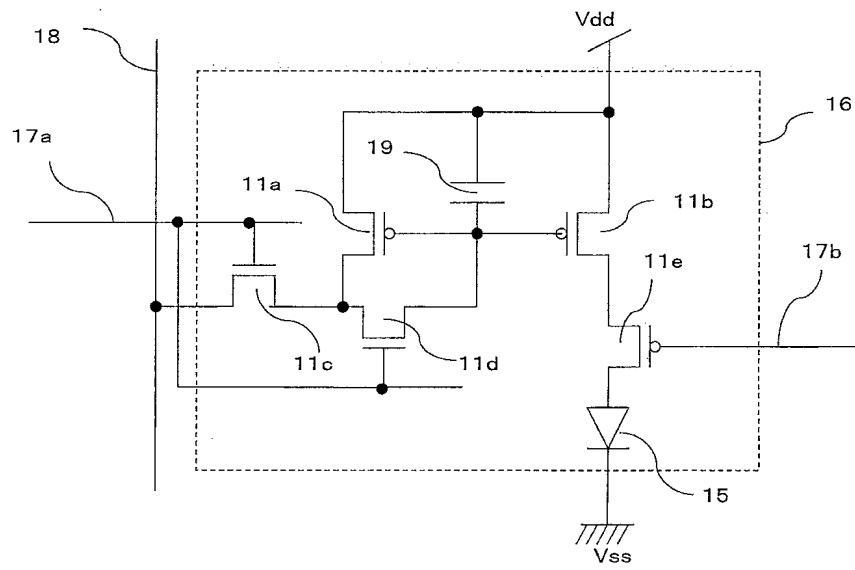
도면7



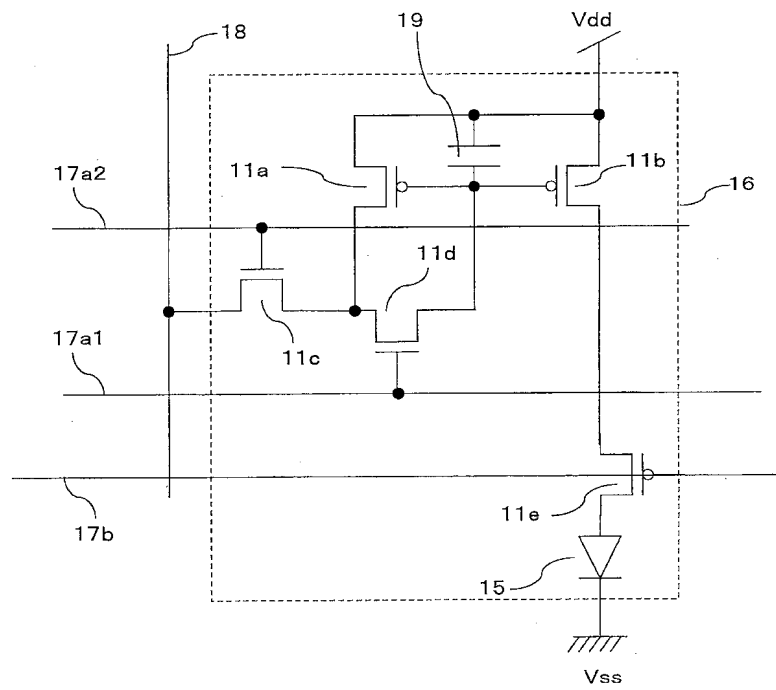
도면8



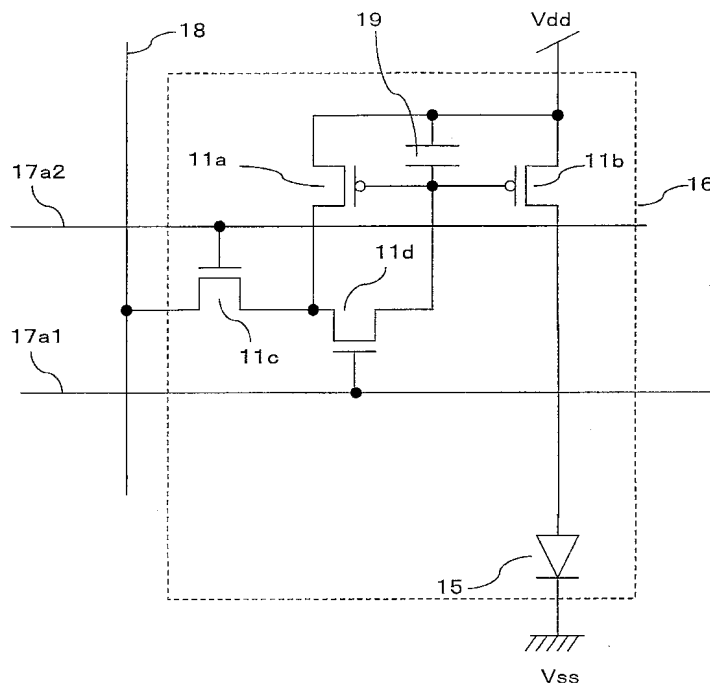
도면11



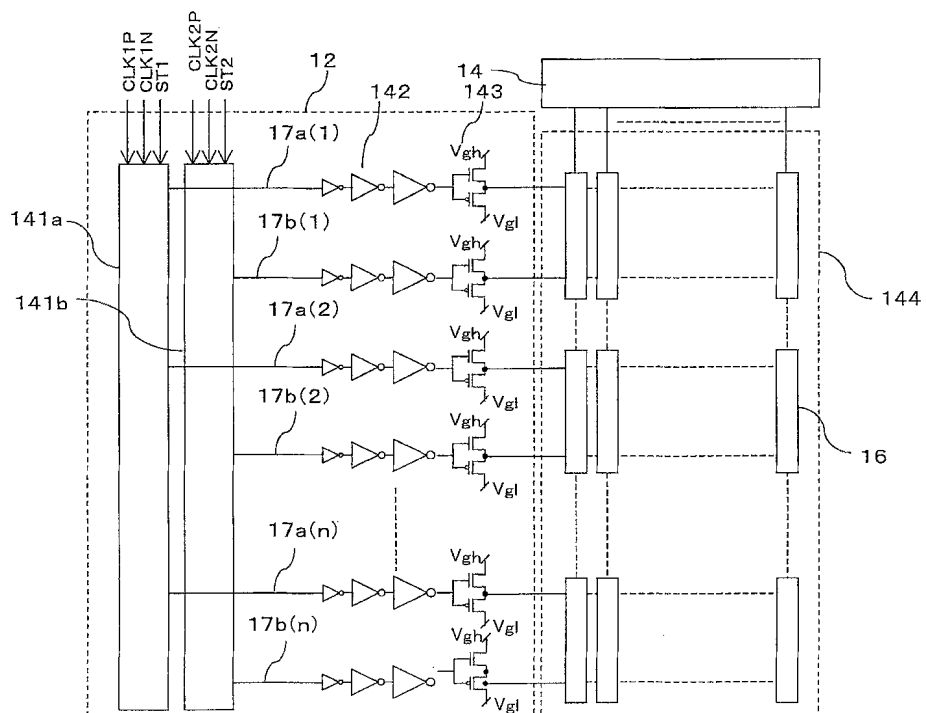
도면12



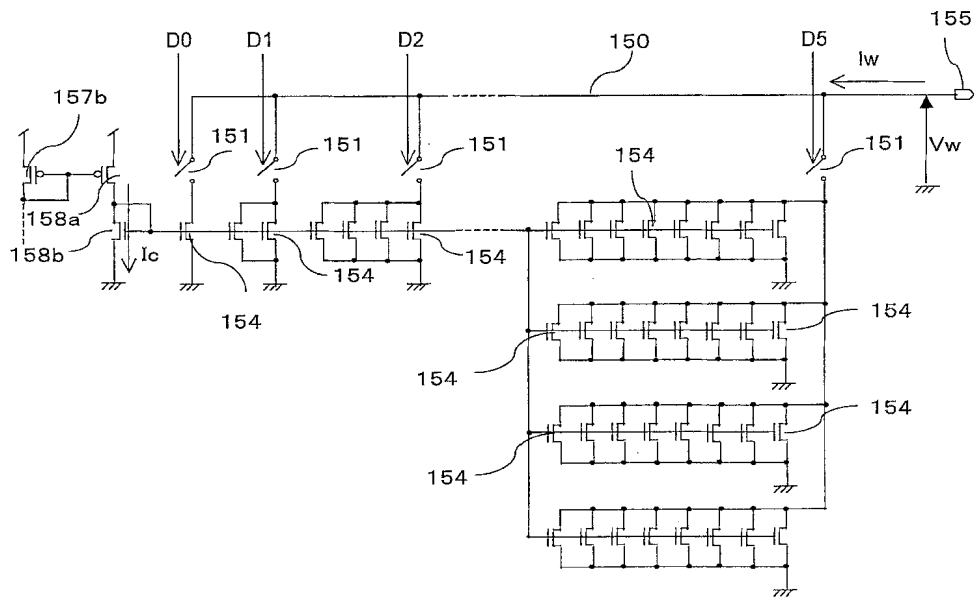
도면13



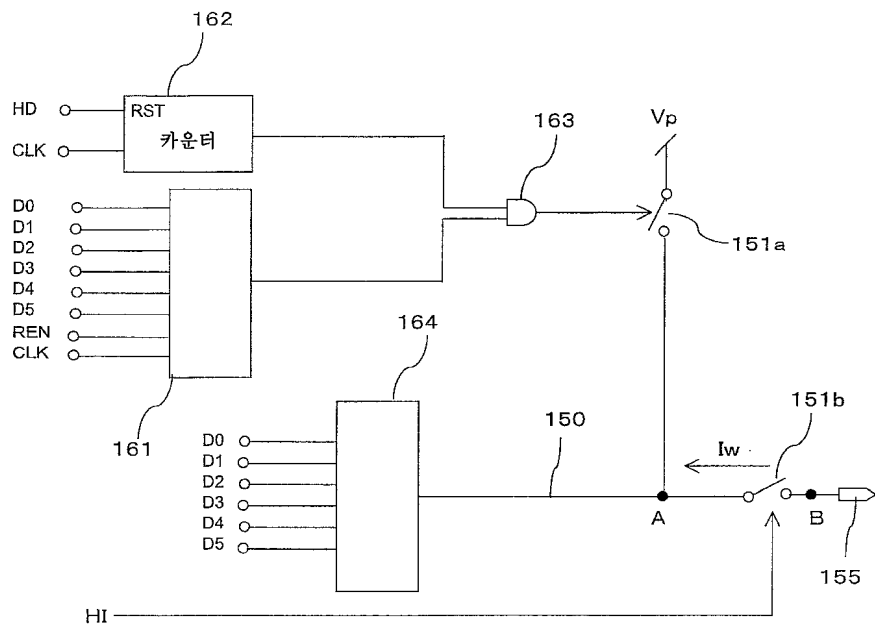
도면14



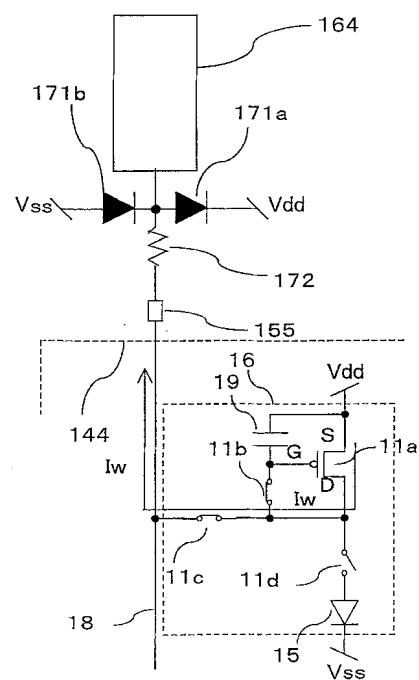
도면15



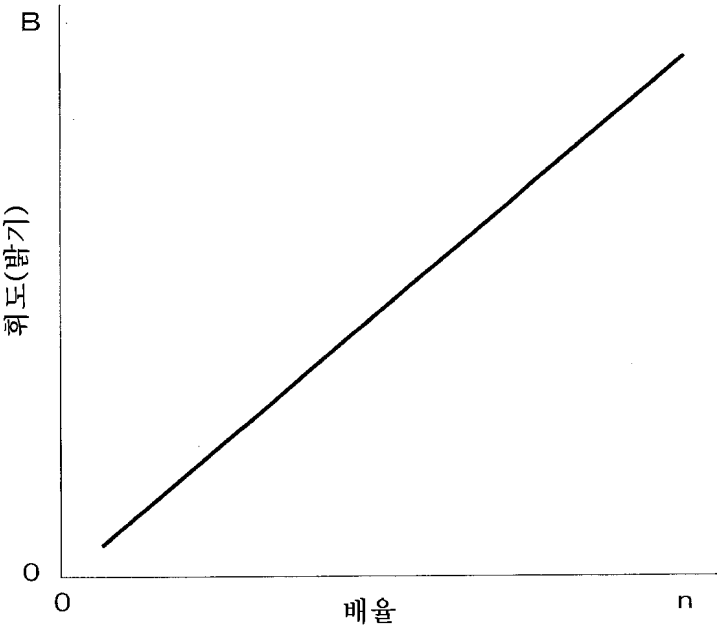
도면16



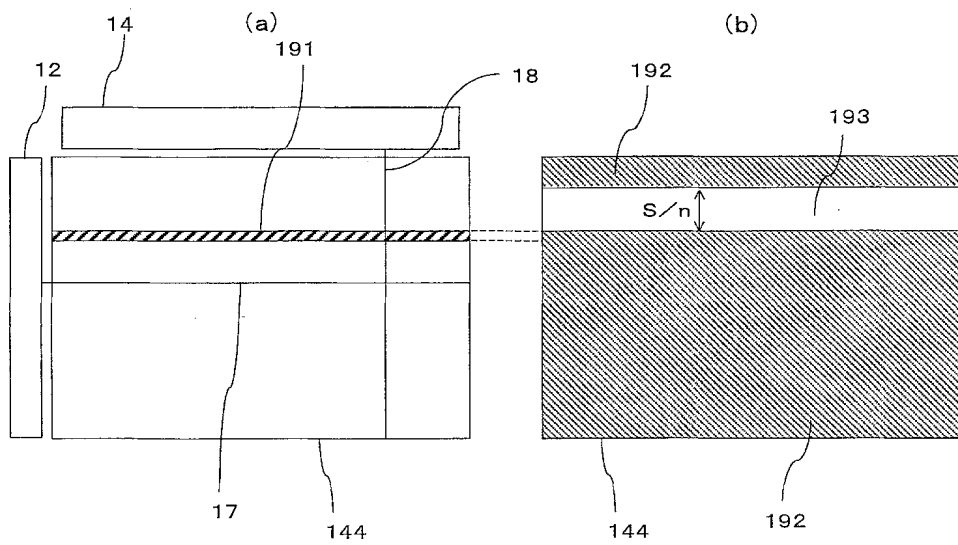
도면17



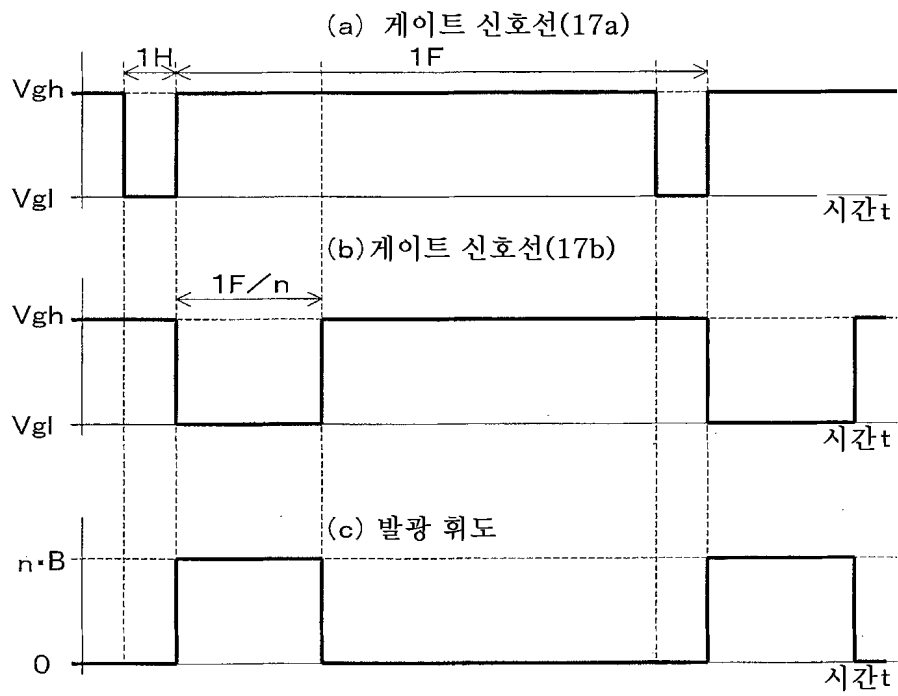
도면18



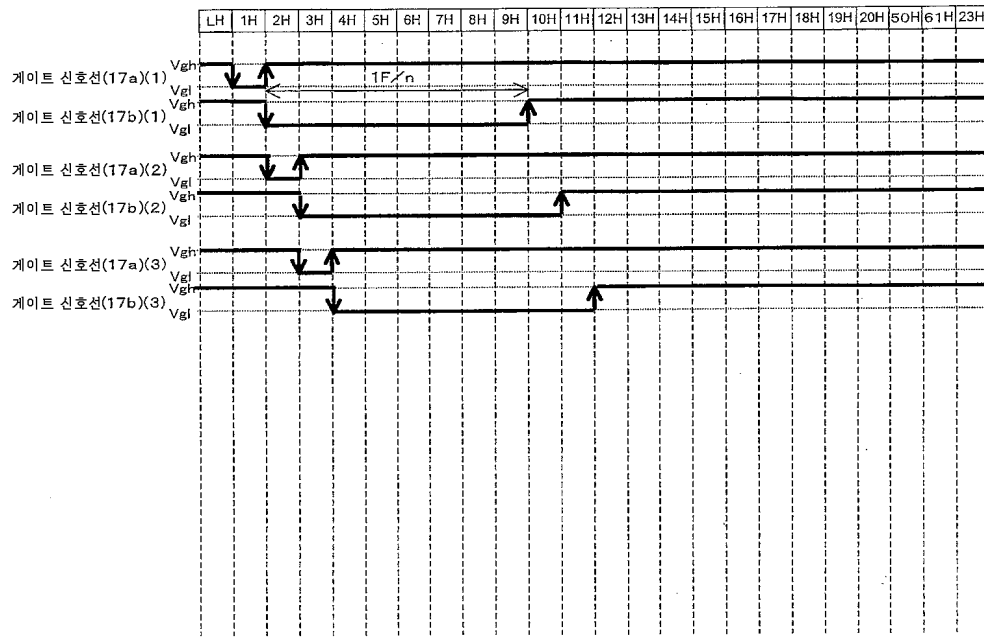
도면19



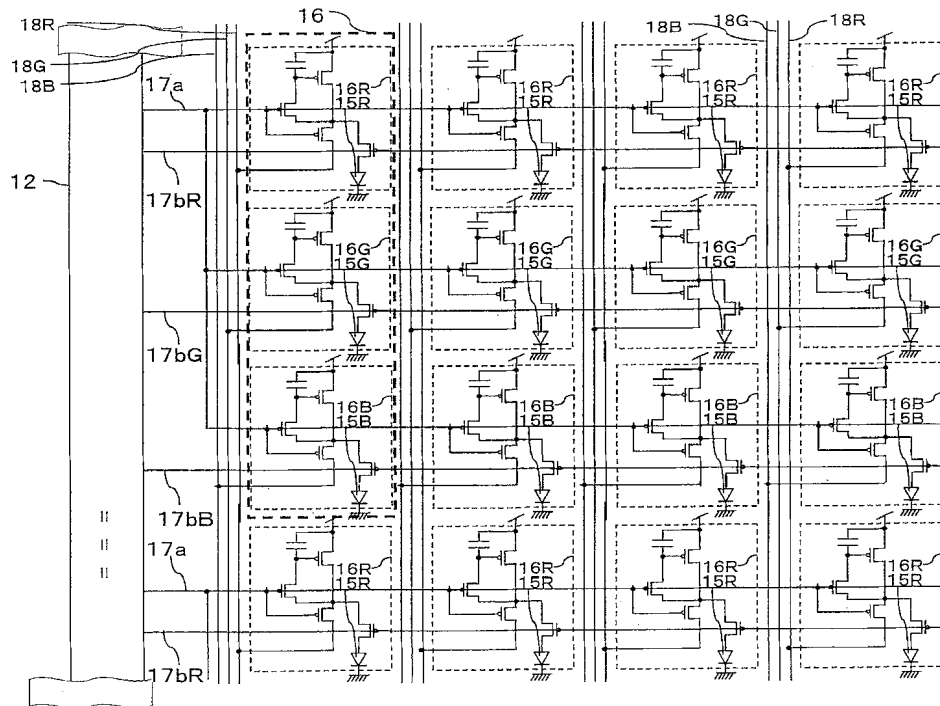
도면20



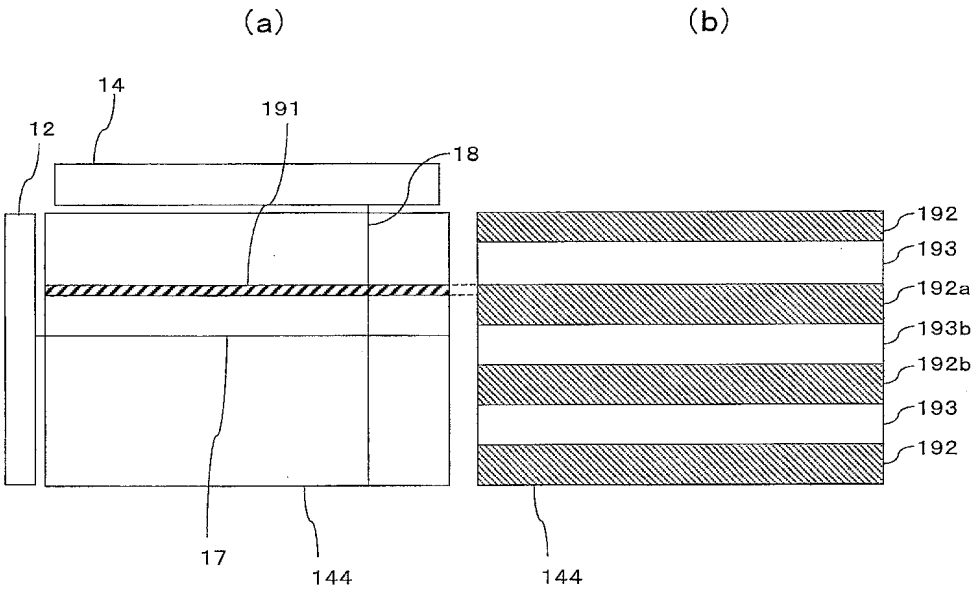
도면21



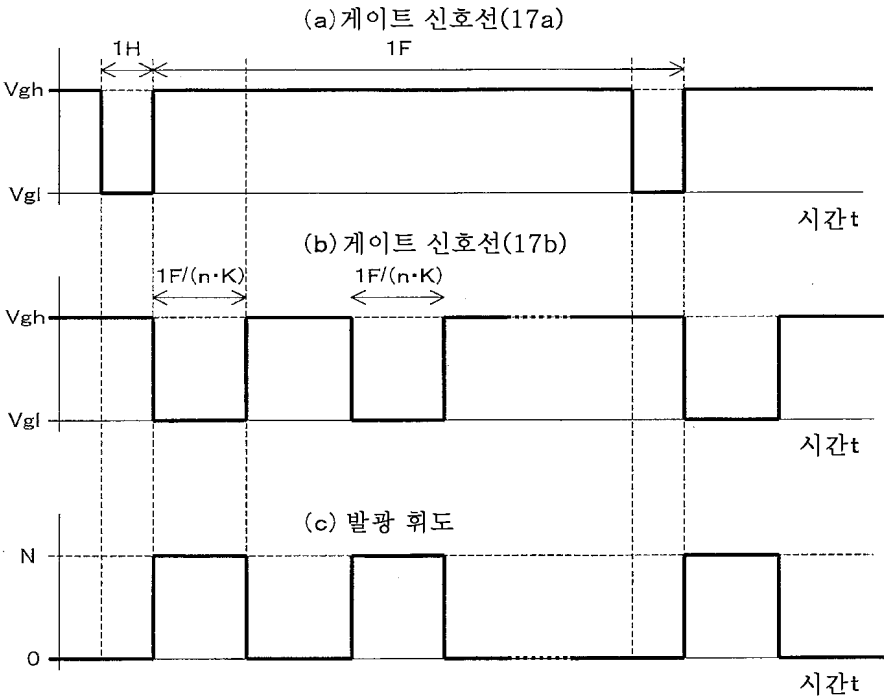
도면22



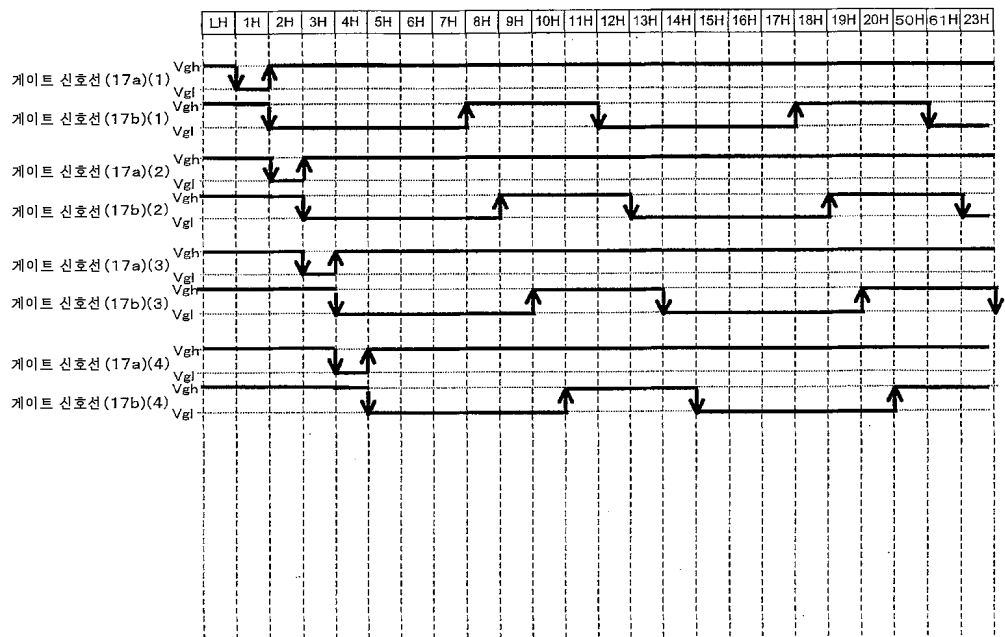
도면23



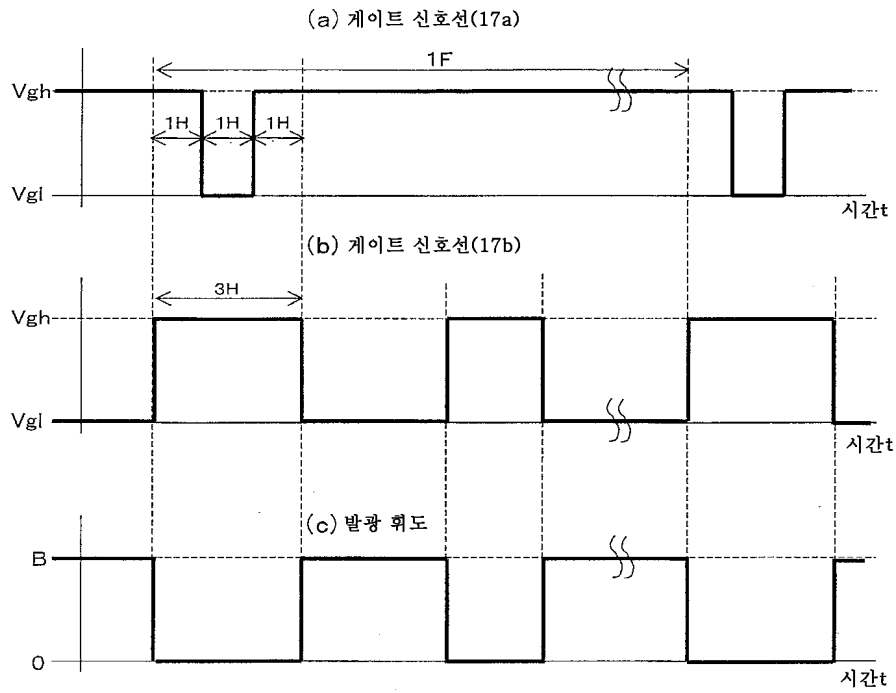
도면24



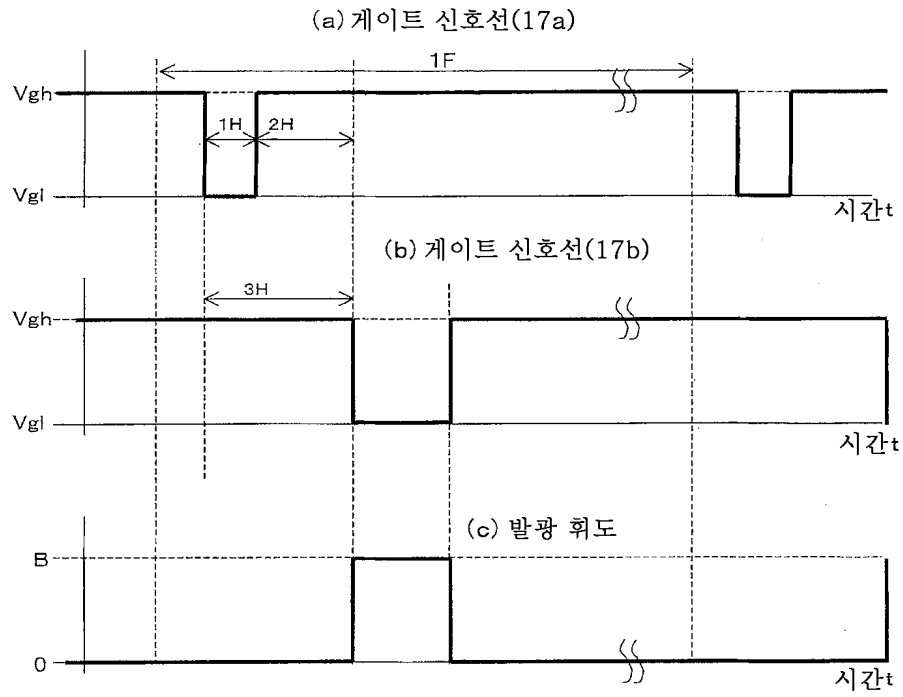
도면25



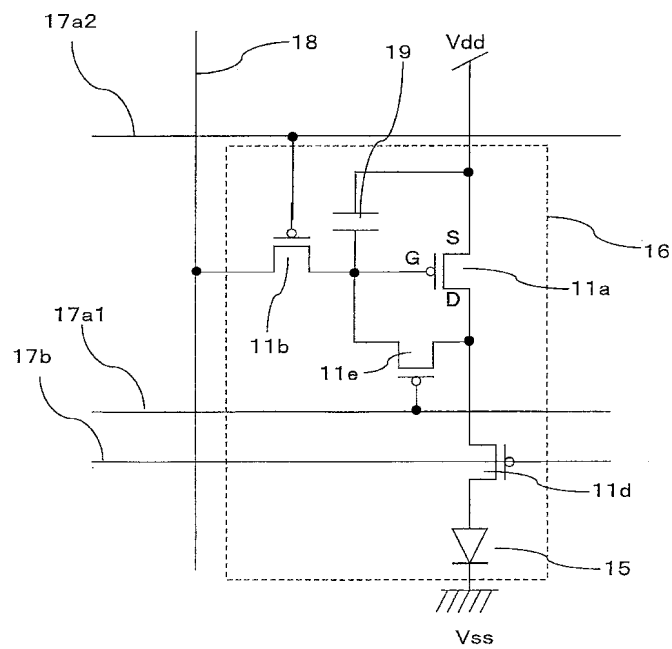
도면26



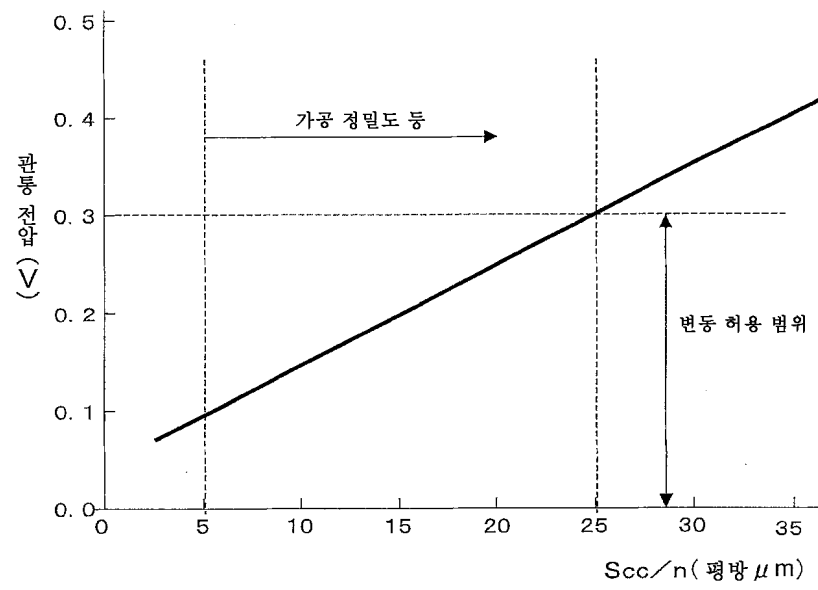
도면27



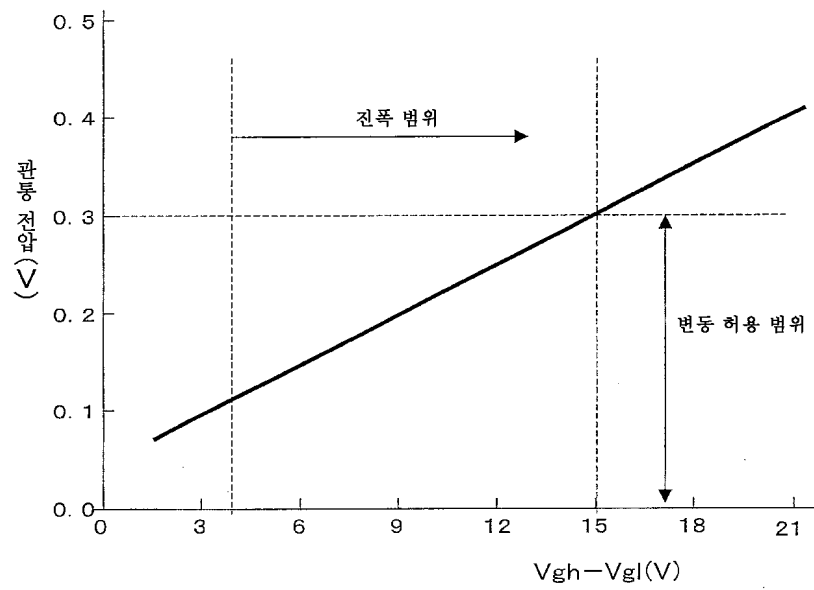
도면28



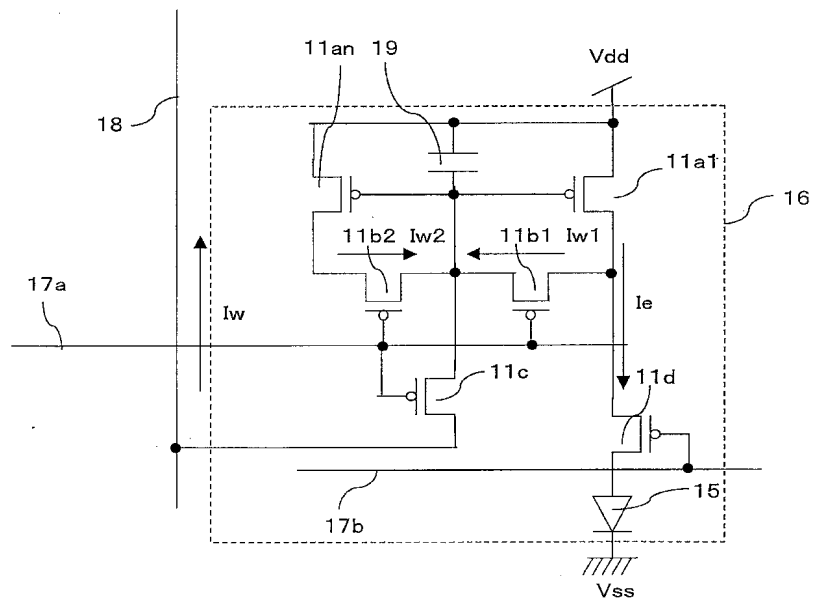
도면29



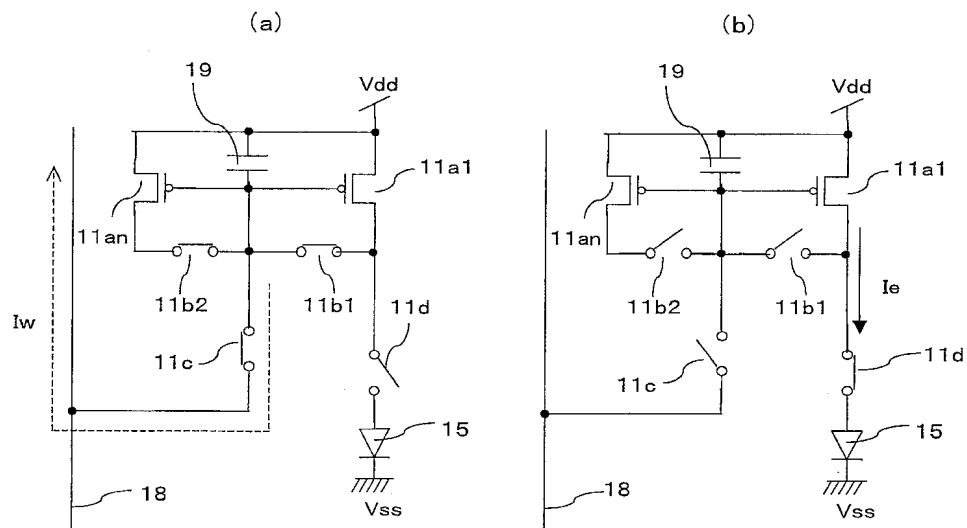
도면30



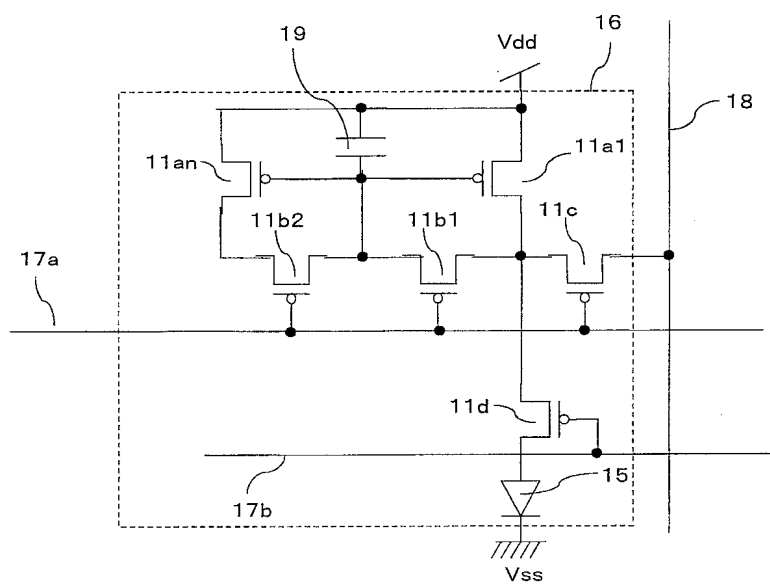
도면31



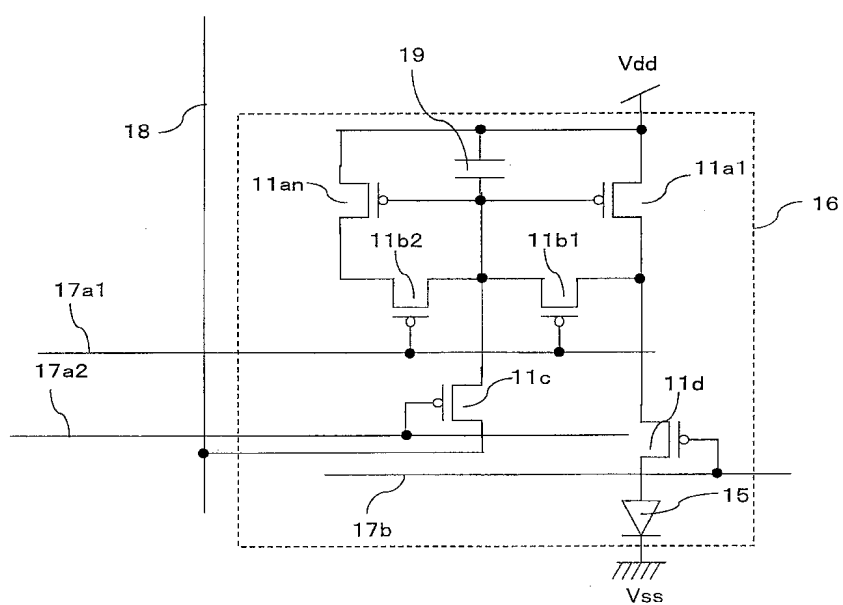
도면32



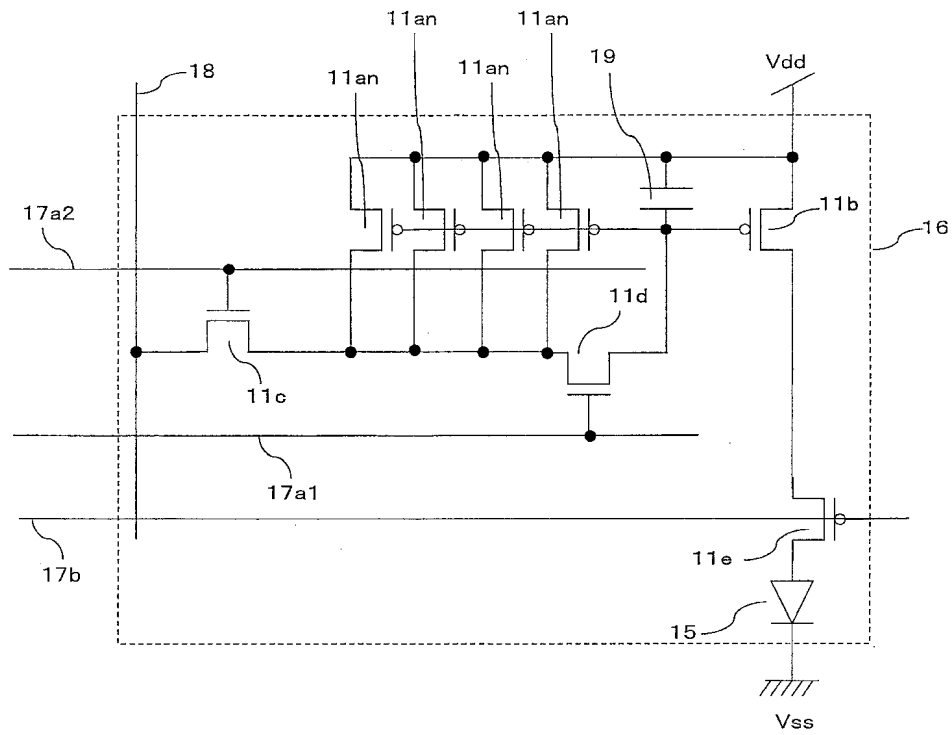
도면33



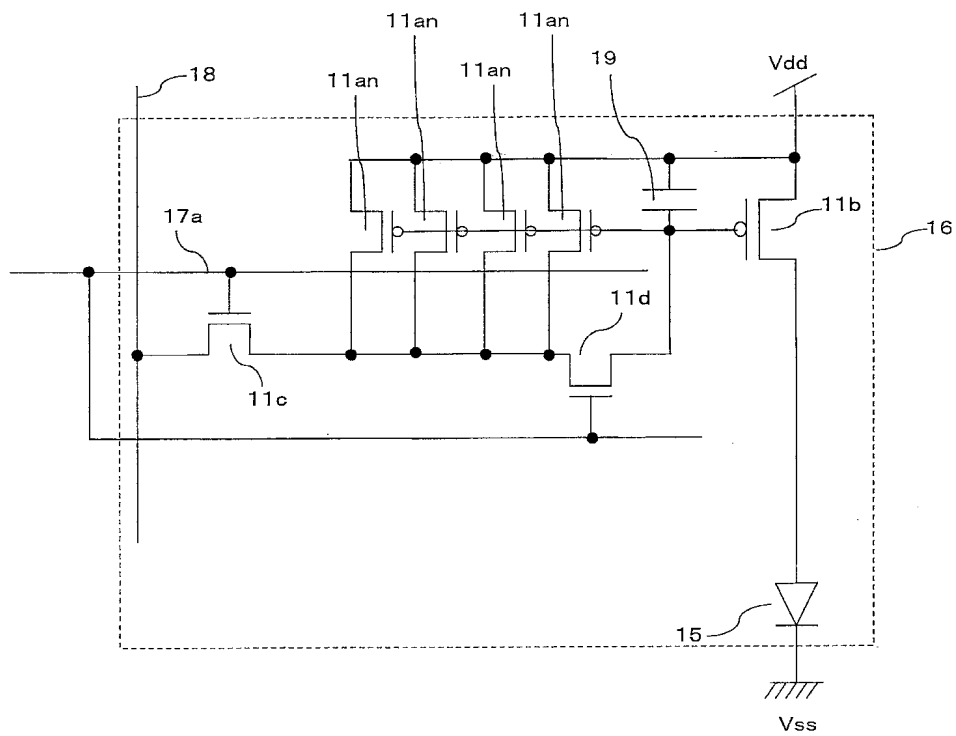
도면34



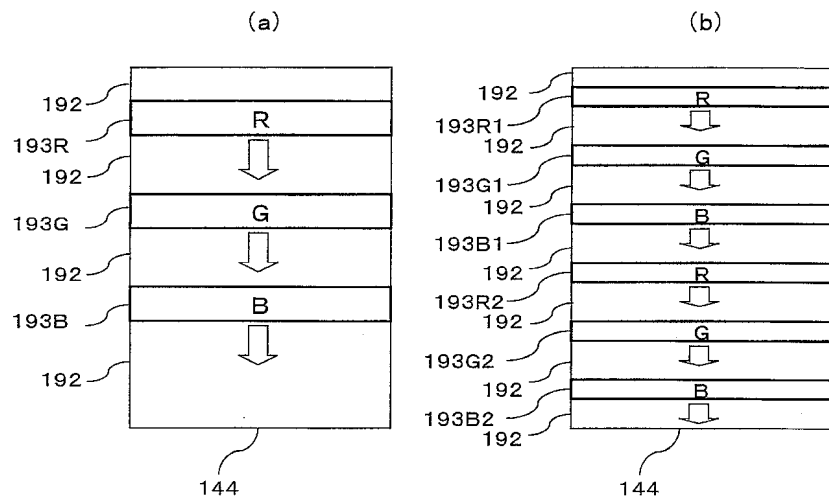
도면35



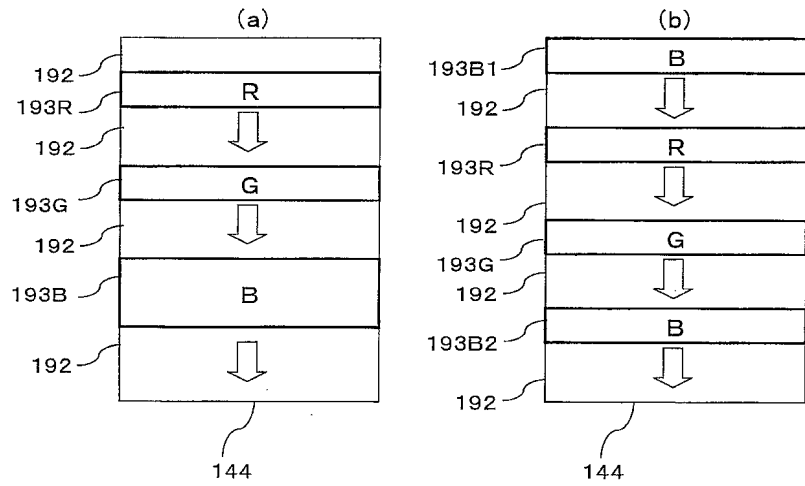
도면36



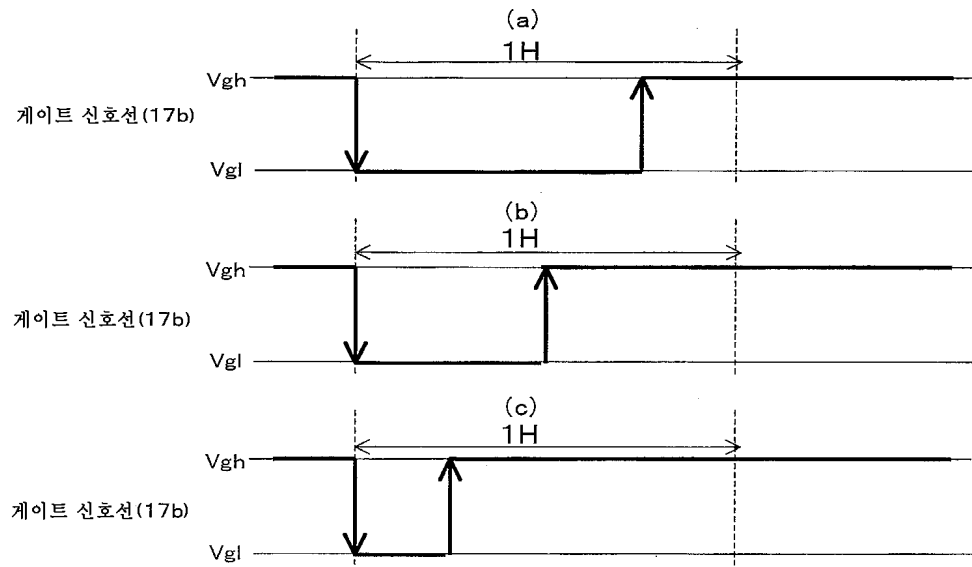
도면37



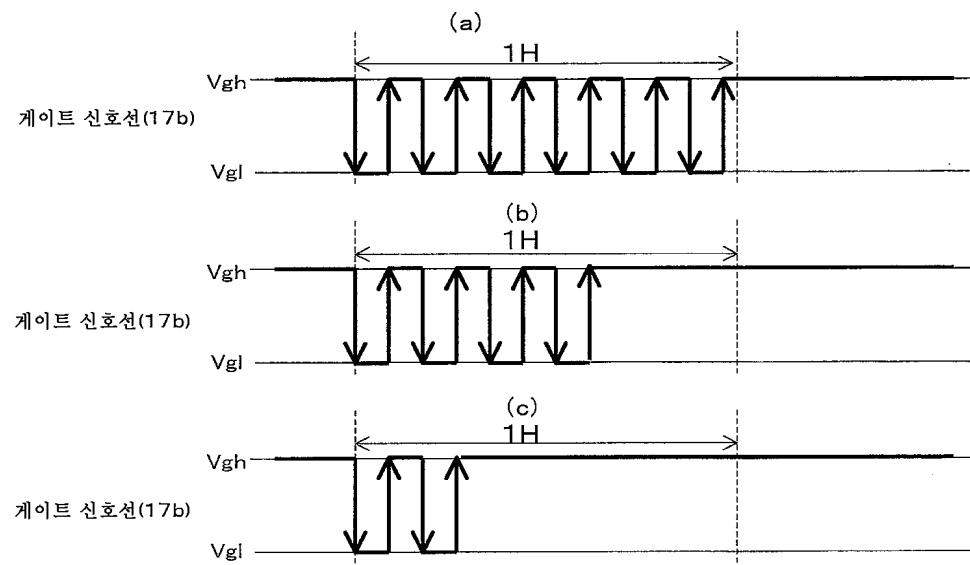
도면38



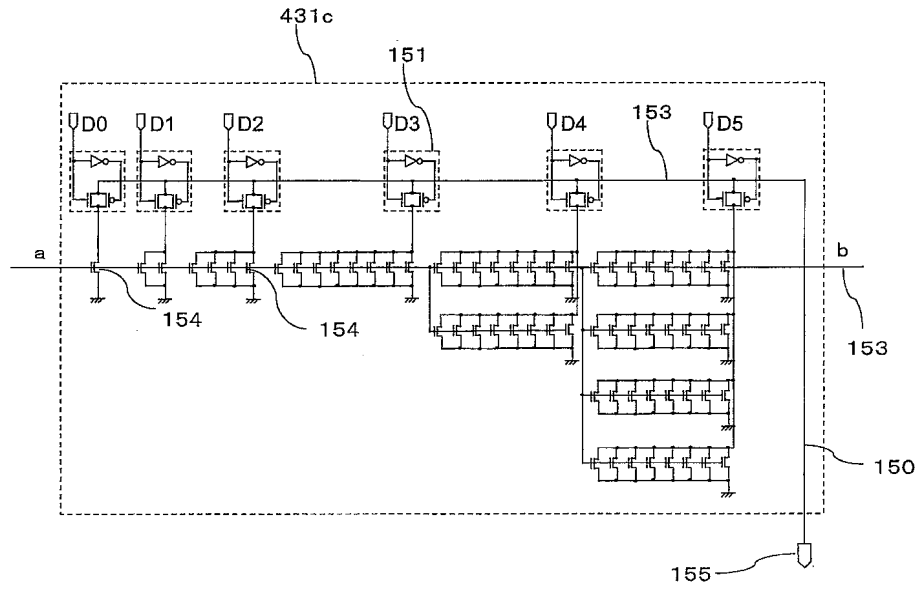
도면41



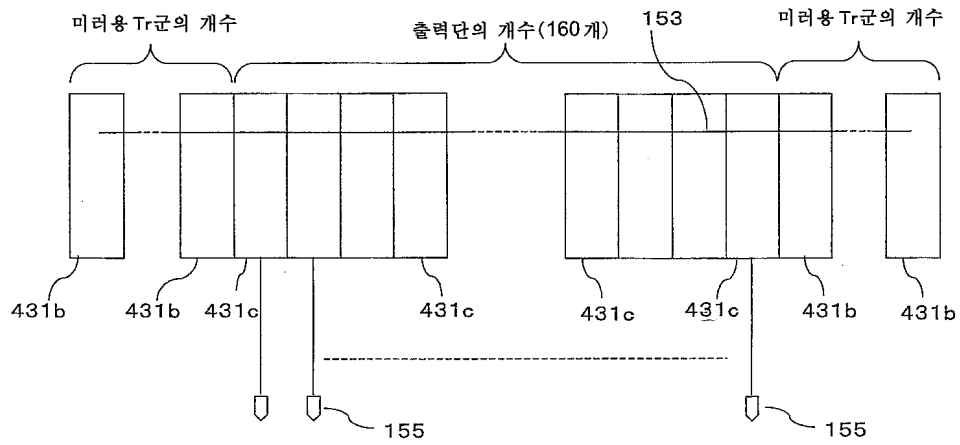
도면42



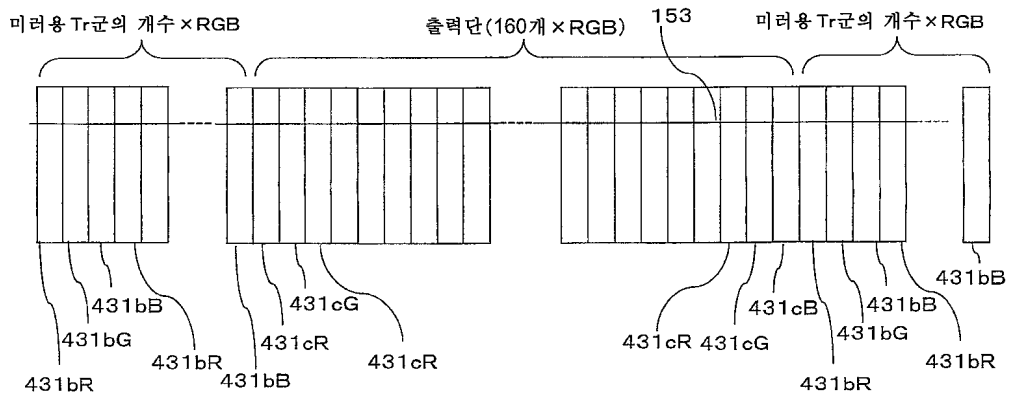
도면43



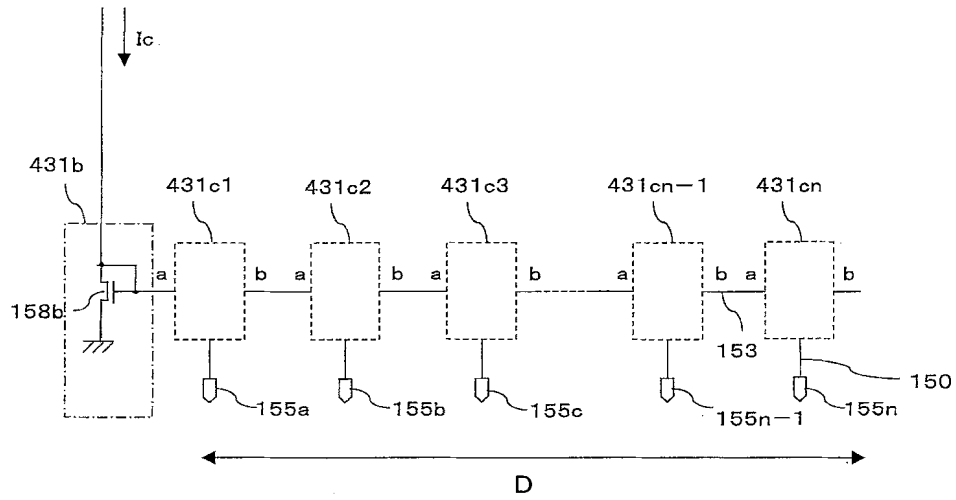
도면44



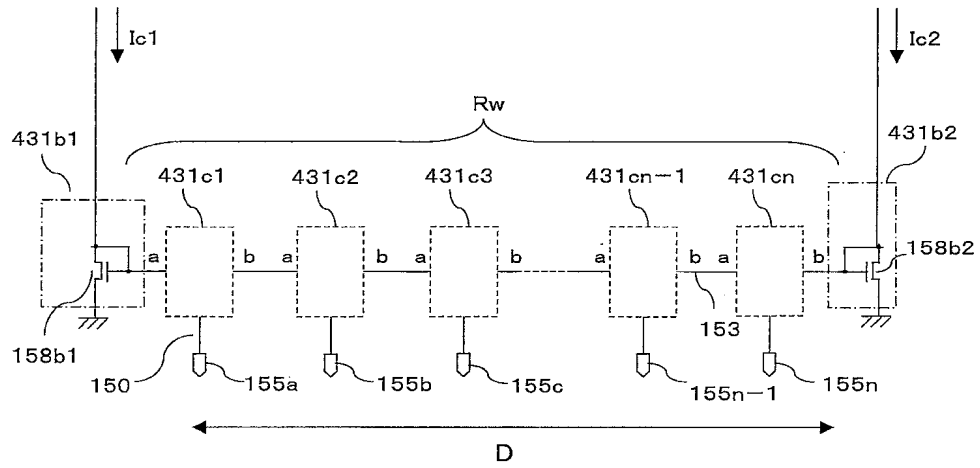
도면45



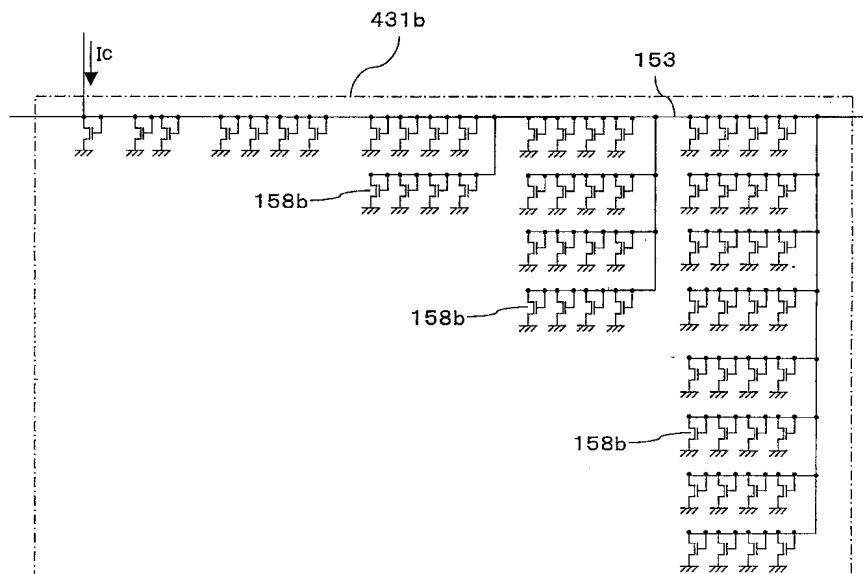
도면46



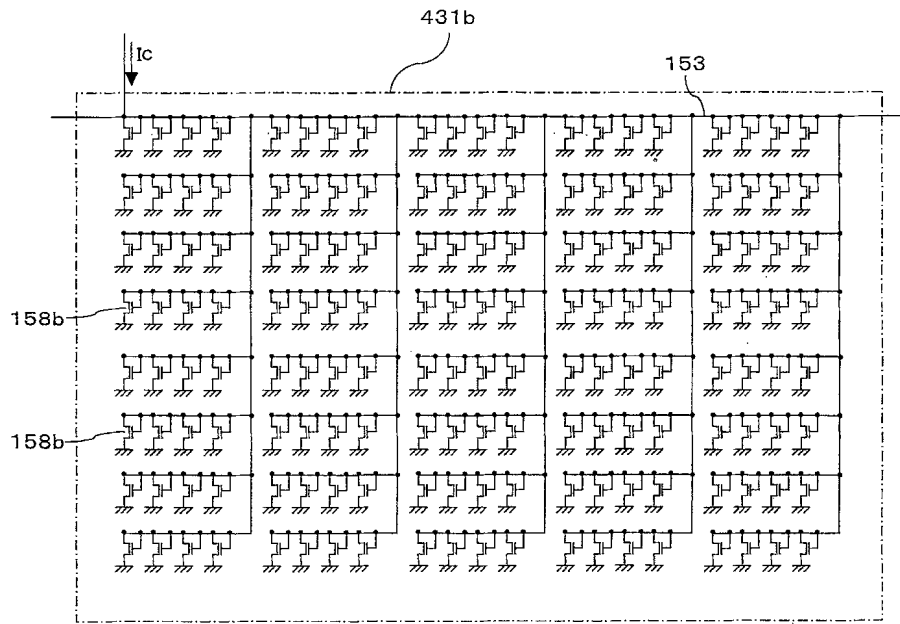
도면47



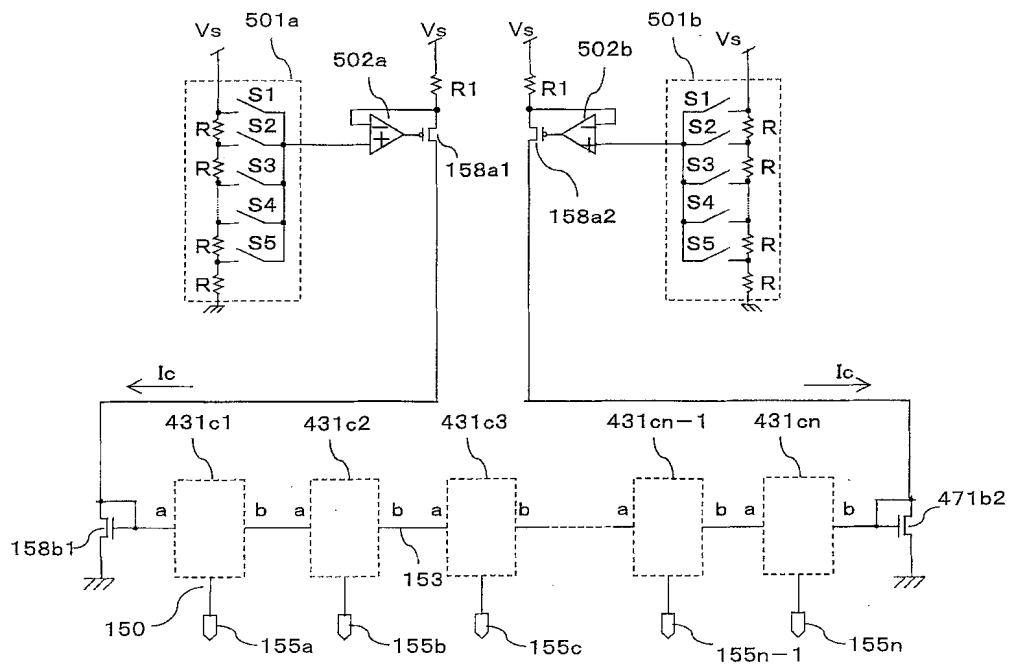
도면48



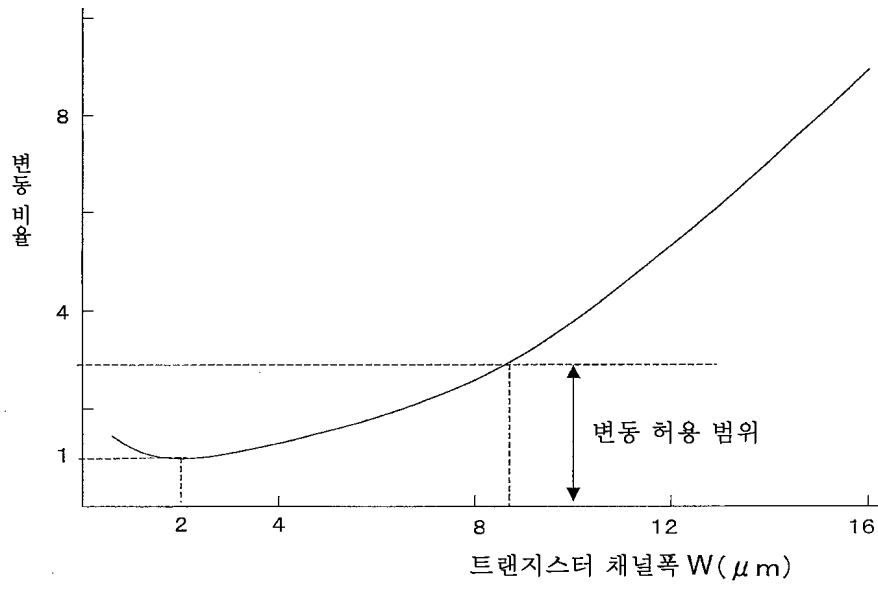
도면49



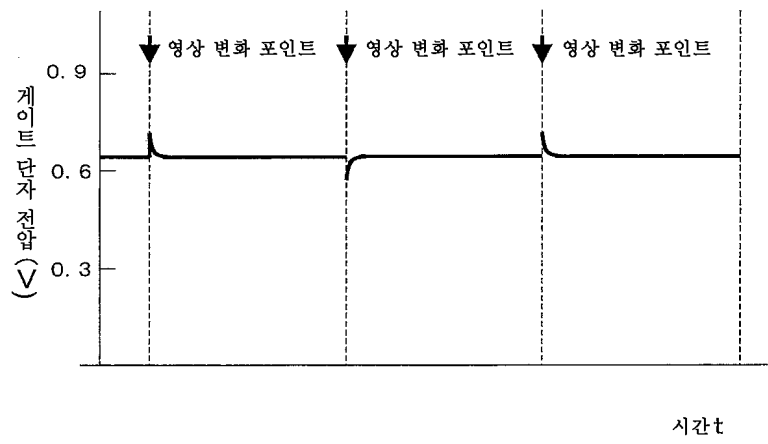
도면50



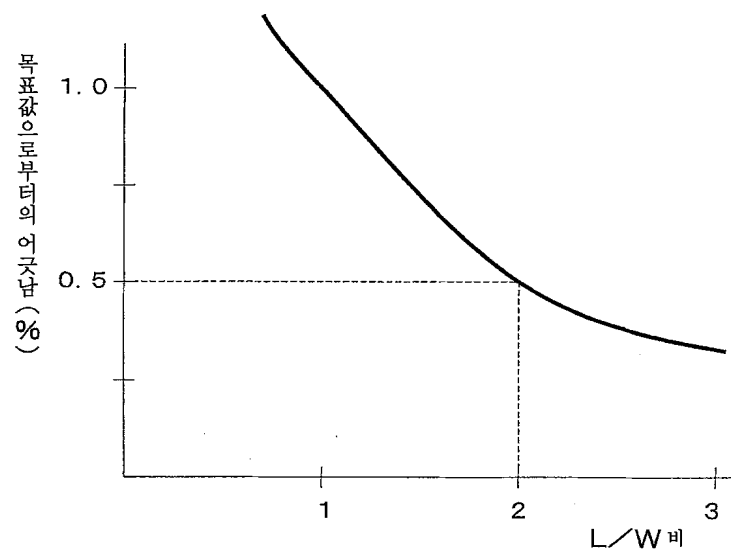
도면51



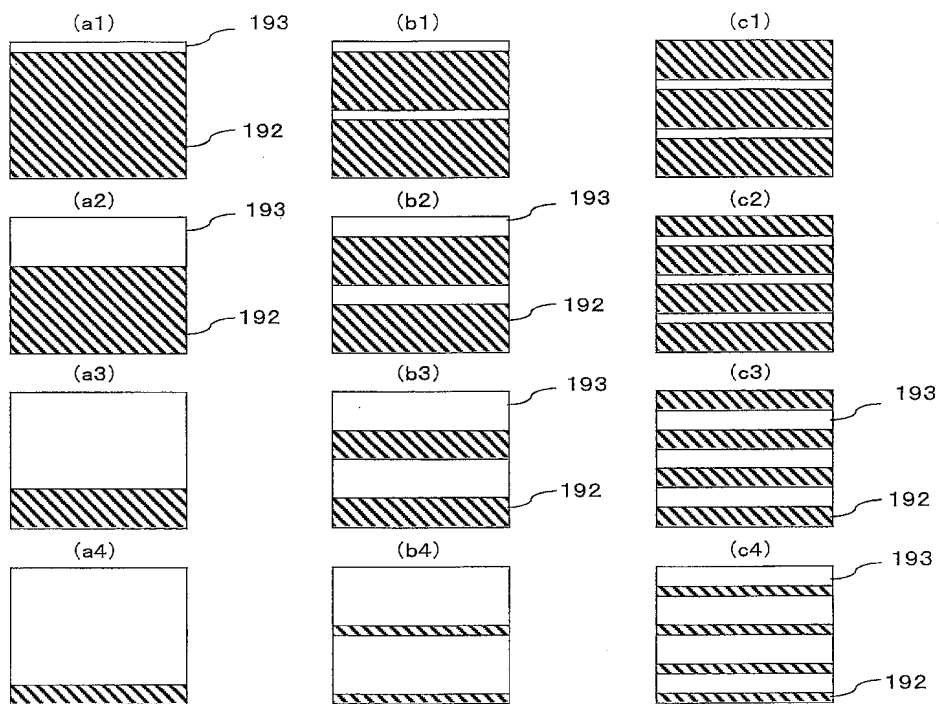
도면52



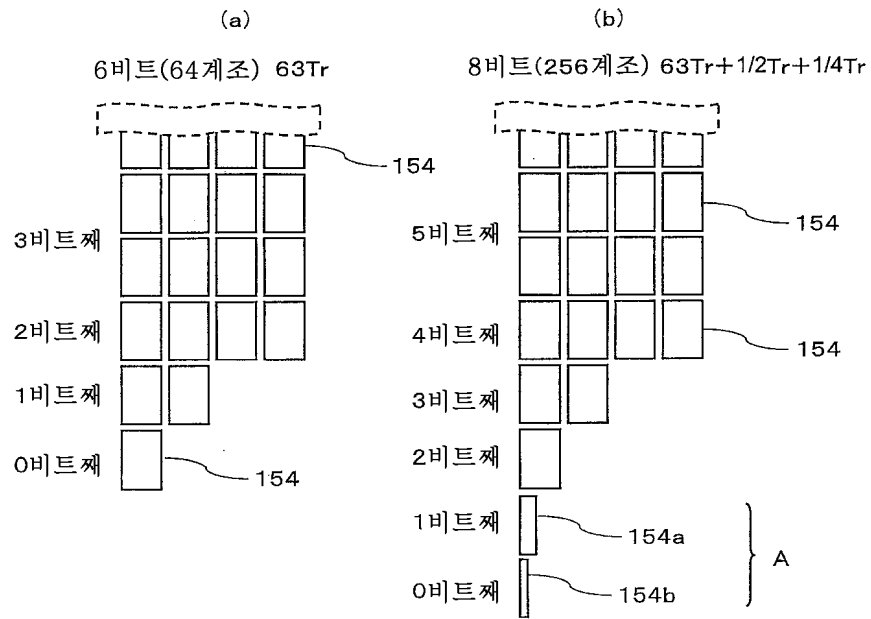
도면53



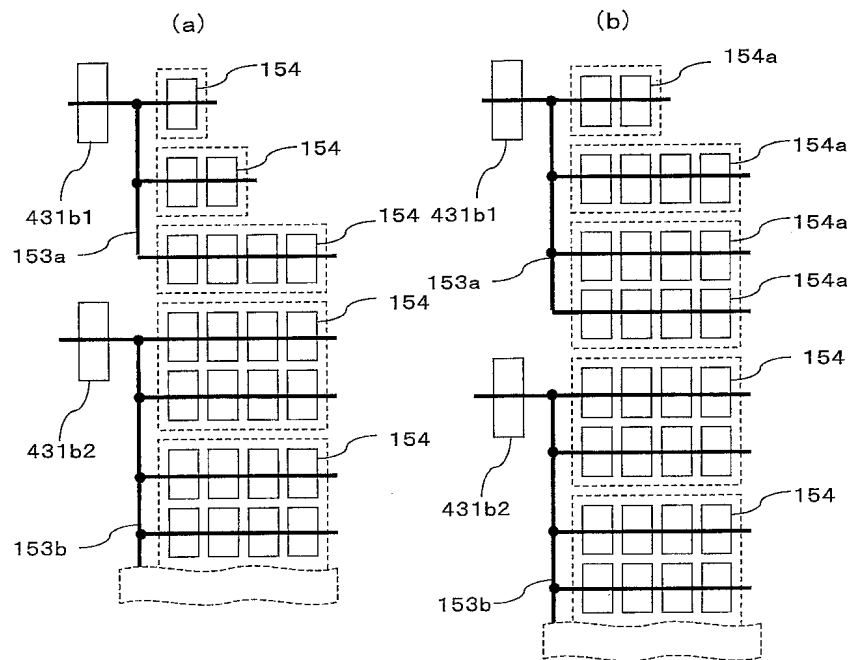
도면54



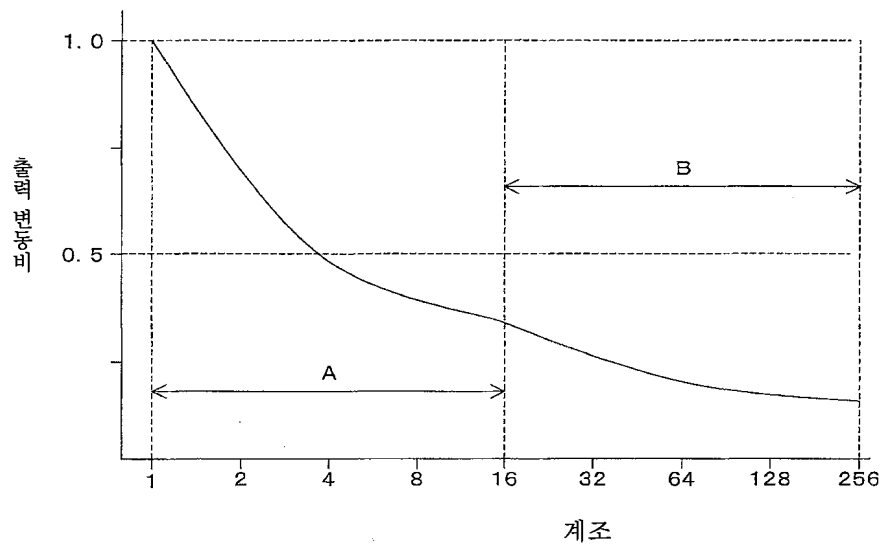
도면55



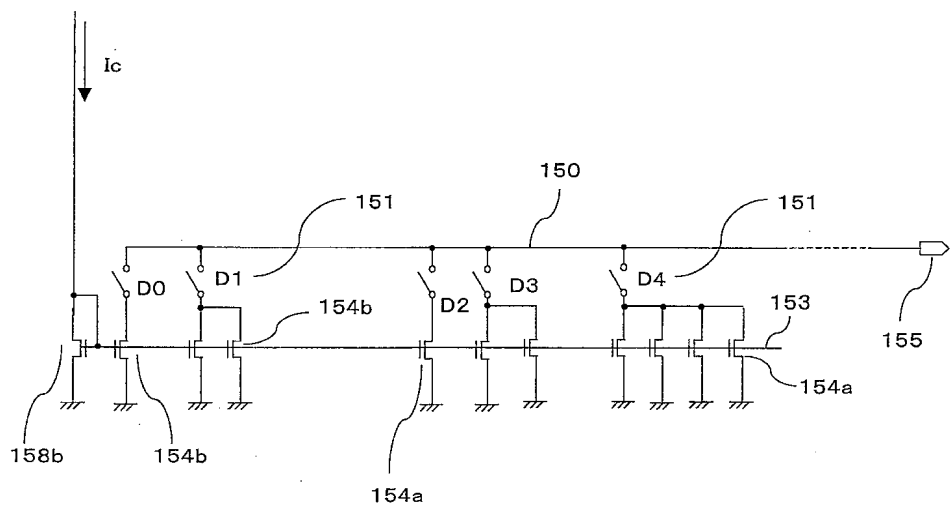
도면56



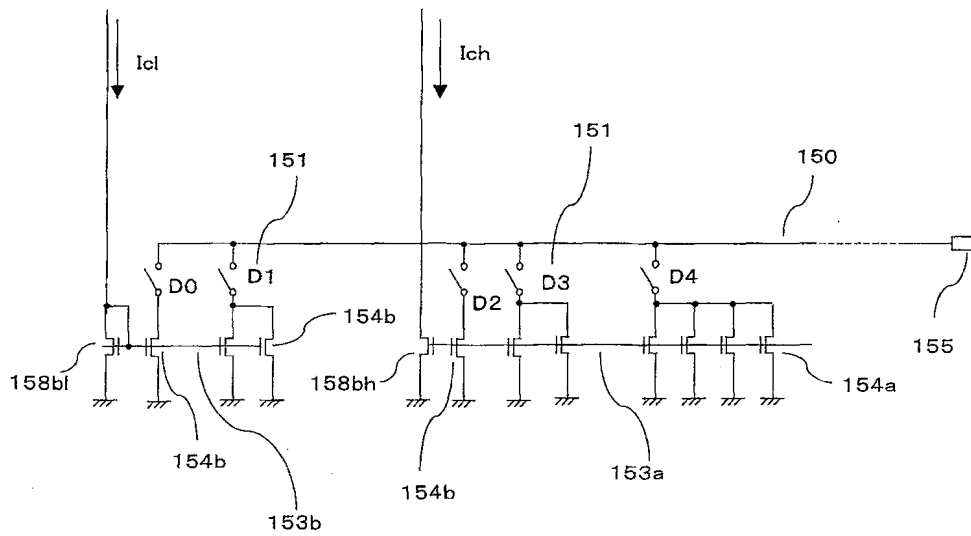
도면57



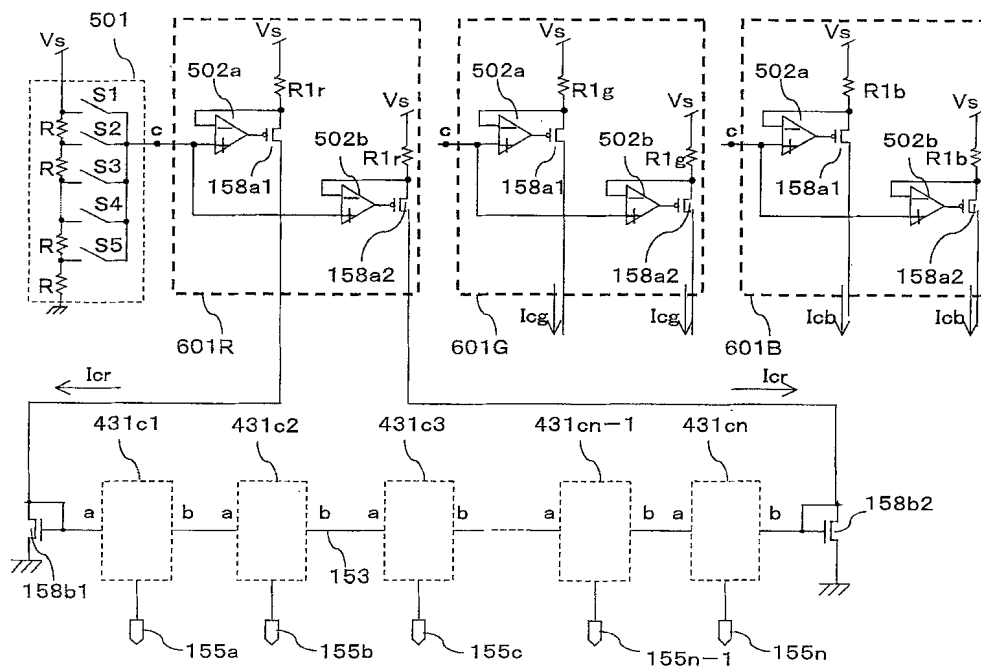
도면58



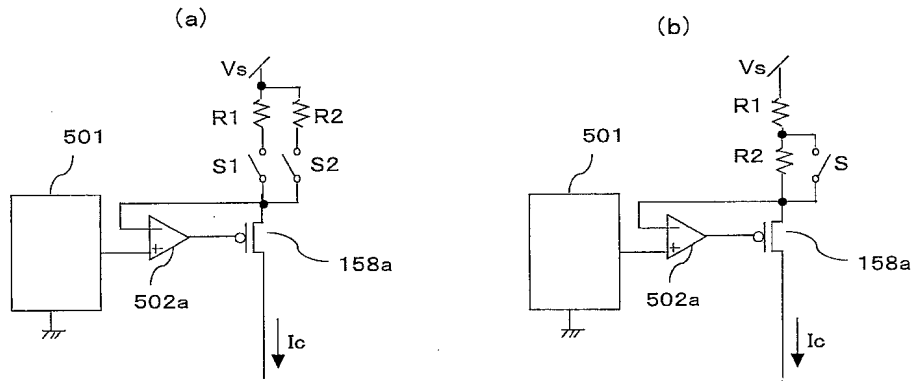
도면59



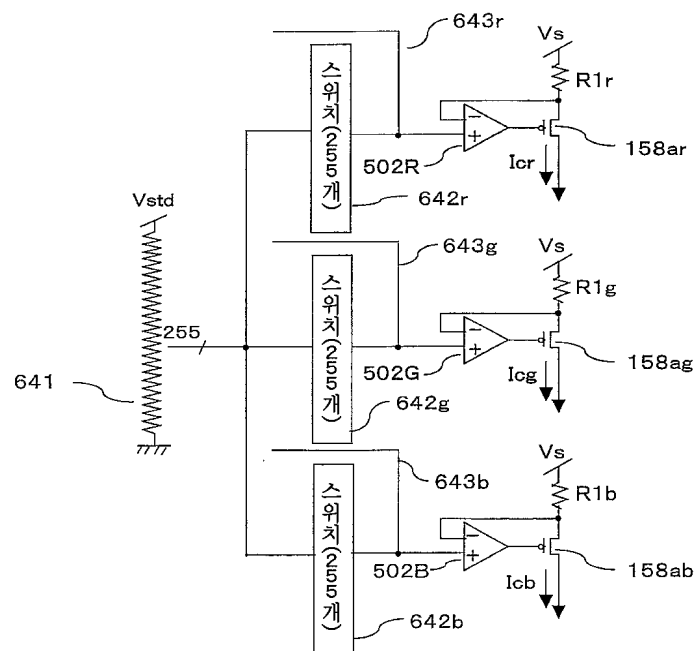
도면60



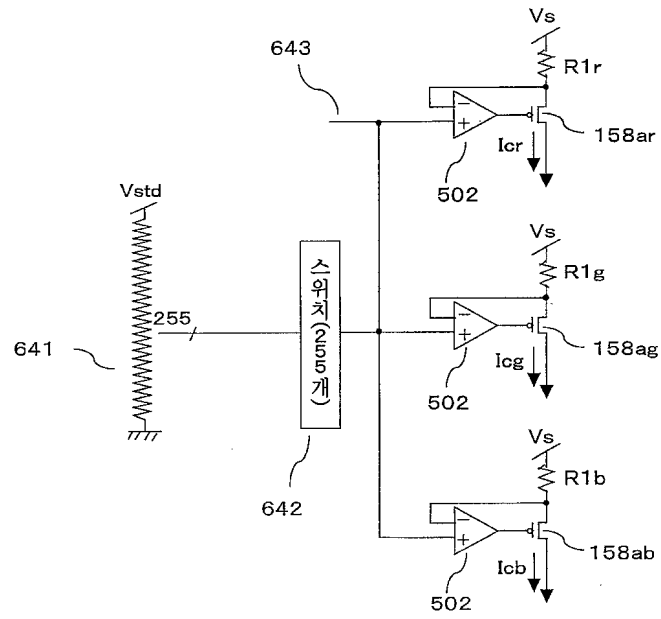
도면63



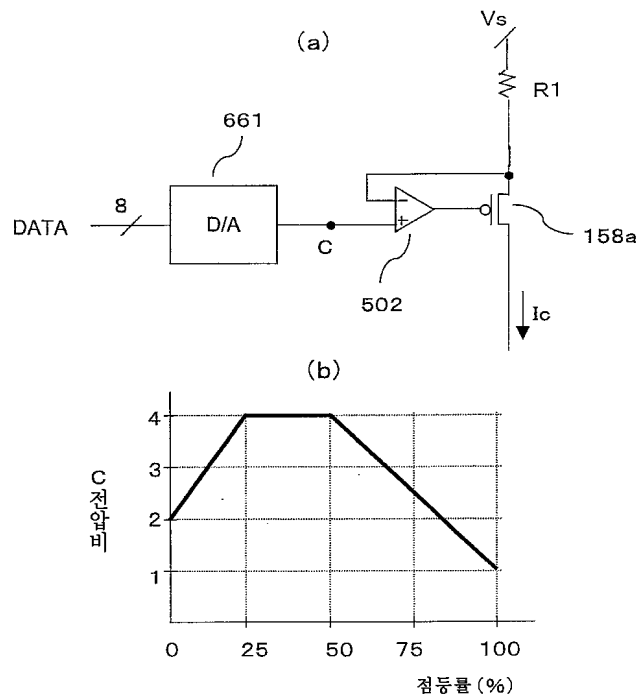
도면64



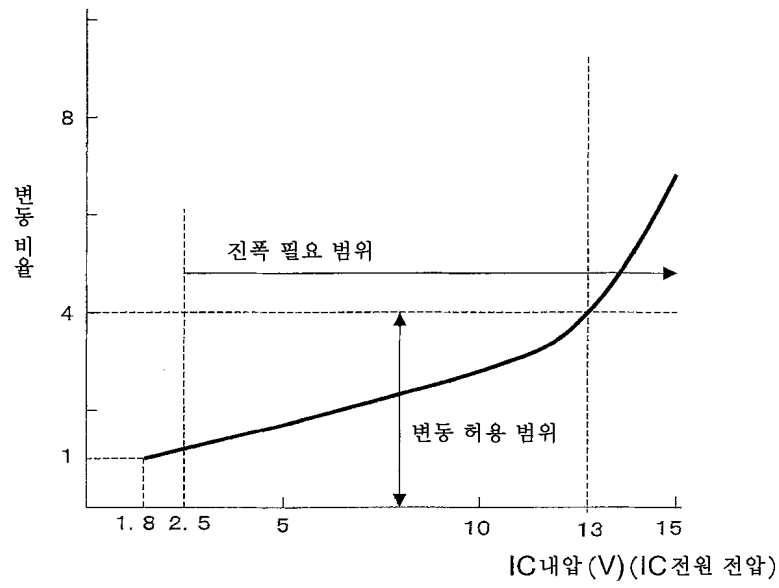
도면65



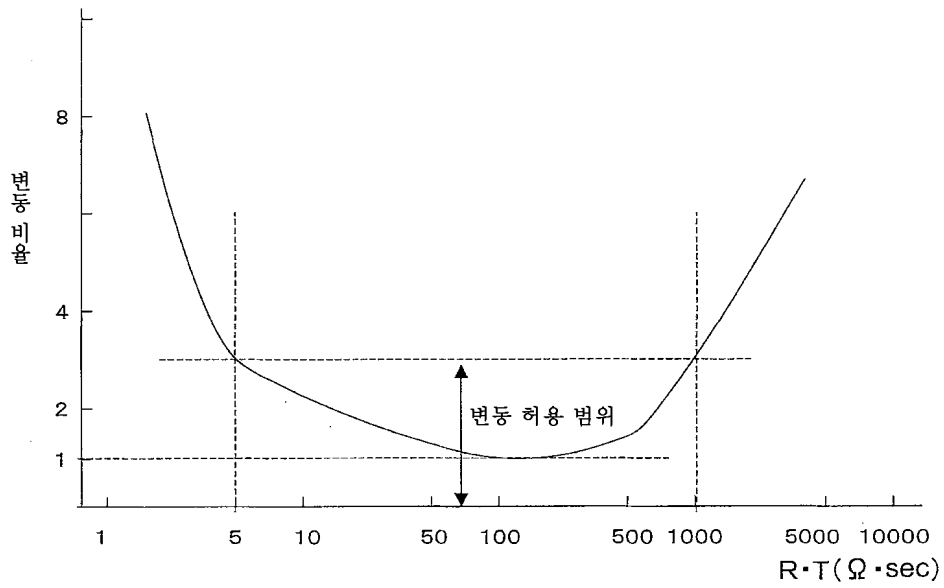
도면66



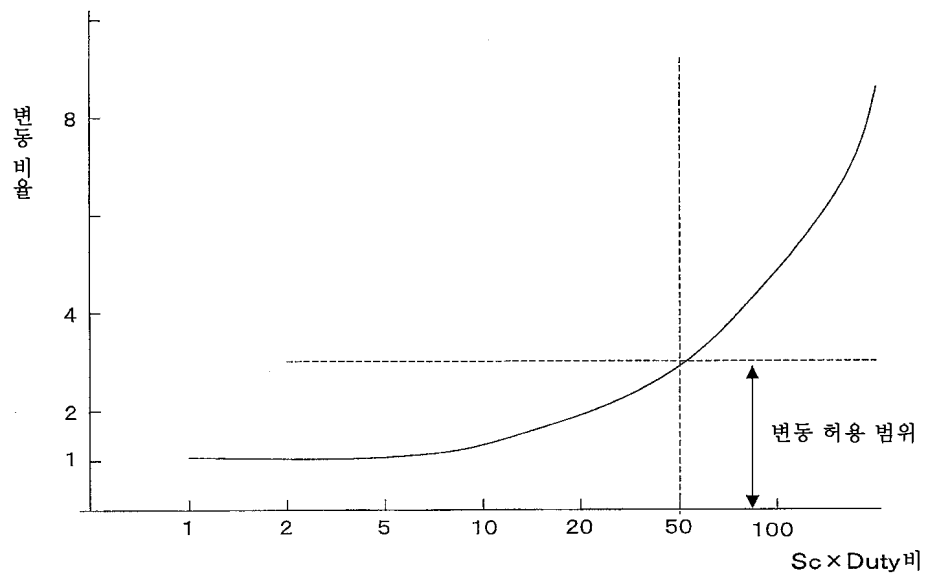
도면67



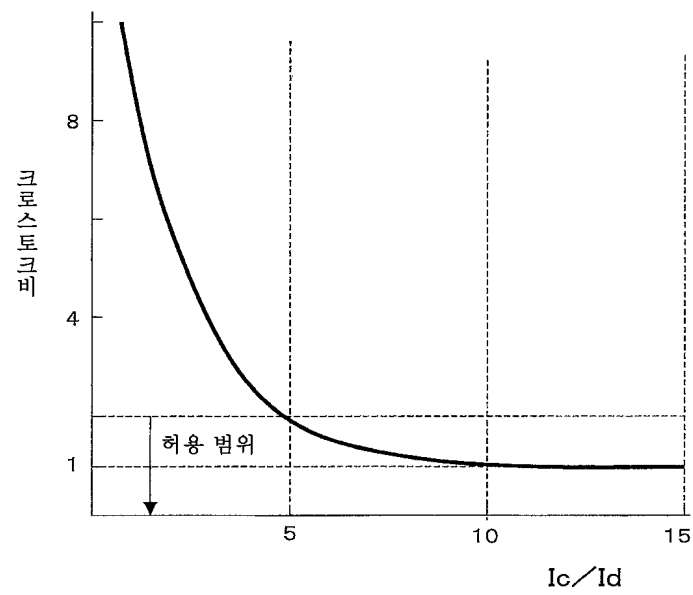
도면68



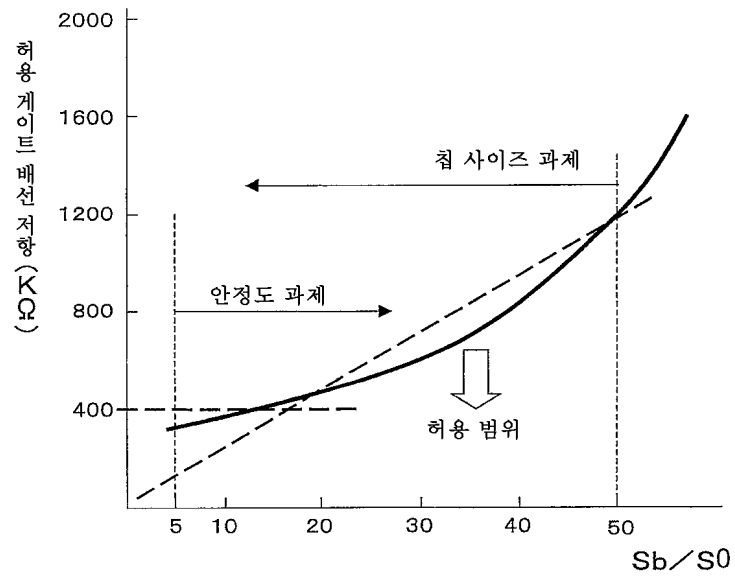
도면69



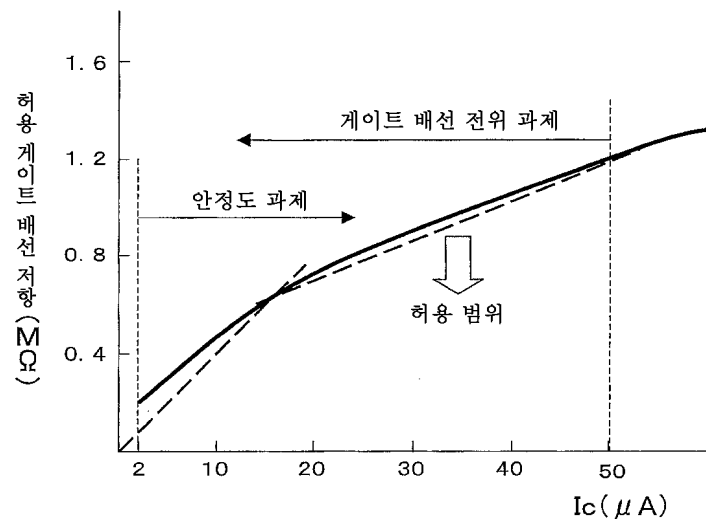
도면70



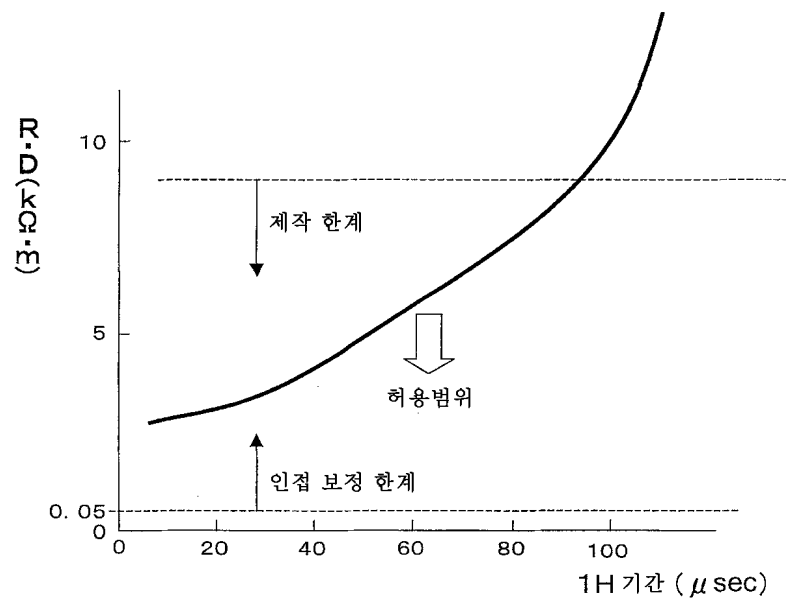
도면71



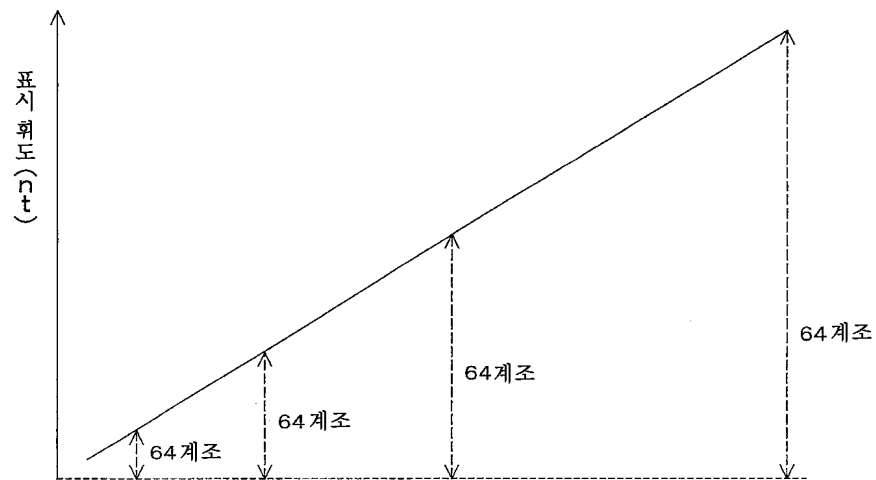
도면72



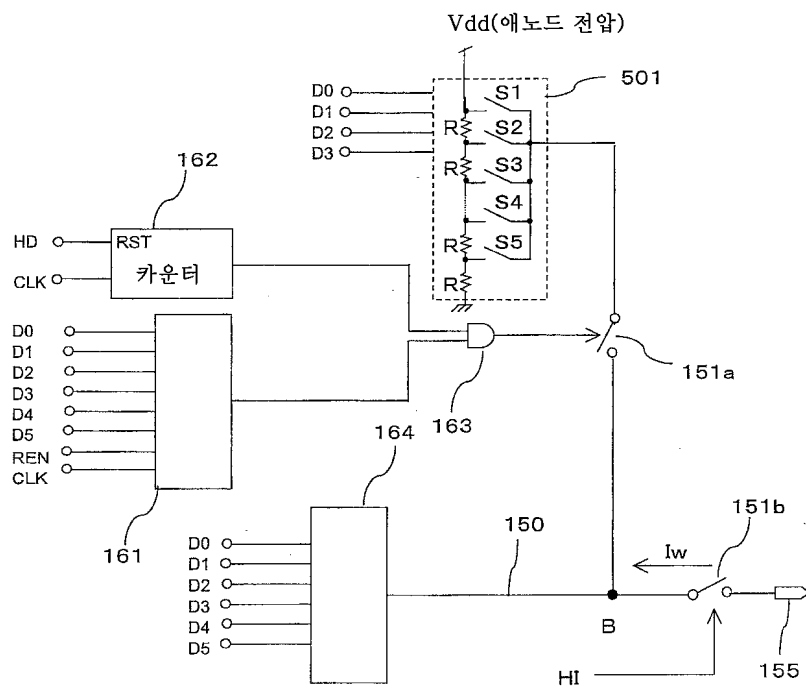
도면73



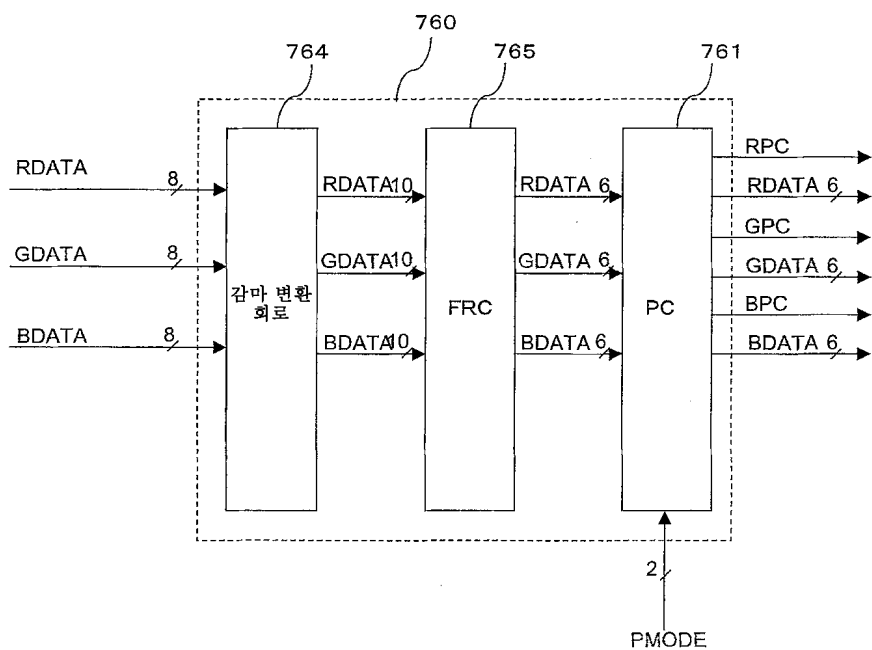
도면74



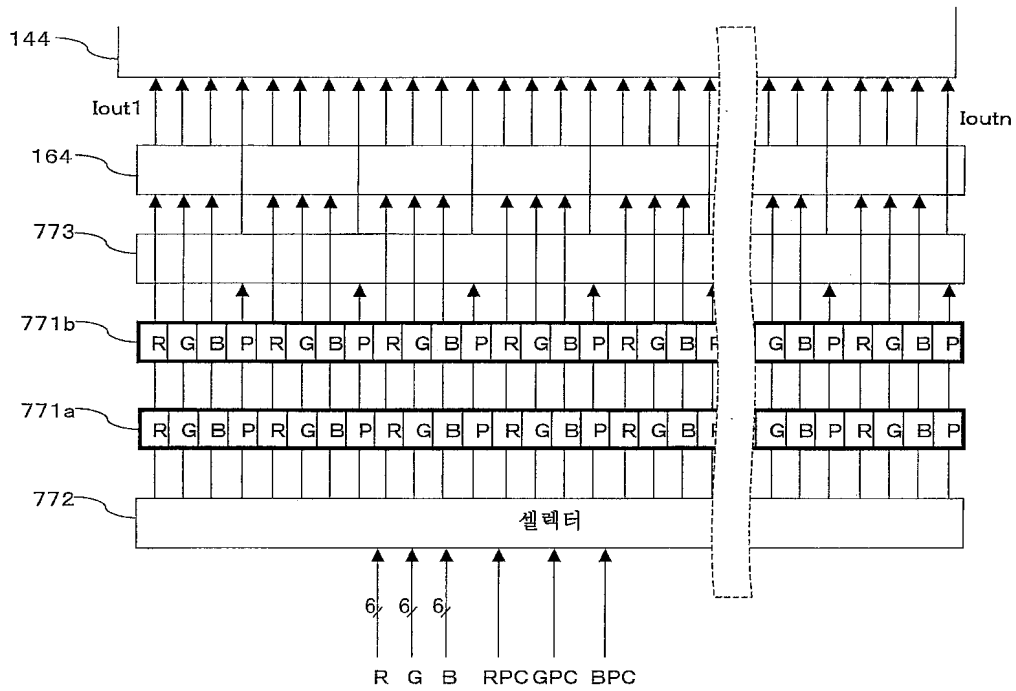
도면75



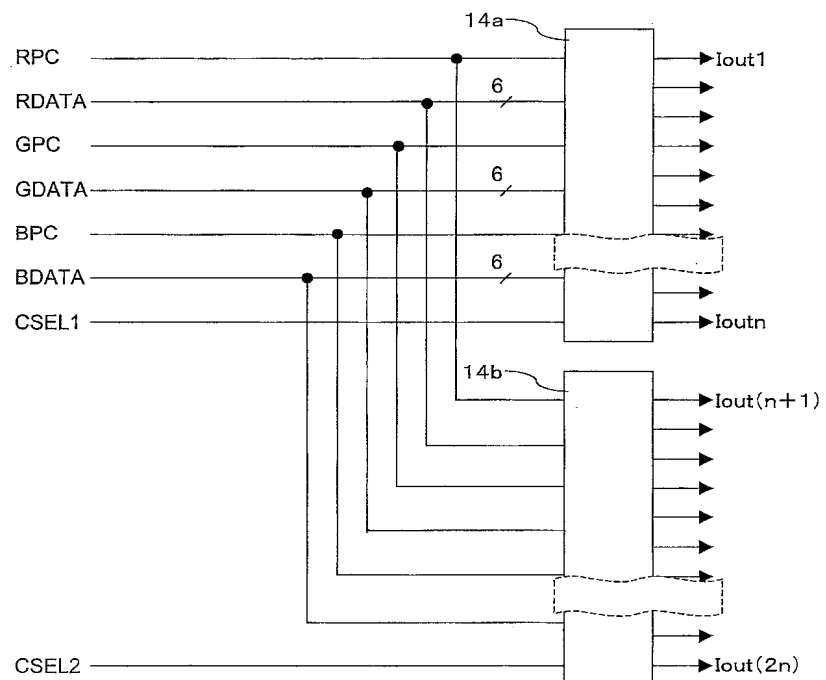
도면76



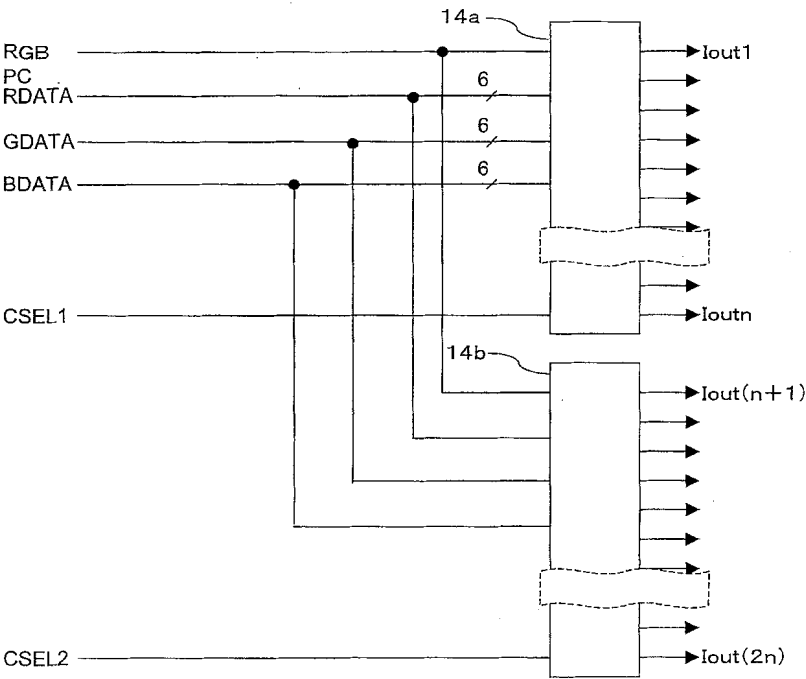
도면77



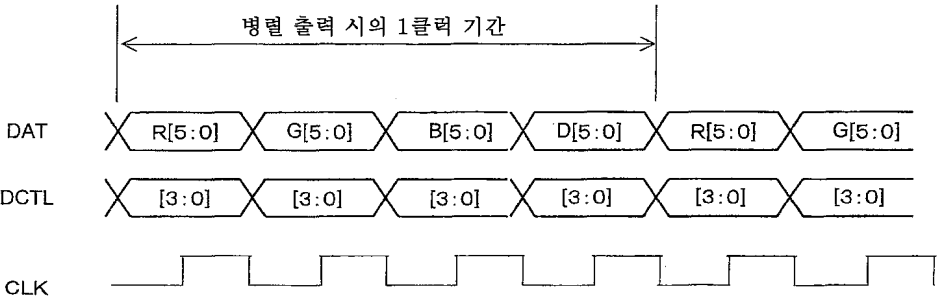
도면78



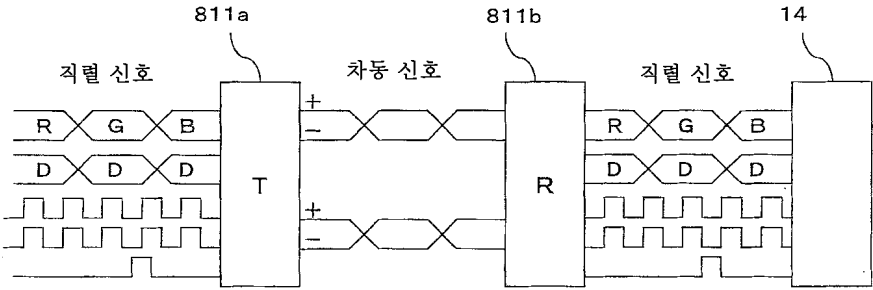
도면79



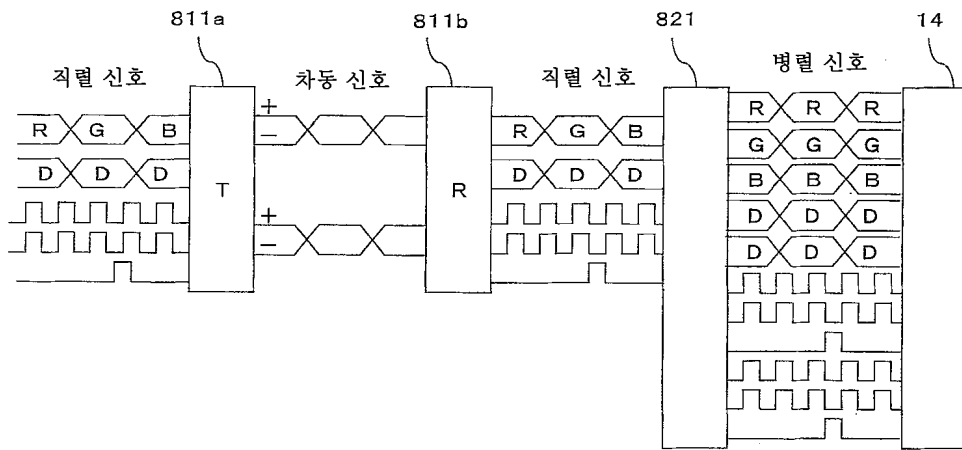
도면80



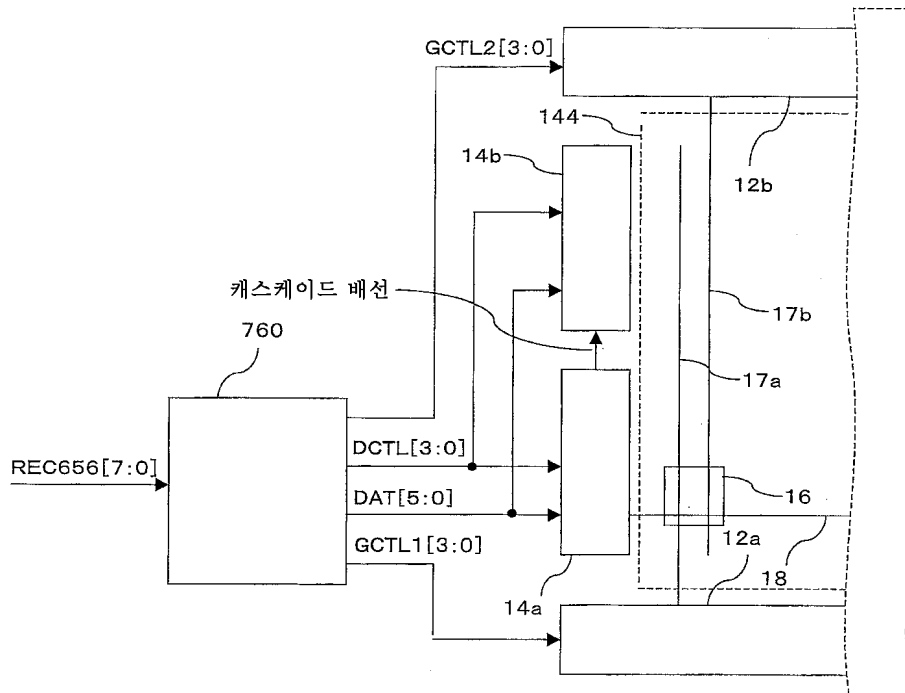
도면81



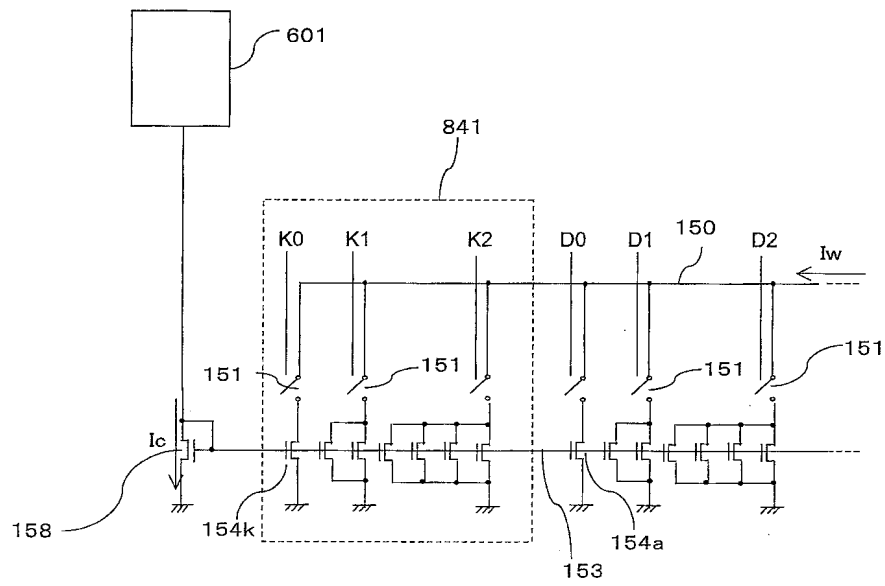
도면82



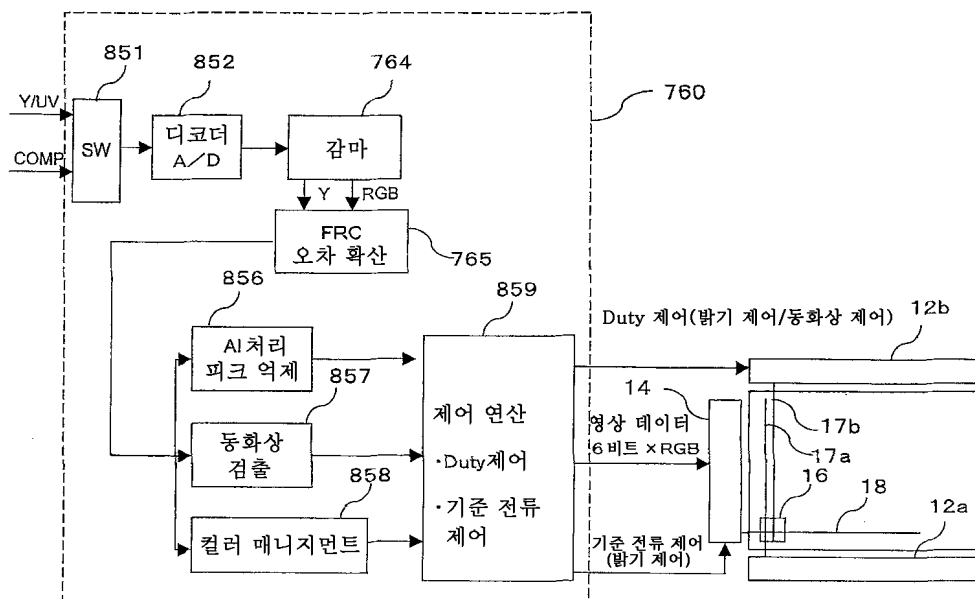
도면83



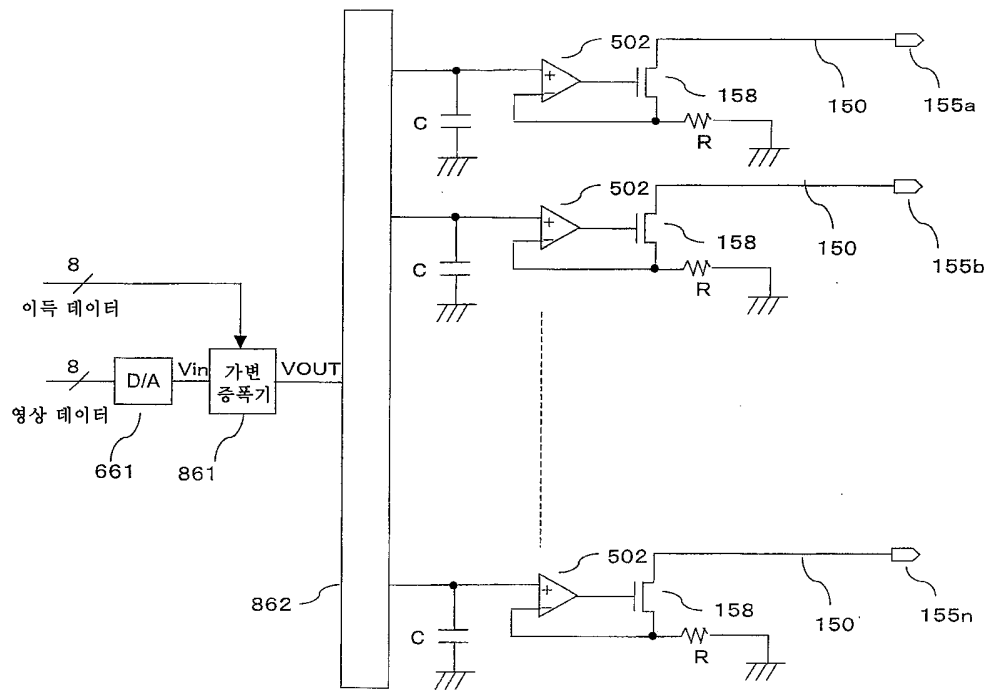
도면84



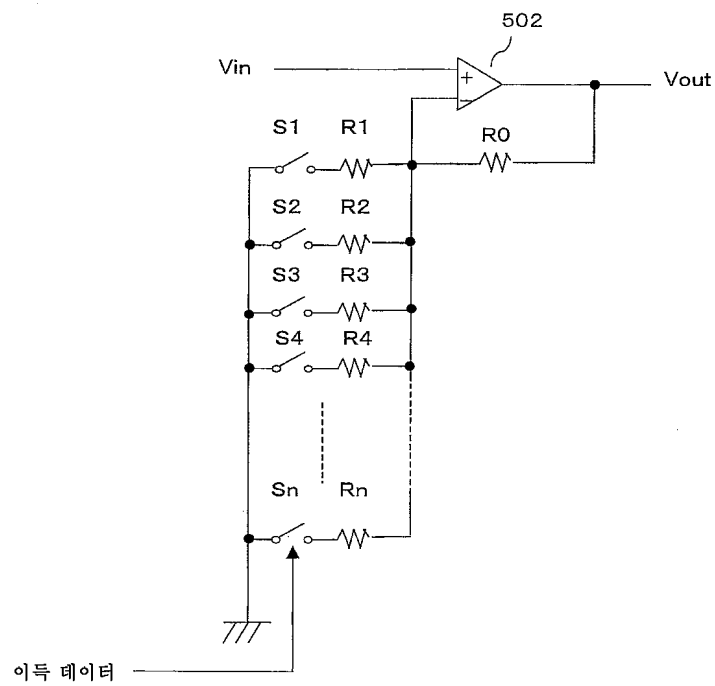
도면85



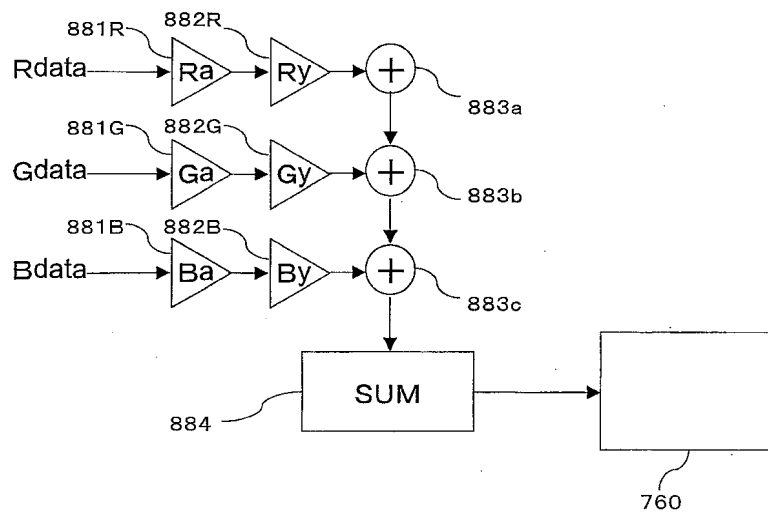
도면86



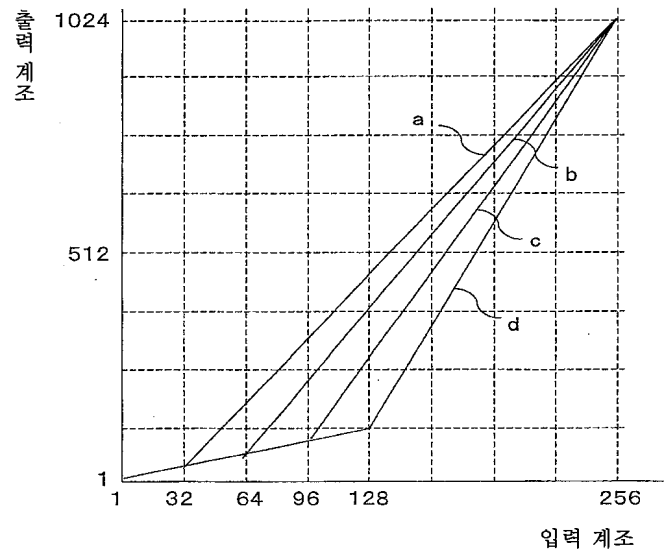
도면87



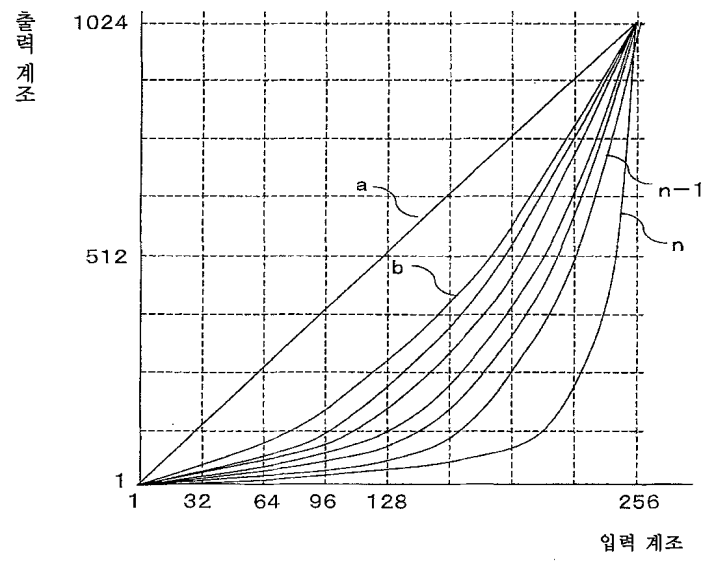
도면88



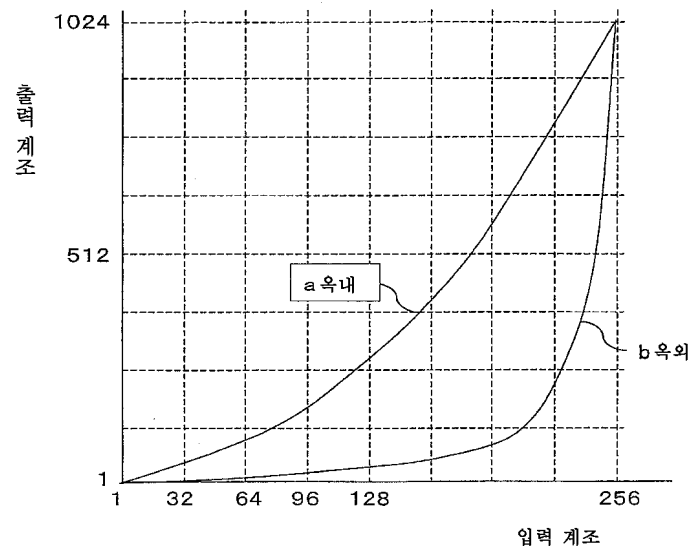
도면89



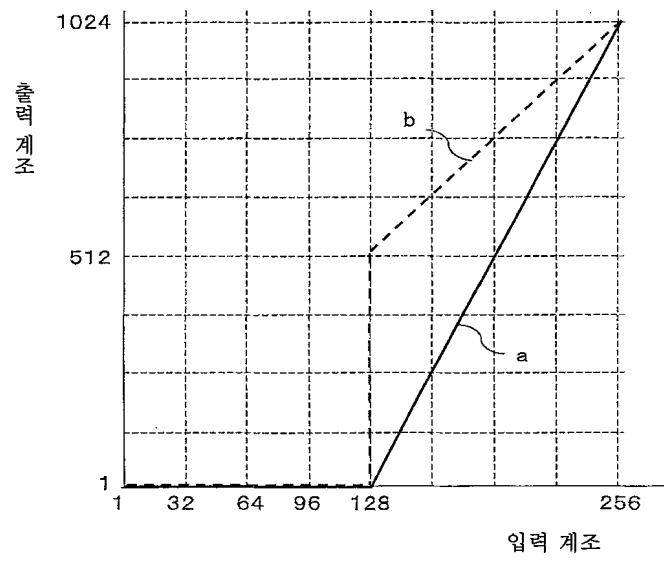
도면90



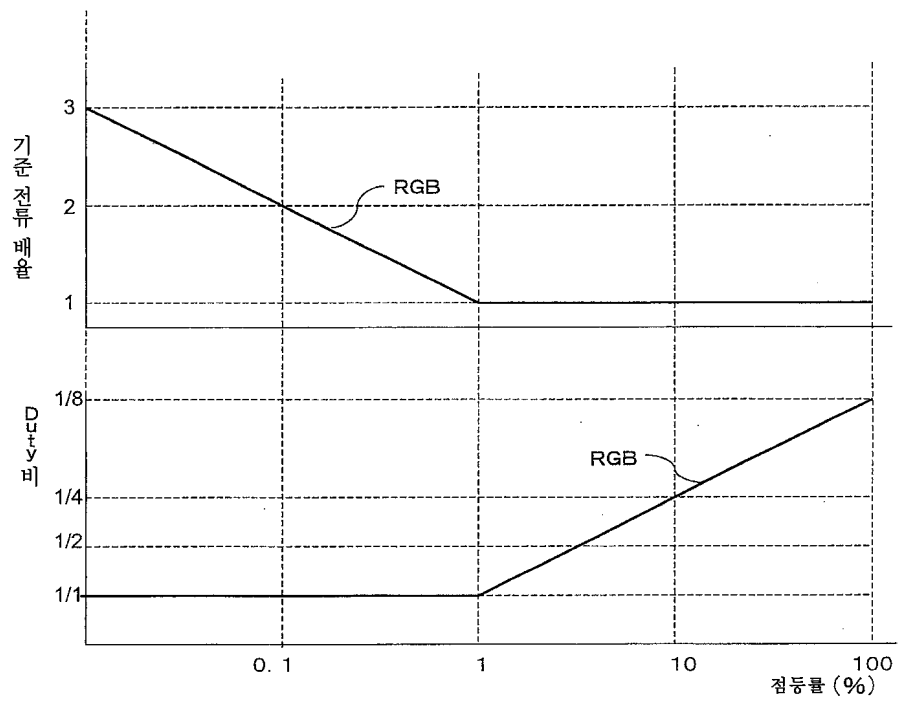
도면91



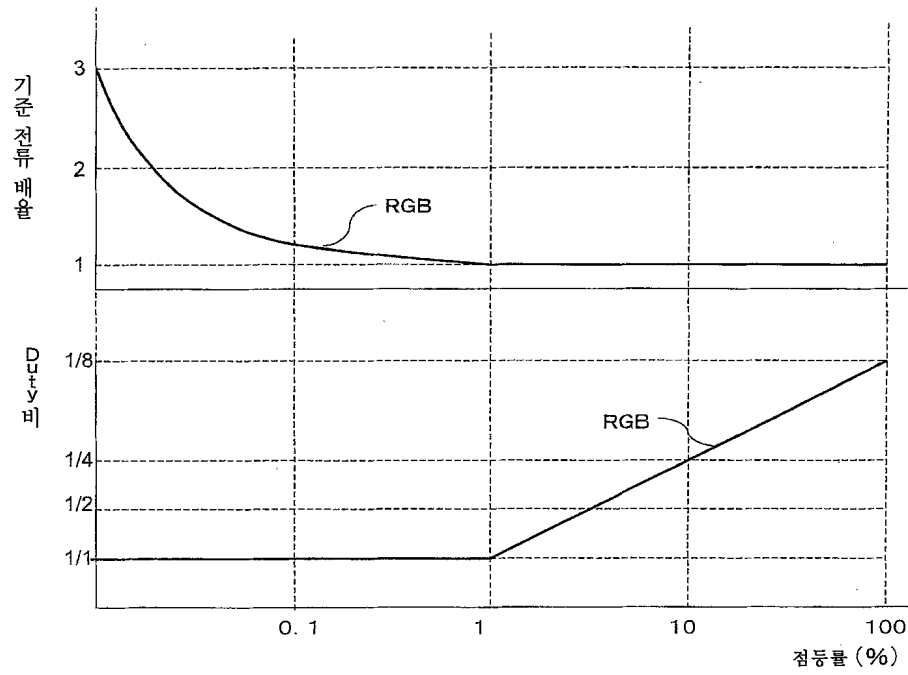
도면92



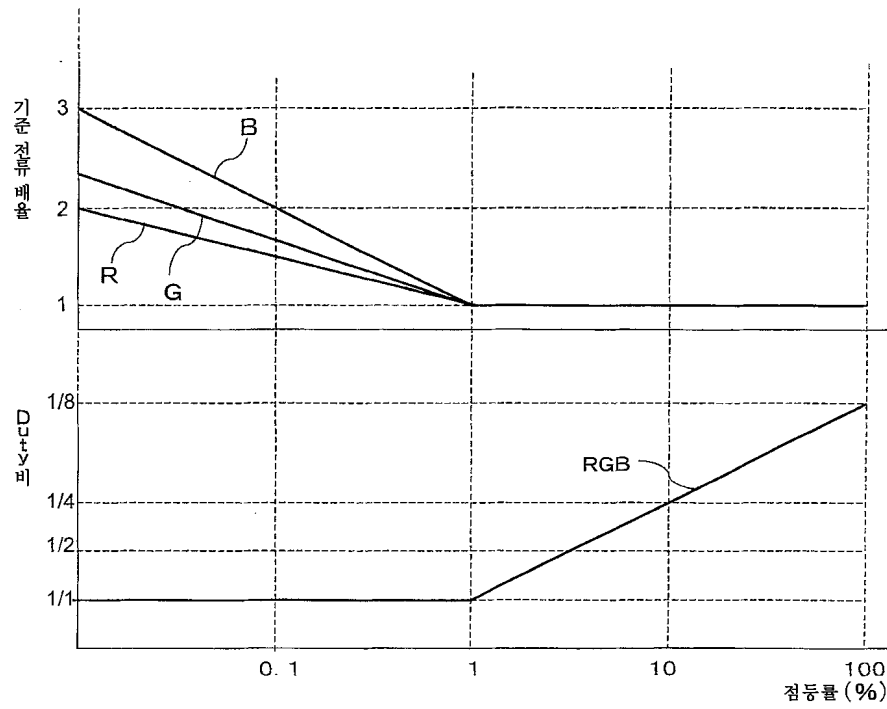
도면93



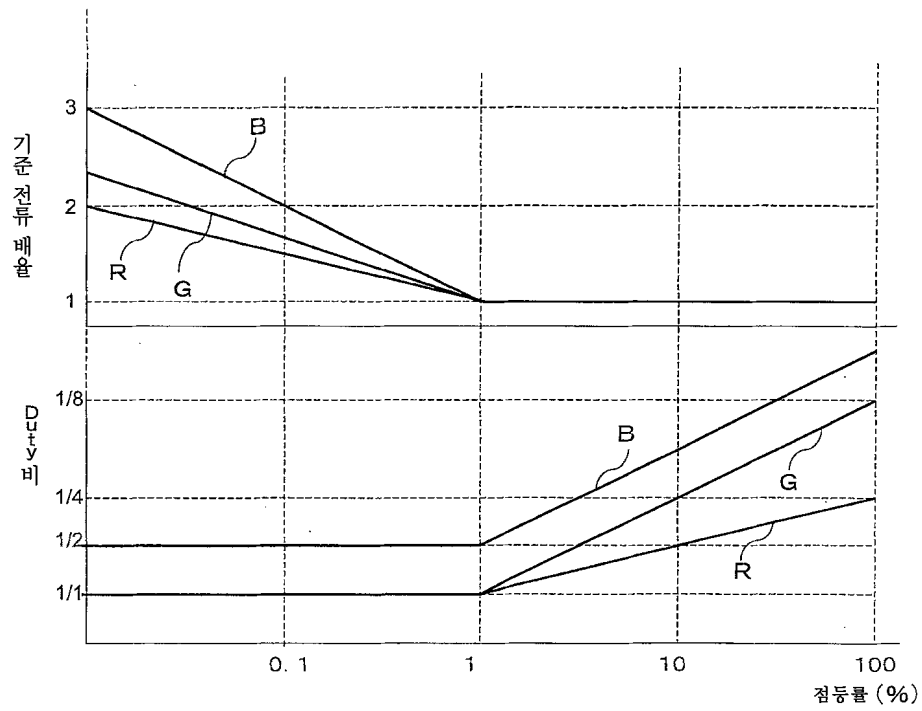
도면94



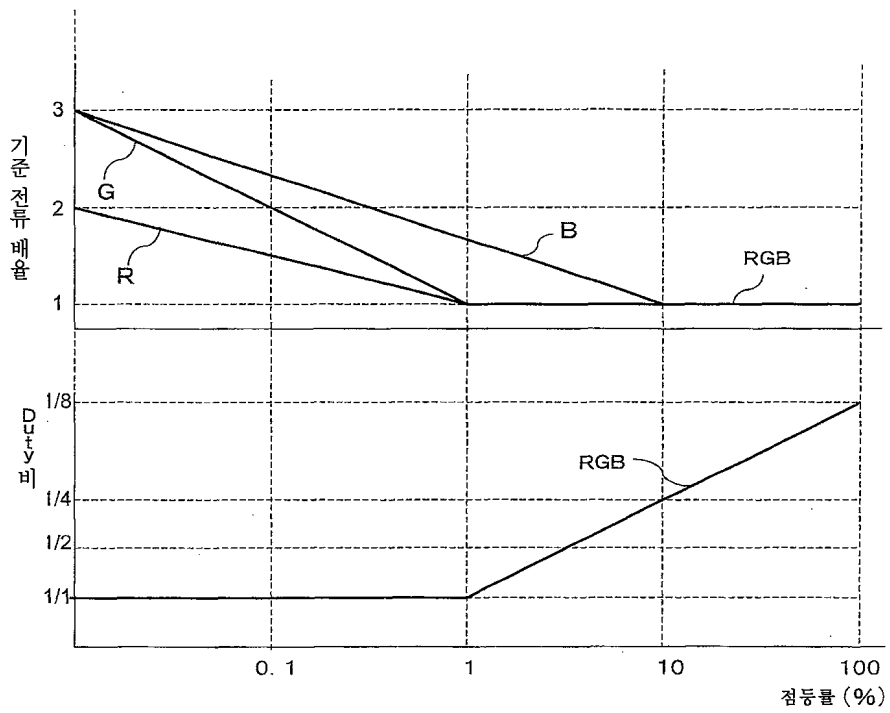
도면95



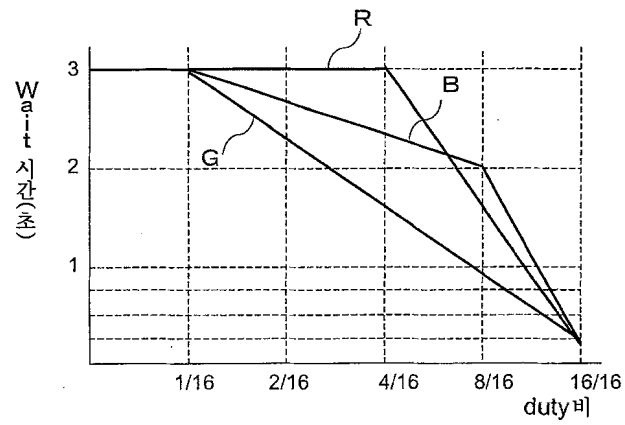
도면96



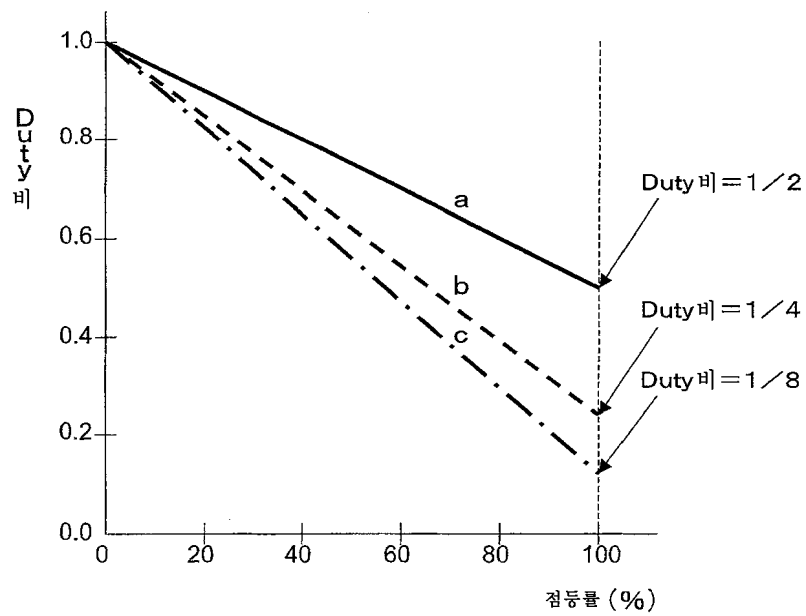
도면97



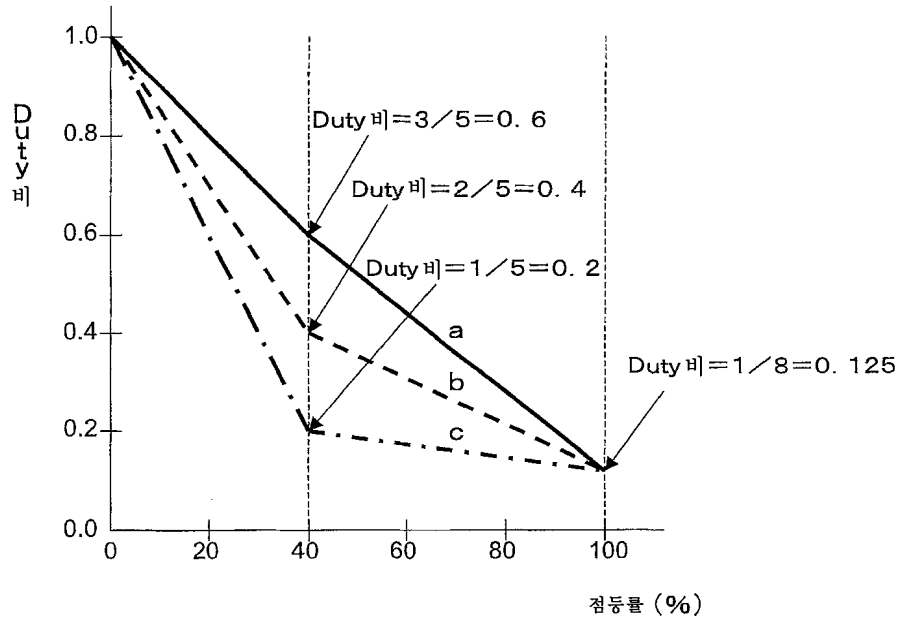
도면98



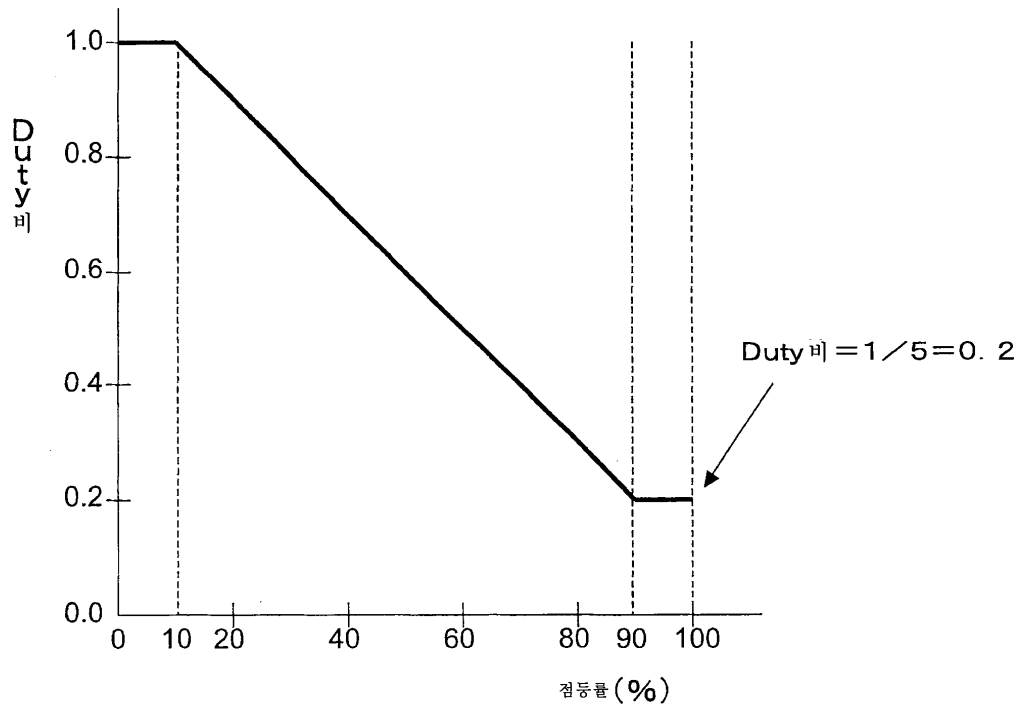
도면99



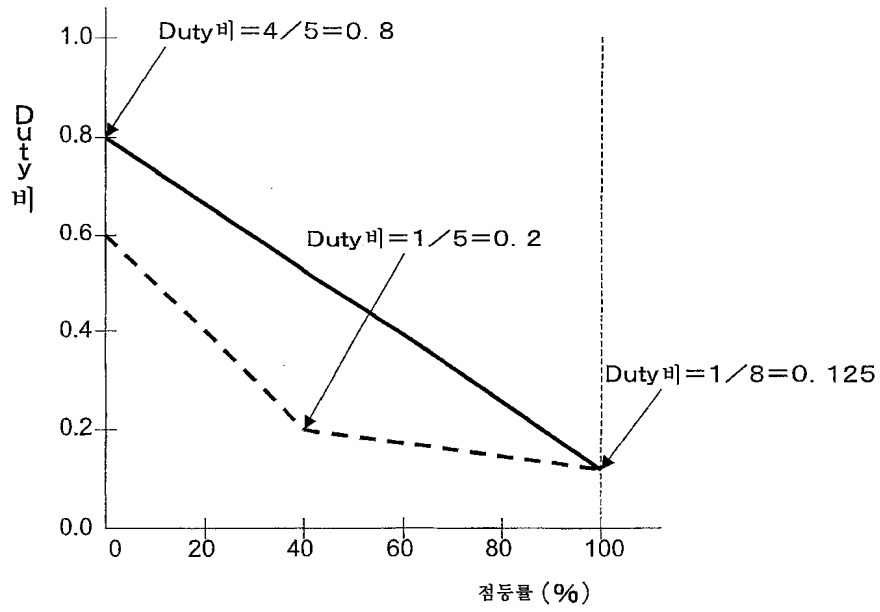
도면100



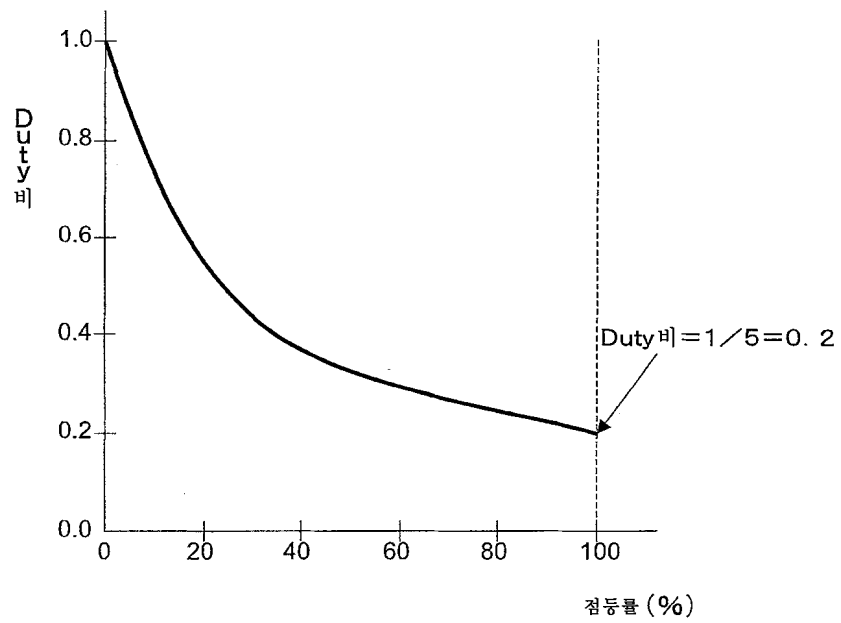
도면101



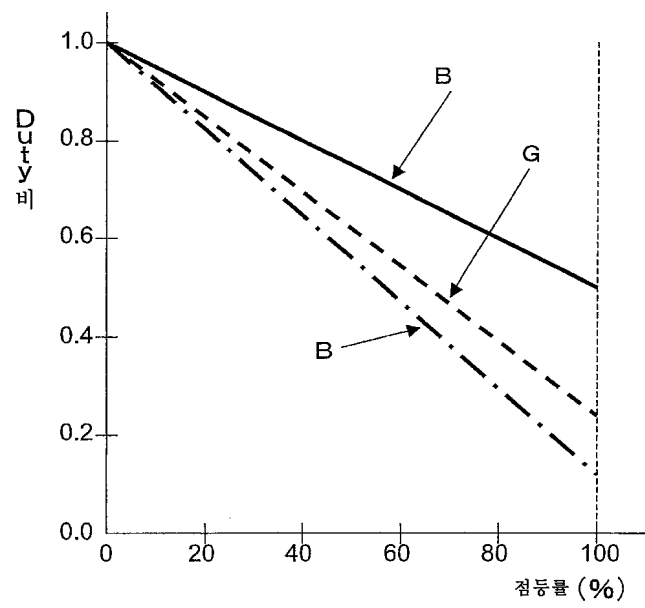
도면102



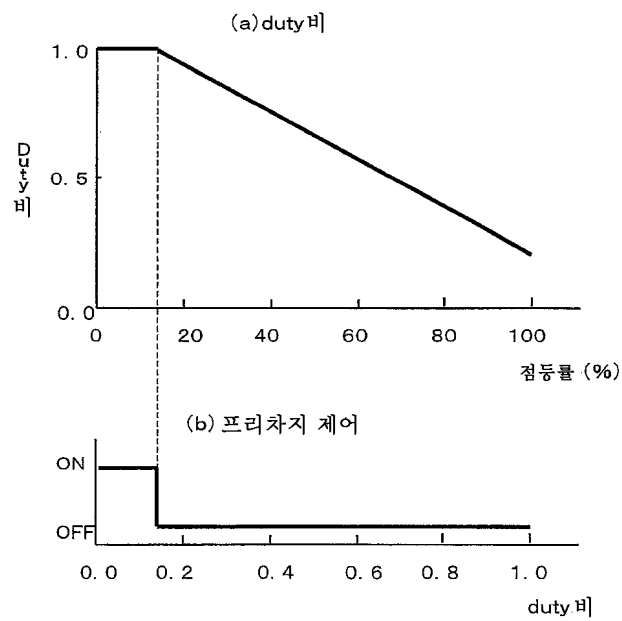
도면103



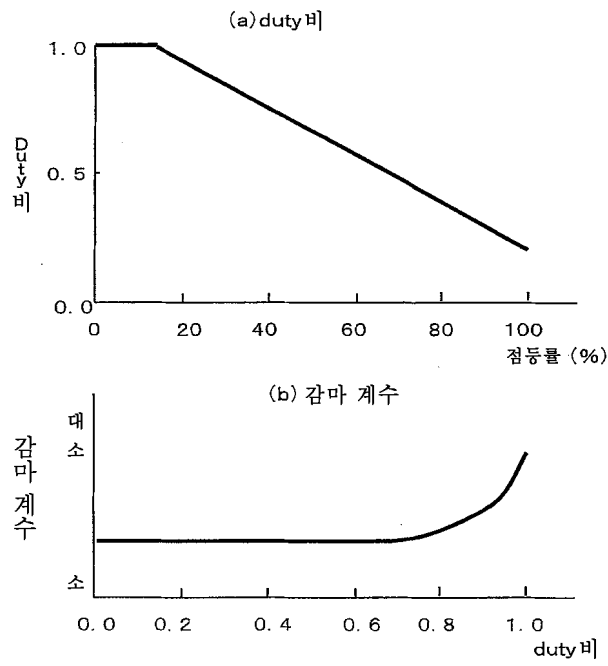
도면104



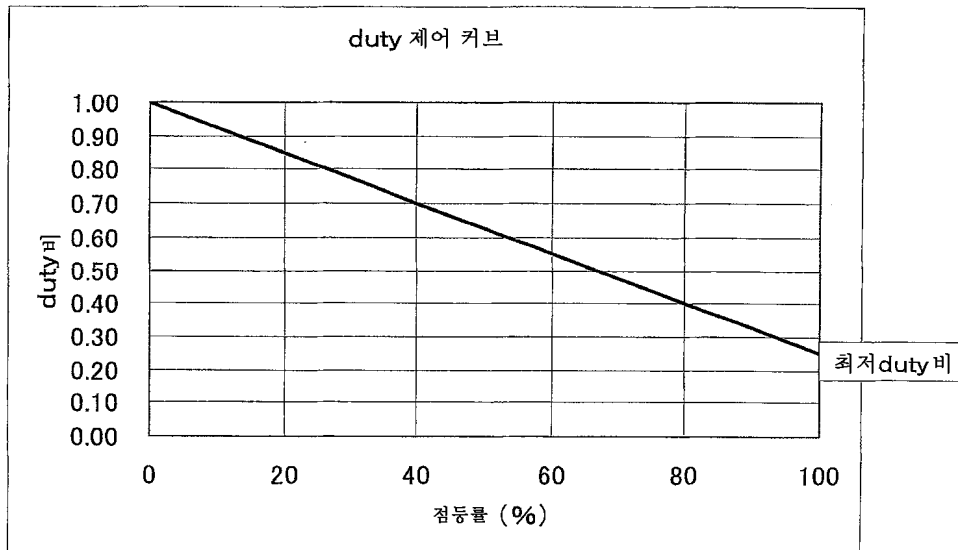
도면105



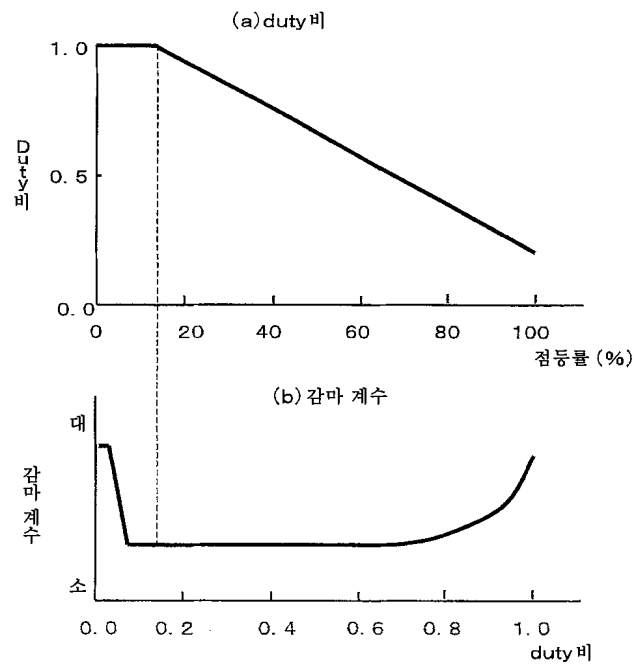
도면106



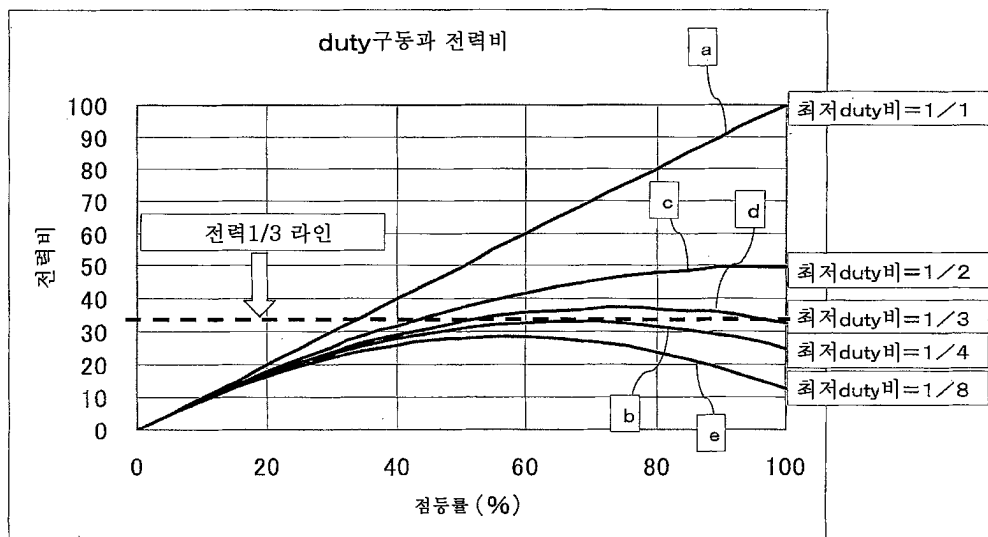
도면107



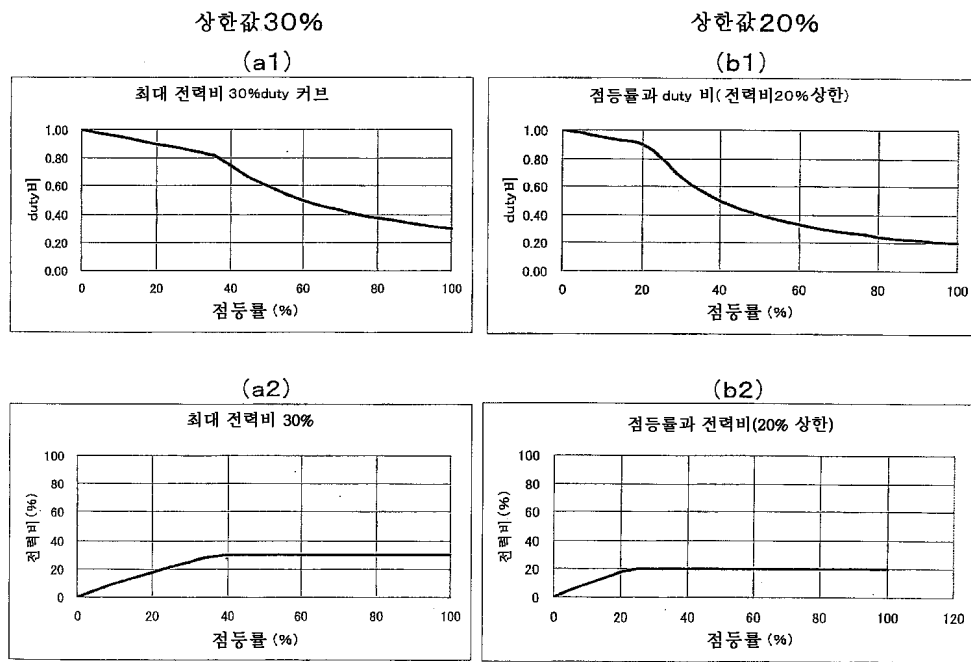
도면108



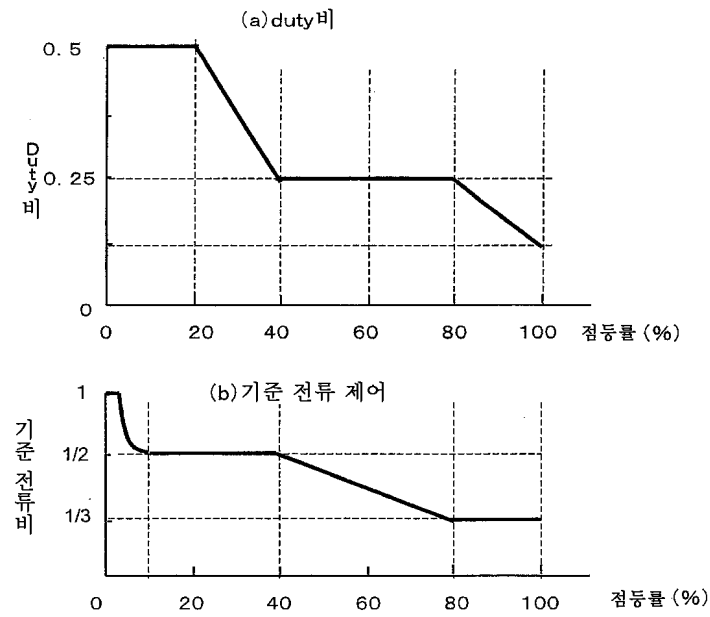
도면109



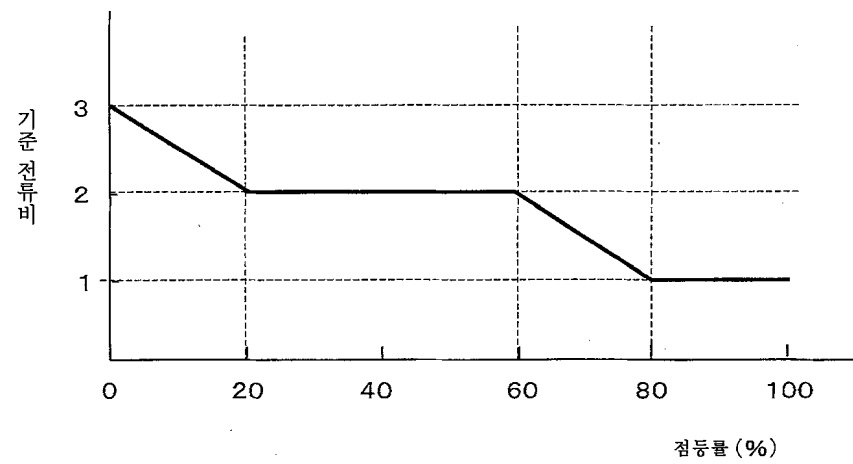
도면110



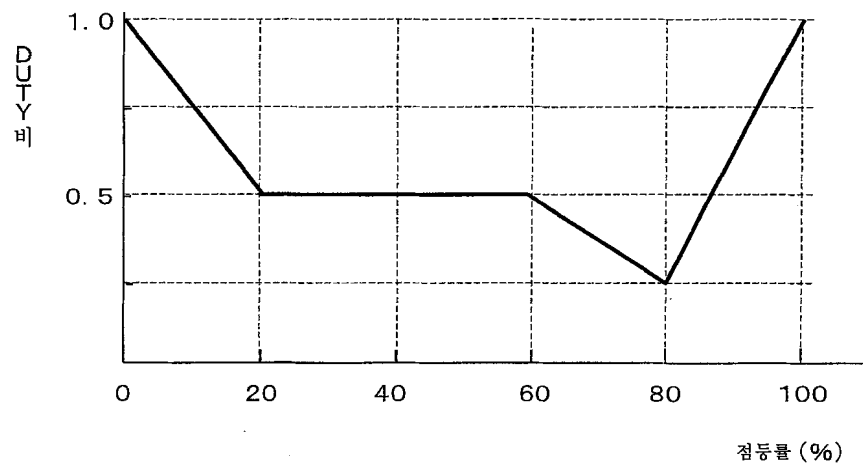
도면111



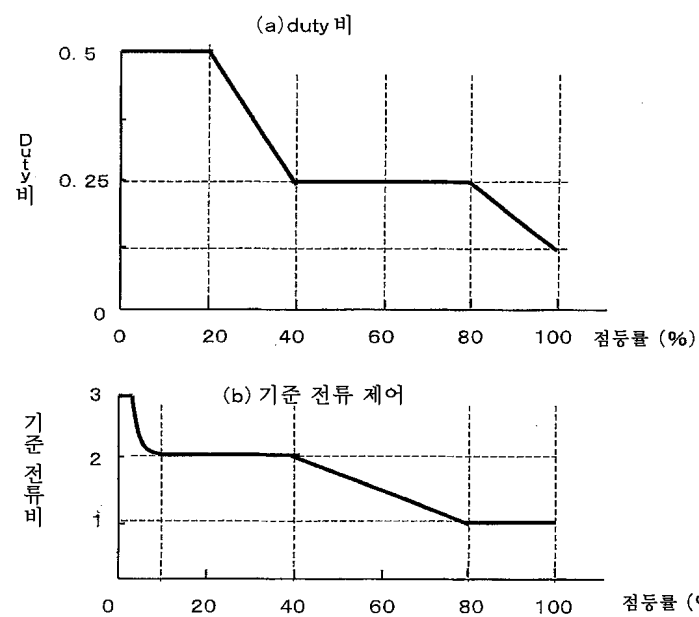
도면112



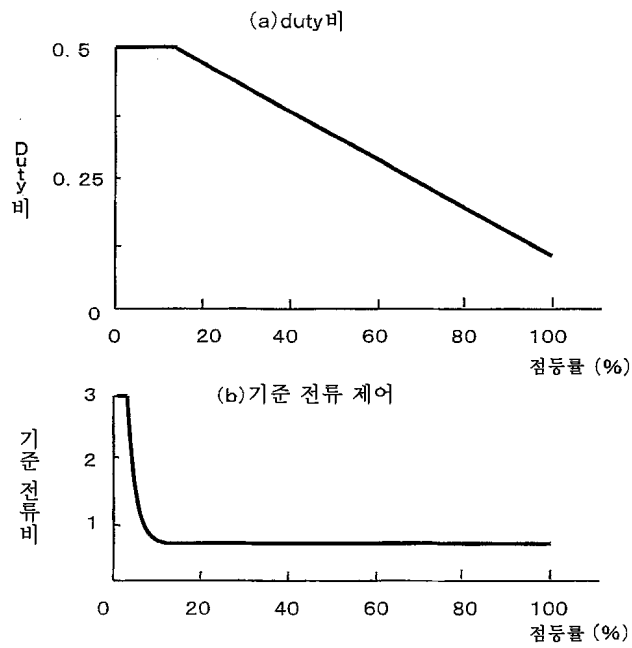
도면113



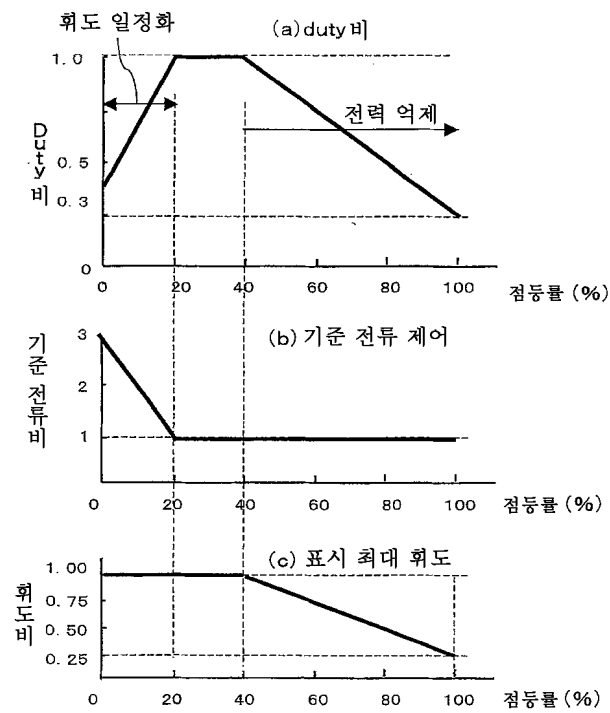
도면114



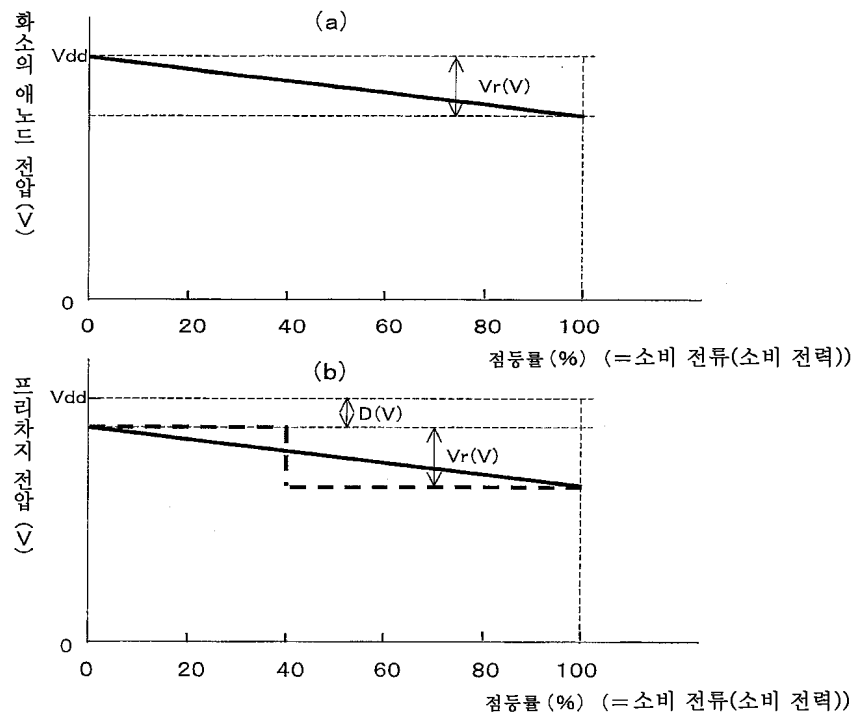
도면115



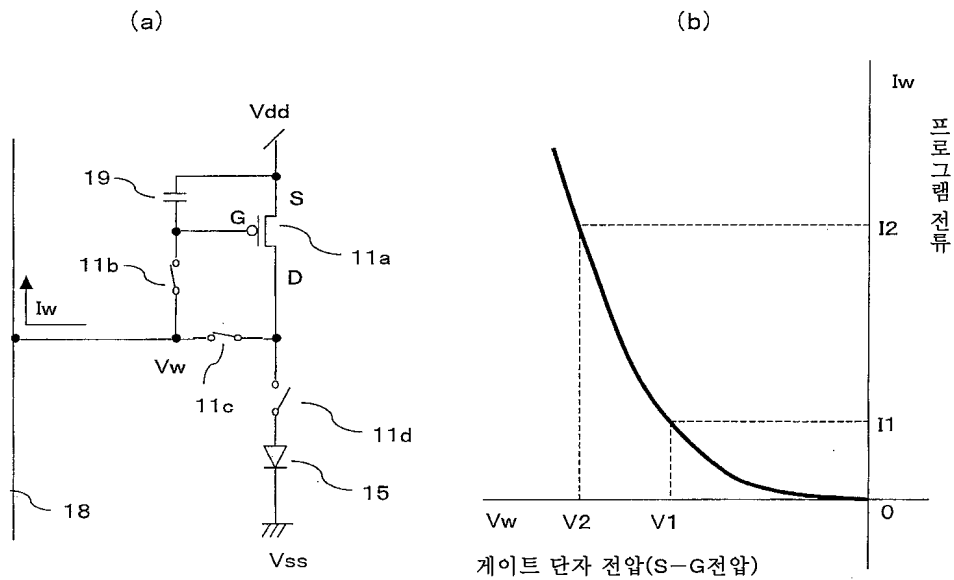
도면116



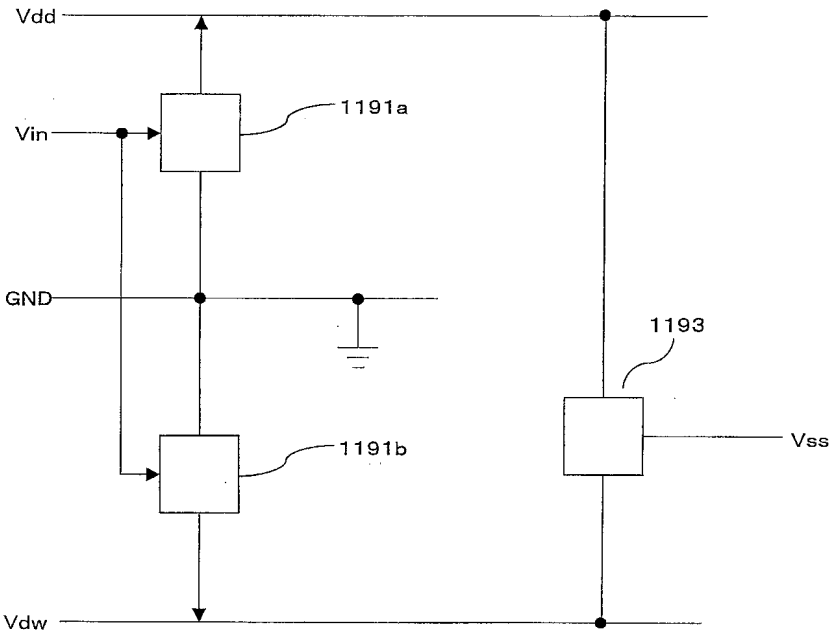
도면117



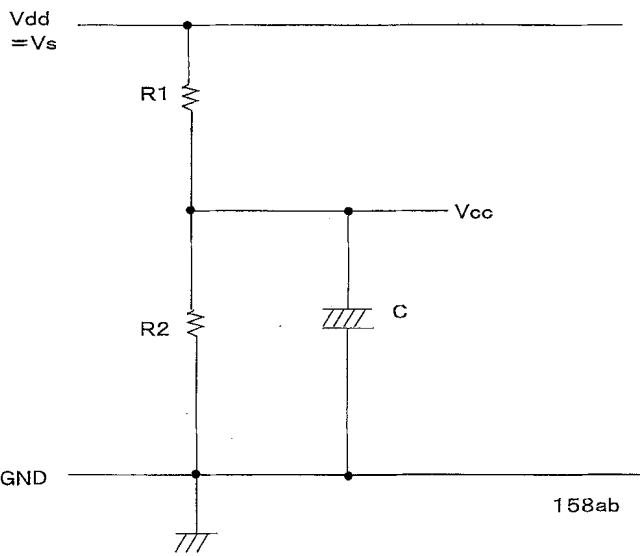
도면118



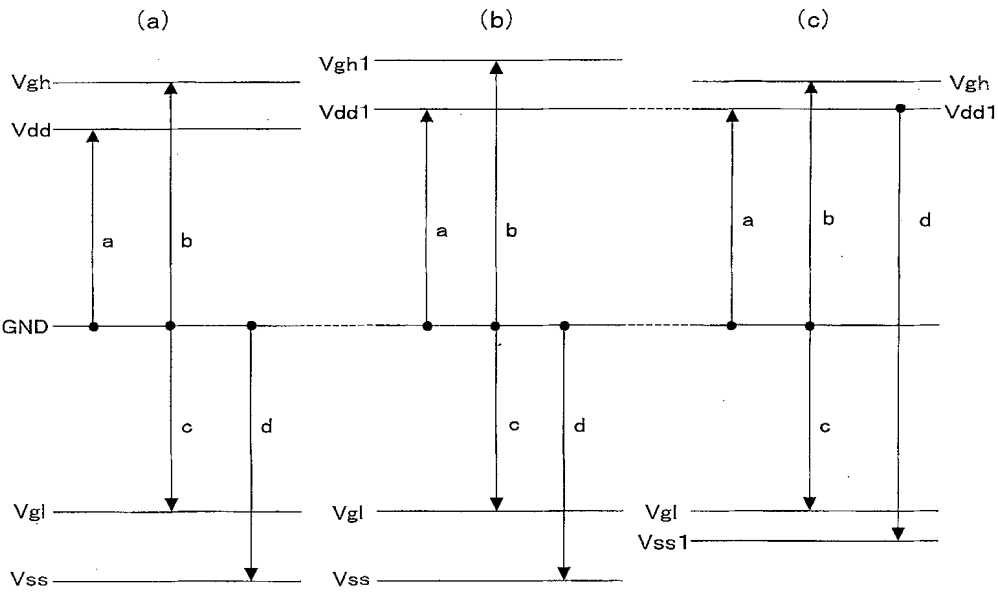
도면119



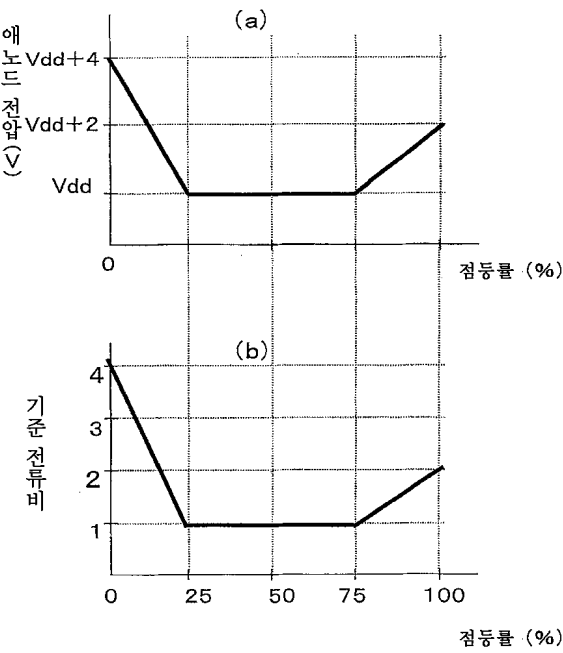
도면120



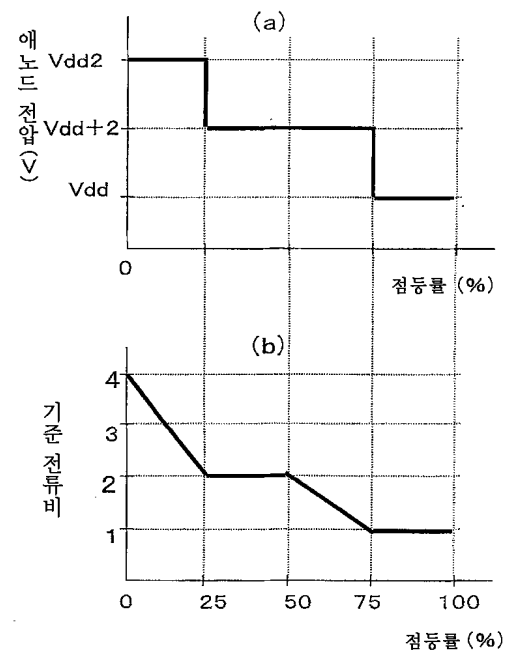
도면121



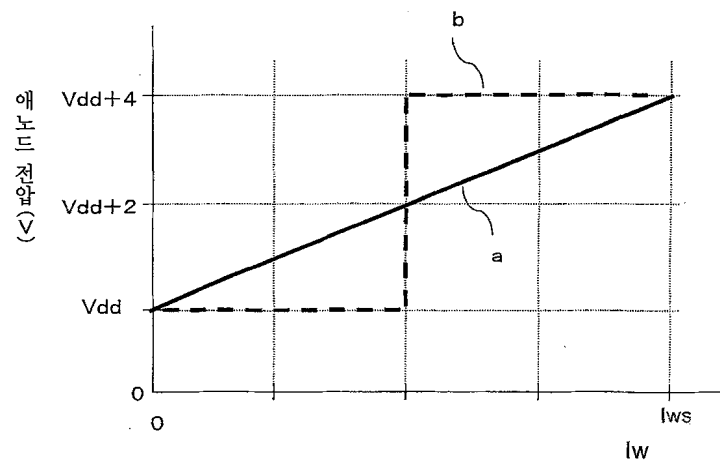
도면122



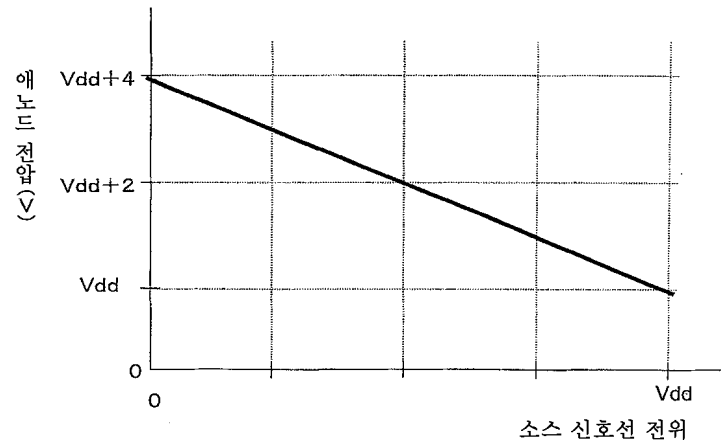
도면123



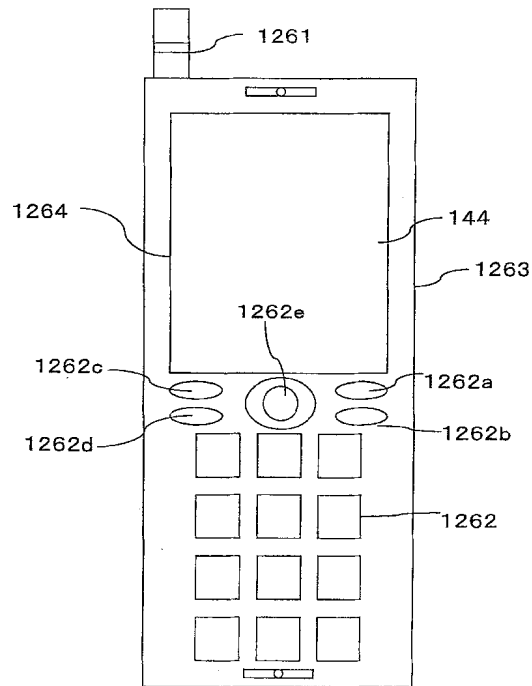
도면124



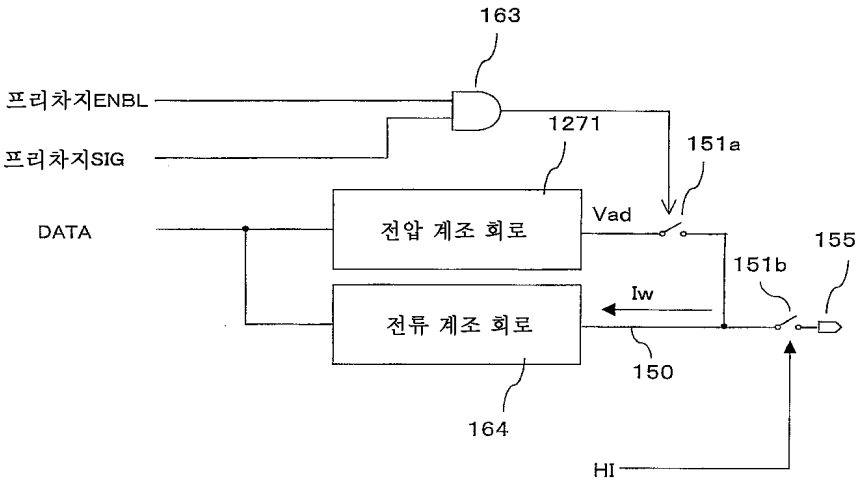
도면125



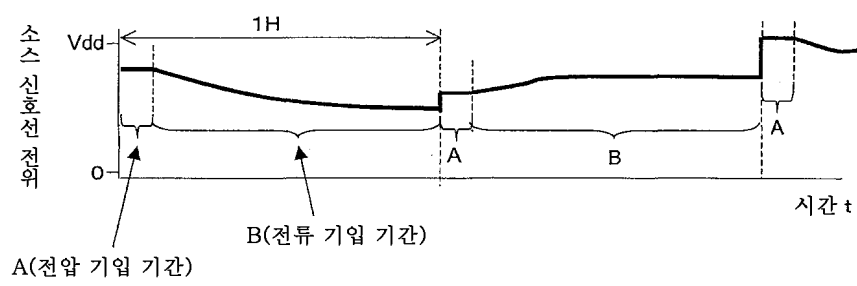
도면126



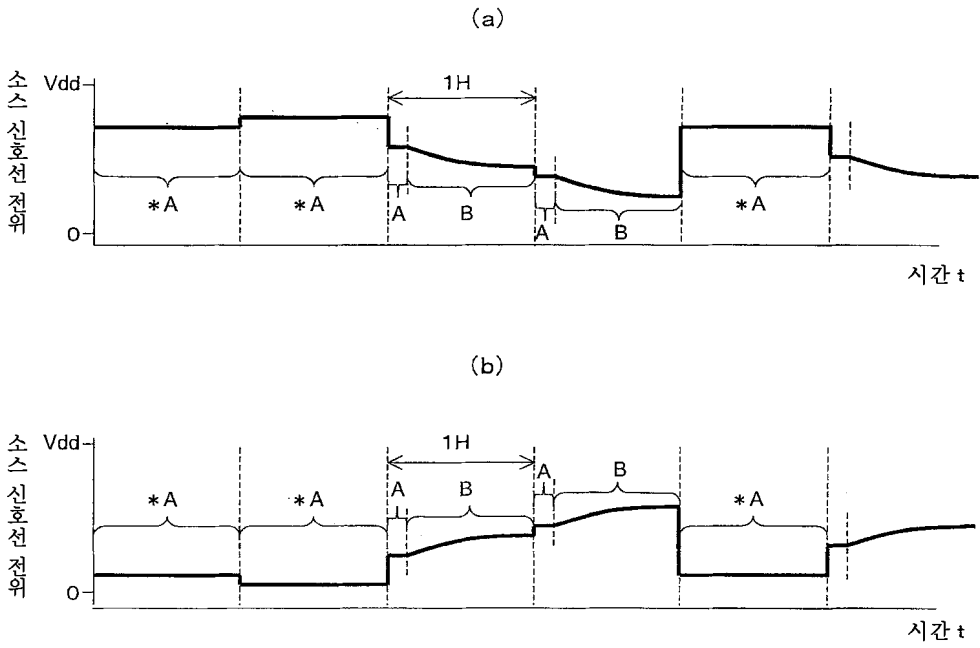
도면127



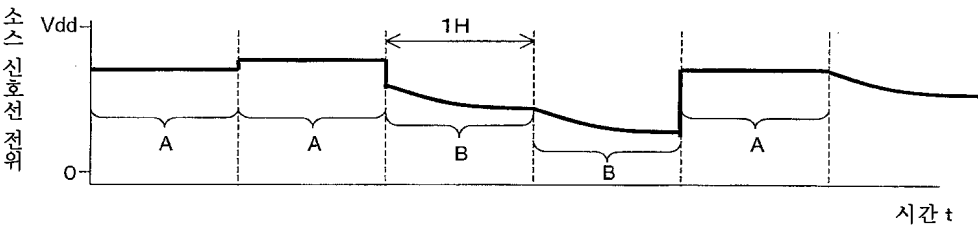
도면128



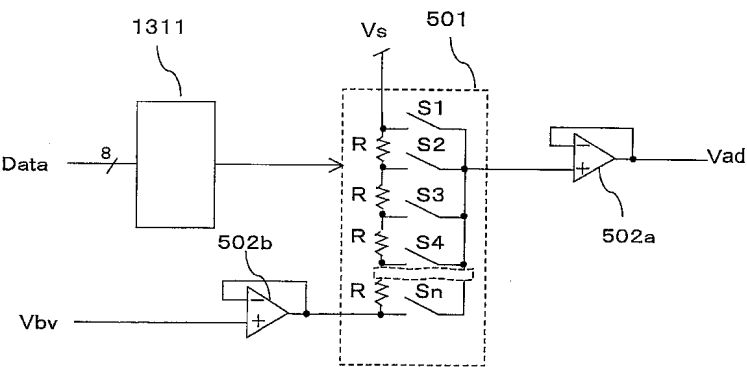
도면129



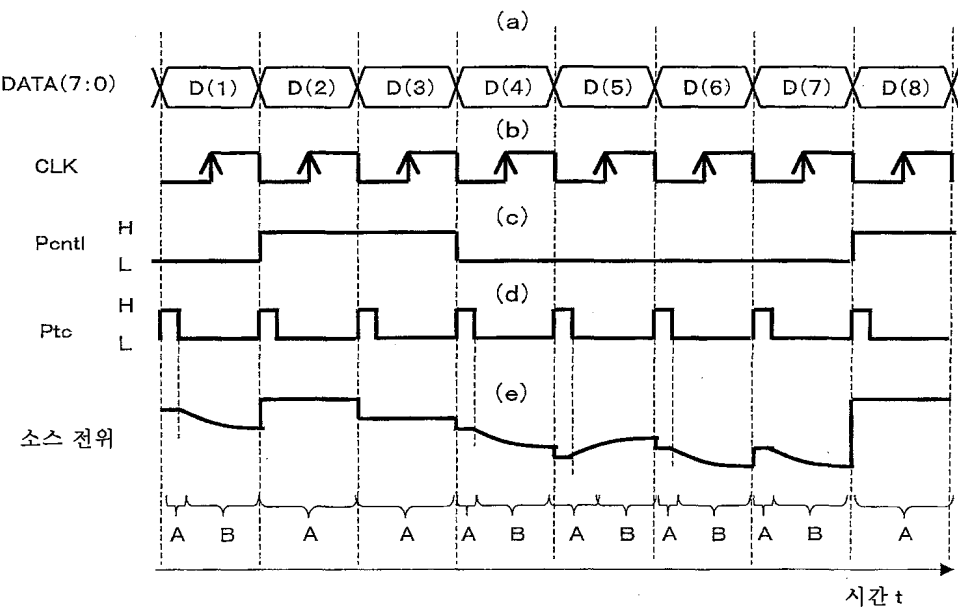
도면130



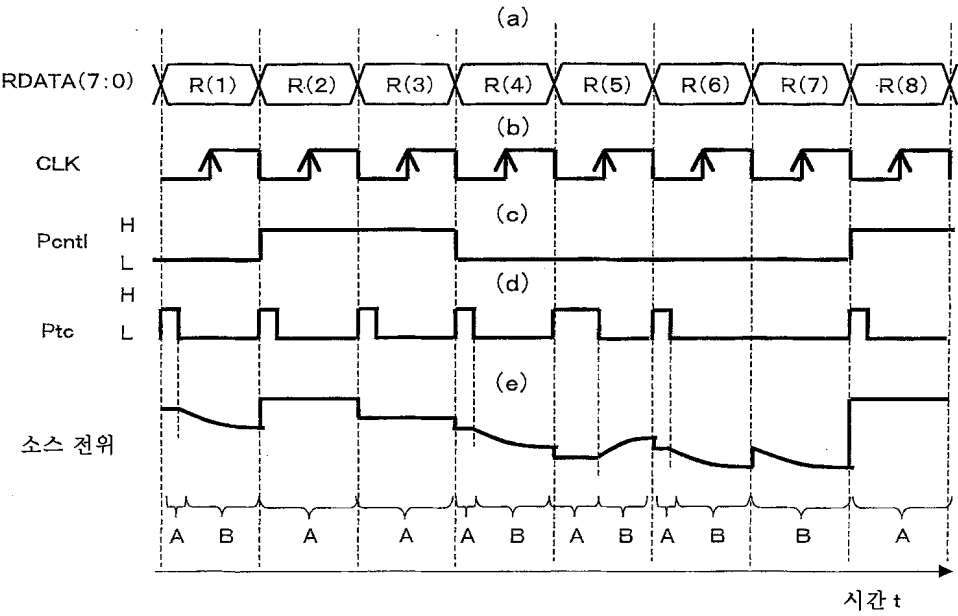
도면131



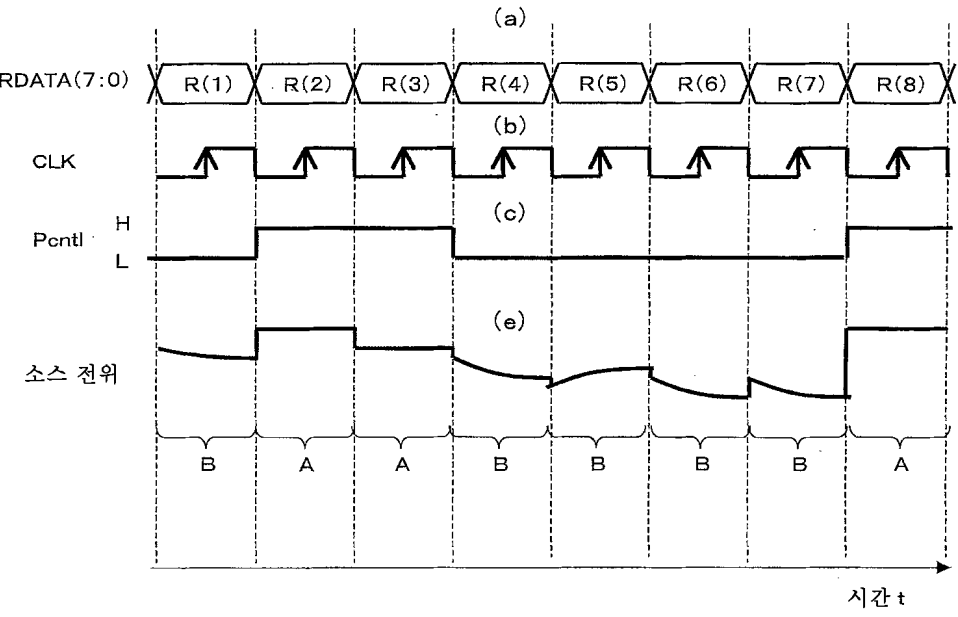
도면132



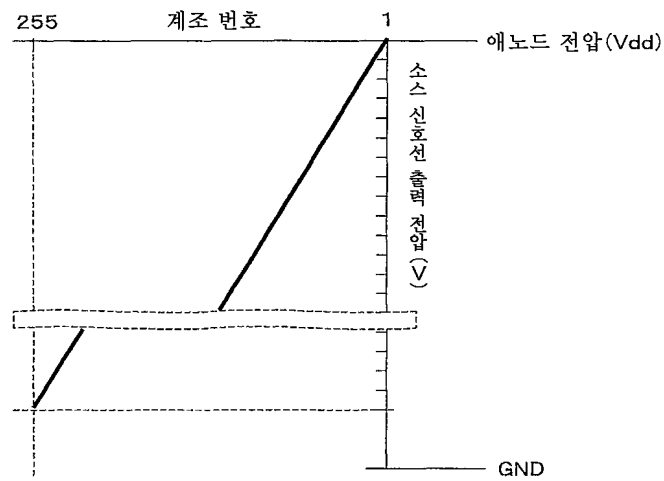
도면133



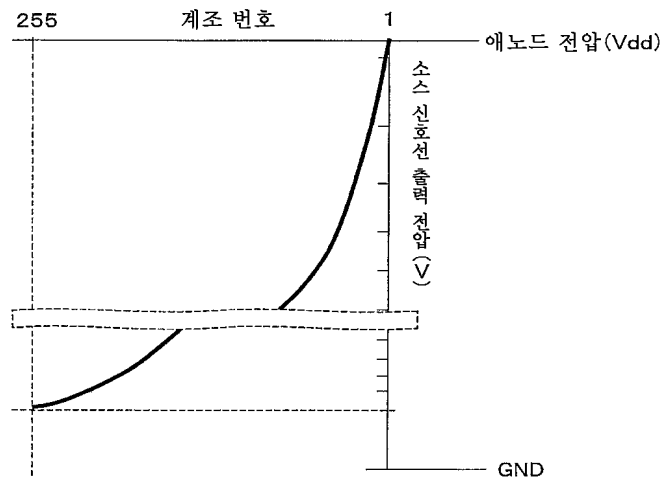
도면134



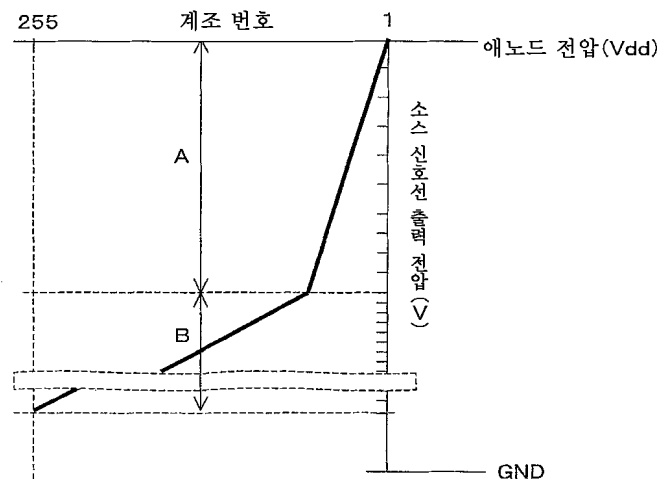
도면135



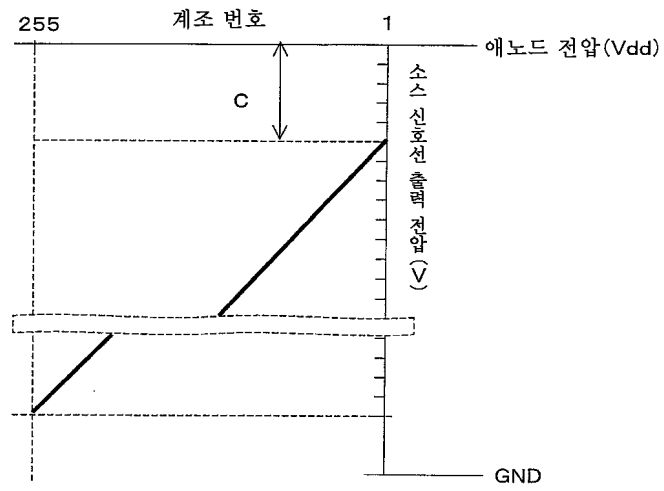
도면136



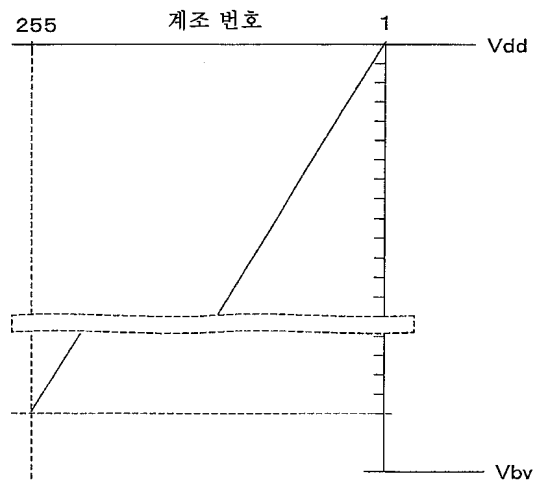
도면137



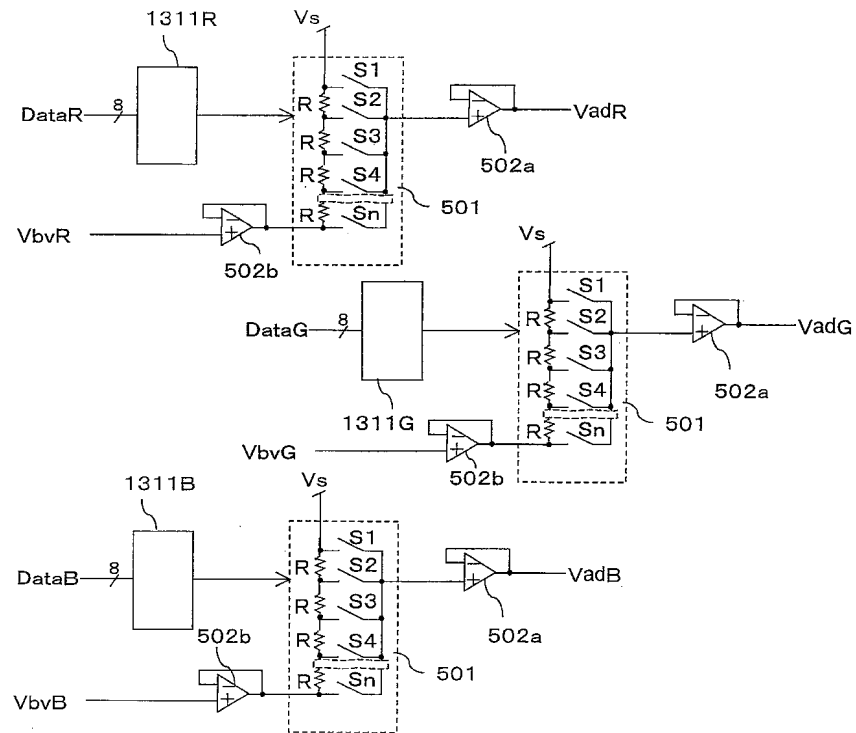
도면138



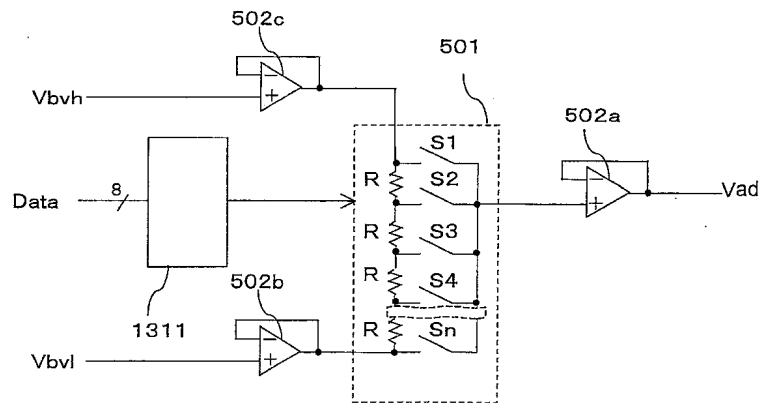
도면139



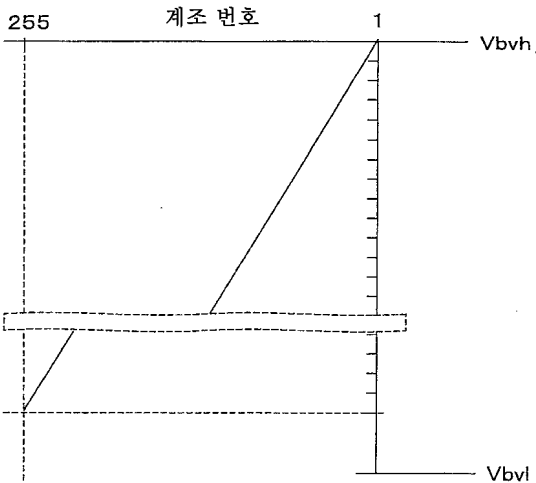
도면140



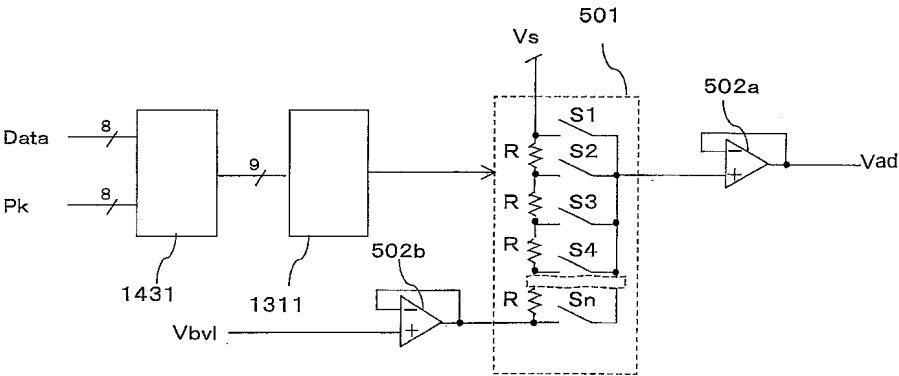
도면141



도면142

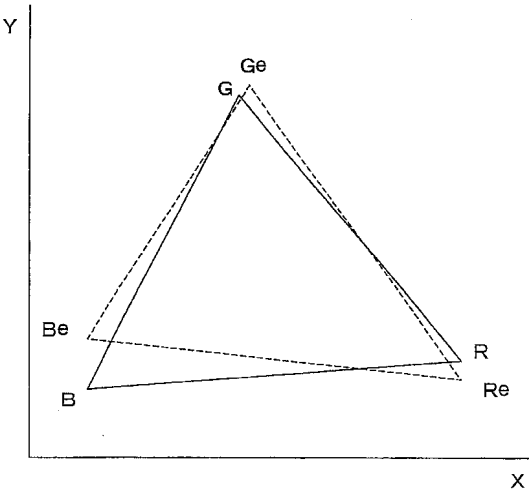


도면143

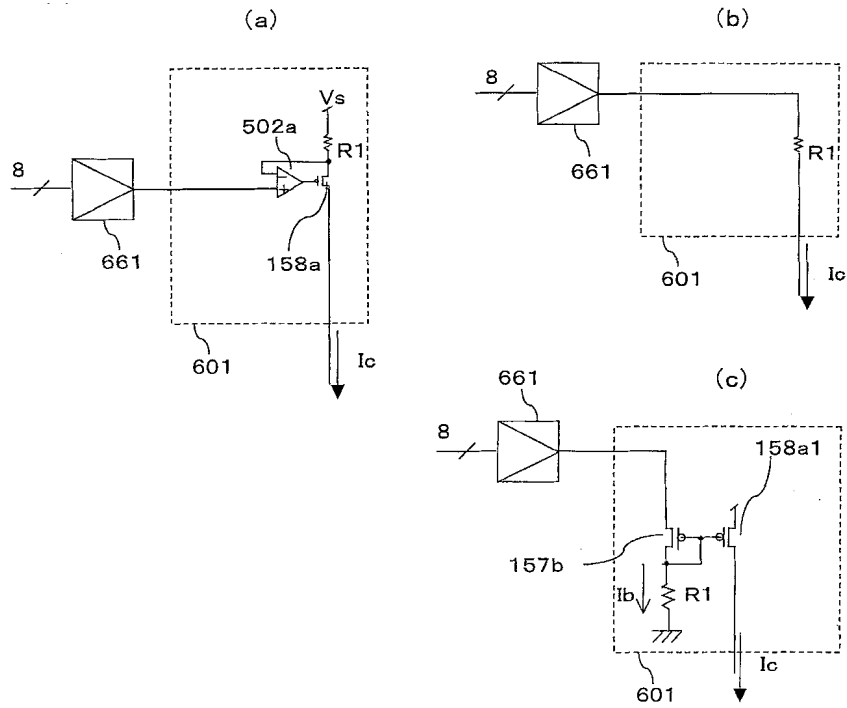


도면144

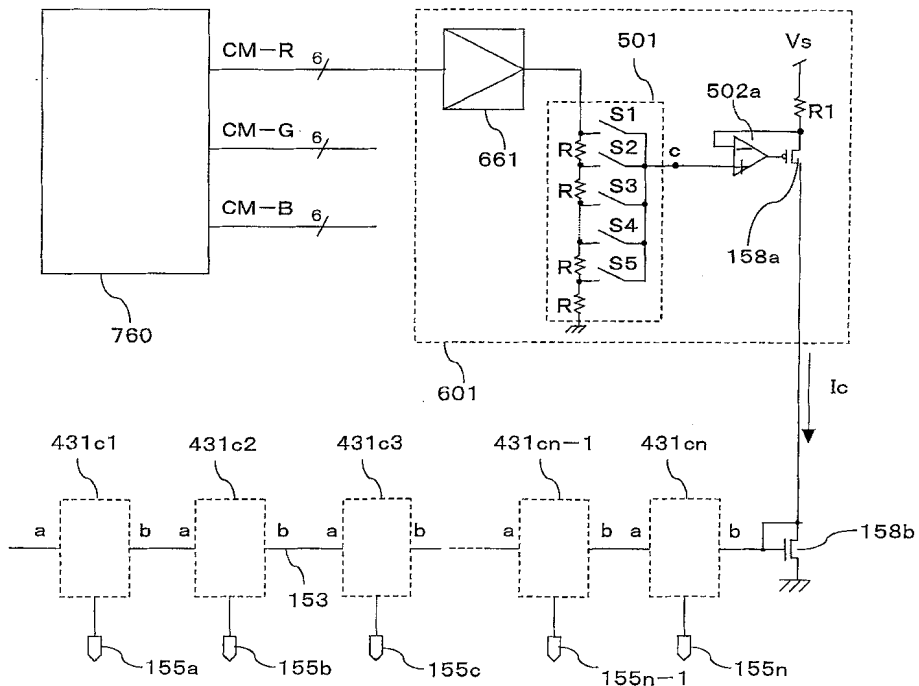
XY 색도 좌표



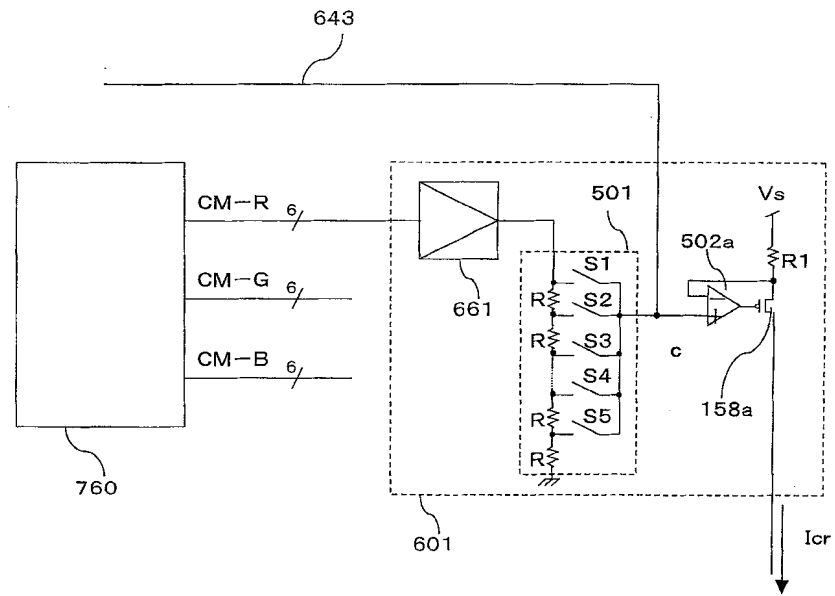
도면145



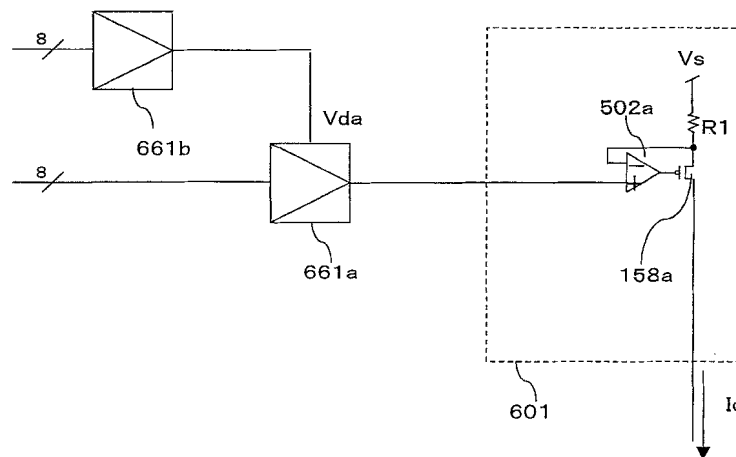
도면146



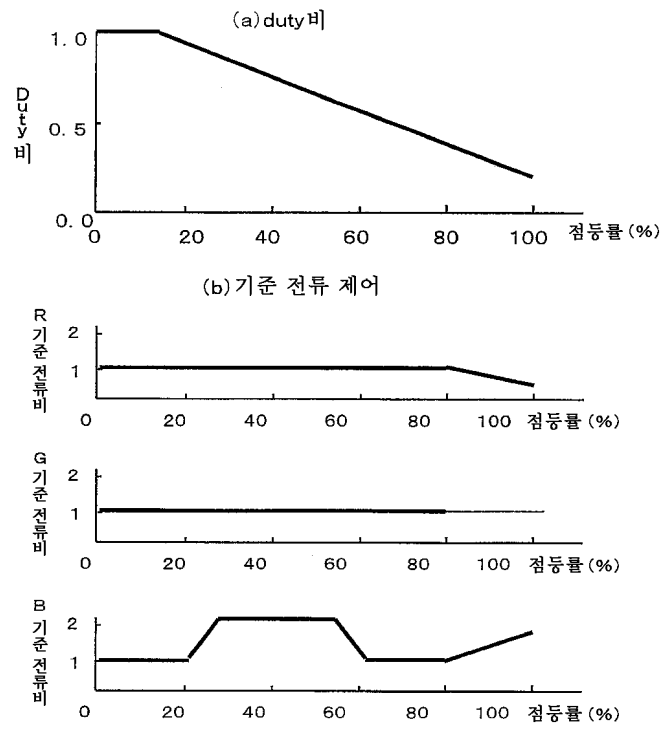
도면147



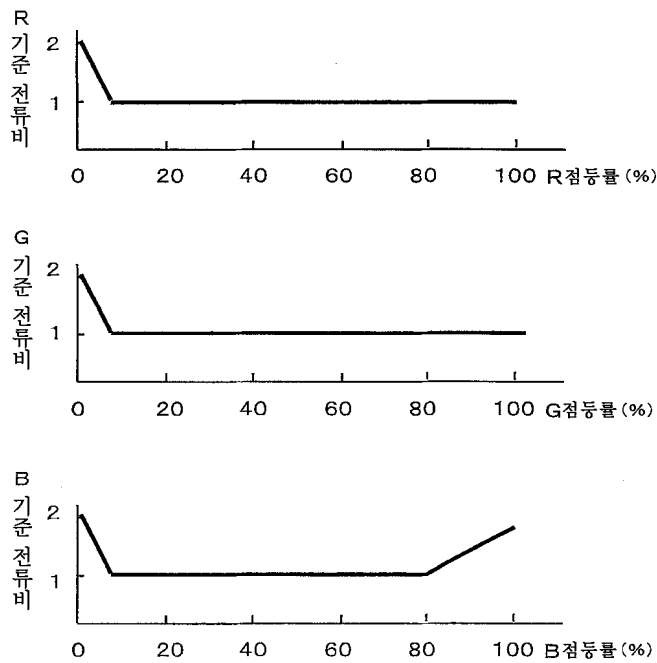
도면148



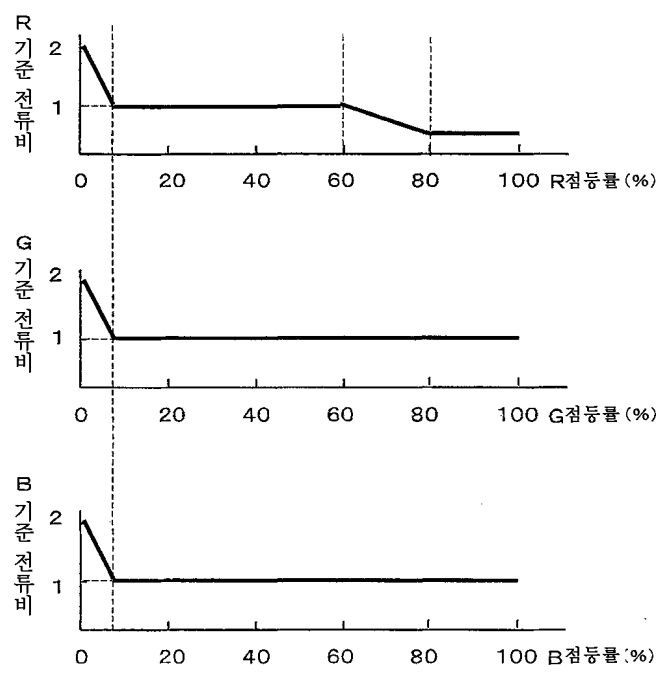
도면149



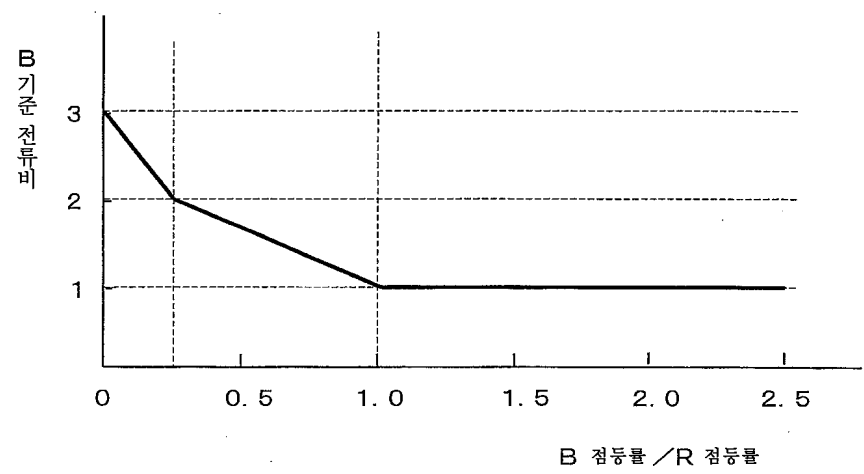
도면150



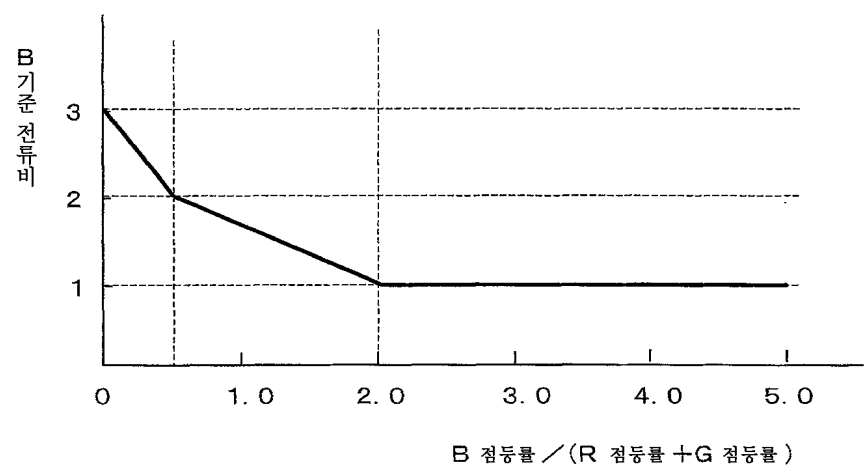
도면151



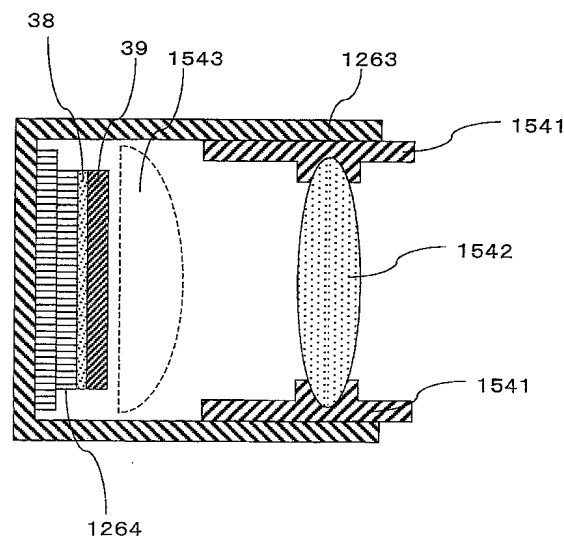
도면152



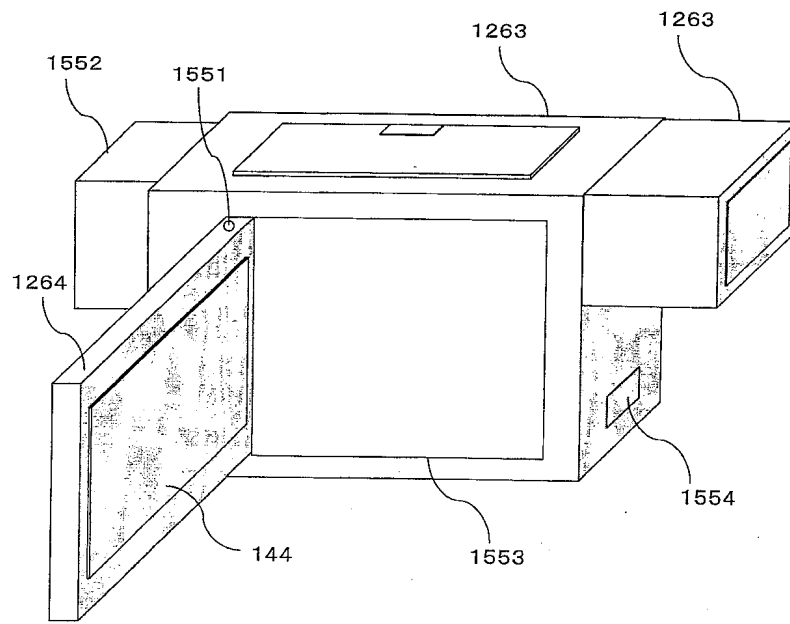
도면153



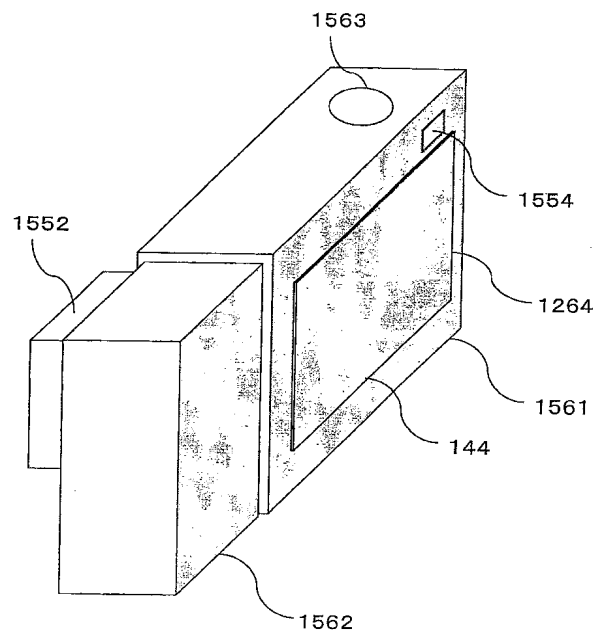
도면154



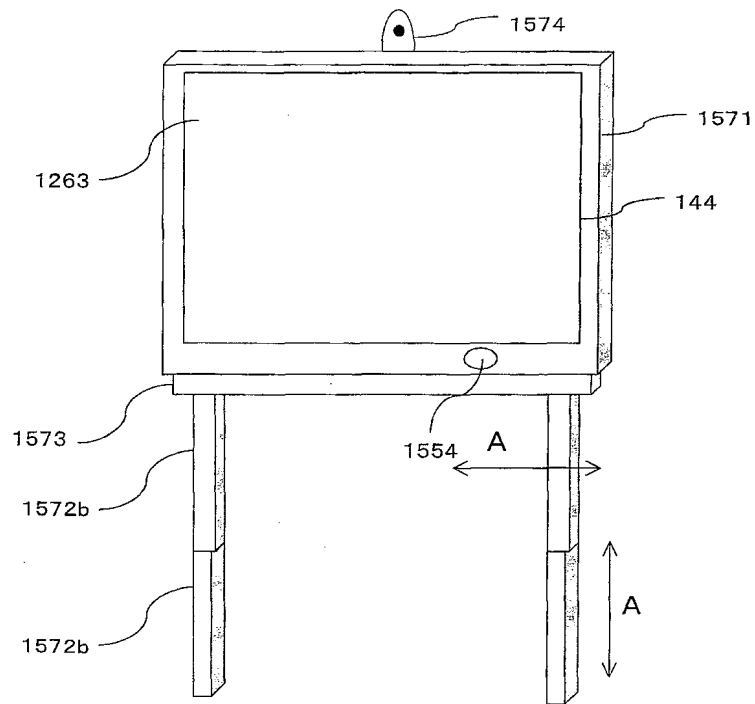
도면155



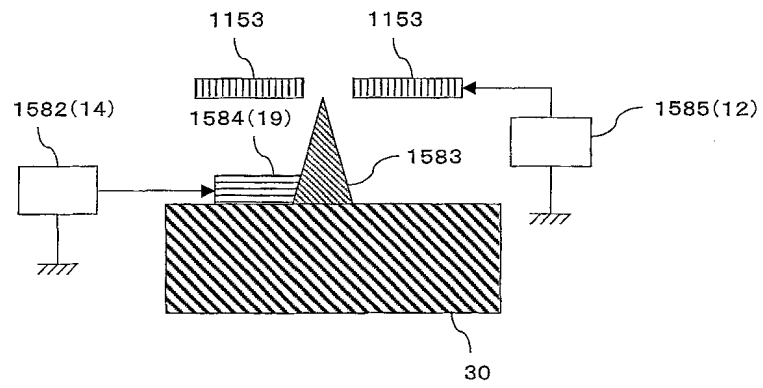
도면156



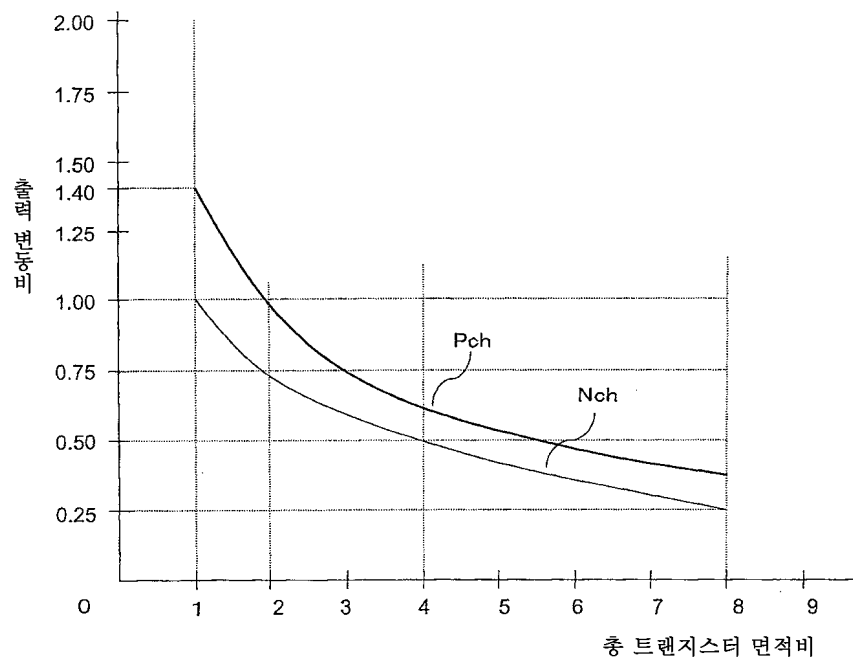
도면157



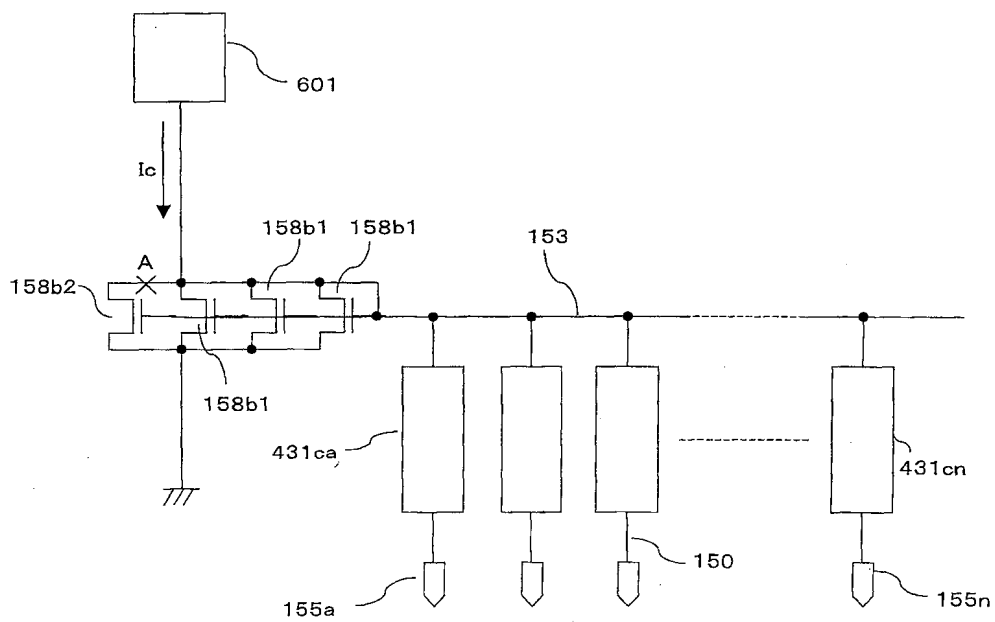
도면158



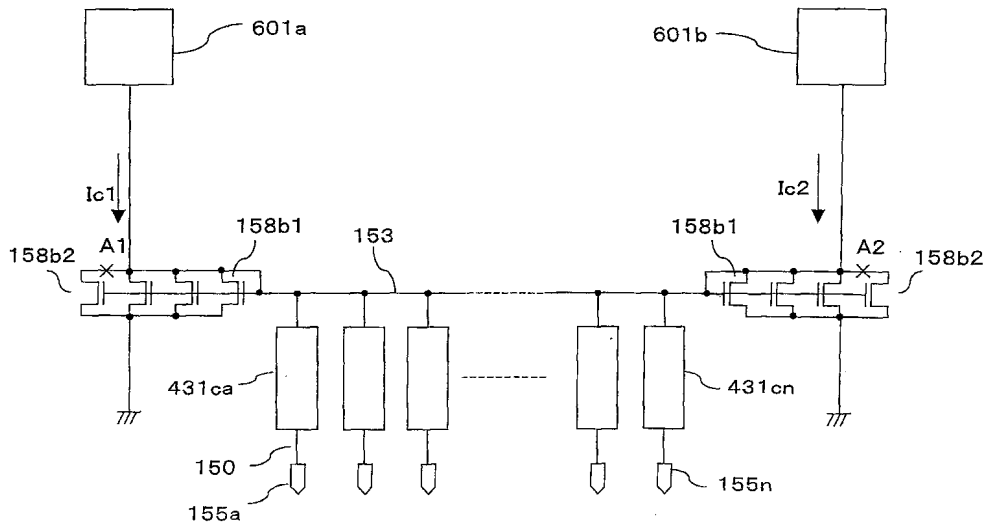
도면159



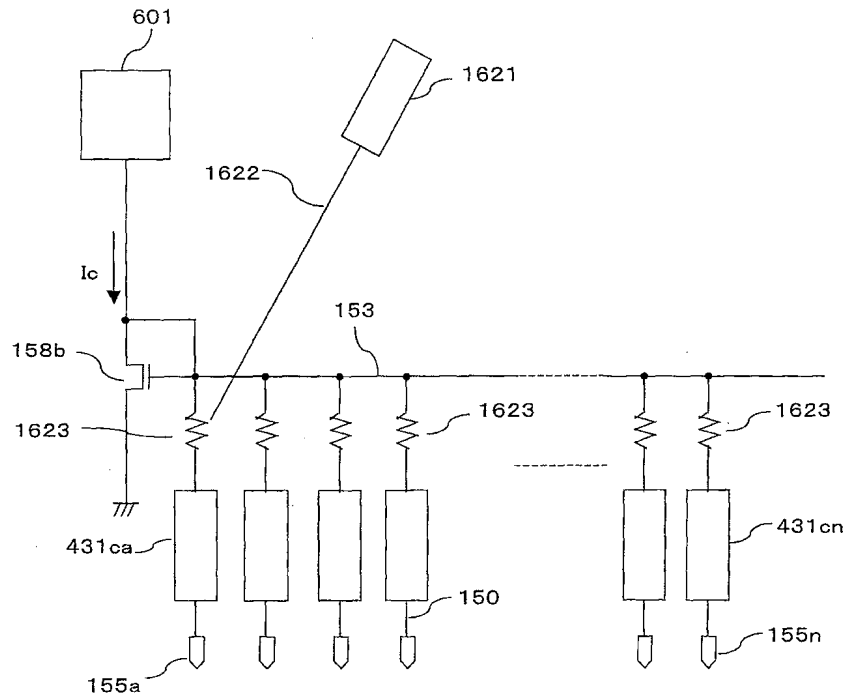
도면160



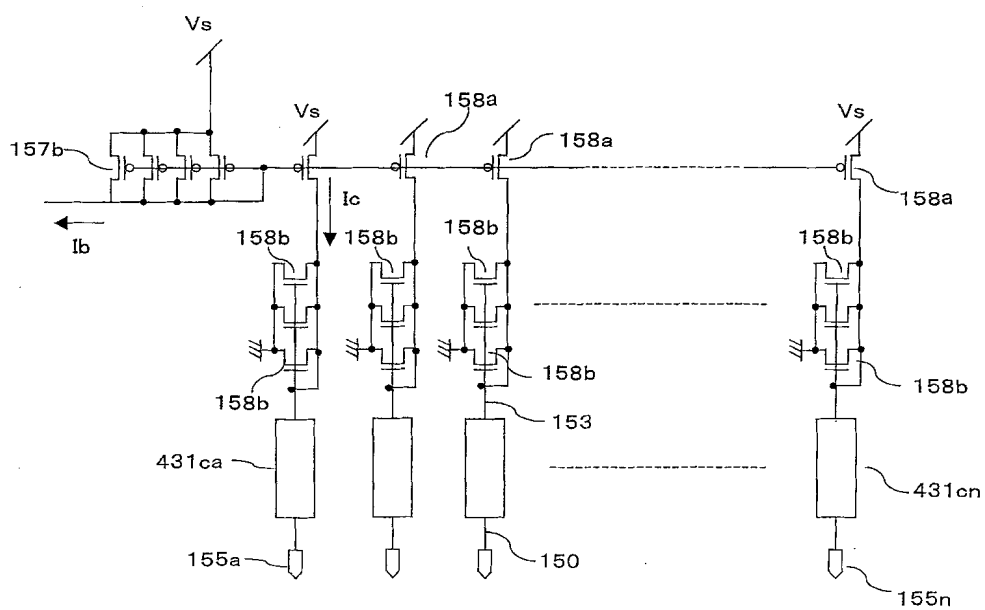
도면161



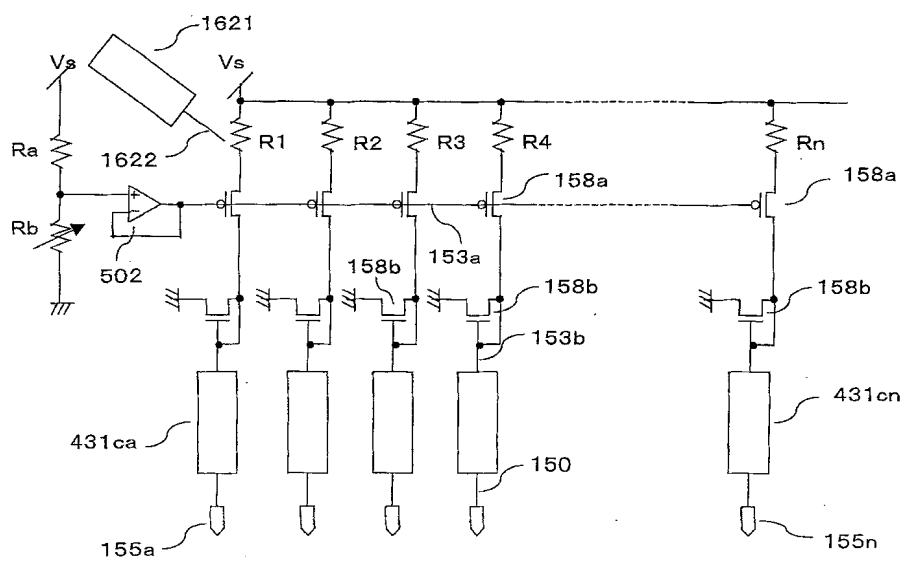
도면162



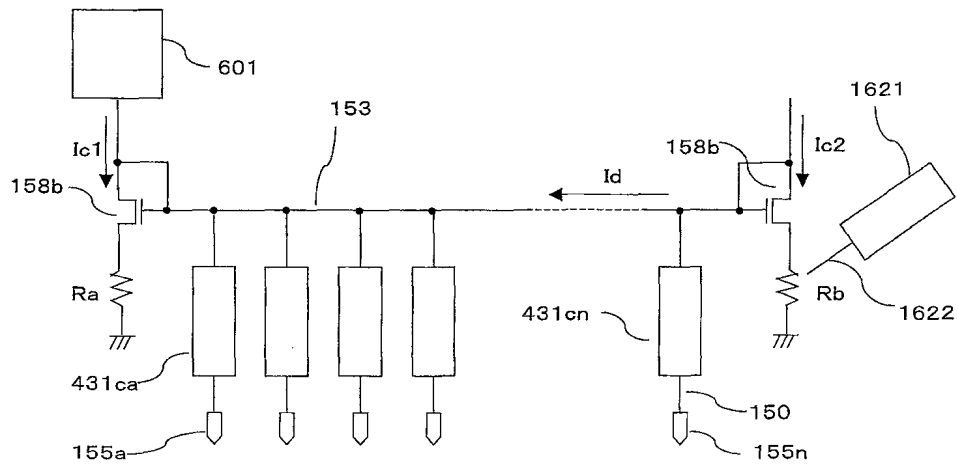
도면163



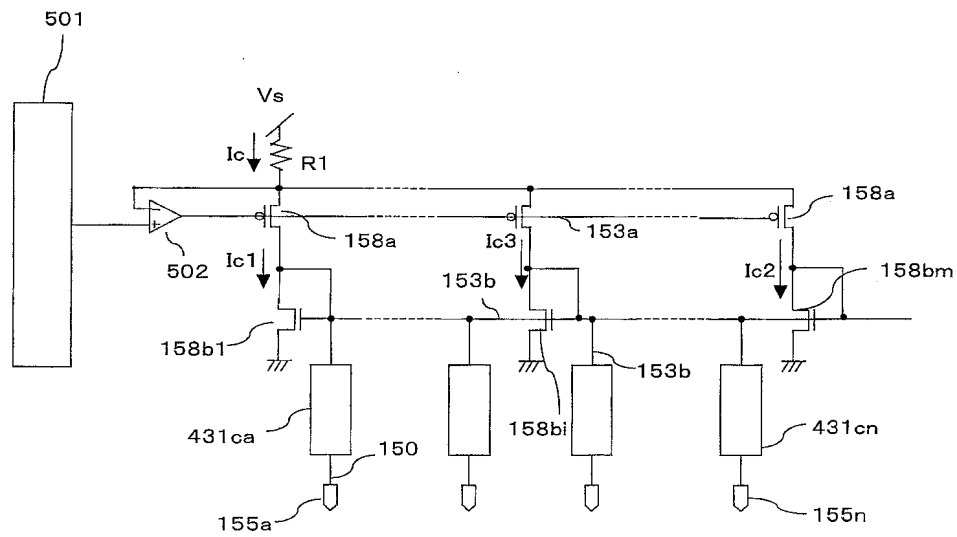
도면164



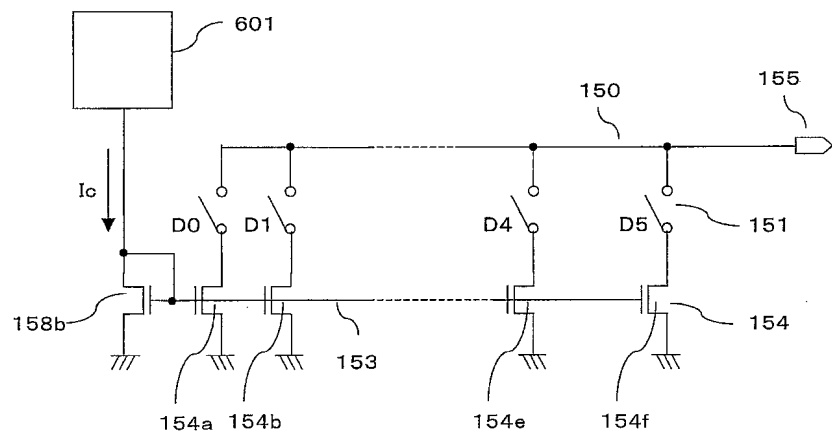
도면165



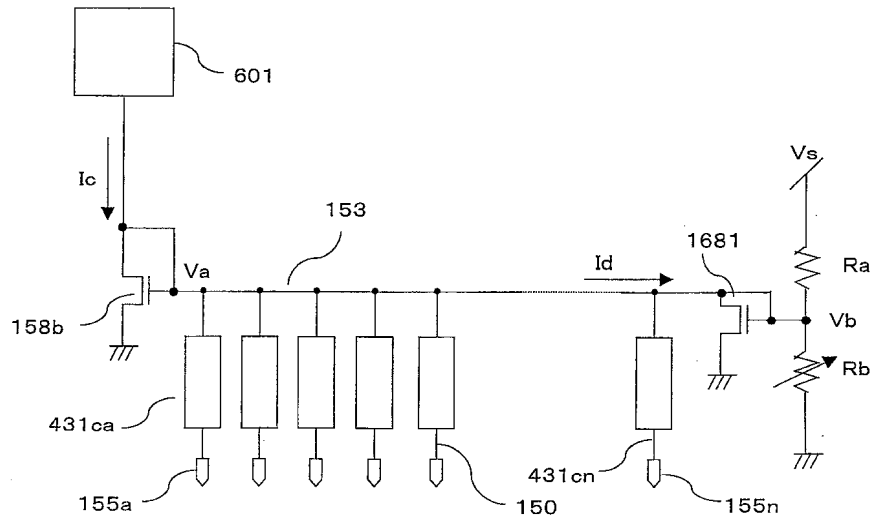
도면166



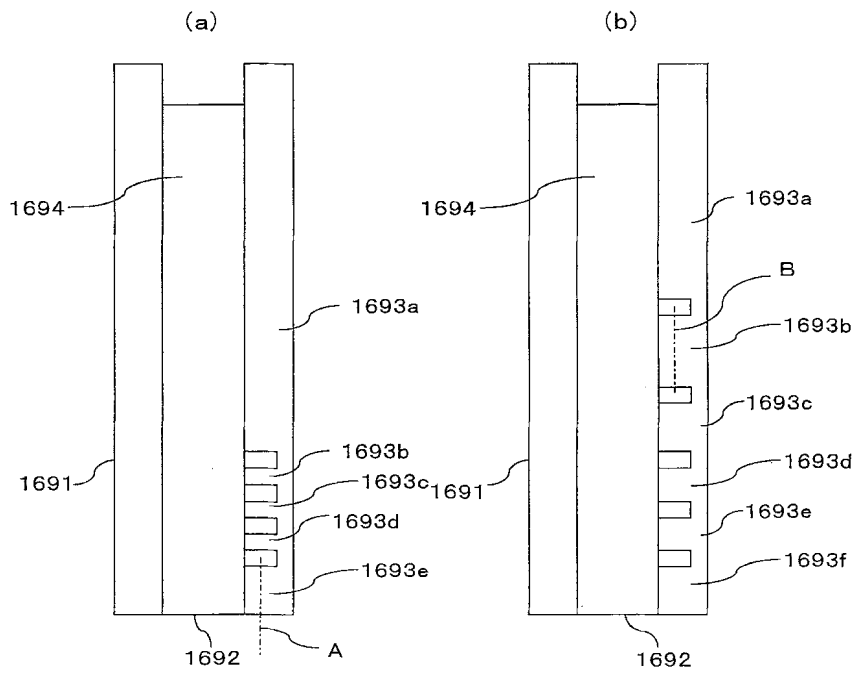
도면167



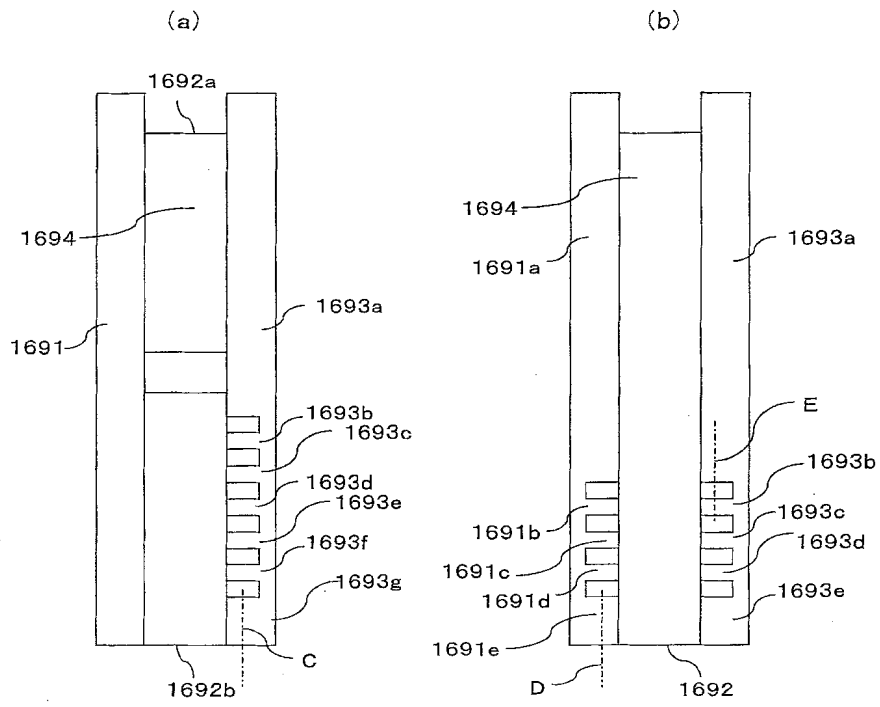
도면168



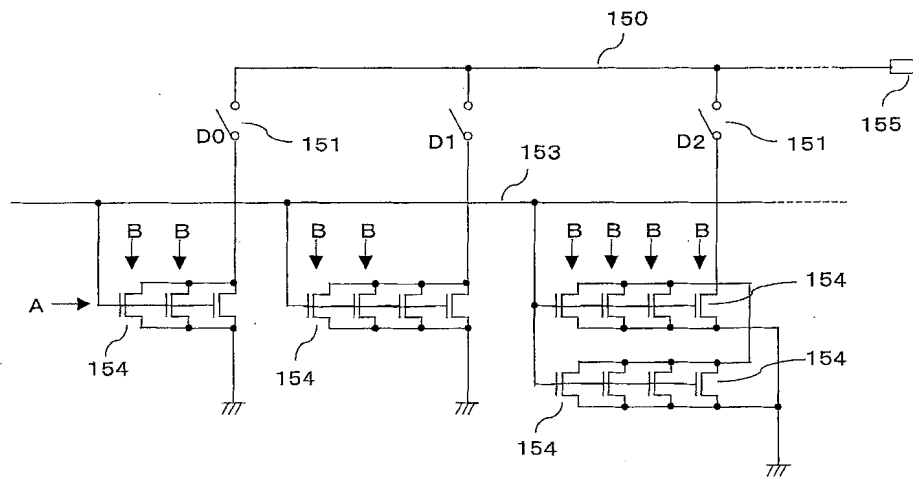
도면169



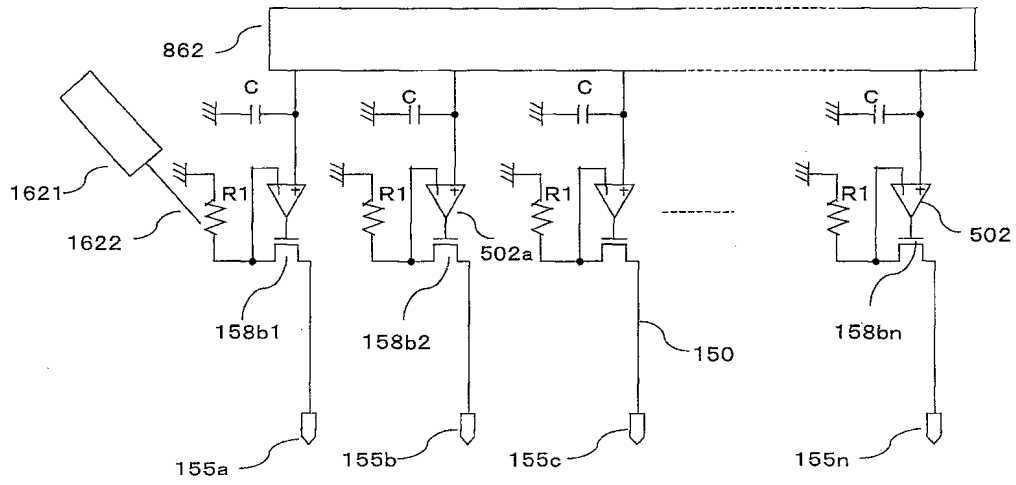
도면170



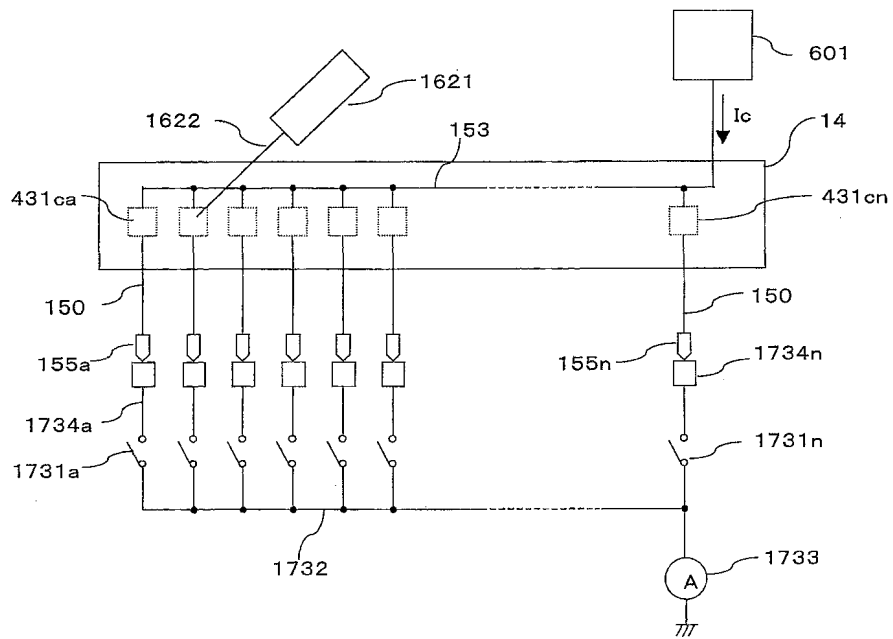
도면171



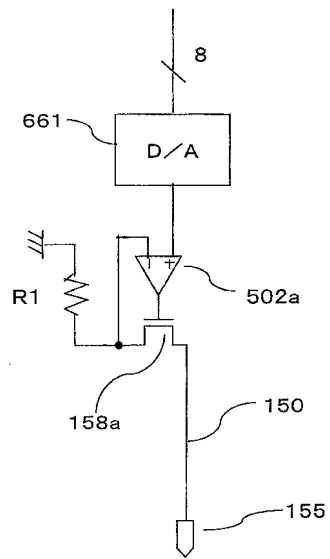
도면172



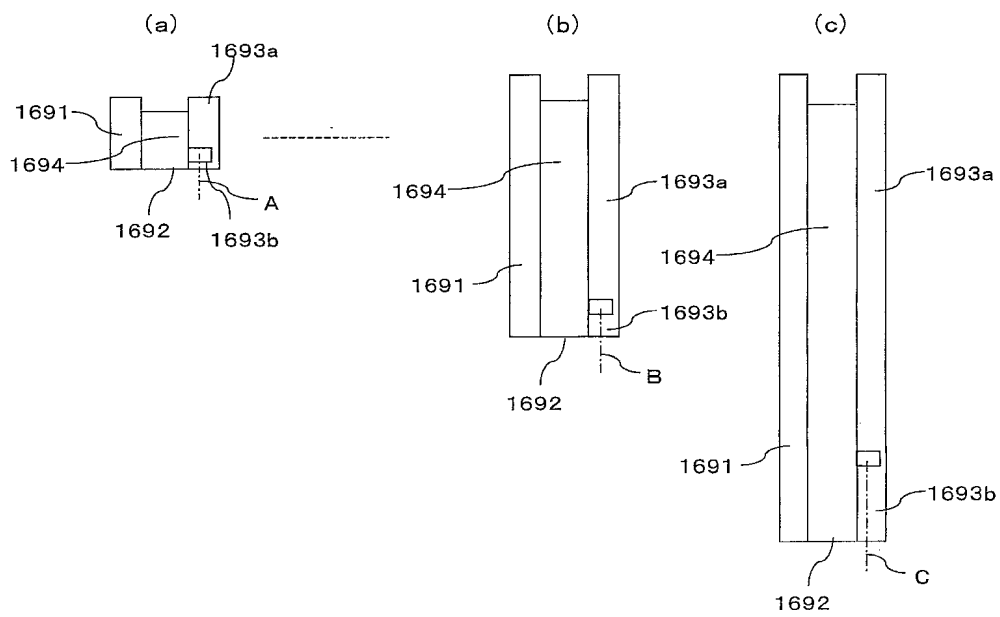
도면173



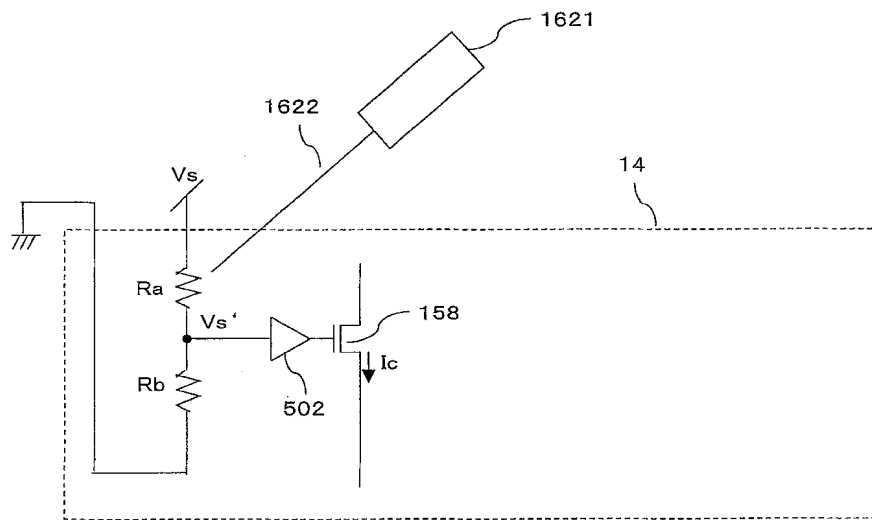
도면174



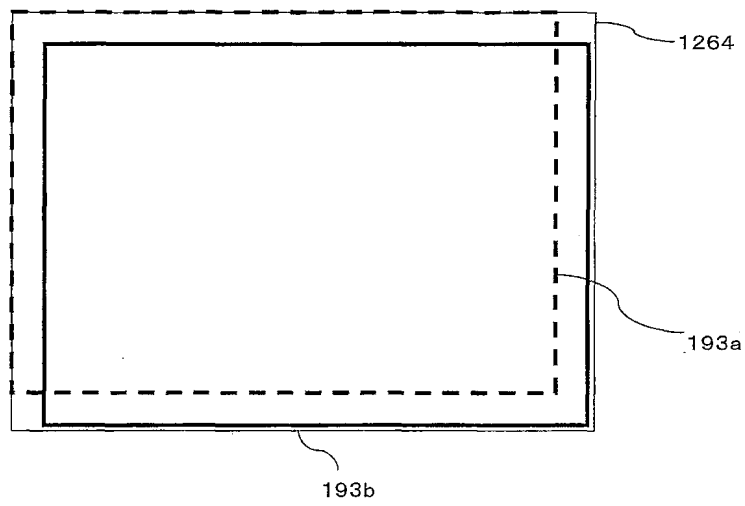
도면175



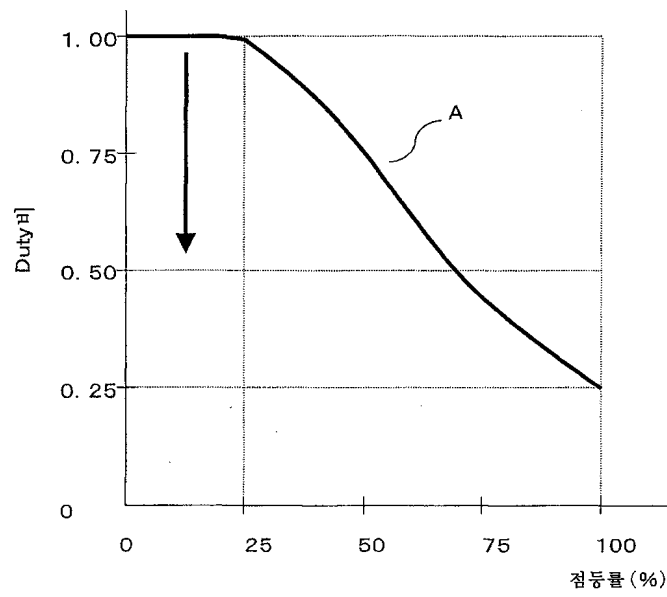
도면176



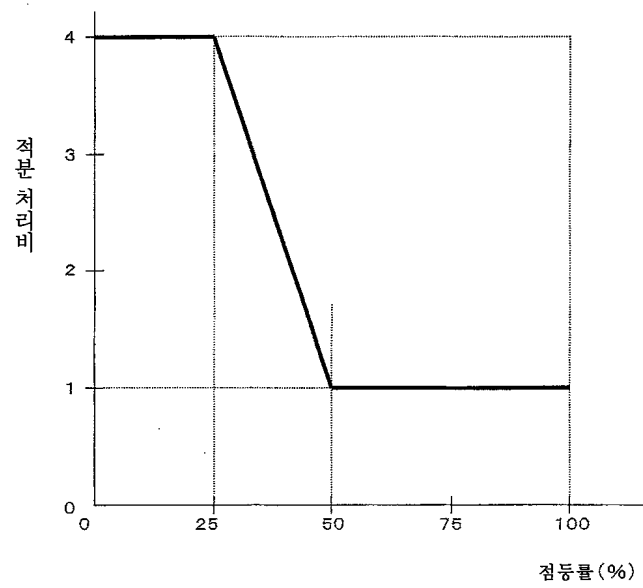
도면177



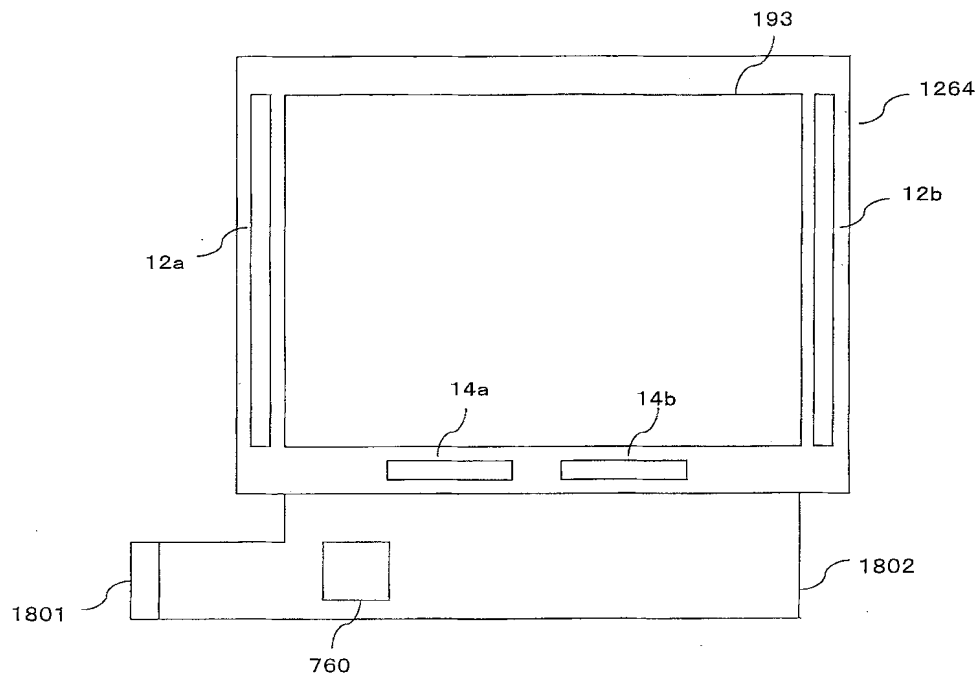
도면178



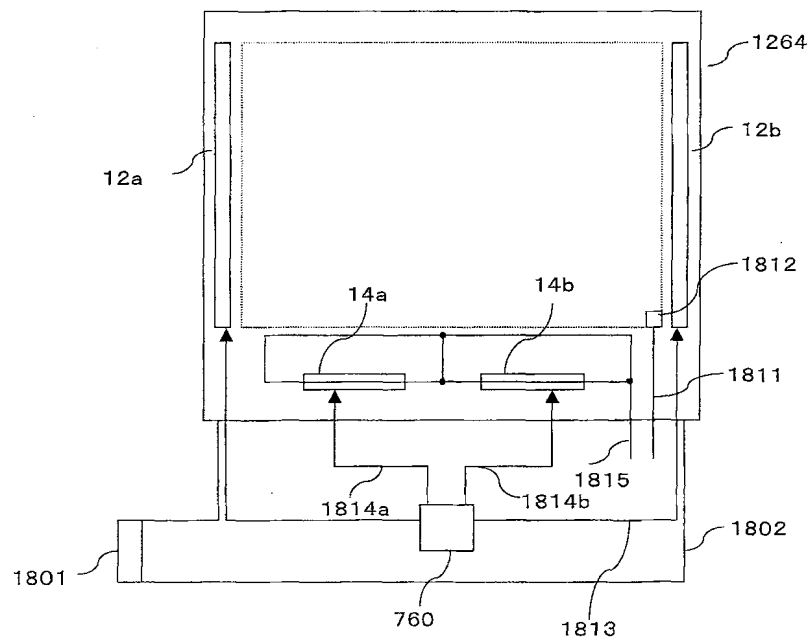
도면179



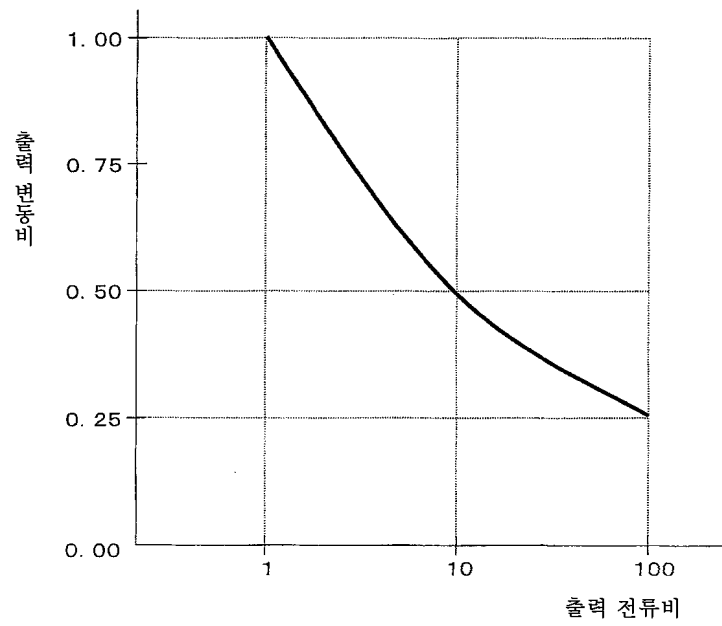
도면180



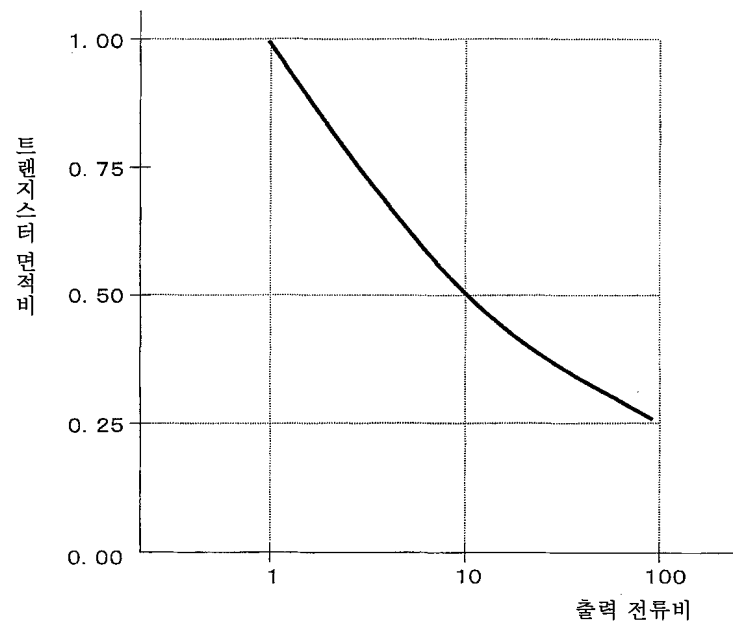
도면181



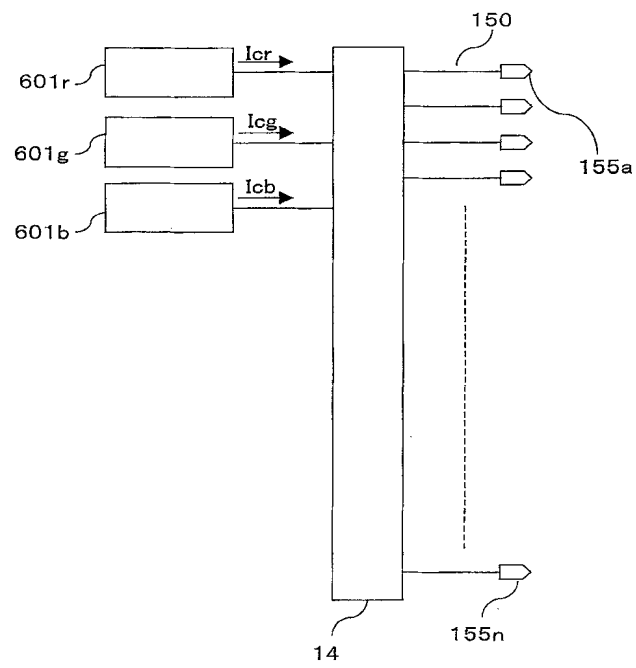
도면182



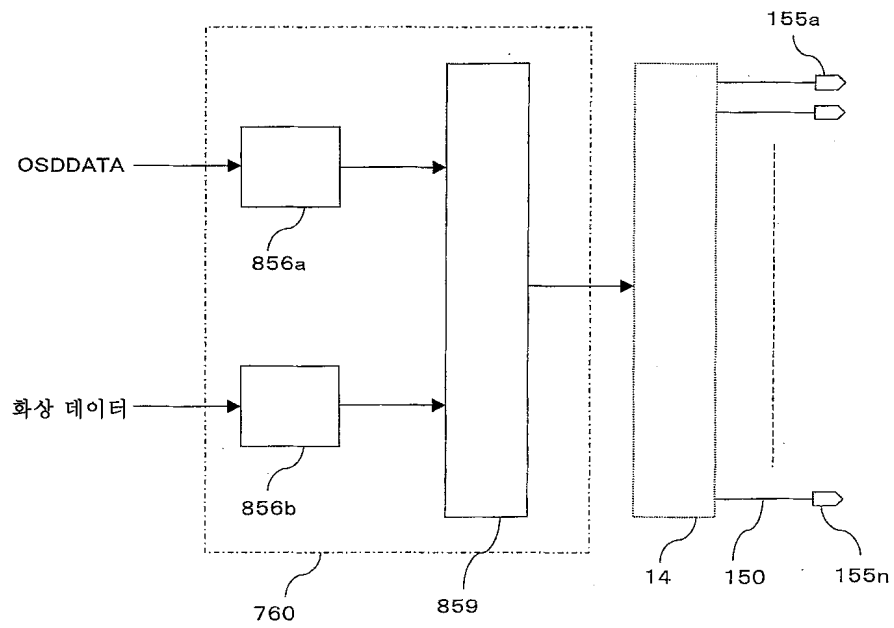
도면183



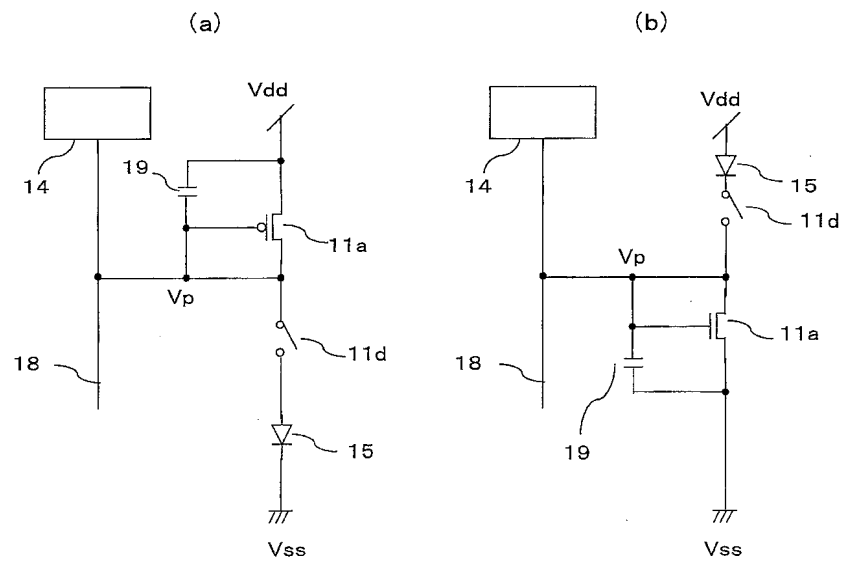
도면184



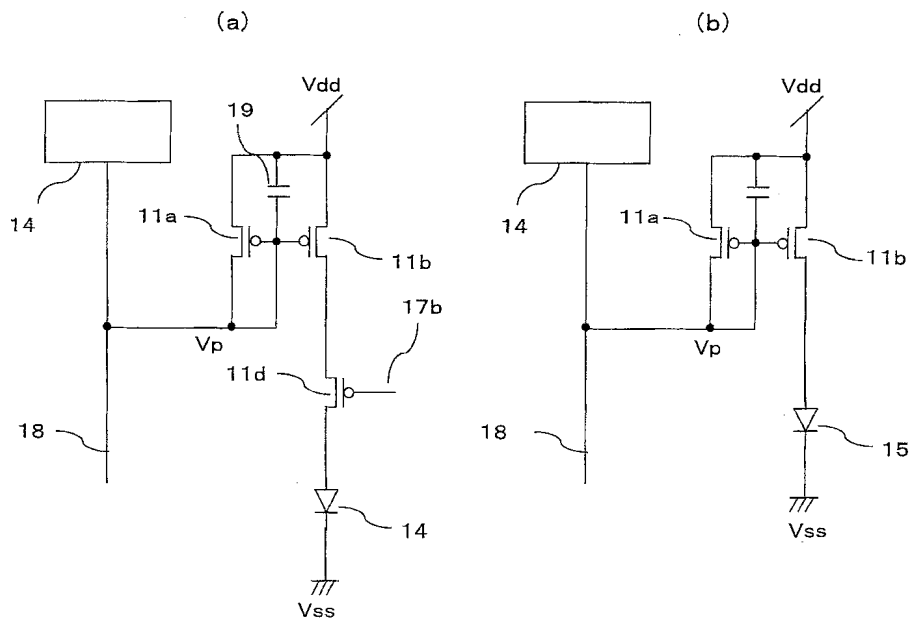
도면185



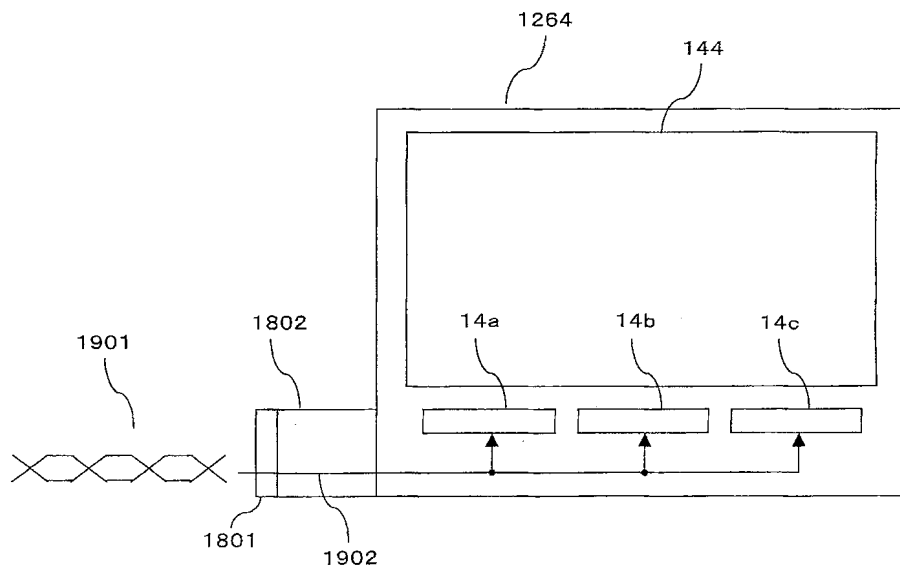
도면186



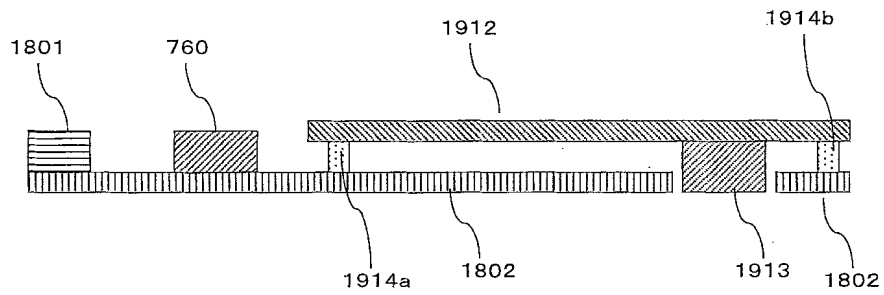
도면187



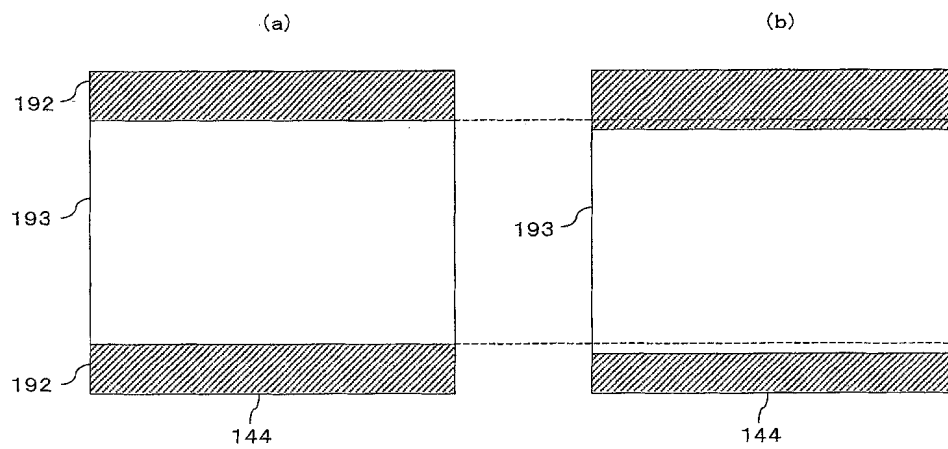
도면190



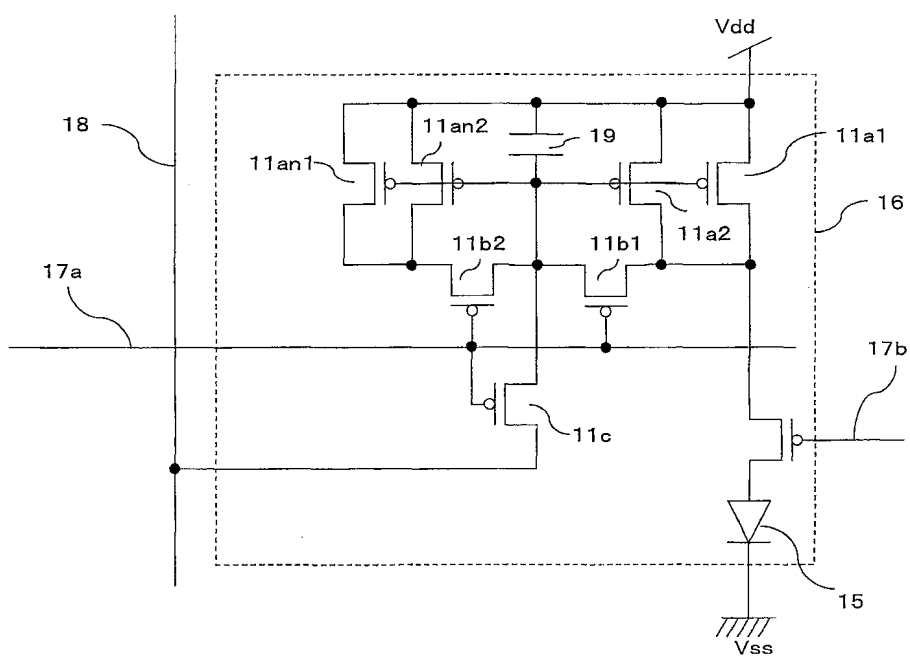
도면191



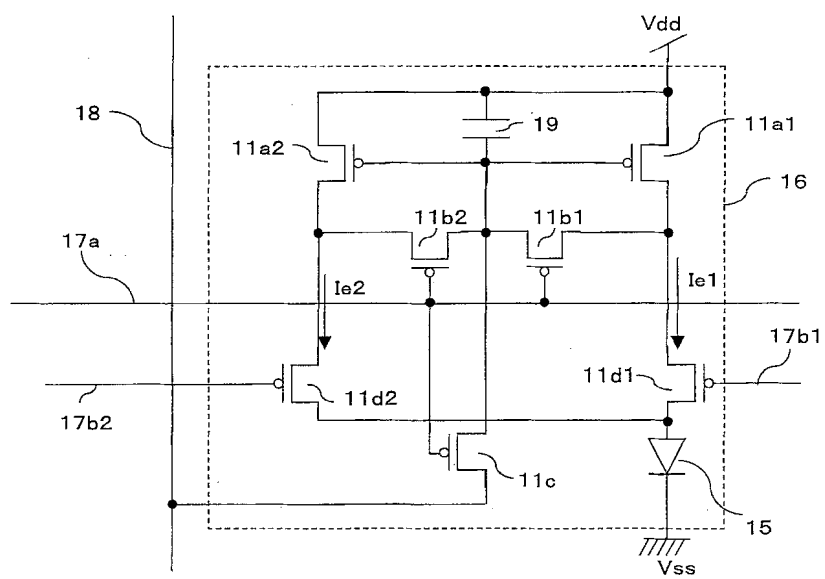
도면192



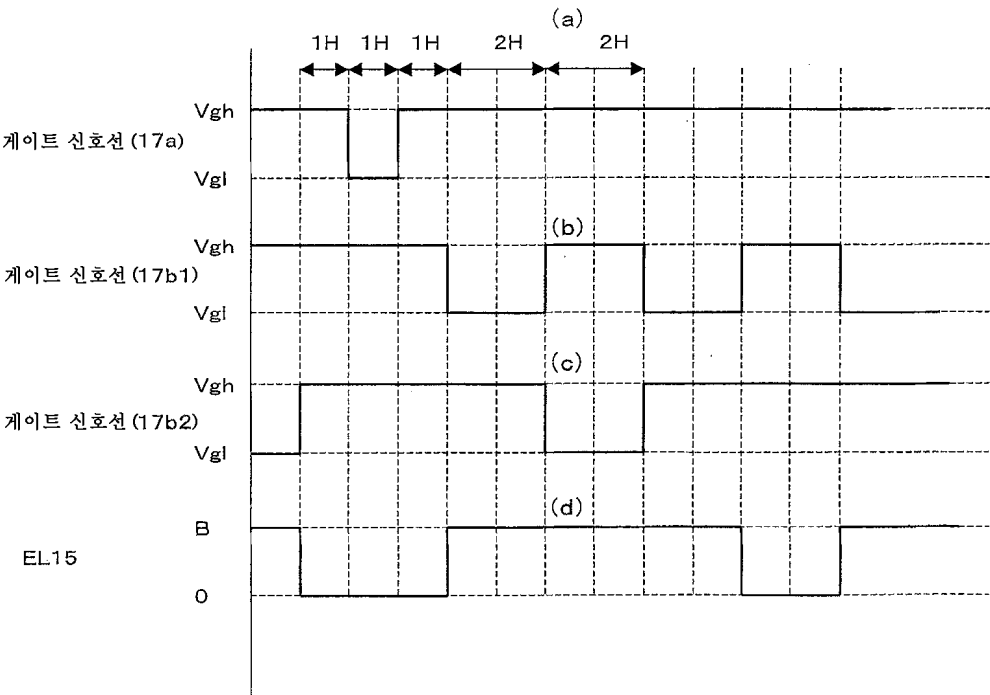
도면193



도면194

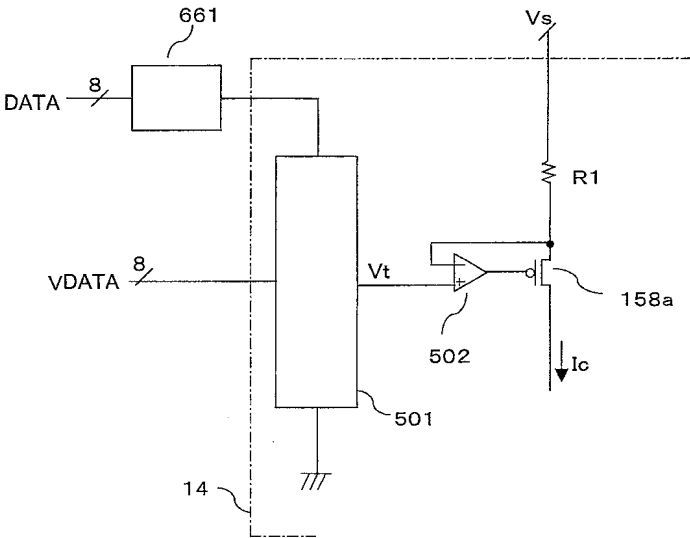


도면195

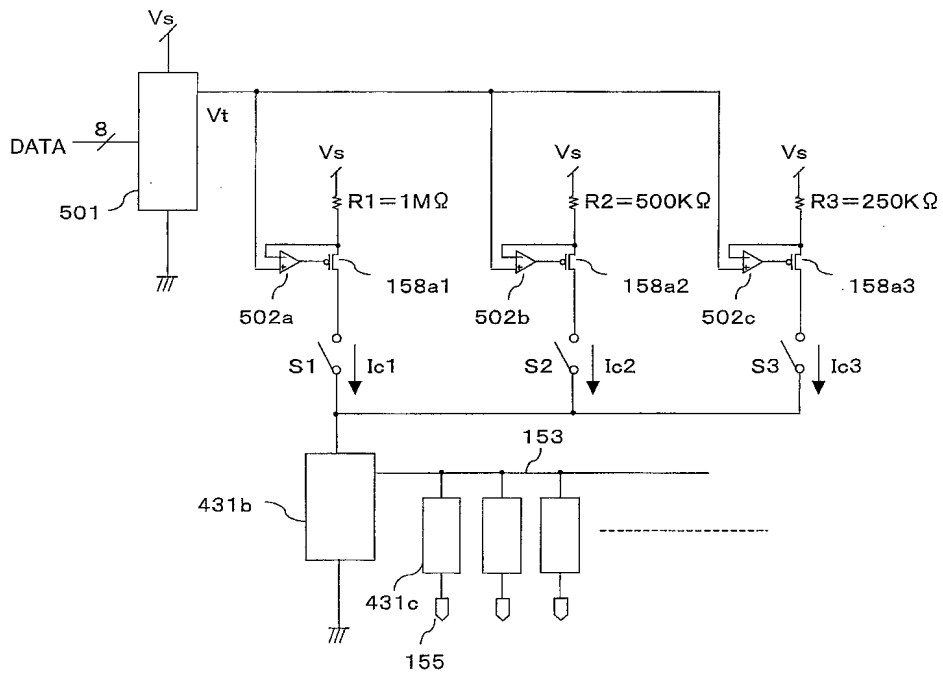


도면196

외부로부터 기준 전류를 변화시킨다

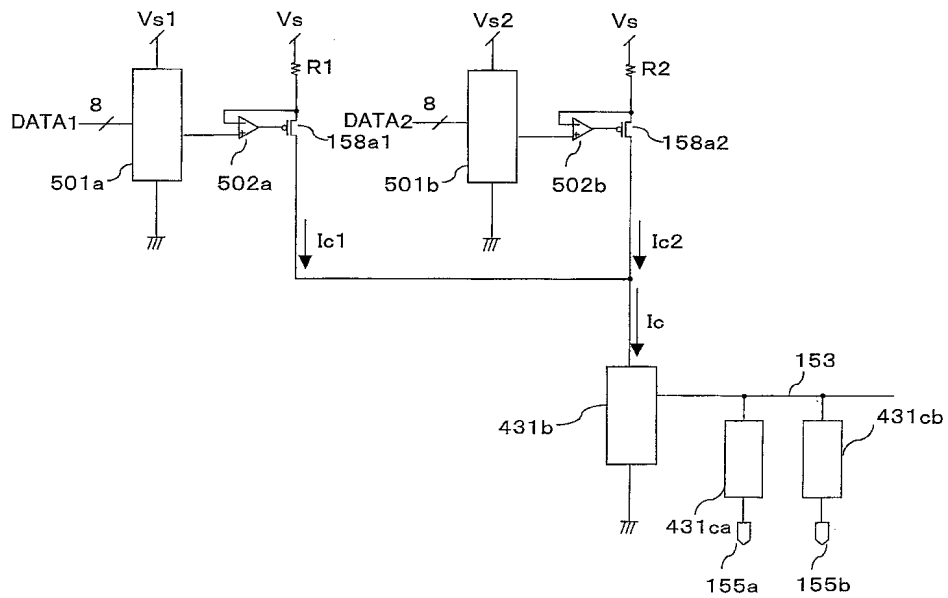


도면197

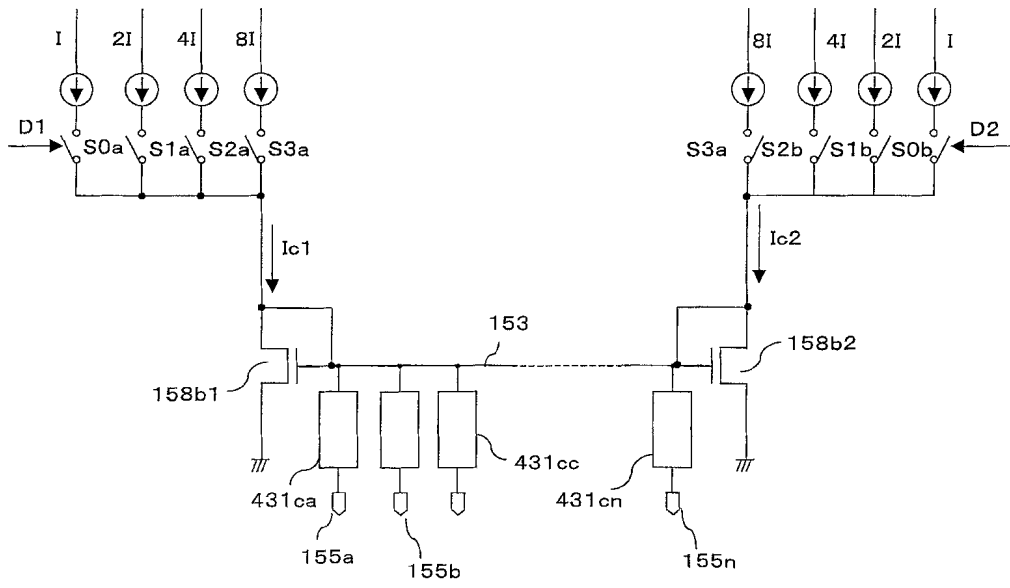


도면198

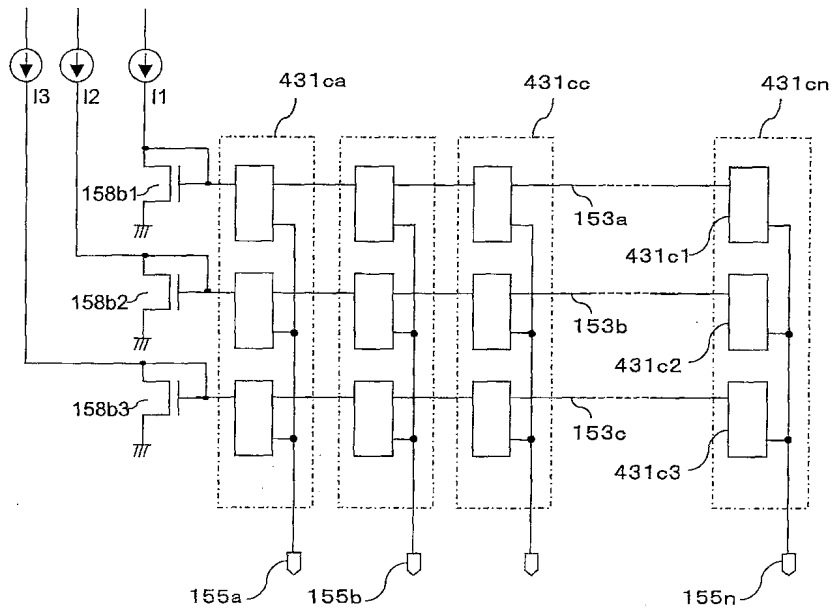
복수의 기준 전류를 이용한다



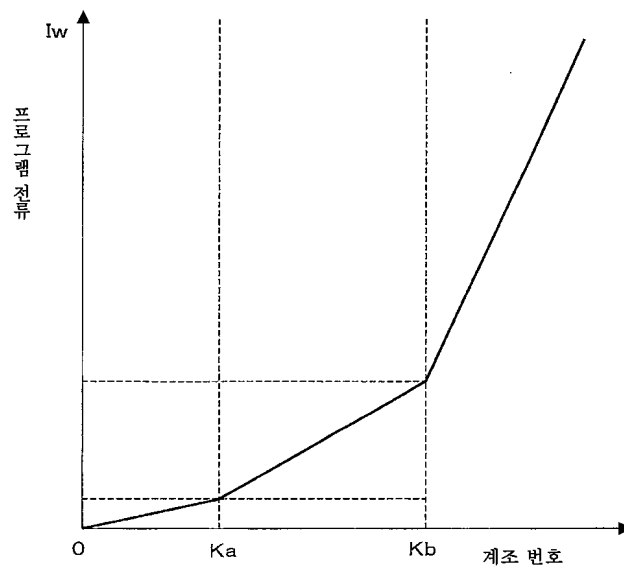
도면199



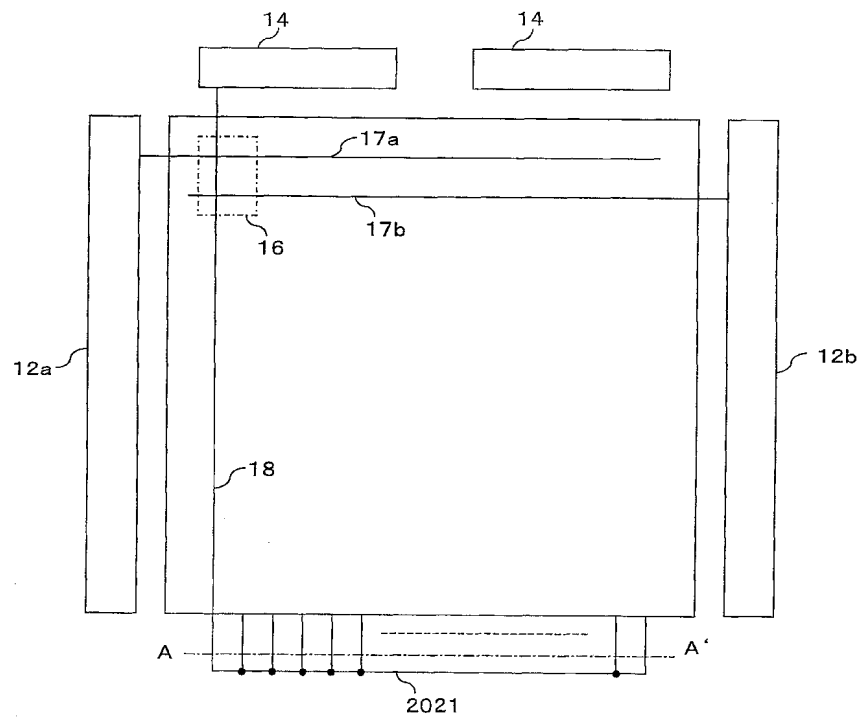
도면200



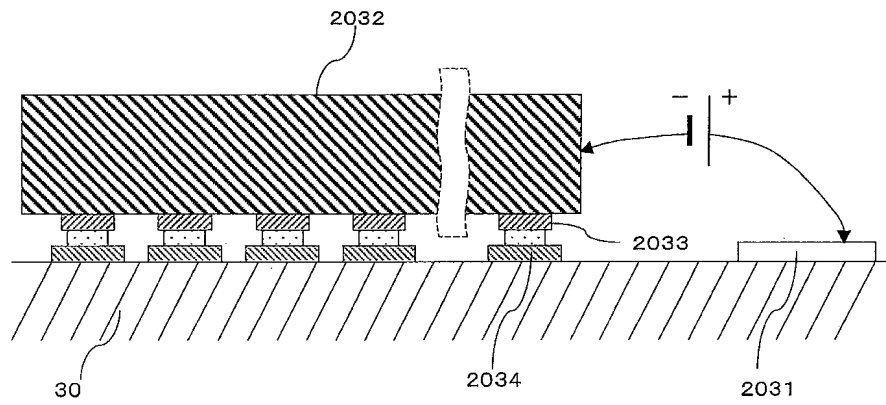
도면201



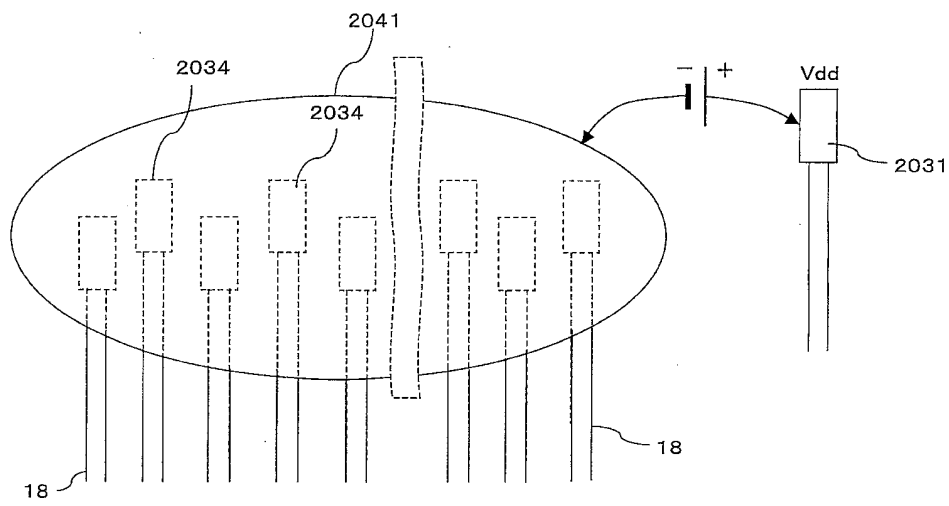
도면202



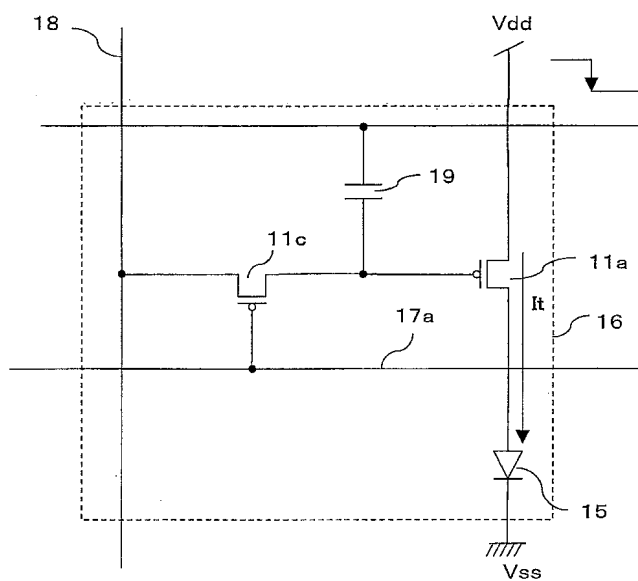
도면203



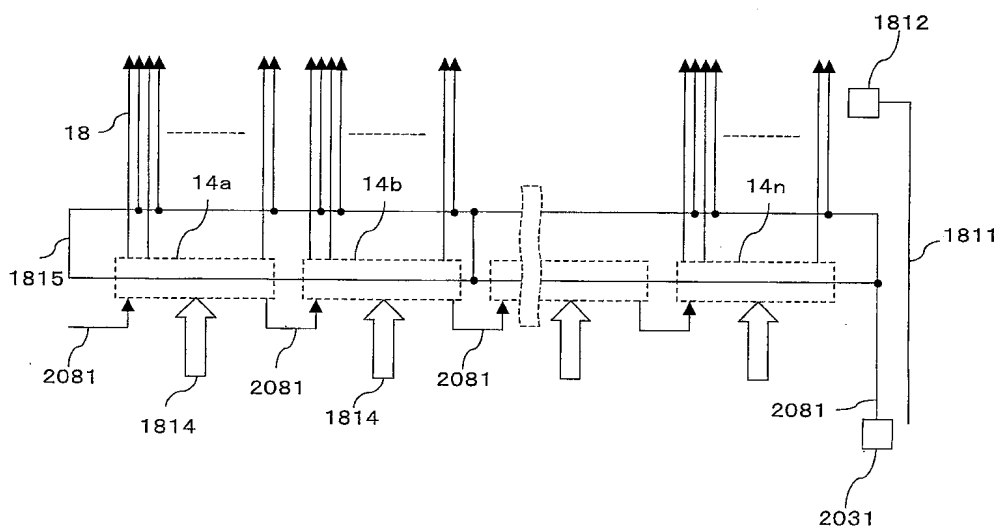
도면204



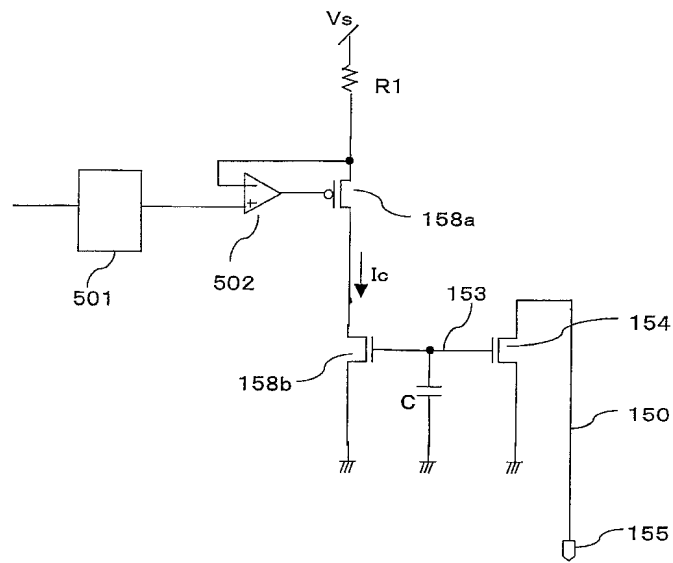
도면207



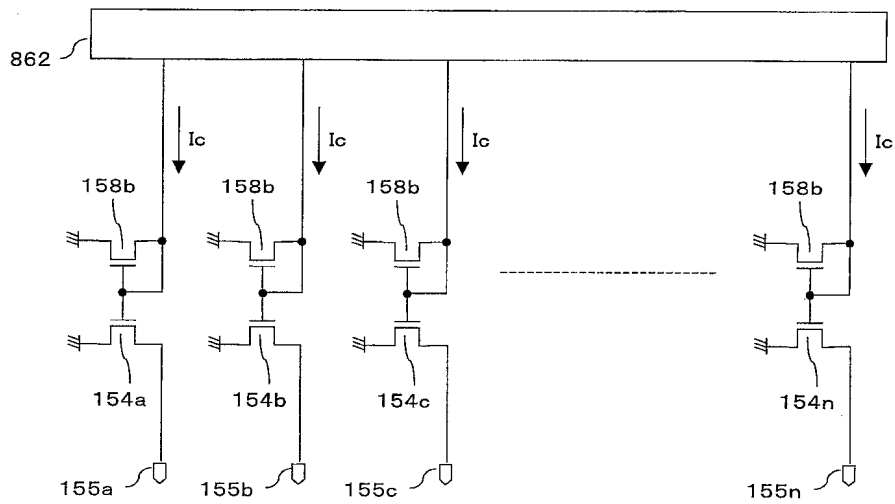
도면208



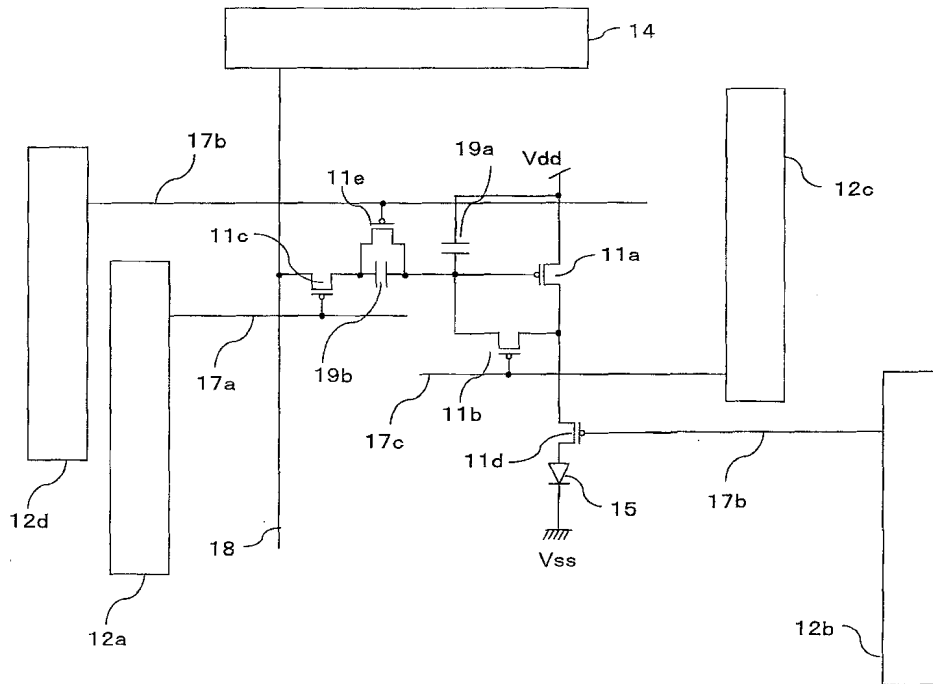
도면209



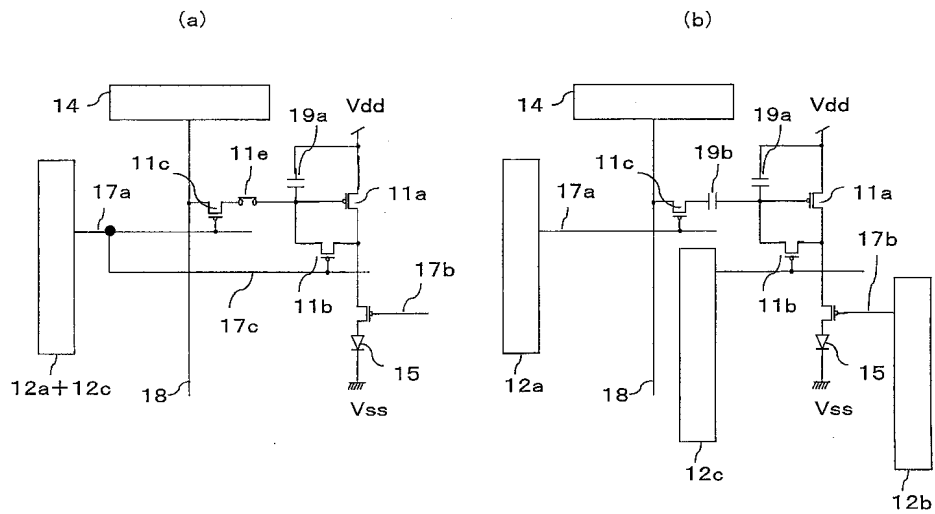
도면210



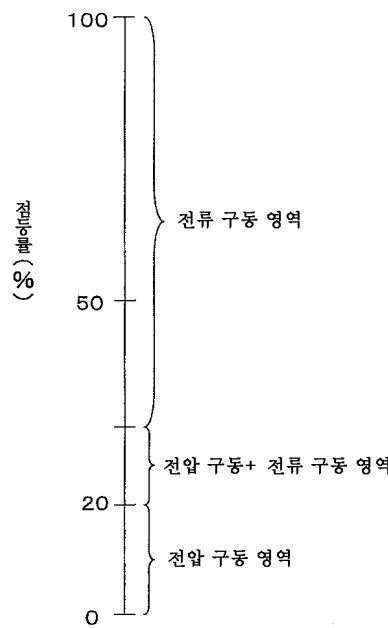
도면211



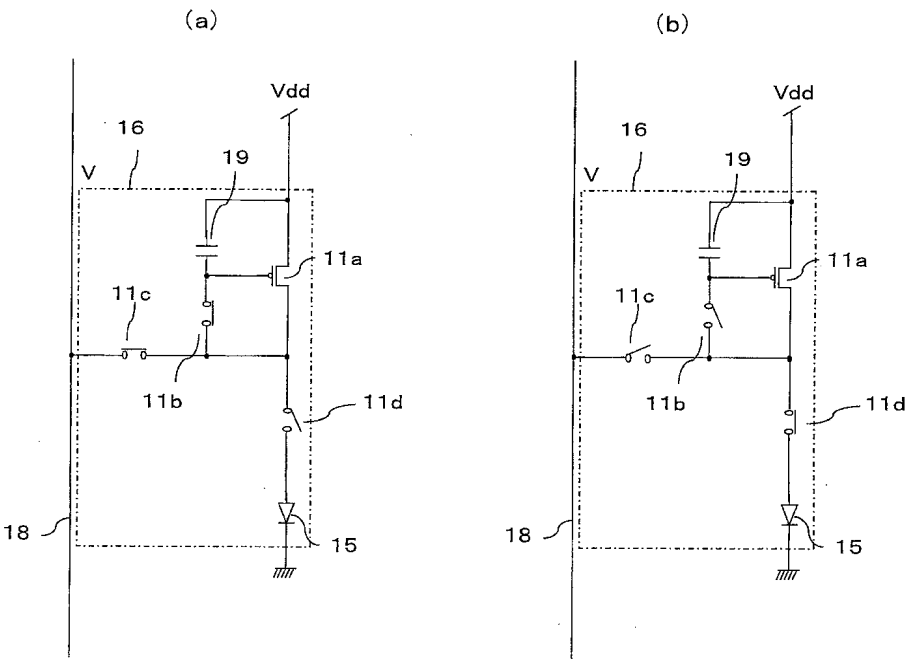
도면212



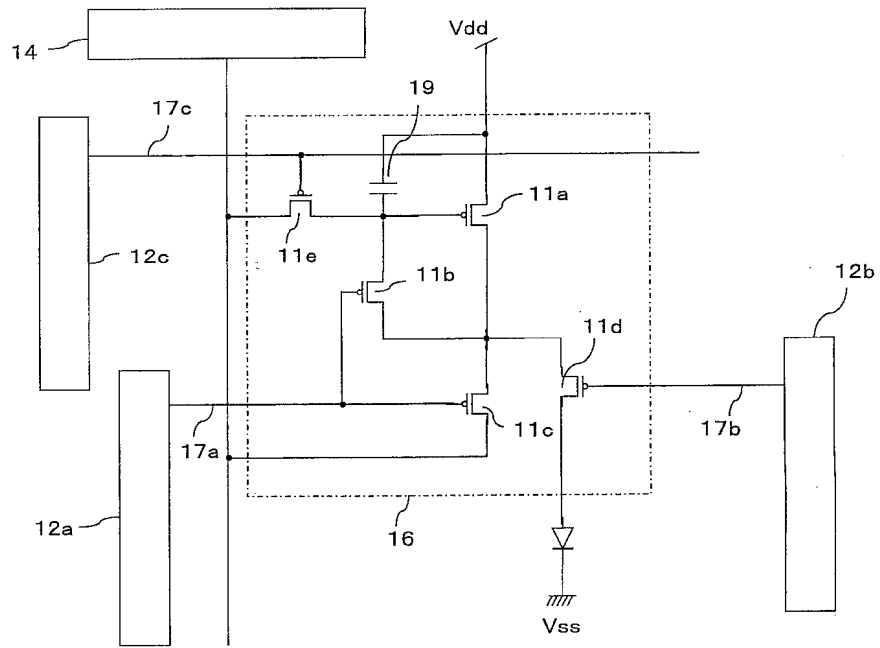
도면213



도면214



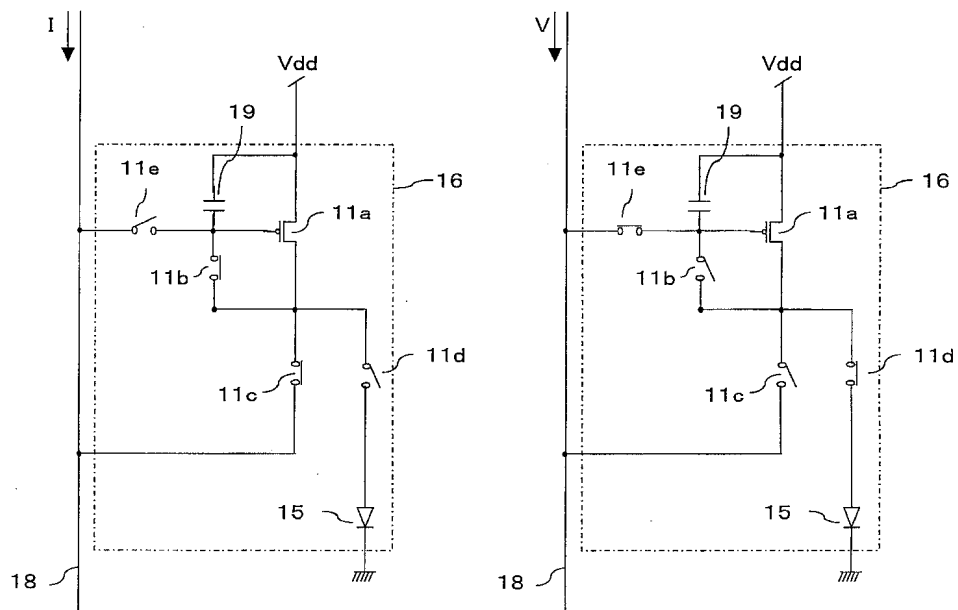
도면215



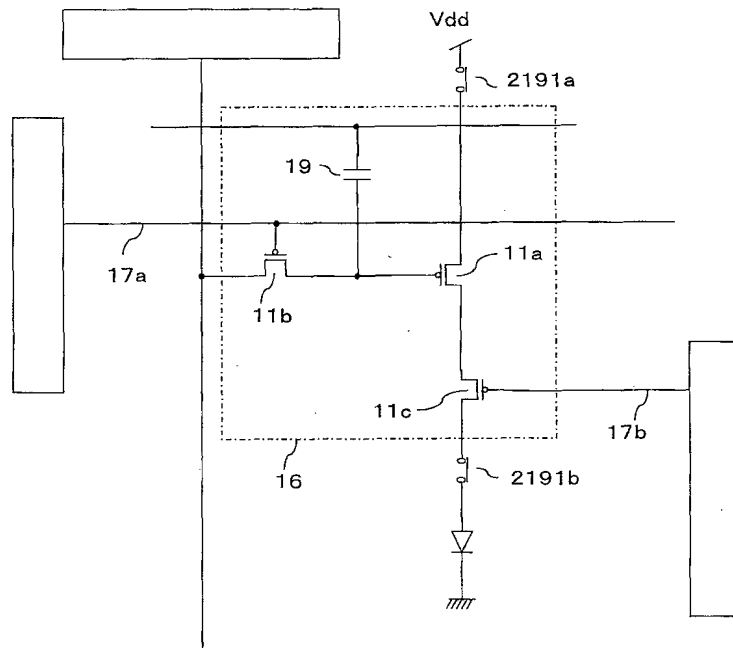
도면216

(a) 전류

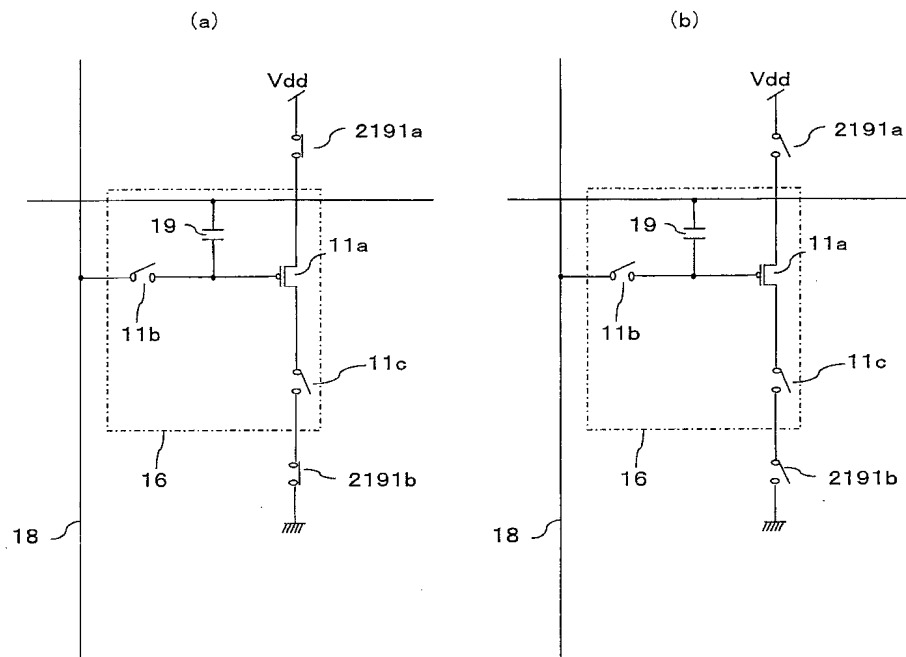
(b) 전압



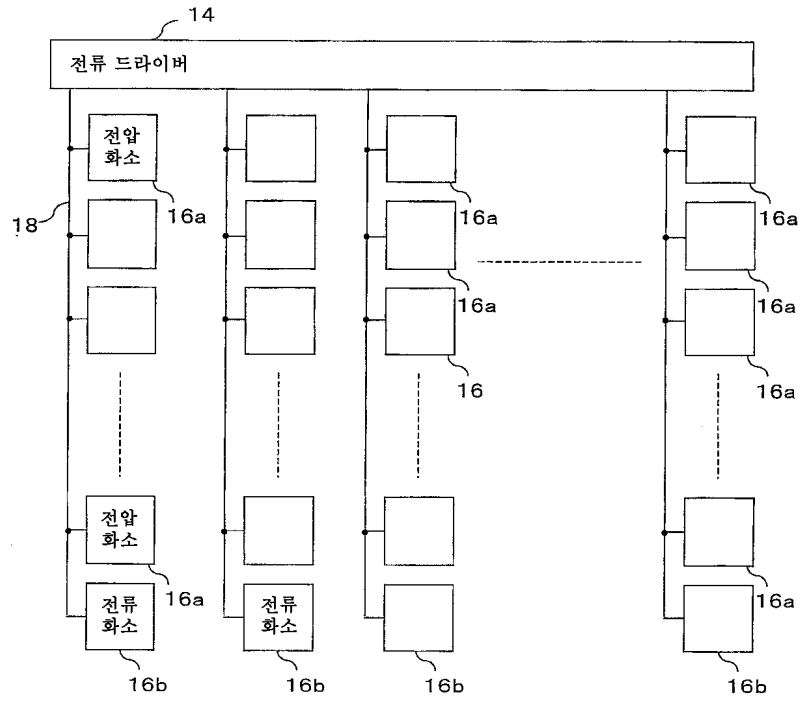
도면219



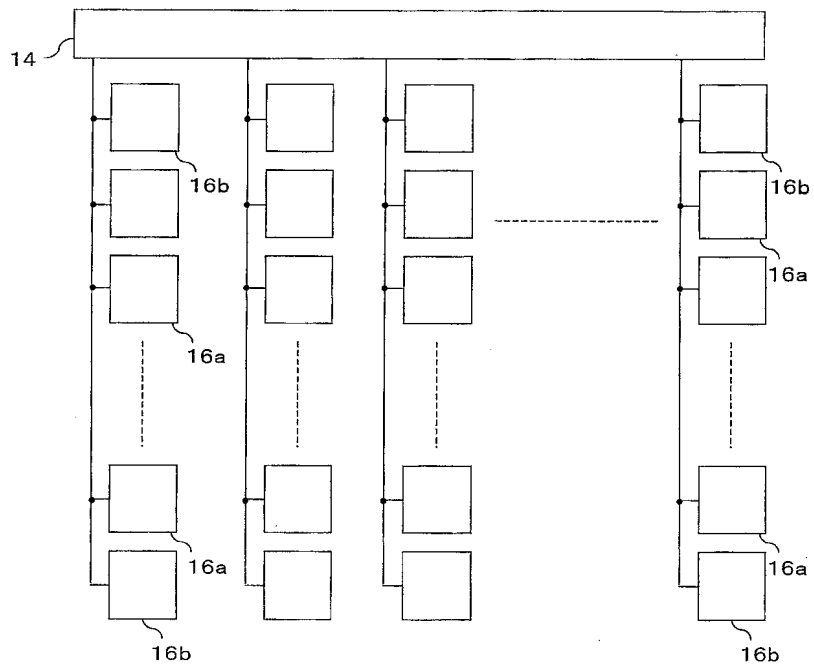
도면220



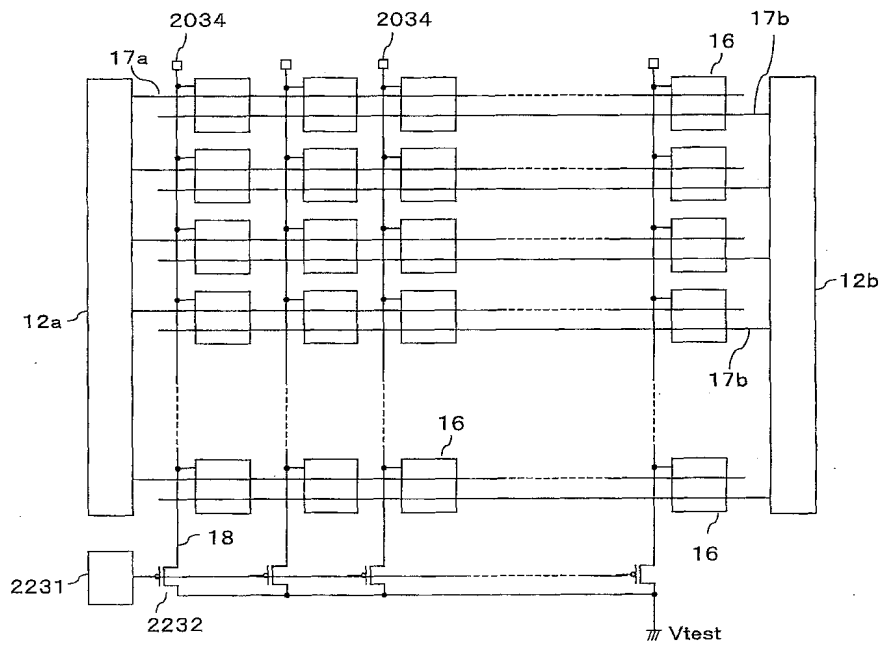
도면221



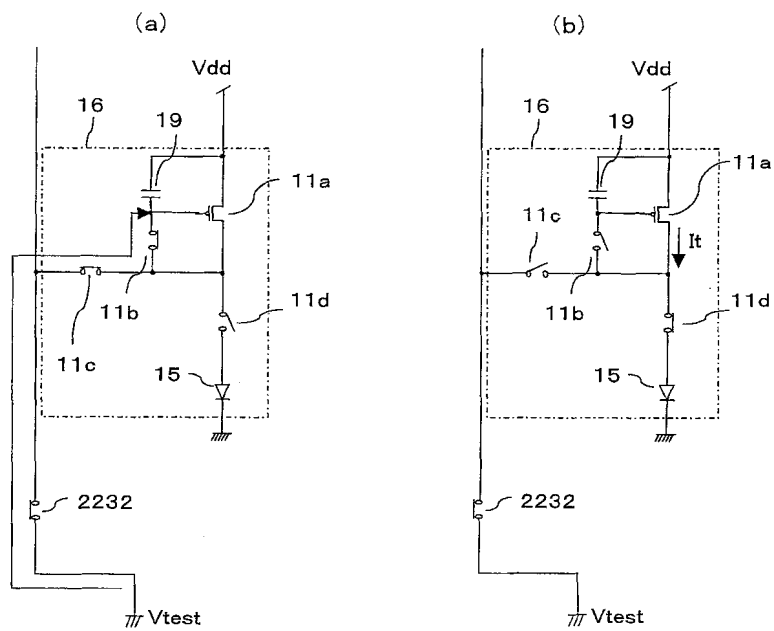
도면222



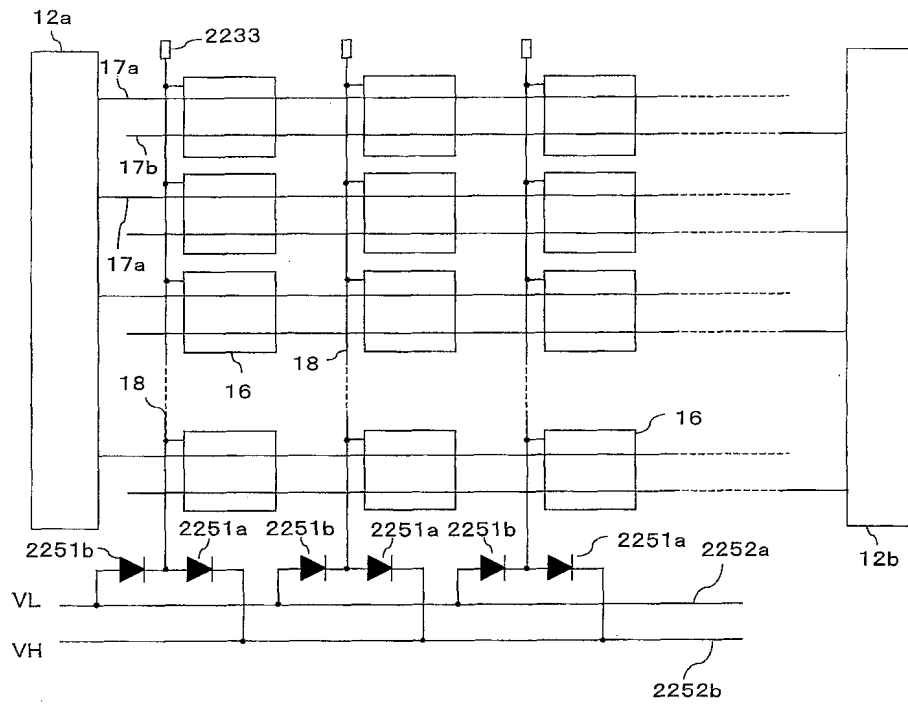
도면223



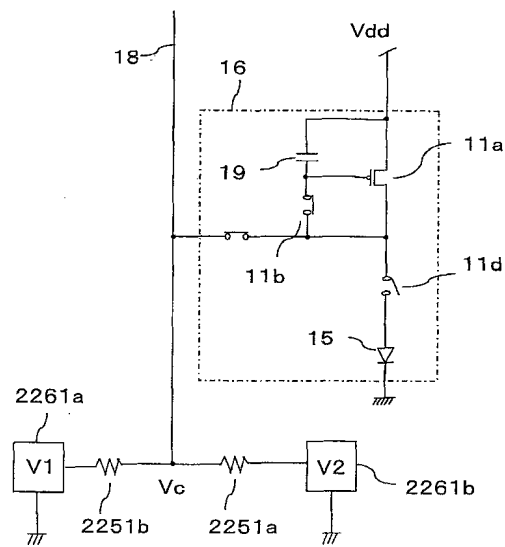
도면224



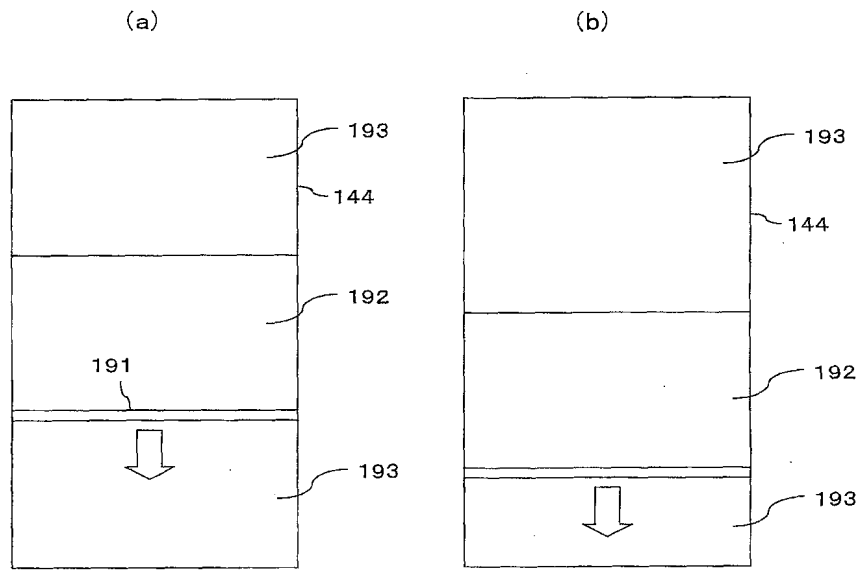
도면225



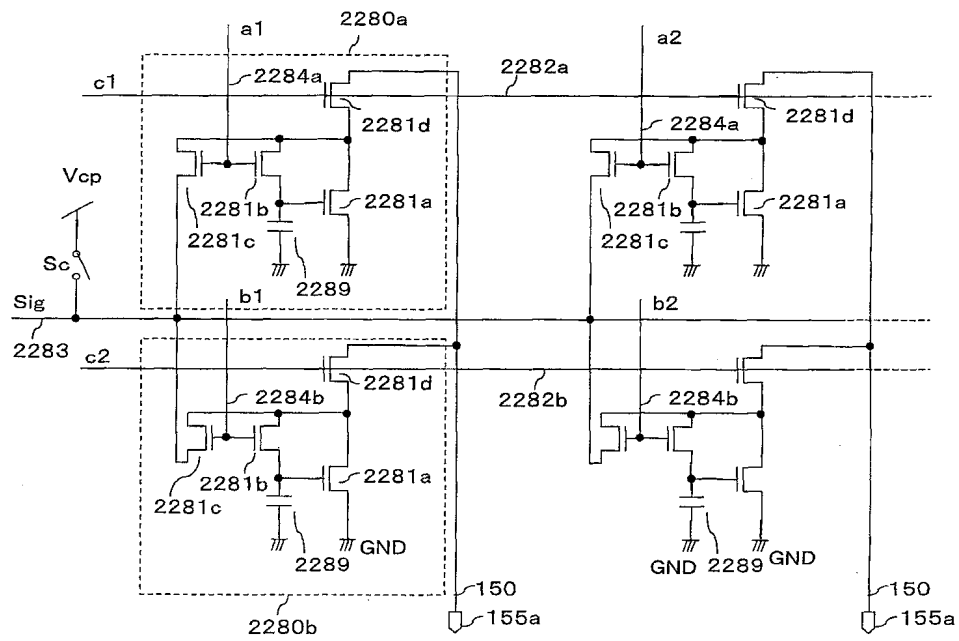
도면226



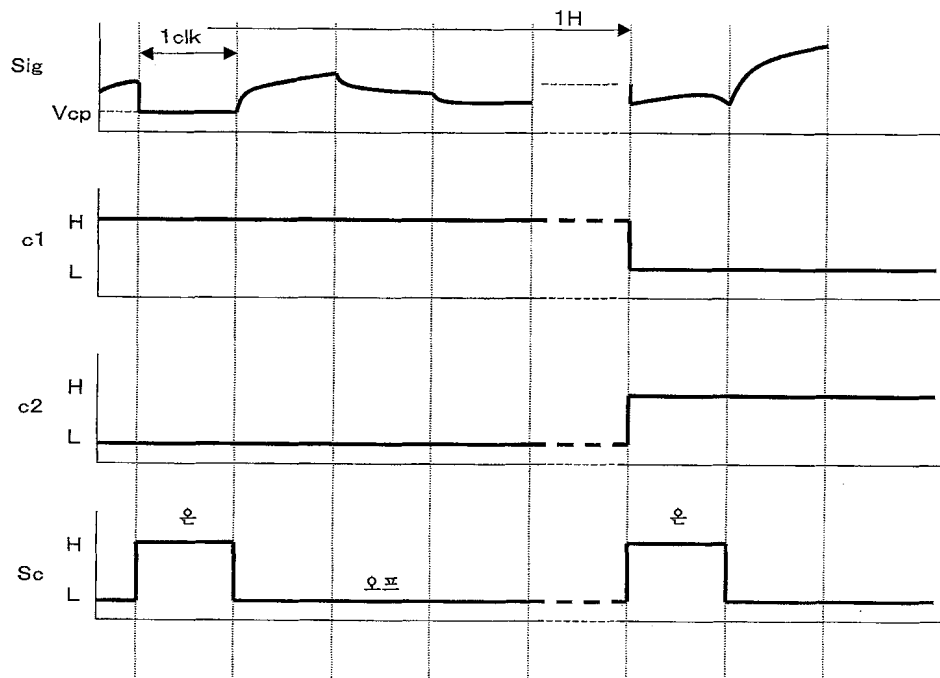
도면227



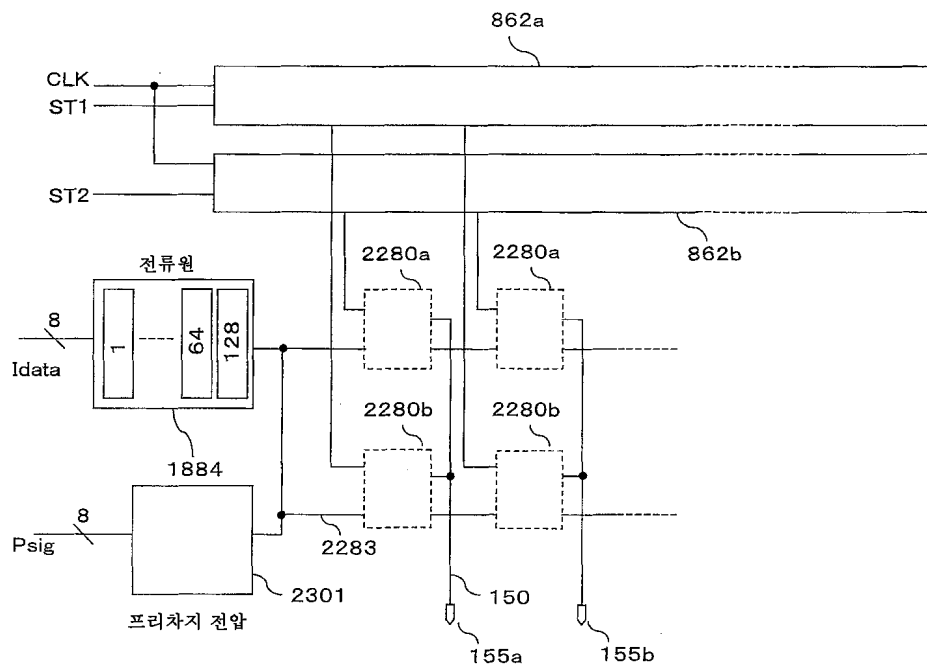
도면228



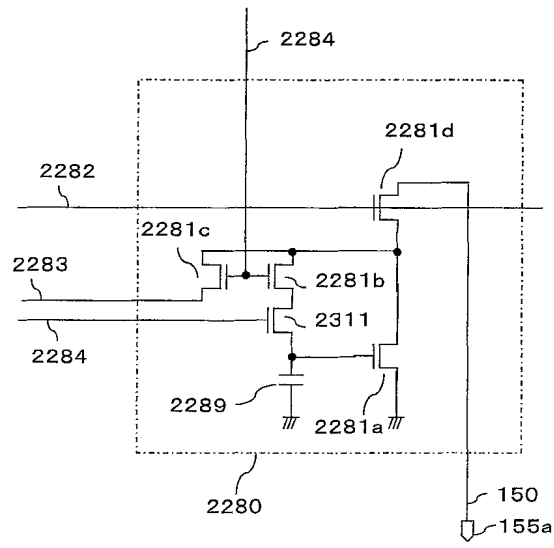
도면229



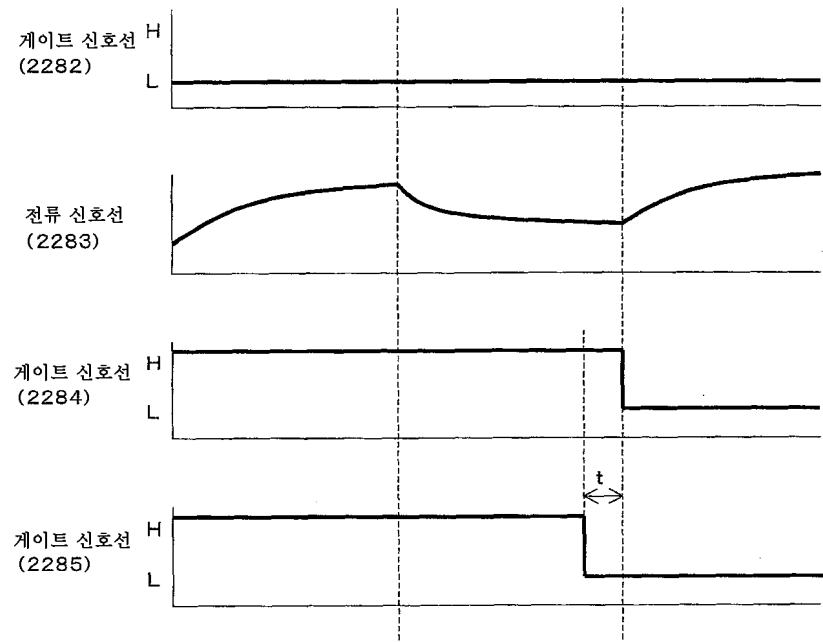
도면230



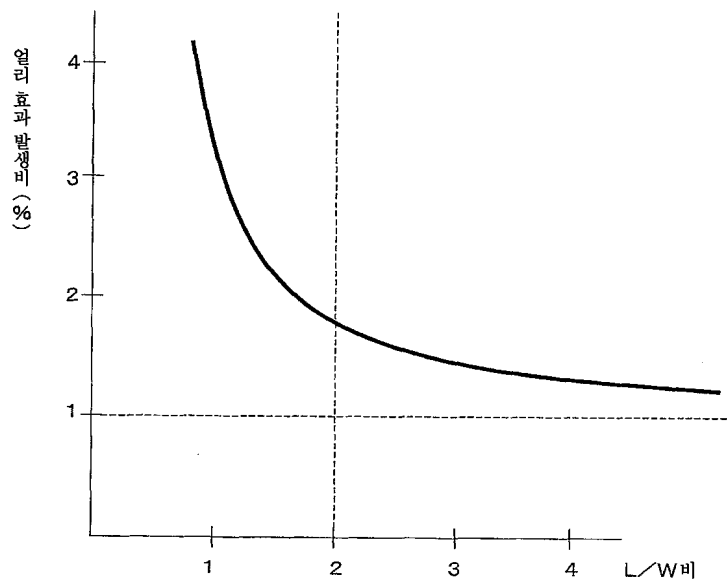
도면231



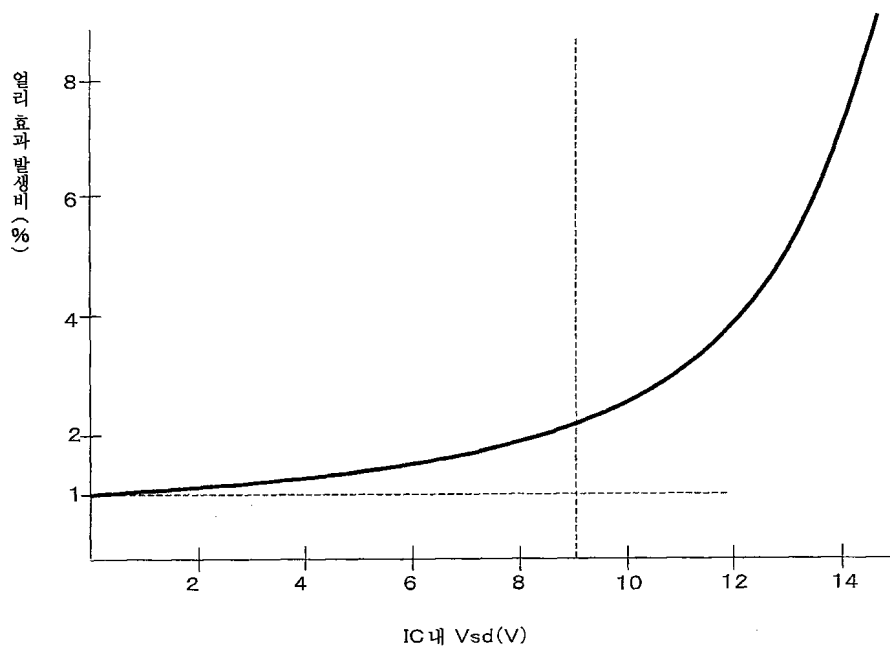
도면232



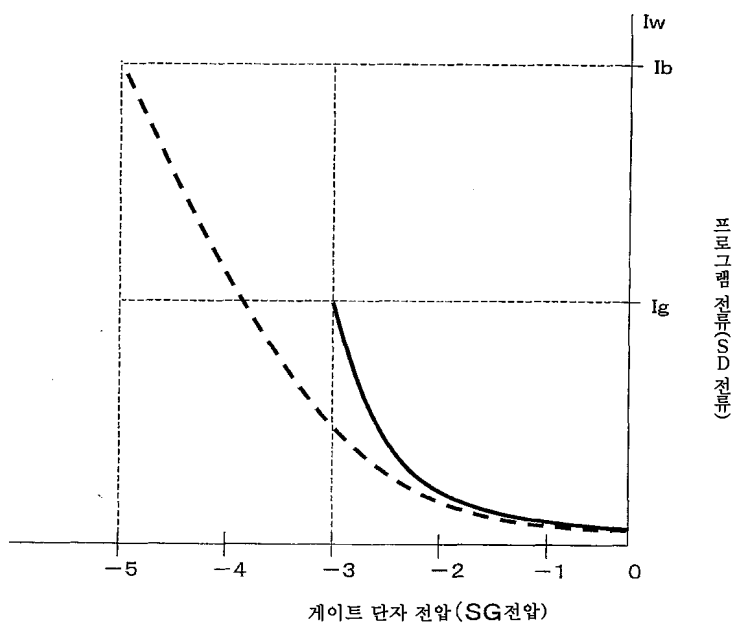
도면233



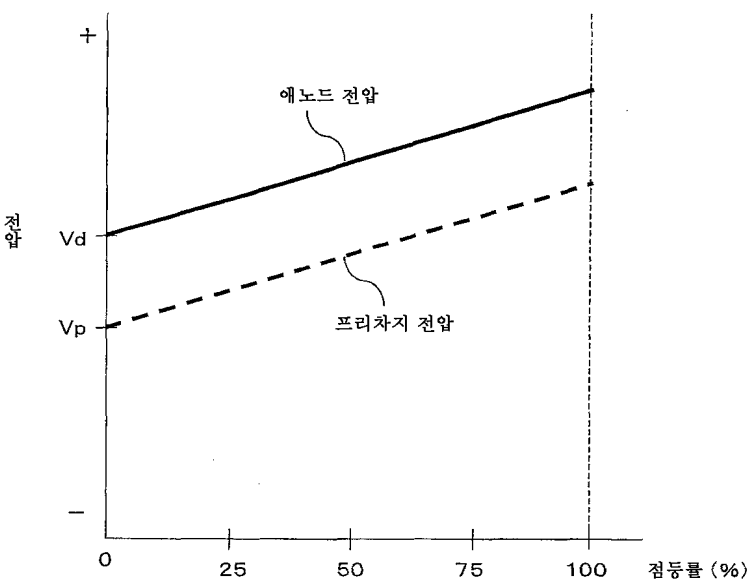
도면234



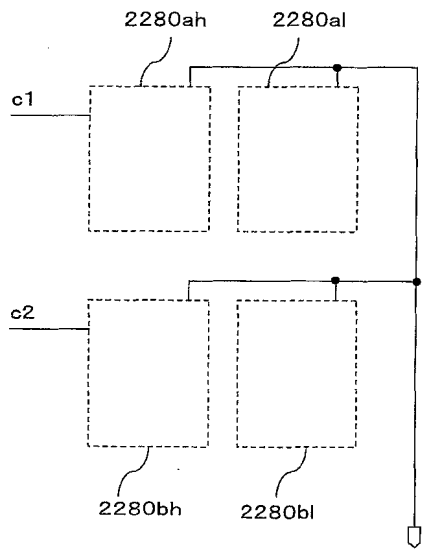
도면235



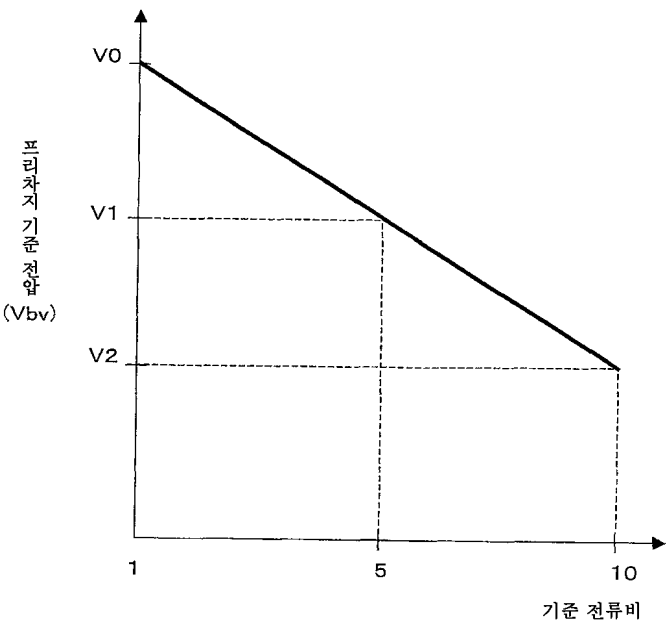
도면236



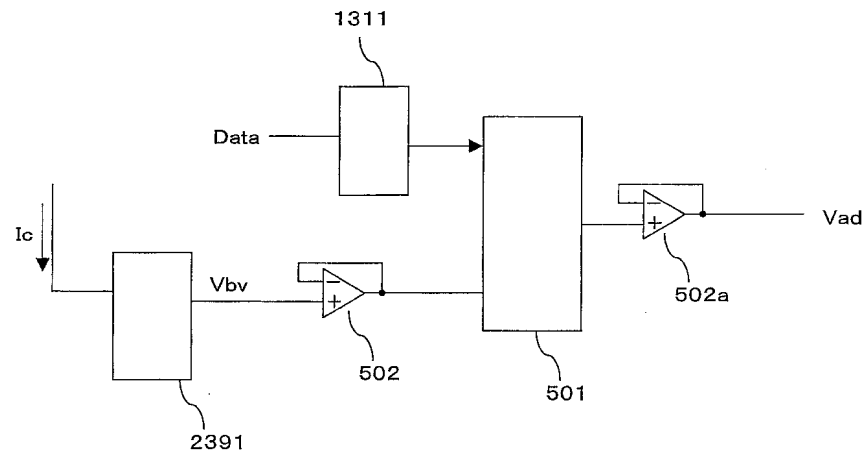
도면237



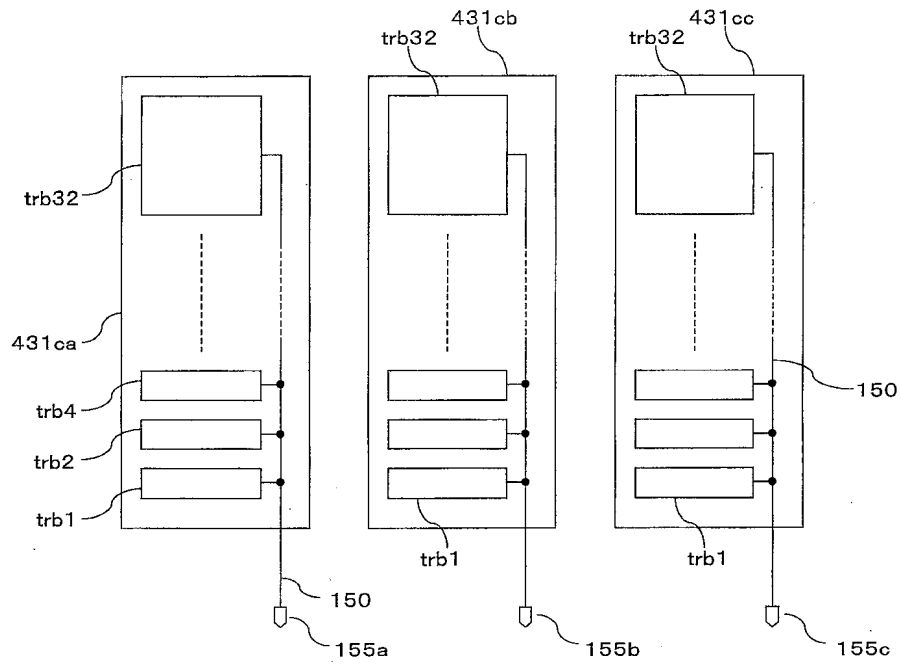
도면238



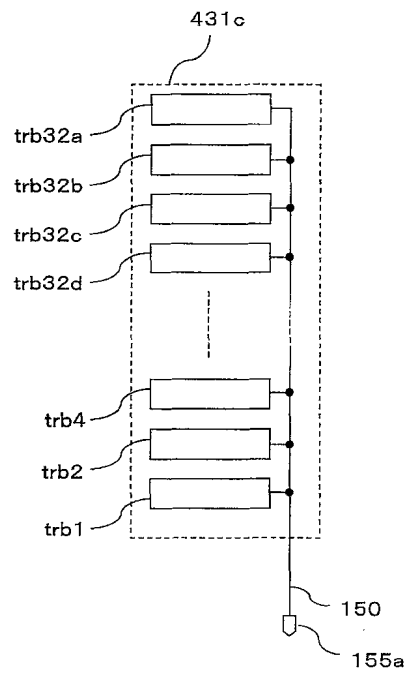
도면239



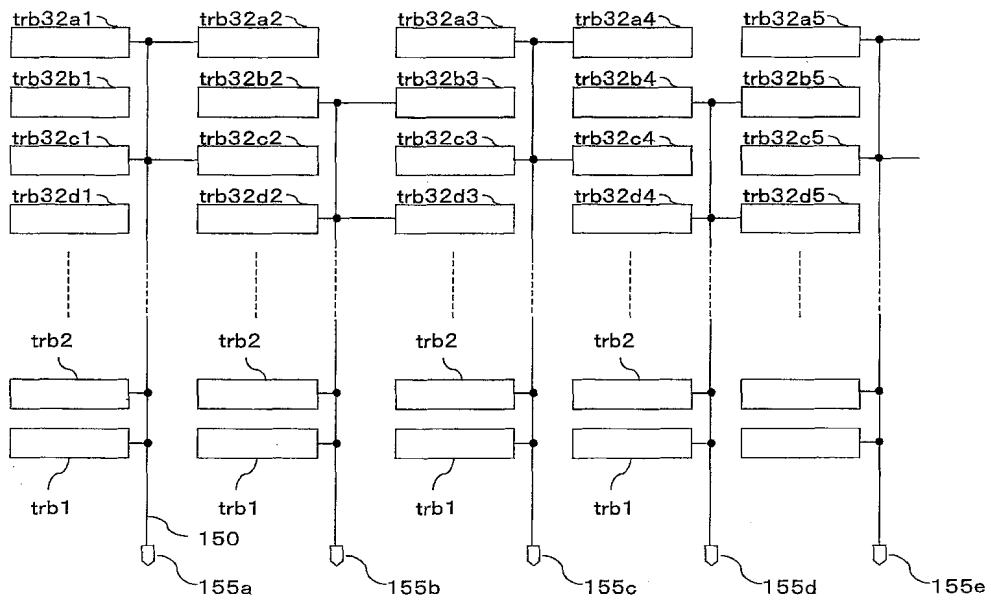
도면240



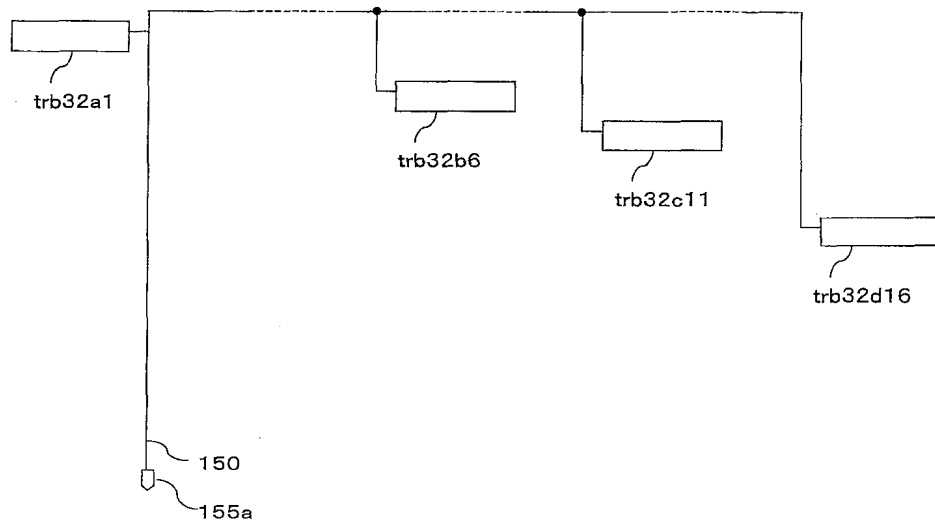
도면241



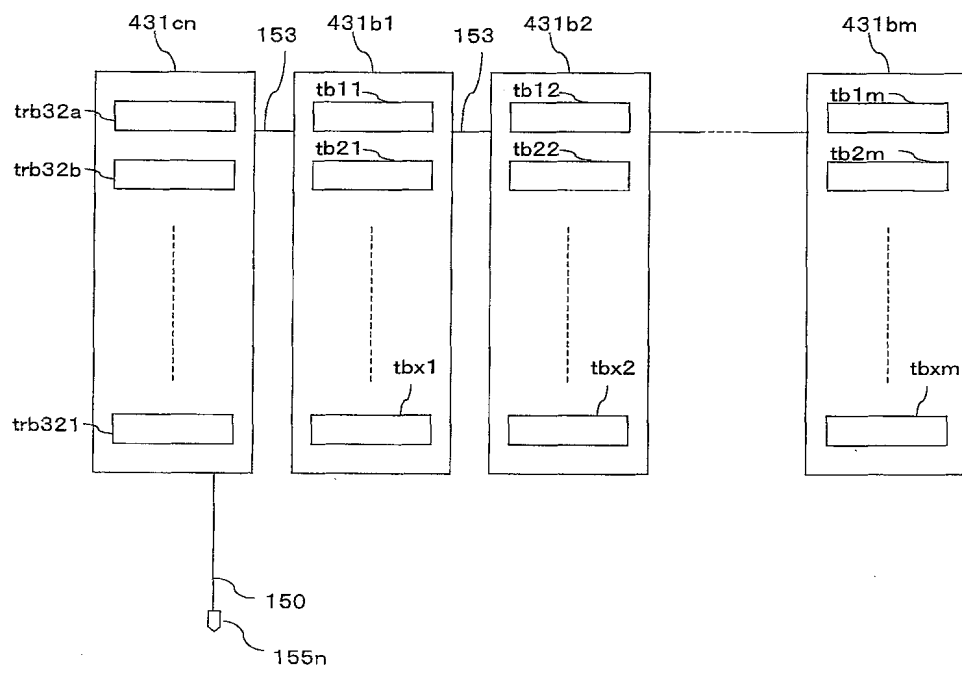
도면242



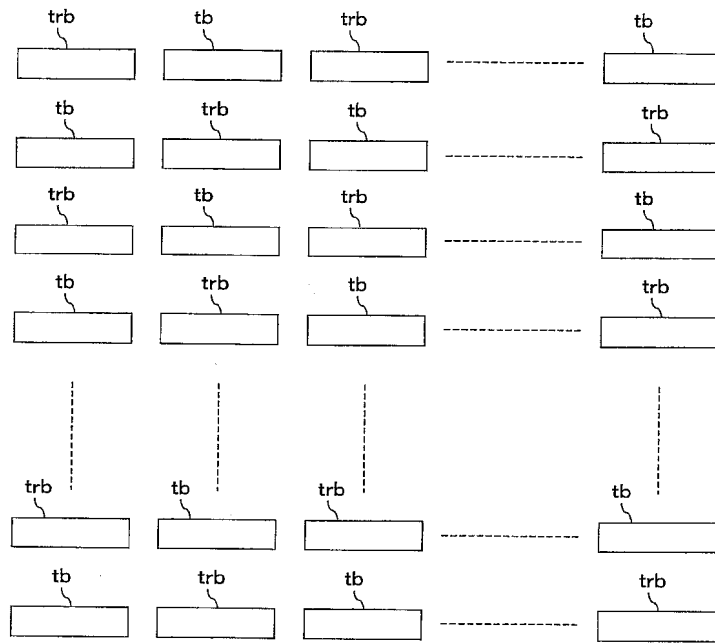
도면243



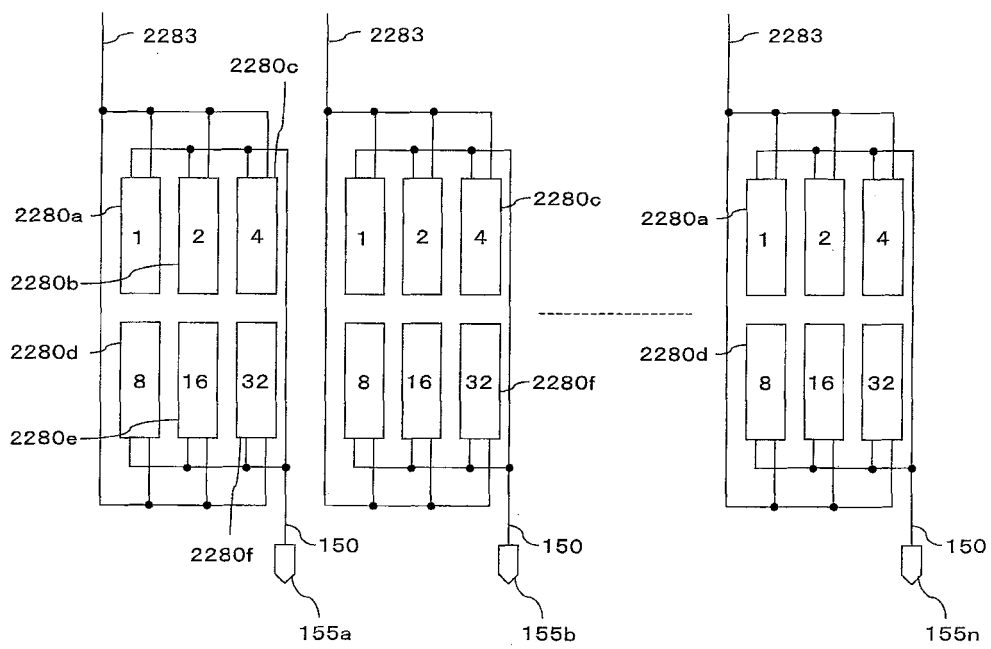
도면244



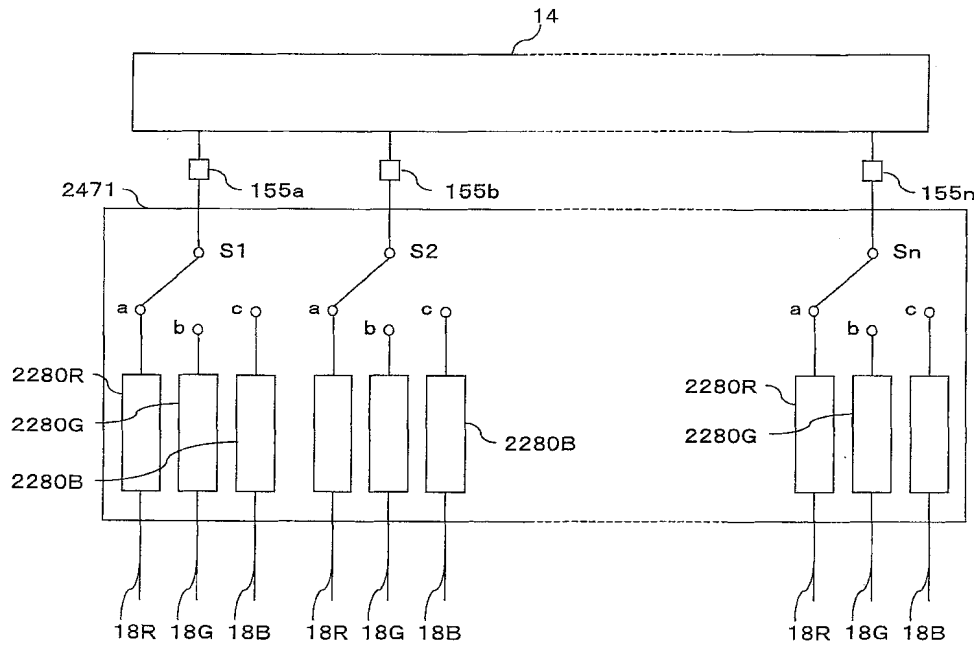
도면245



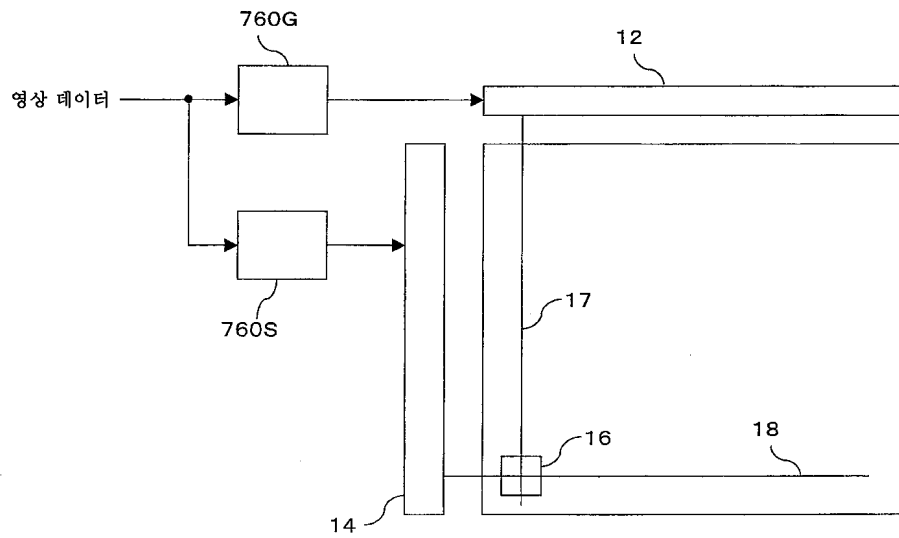
도면246



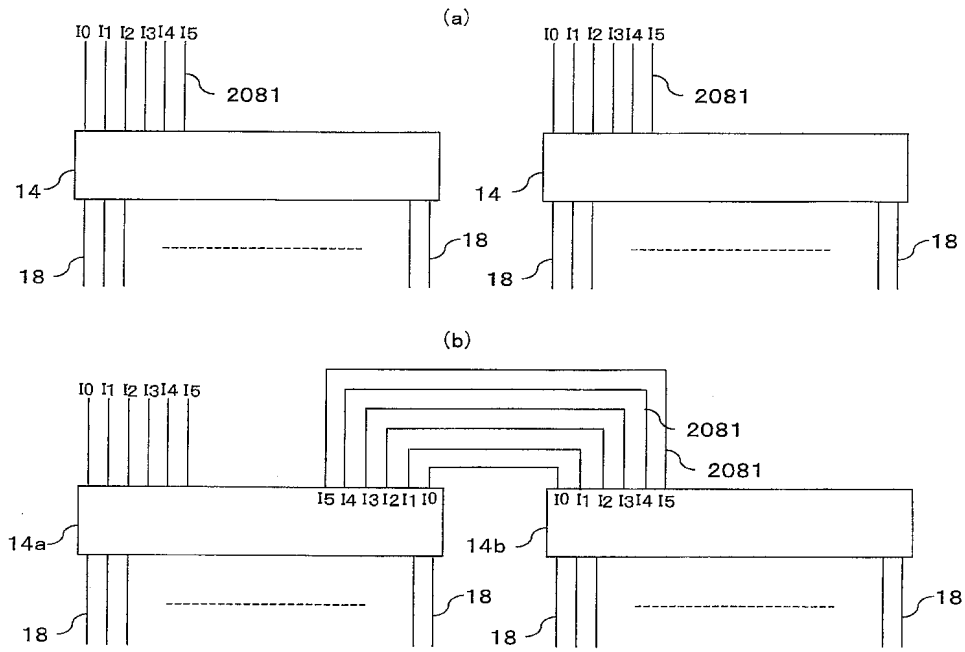
도면247



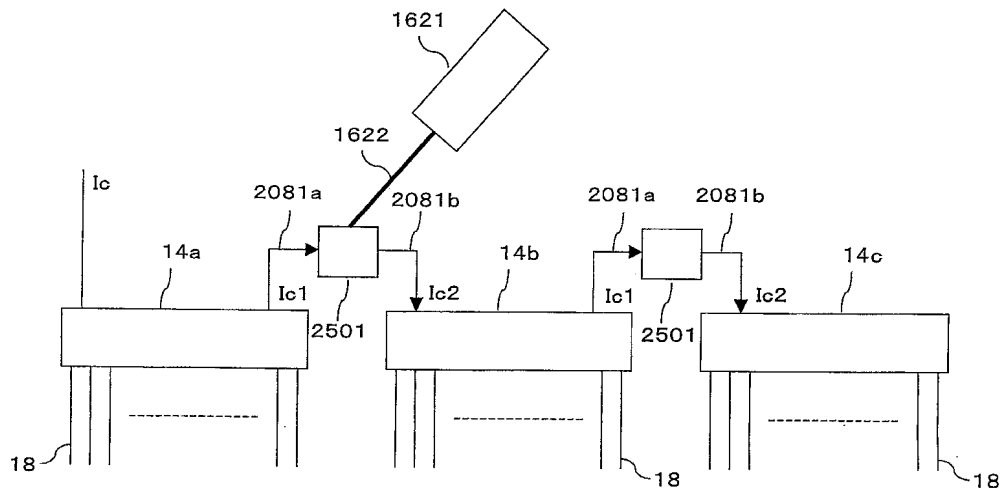
도면248



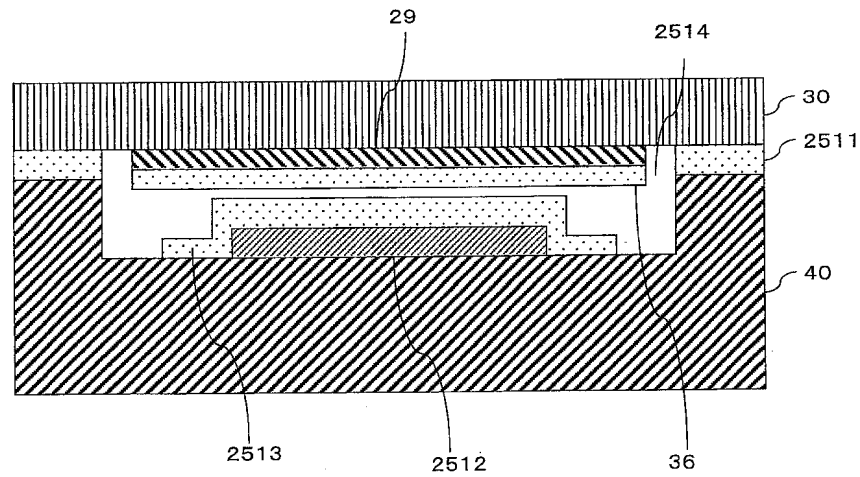
도면249



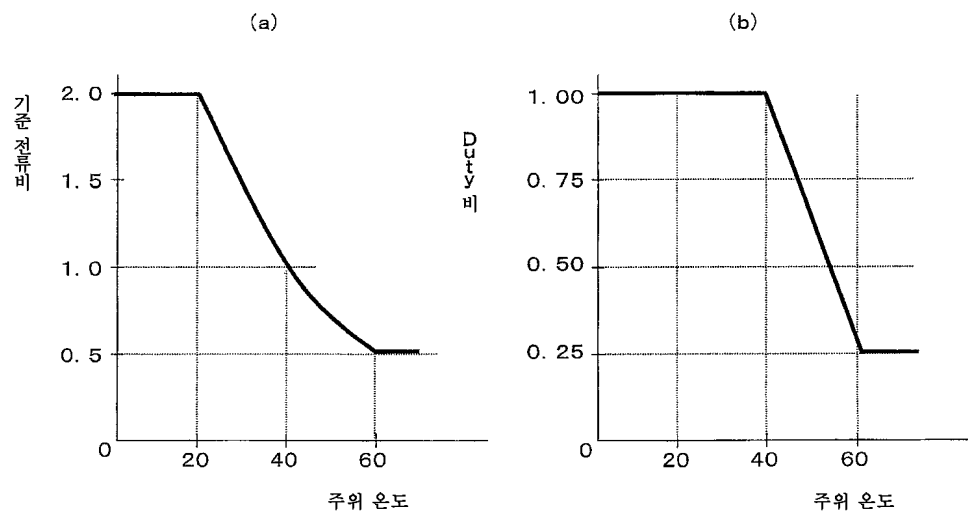
도면250



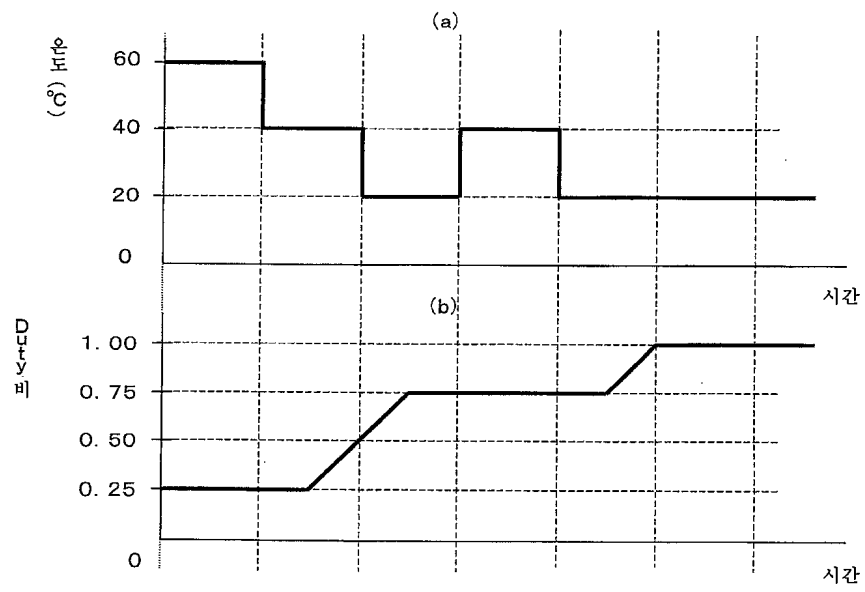
도면251



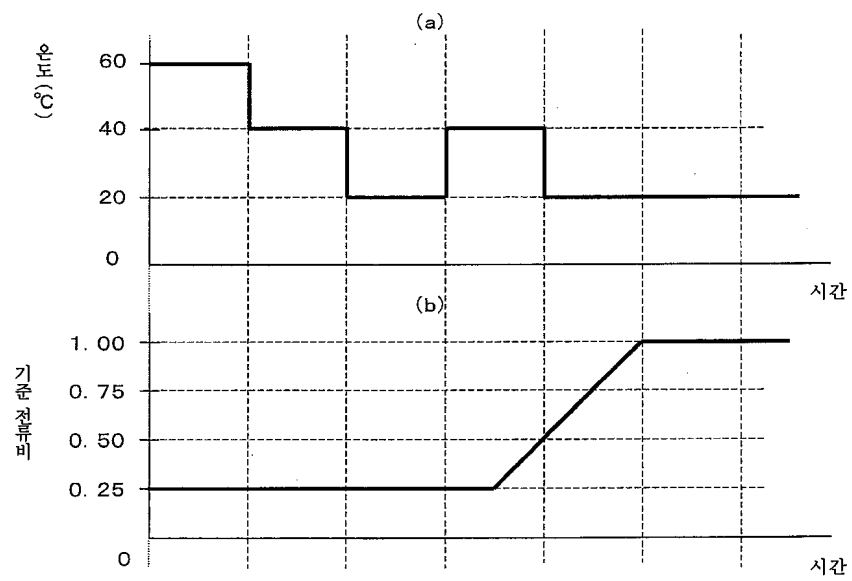
도면252



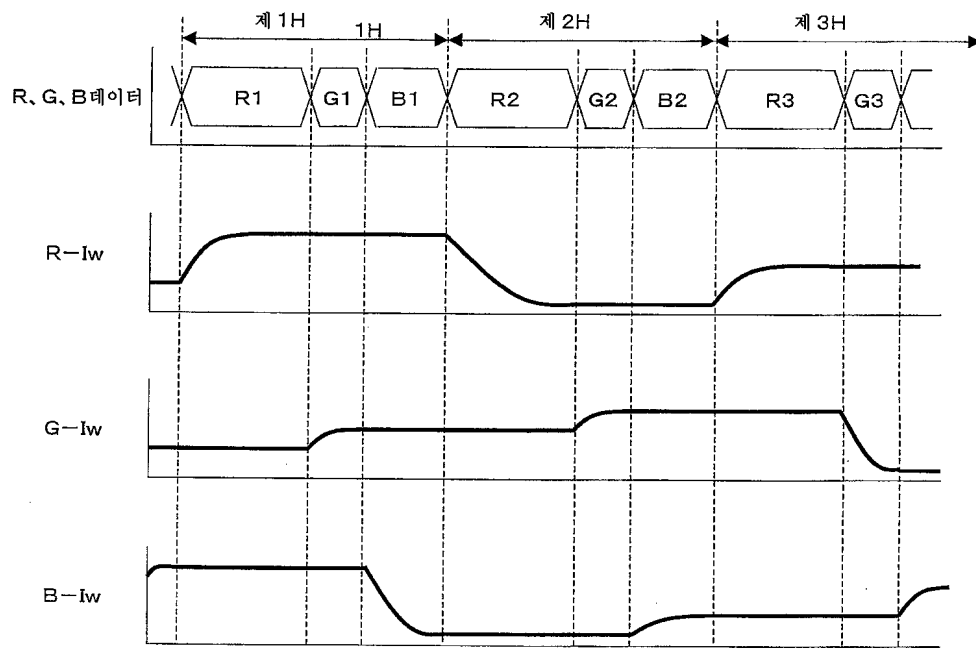
도면253



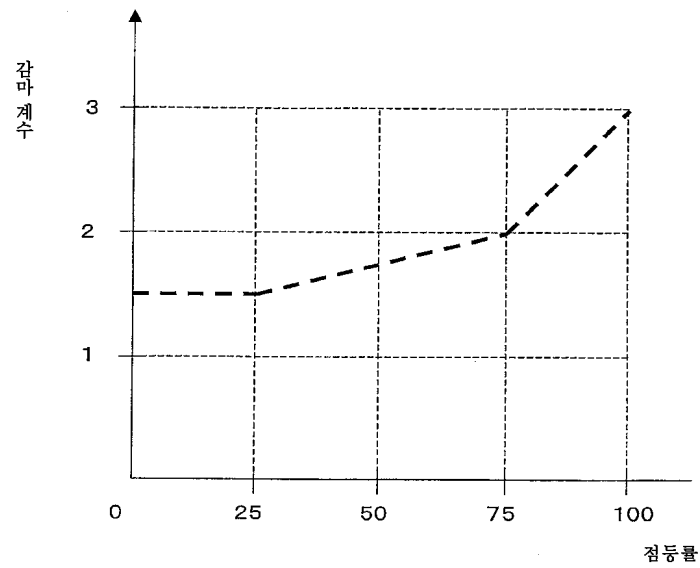
도면254



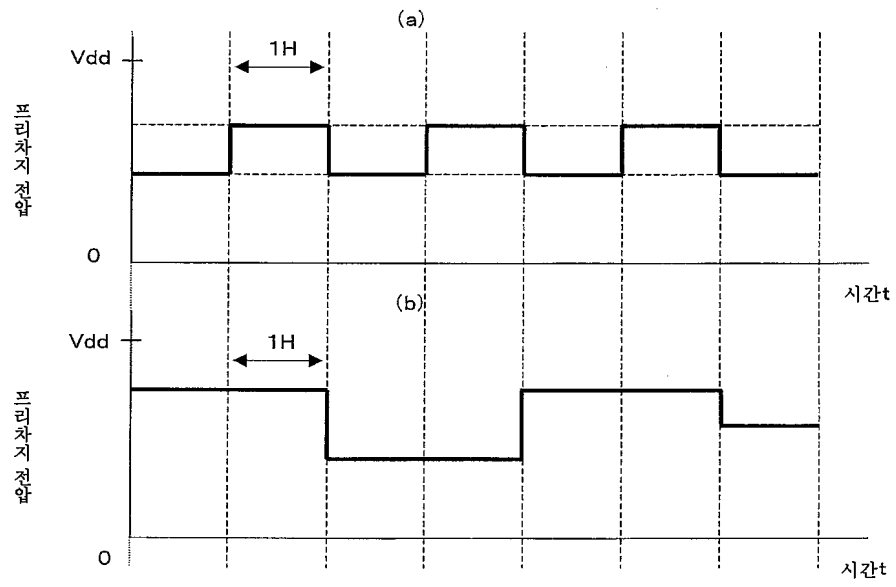
도면255



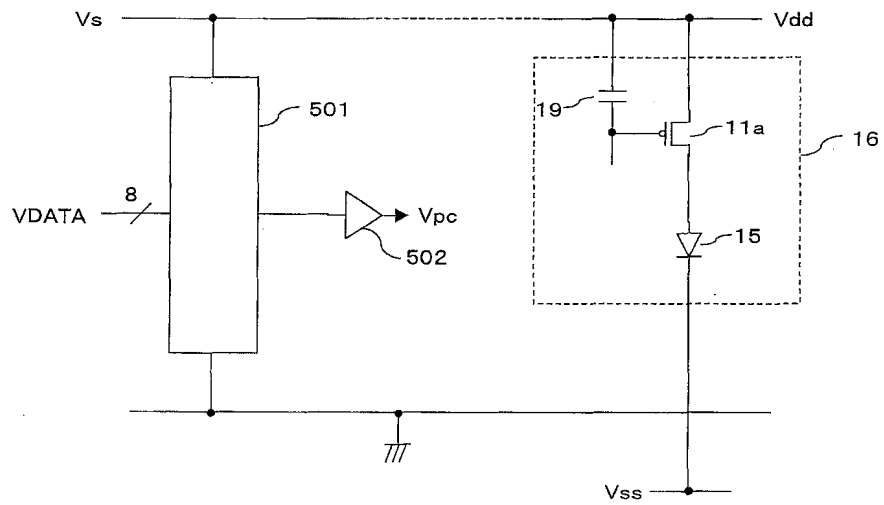
도면256



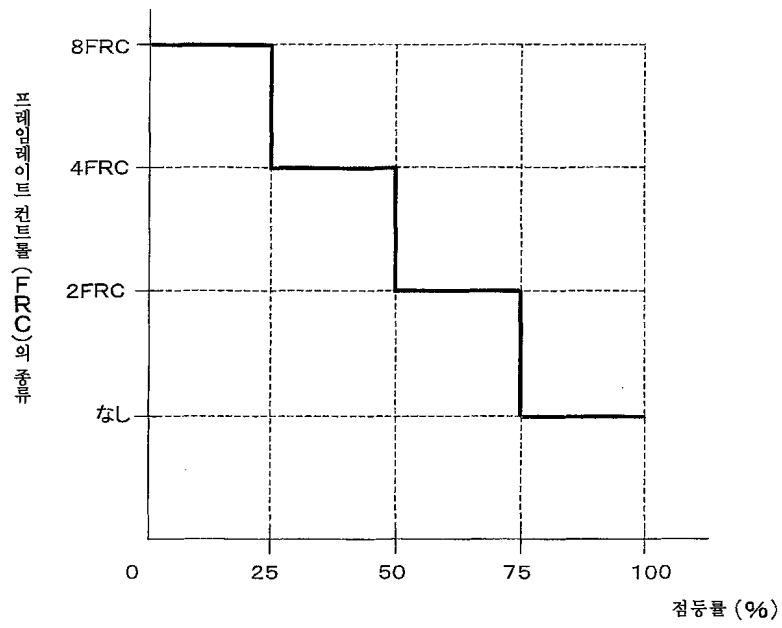
도면257



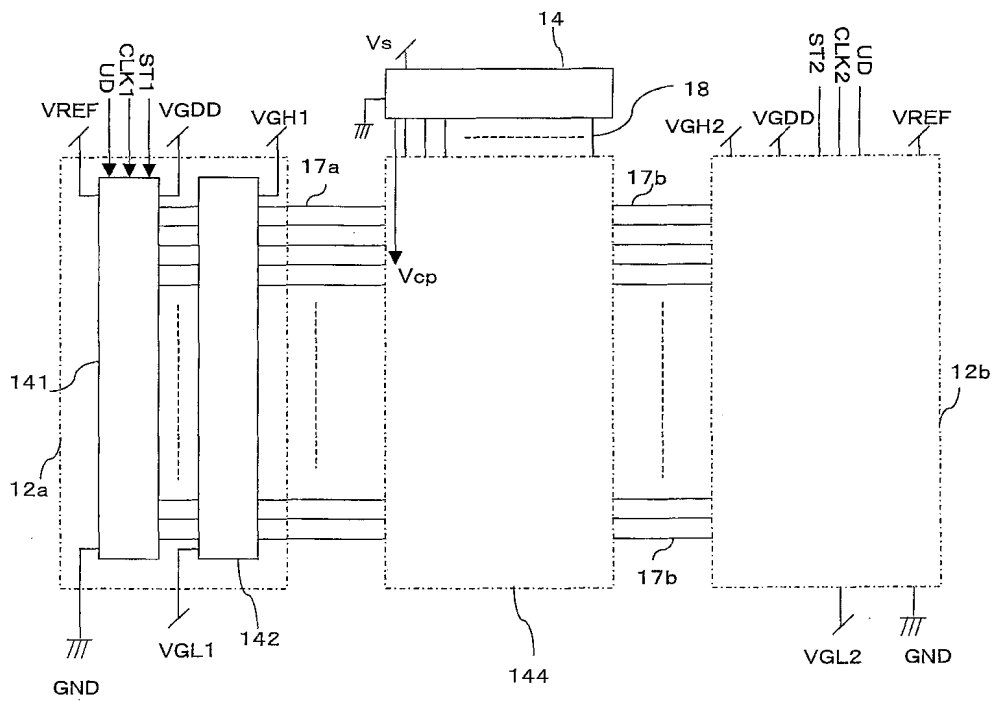
도면258



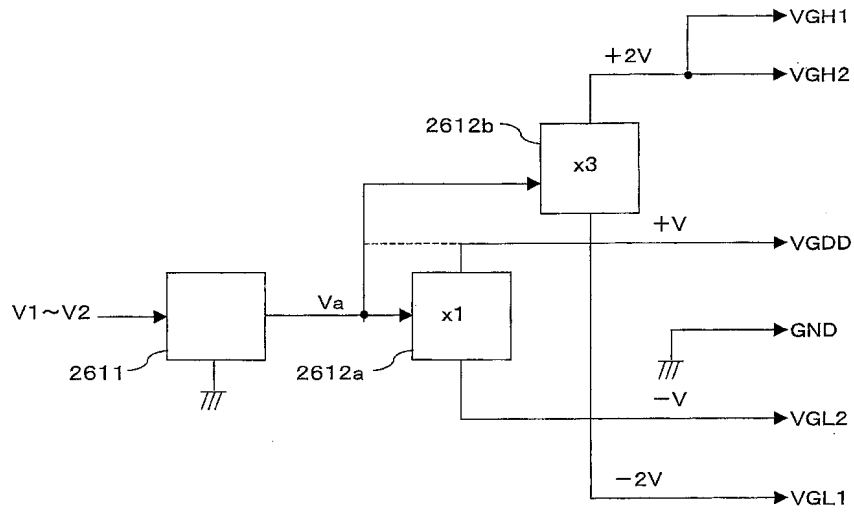
도면259



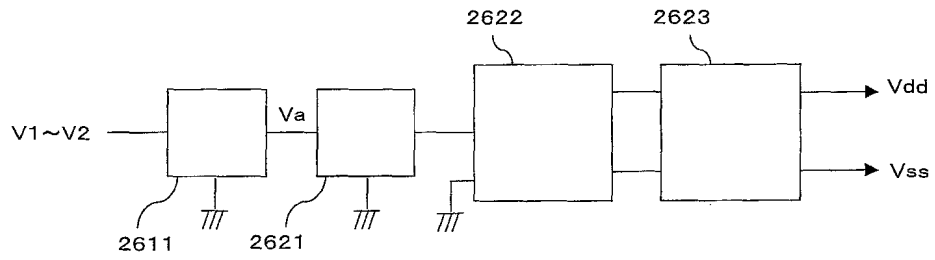
도면260



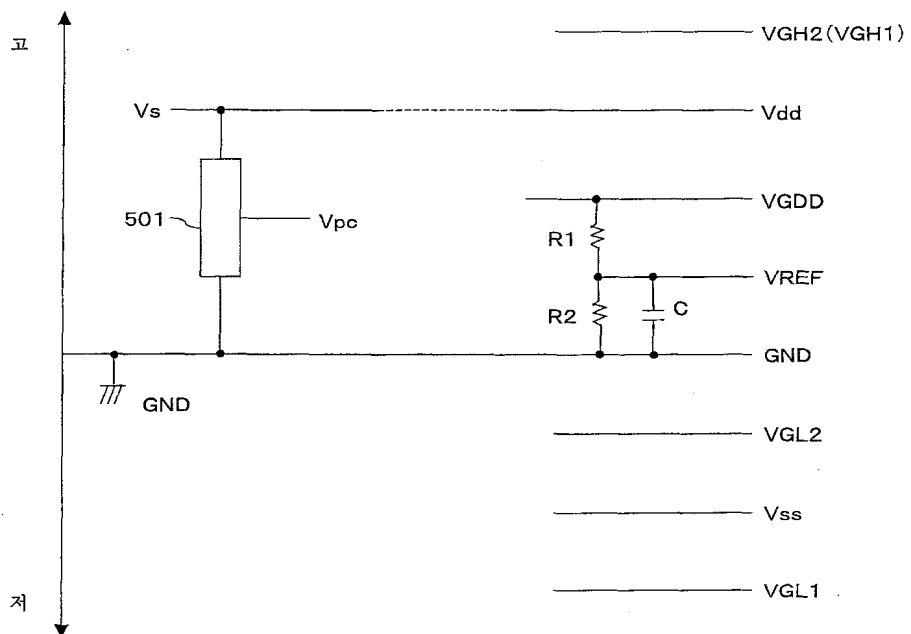
도면261



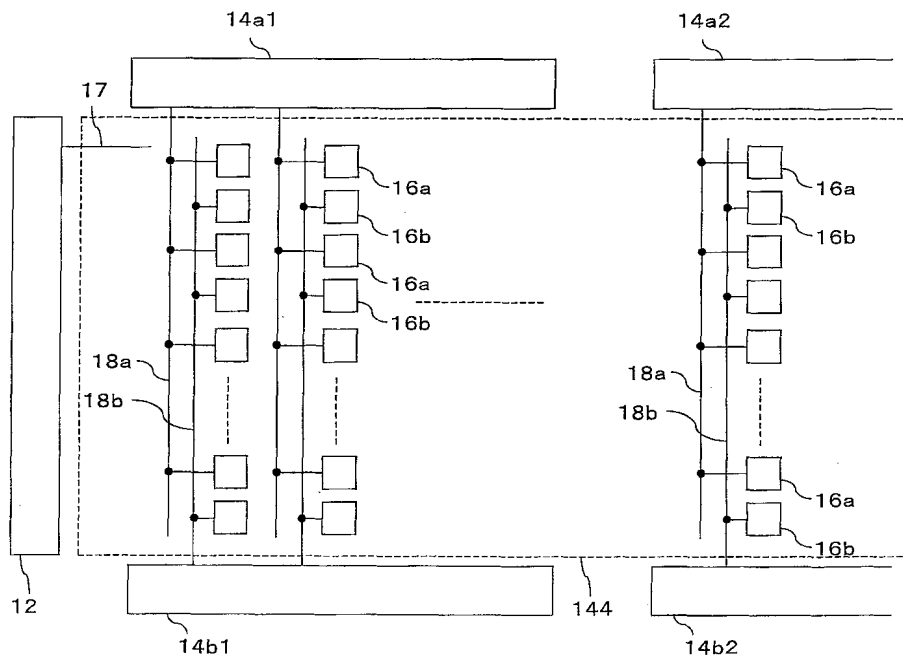
도면262



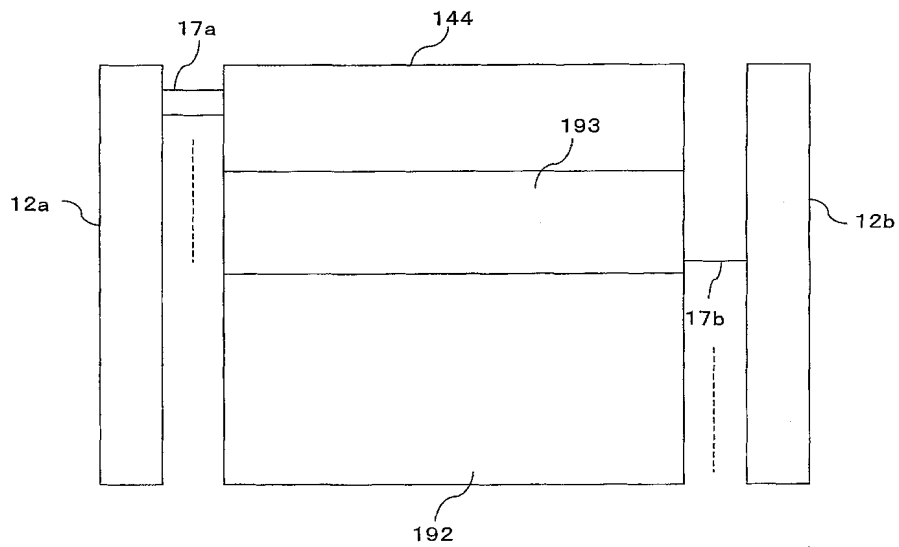
도면263



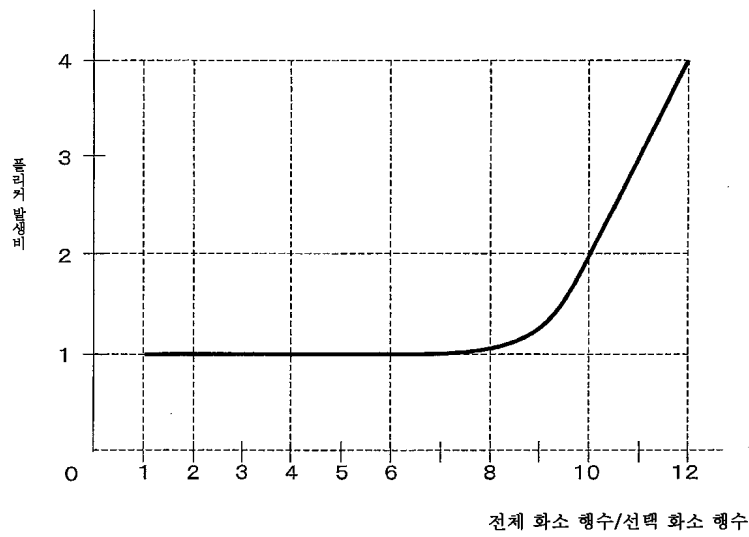
도면264



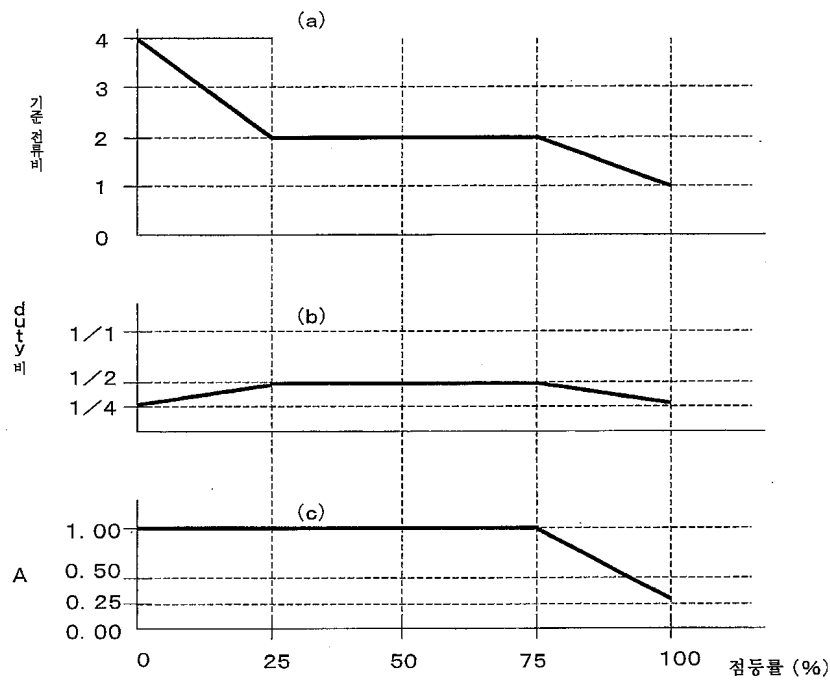
도면265



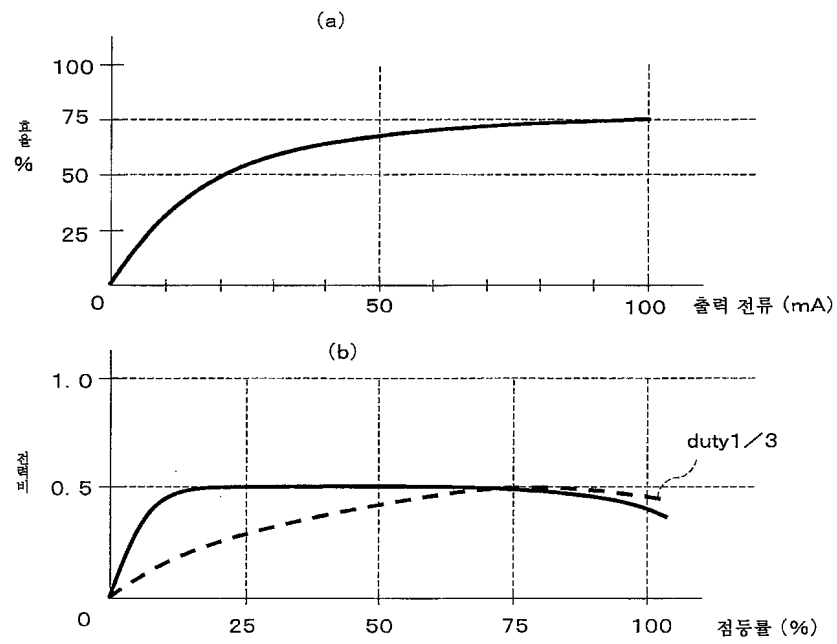
도면266



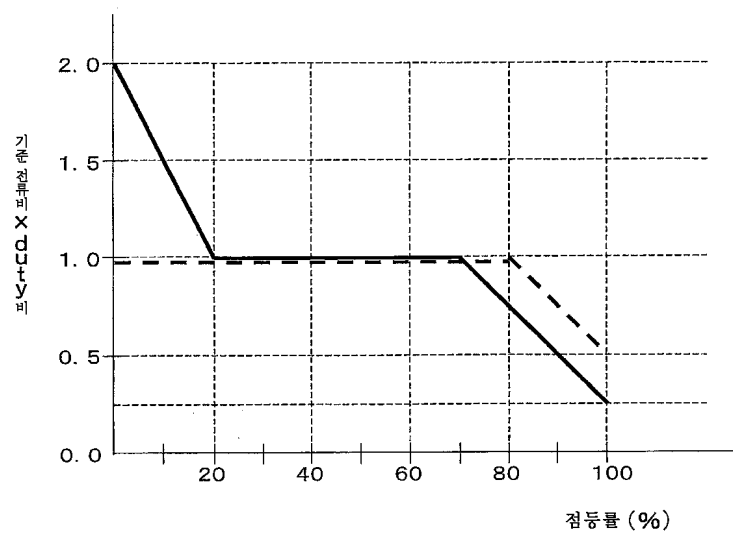
도면267



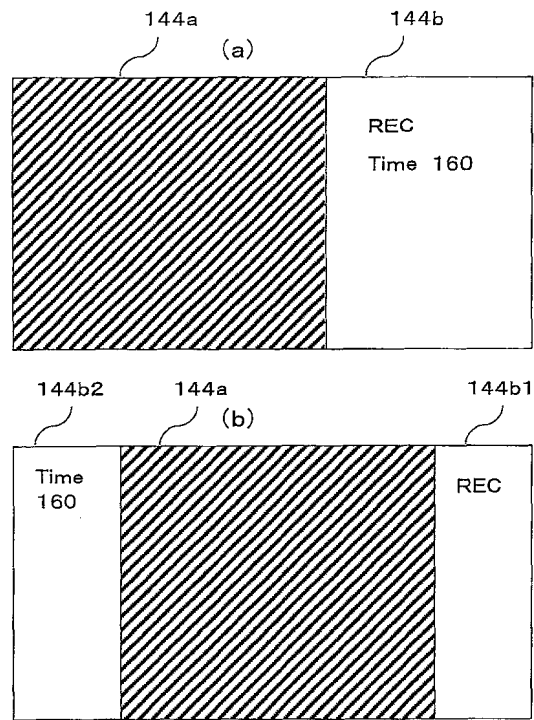
도면268



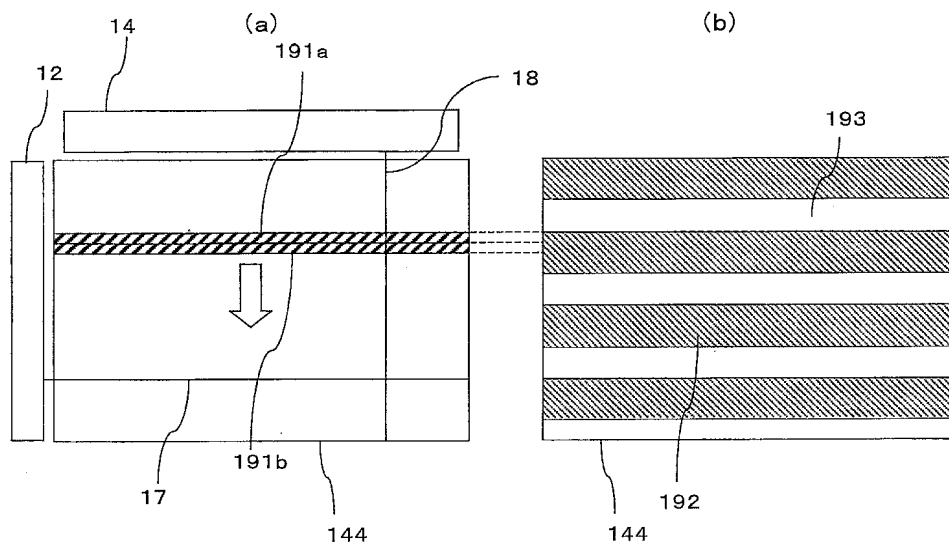
도면269



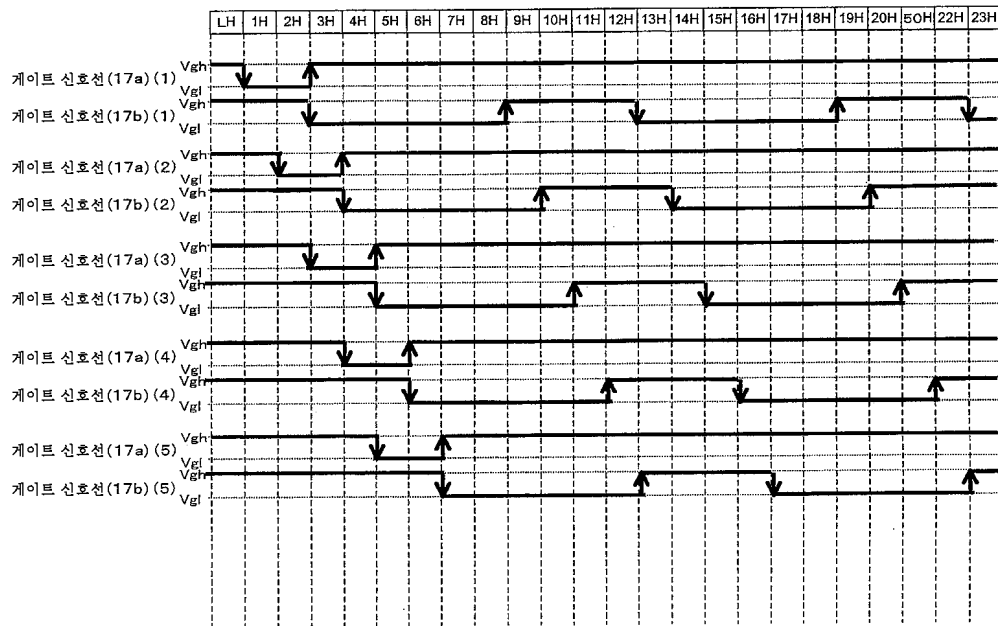
도면270



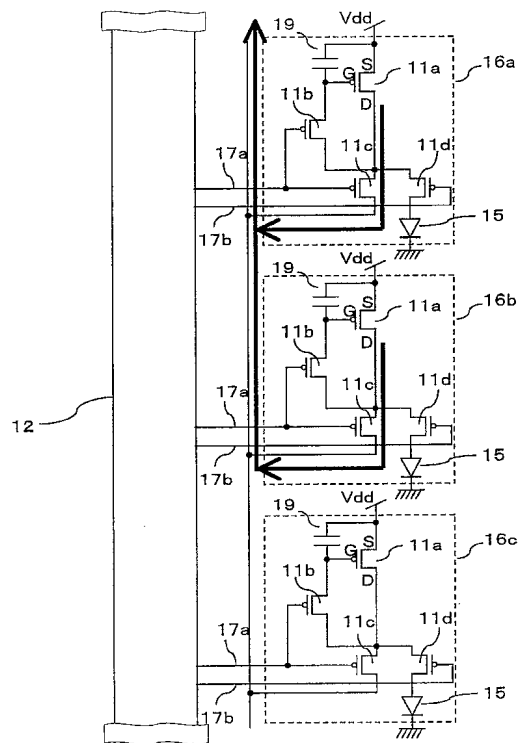
도면271



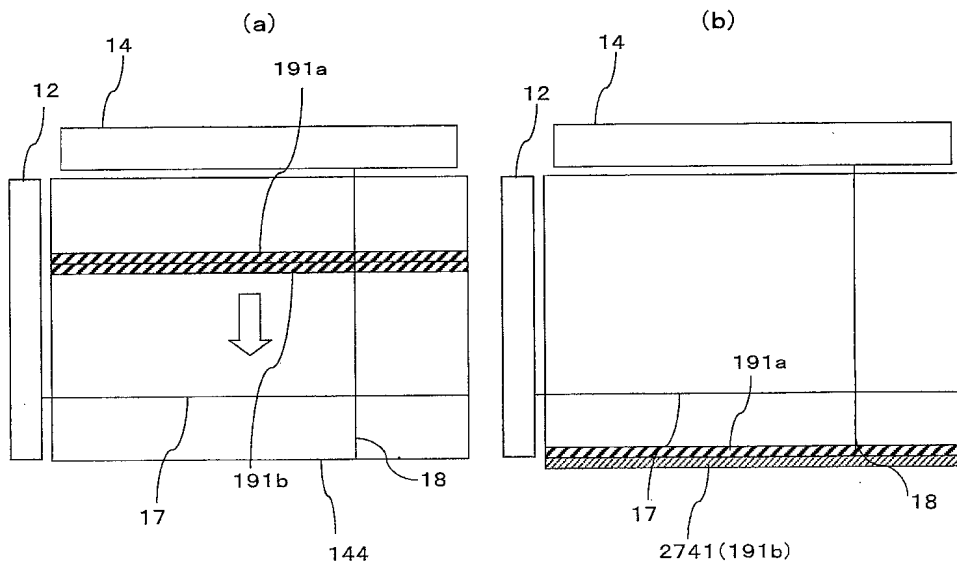
도면272



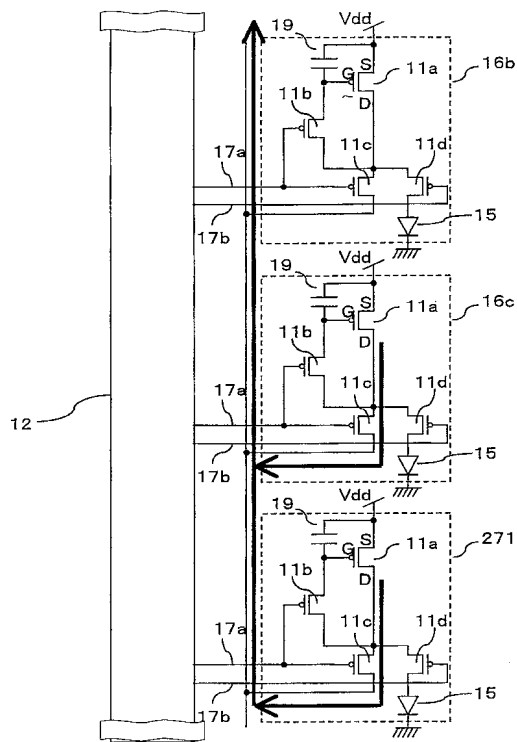
도면273



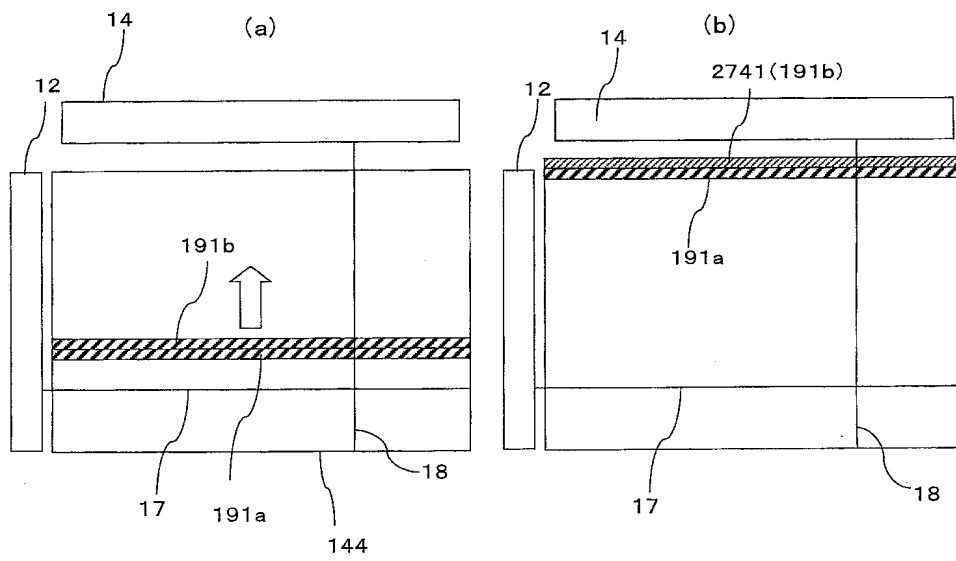
도면274



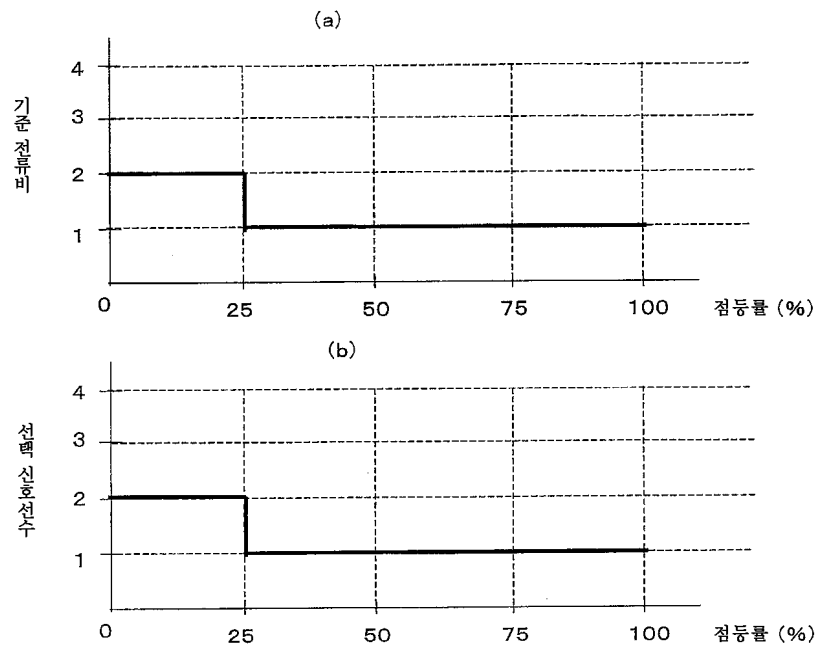
도면275



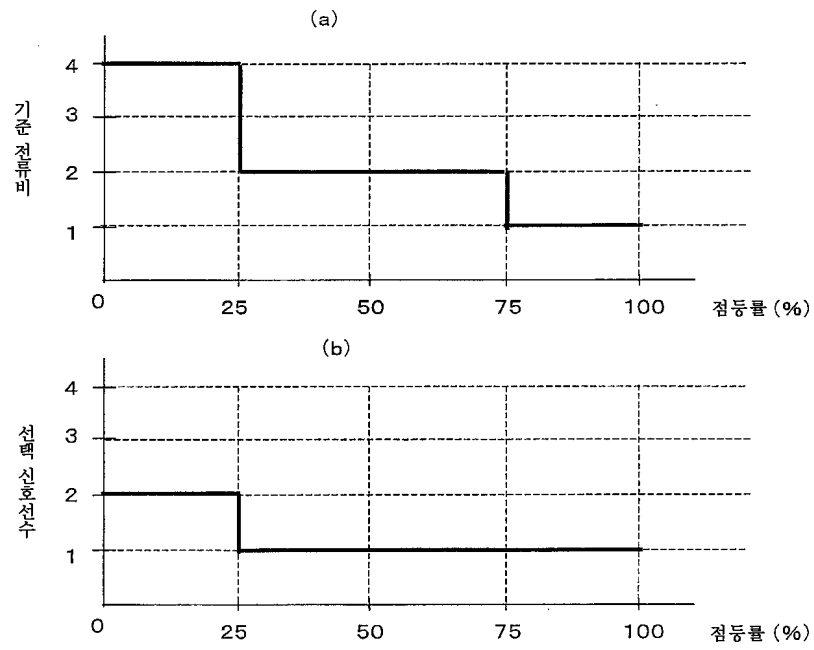
도면276



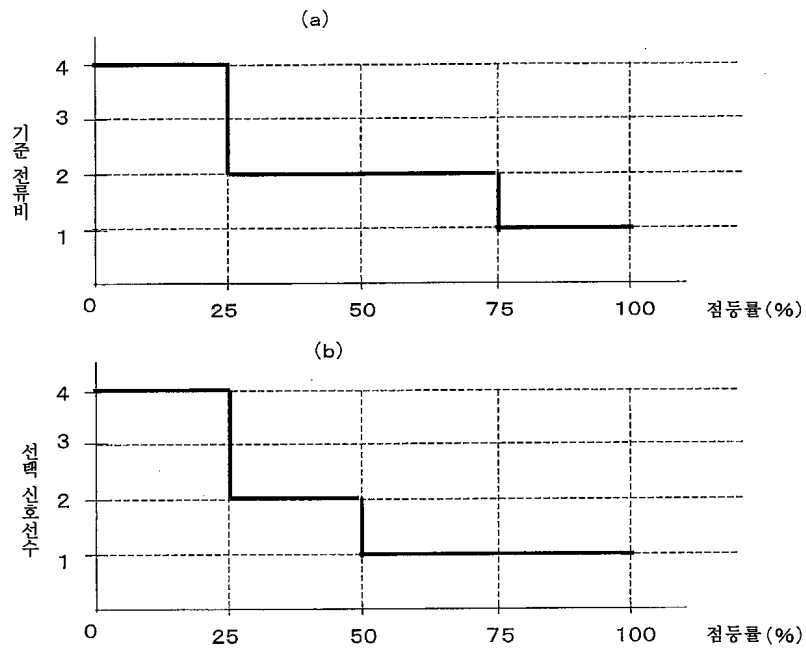
도면277



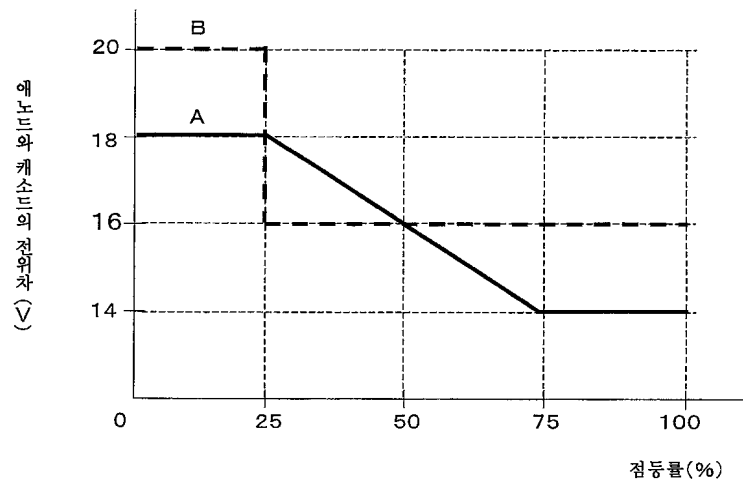
도면278



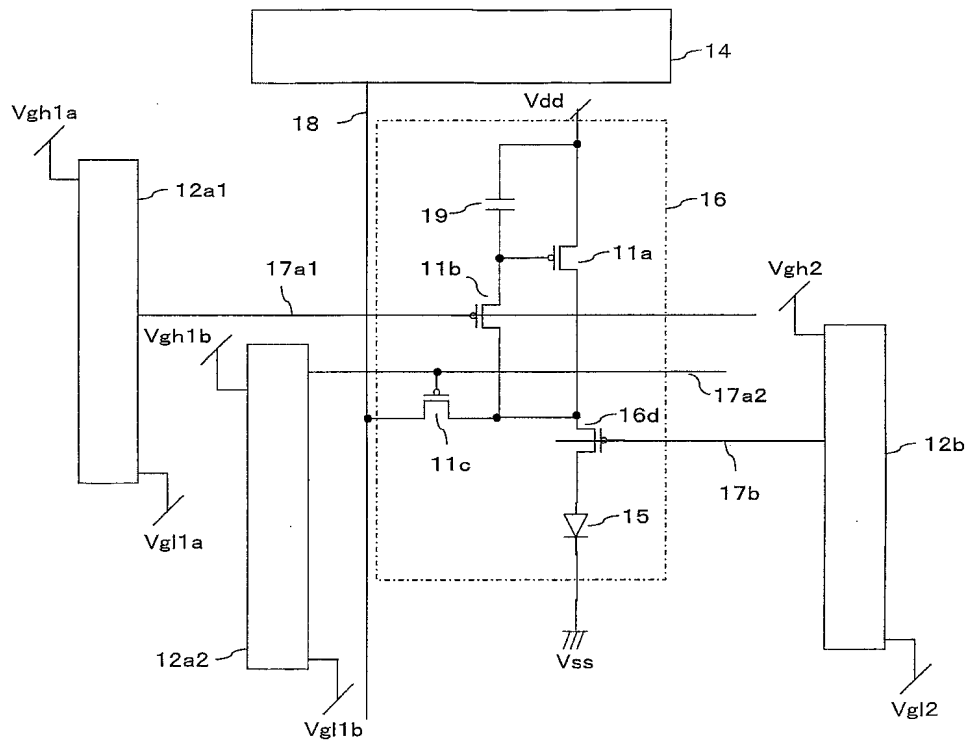
도면279



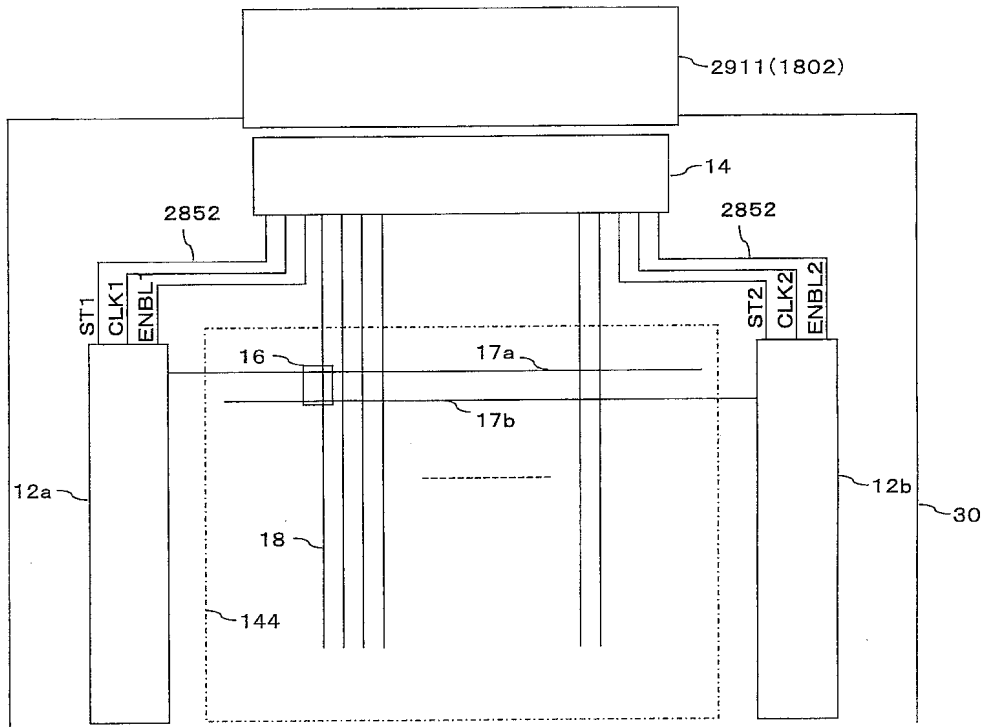
도면280



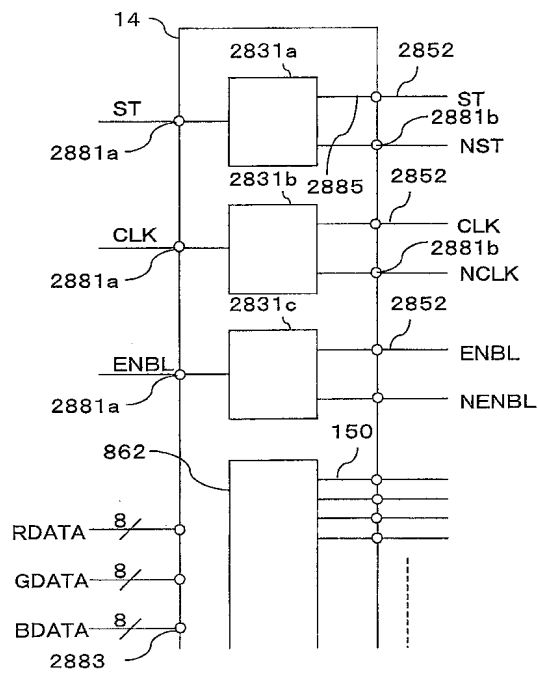
도면281



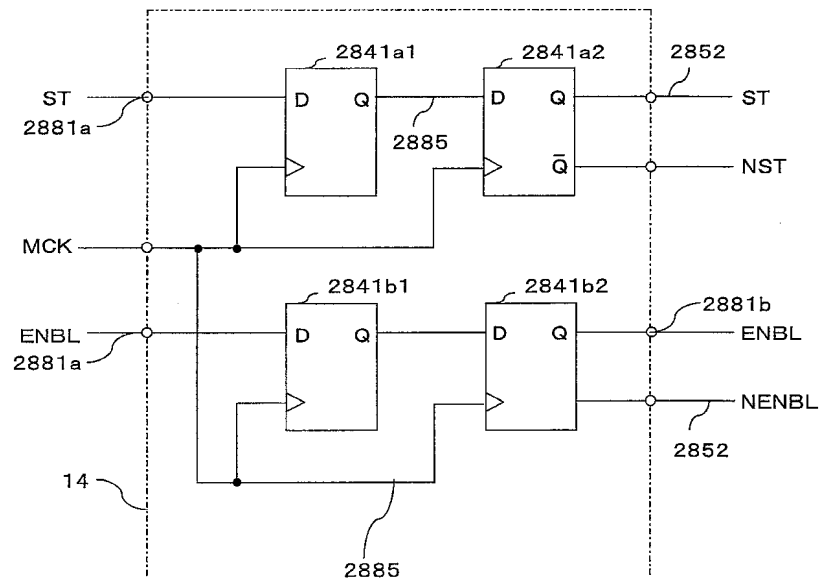
도면282



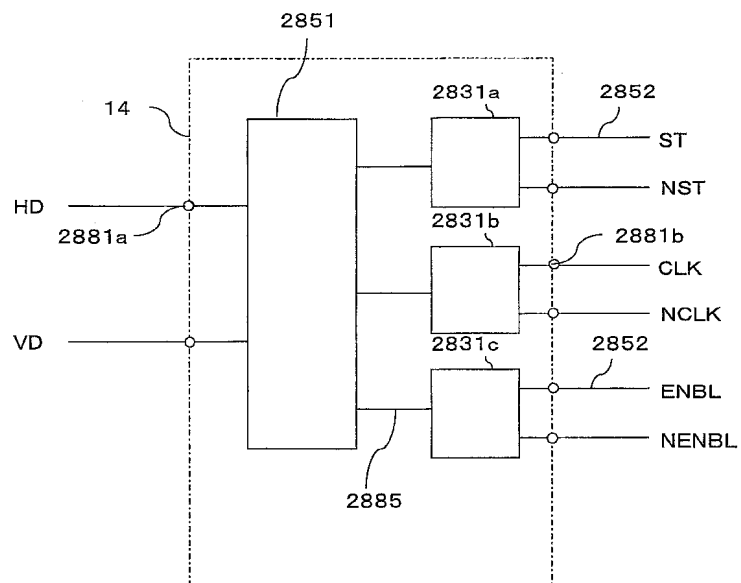
도면283



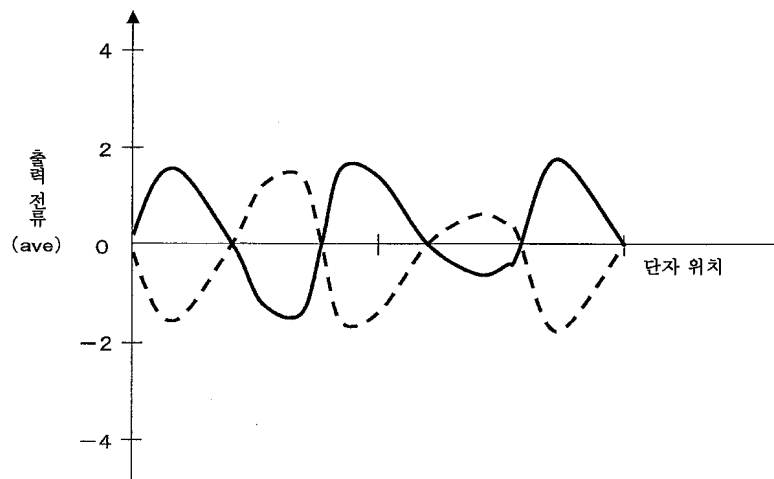
도면284



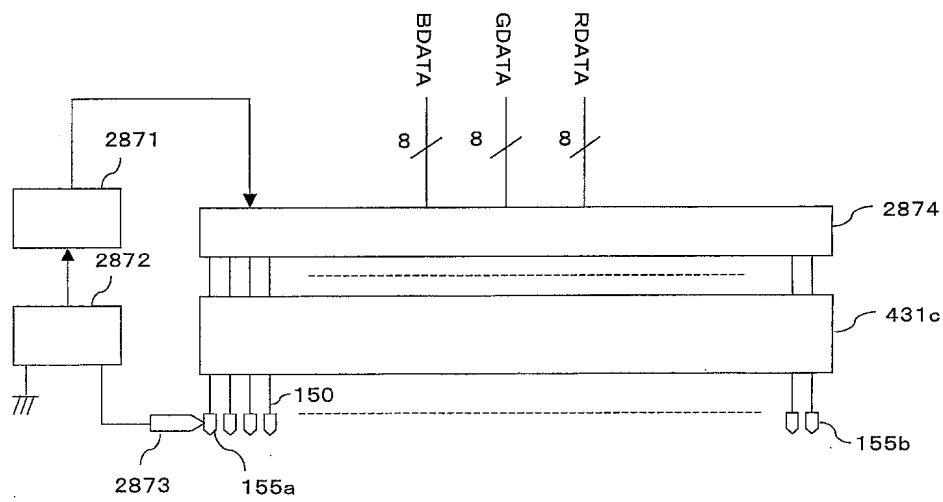
도면285



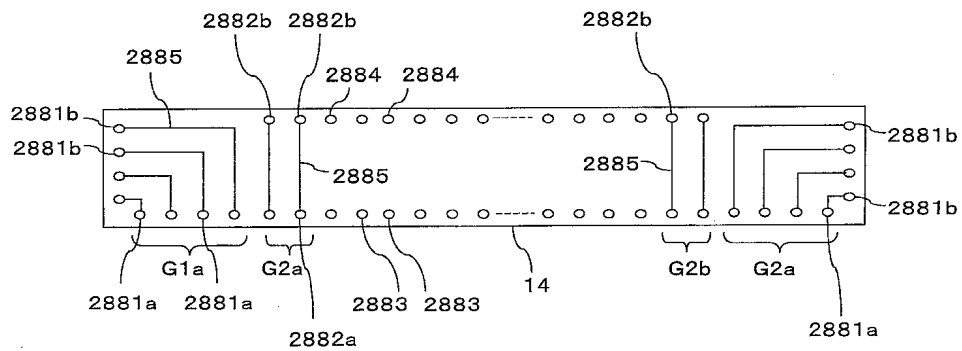
도면286



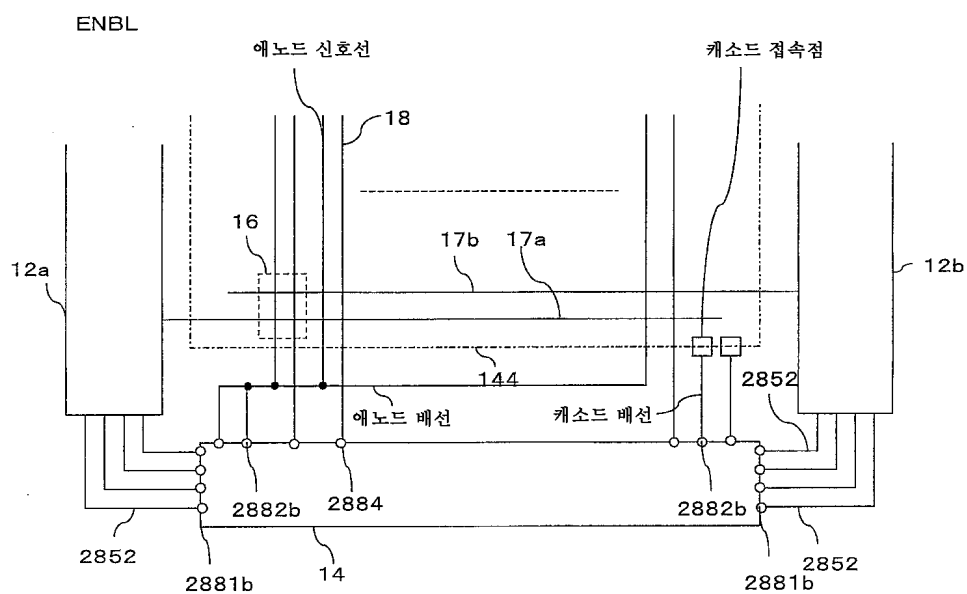
도면287



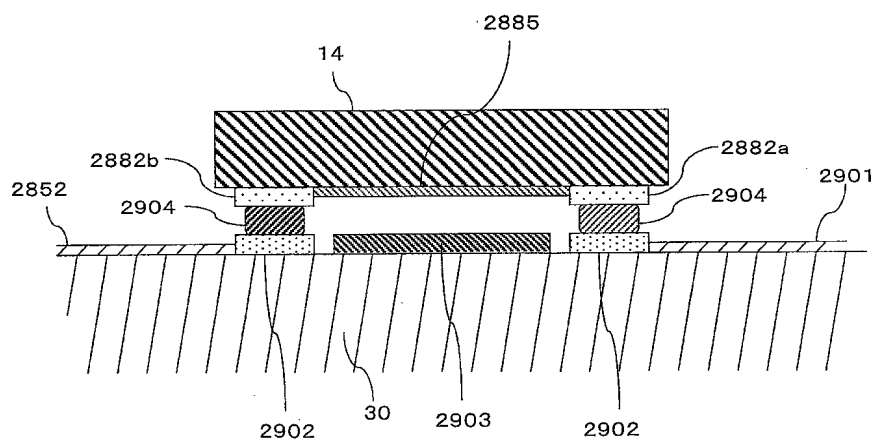
도면288



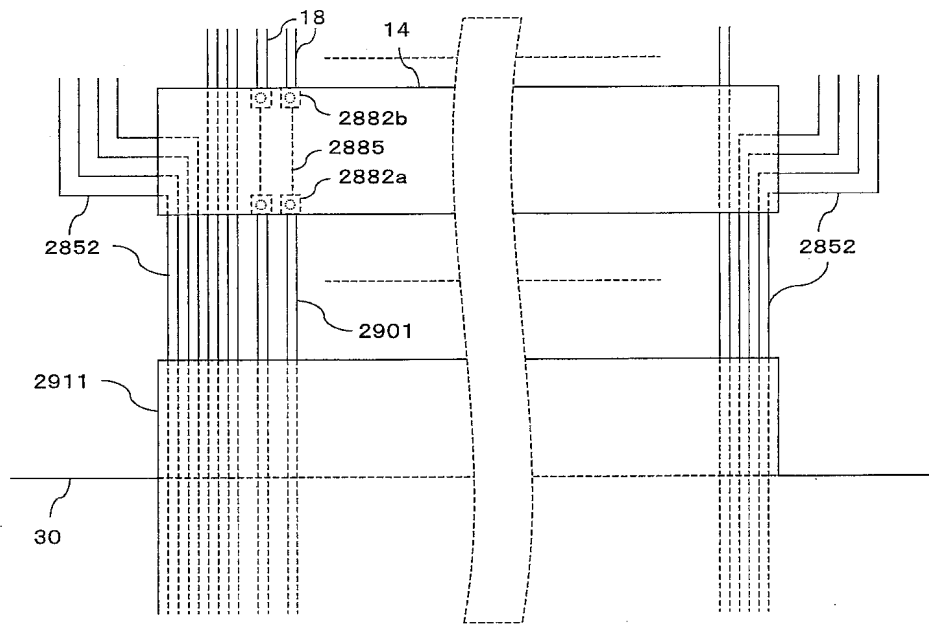
도면289



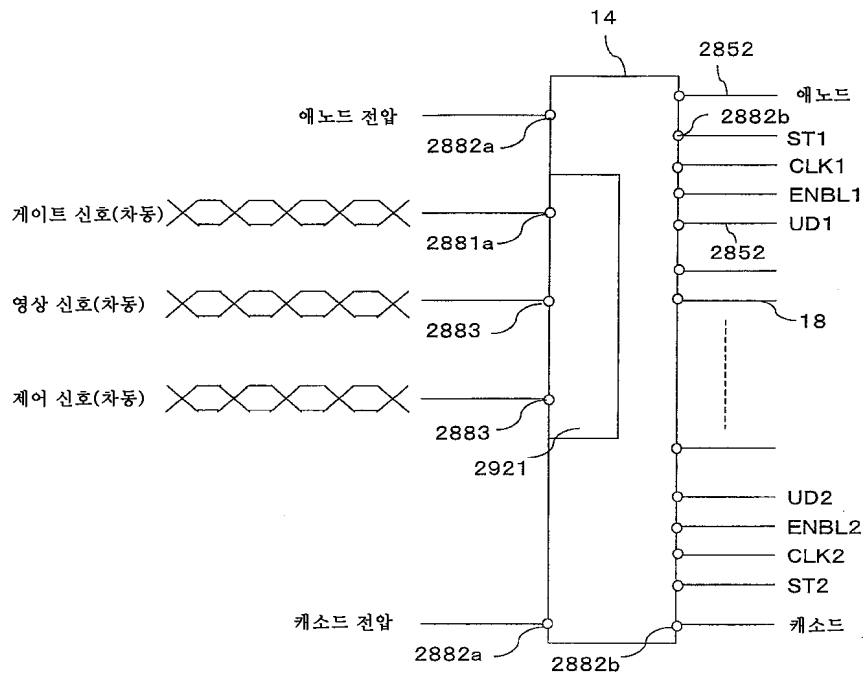
도면290



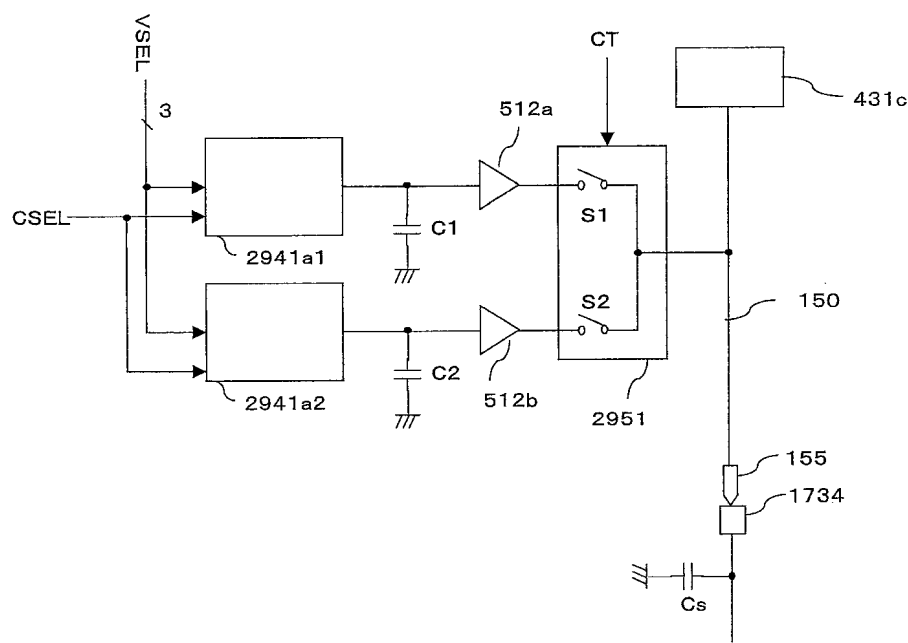
도면291



도면292



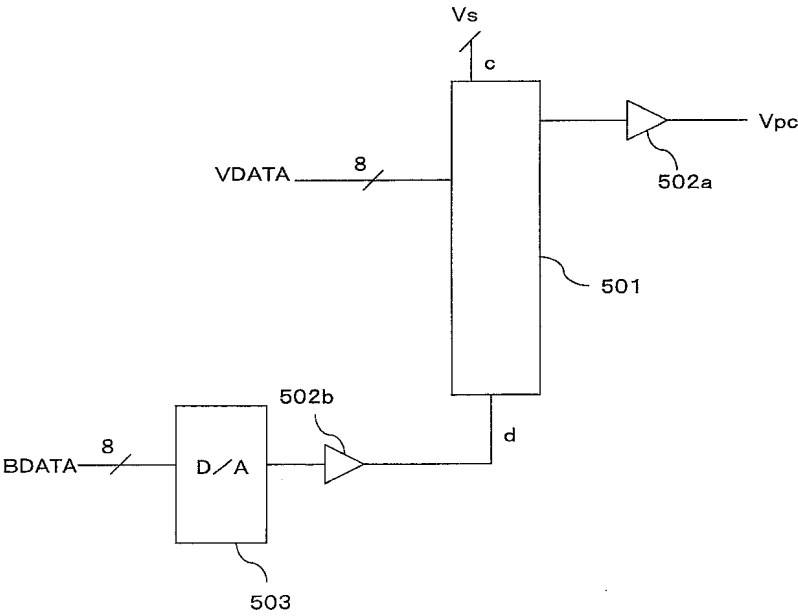
도면295



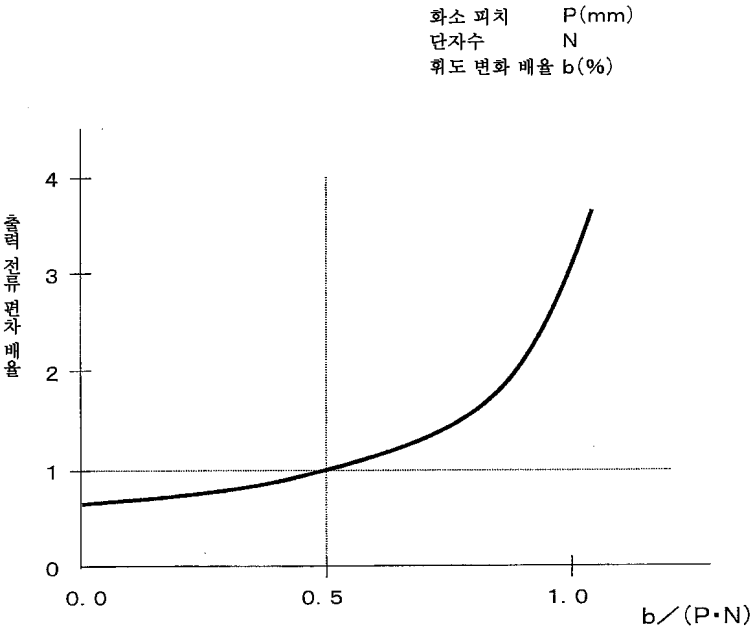
도면296

VSEL	출력
0	Vcp0
1	Vcp1
2	Vcp2
3	Vcp3
4	Vcp4
5	Vcp5
6	Vcp6
7	Vcp7

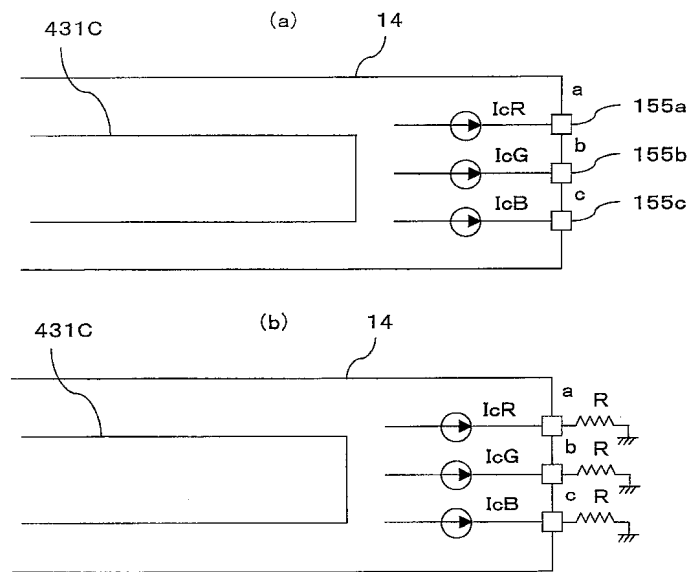
도면297



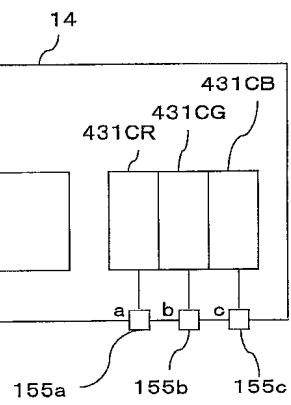
도면298



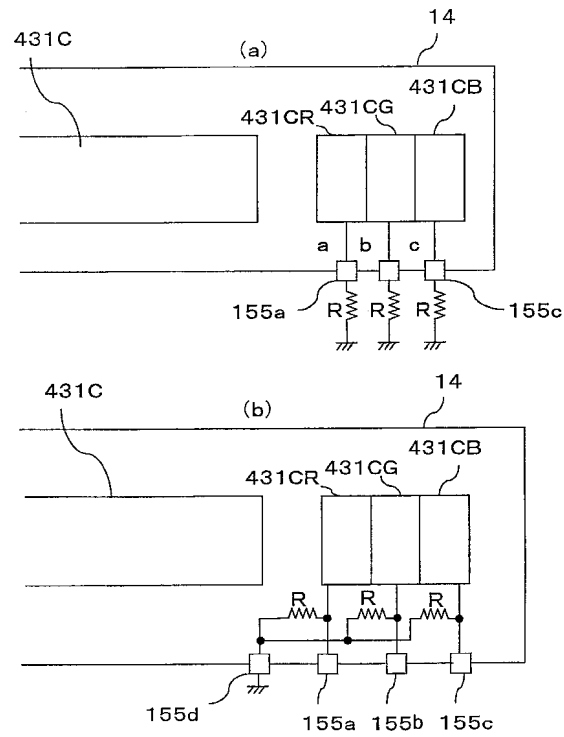
도면299



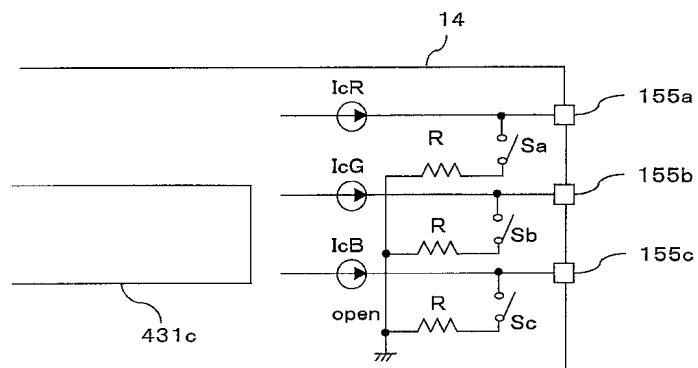
도면300



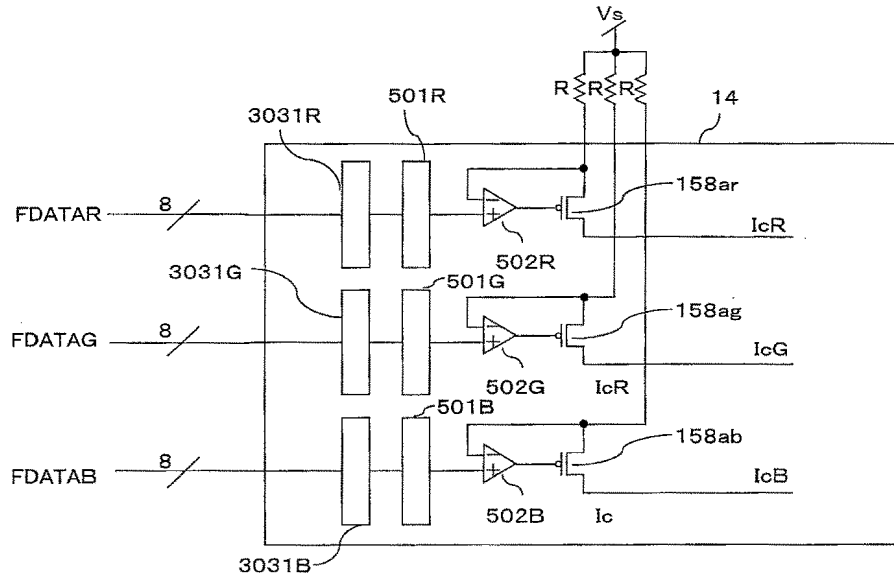
도면301



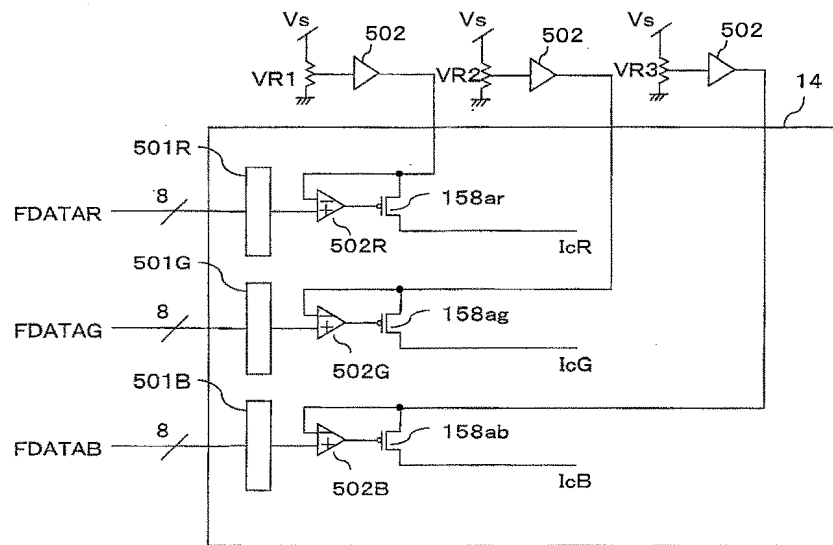
도면302



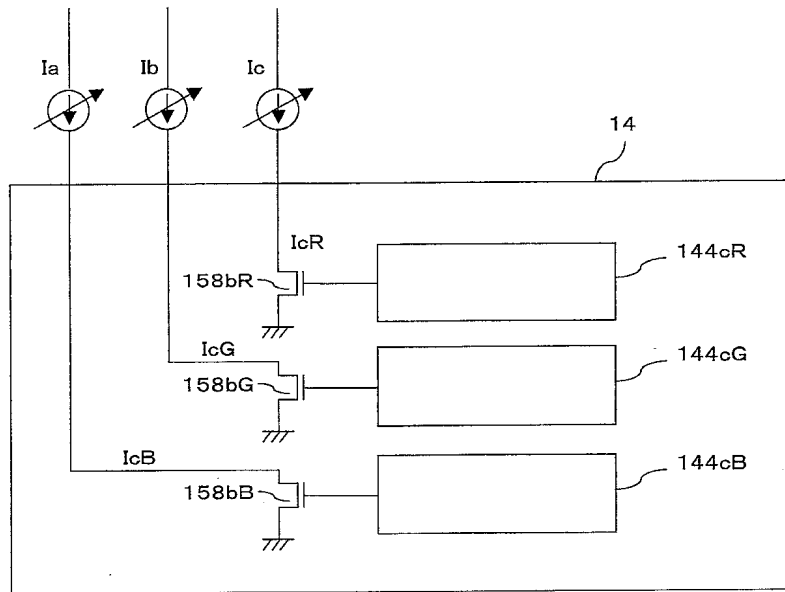
도면303



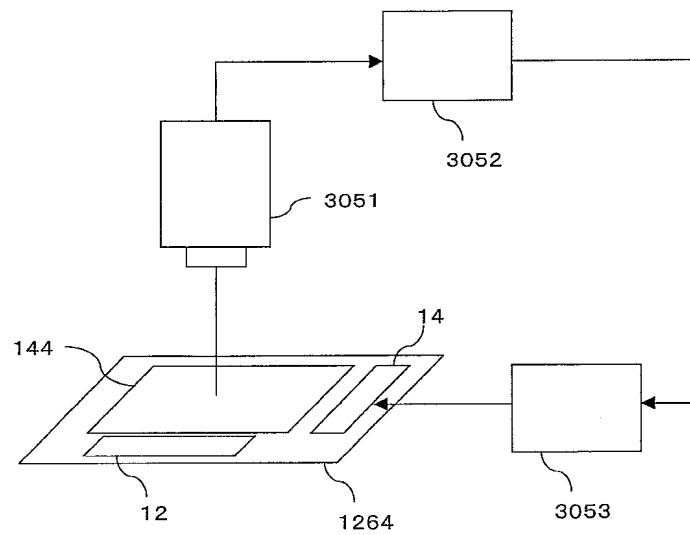
도면304



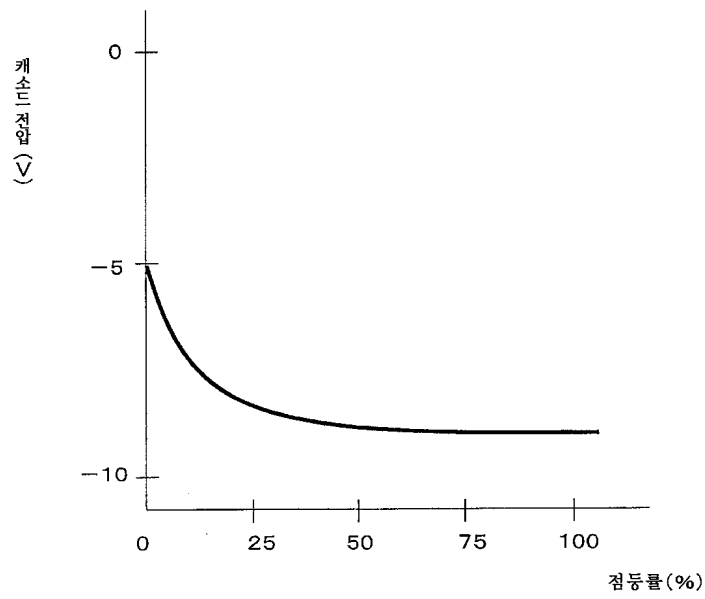
도면305



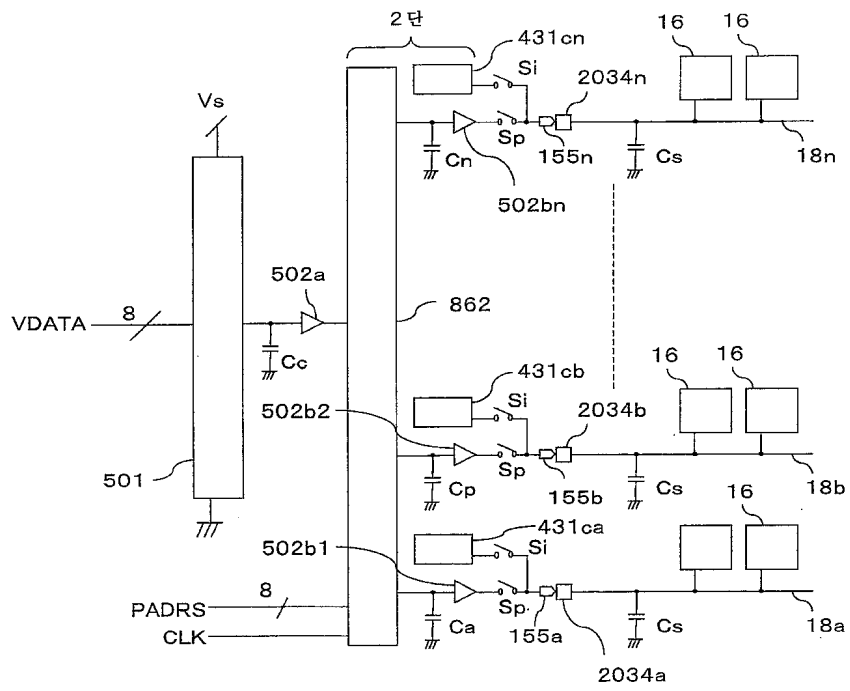
도면306



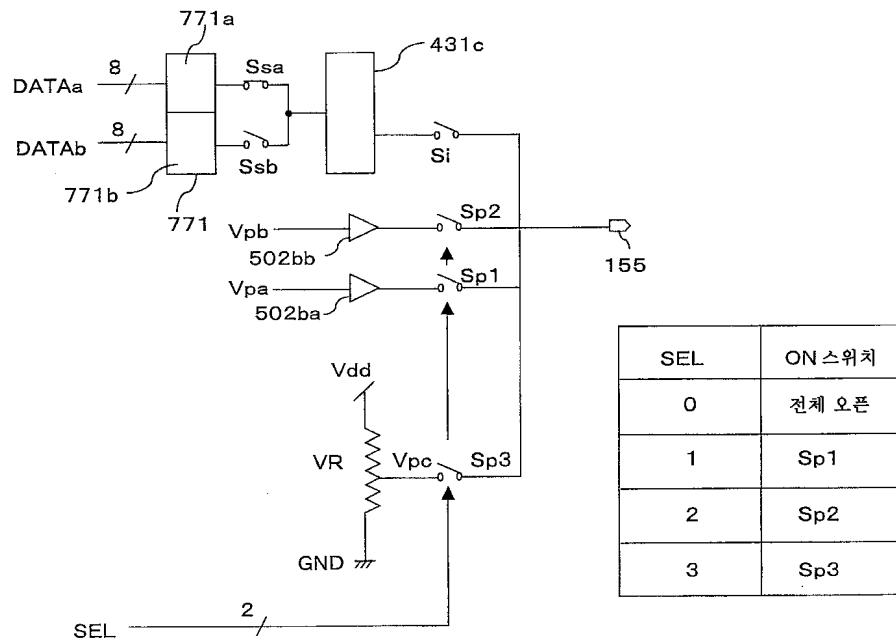
도면307



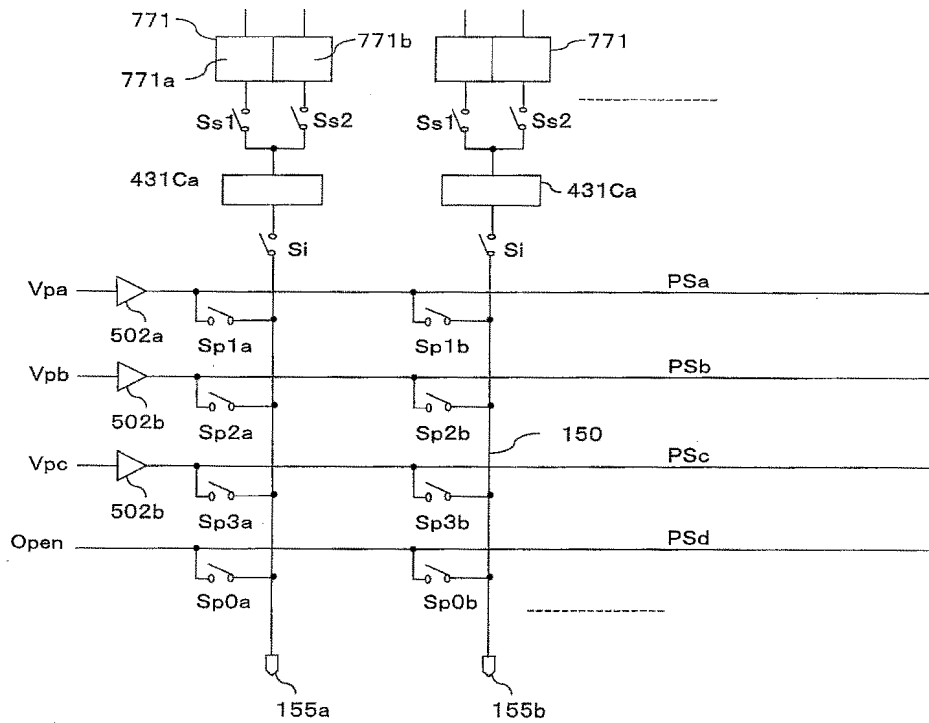
도면308



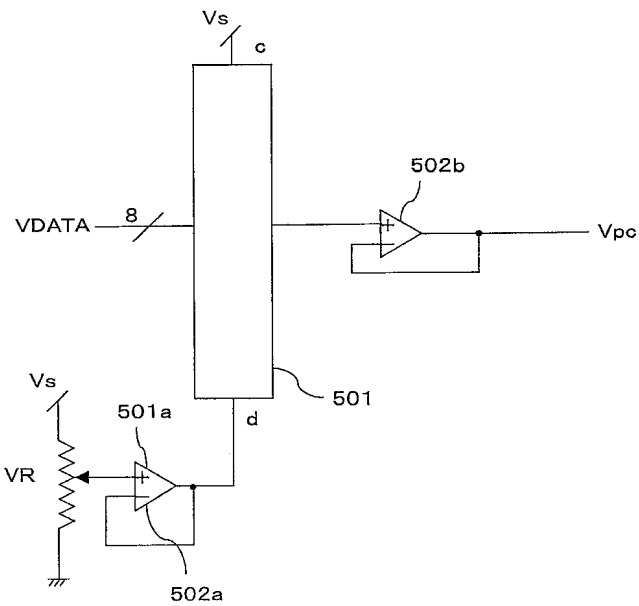
도면309



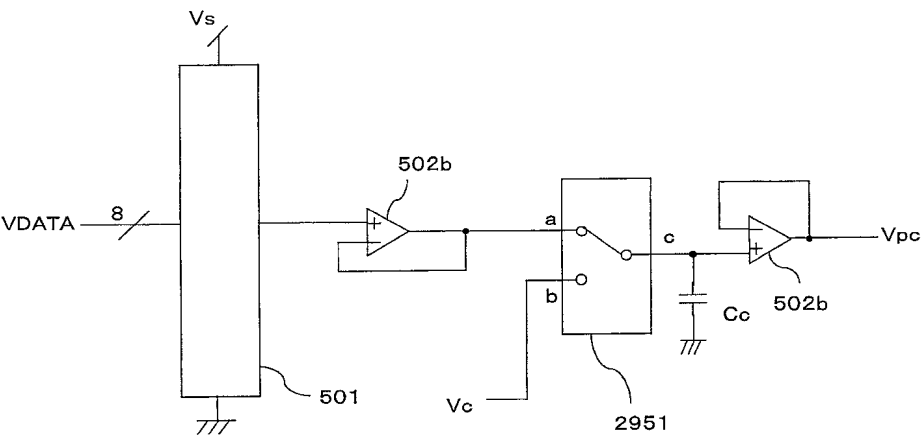
도면310



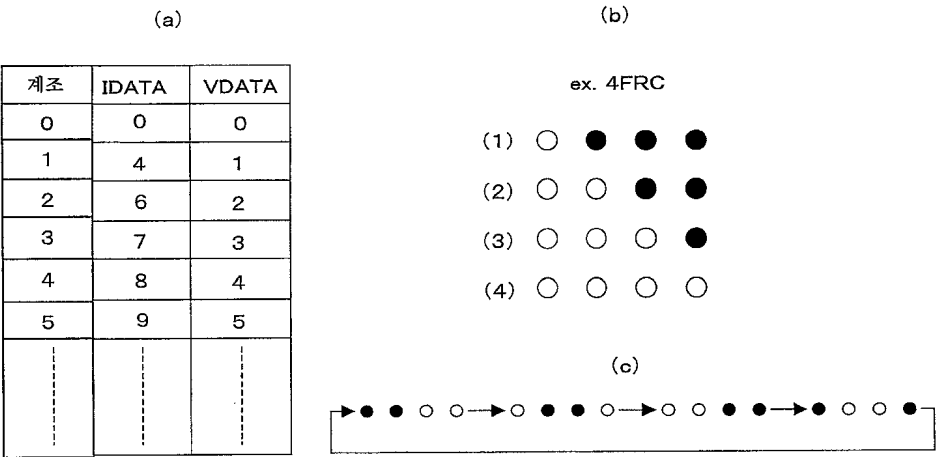
도면311



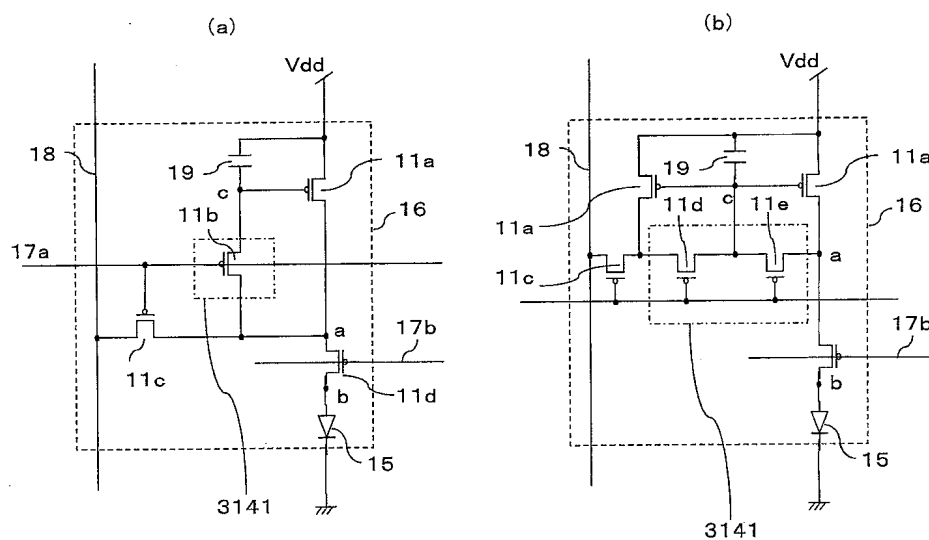
도면312



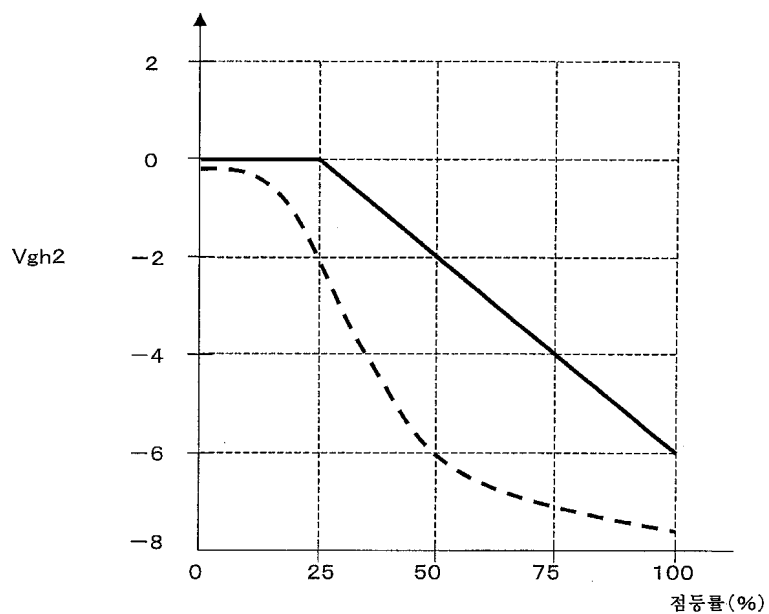
도면313



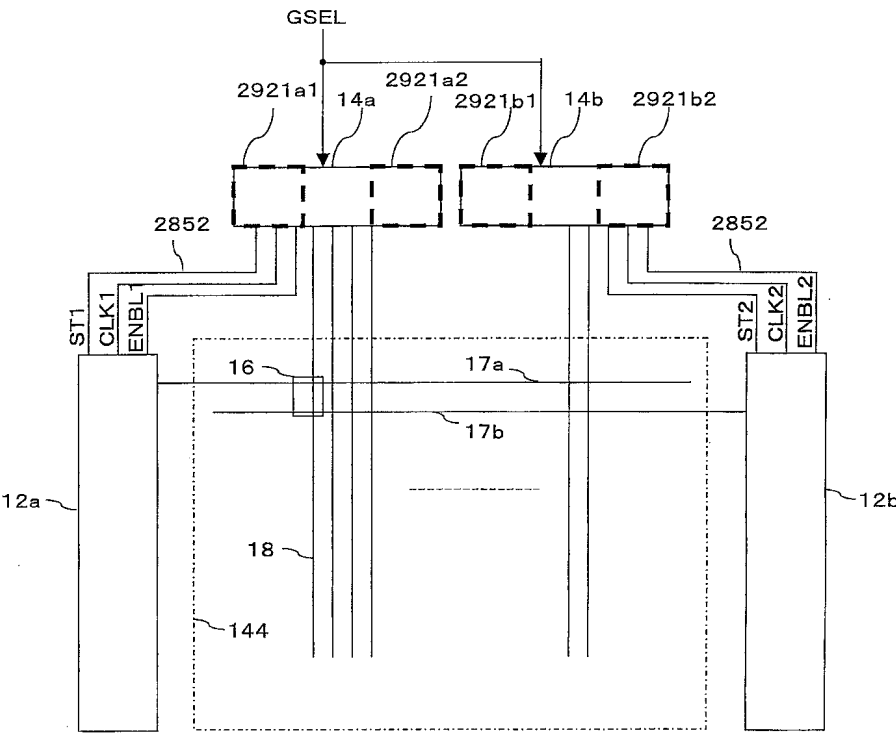
도면314



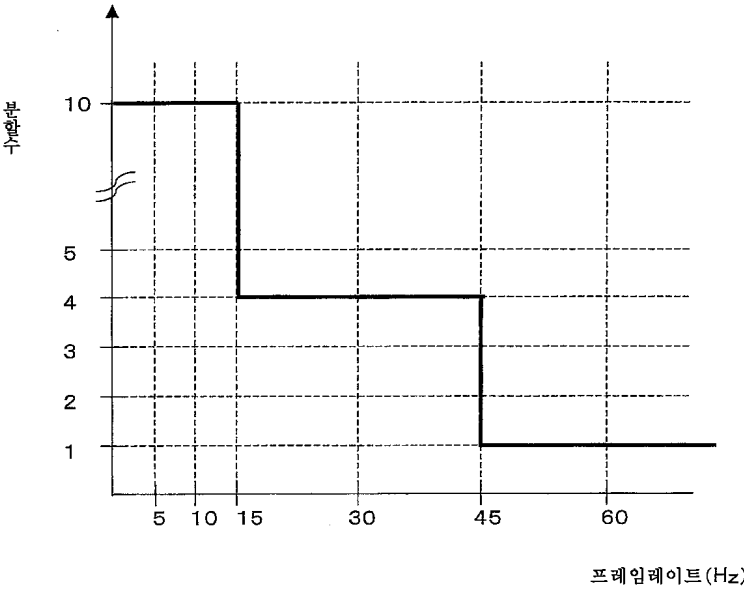
도면315



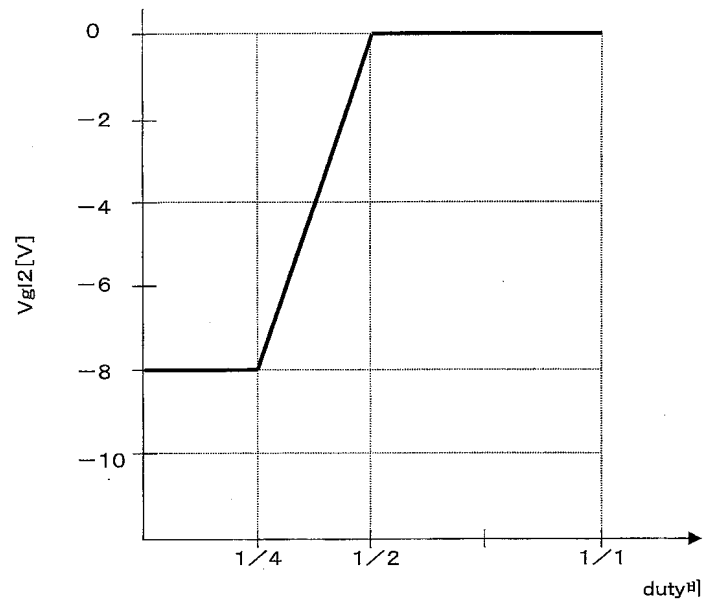
도면316



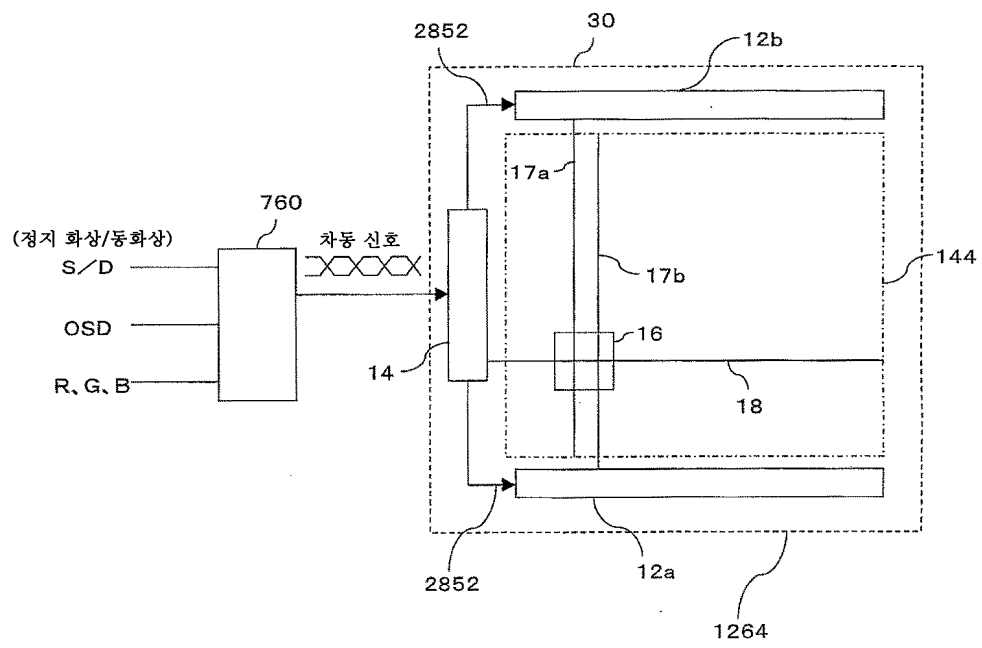
도면317



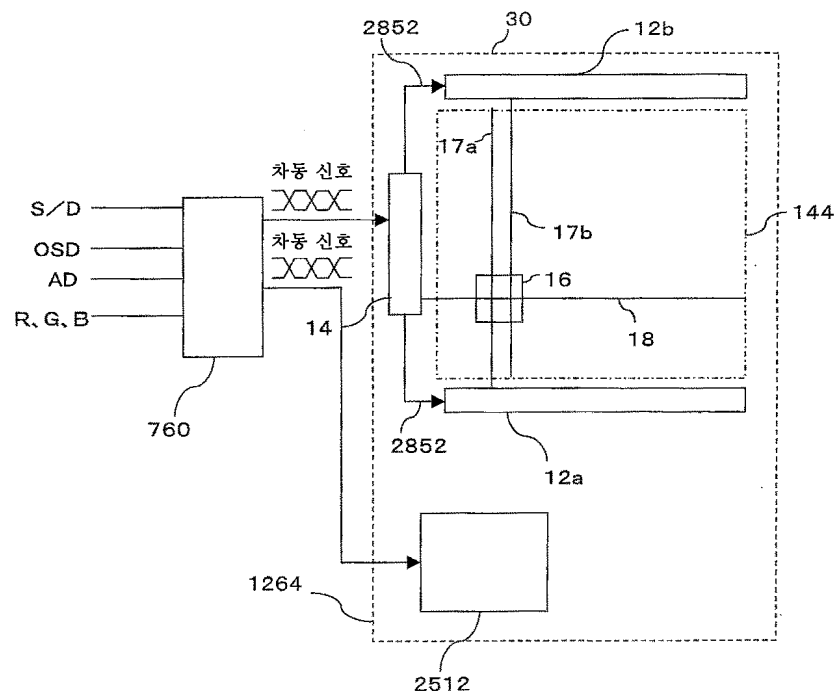
도면318



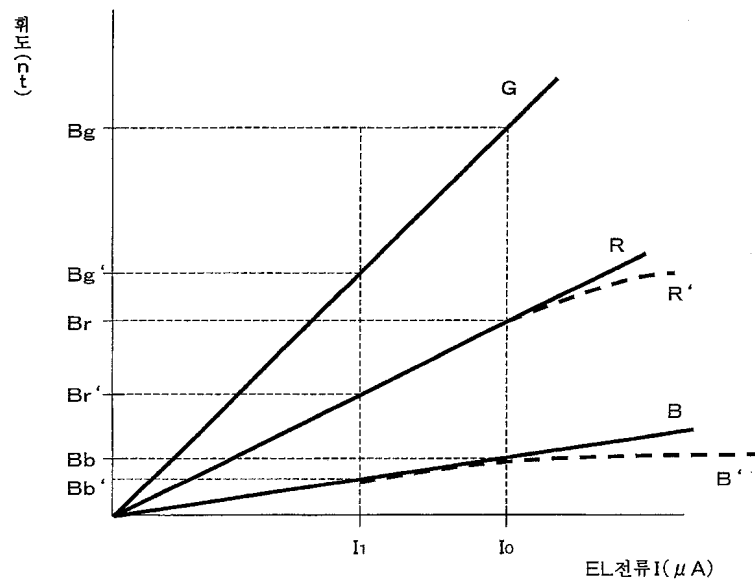
도면319



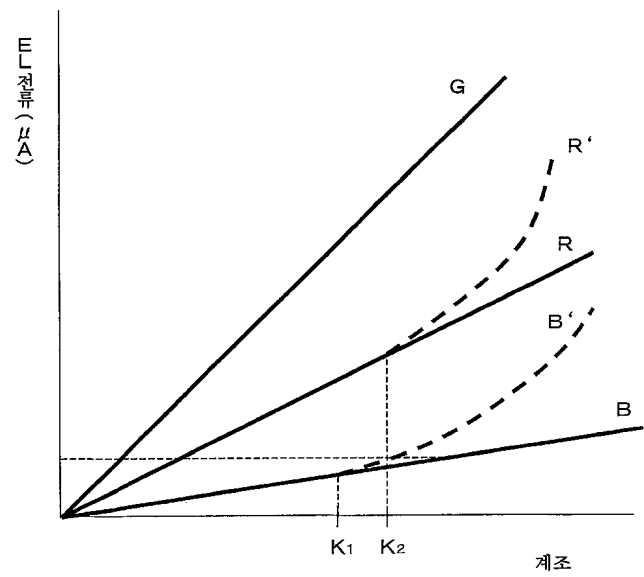
도면320



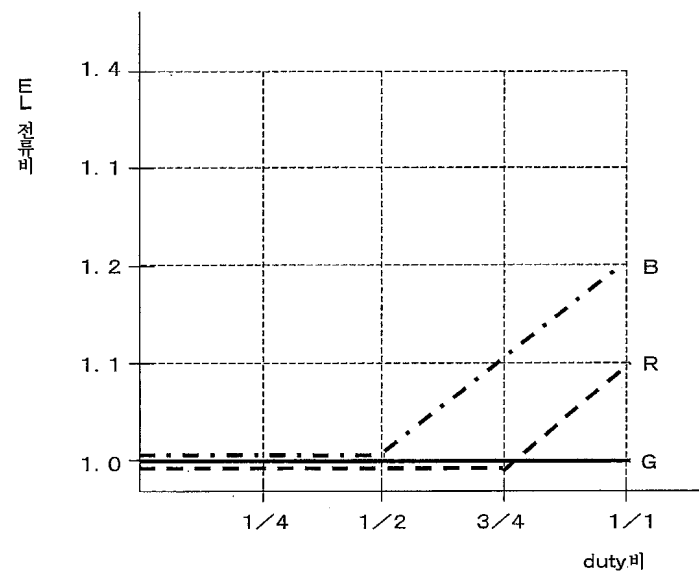
도면321



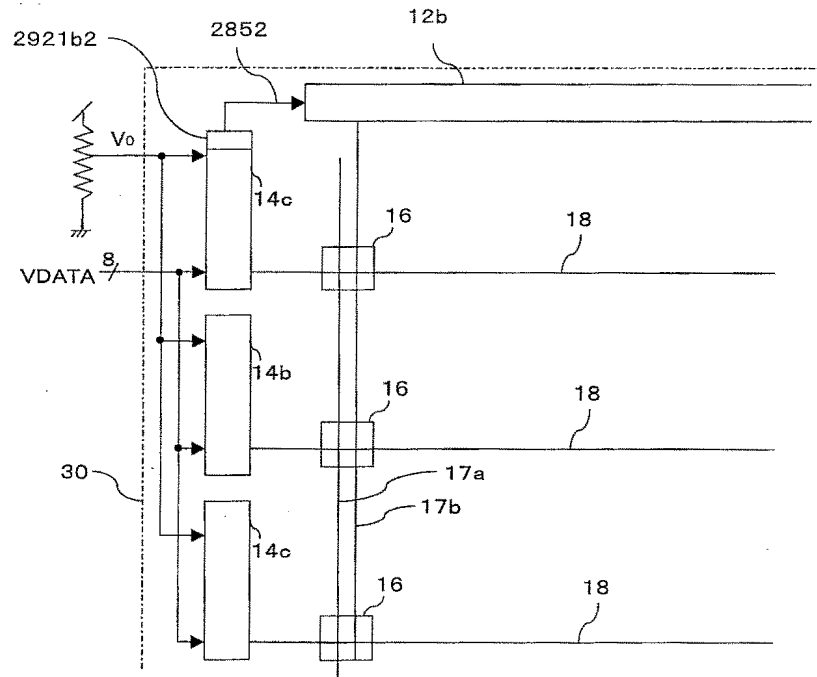
도면322



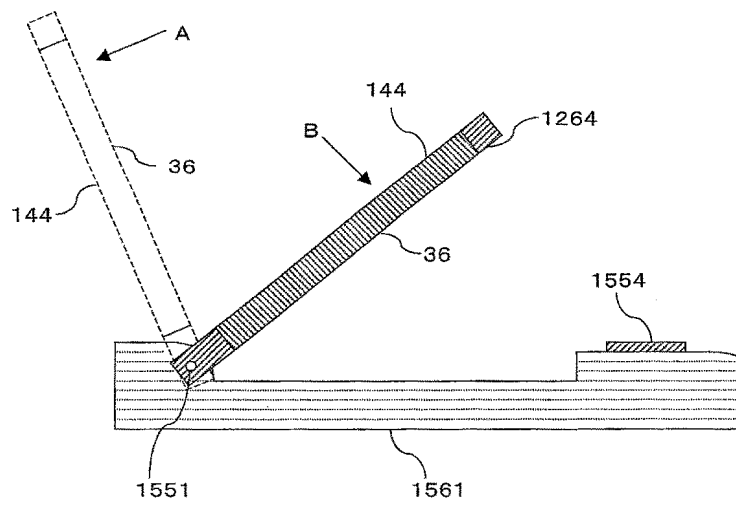
도면323



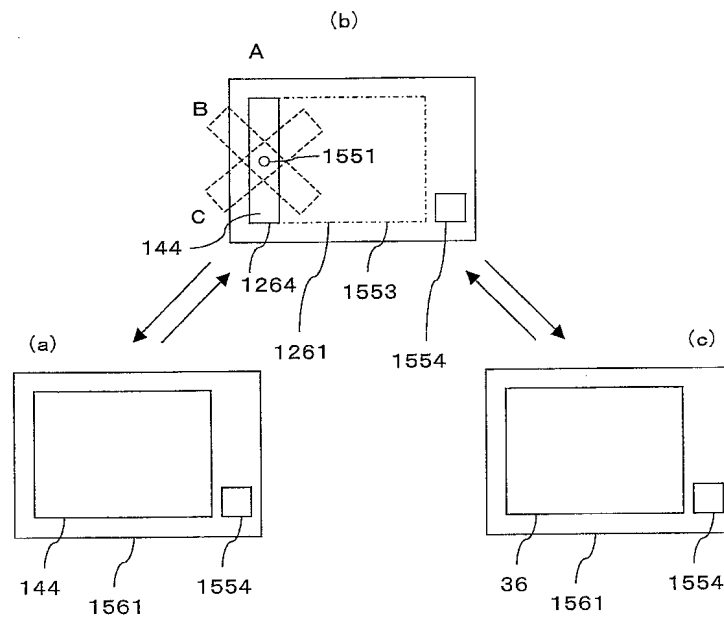
도면324



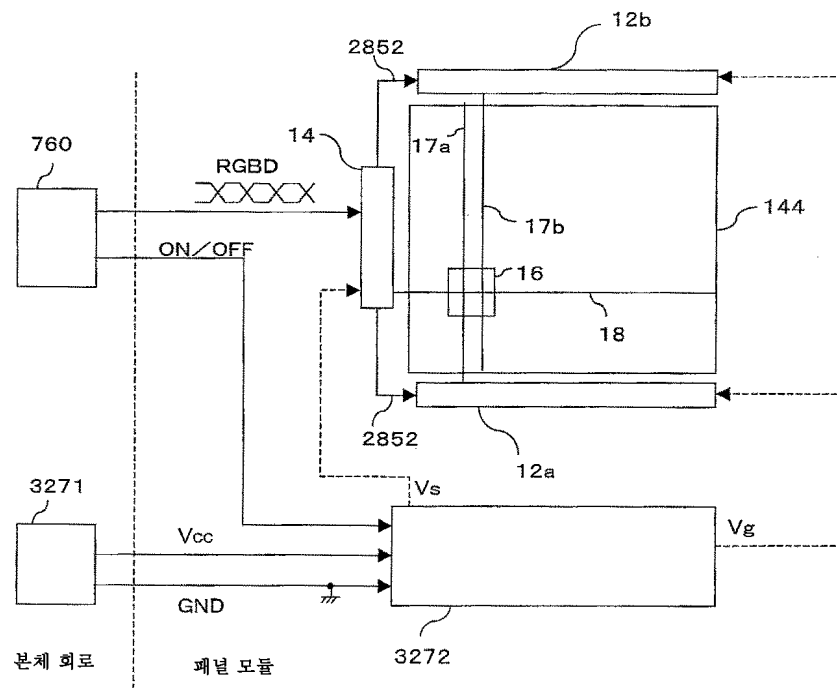
도면325



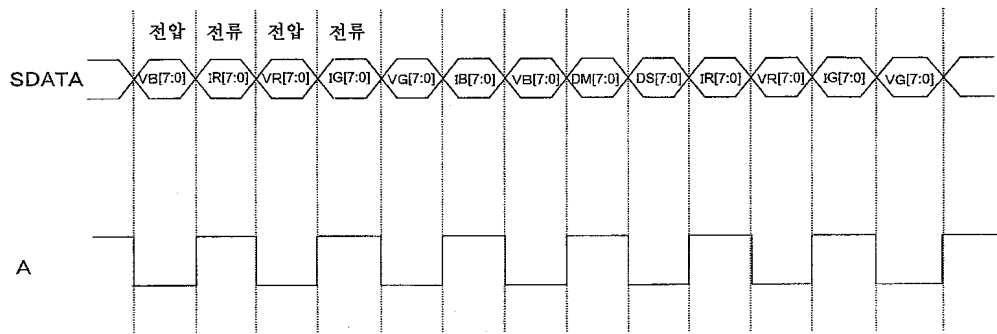
도면326



도면327



도면328

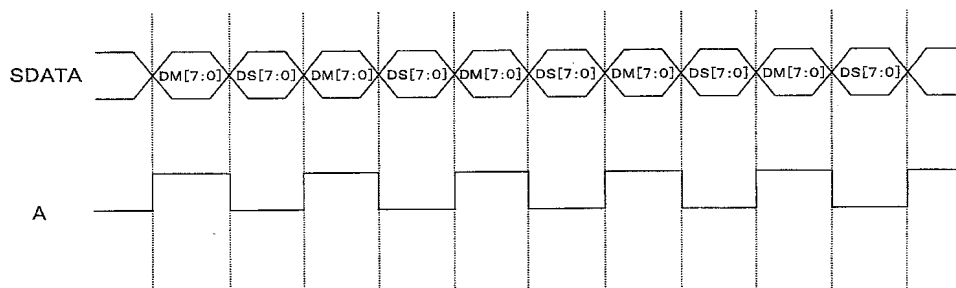


도면329

DM[7:0]

bit	7	6	5	4	3	2	1	0
HD	0	0	0	0	0	0	0	1
VD	0	0	0	0	0	0	1	0
UD	0	0	0	0	0	0	1	1
RL	0	0	0	0	0	1	0	0
PR-time	0	0	0	0	0	1	0	1
PG-time	0	0	0	0	0	1	1	0
PB-time	0	0	0	0	0	1	1	1
기준I-R	0	0	0	0	1	0	0	0
기준I-G	0	0	0	0	1	0	0	1
기준I-B	0	0	0	0	1	0	1	0
Gate-C	0	0	0	0	1	0	1	1

도면330



도면331

DS[7:0]

ex. 1

DM[7:0]=9 (Gate-C)

7	6	5	4	3	2	1	0
—	ST2	CLK2	ENBL2	—	ST1	CLK1	ENBL1

ex. 2

DM[7:0]=3 (PR-time)

7	6	5	4	3	2	1	0
R 프리차지 시간							

ex. 3

DM[7:0]=8 (기준 전류 I-R)

7	6	5	4	3	2	1	0
R 기준 전류 설정 시간							

도면332

(a)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	L	L	L	H	L	L	L	L	L	L	L
P출력	x	x	○	x	x	x	x	○	x	x	x	x	x	x	x

(b)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	L	H	L	L	L	L	H	L	L	L	L	L	L	L
P출력	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

도면333

(a)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P출력	x	x	O	x	O	O	O	O	x	x	O	O	O	x	O

(b)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	H
P출력	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

도면334

(a)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P출력	x	O	O	x	O	O	x	O	x	x	O	O	O	x	O

(b)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	H
P출력	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

도면335

(a)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	L	H	H	L	H	L	L	H	H	H	L	L
P출력	x	x	O	x	O	O	x	O	x	x	O	O	O	x	x

(b)

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PSL	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
PEN	L	H	H	L	H	H	L	H	L	L	H	H	H	L	L
P출력	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

도면336

행 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
R 화상 데이터	39	12	0	21	2	1	7	0	21	27	7	5	1	61	12
PEN	L	L	H	L	H	H	H	H	L	L	H	H	H	L	L
P출력	x	x	O	x	O	O	O	O	x	x	O	O	O	x	x
G 화상 데이터	12	10	3	22	39	12	0	21	2	27	7	7	5	1	12
PEN	L	L	H	L	L	L	H	L	H	L	H	H	H	H	L
P출력	x	x	O	x	x	x	O	x	O	x	O	O	O	O	x
B 화상 데이터	7	5	1	21	39	7	5	1	2	27	39	12	39	12	0
PEN	H	H	H	L	L	H	H	H	H	L	L	L	L	L	H
P출력	O	O	O	x	x	O	O	O	O	x	x	x	x	x	O

도면337

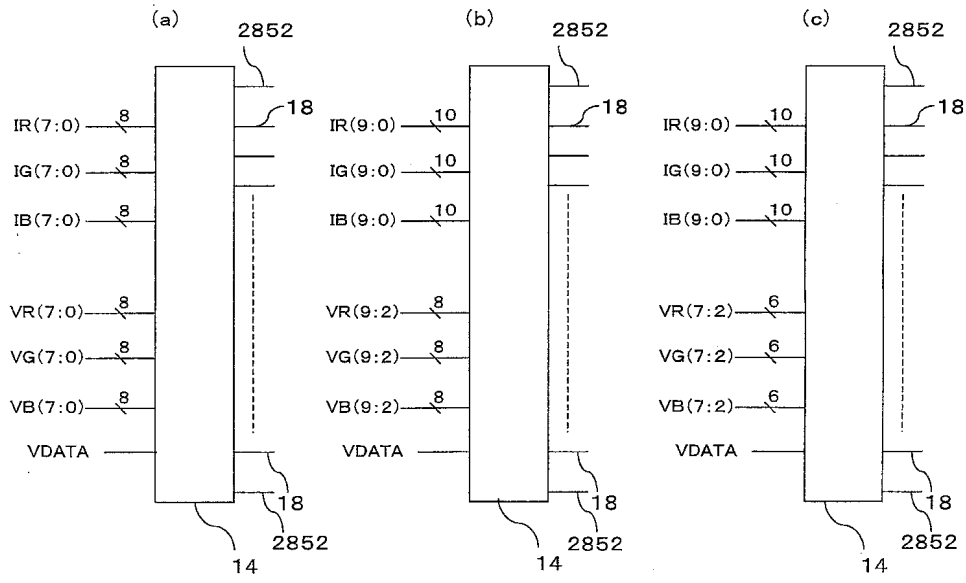
(a)

프레임 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	L	L	L
카운트	0	0	1	2	3	4	0	1	0	0	1	2	0	0	0
P출력	x	x	x	x	O	O	x	x	x	x	x	x	x	x	x

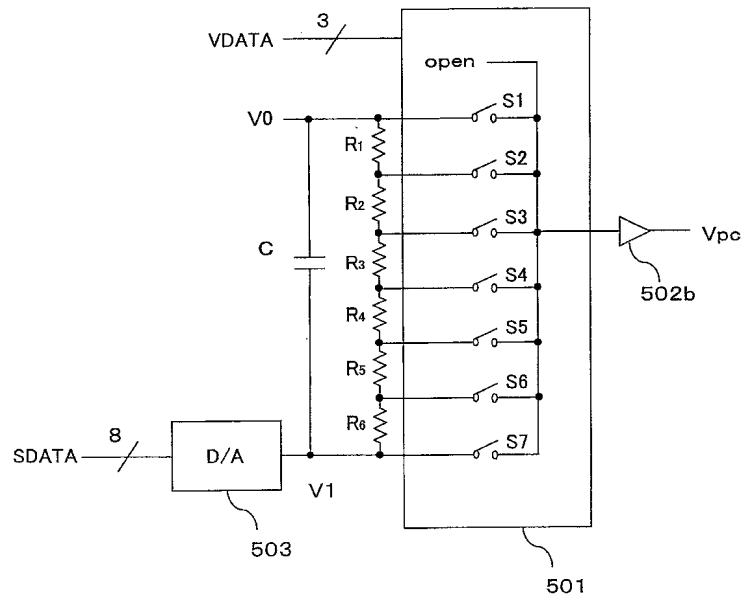
(b)

프레임 번호	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
화상 데이터	39	12	0	0	0	0	7	0	21	27	0	0	1	61	12
PSL	H	H	H	H	L	H	H	H	H	H	L	H	H	H	H
PEN	L	L	H	H	H	H	L	H	L	L	H	H	L	L	L
카운트	0	0	1	2	2	3	0	1	0	0	1	1	0	0	0
P출력	x	x	x	x	x	O	x	x	x	x	x	x	x	x	x

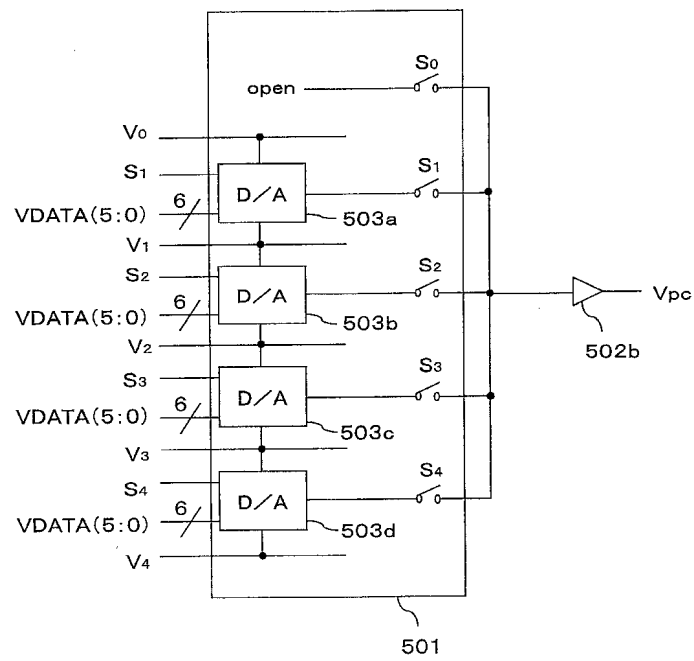
도면338



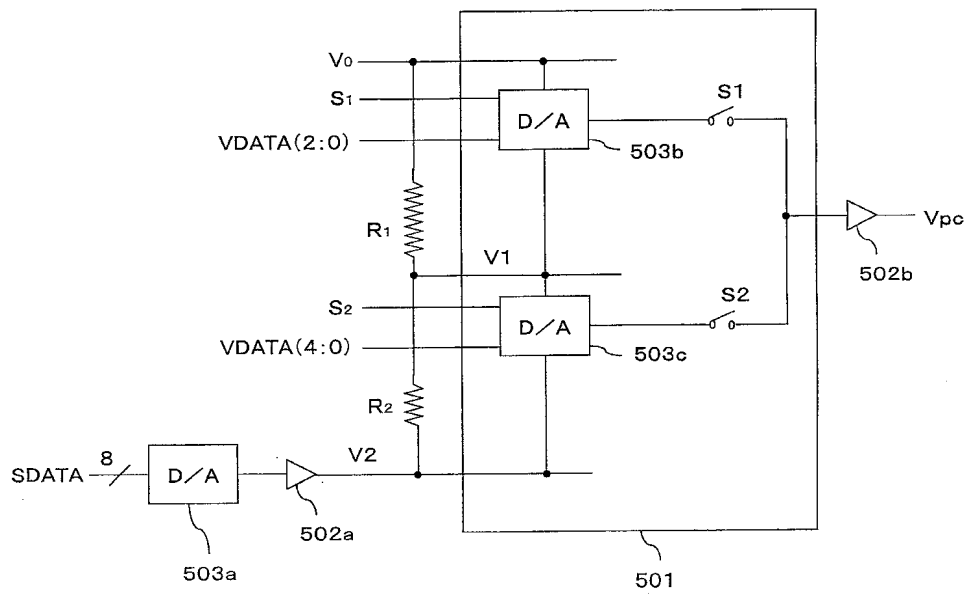
도면339



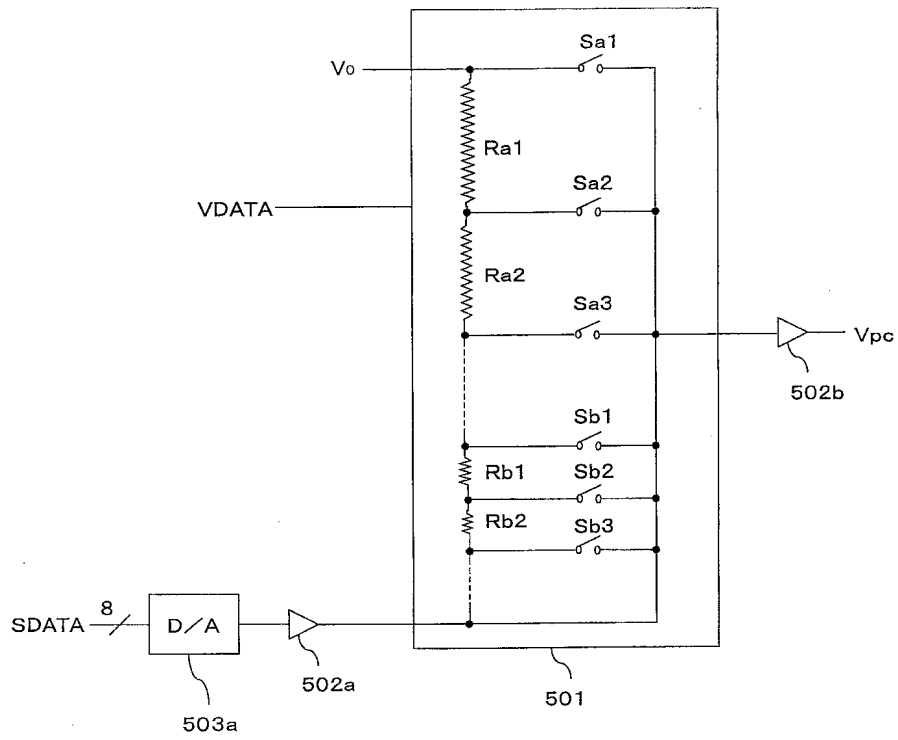
도면340



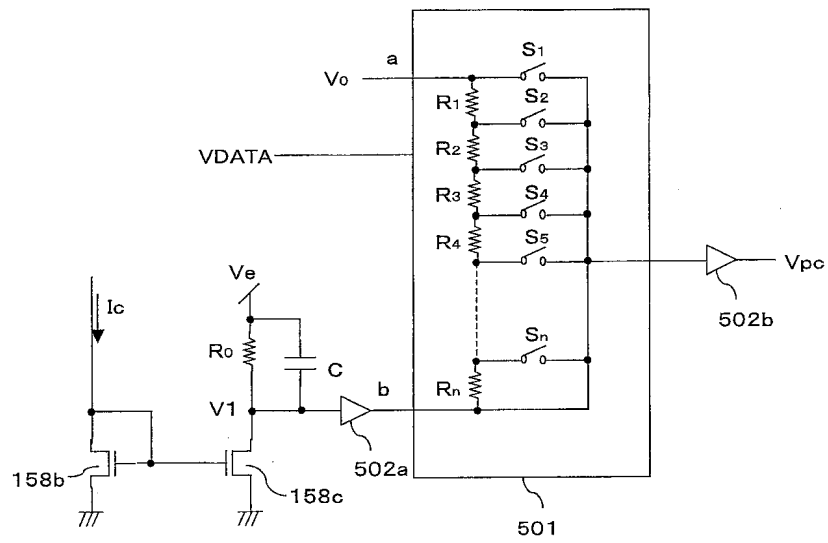
도면341



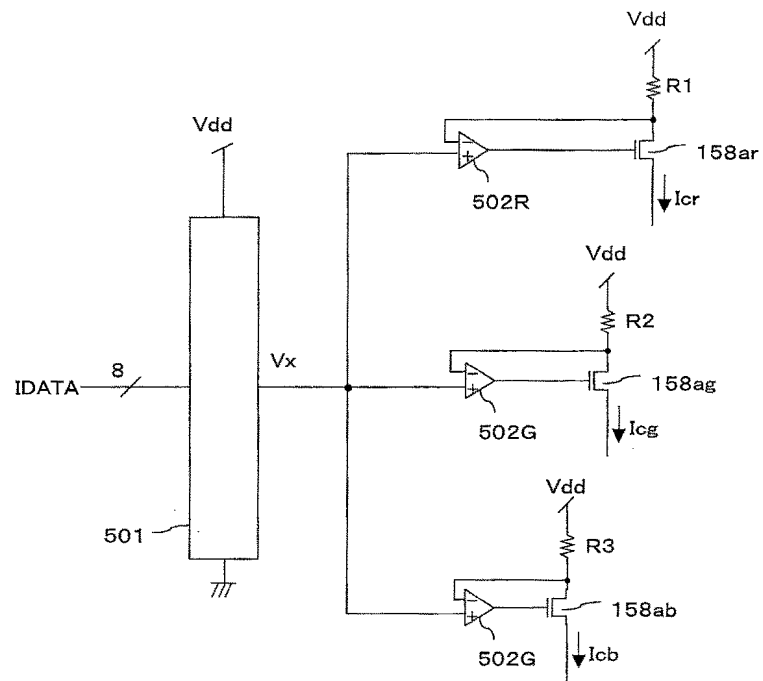
도면342



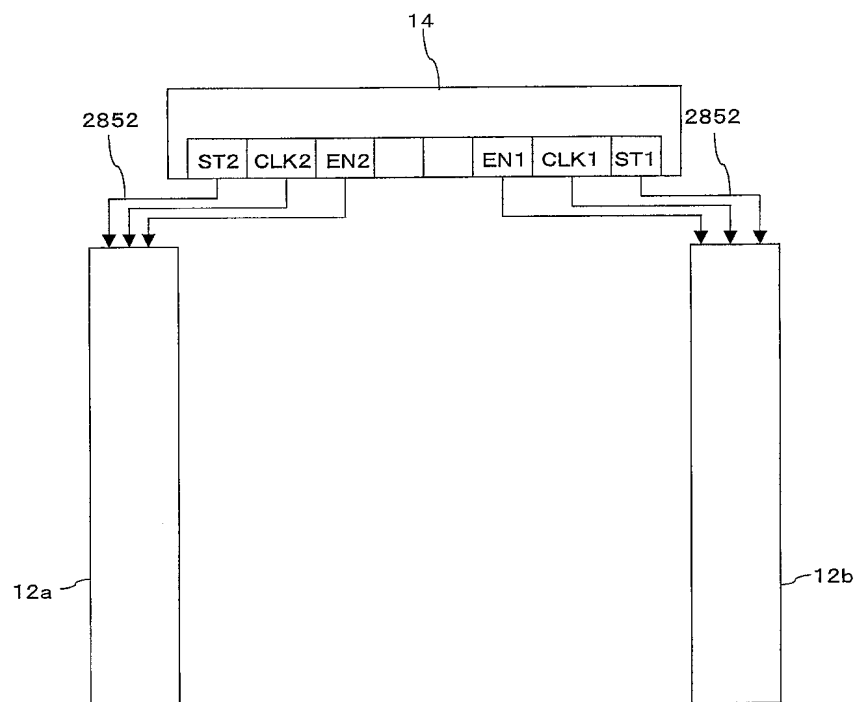
도면343



도면346

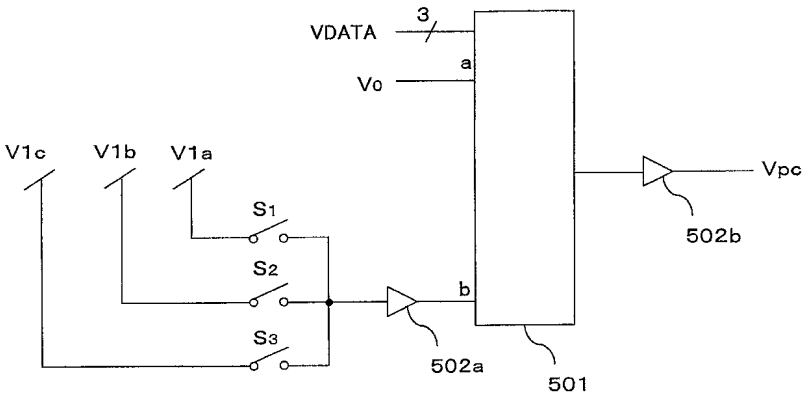


도면347



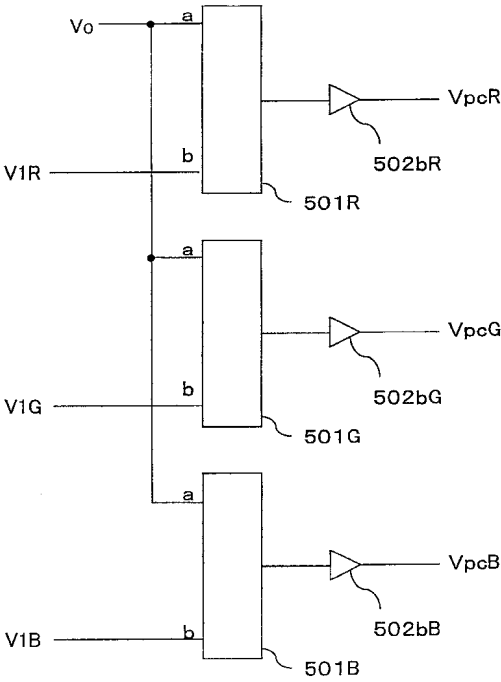
도면348

Vgl1로 변화

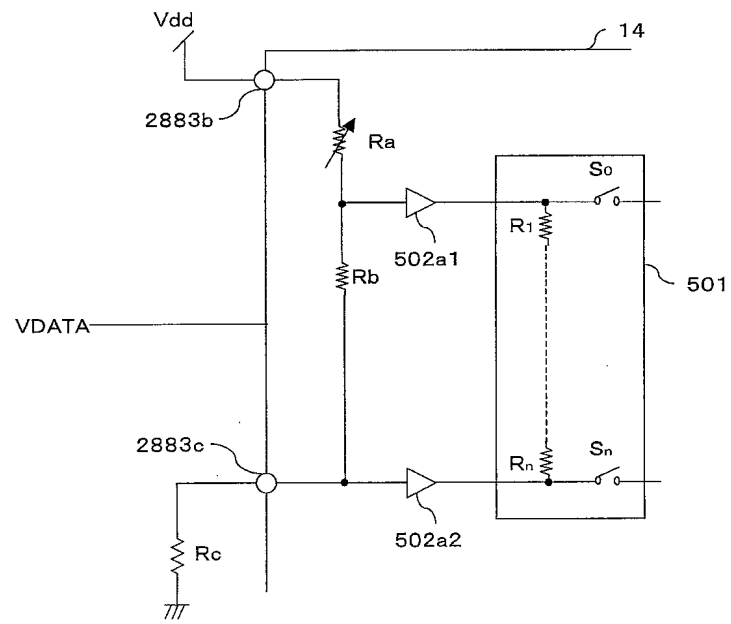


도면349

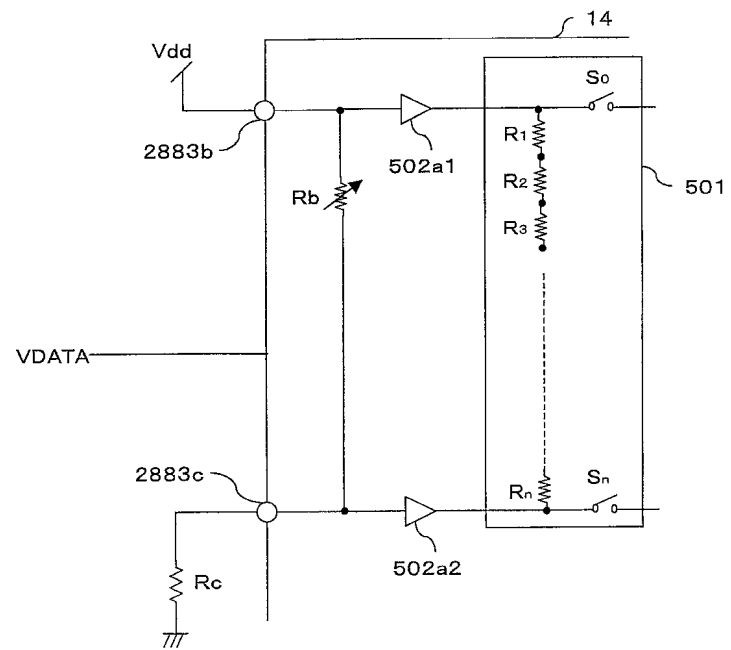
RGB 로 V1을 바꾼다



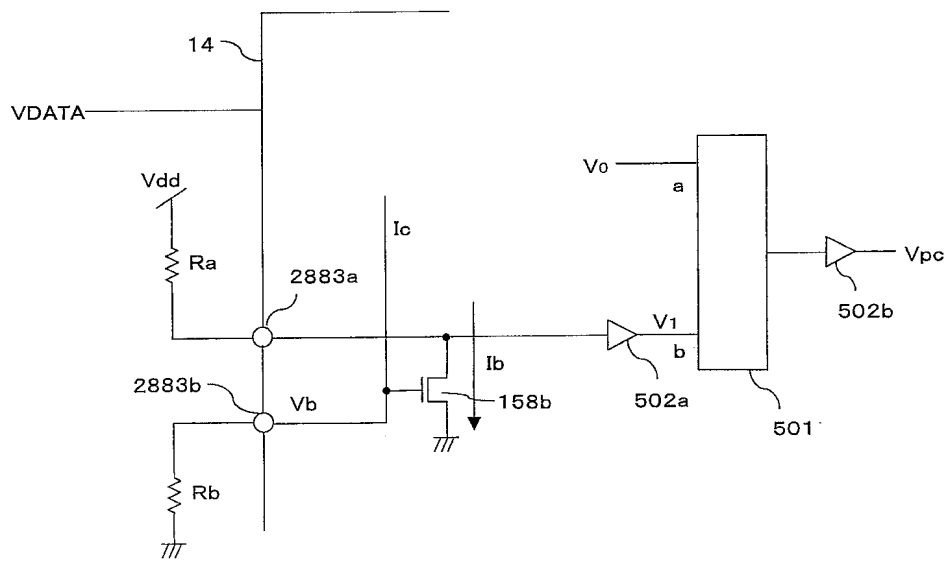
도면352



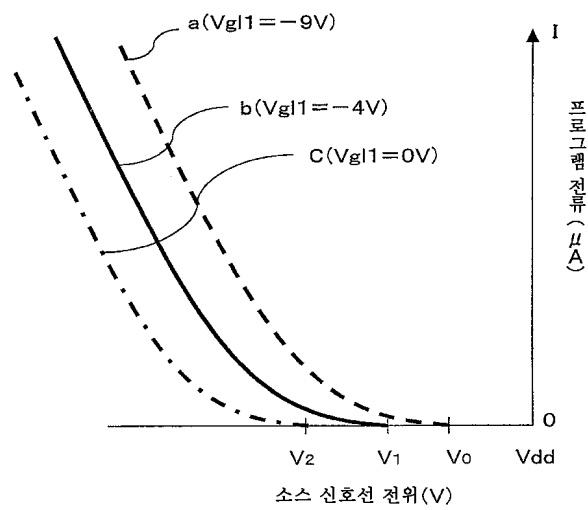
도면353



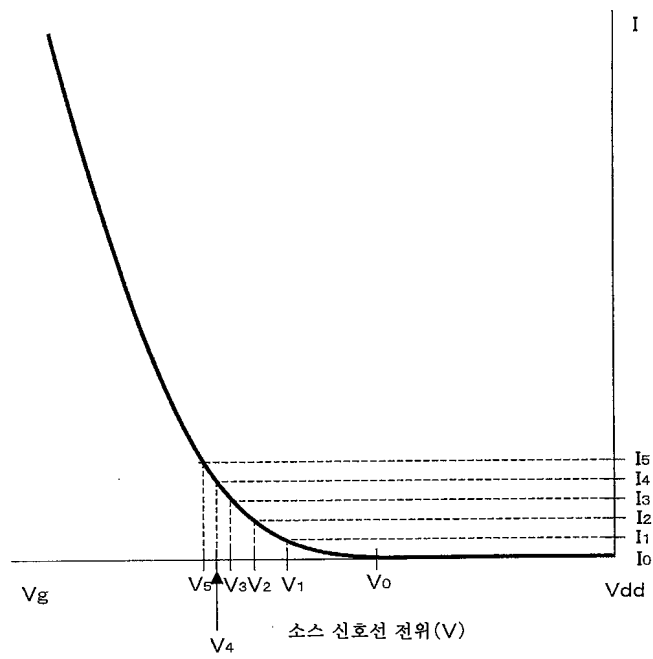
도면354



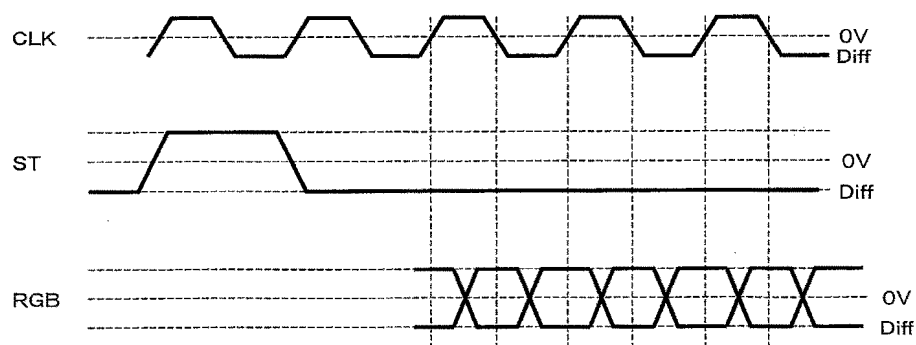
도면355



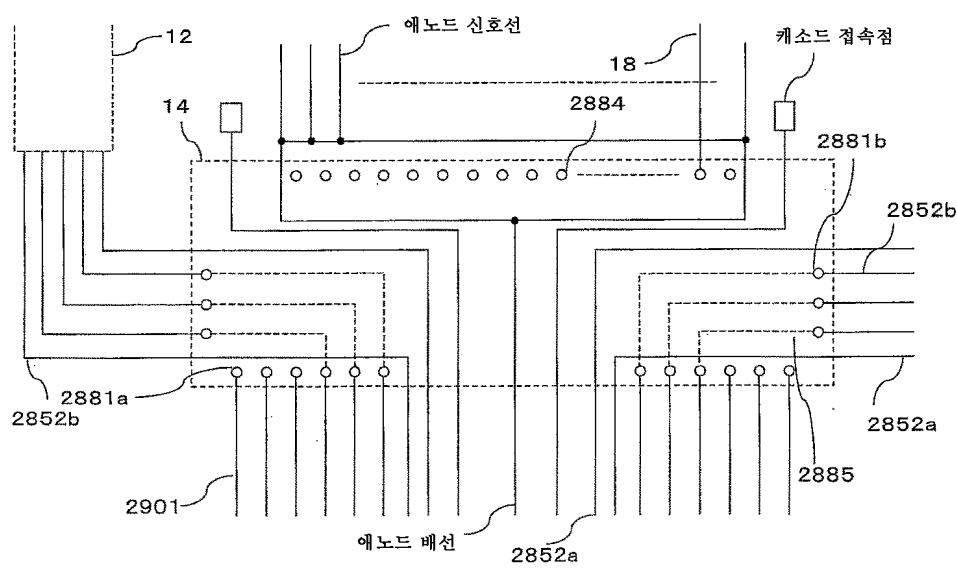
도면356



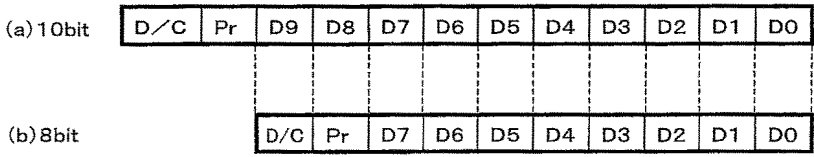
도면357



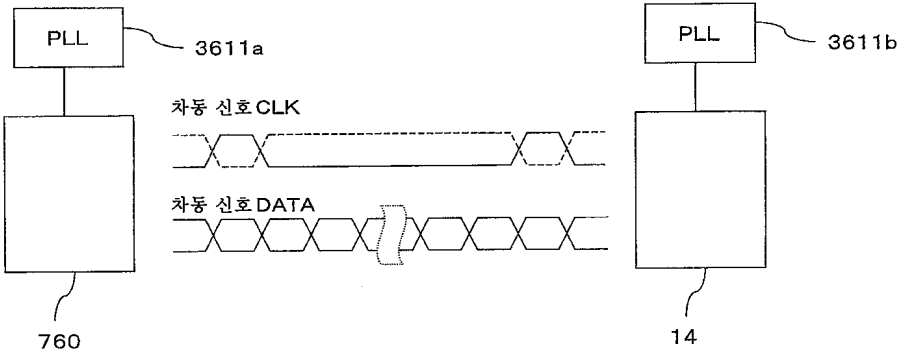
도면358



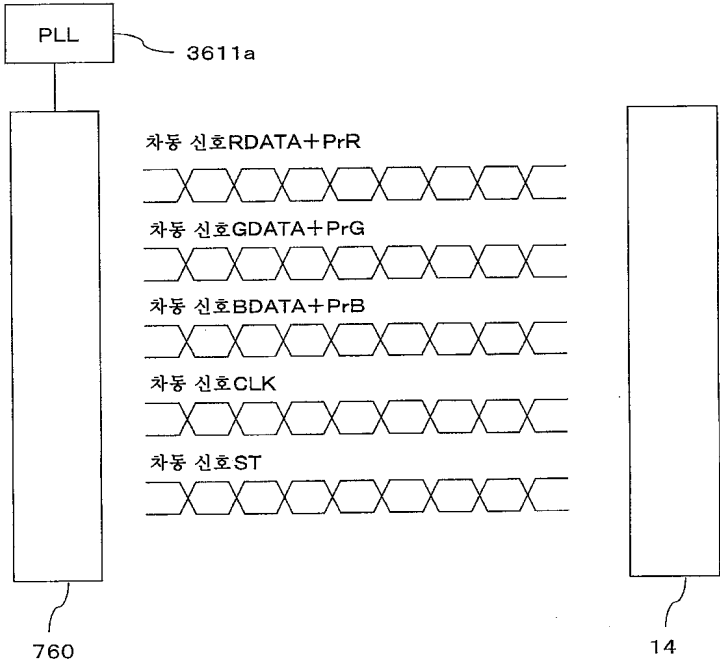
도면359



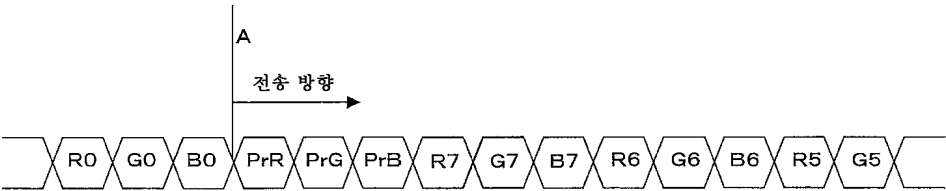
도면360



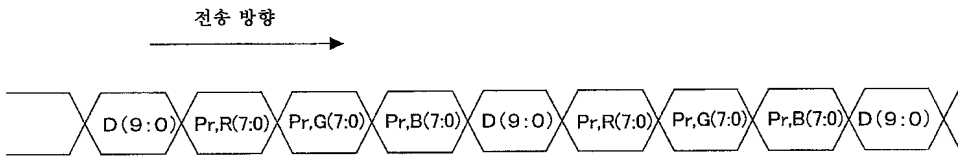
도면361



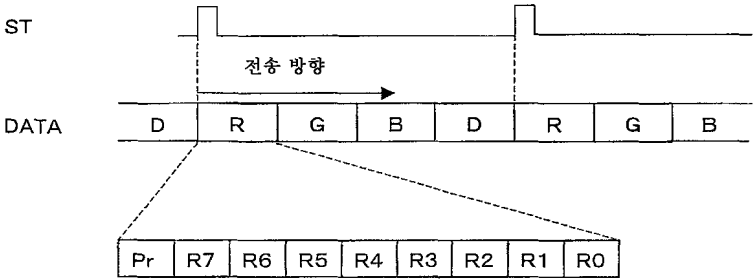
도면362



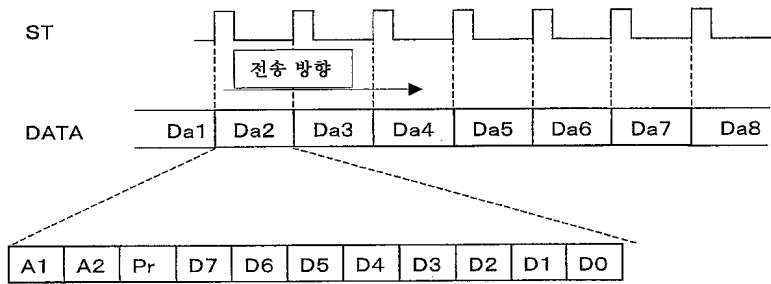
도면363



도면364

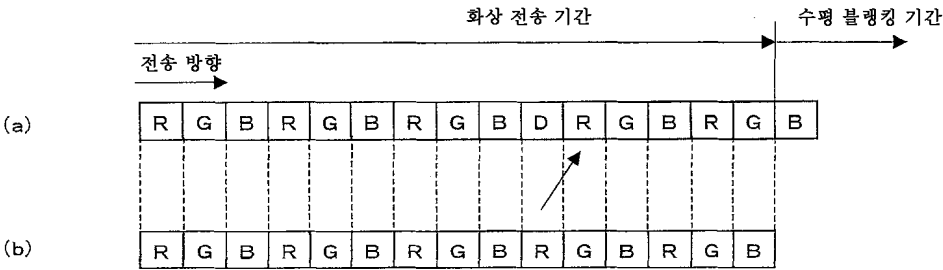


도면365

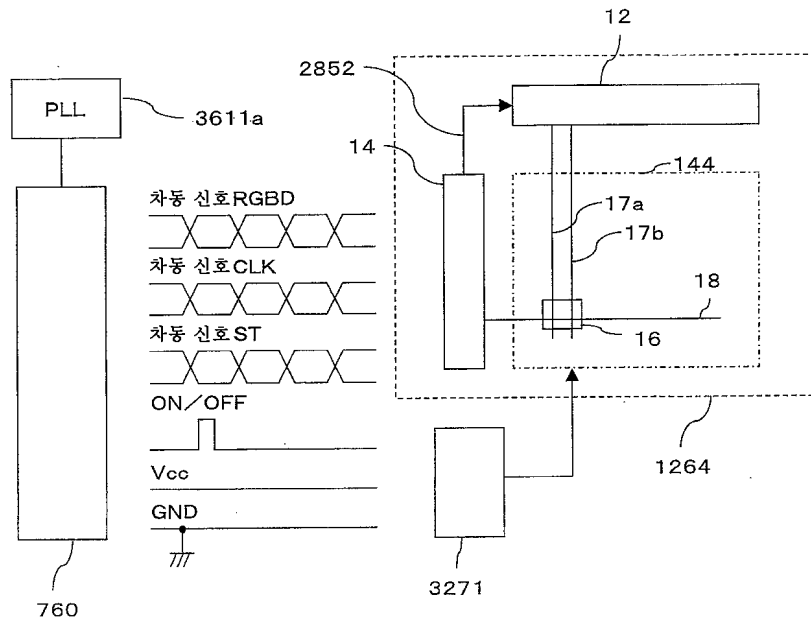


A(1:0)=0 → D(7:0)은 제어 데이터
A(1:0)=1 → D(7:0)은 R 영상 데이터
A(1:0)=2 → D(7:0)은 G 영상 데이터
A(1:0)=3 → D(7:0)은 B 영상 데이터

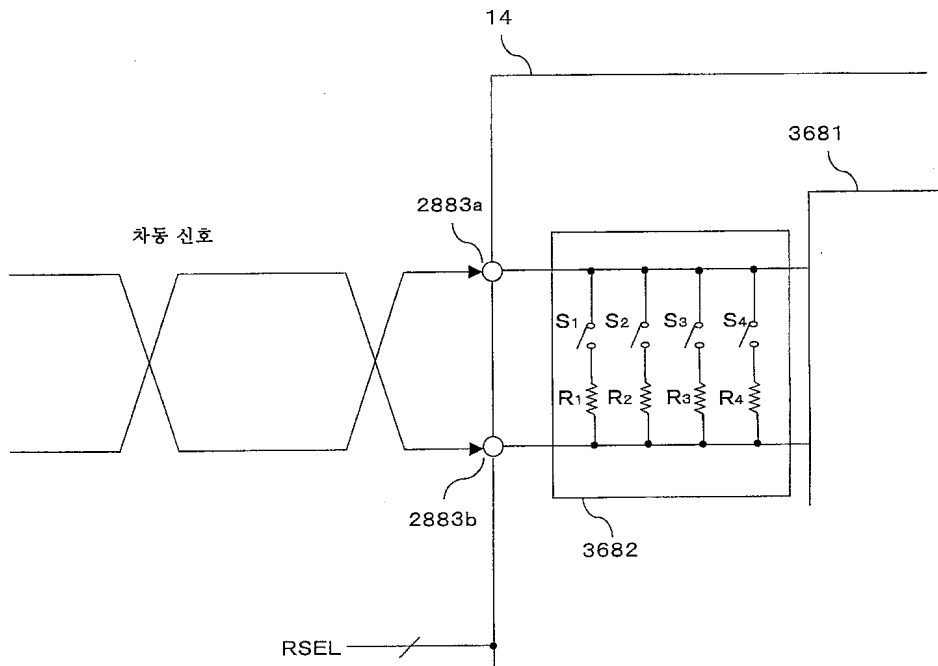
도면366



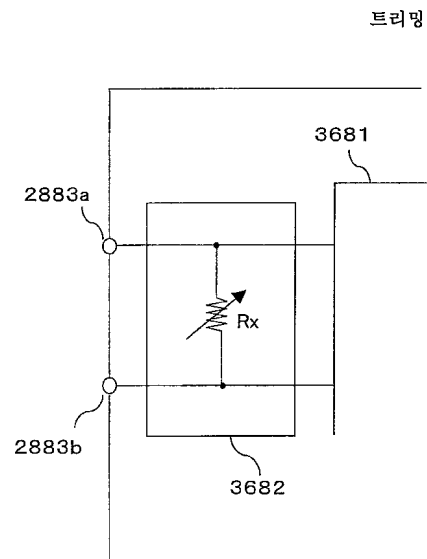
도면367



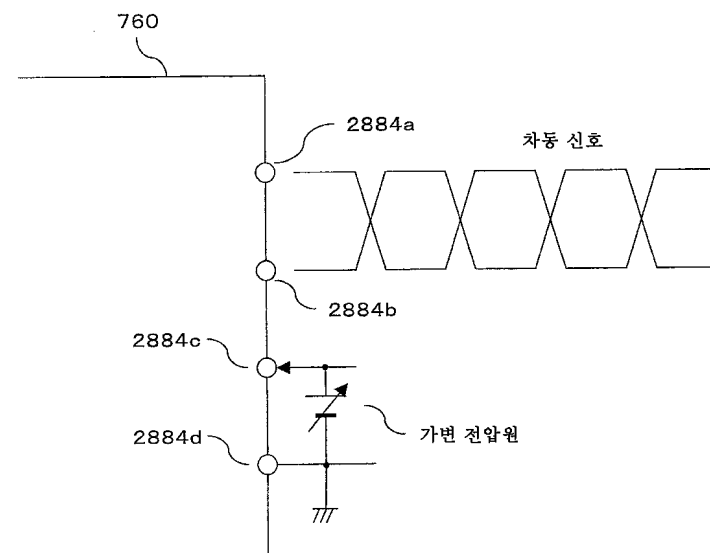
도면368



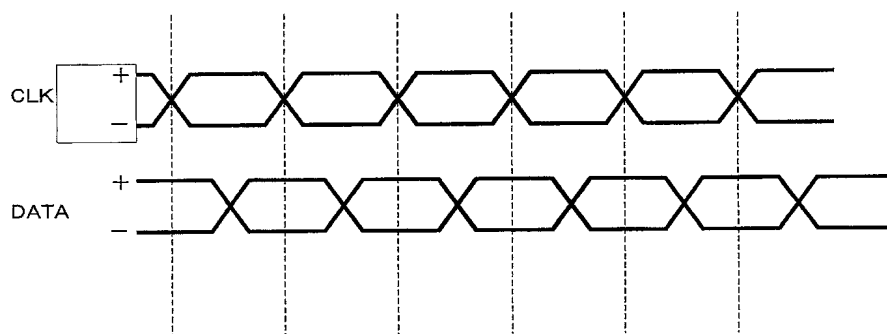
도면369



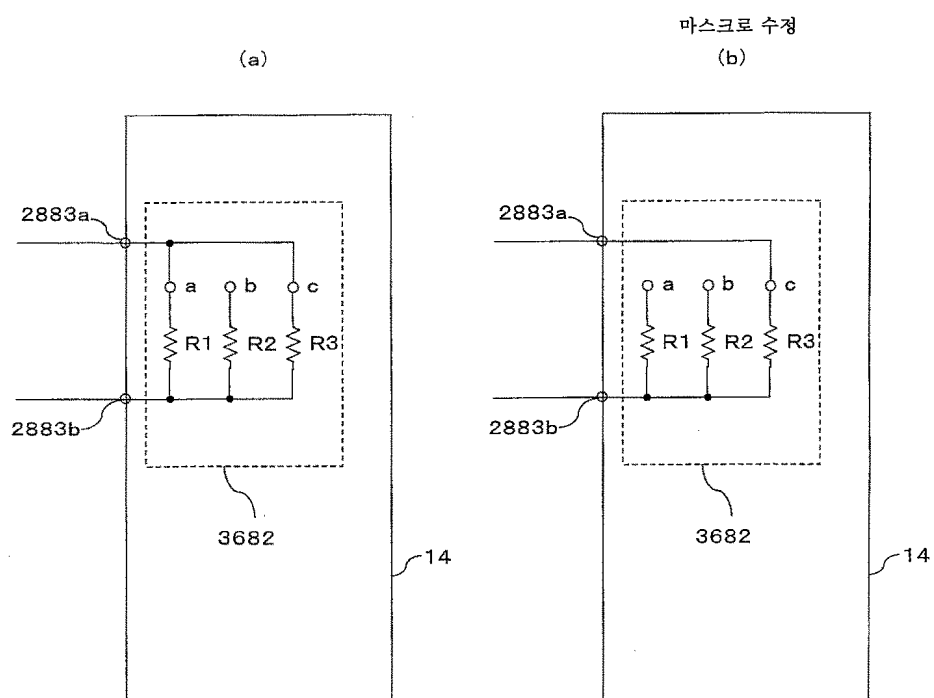
도면370



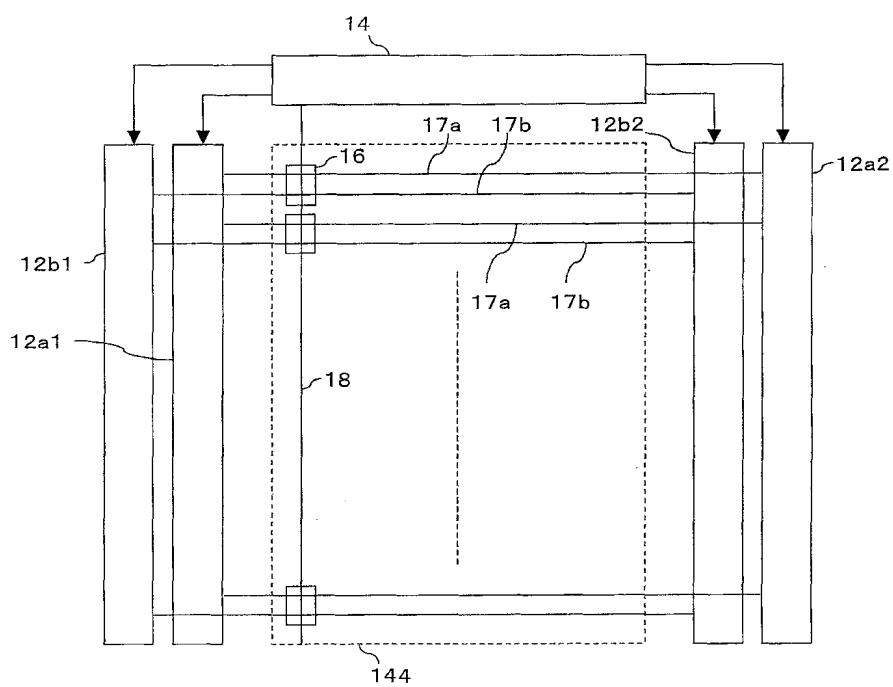
도면371



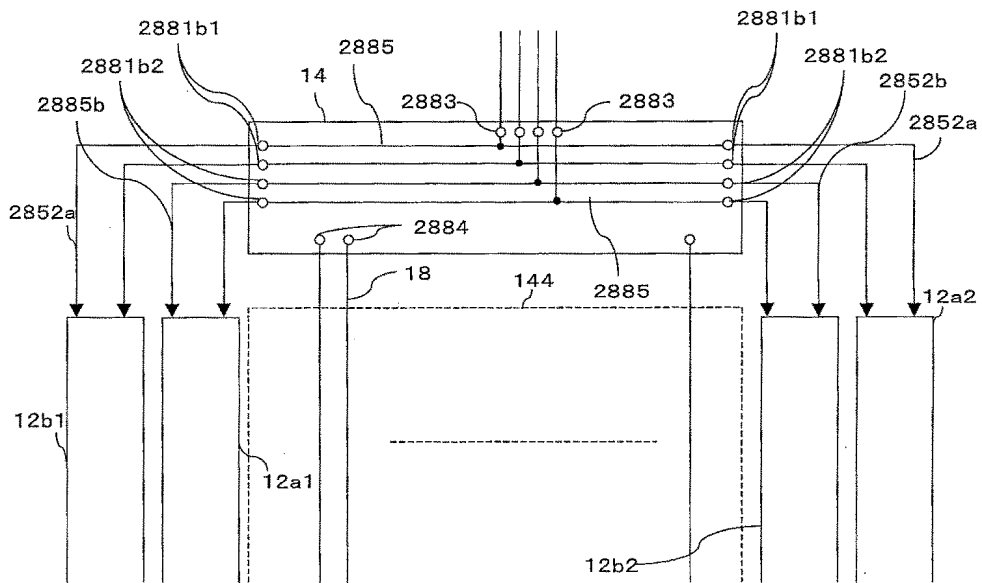
도면372



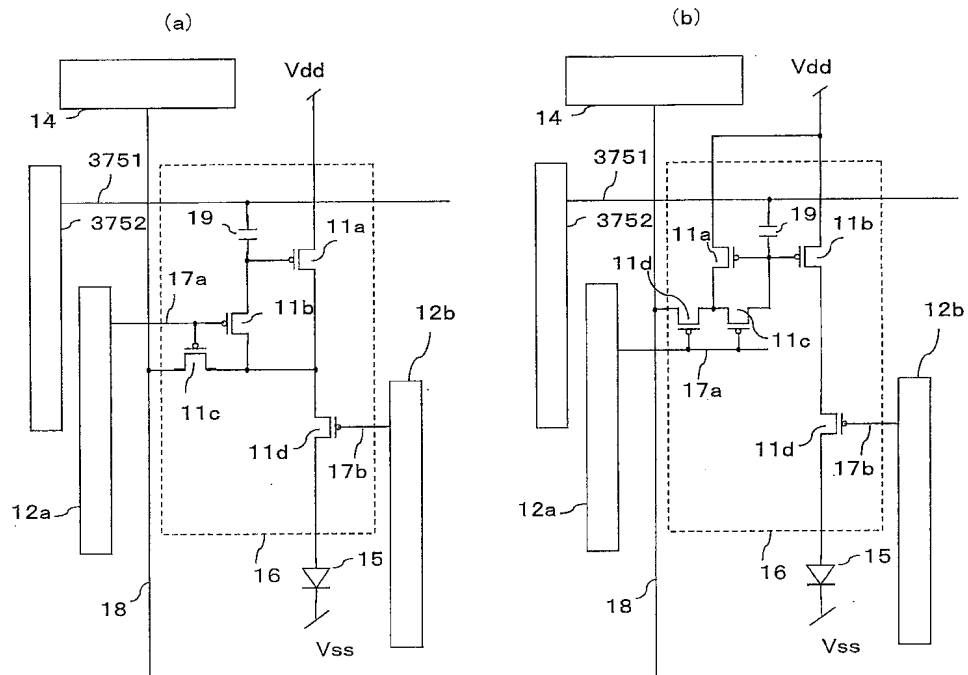
도면373



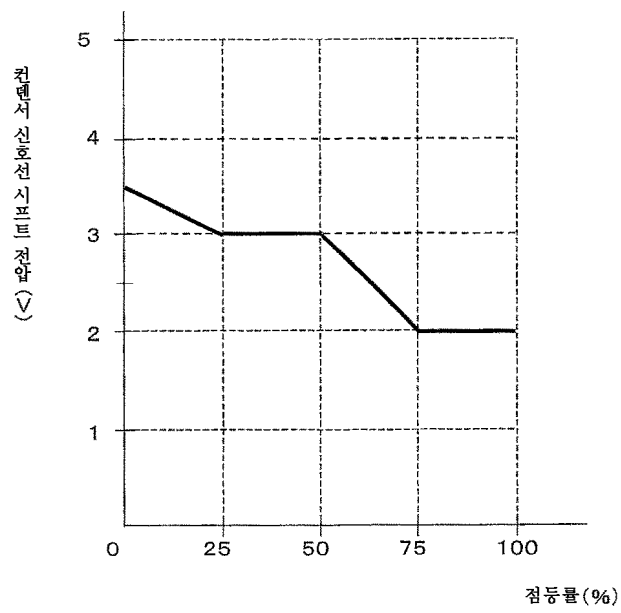
도면374



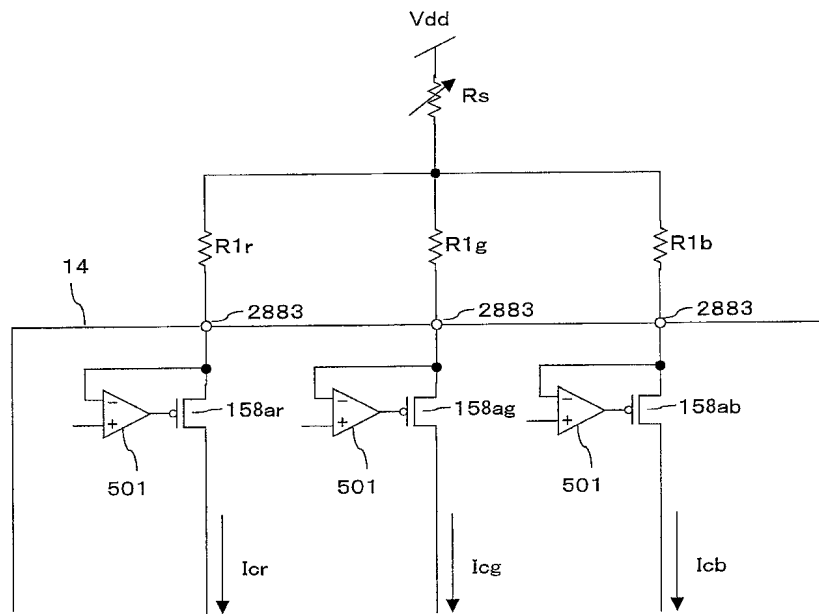
도면375



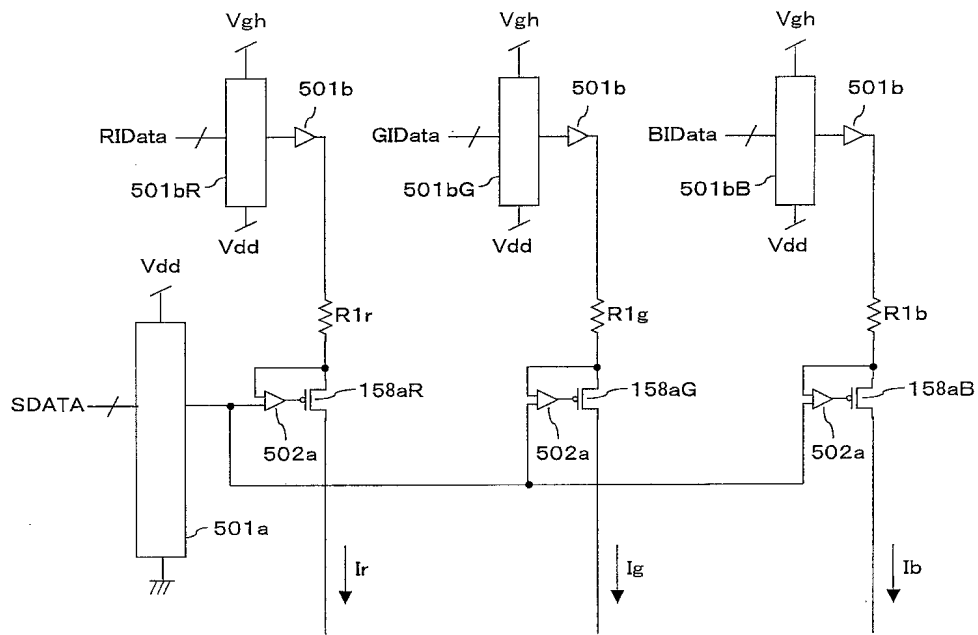
도면376



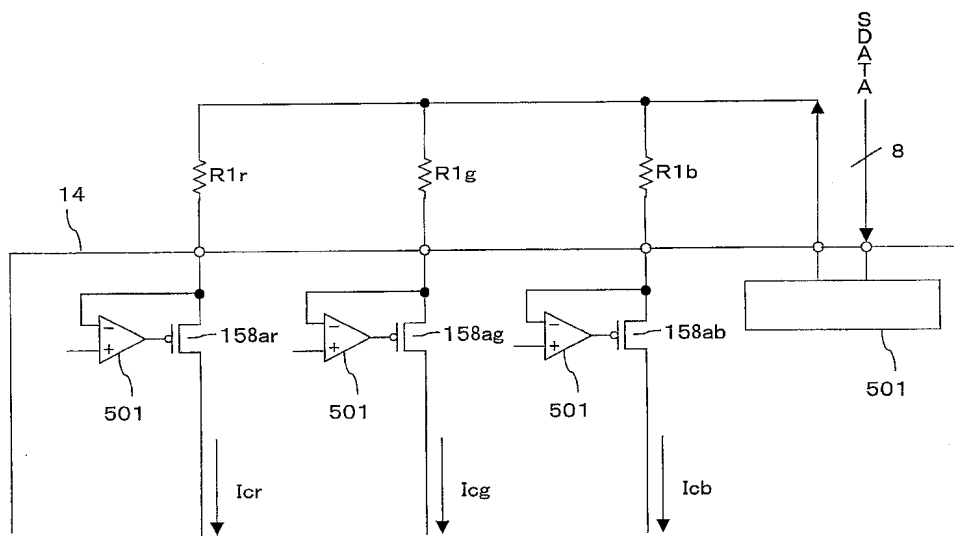
도면377



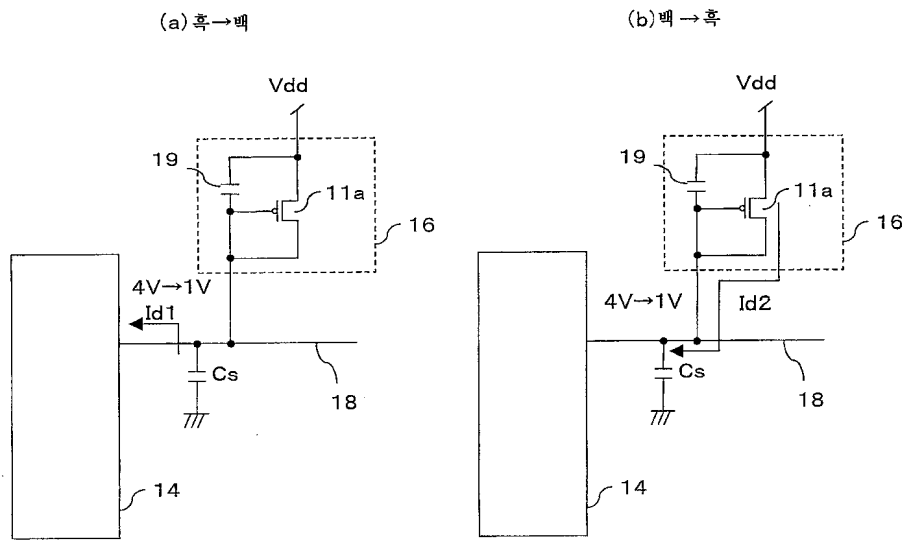
도면378



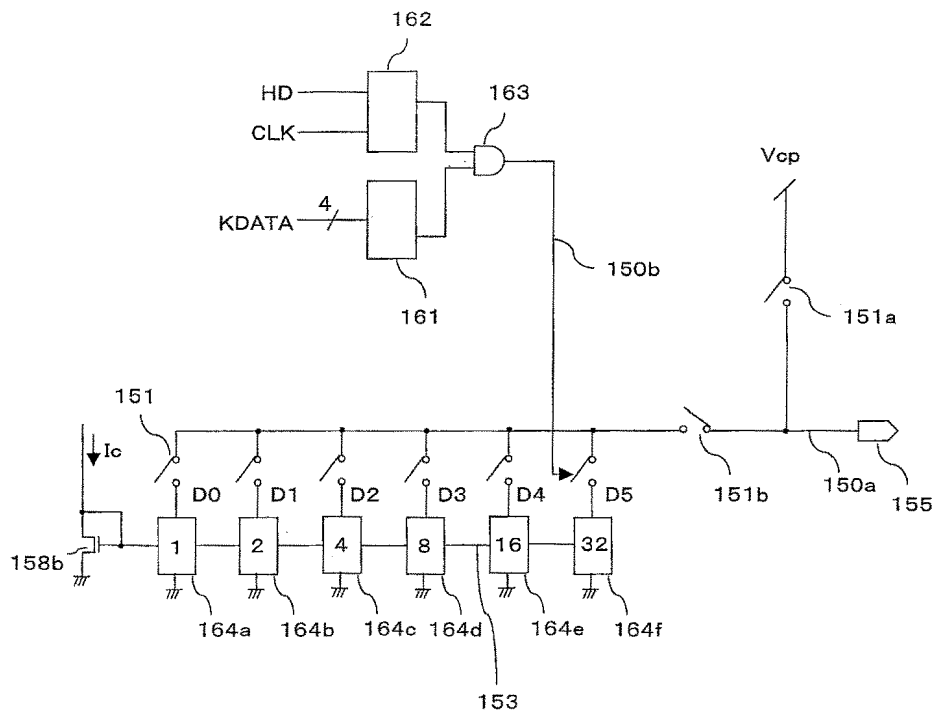
도면379



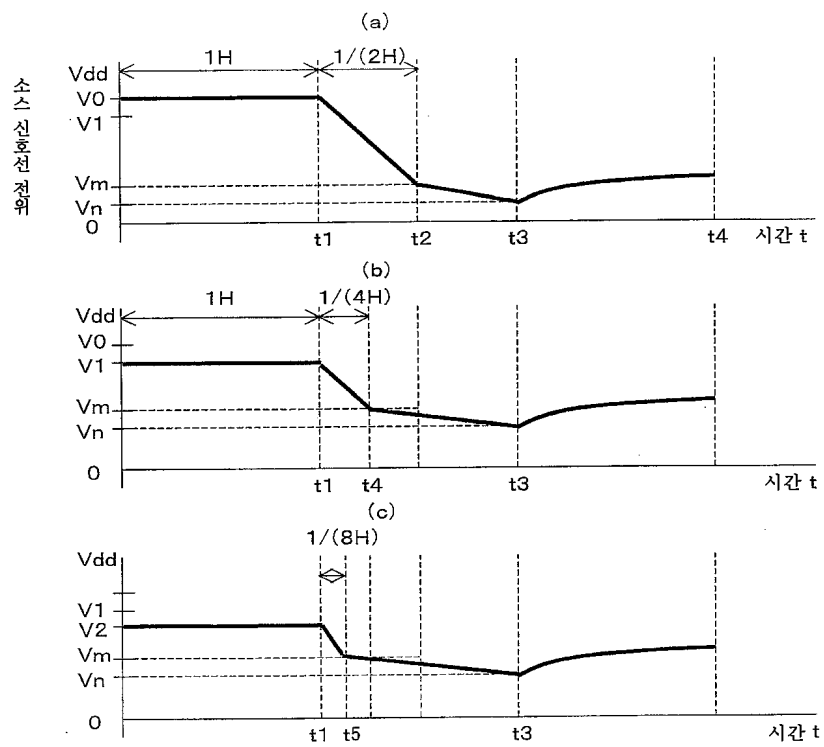
도면380



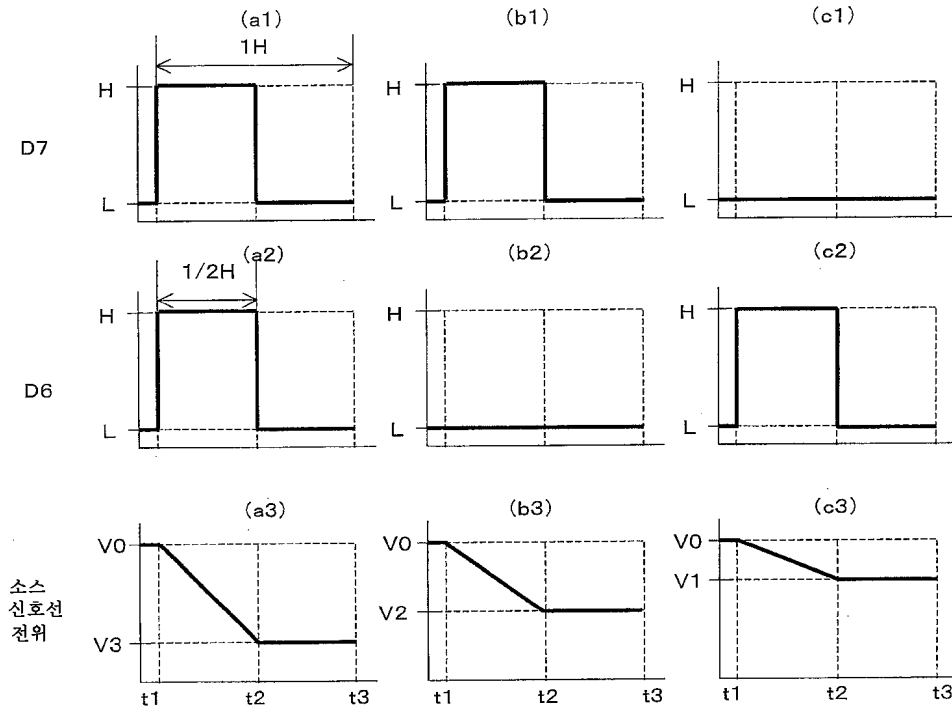
도면381



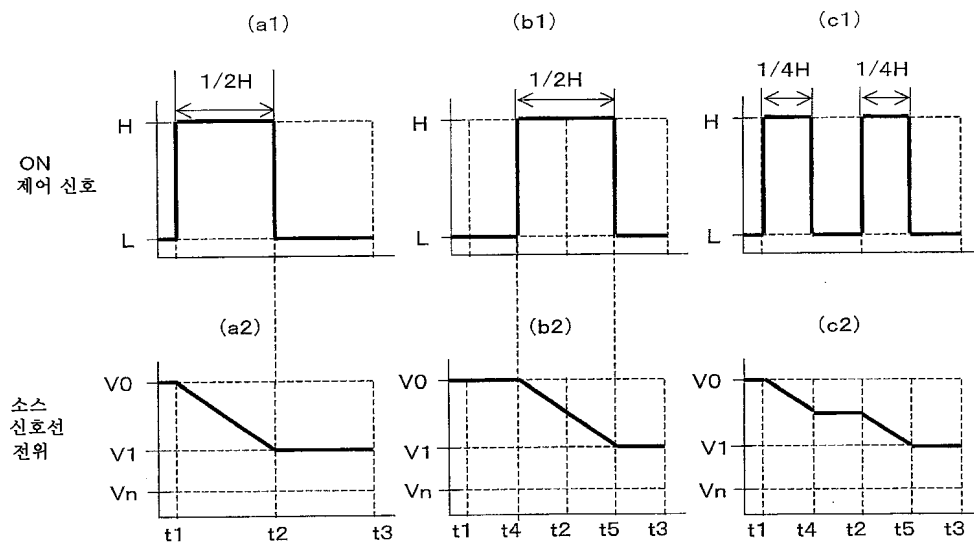
도면382



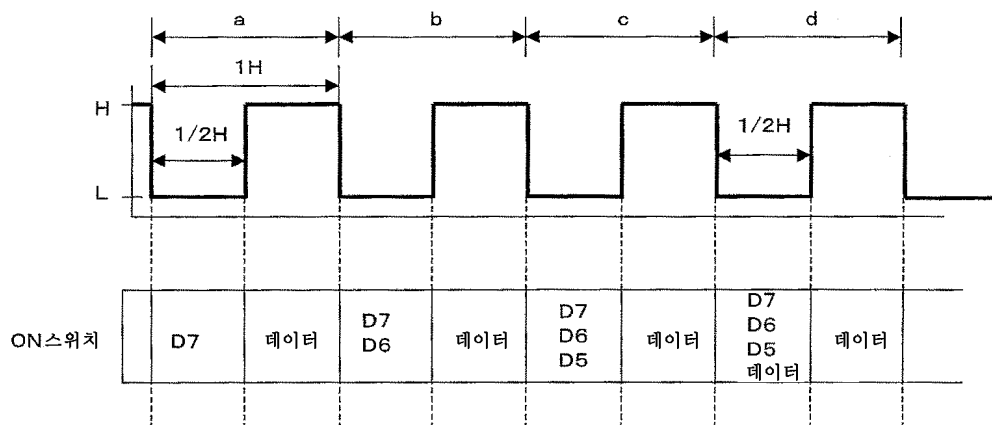
도면383



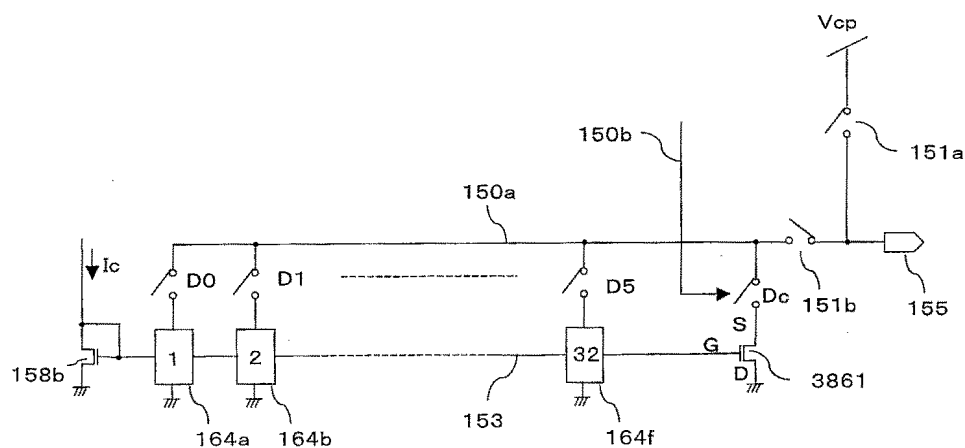
도면384



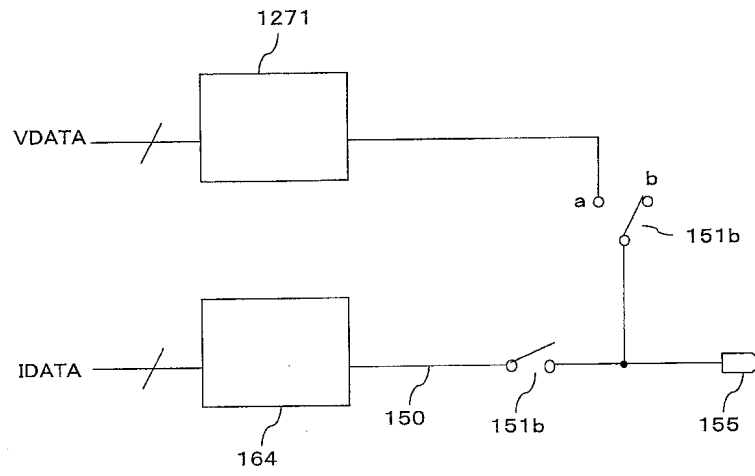
도면385



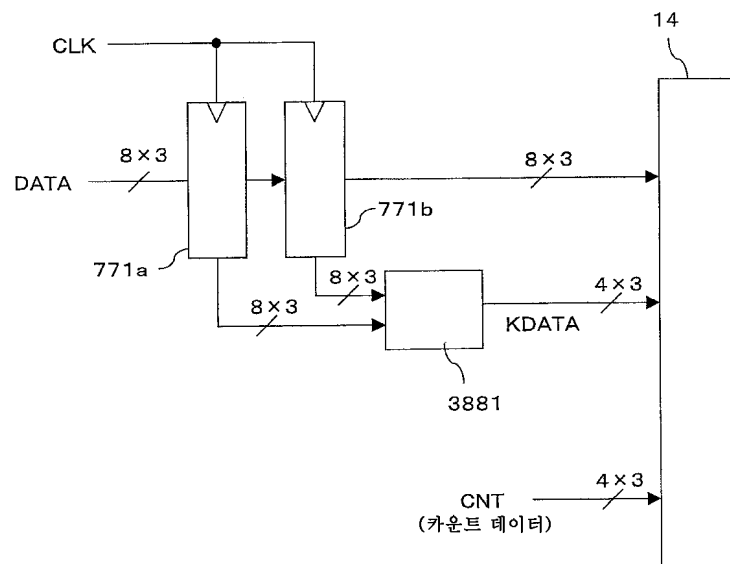
도면386



도면387



도면388

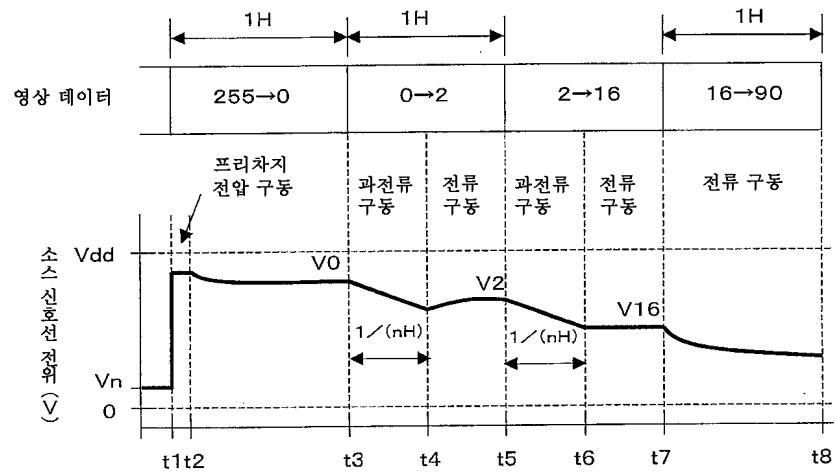


도면389

KDATA

		변화 전 (1H 전)						
		0	1	2	3	-----	n-1	n
변 화 후	0	0	—	—	—		—	—
	1	15	0	—	—		—	—
	2	12	10	0	—		—	—
	3	10	8	6	0		—	—
	4	8	6	4	2		—	—
	⋮					⋮		
	n-1	0	0	0	0		—	—
	n	0	0	0	0	-----	—	—

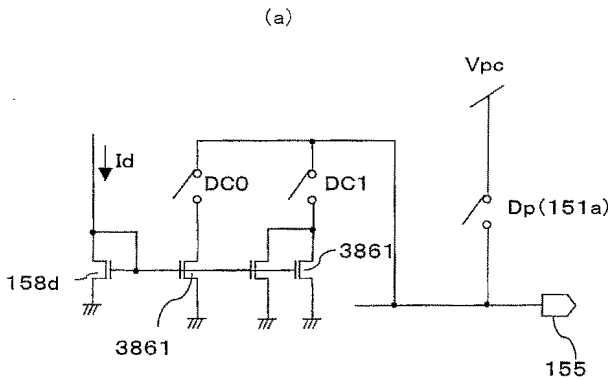
도면390



도면391

P	K1	K2	Dp	DC0	DC1
0	0	0	0	0	0
1	0	0	1	0	0
1	1	0	1	1	0
1	0	1	1	0	1
1	1	1	1	1	1
0	1	0	0	1	0
0	0	1	0	0	1
0	1	1	0	1	1

도면392

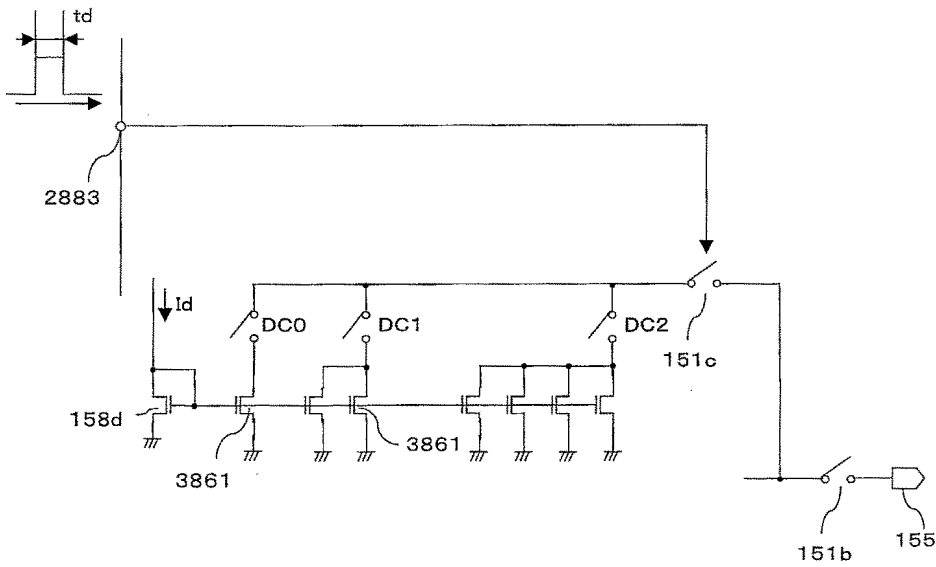


(b)

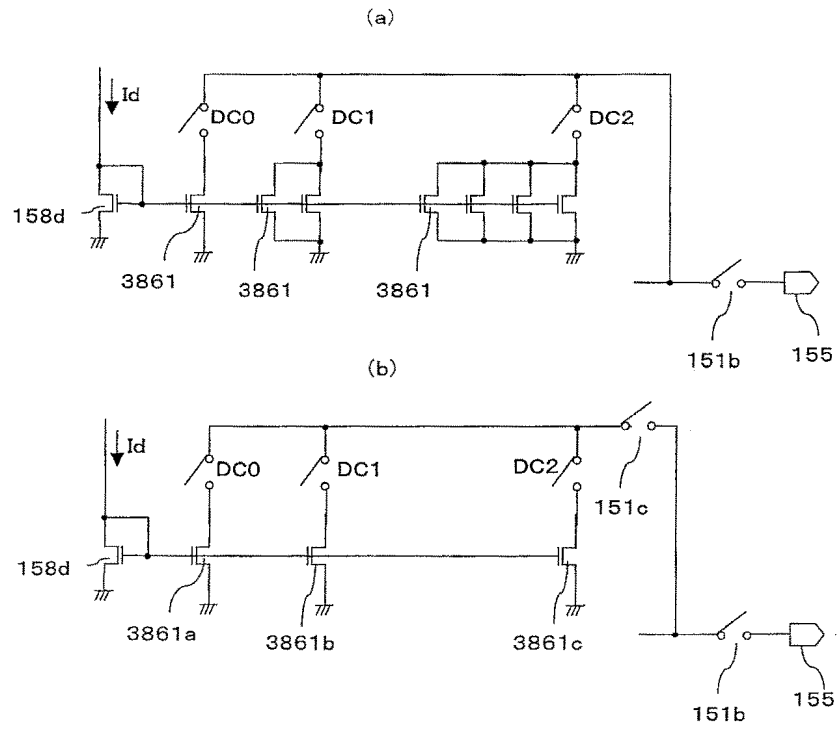
1: ON 0: OFF

K, P	D_p	DC0	DC1
0	0	0	0
1	1	0	0
2	0	1	0
3	0	0	1

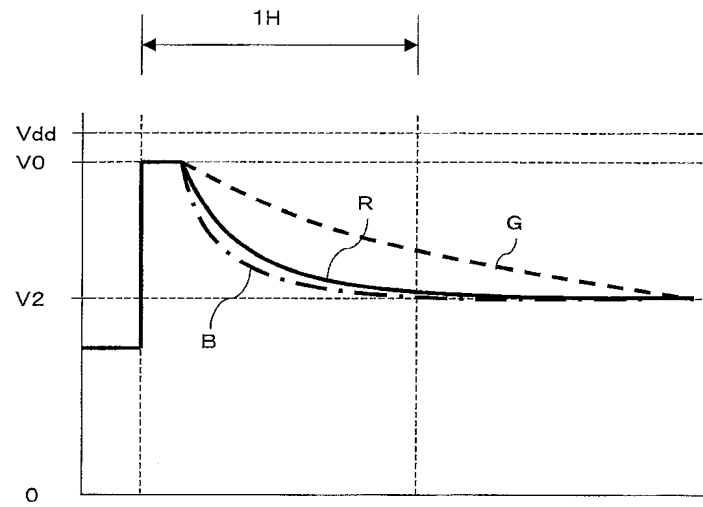
도면393



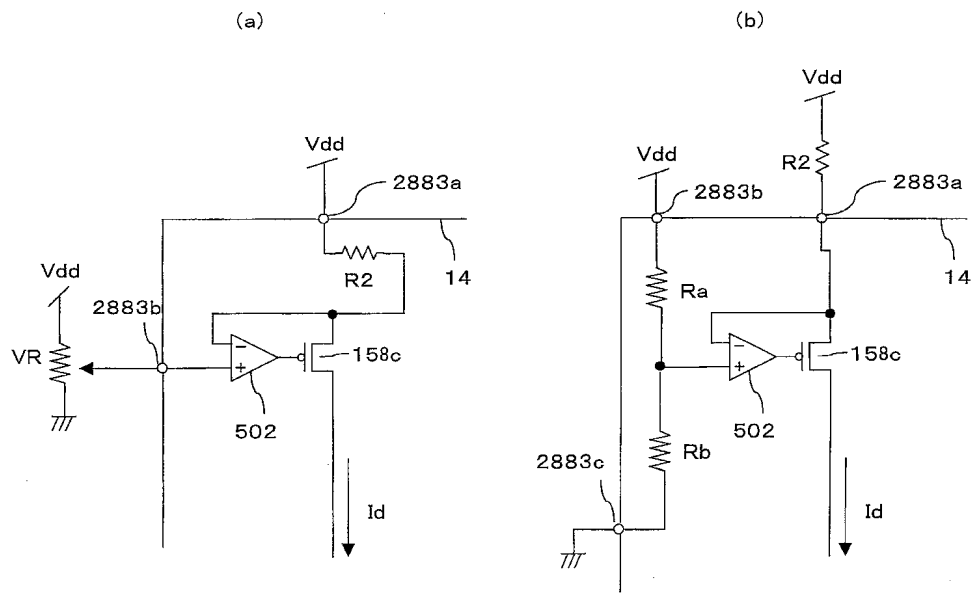
도면394



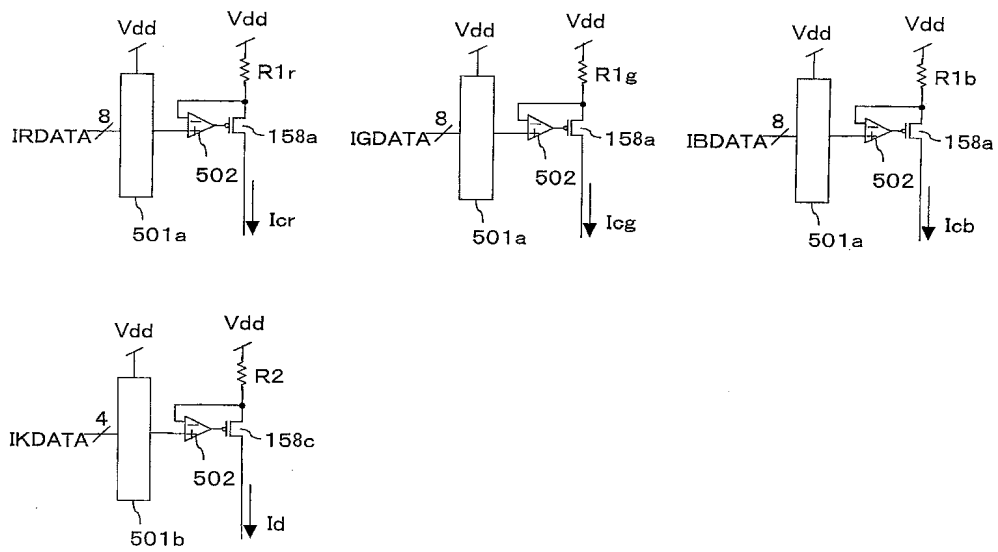
도면395



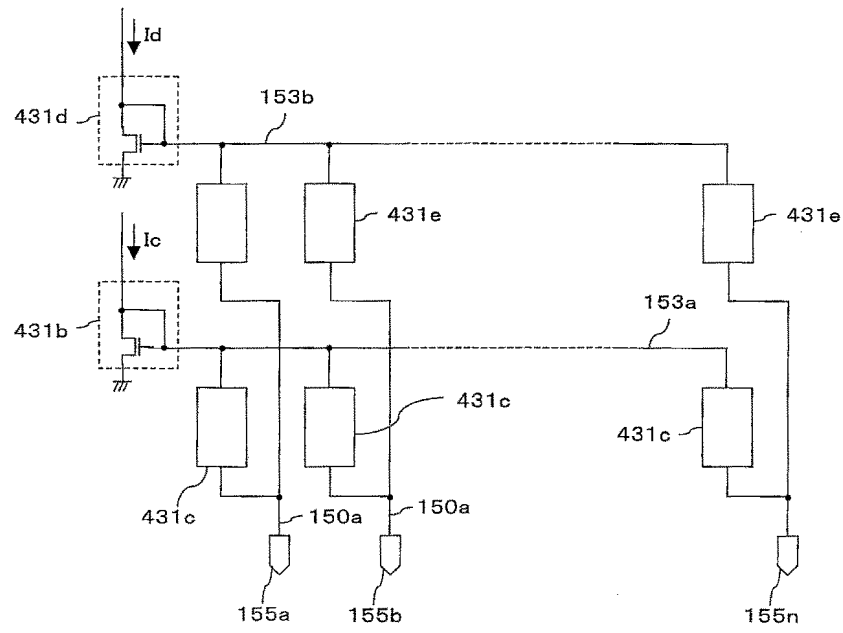
도면396



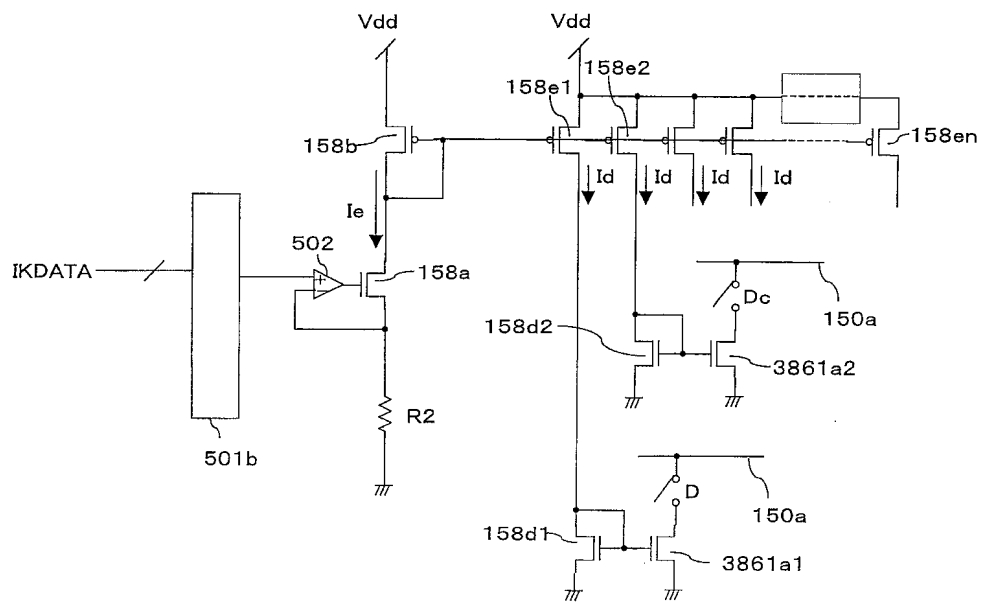
도면397



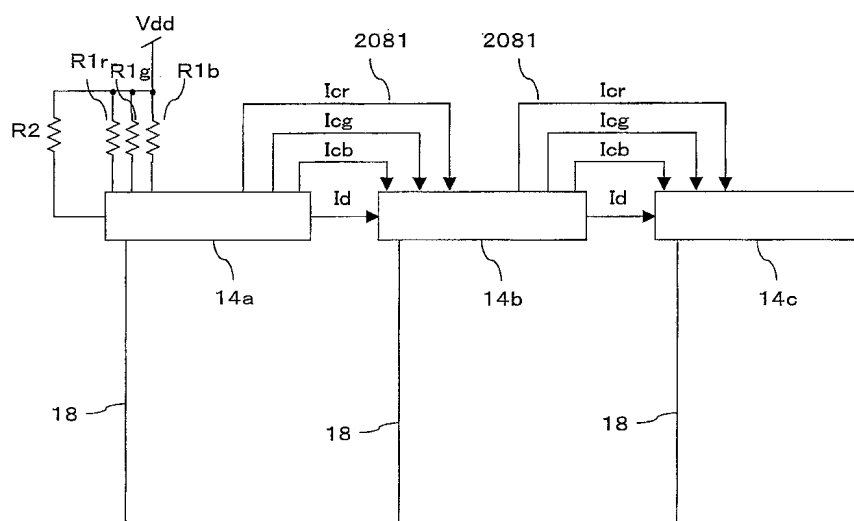
도면398



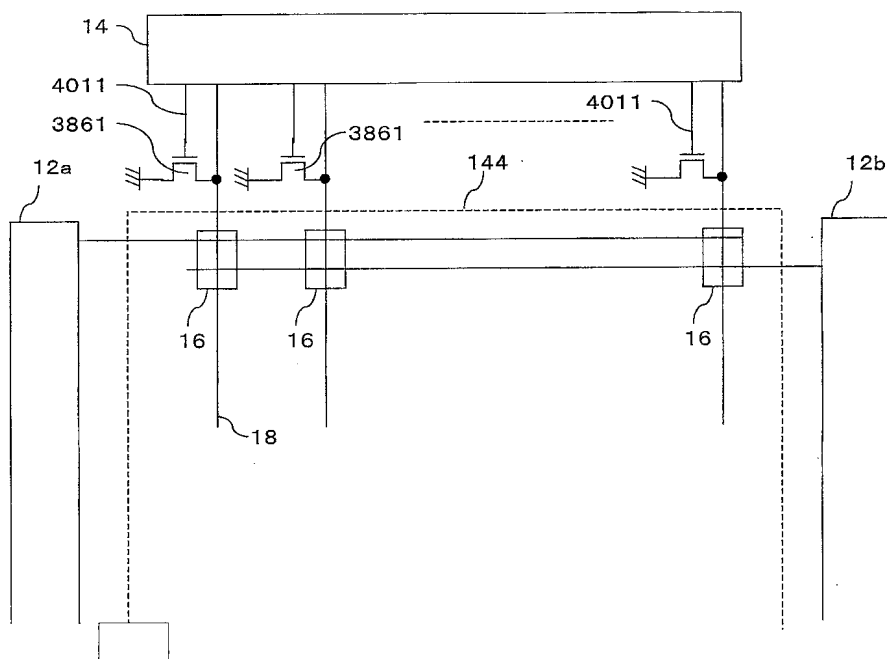
도면399



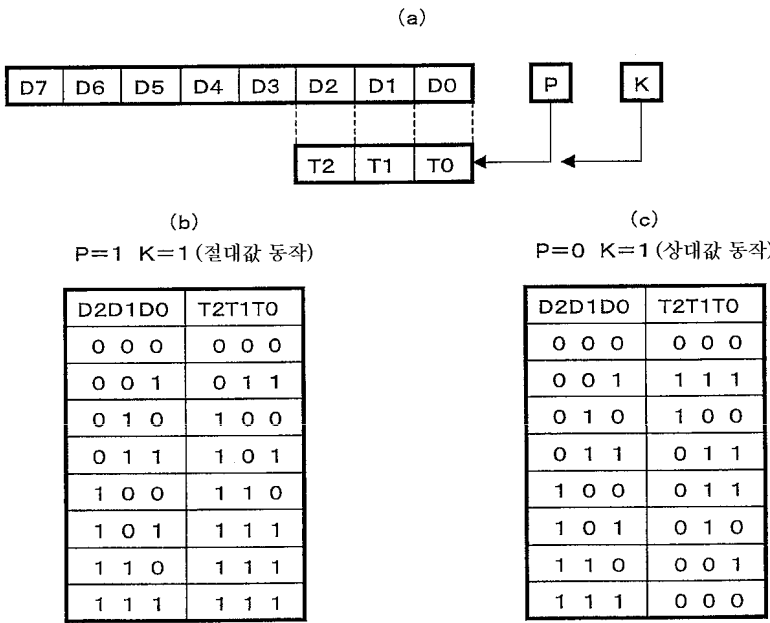
도면400



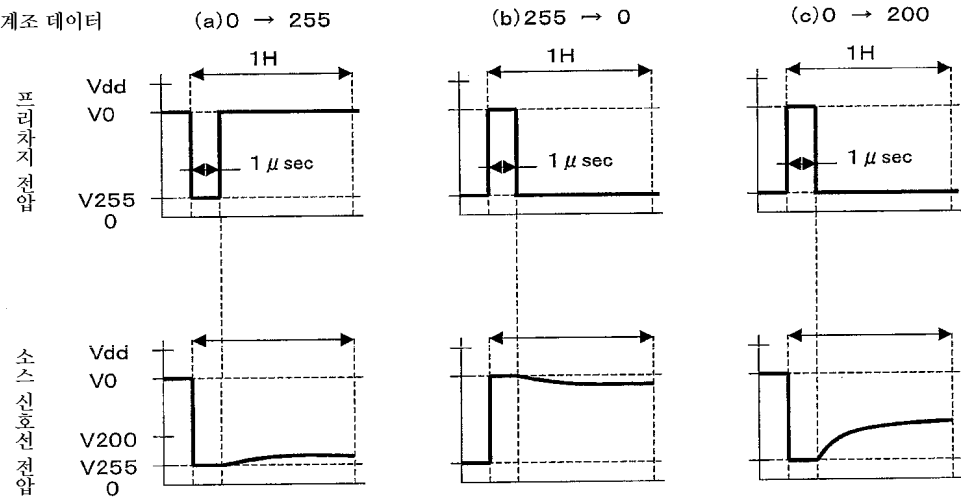
도면401



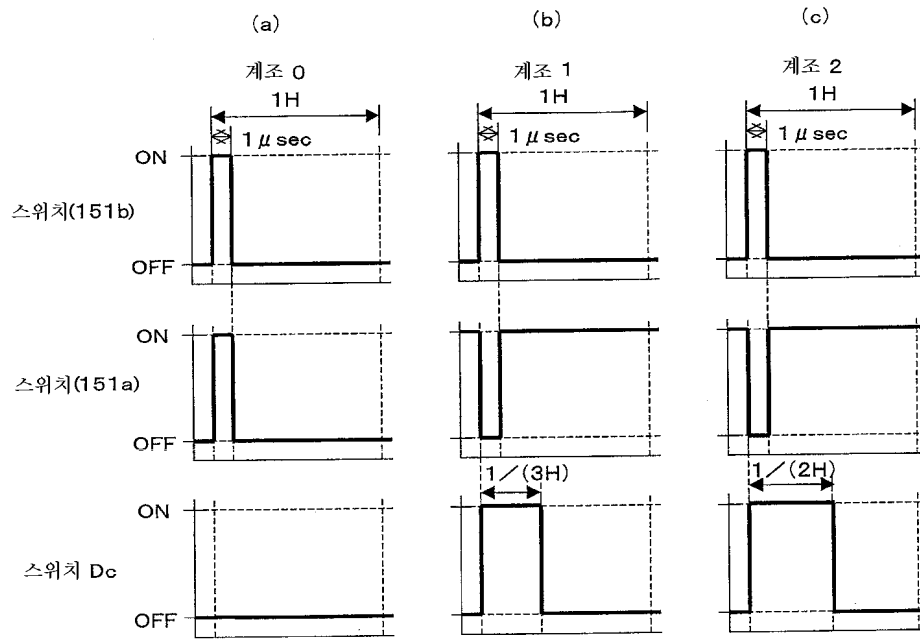
도면402



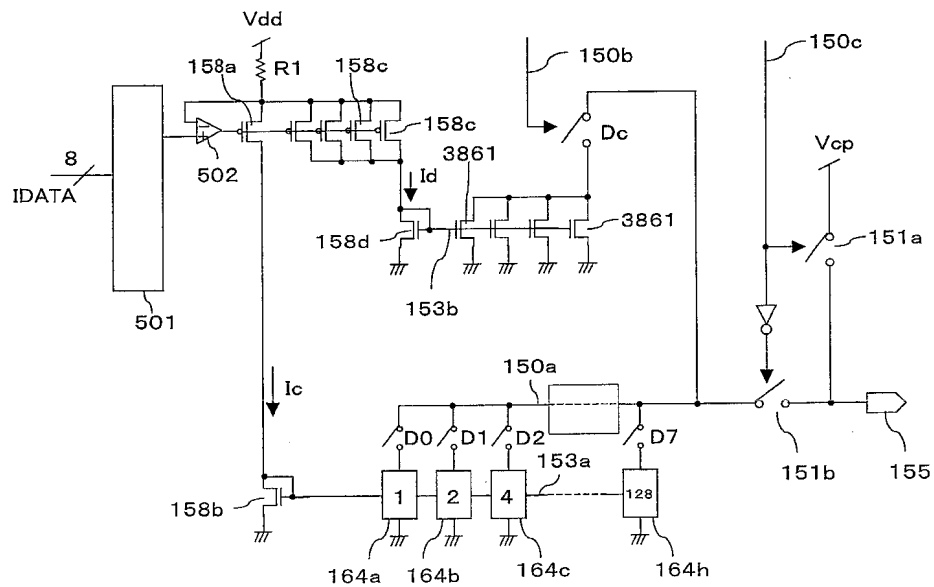
도면403



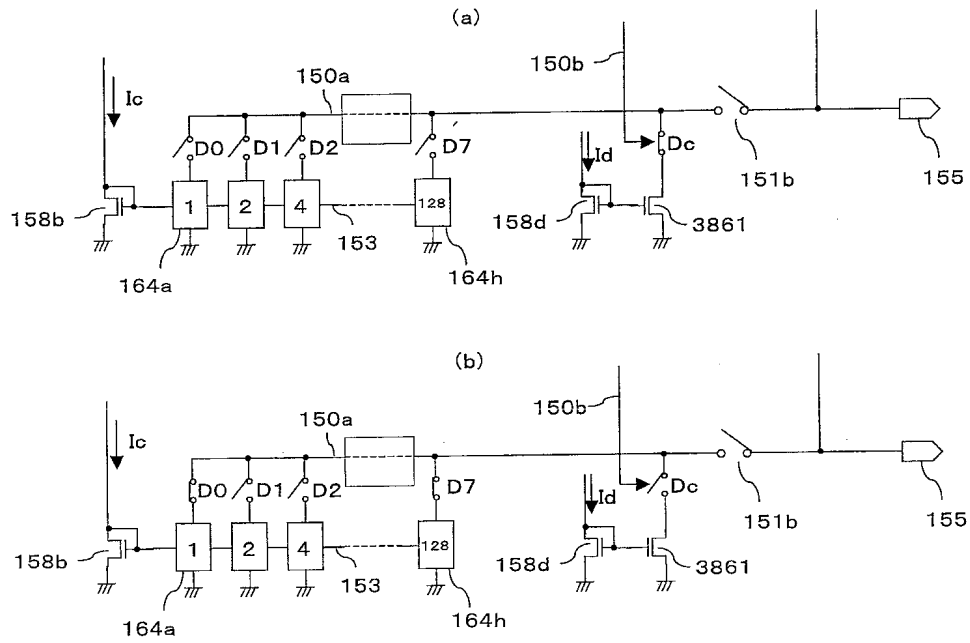
도면404



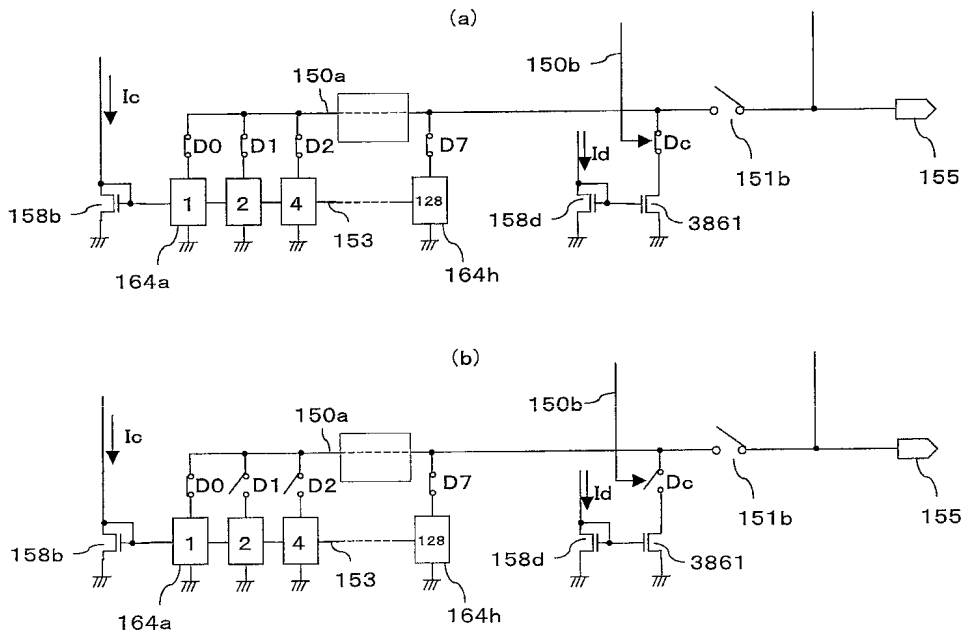
도면405



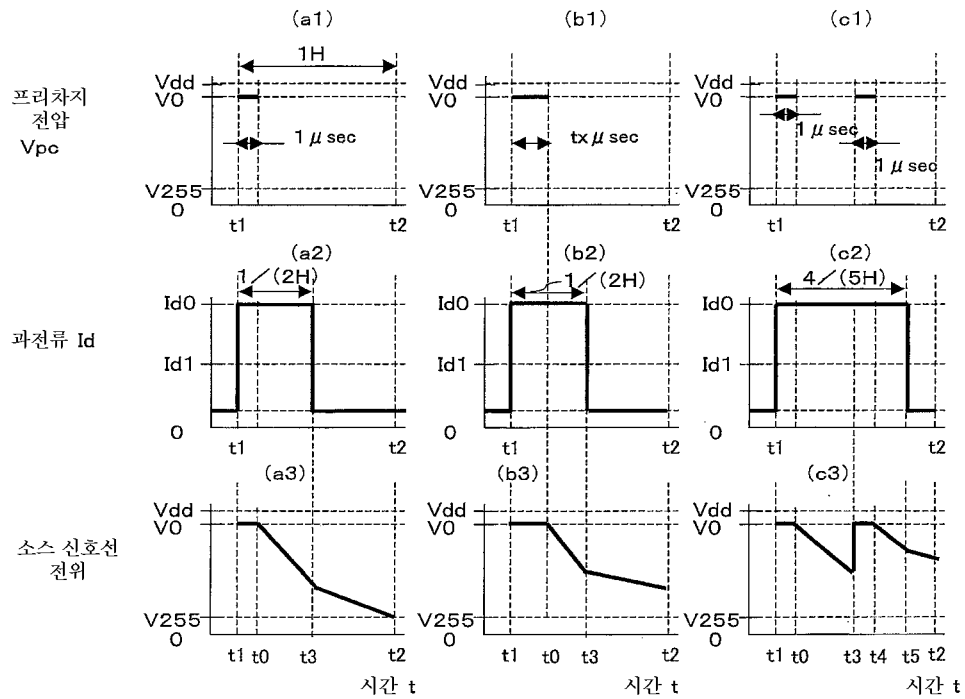
도면406



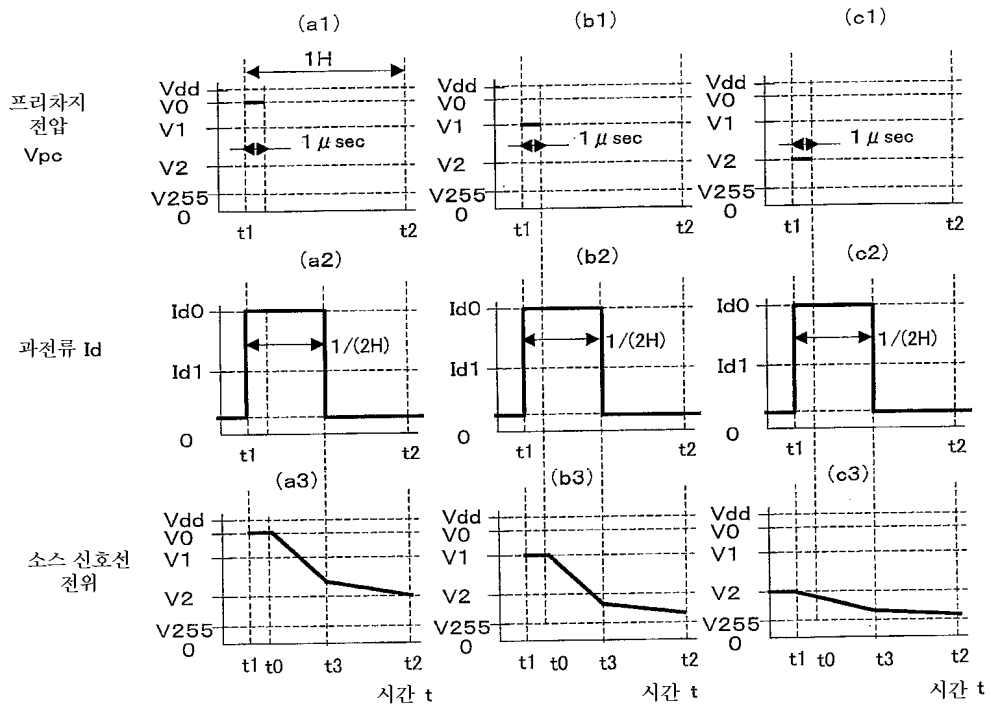
도면407



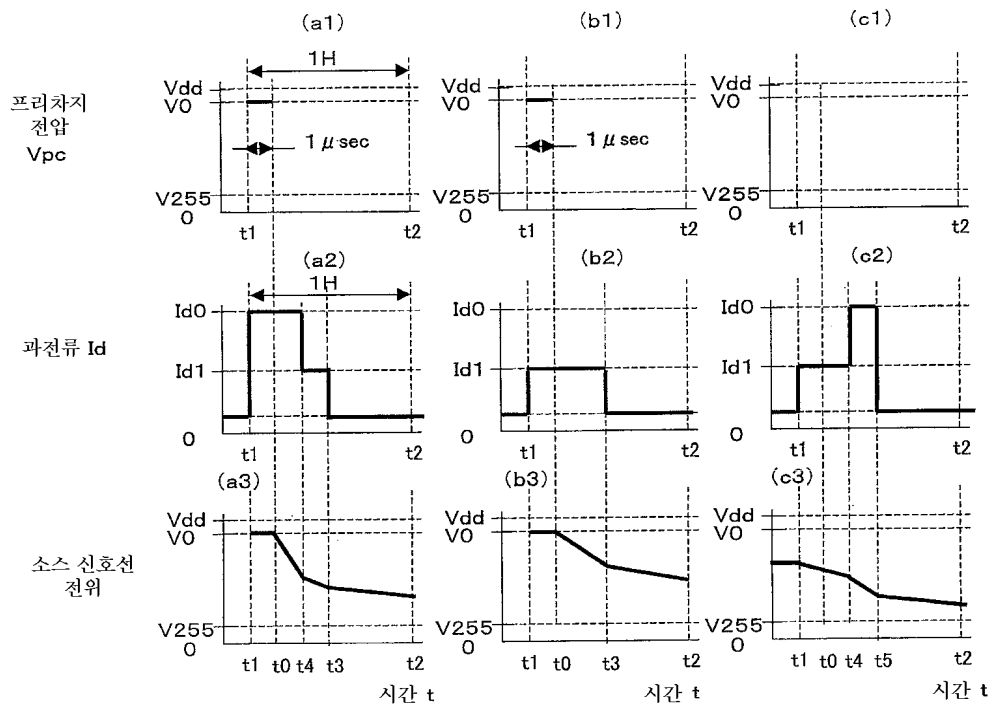
도면410



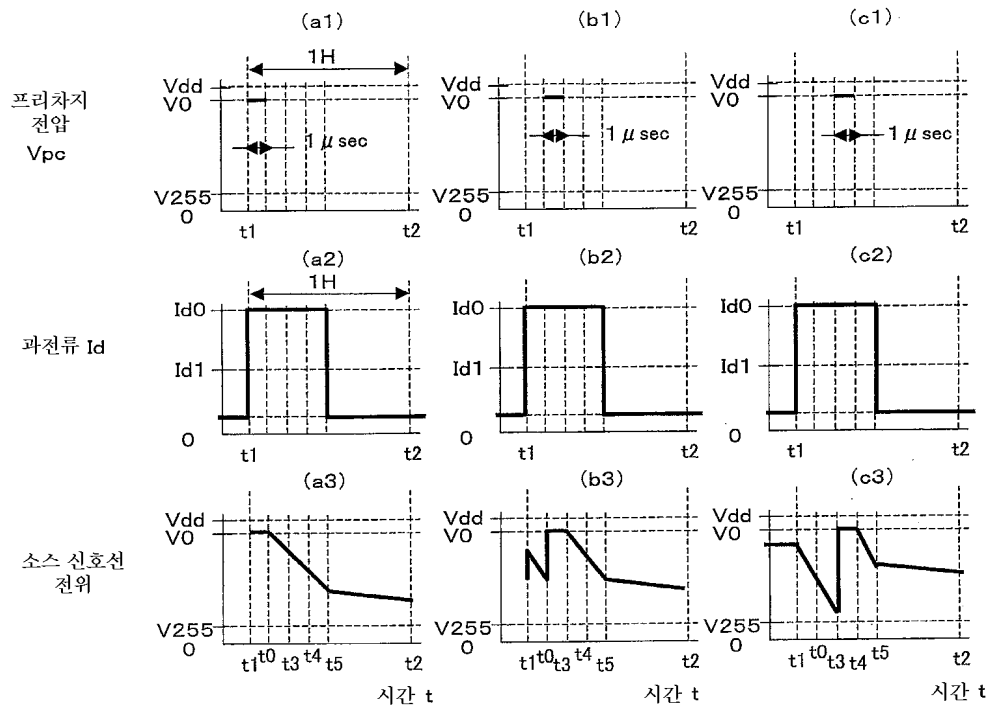
도면411



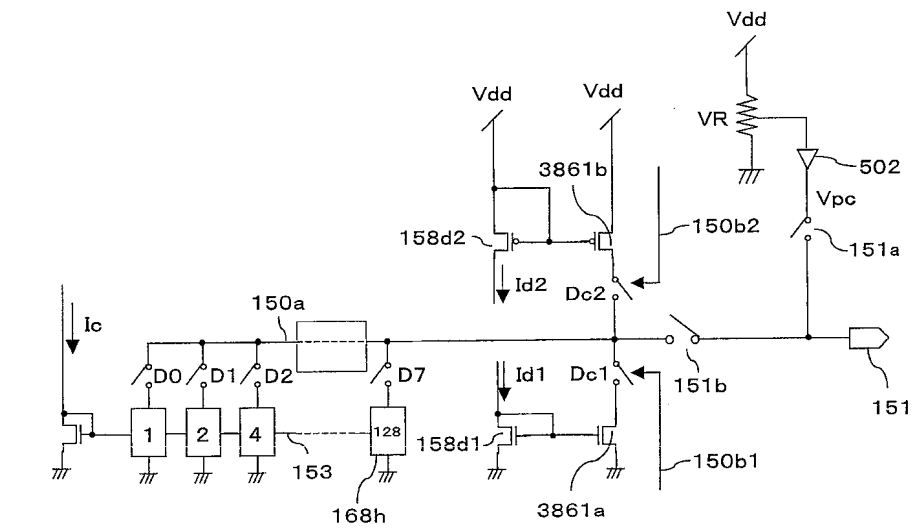
도면412



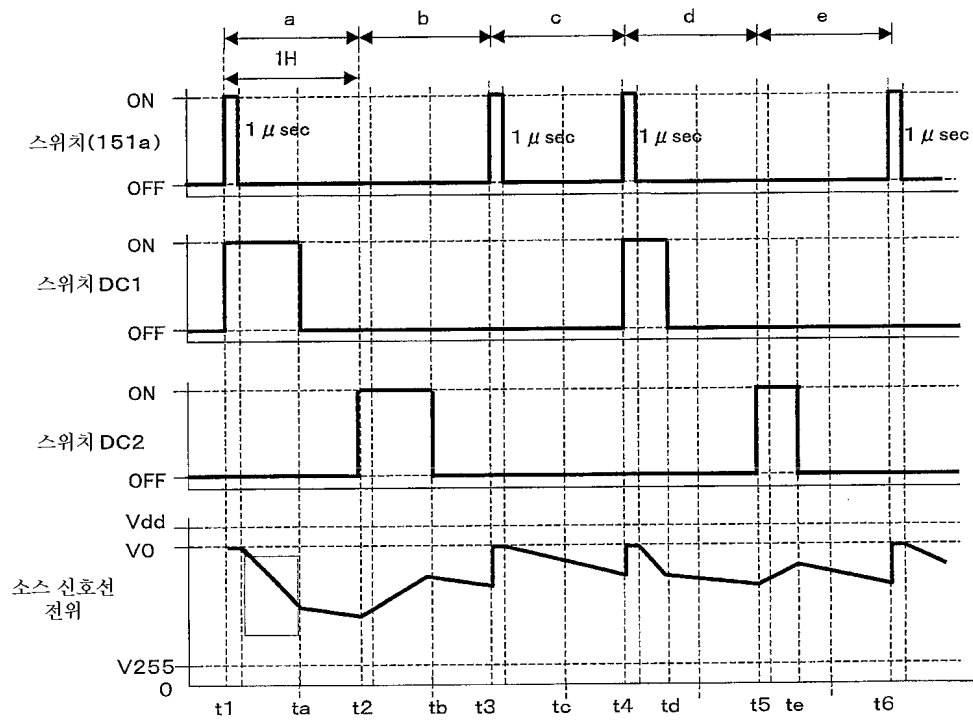
도면413



도면414



도면415

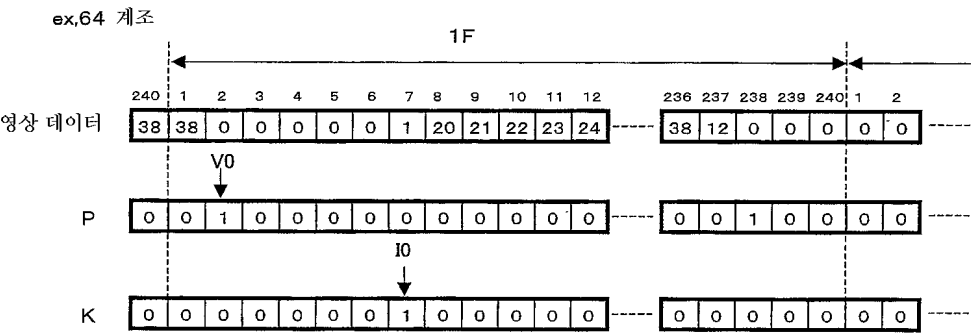


도면416

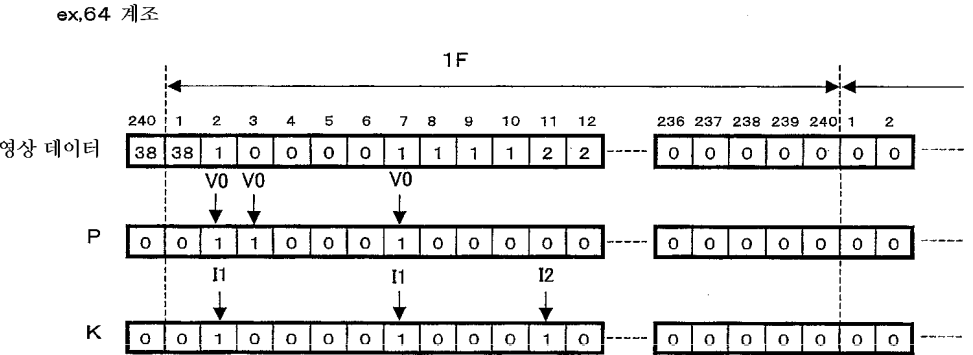
ex,64 계조

영상 데이터	블랭크	58	38	36	0	0	1	8	8	0	4	60	1	2	0		30	블랭크	1	2
P	1	0	0	0	1	0	0	0	0	1	0	0	1	0	1		0	1	0	0
K	0	0	0	0	0	0	1	1	0	0	1	0	1	1	0		0	0	1	1

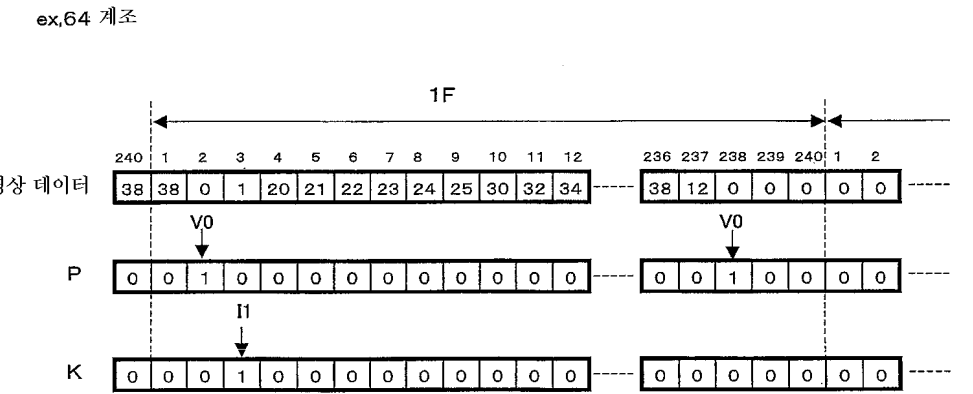
도면417



도면418

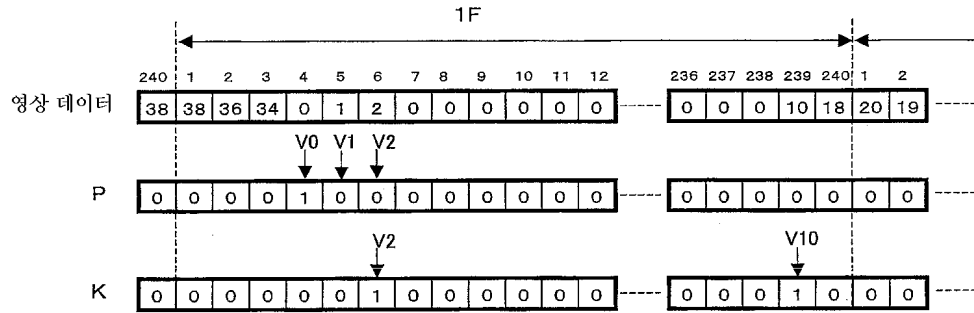


도면419



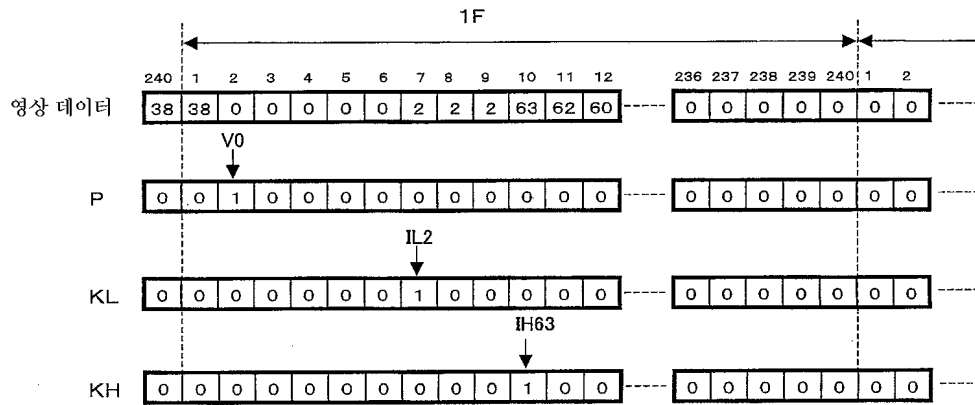
도면420

ex,64 계조



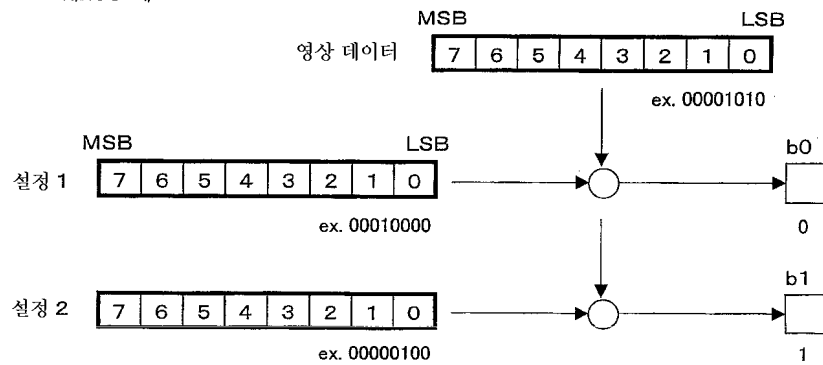
도면421

ex,64 계조

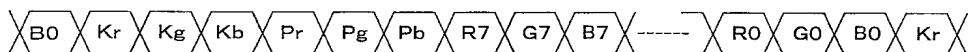


도면422

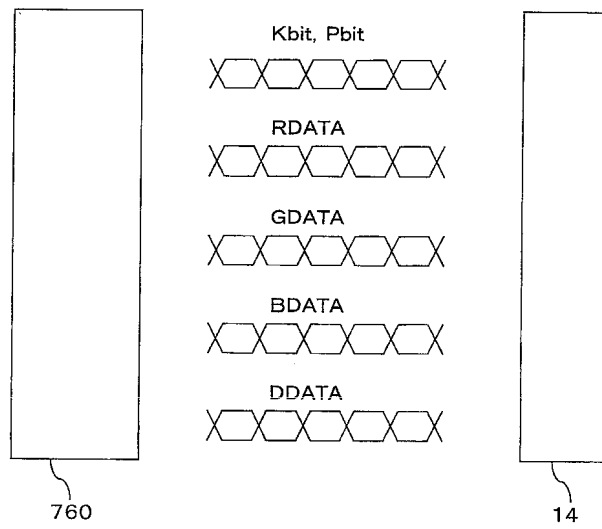
ex,256 계조



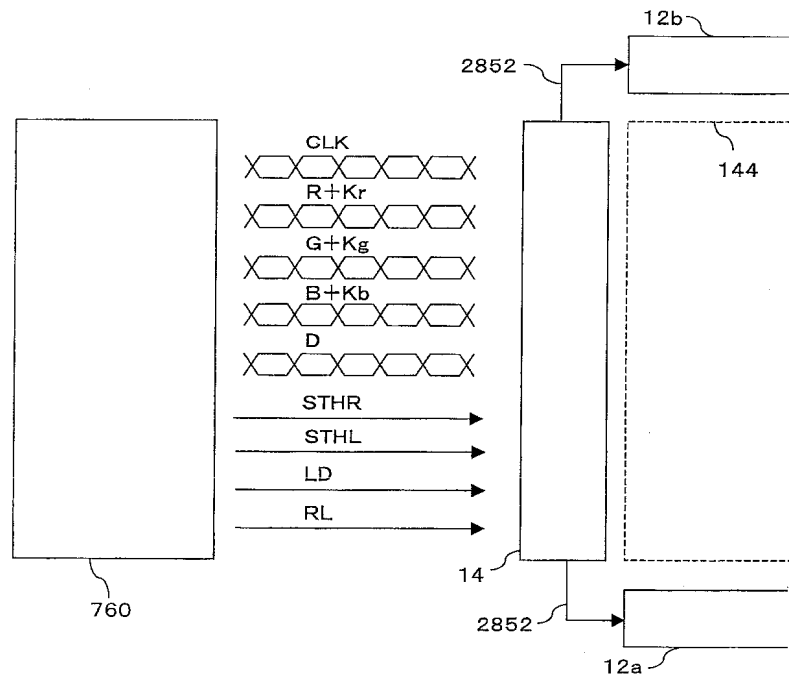
도면423



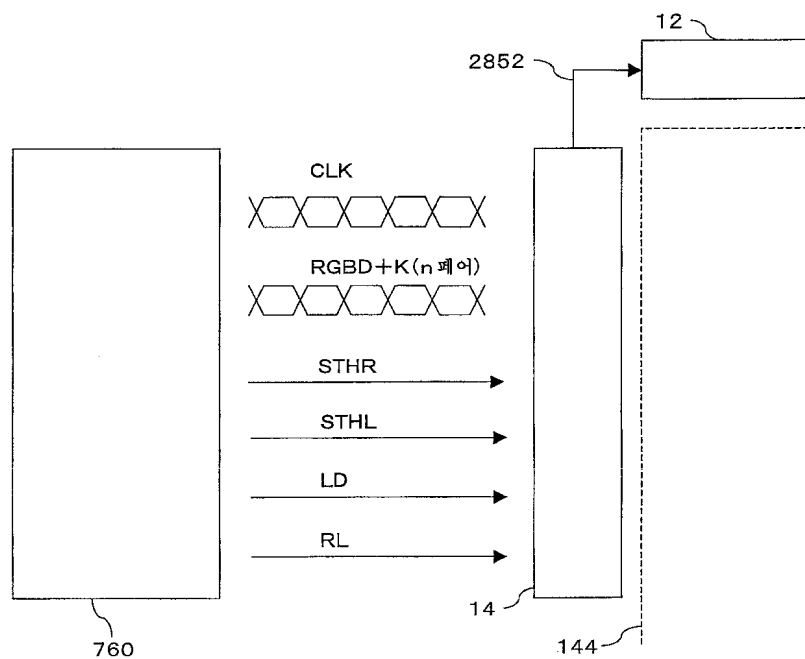
도면424



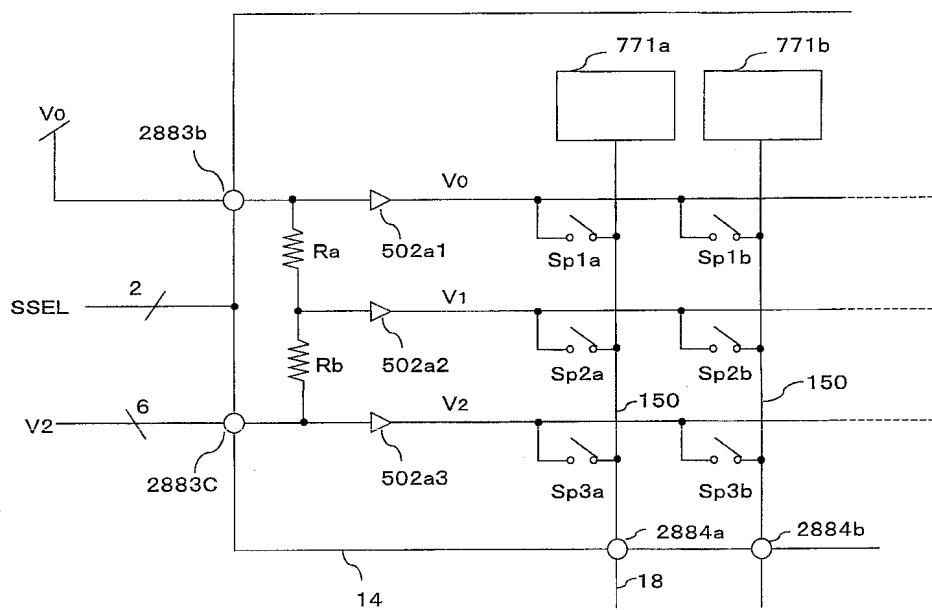
도면425



도면426



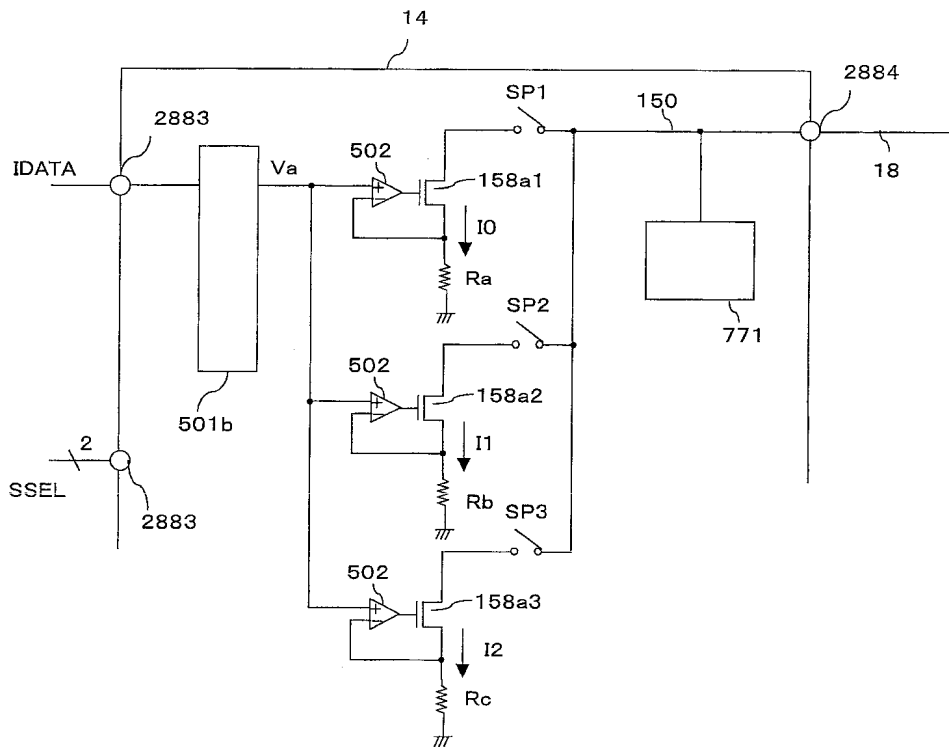
도면427



도면428

SSEL	SW
0	all open
1	SP1
2	SP2
3	SP3

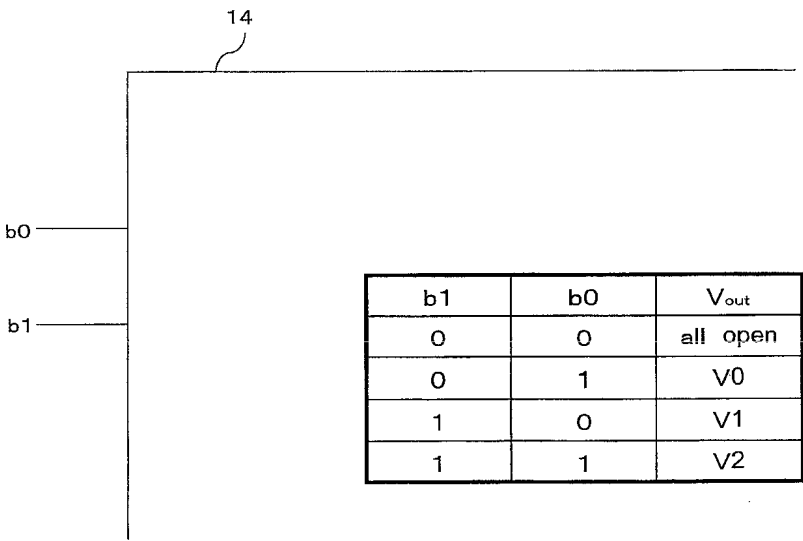
도면429



도면430

SSEL	SW
0	all open
1	SP1
2	SP2
3	SP3

도면431



도면432

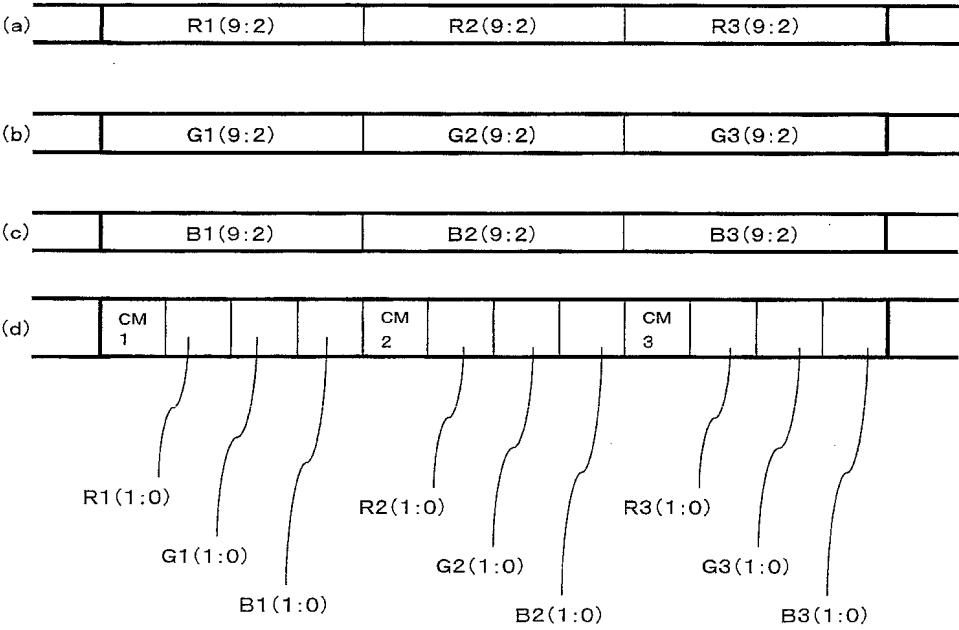
(a)

	Bn (7:0)	Pr	R1 (7:0)	Pg	G1 (7:0)	Pb	B1 (7:0)	Pr	R2 (7:0)	Pg	G2 (7:0)	Pb	B2 (7:0)	-----
--	-------------	----	-------------	----	-------------	----	-------------	----	-------------	----	-------------	----	-------------	-------

(b)

	Bn (7:0)	R1 (7:0)	G1 (7:0)	B1 (7:0)	R2 (7:0)	G2 (7:0)	B2 (7:0)	R3 (7:0)	G3 (7:0)	-----
--	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------------	-------

도면433

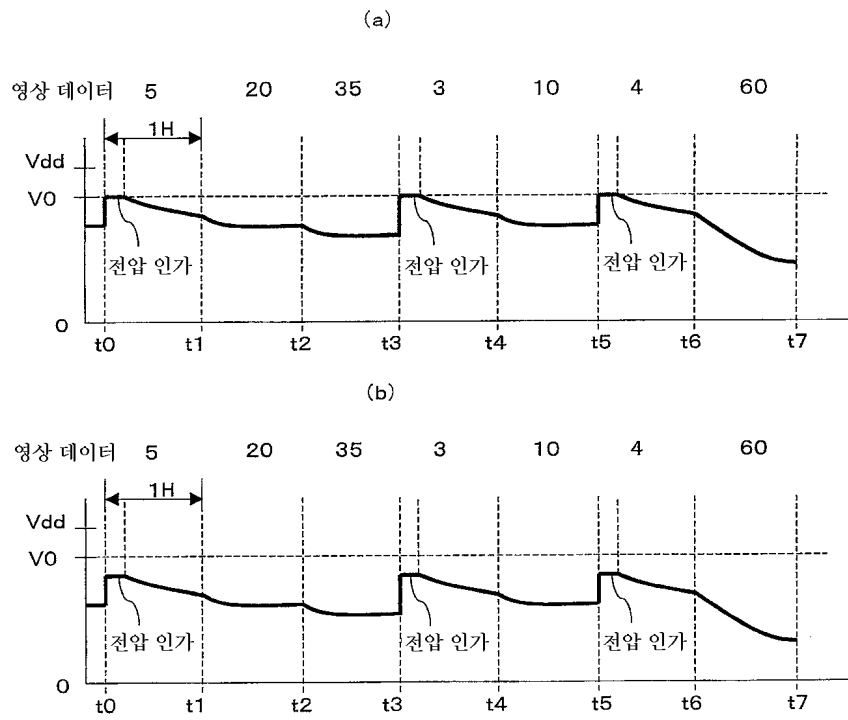


도면434

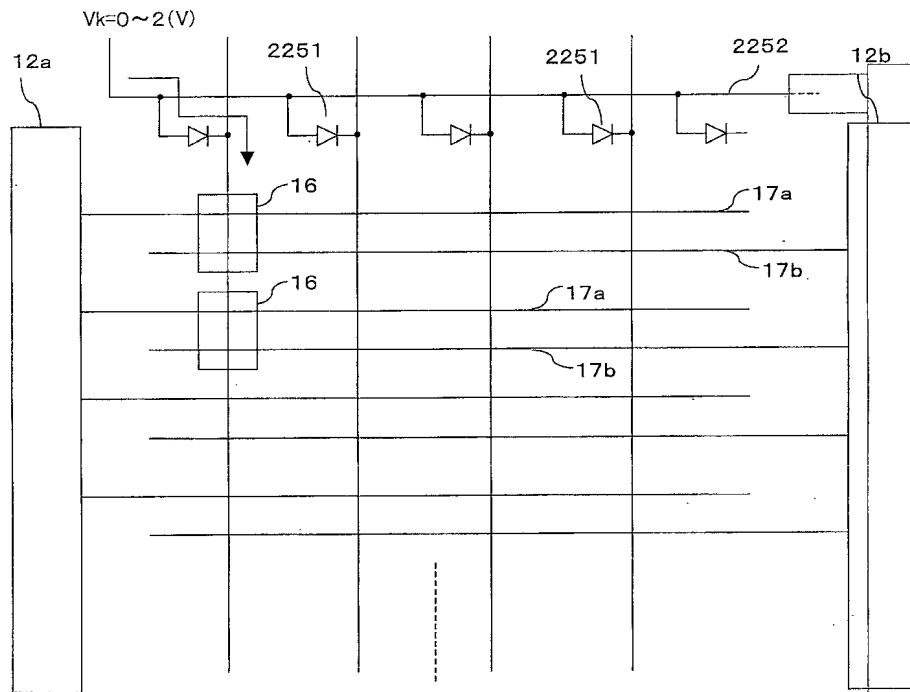
No	IDATA	VDATA
0	I0	V0
1	I1	
2	I2	
3	I3	
4	I4	V1
5	I5	
6	I6	
7	I7	
8	I8	V2
9	I9	
10	I10	
11	I11	
12	I12	V3

⋮ ⋮ ⋮

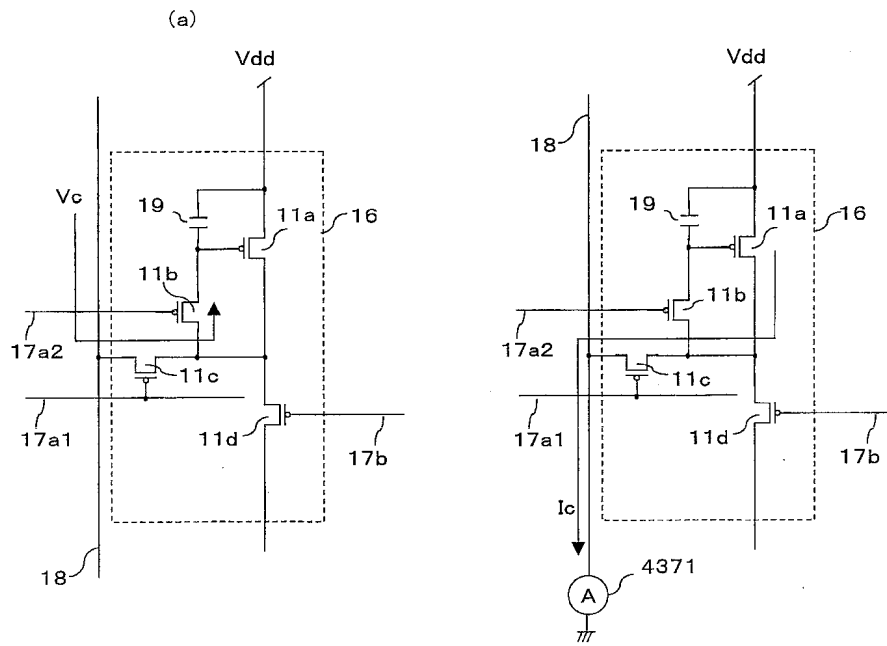
도면435



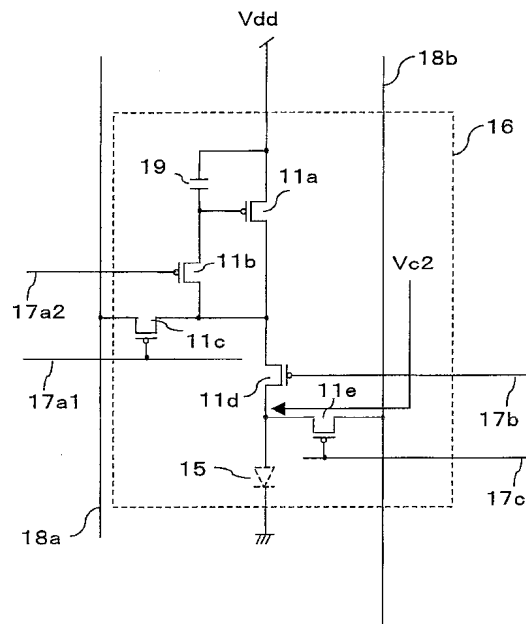
도면436



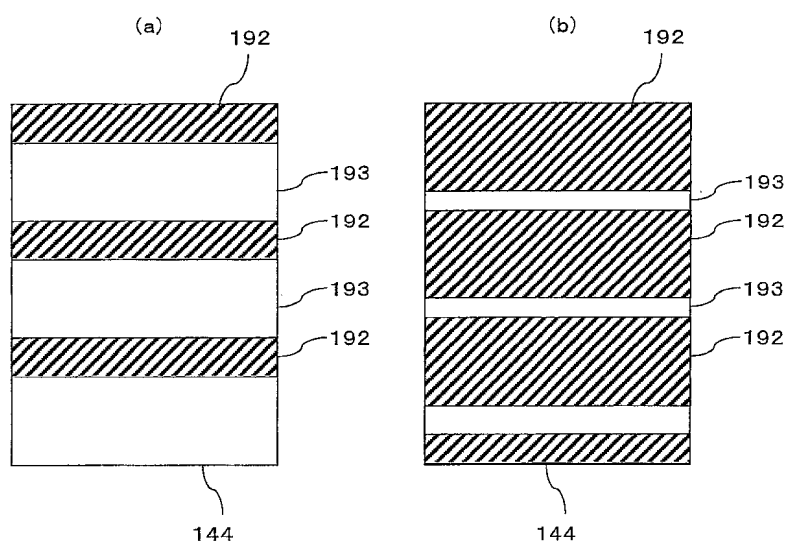
도면437



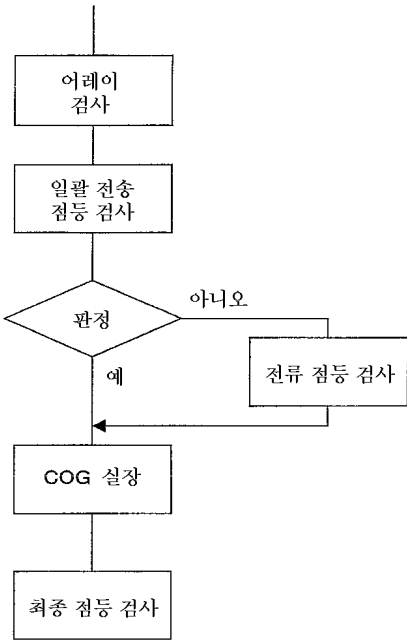
도면438



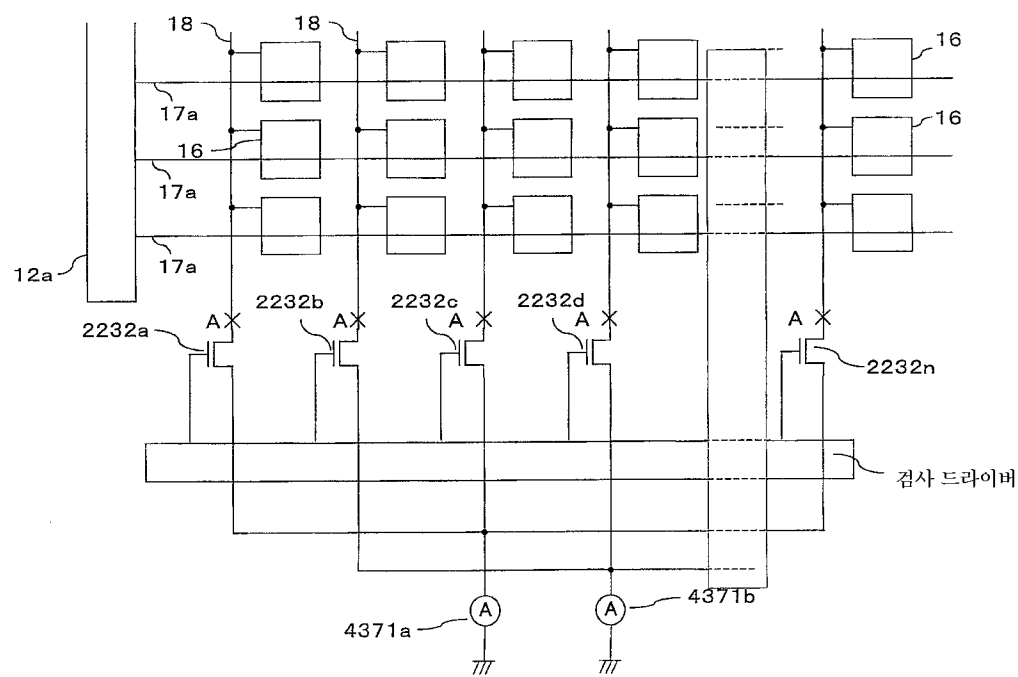
도면439



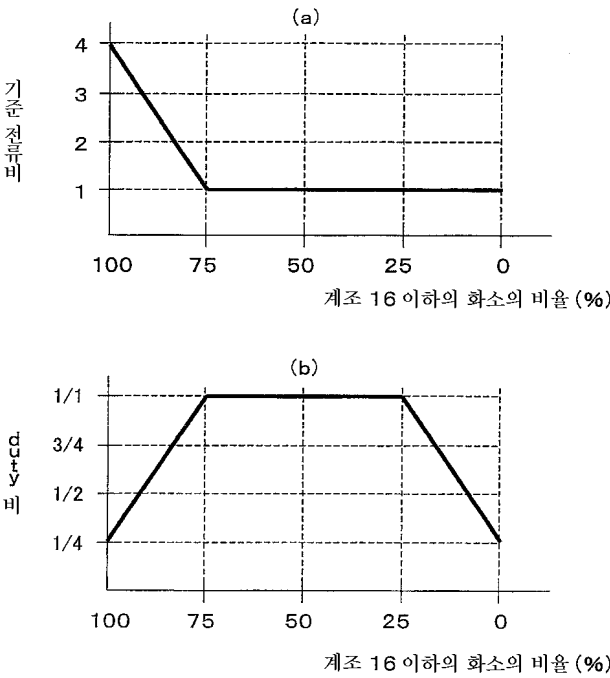
도면440



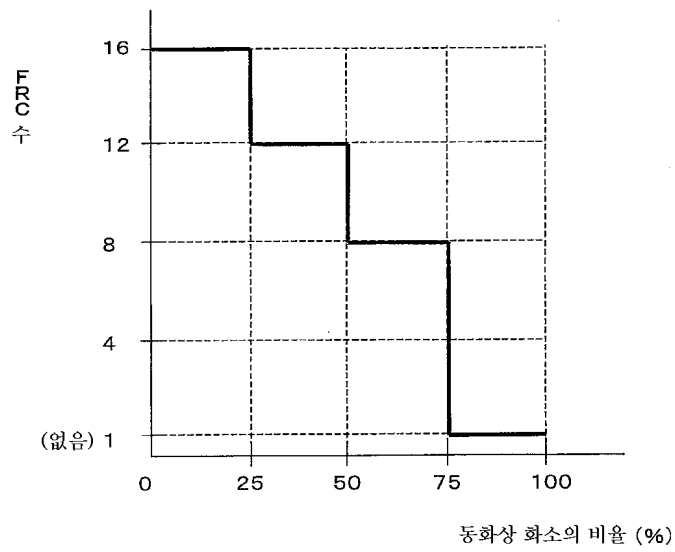
도면441



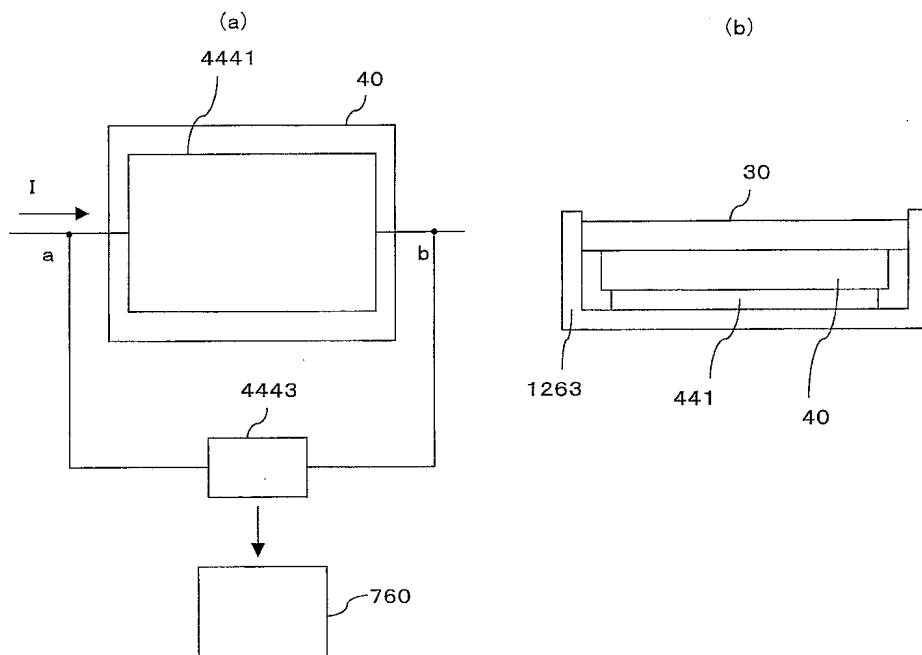
도면442



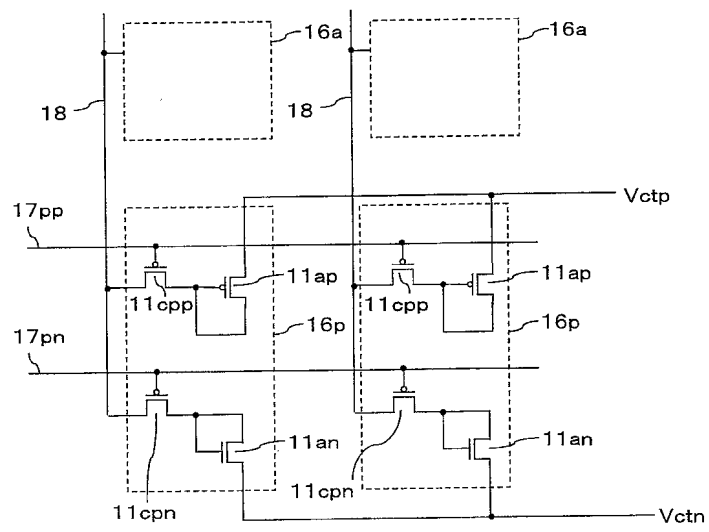
도면443



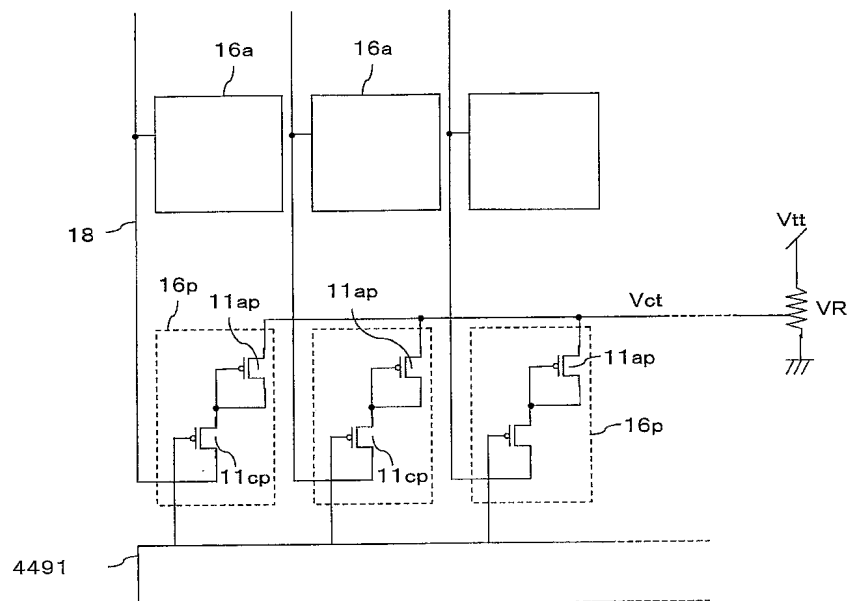
도면444



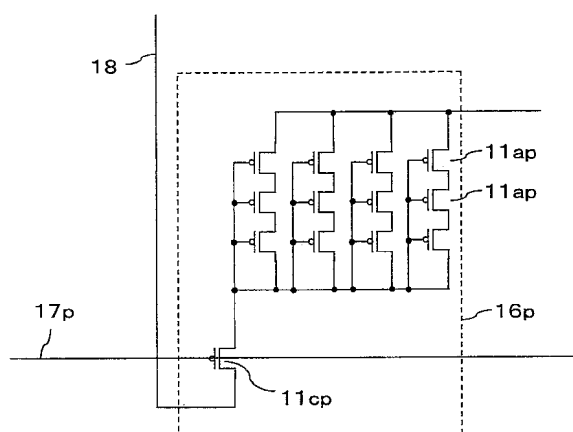
도면448



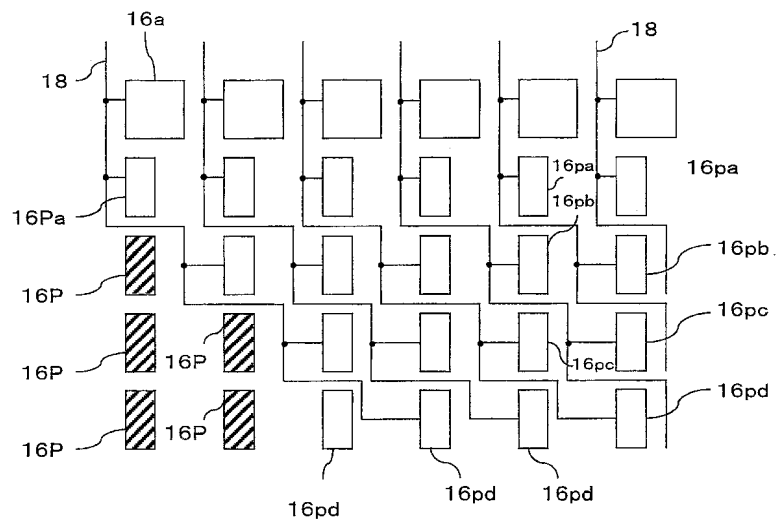
도면449



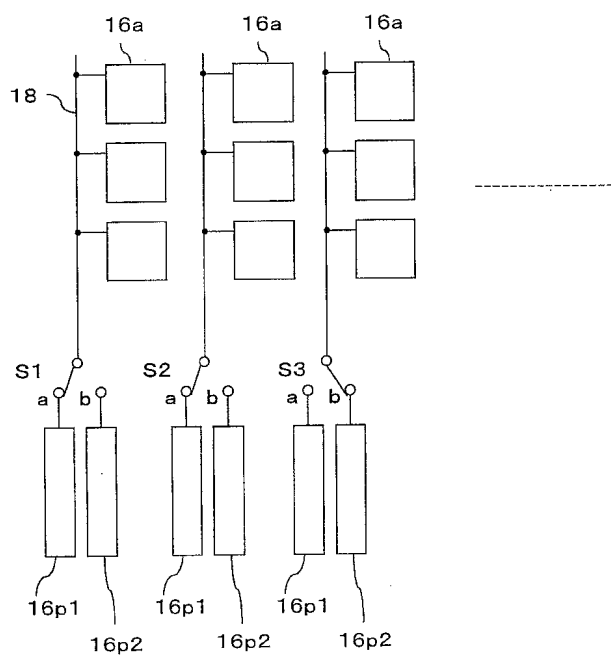
도면450



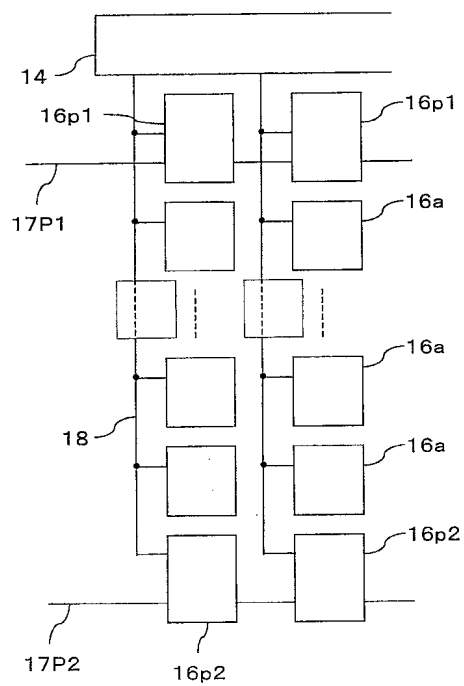
도면451



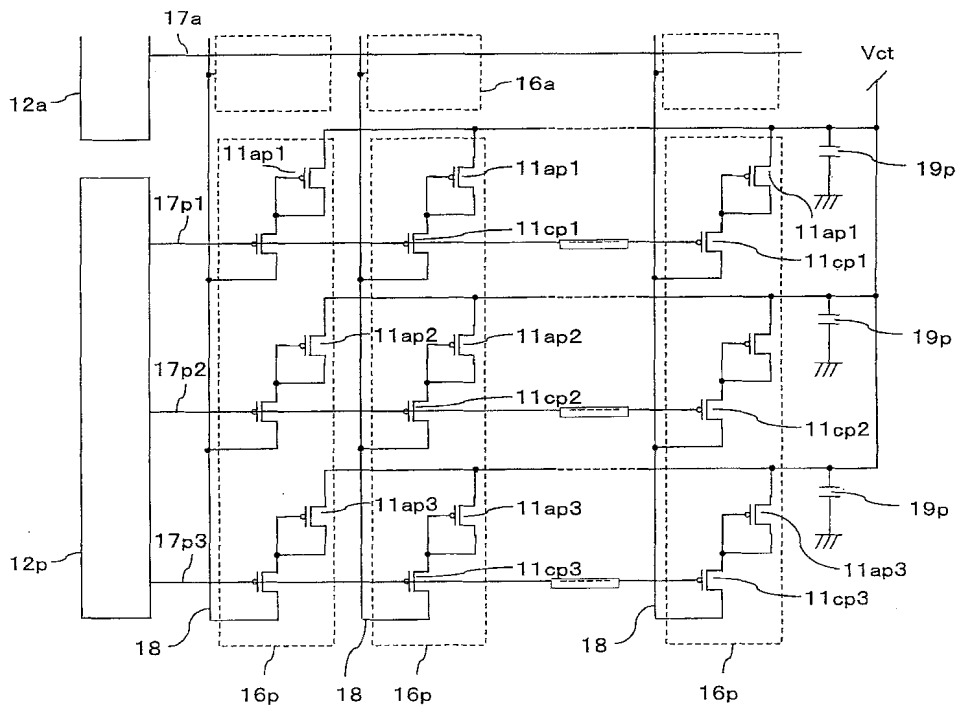
도면452



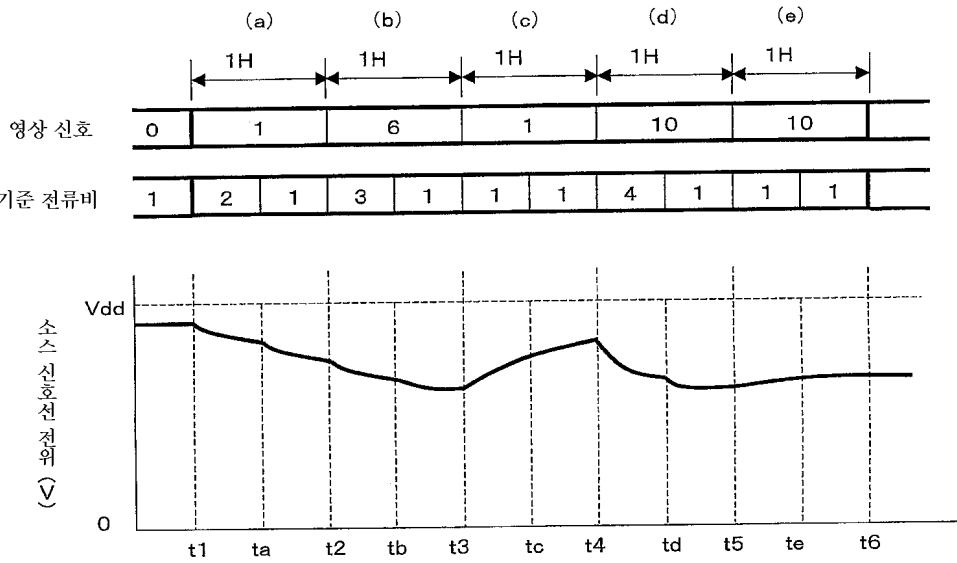
도면453



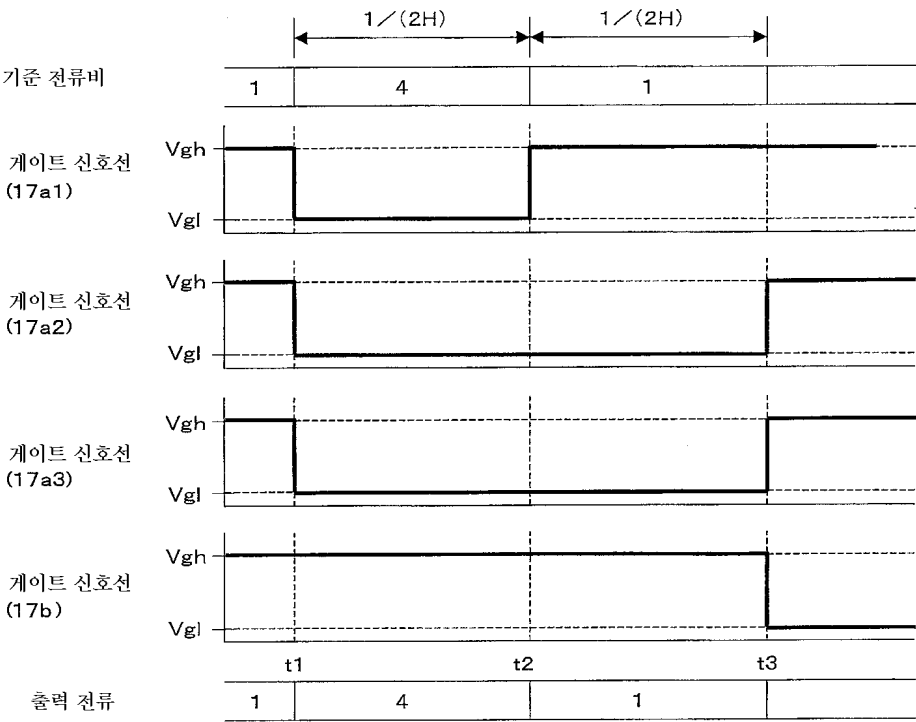
도면454



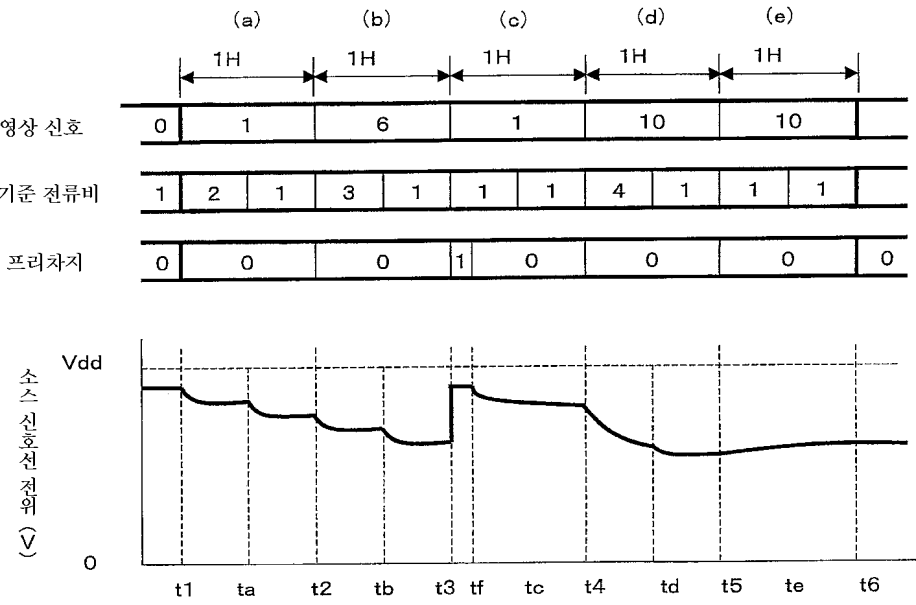
도면455



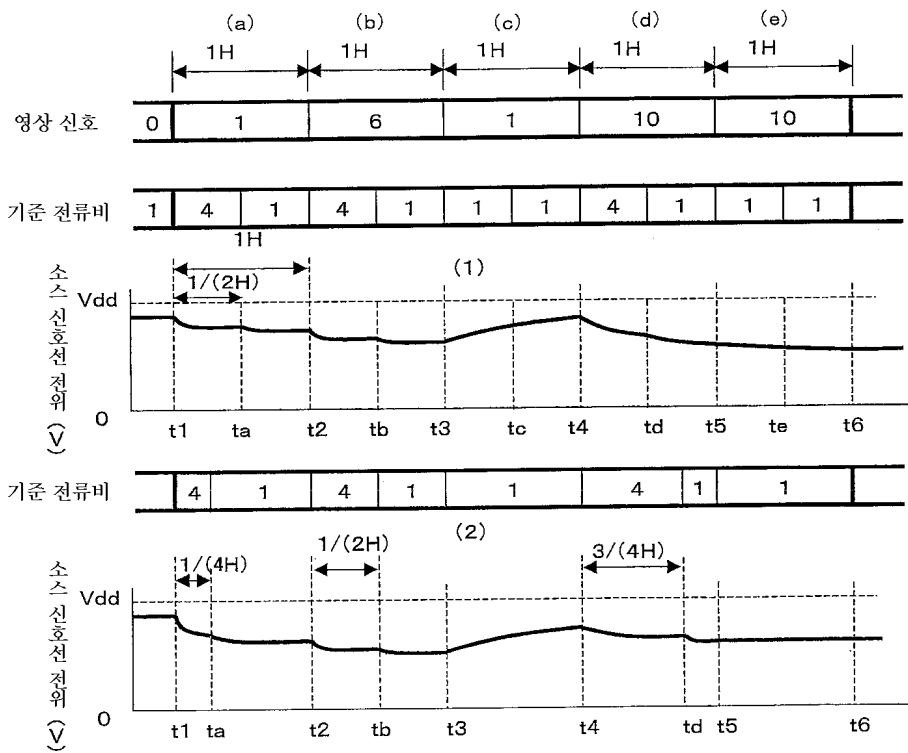
도면456



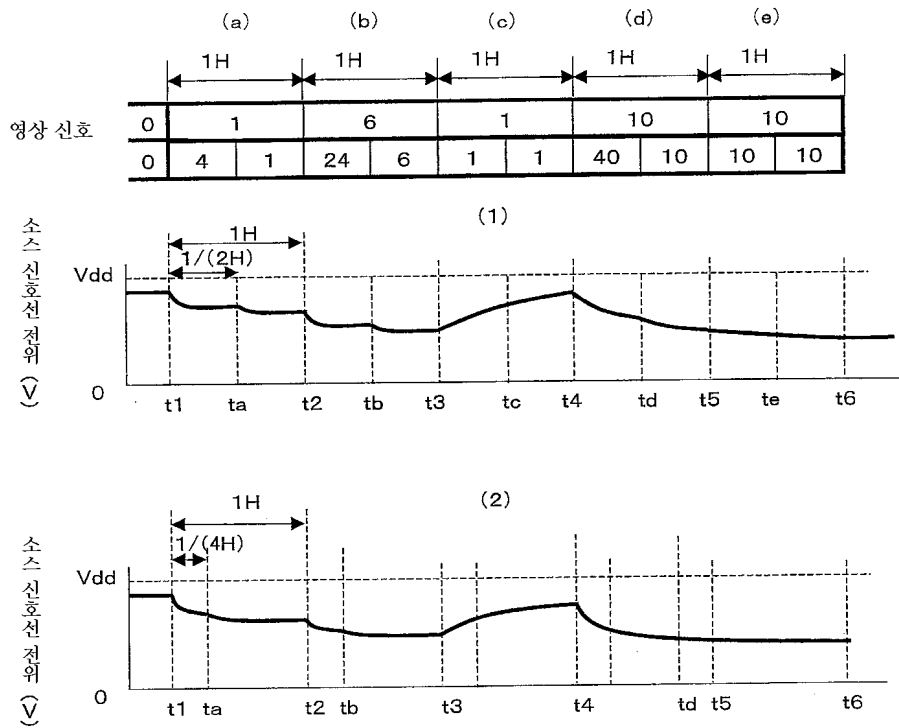
도면457



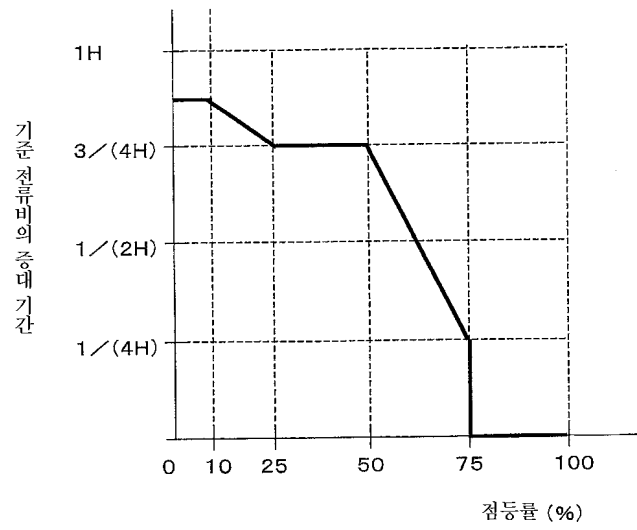
도면458



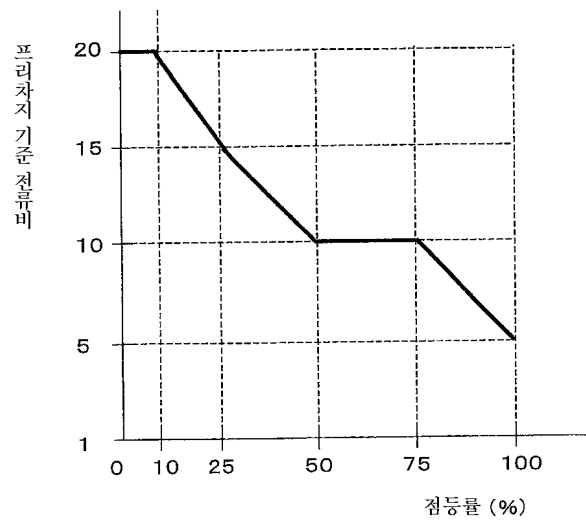
도면459



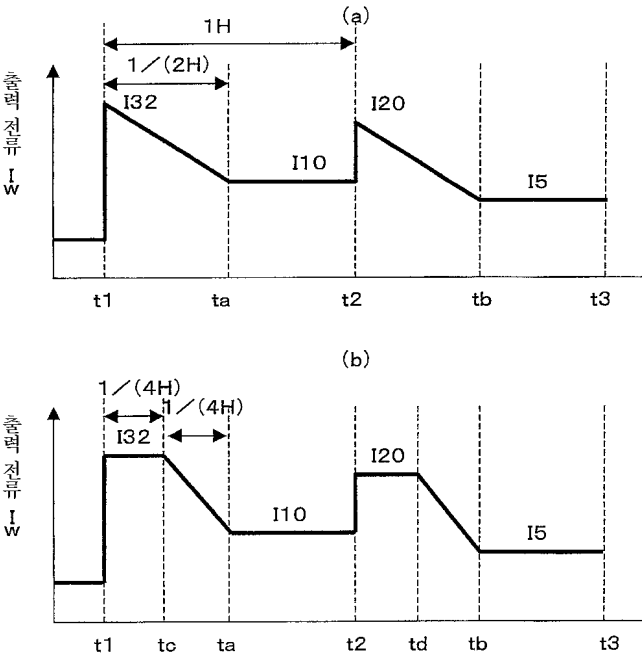
도면460



도면461



도면462

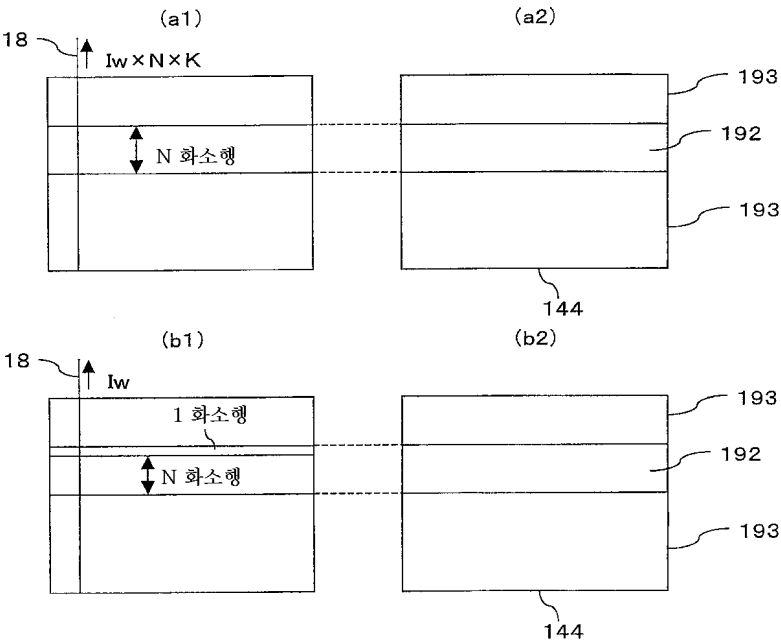


도면463

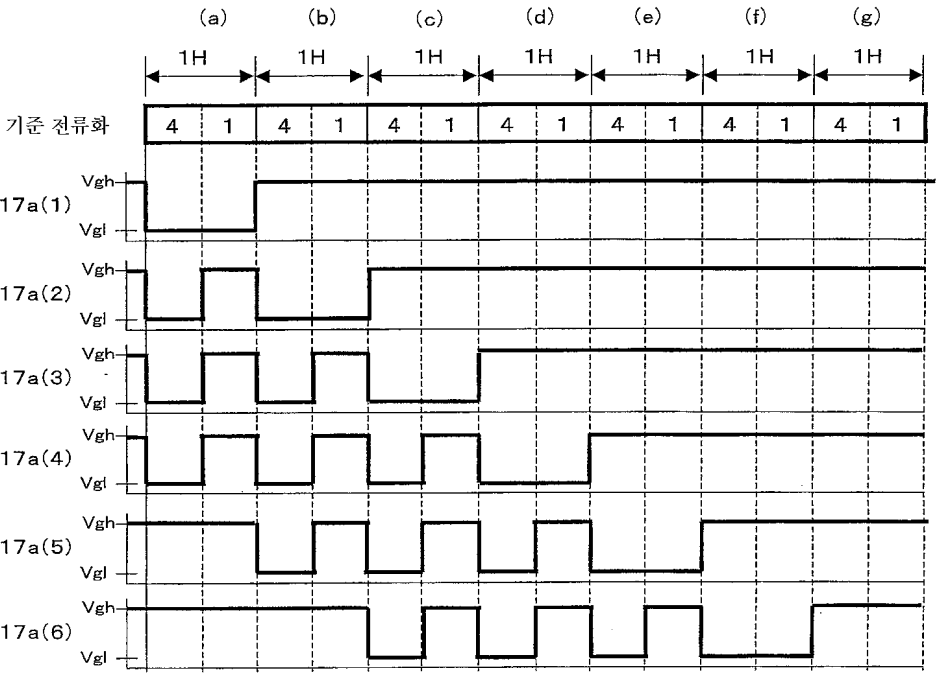
다음의 영상 데이터

1 H 선의 영상 데이터		0	1	2	3	4	5
	0	0	0	0	0	0	0
	1	1	0	0	0	0	0
	2	1	0	0	0	0	0
	3	1	0	0	0	0	0
	4	1	1	0	0	0	0
	5	1	1	1	0	0	0
	6	1	1	1	0	0	0

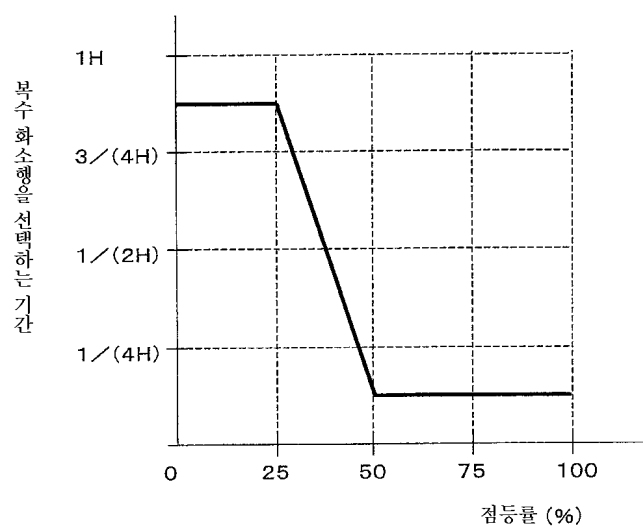
도면464



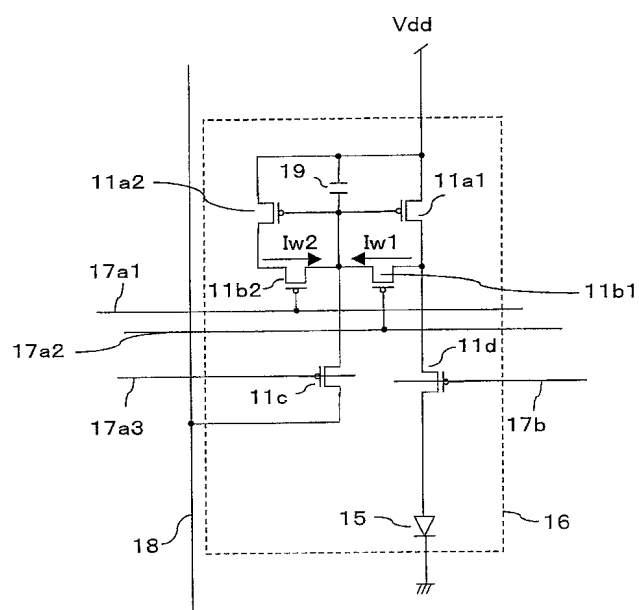
도면465



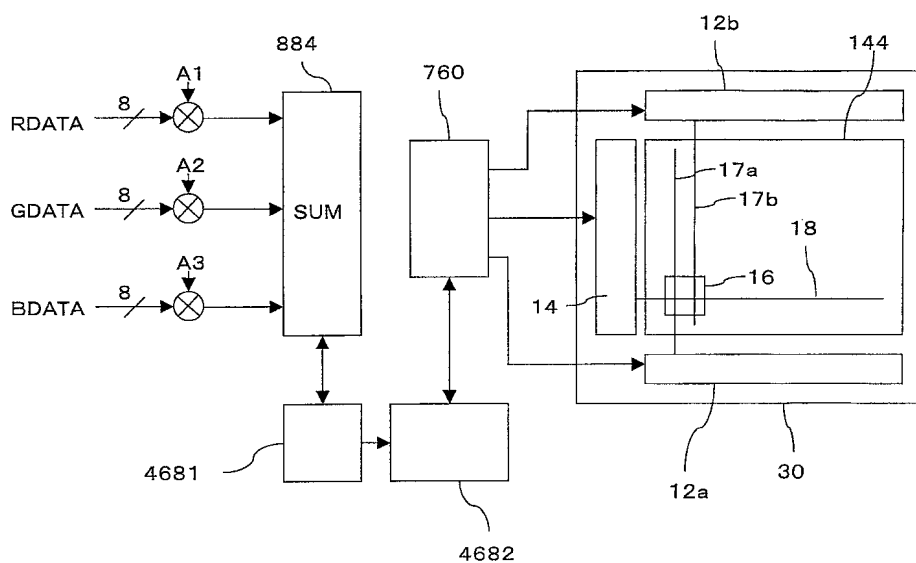
도면466



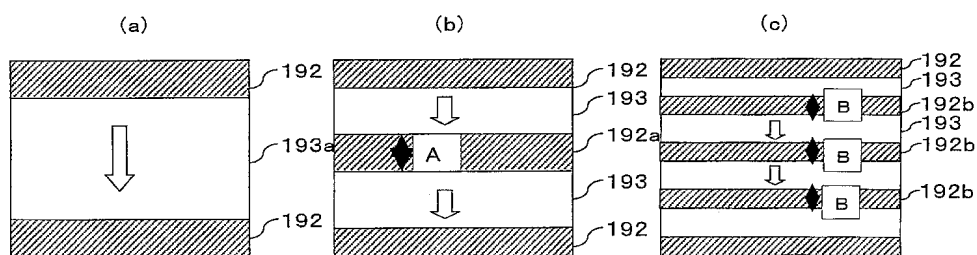
도면467



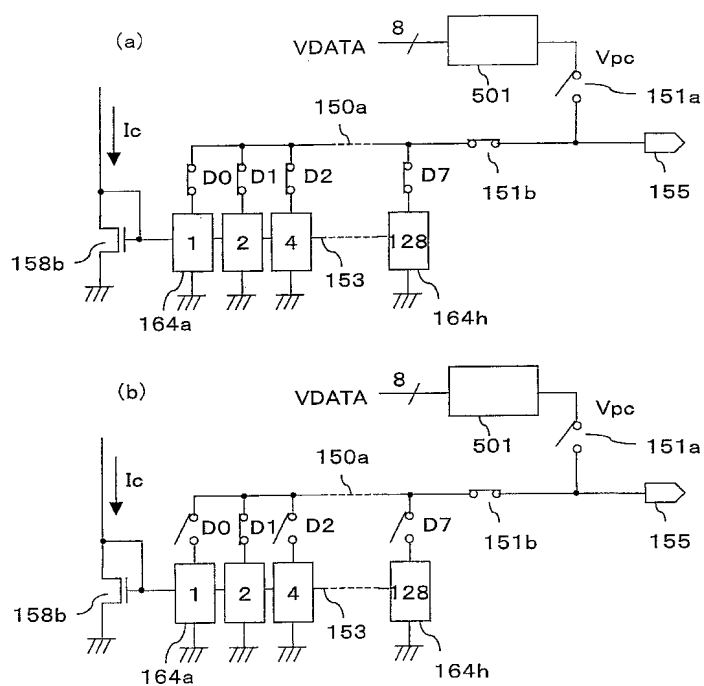
도면468



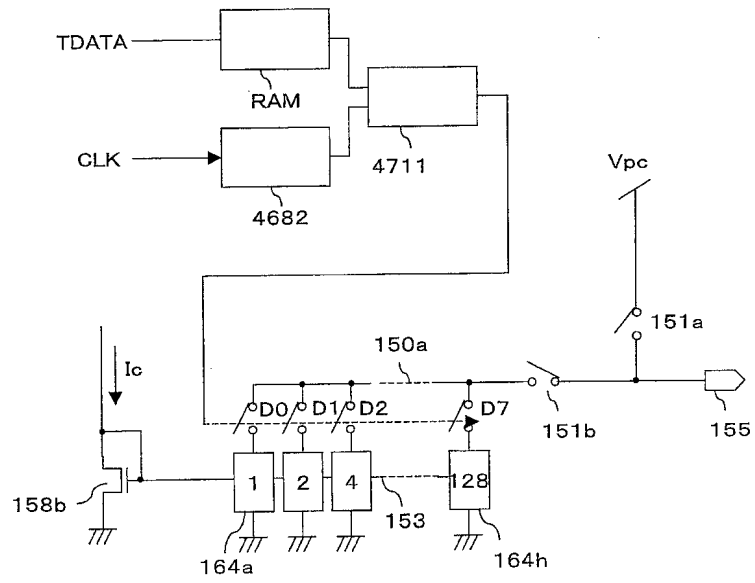
도면469



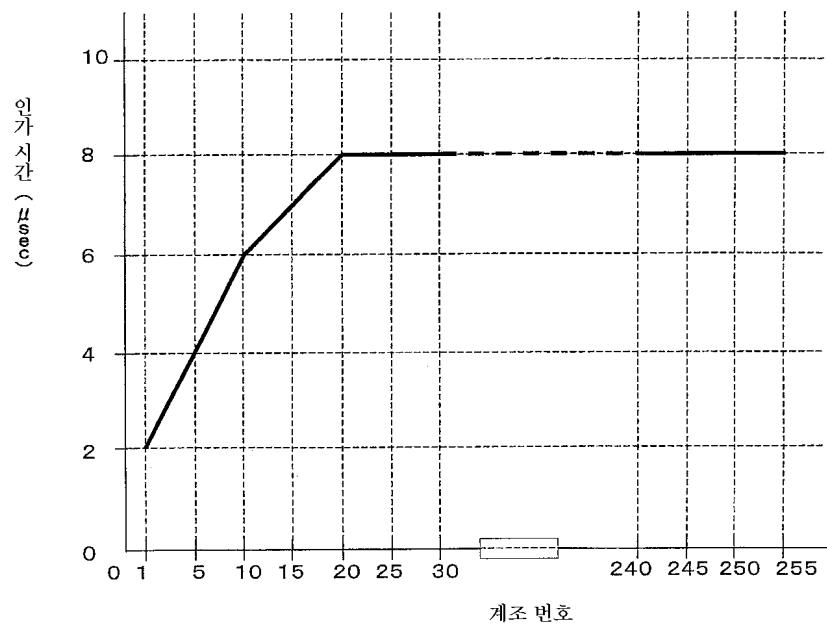
도면470



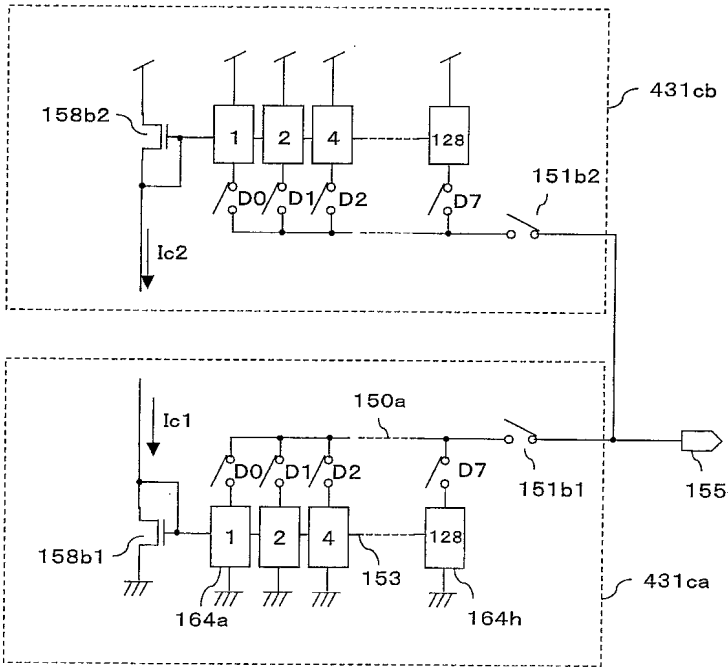
도면471



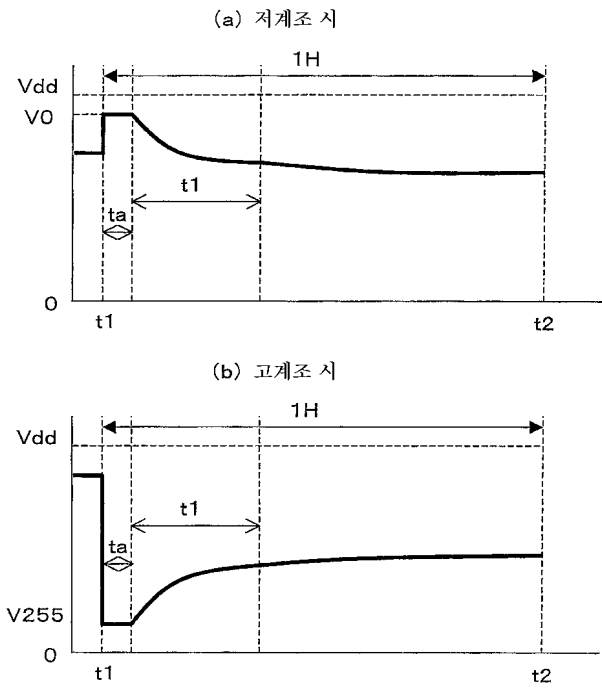
도면472



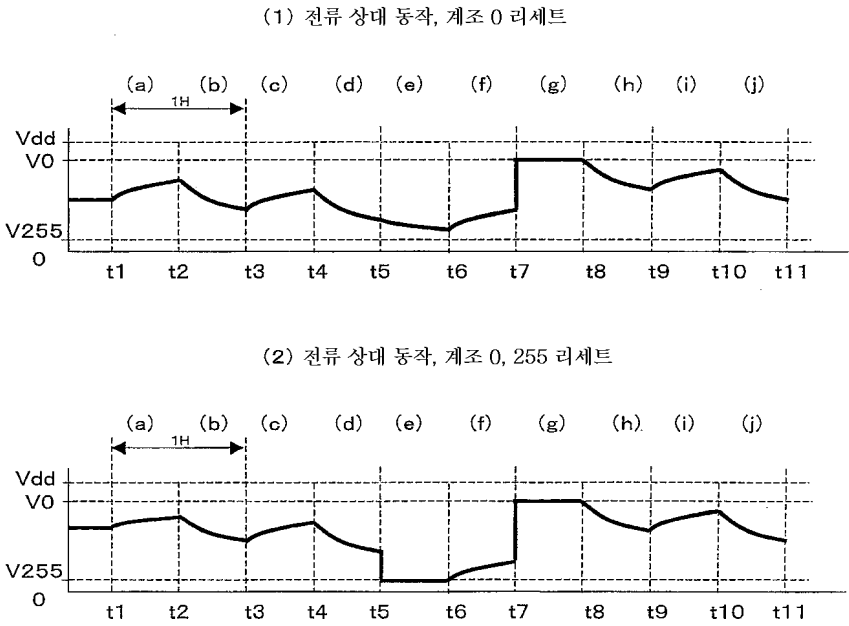
도면473



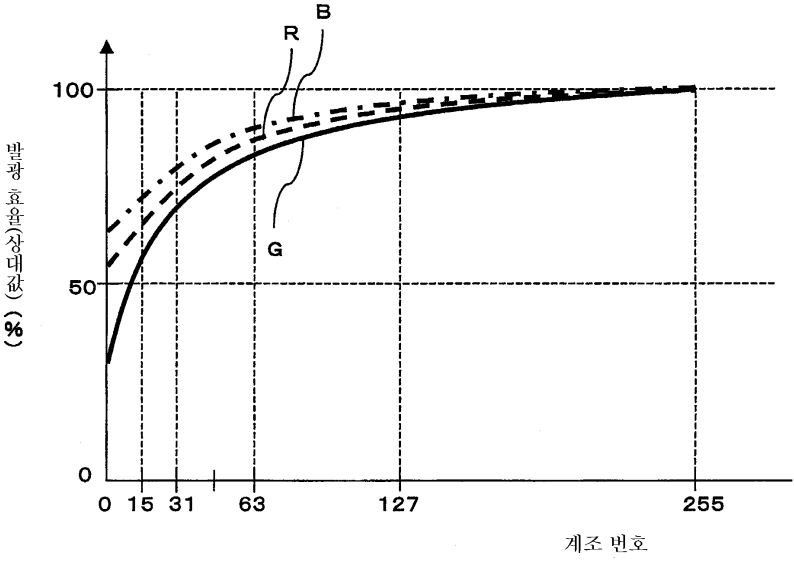
도면474



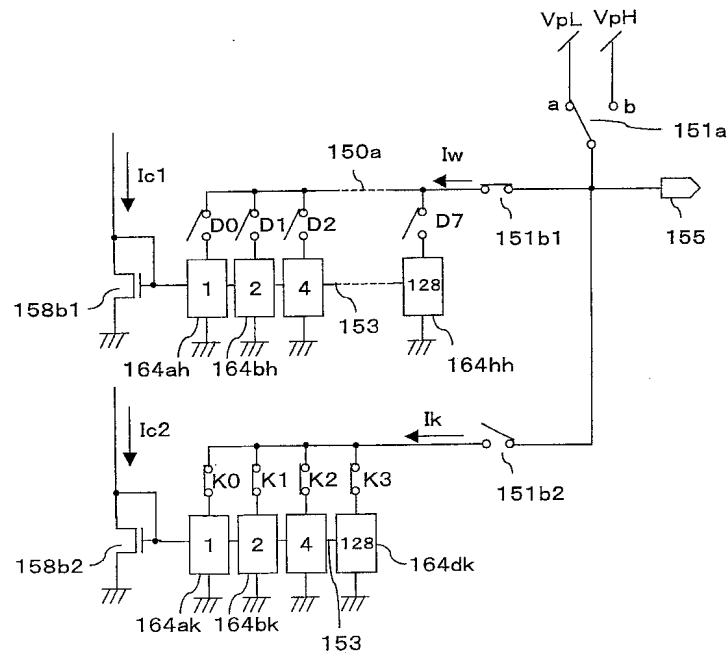
도면475



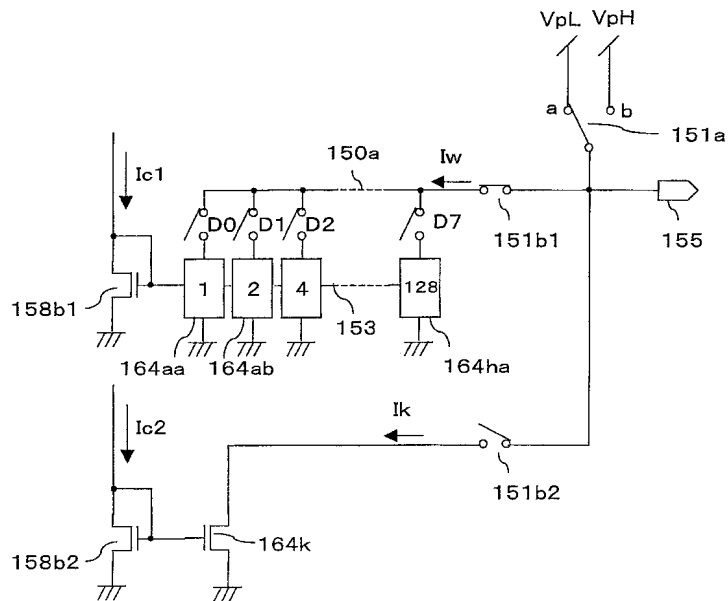
도면476



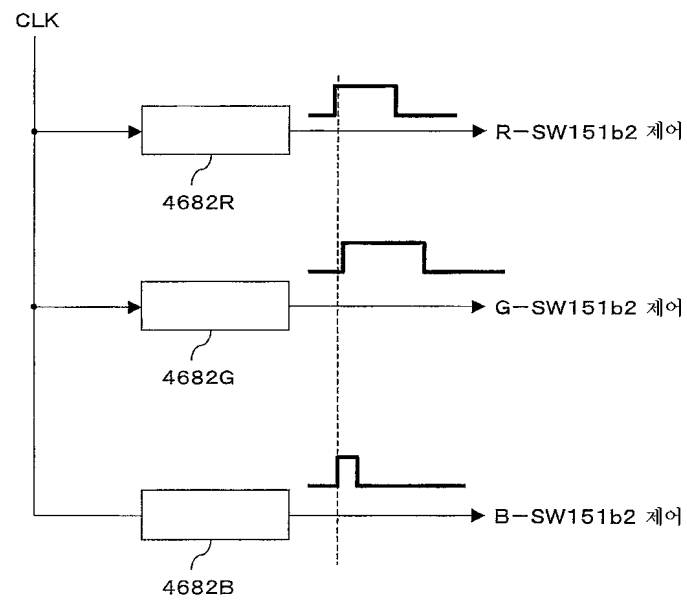
도면477



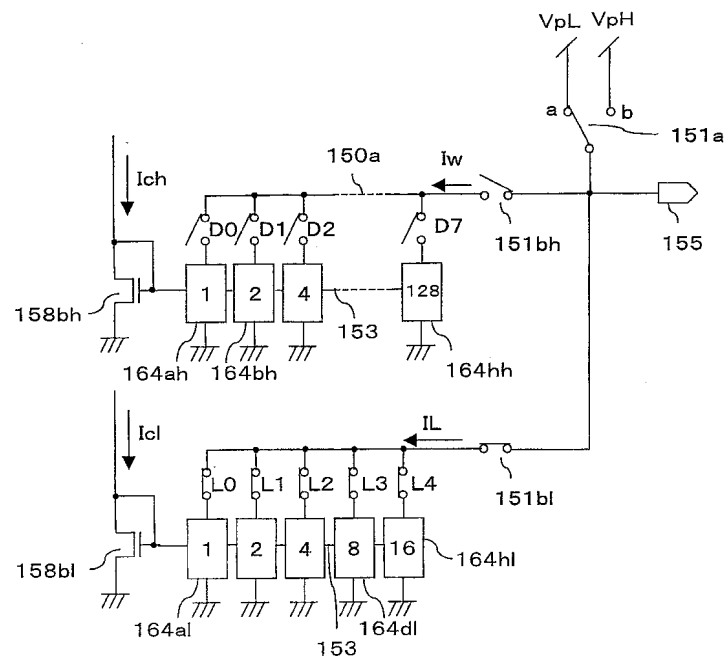
도면478



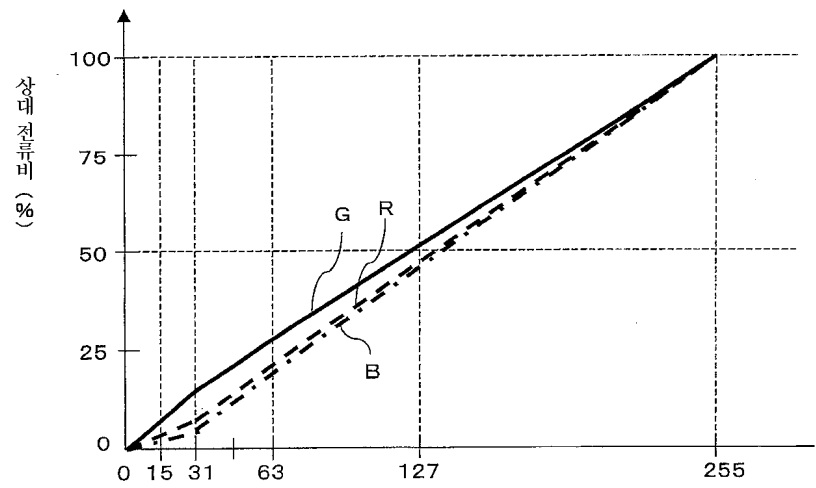
도면479



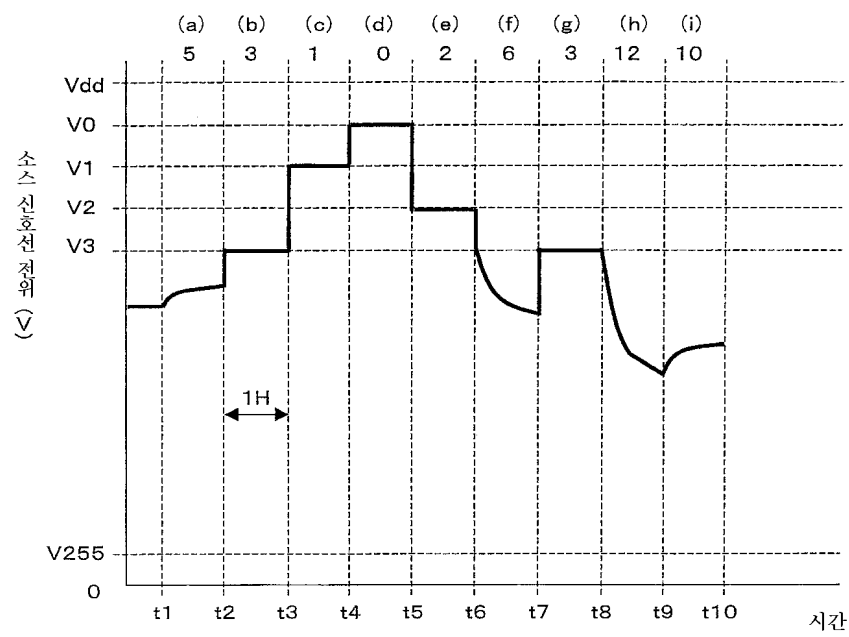
도면480



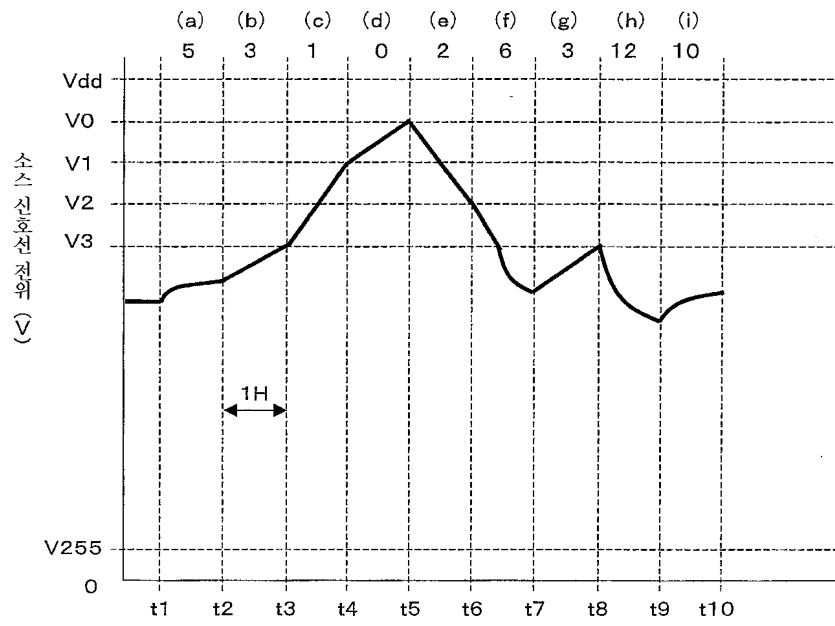
도면481



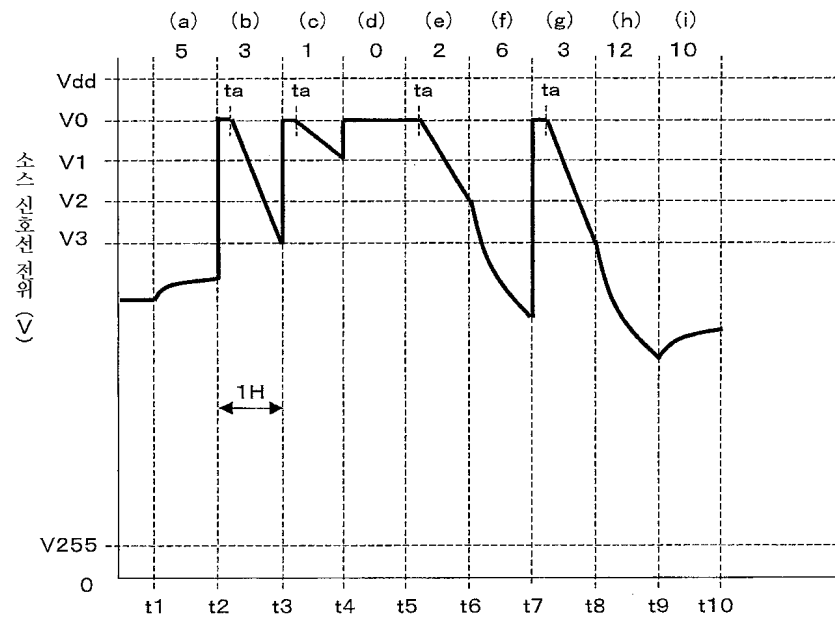
도면482



도면483

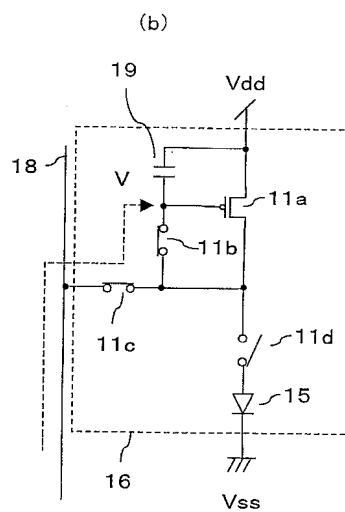
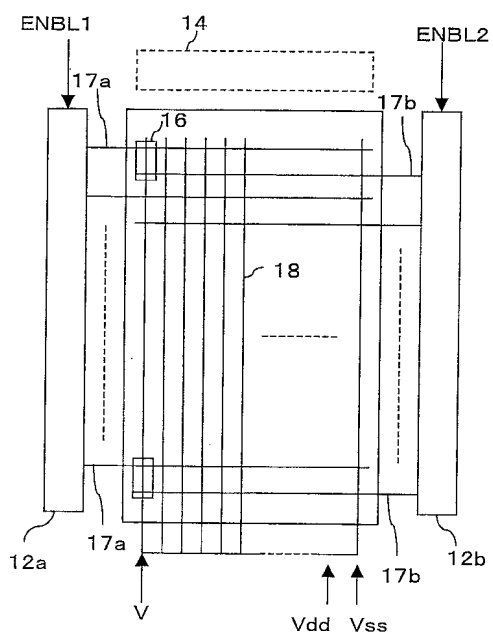


도면484



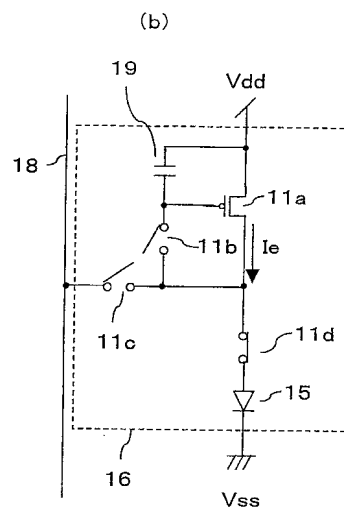
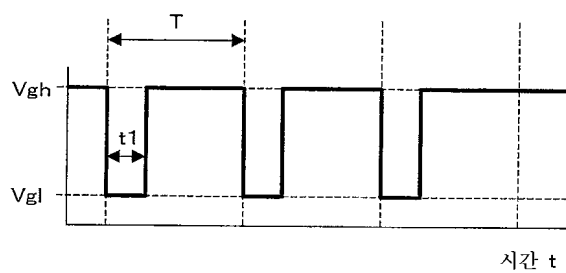
도면485

(a) 게이트 신호선(117a) all on
게이트 신호선(117b) all off

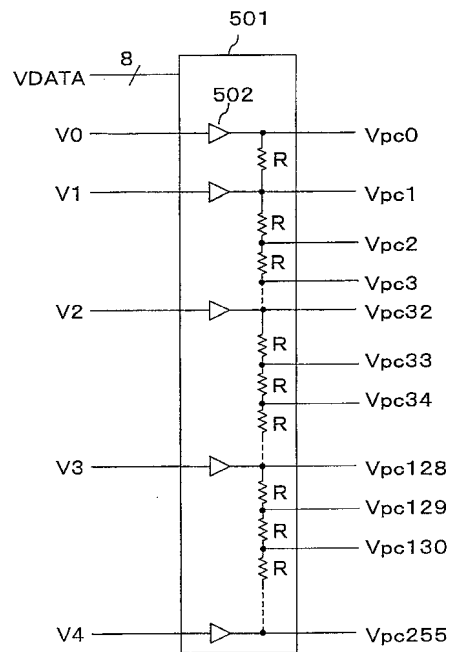


도면486

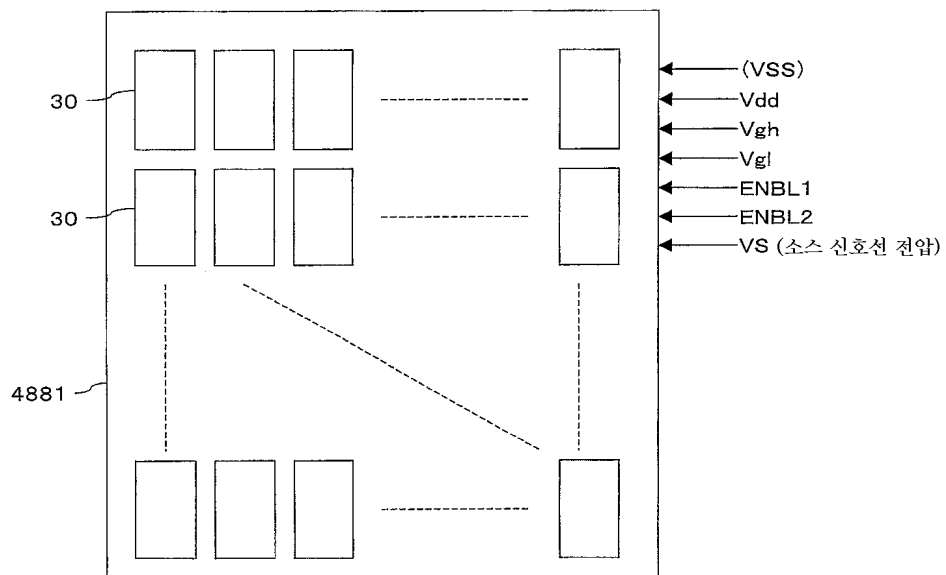
(a) 게이트 신호선 17b



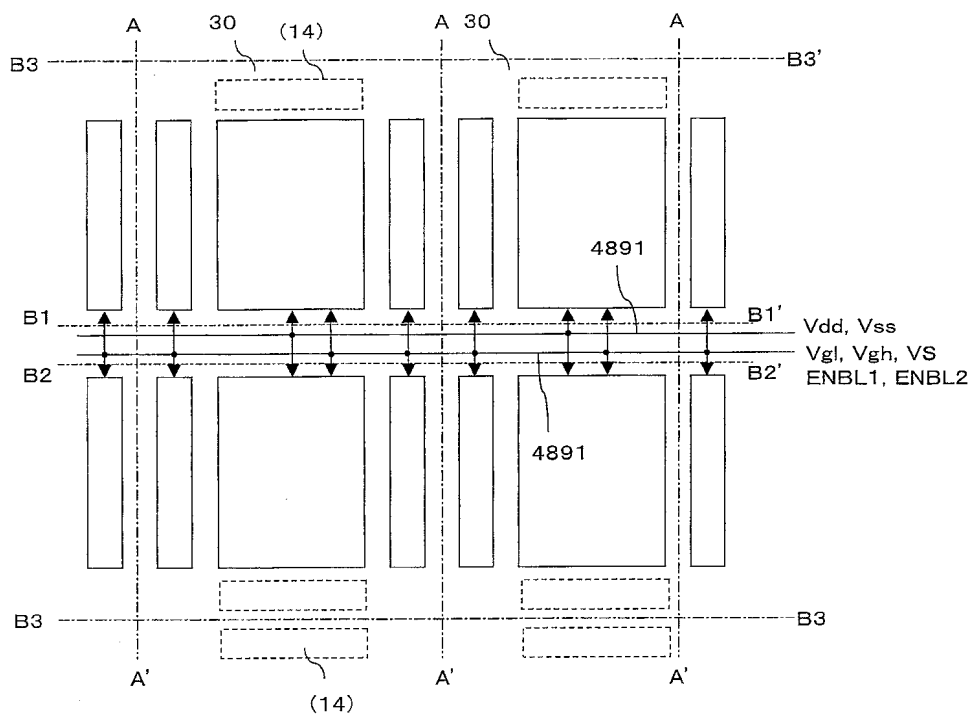
도면487



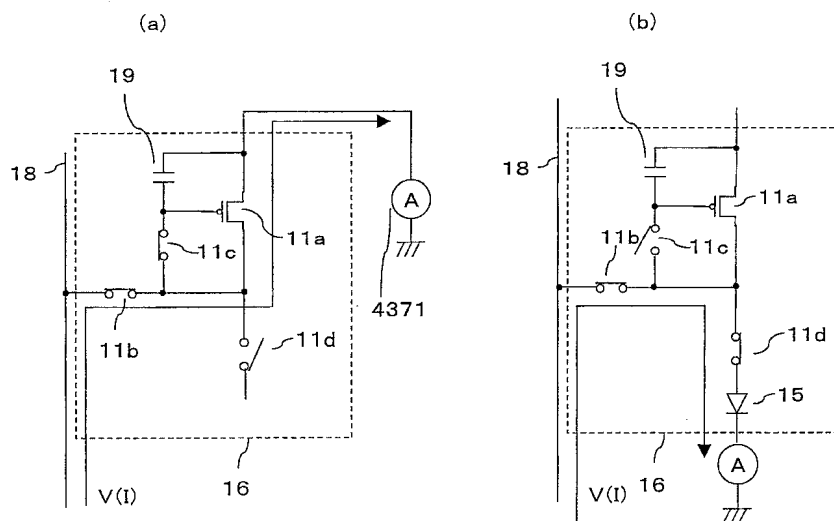
도면488



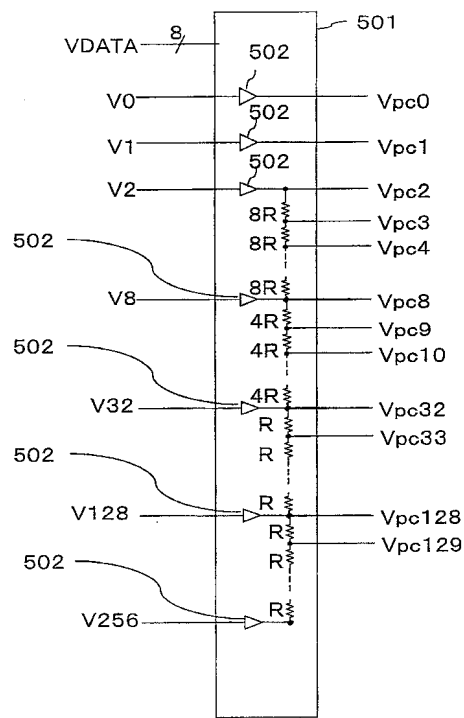
도면489



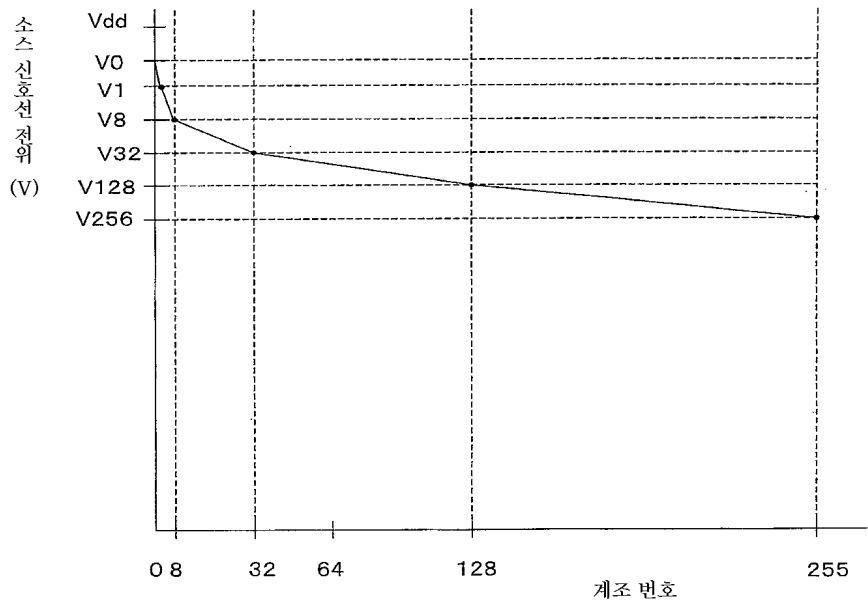
도면490



도면491



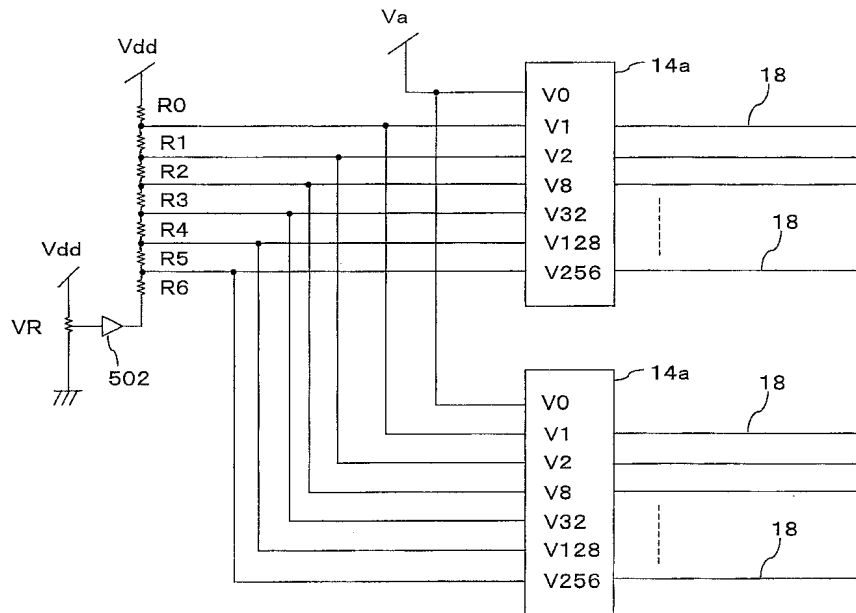
도면492



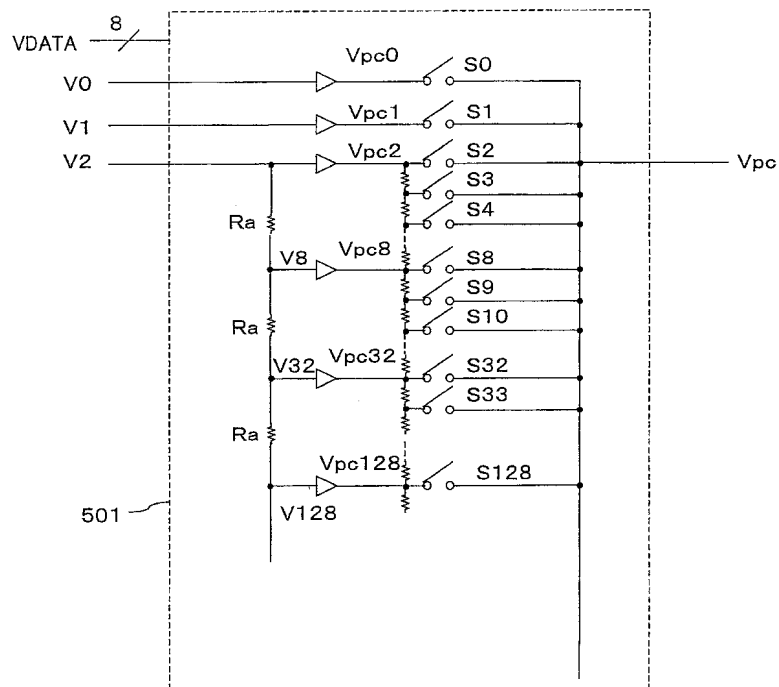
도면493

	(a)	(b)	(c)
0	0	0	0
1	1	1	1
2	2	—	2
3	4		—
4	8	8	8
5	32	32	32
6	128	128	128
7	512	512	—

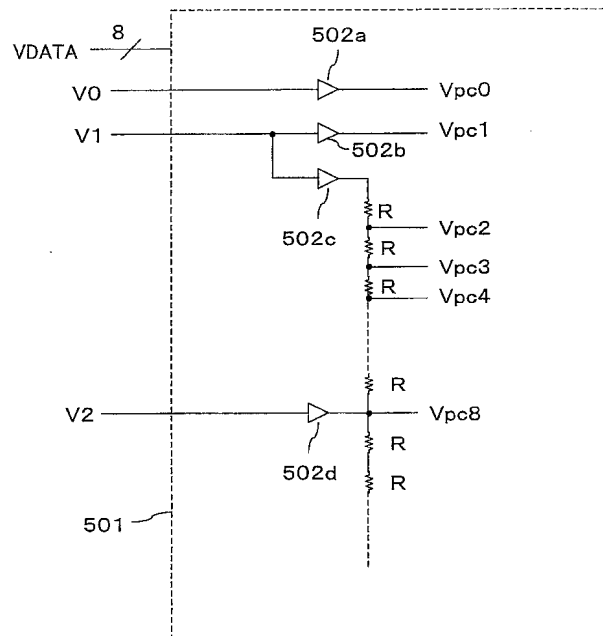
도면494



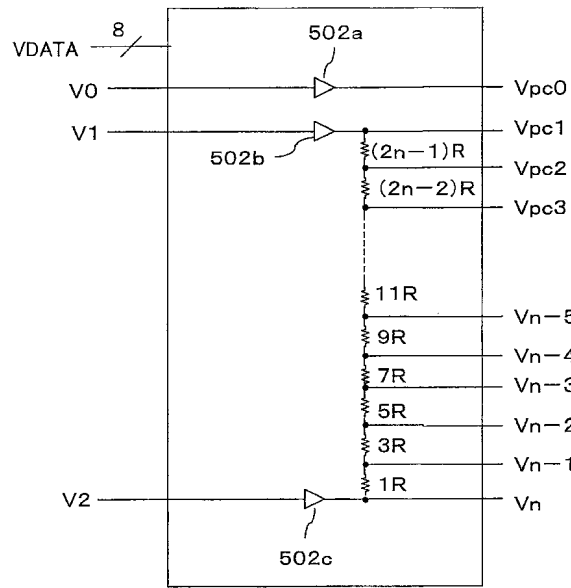
도면495



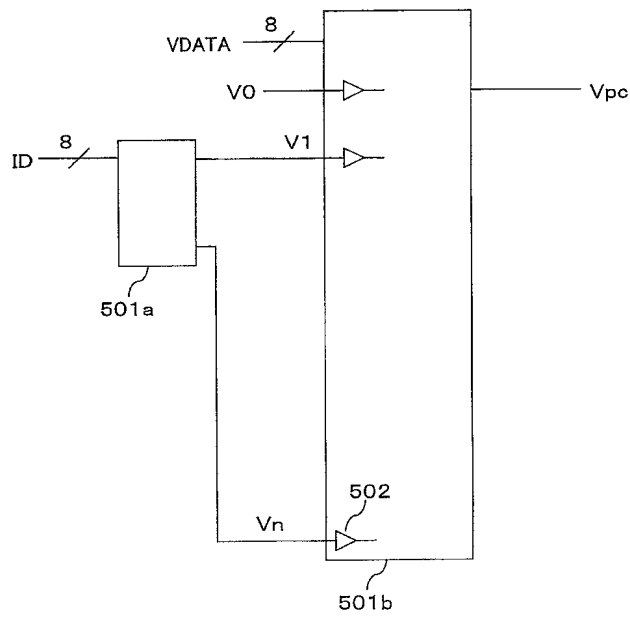
도면496



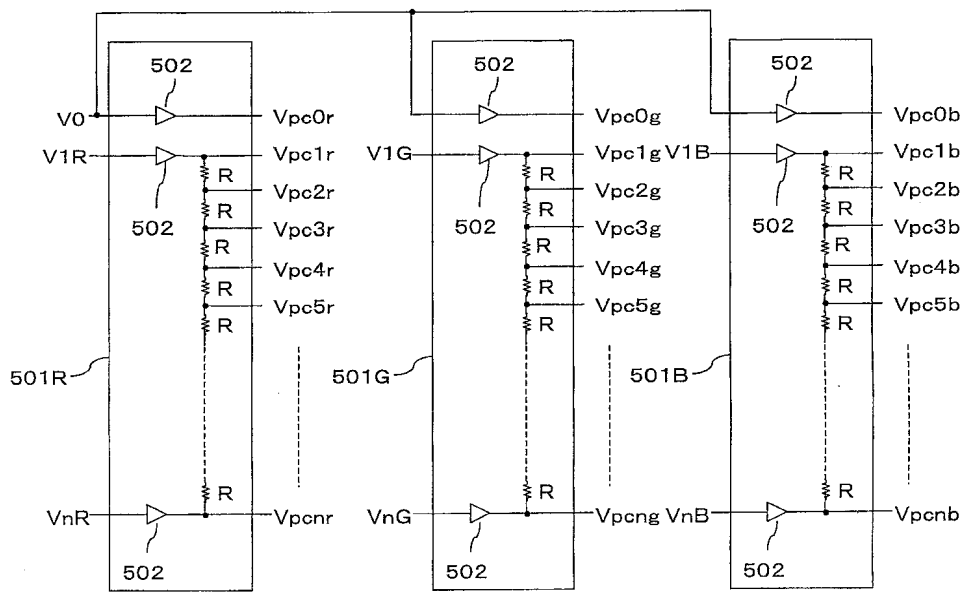
도면497



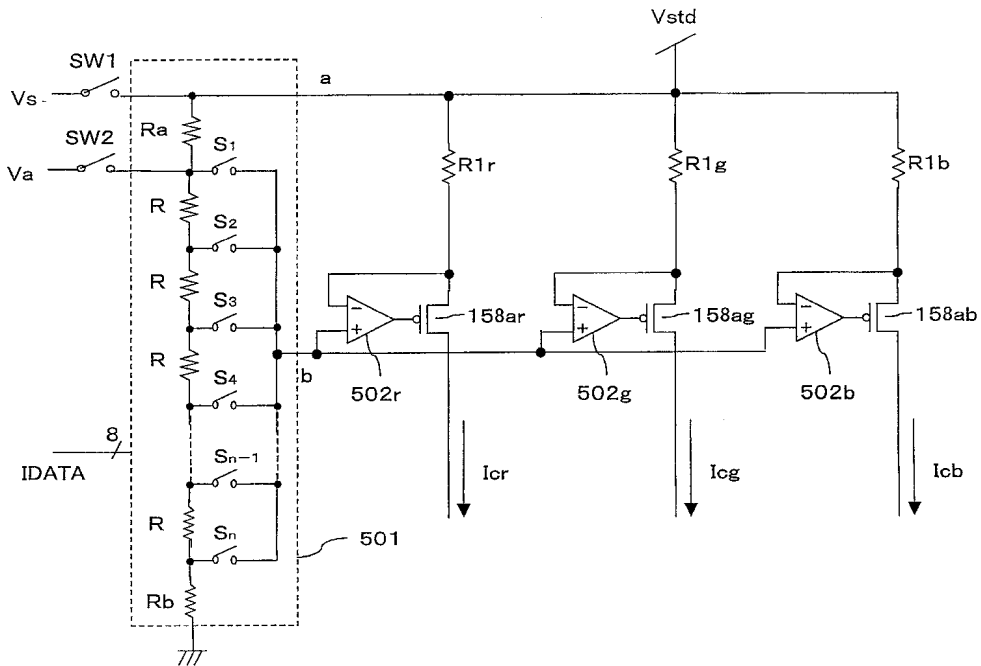
도면498



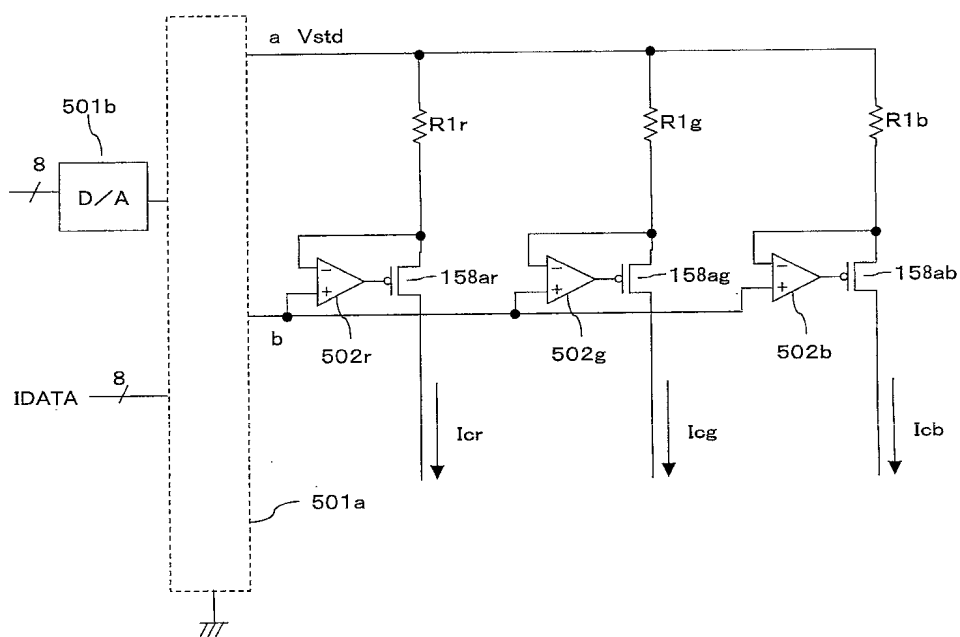
도면499



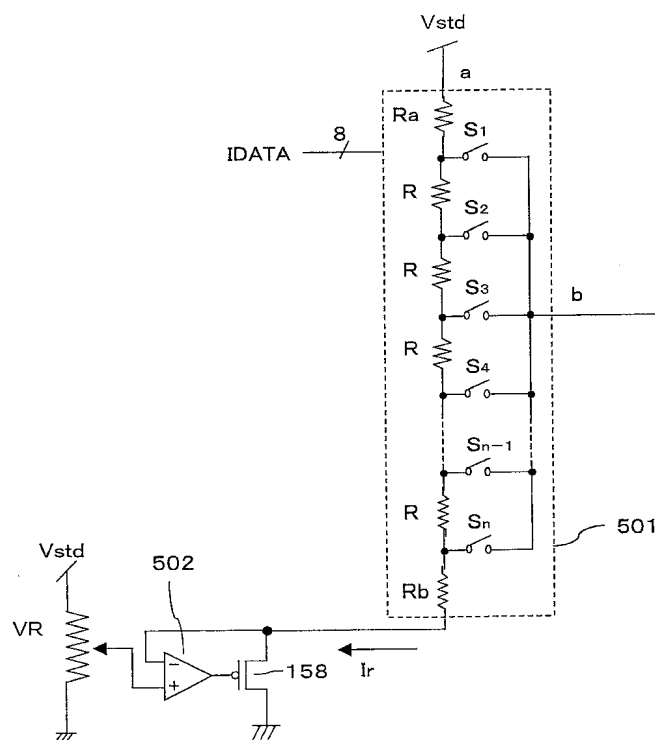
도면500



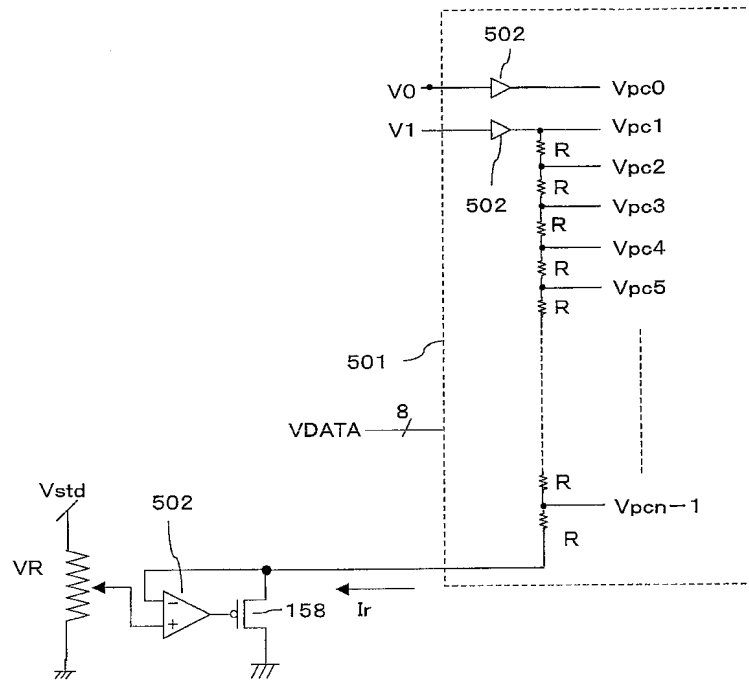
도면501



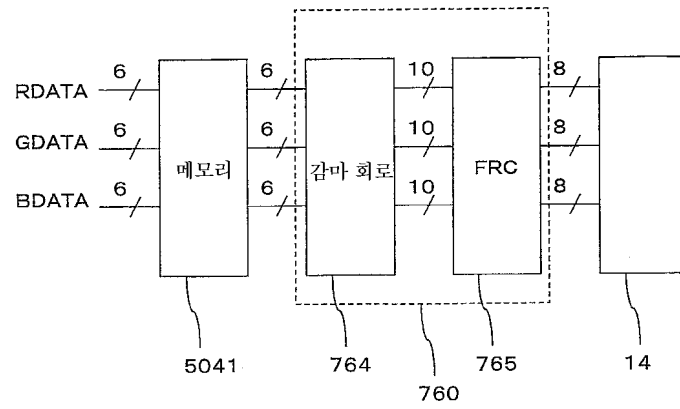
도면502



도면503

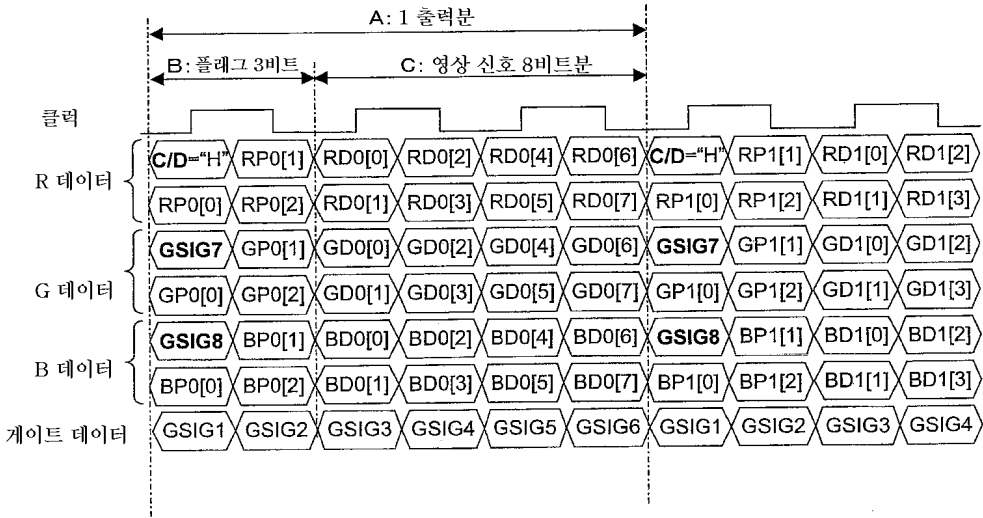


도면504



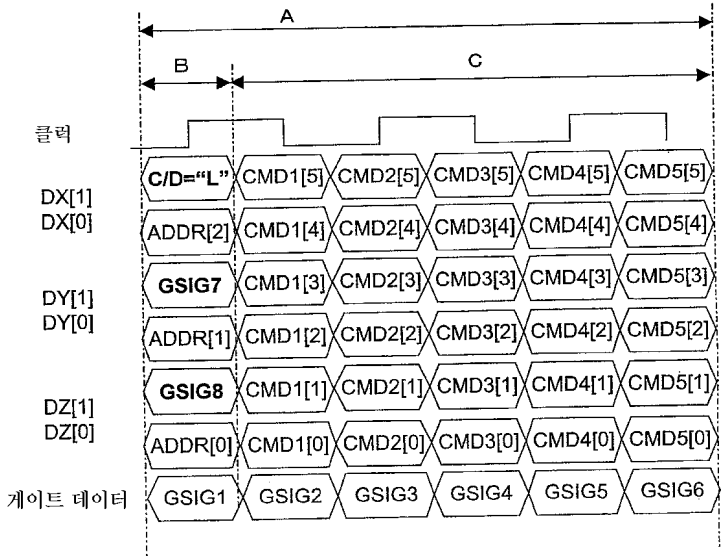
도면505

<데이터 전송 시>



도면506

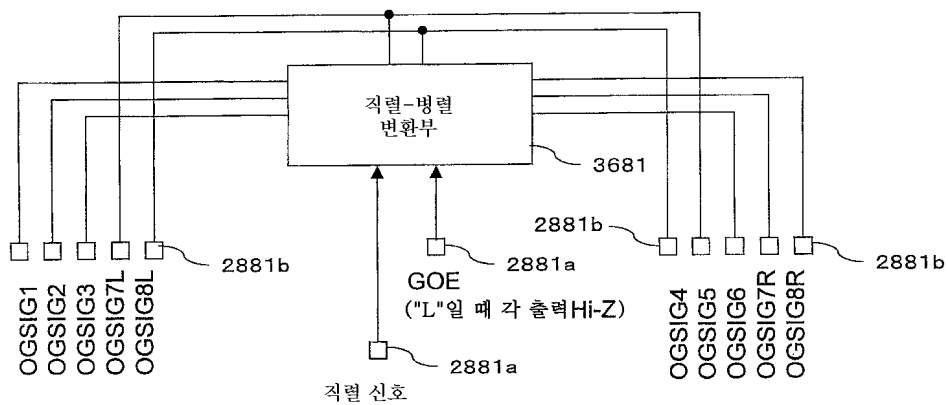
<커맨드 전송 시>



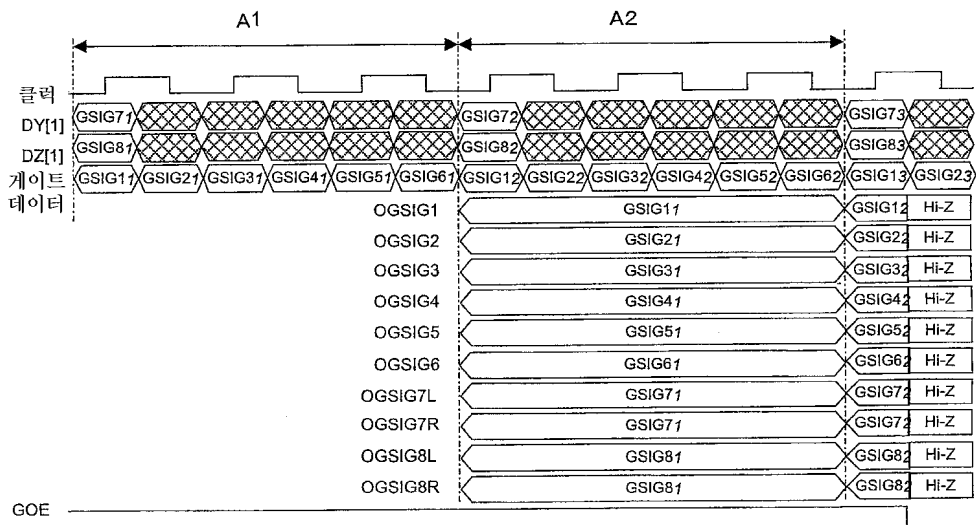
도면507

ADDR[2:0] (어드레스)			CMD[5:0] (커맨드 디코더)	
[2]	[1]	[0]	<DX[1] MSB DZ[0] LSB>	
0	0	0	CMD1	기준 전류 설정
			CMD2	<Reserved>
			CMD3	
			CMD4	
			CMD5	
0	0	1	CMD1	전류 프리차지 펄스 1 길이 설정
			CMD2	전류 프리차지 펄스 2 길이 설정
			CMD3	전류 프리차지 펄스 3 길이 설정
			CMD4	전류 프리차지 펄스 4 길이 설정
			CMD5	전류 프리차지 펄스 5 길이 설정
0	1	0	CMD1	전류 프리차지 펄스 6 길이 설정
			CMD2	전압 프리차지 펄스 길이 설정
			CMD3	프리차지 전압값 설정
			CMD4	<Reserved> 프리차지 펄스 발생용 클럭 설정
			CMD5	<Reserved>

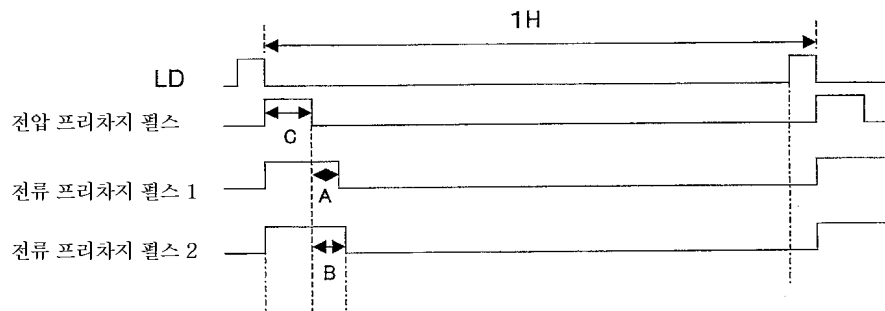
도면508



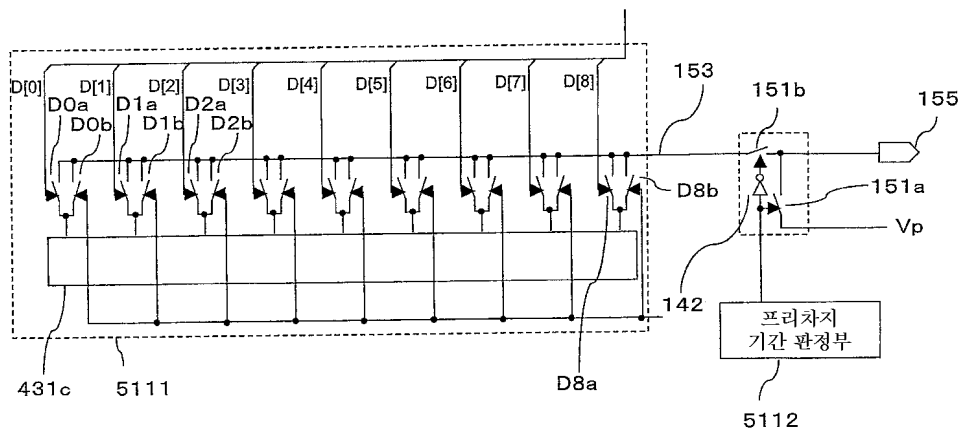
도면509



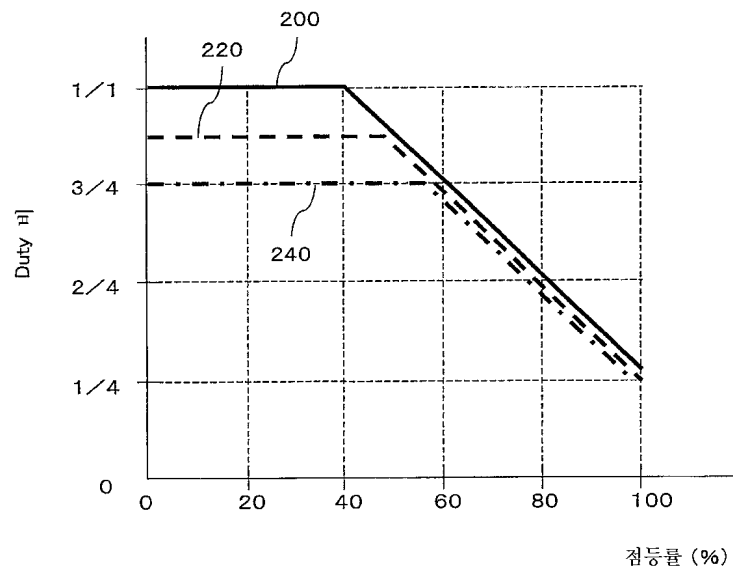
도면510



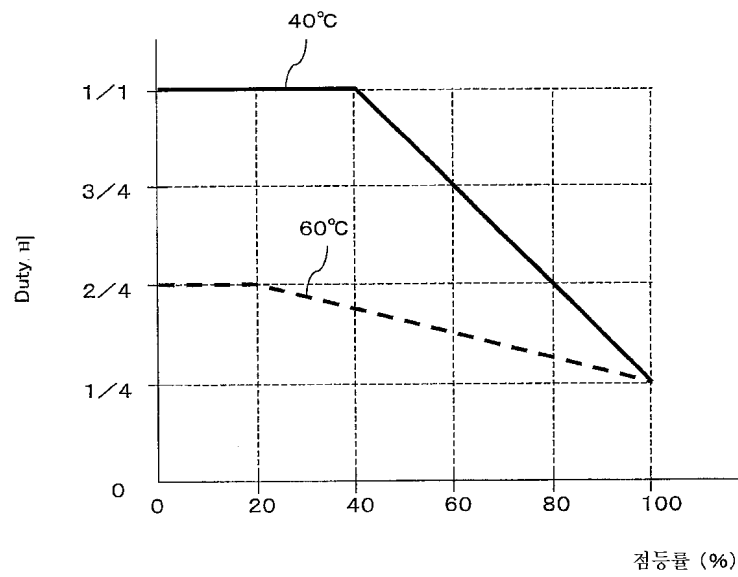
도면511



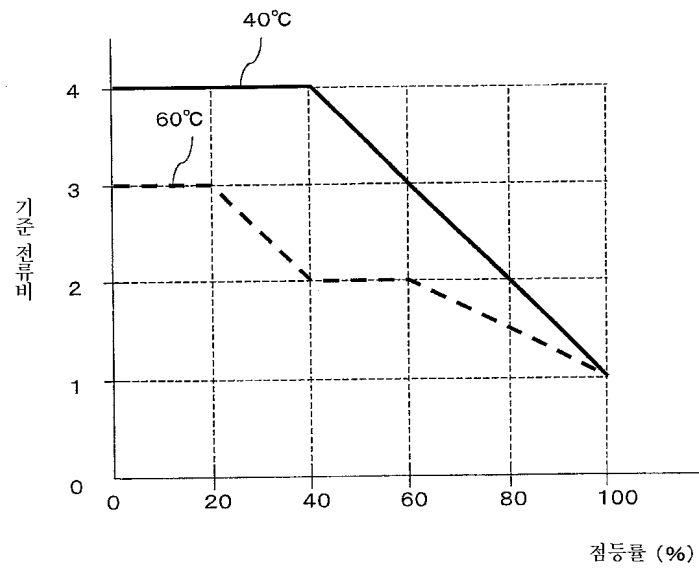
도면515



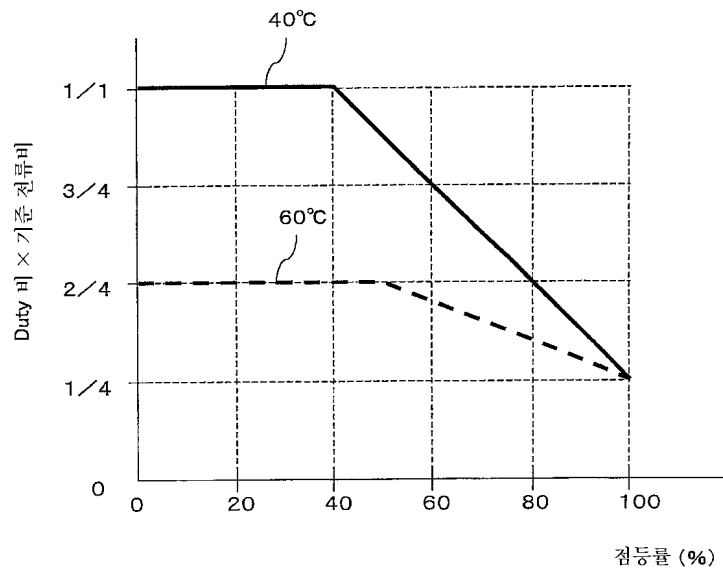
도면516



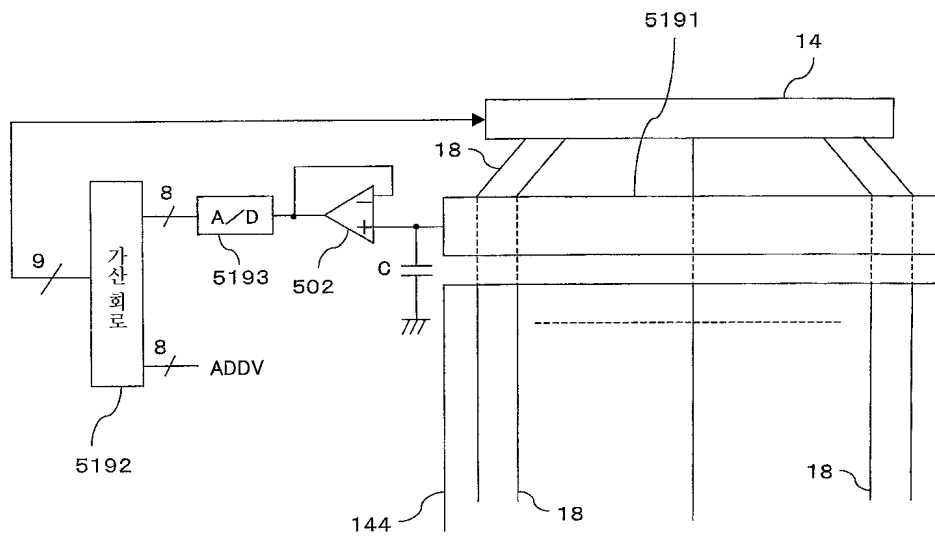
도면517



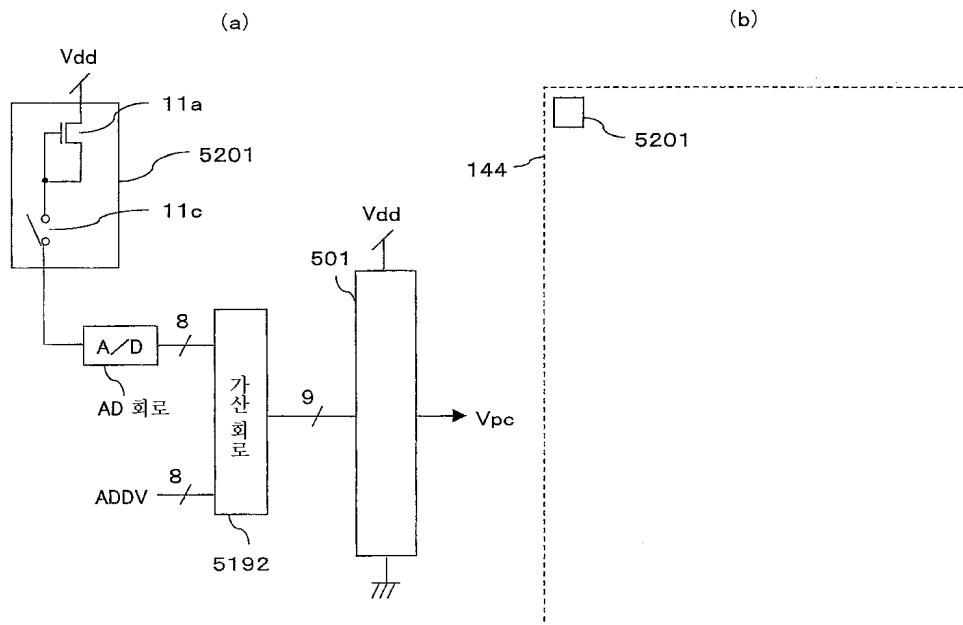
도면518



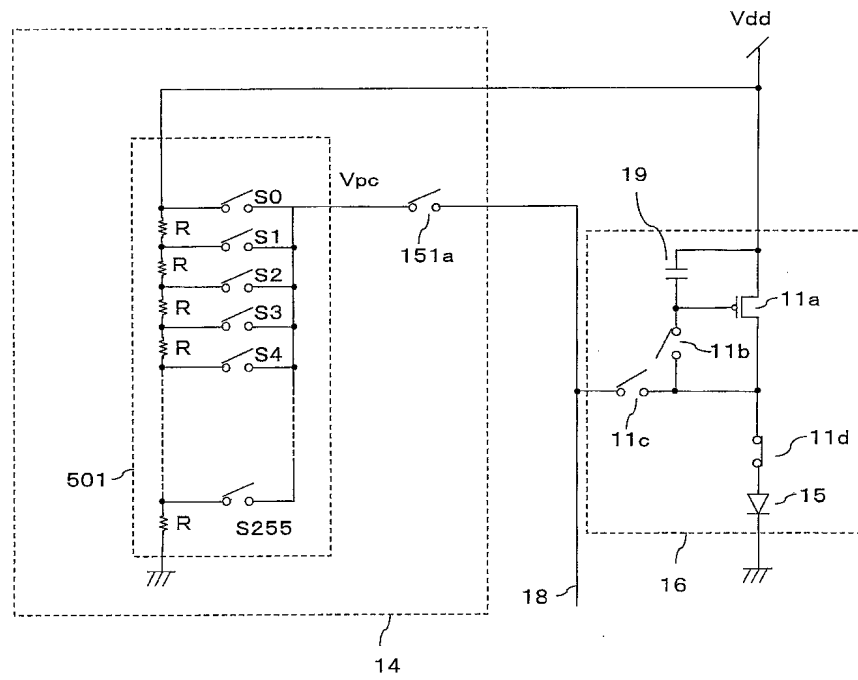
도면519



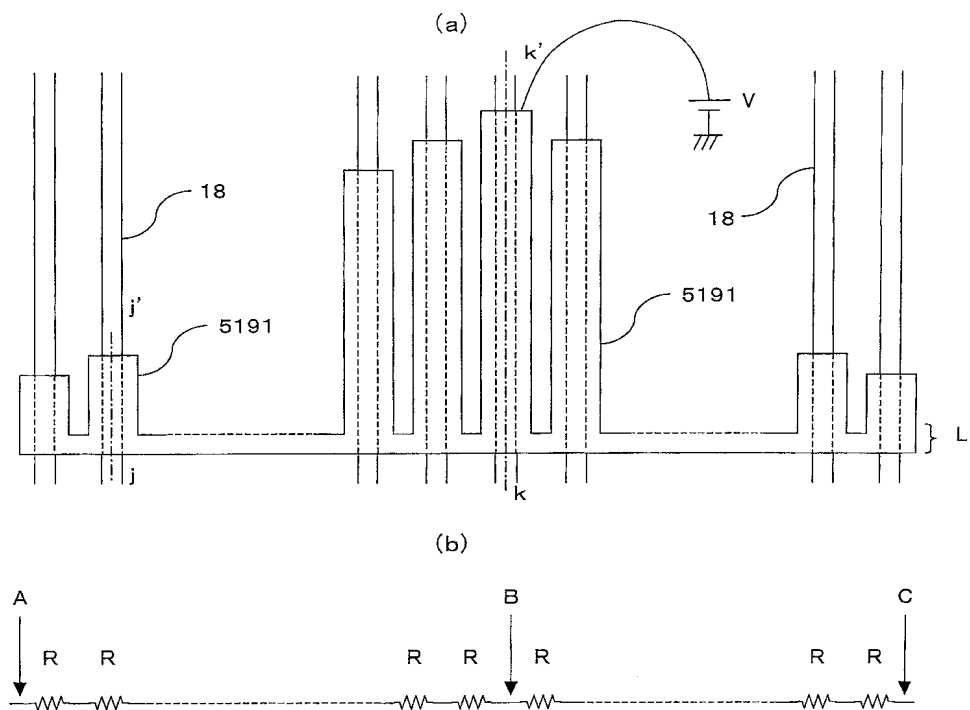
도면520



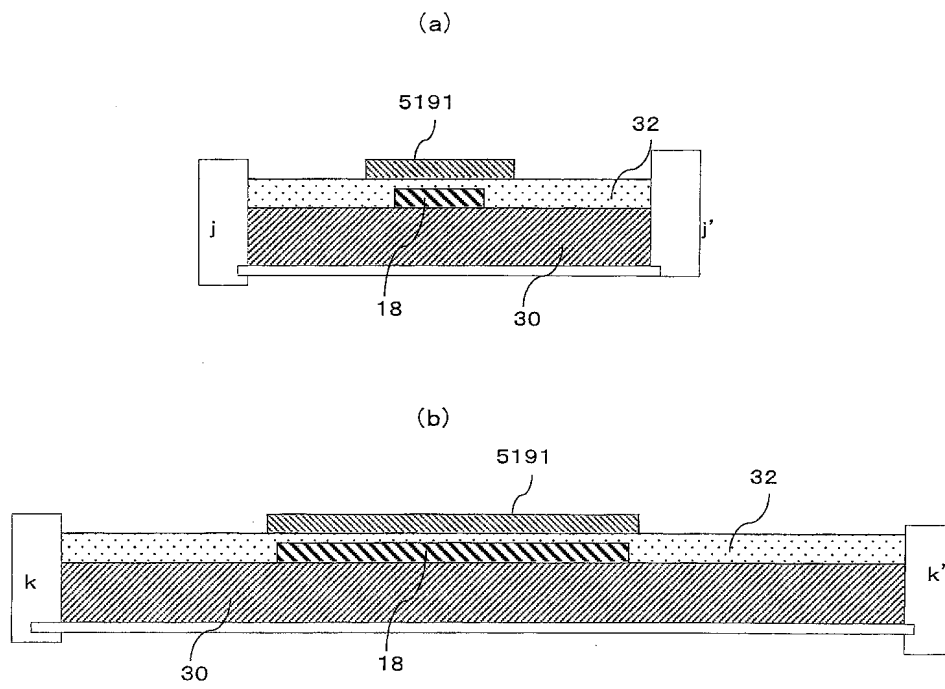
도면521



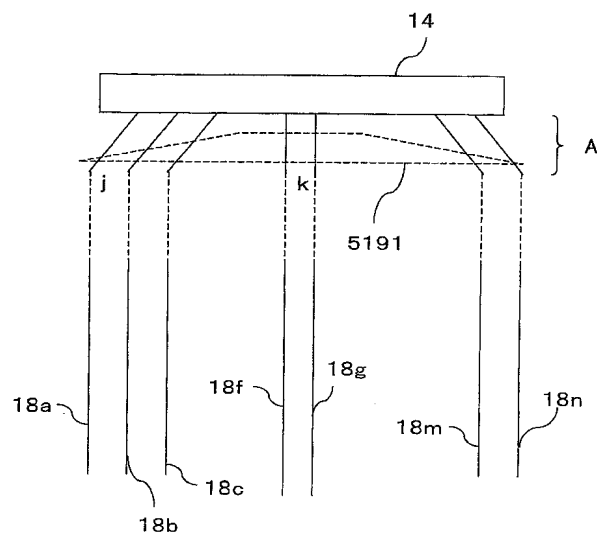
도면522



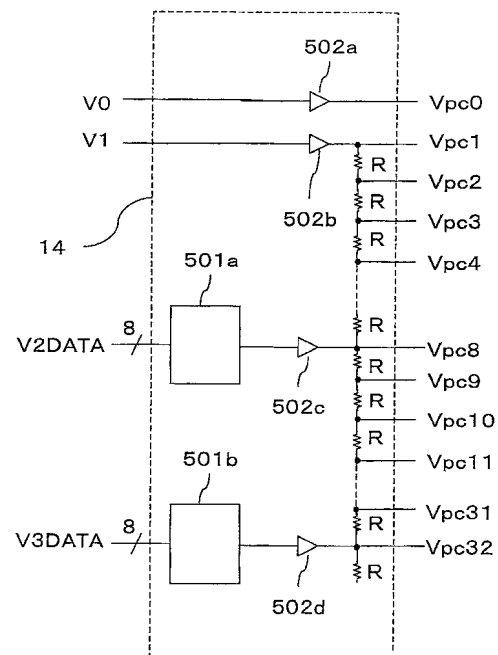
도면523



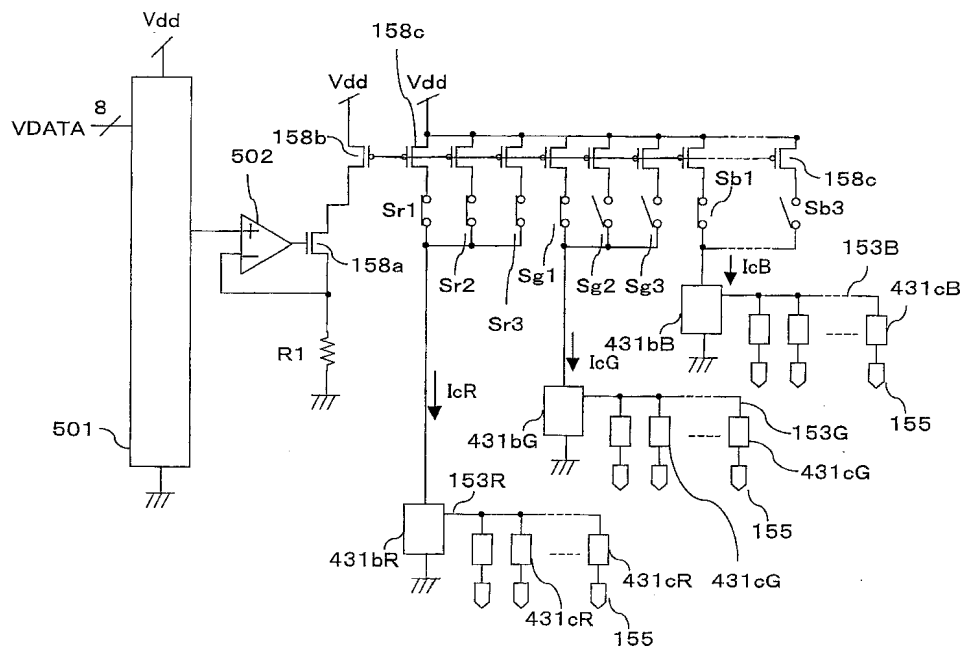
도면524



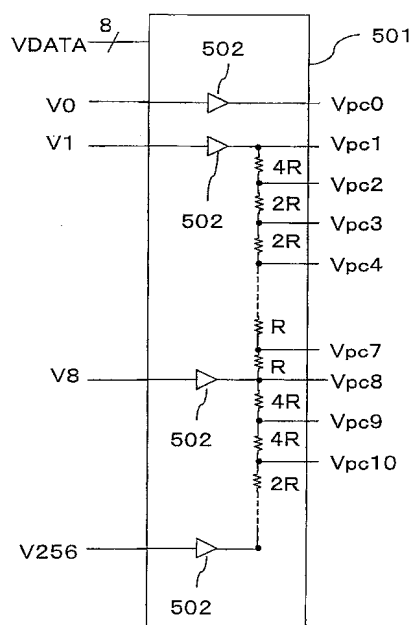
도면525



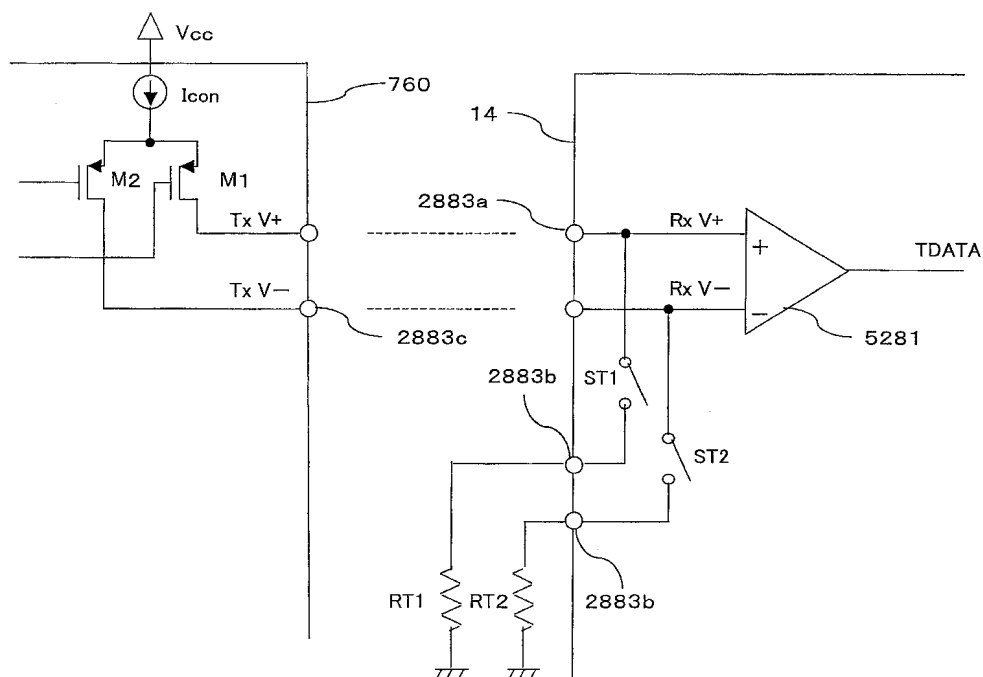
도면526



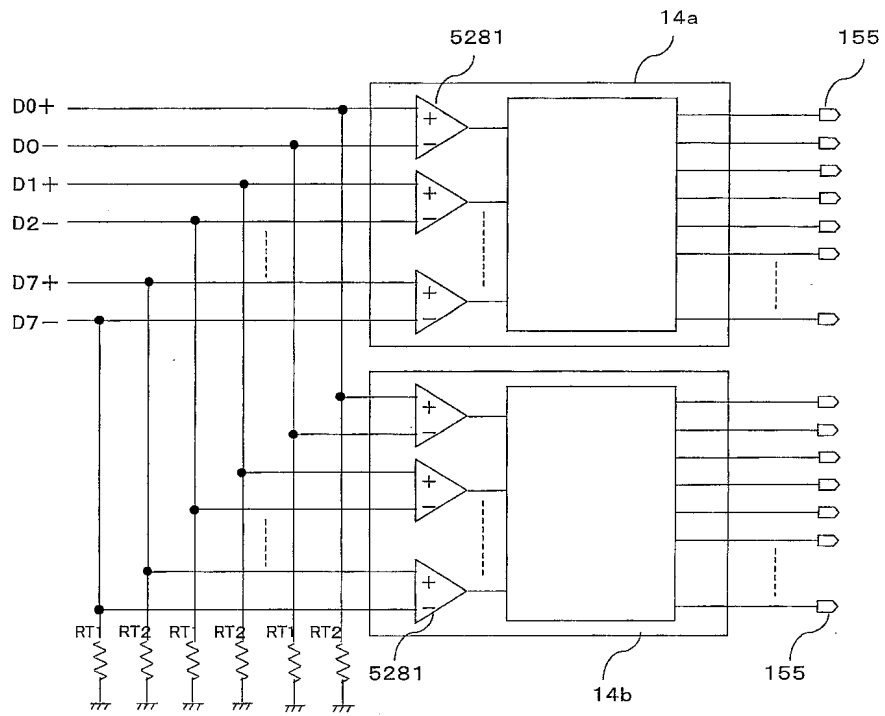
도면527



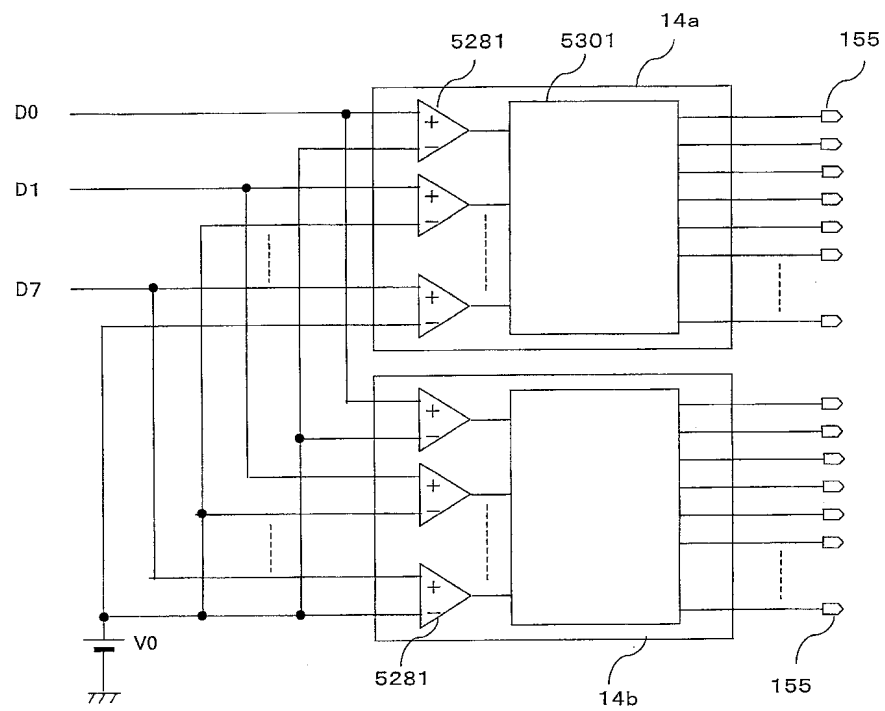
도면528



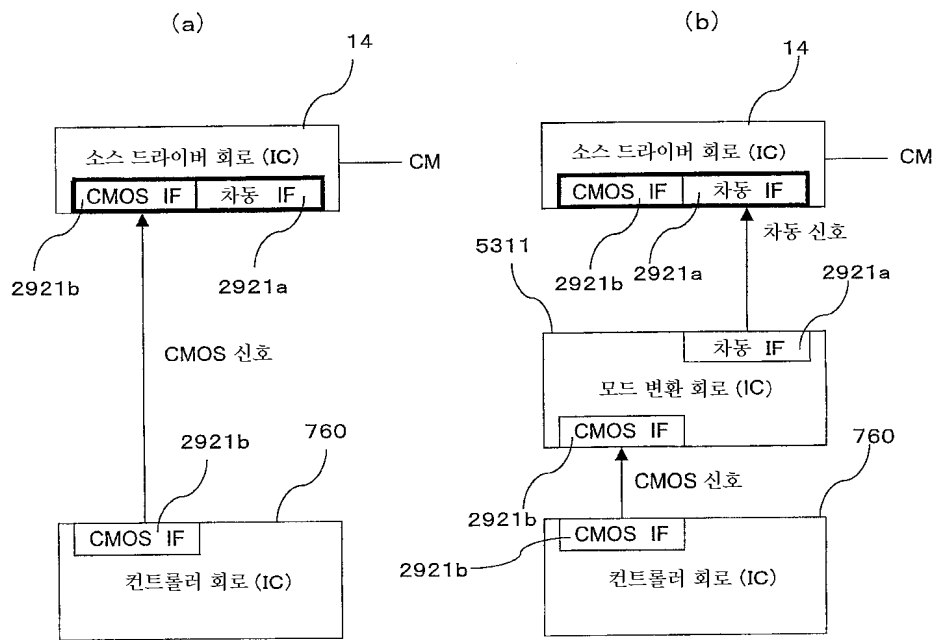
도면529



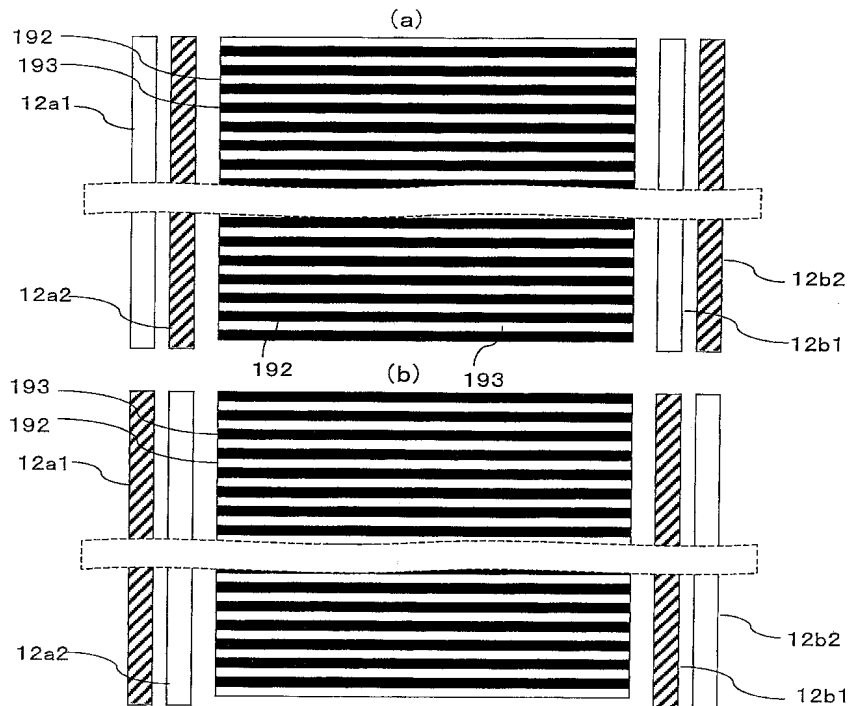
도면530



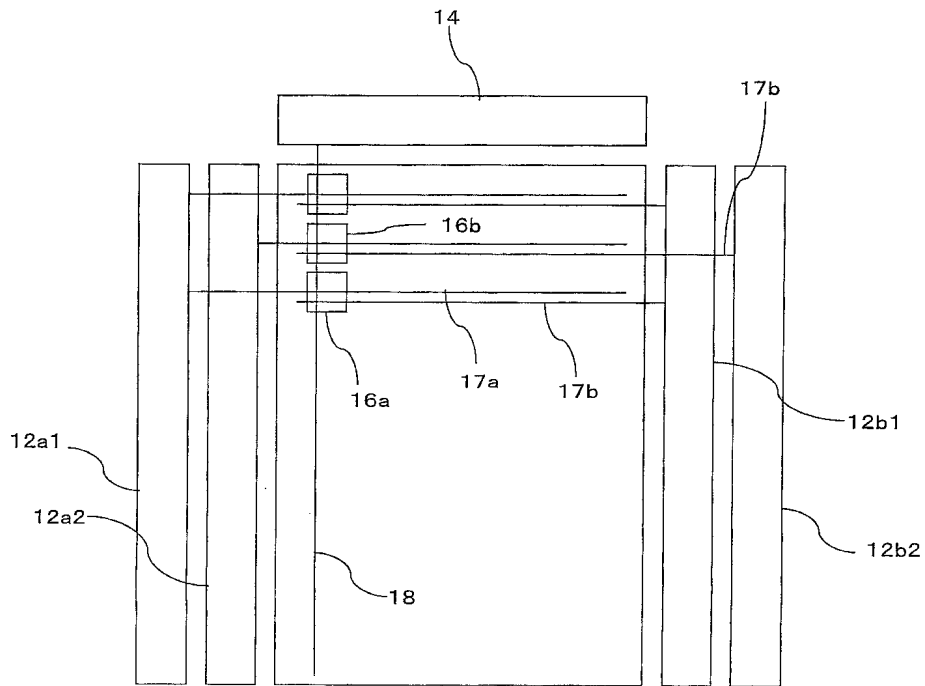
도면531



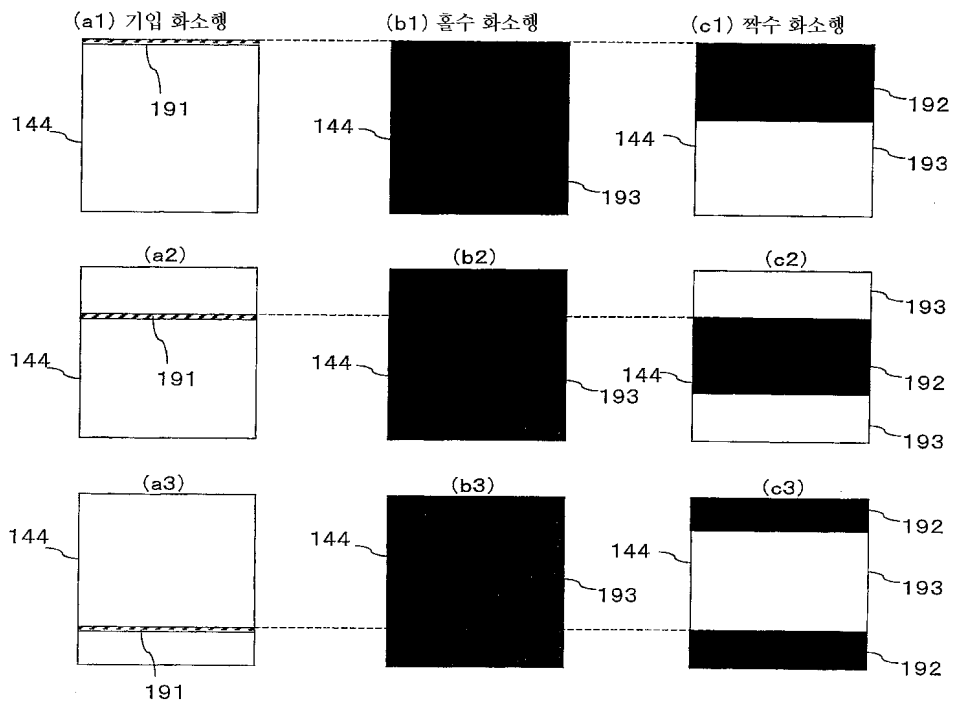
도면532



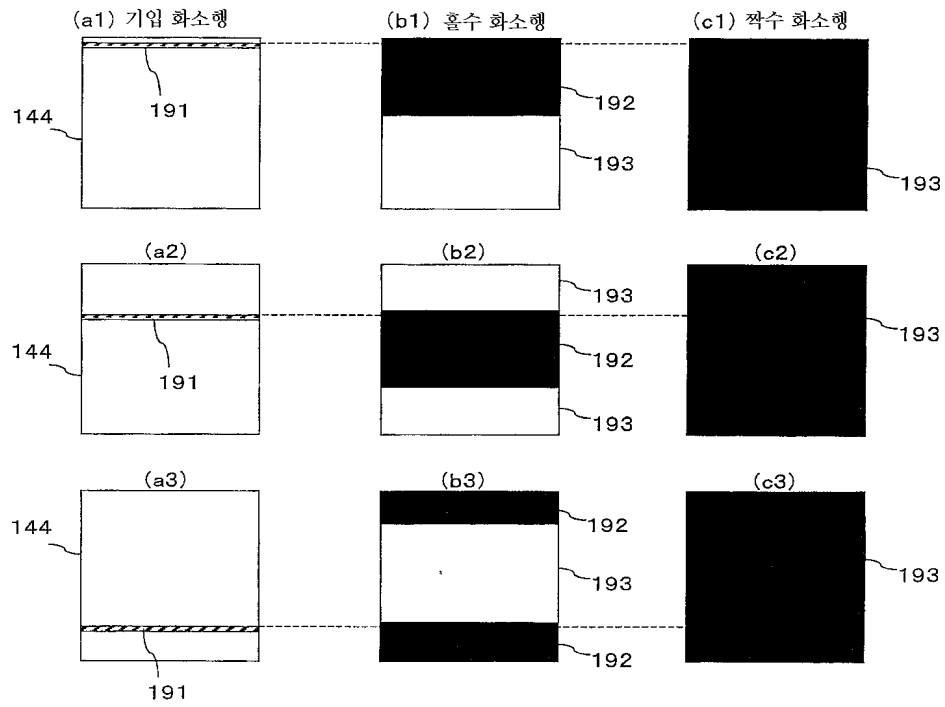
도면533



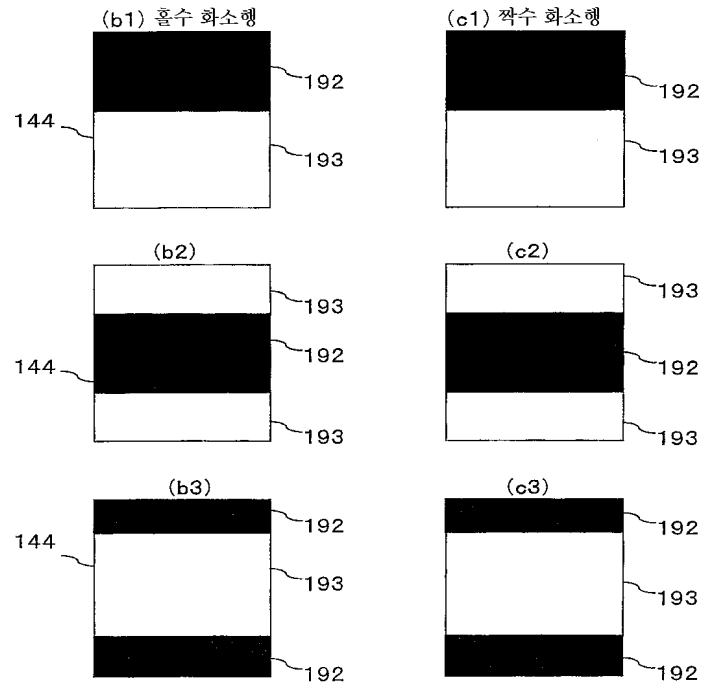
도면534



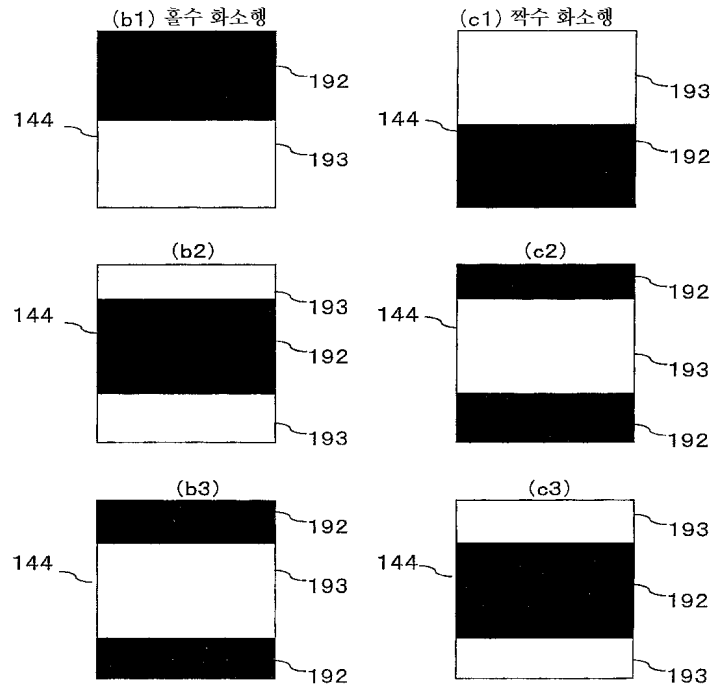
도면535



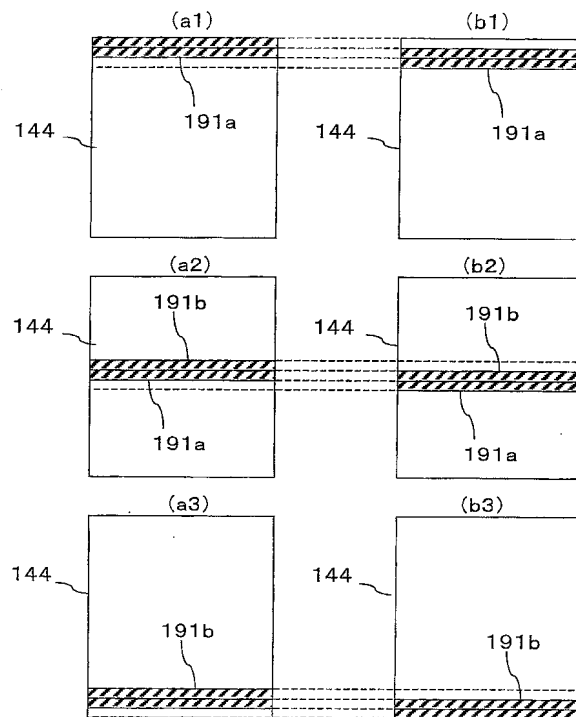
도면536



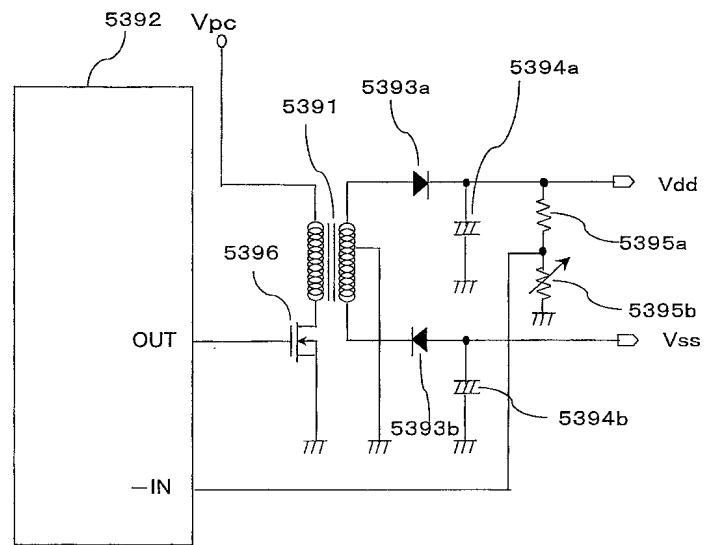
도면537



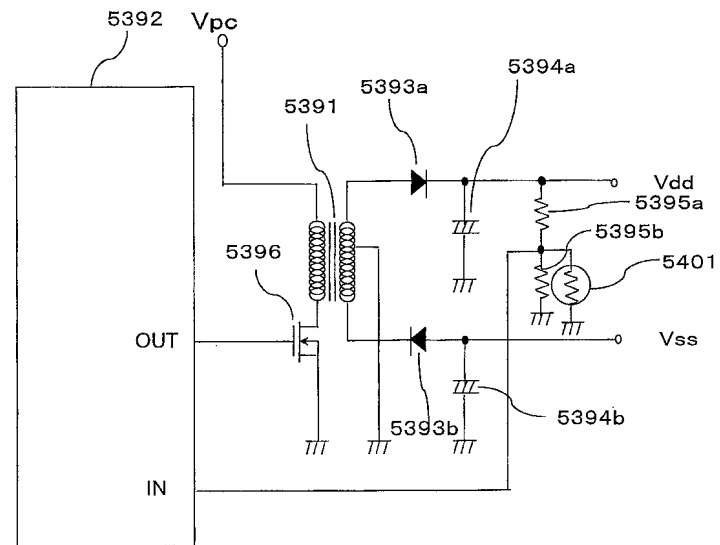
도면538



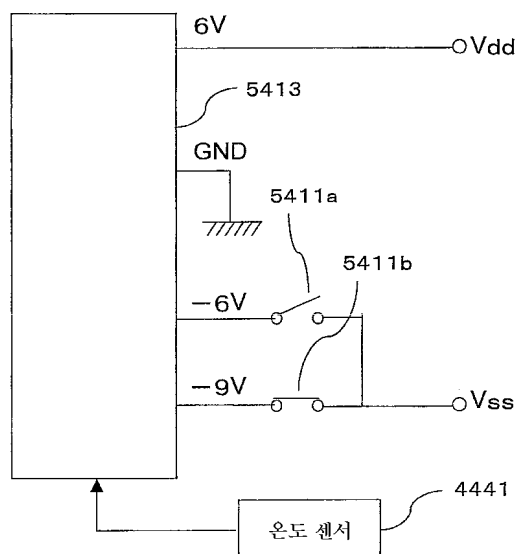
도면539



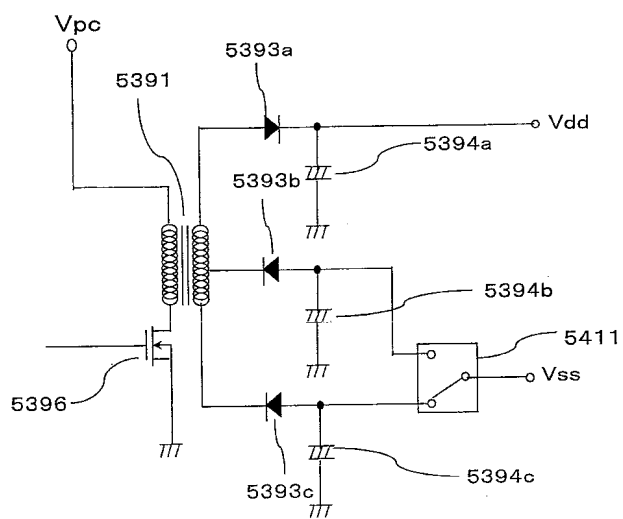
도면540



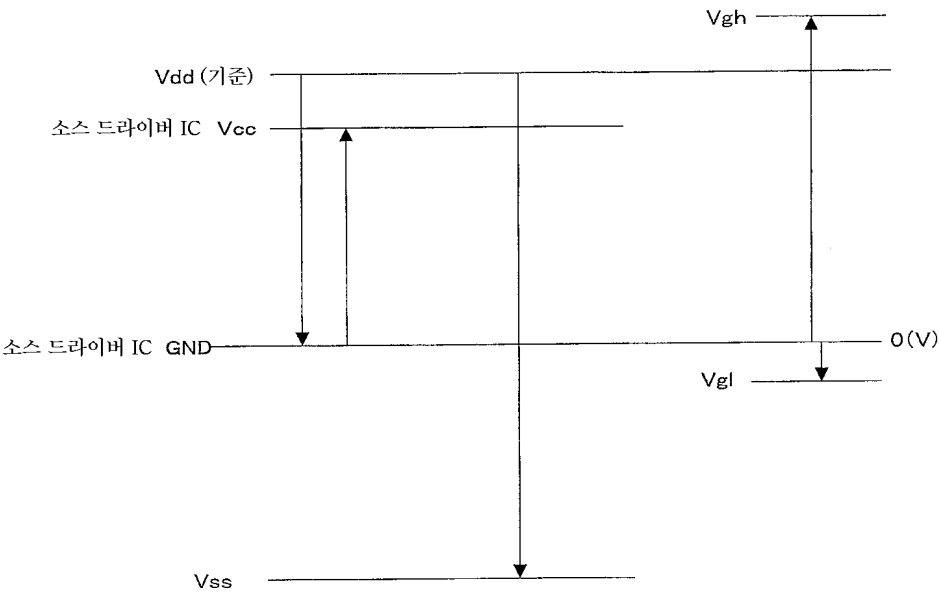
도면541



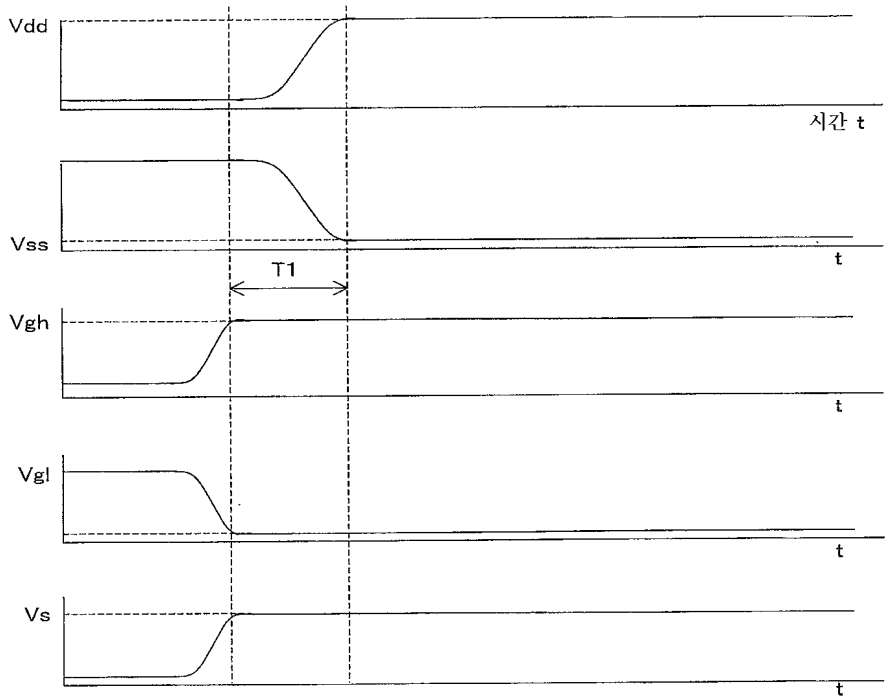
도면542



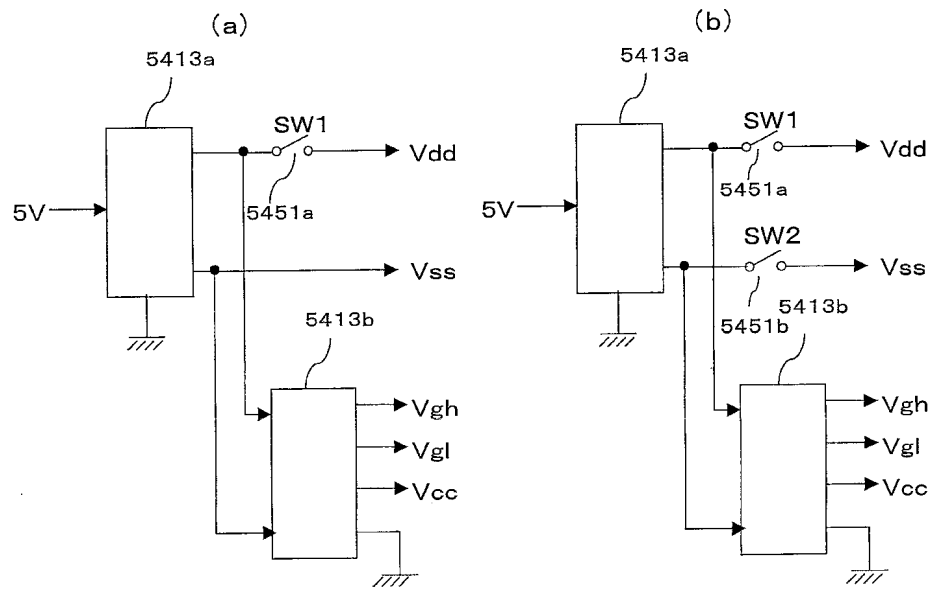
도면543



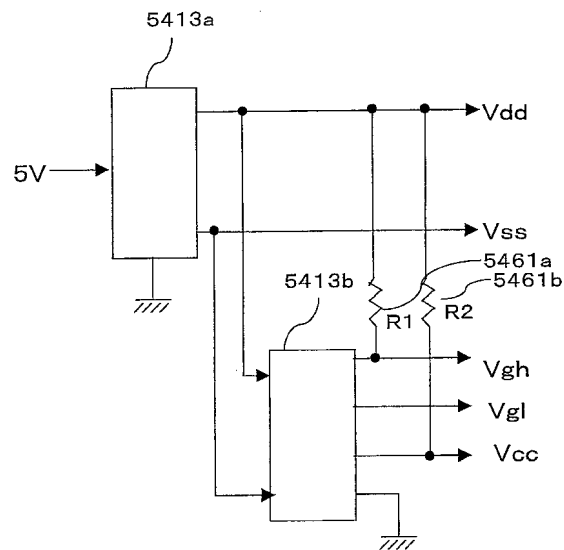
도면544



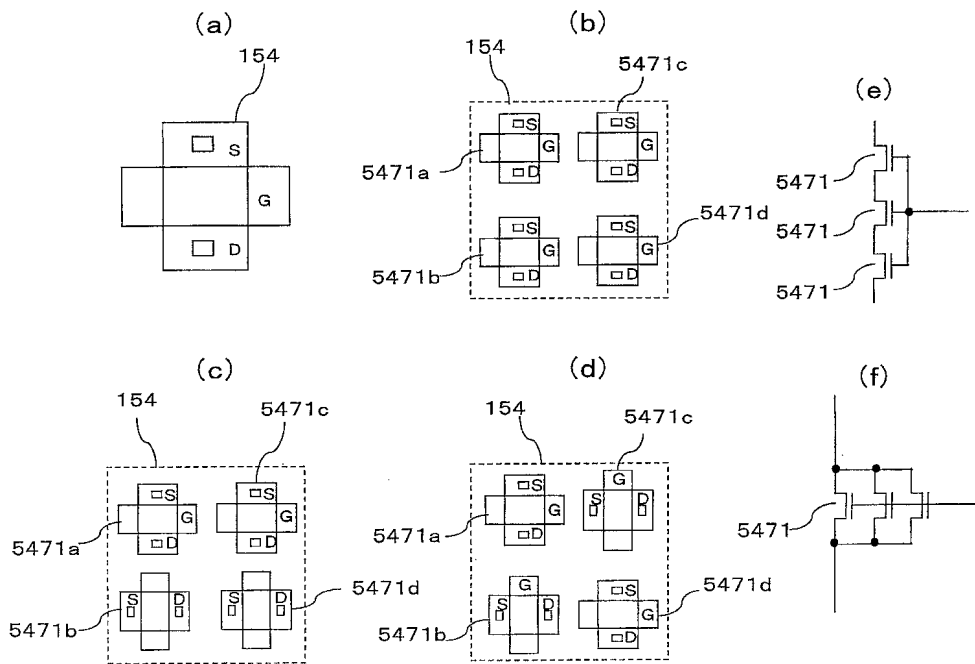
도면545



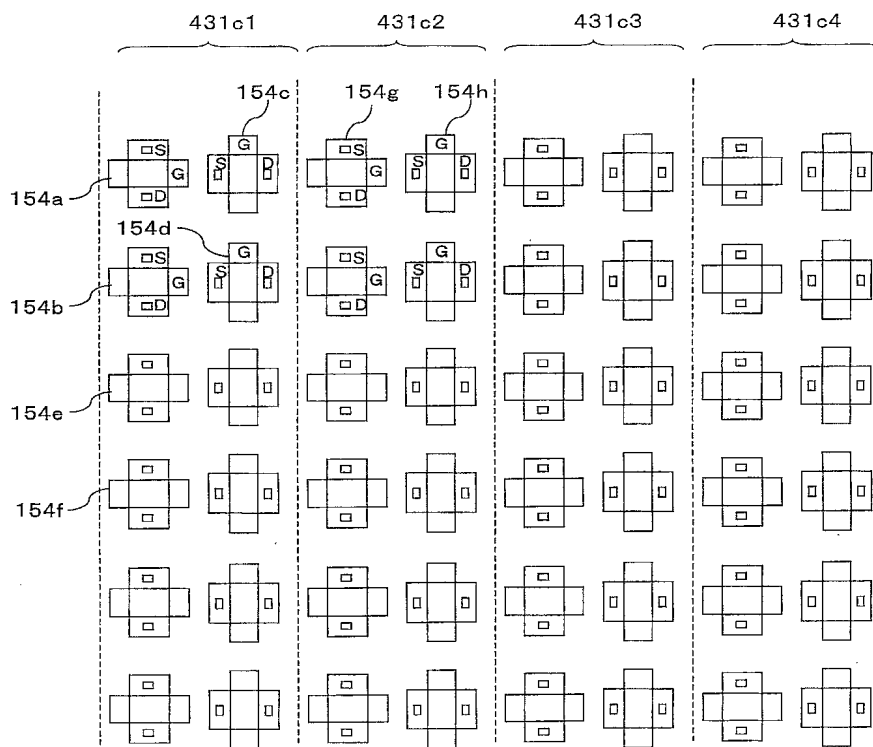
도면546



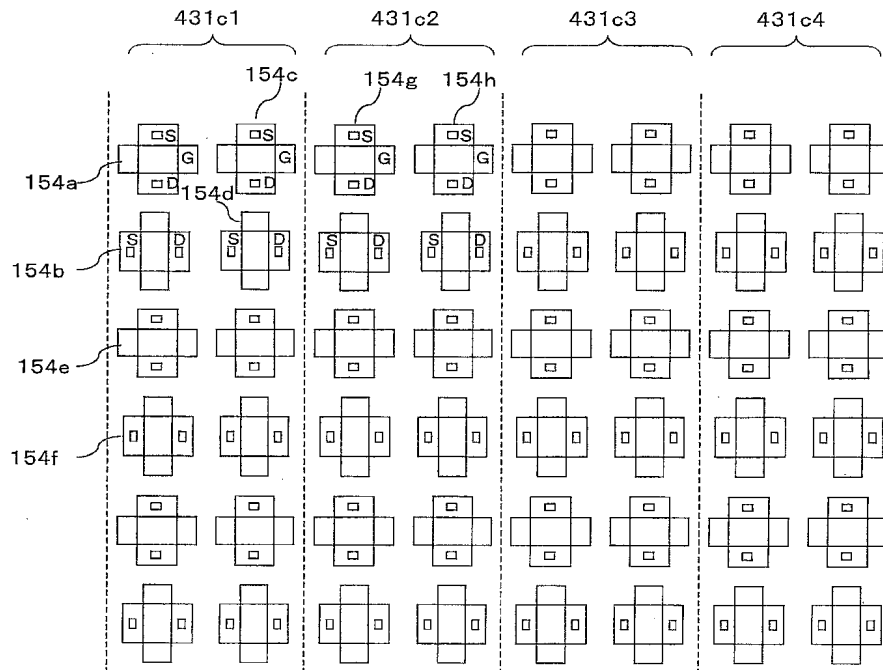
도면547



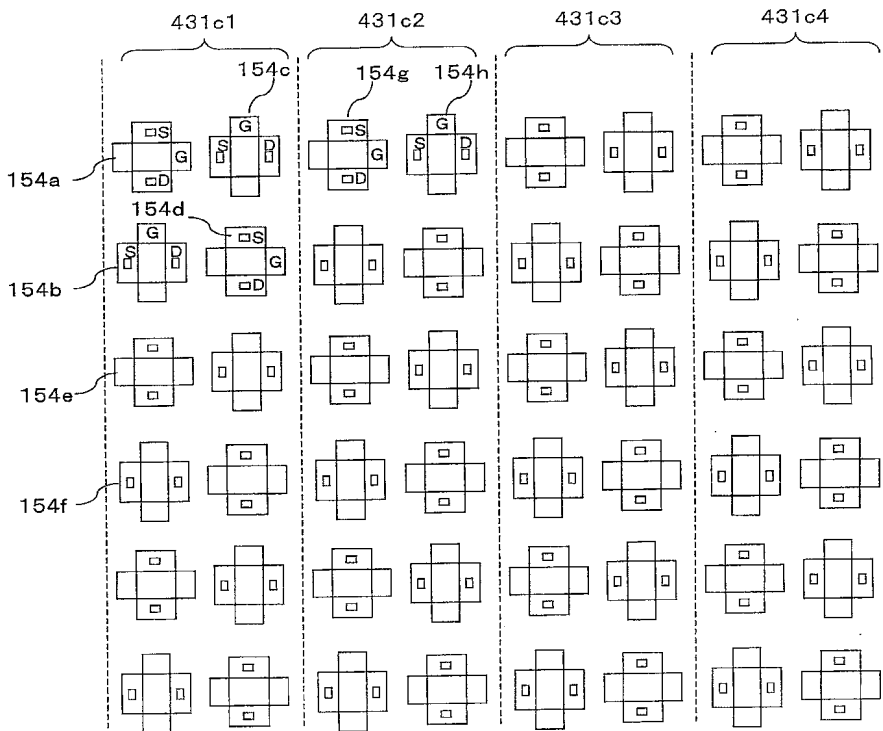
도면548



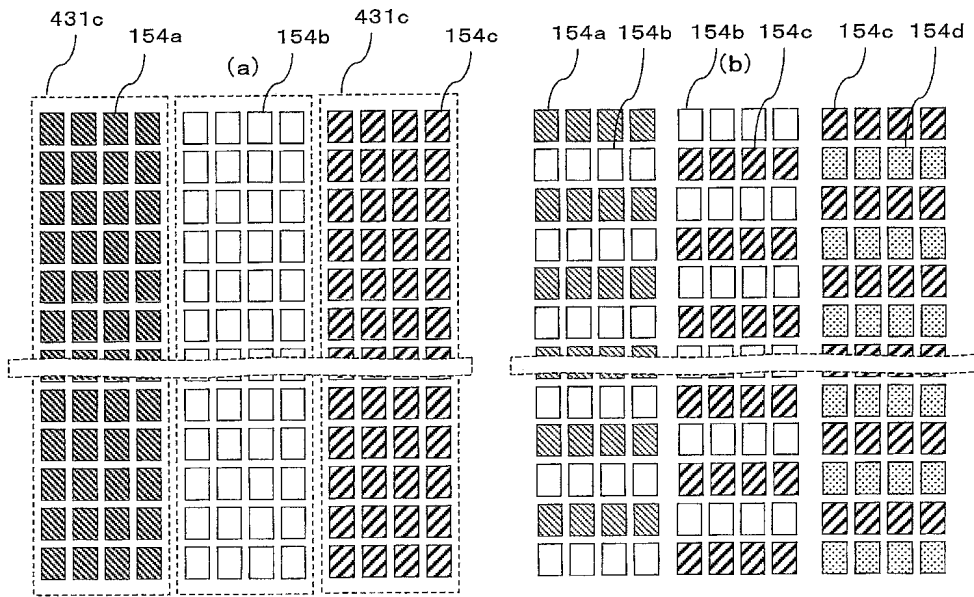
도면549



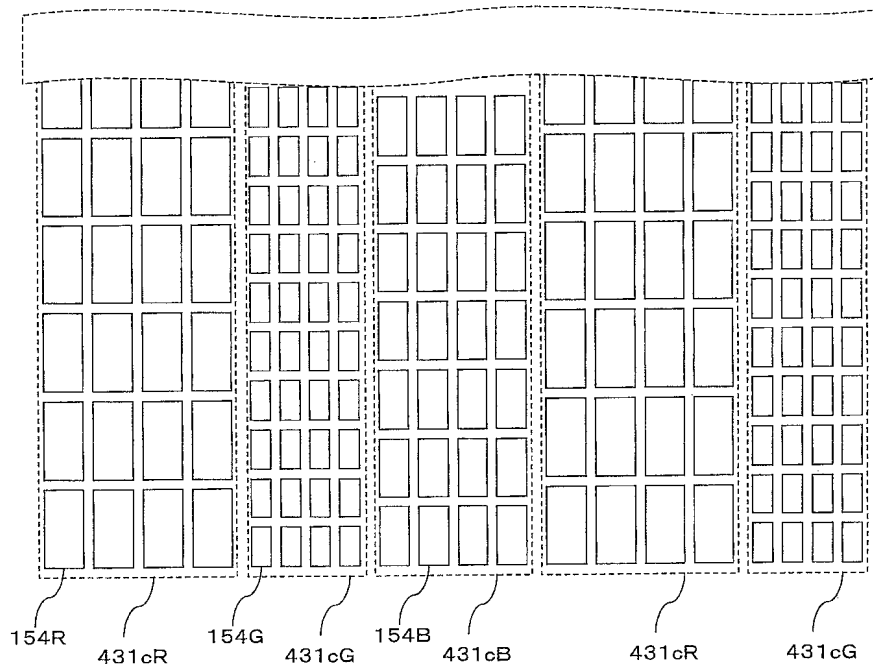
도면550



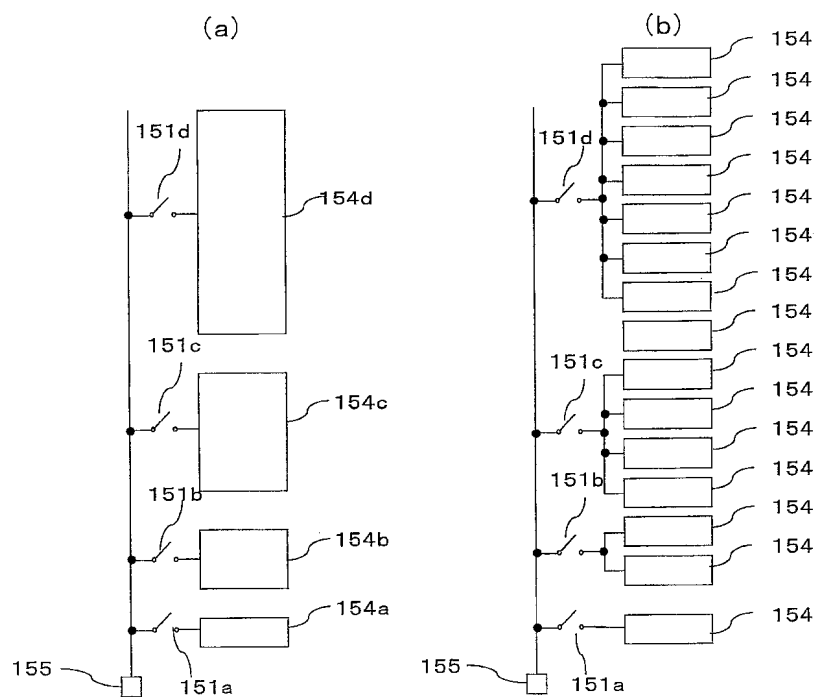
도면551



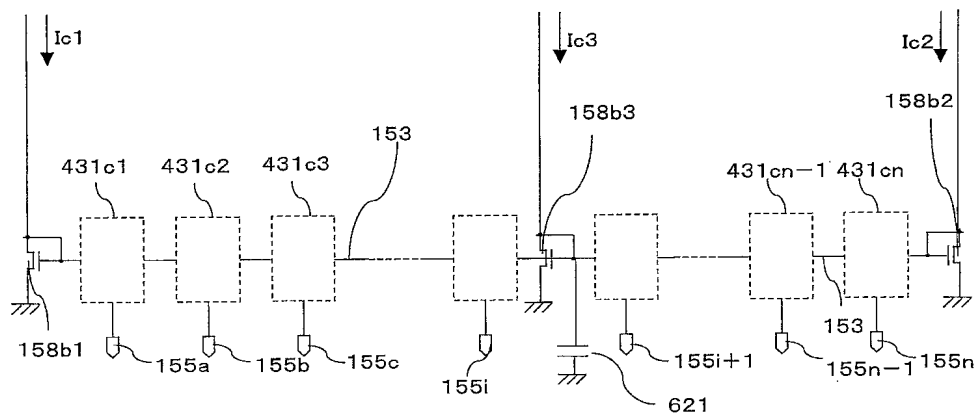
도면552



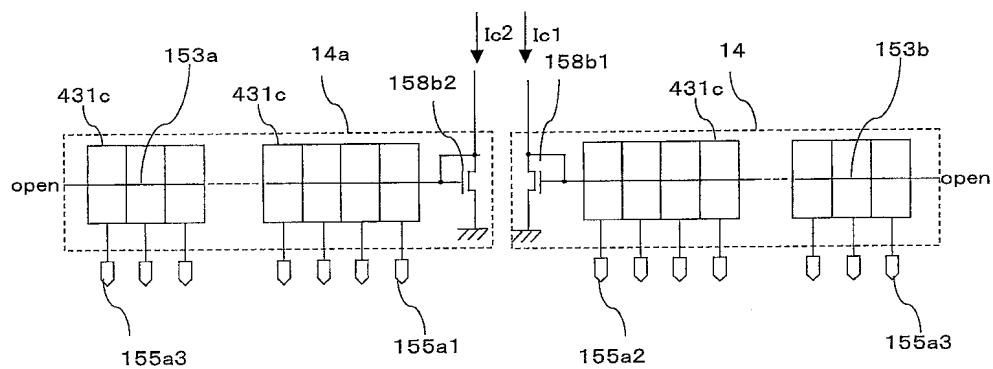
도면553



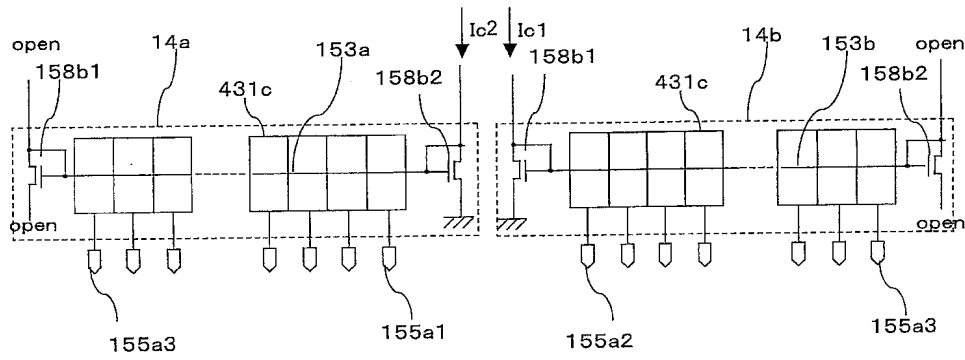
도면554



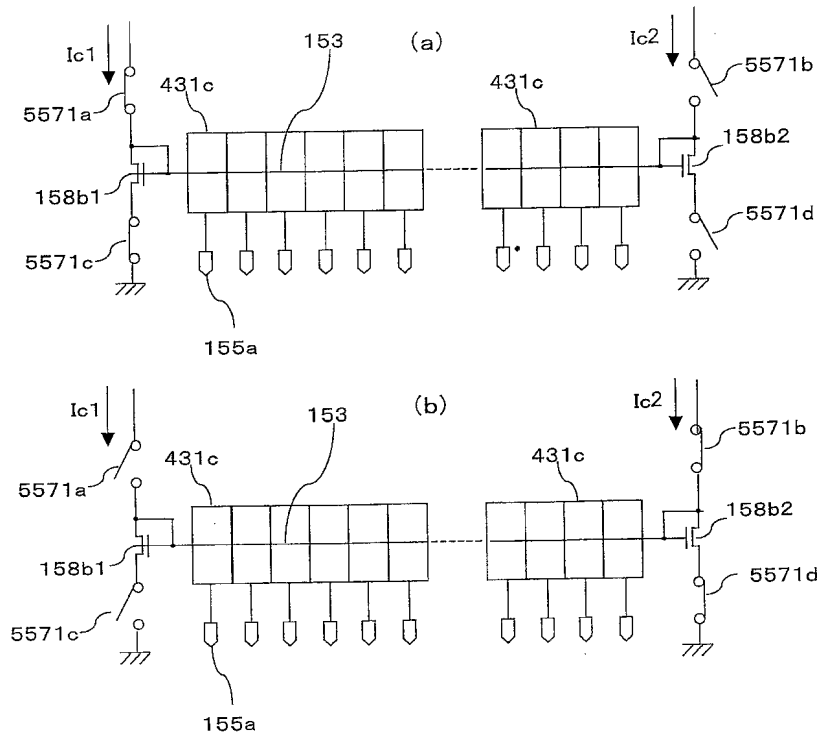
도면555



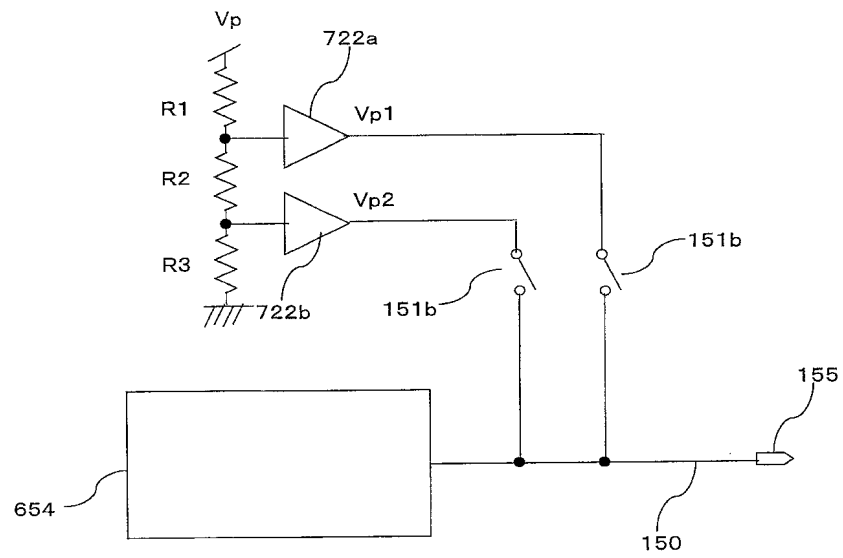
도면556



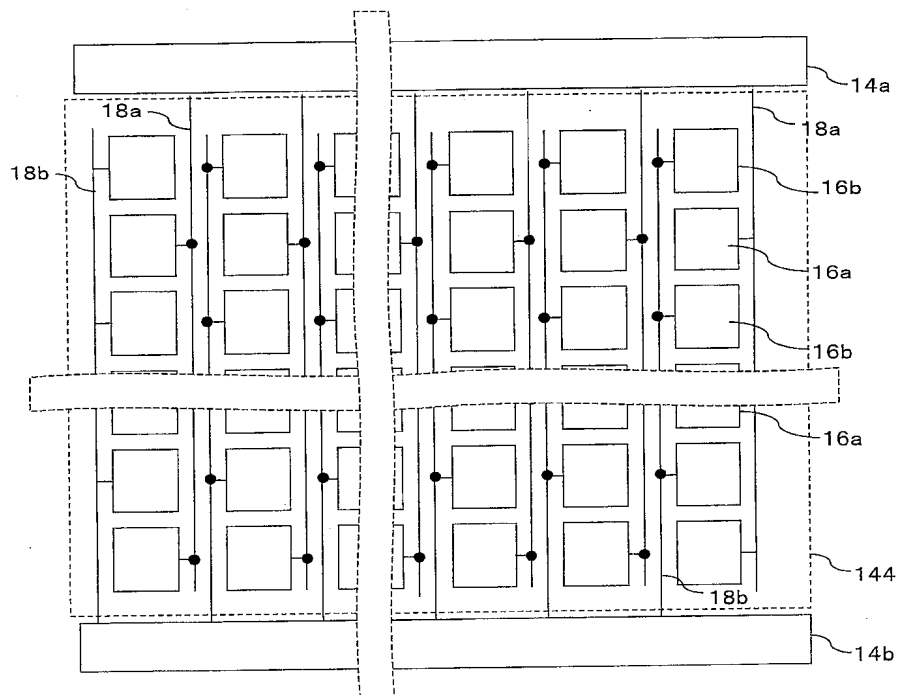
도면557



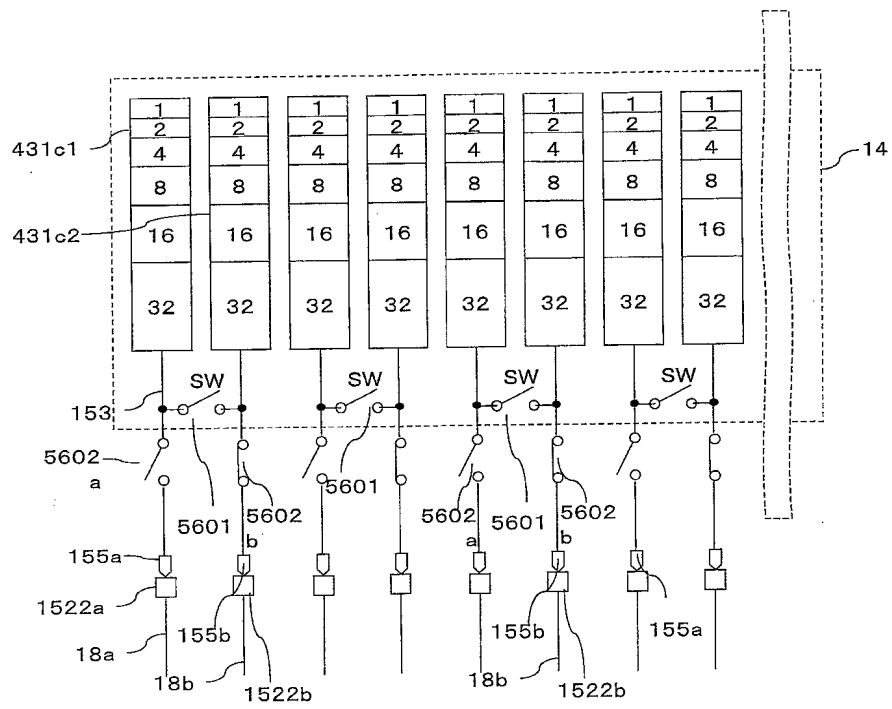
도면558



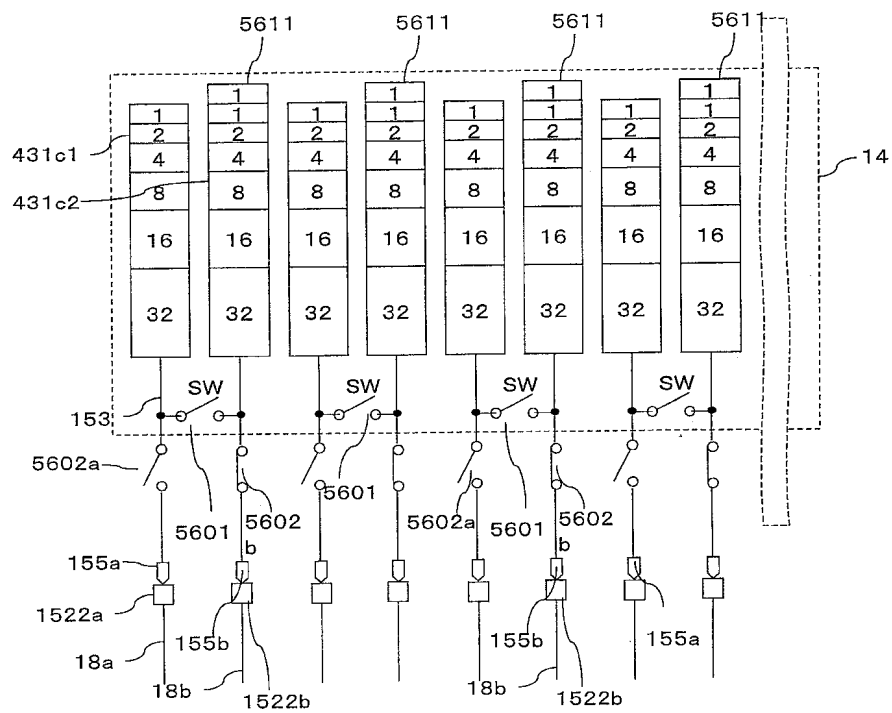
도면559



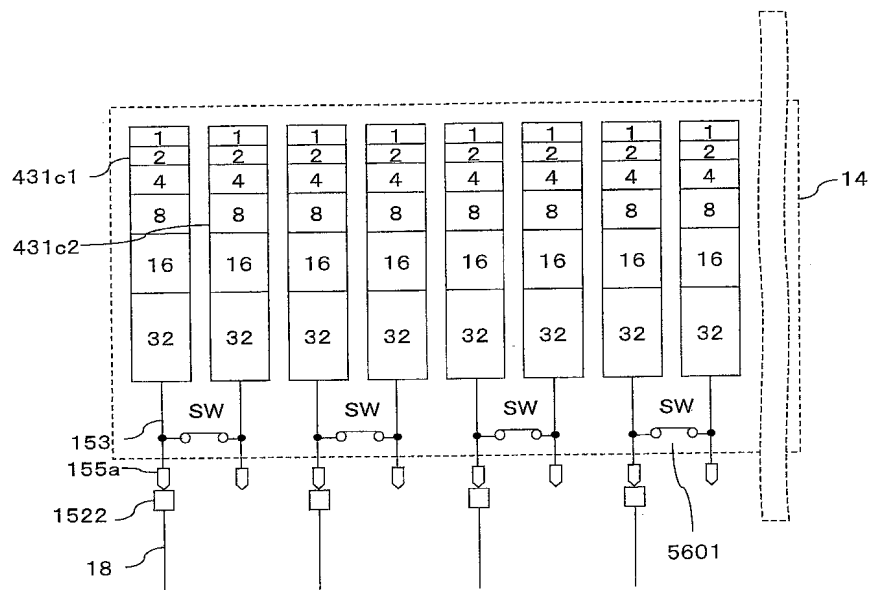
도면560



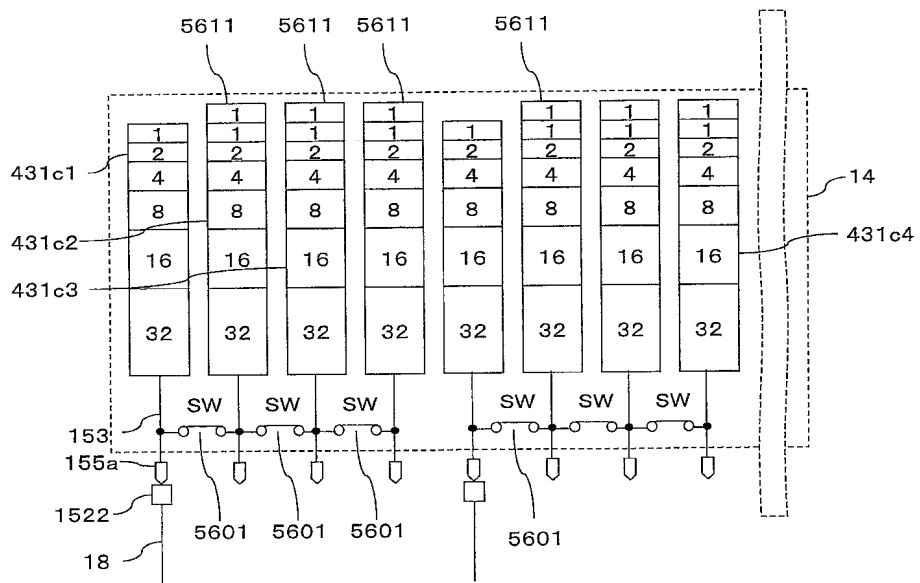
도면561



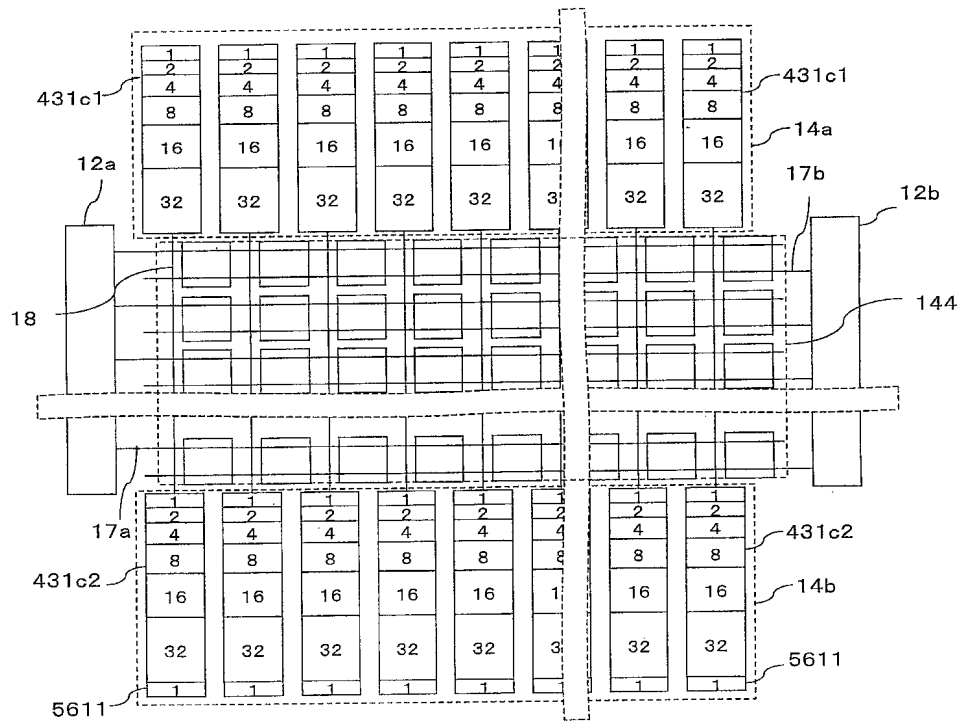
도면562



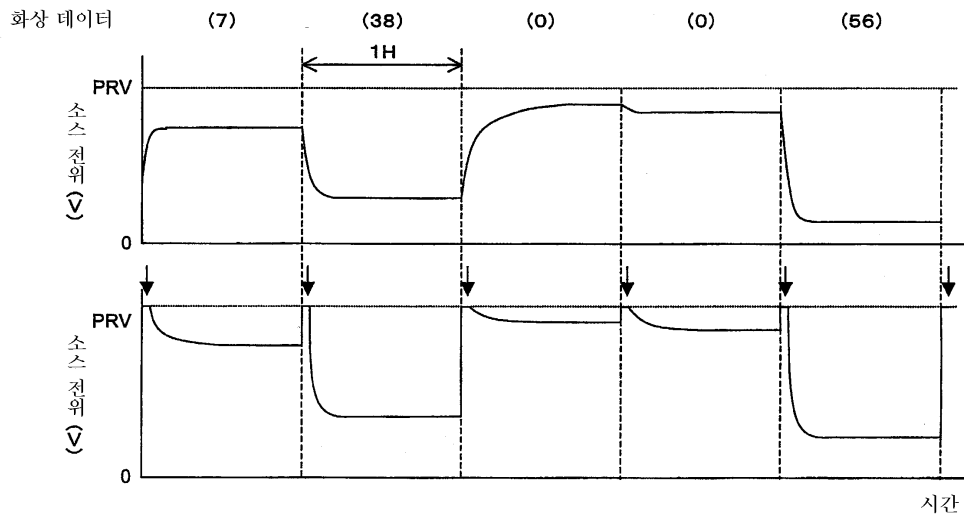
도면563



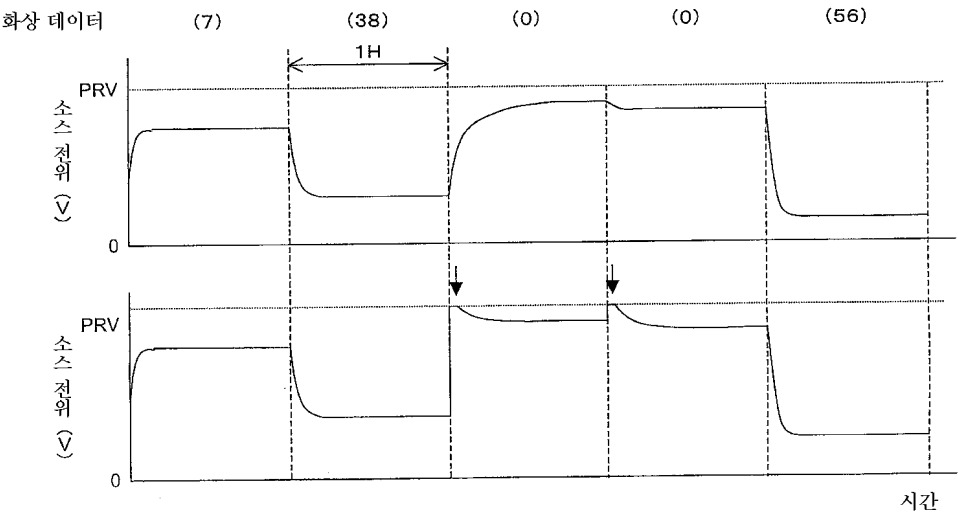
도면564



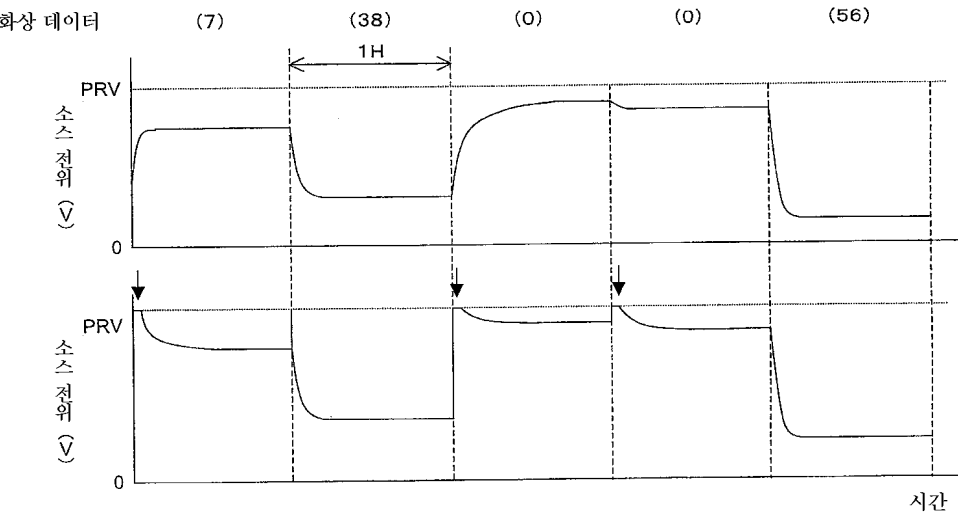
도면565



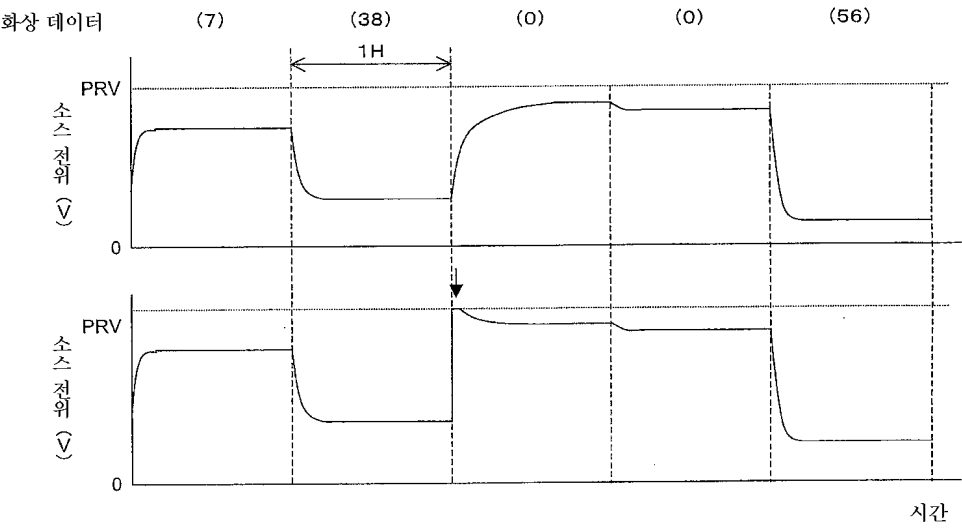
도면566



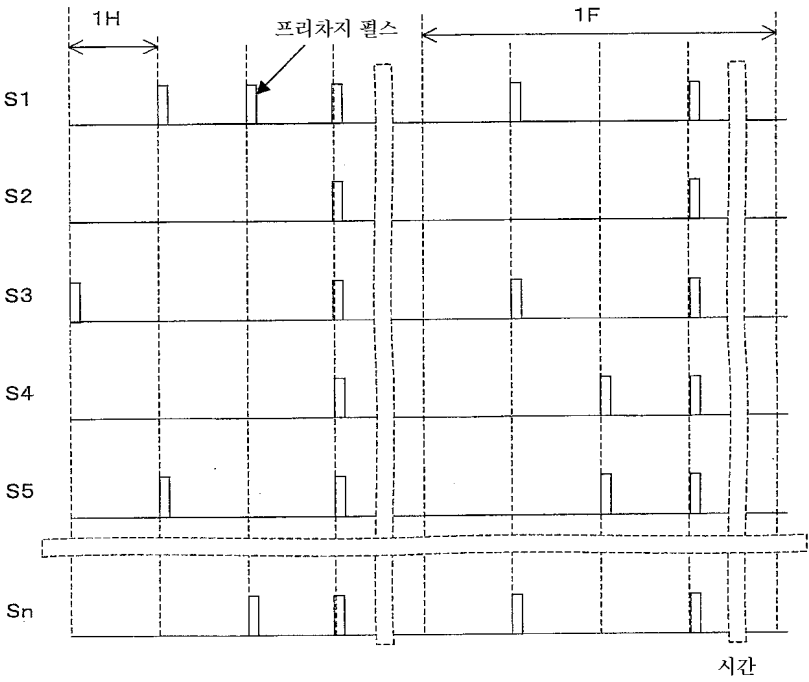
도면567



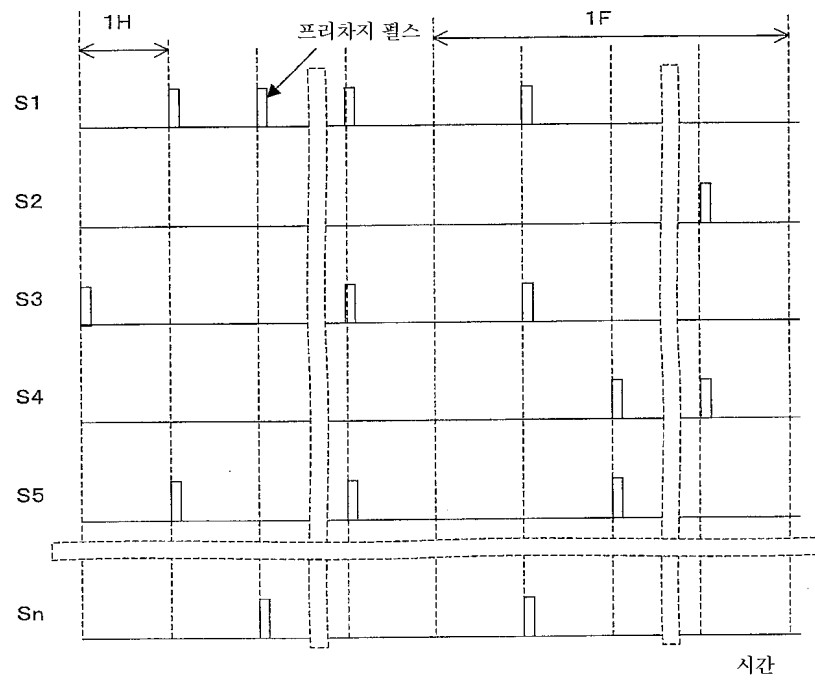
도면568



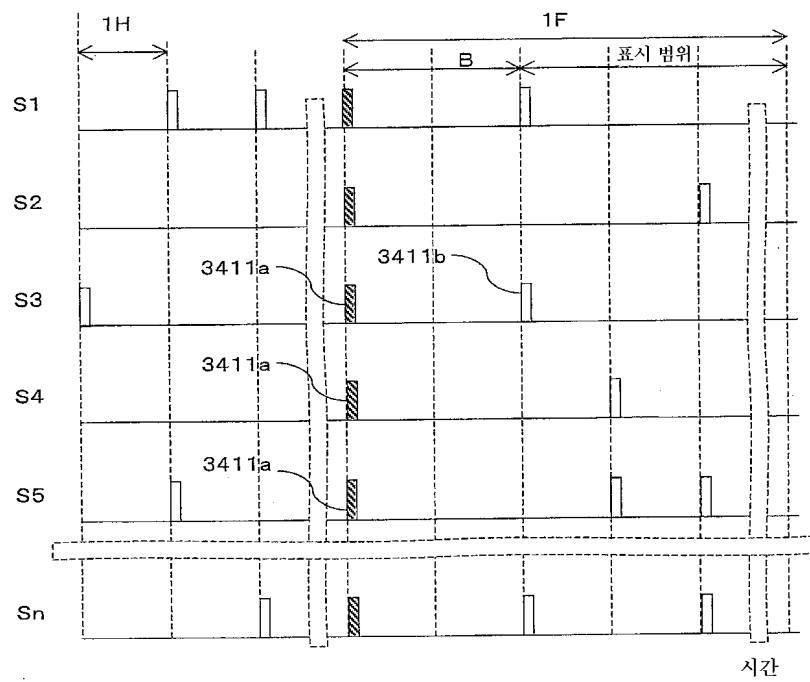
도면569



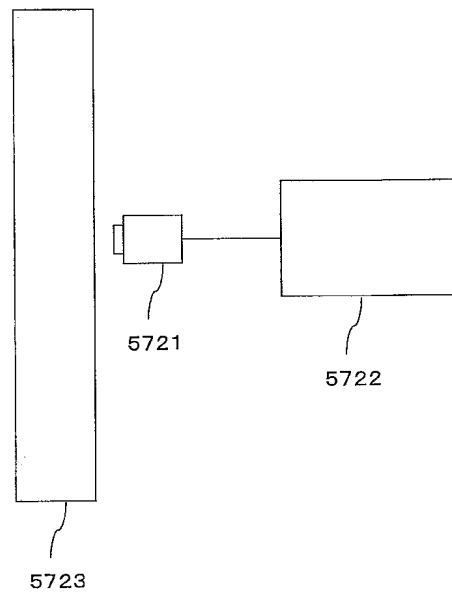
도면570



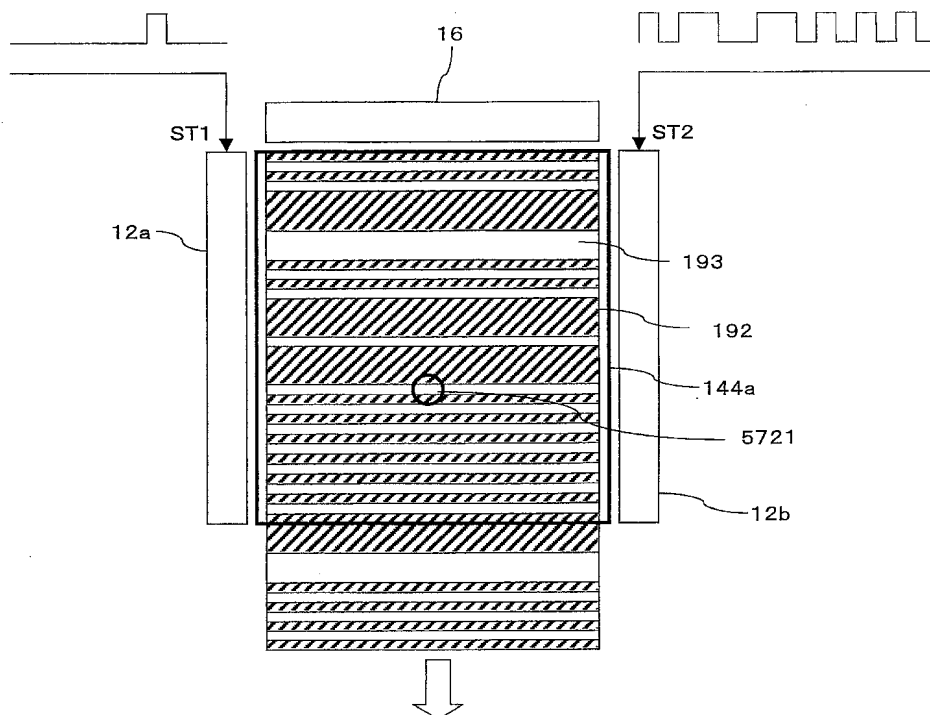
도면571



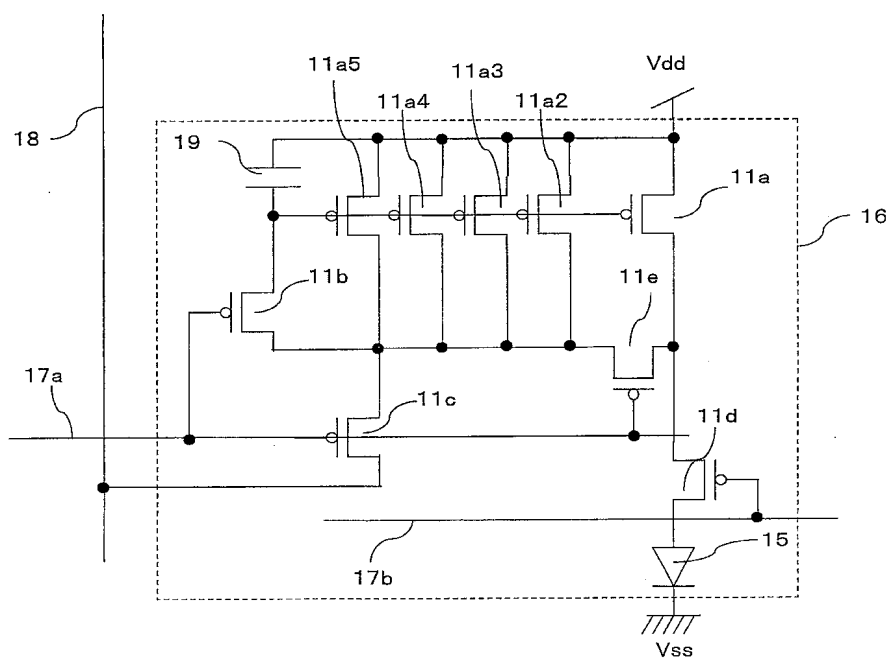
도면572



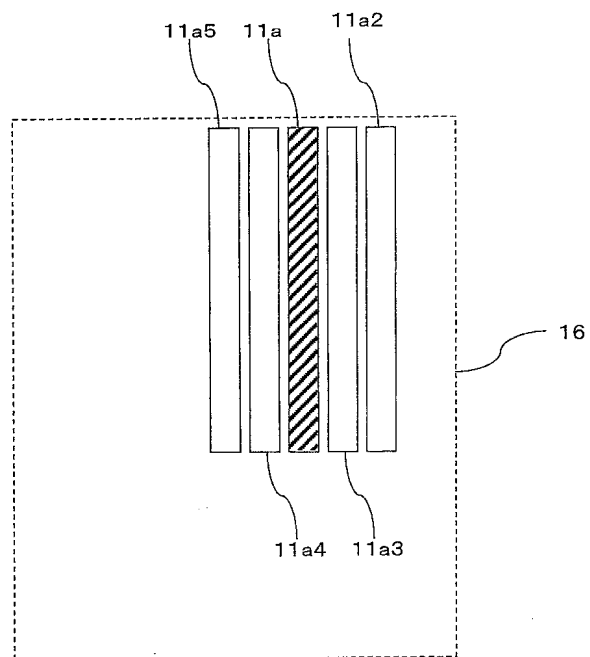
도면573



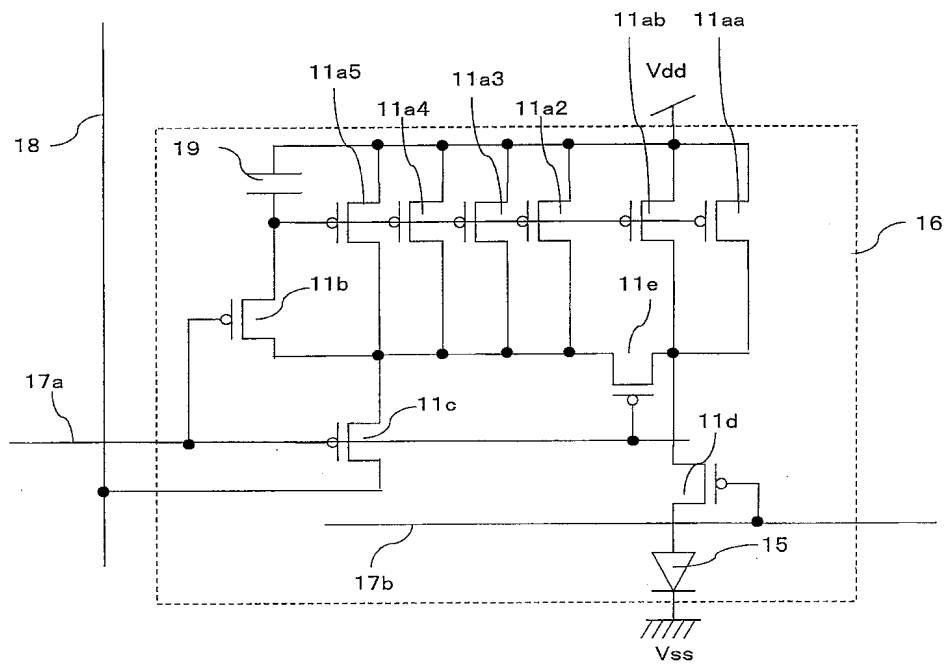
도면574



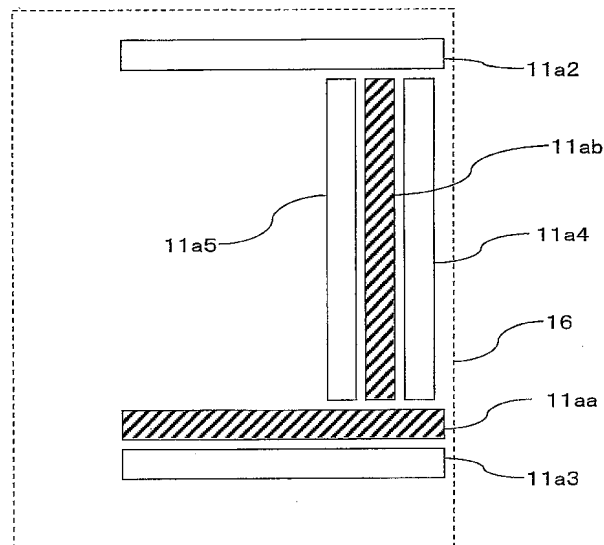
도면575



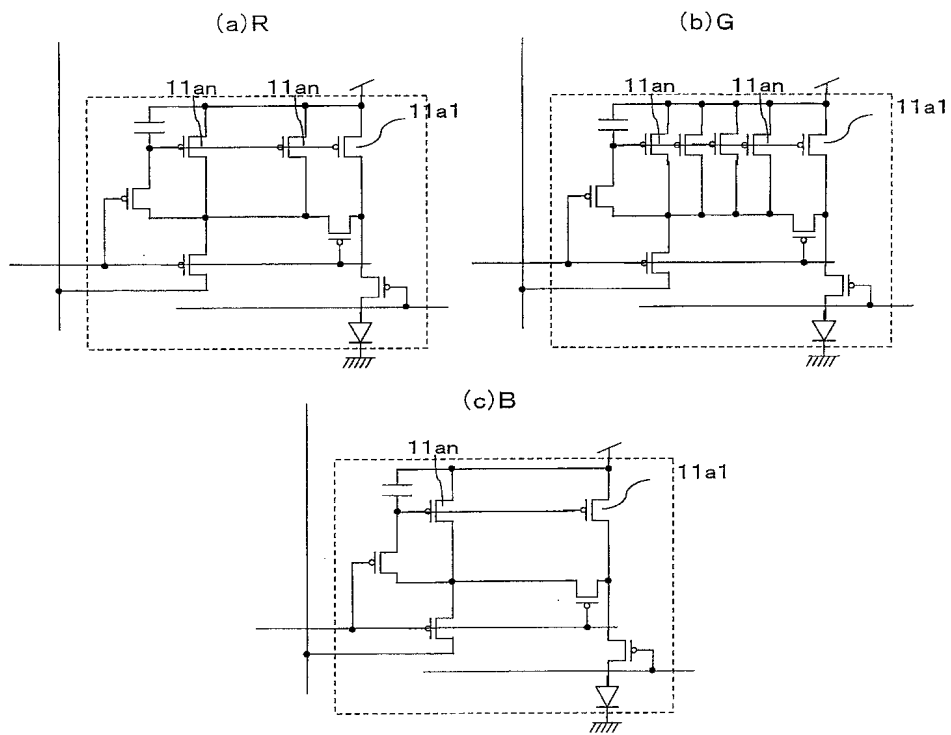
도면576



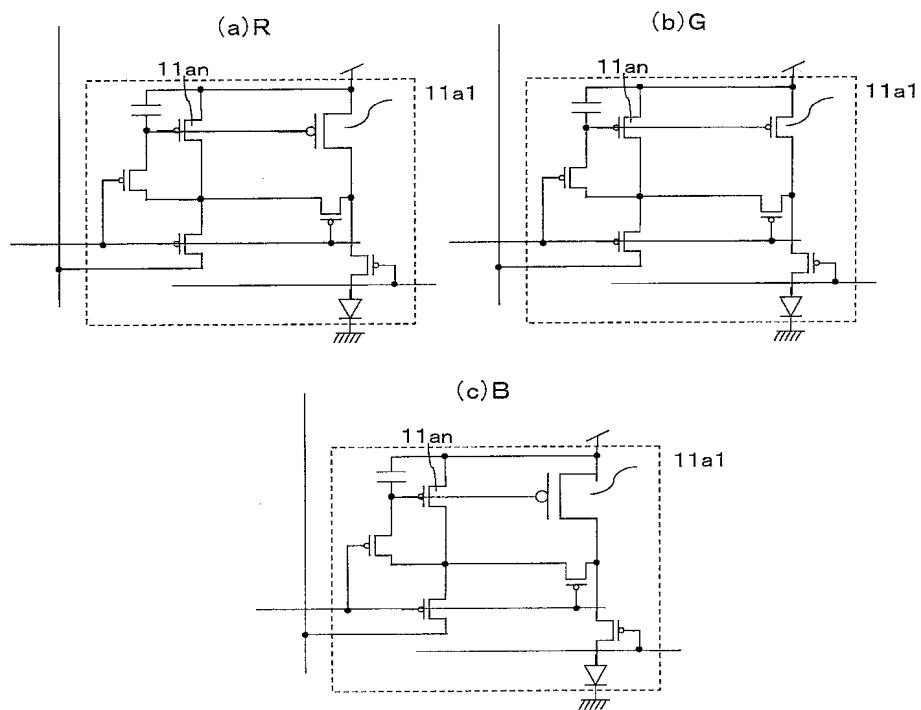
도면577



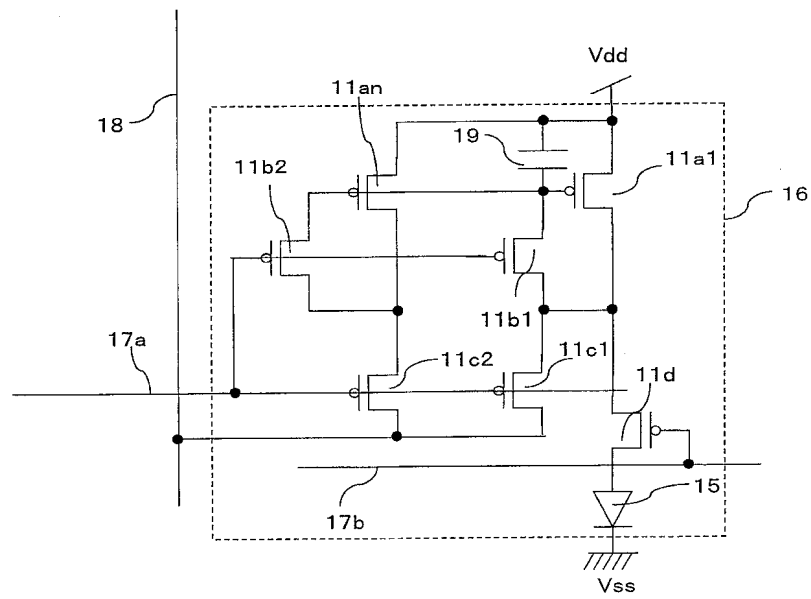
도면578



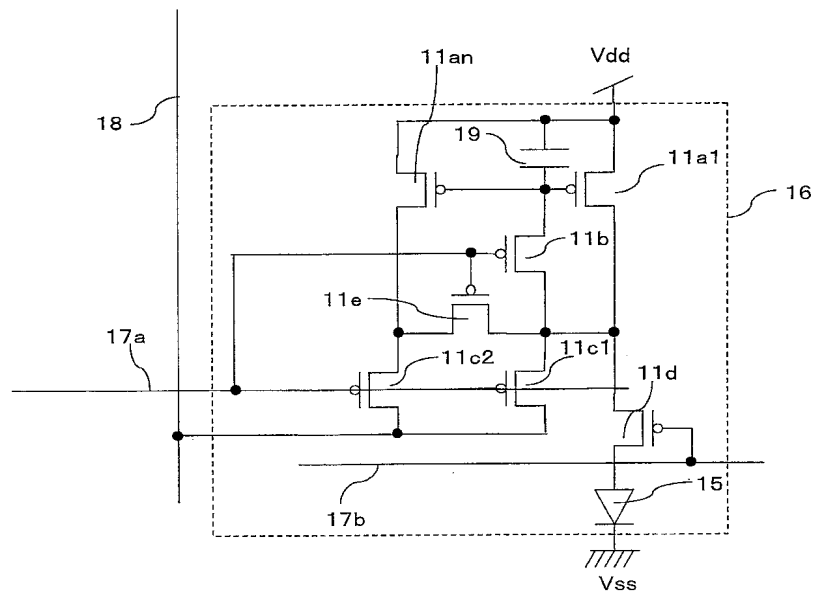
도면579



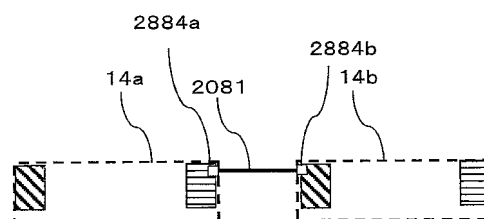
도면580



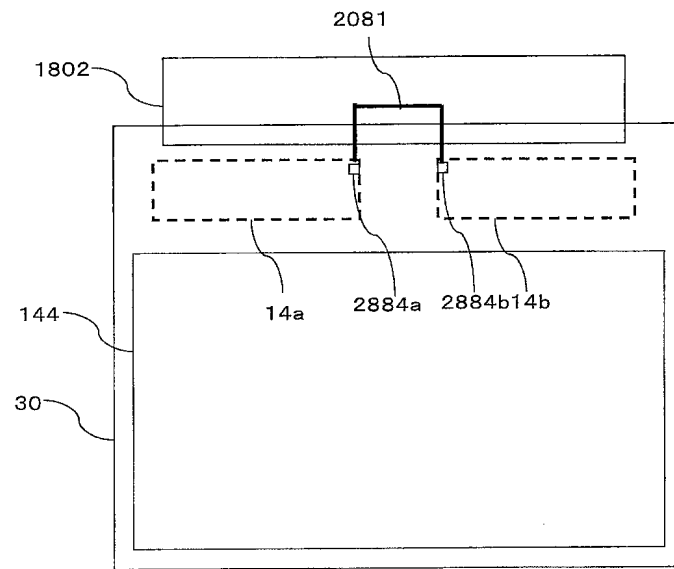
도면581



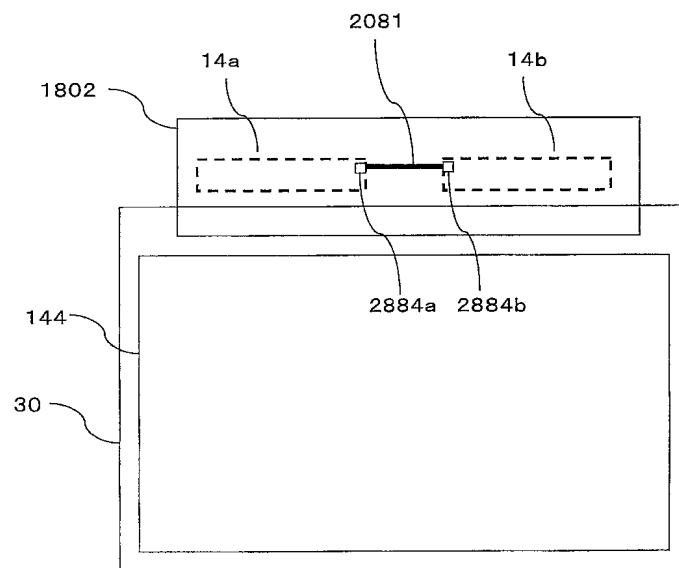
도면582



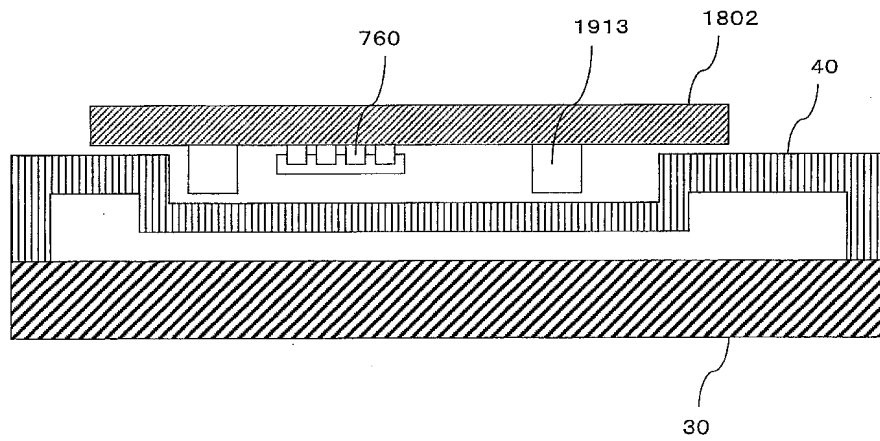
도면583



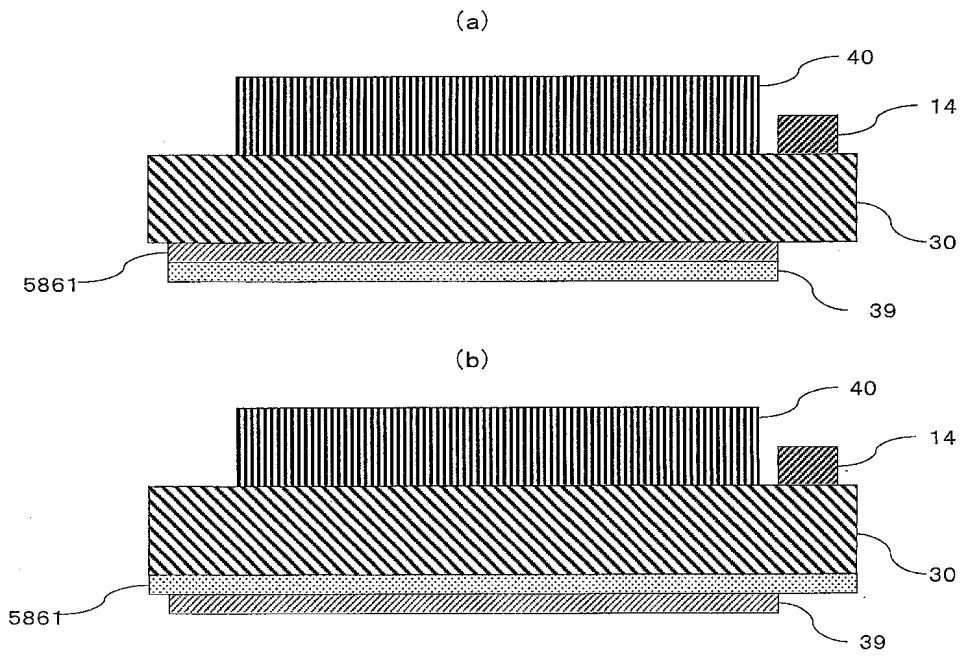
도면584



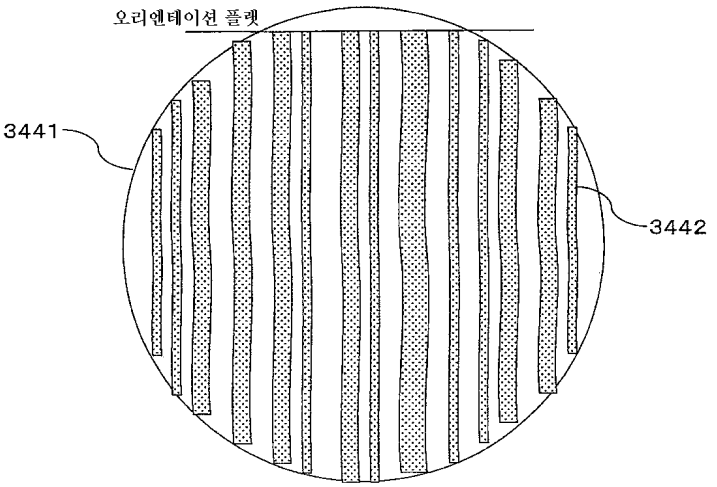
도면585



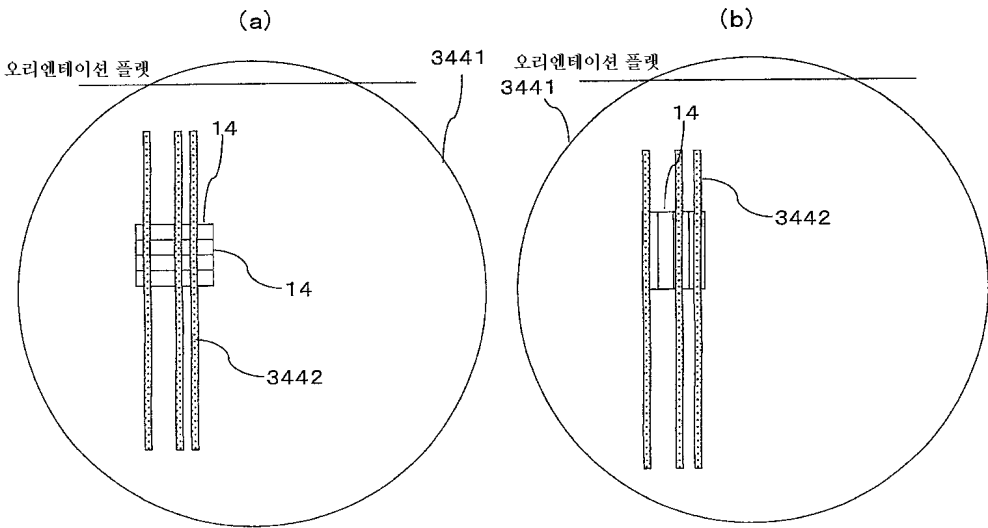
도면586



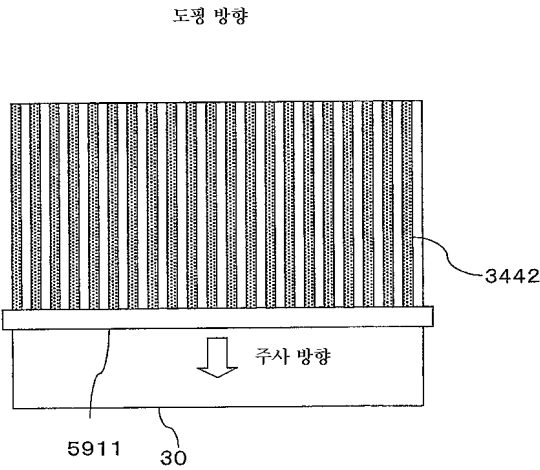
도면589



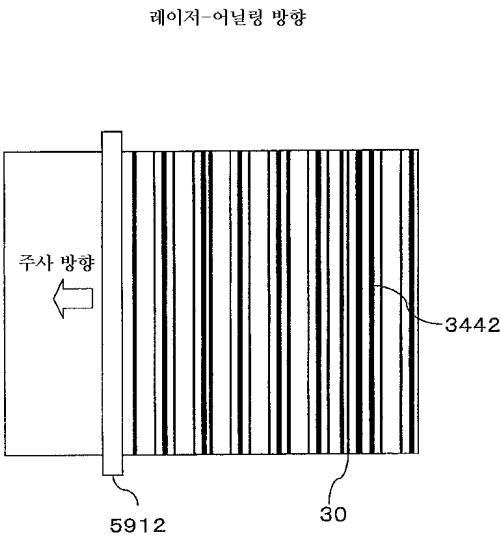
도면590



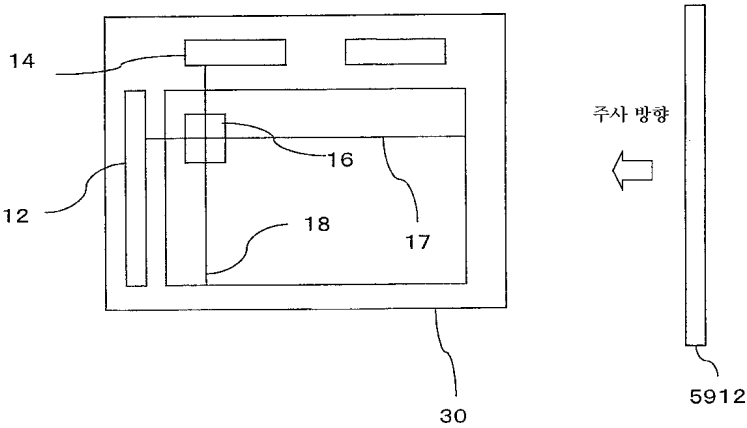
도면591



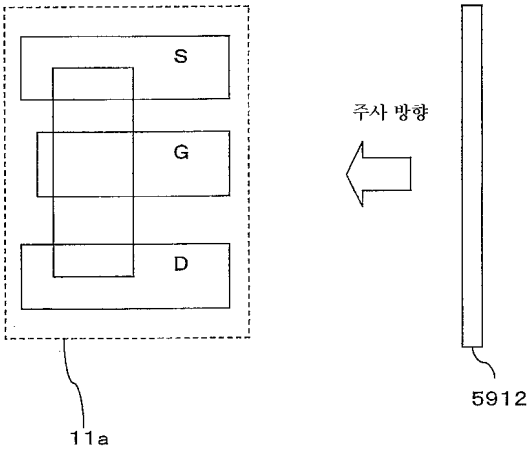
도면592



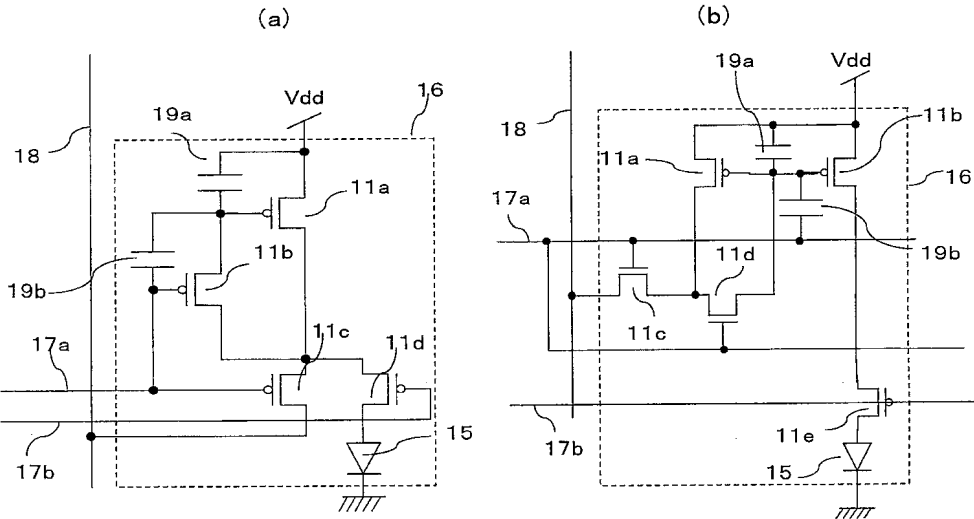
도면593



도면594

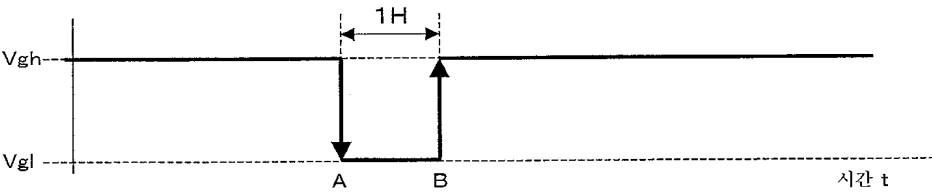


도면595

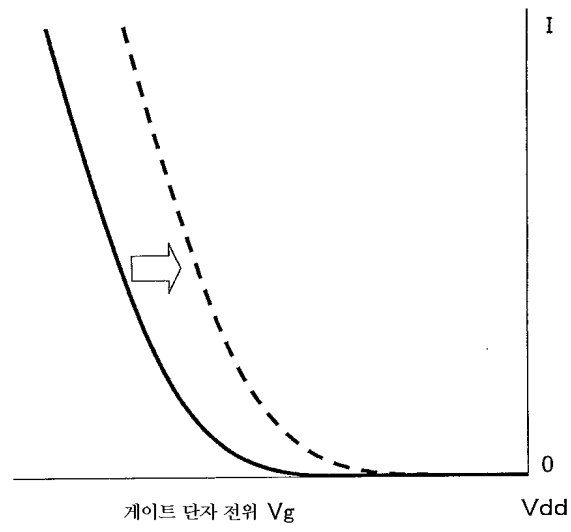


도면596

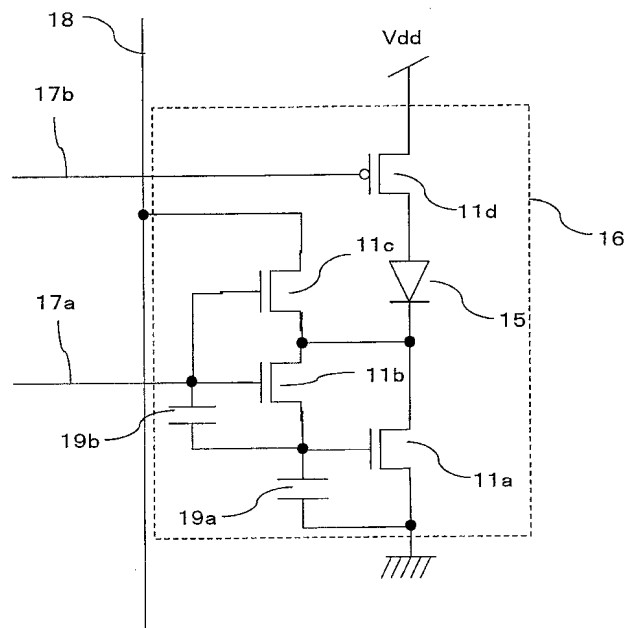
게이트 신호선(17a) 출력 파형



도면597

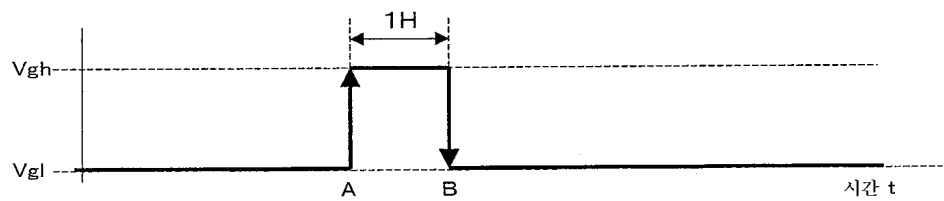


도면598

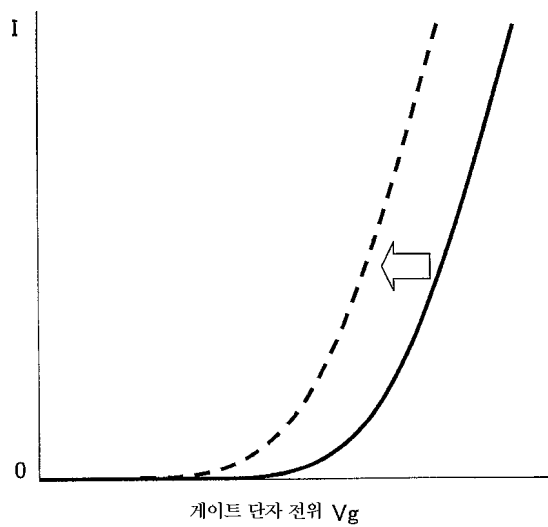


도면599

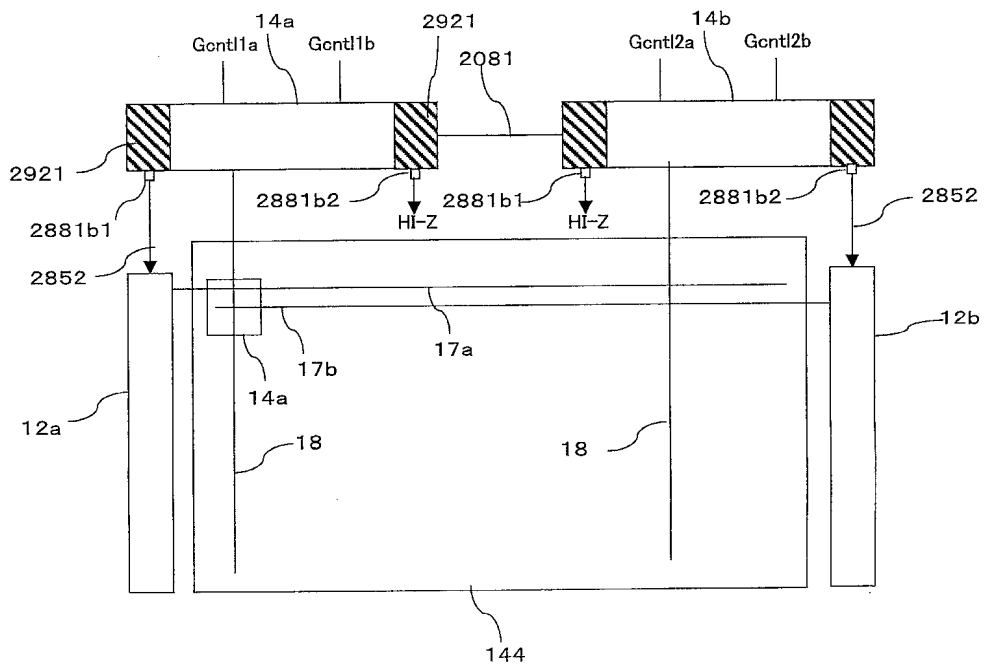
게이트 신호선(17a) 출력 파형



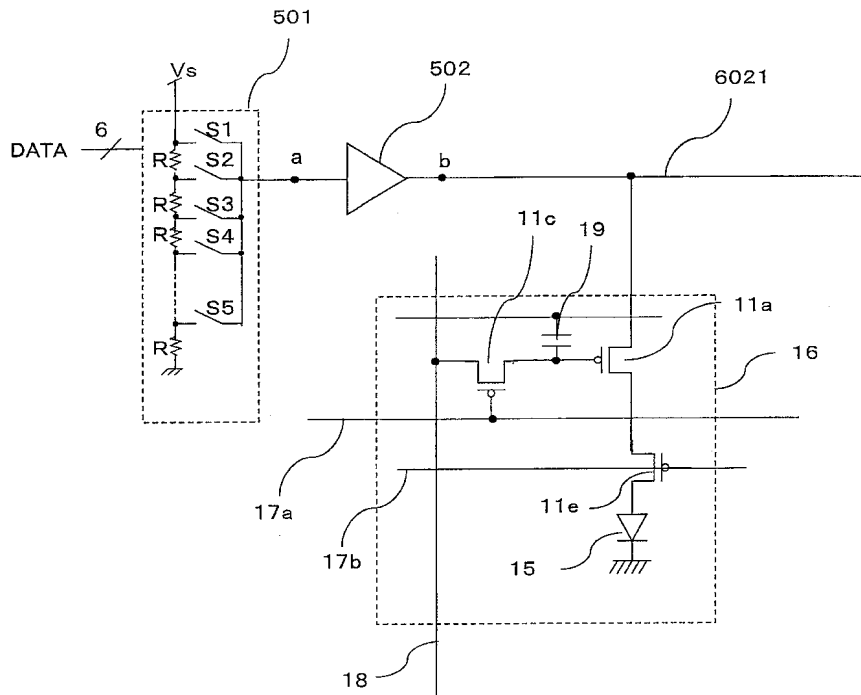
도면600



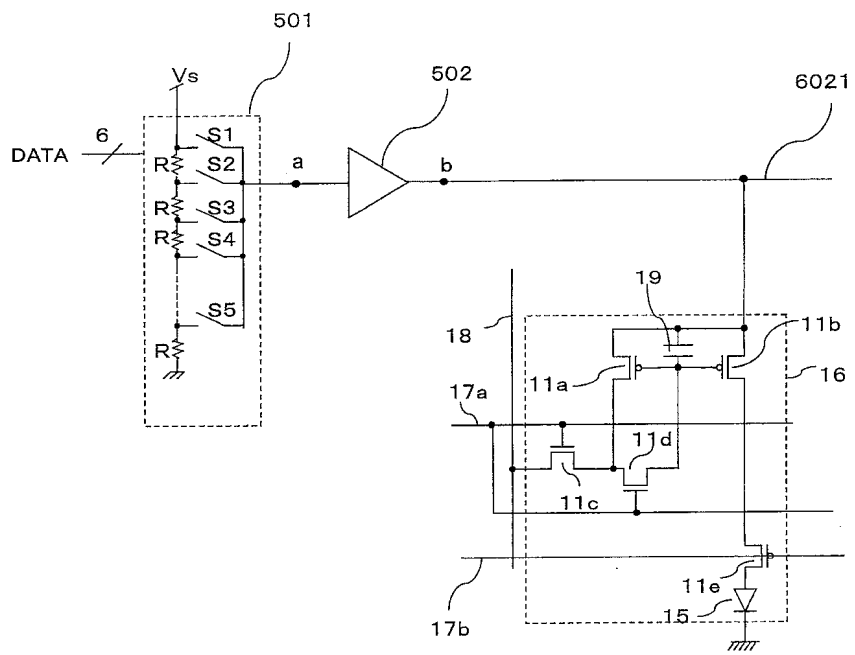
도면601



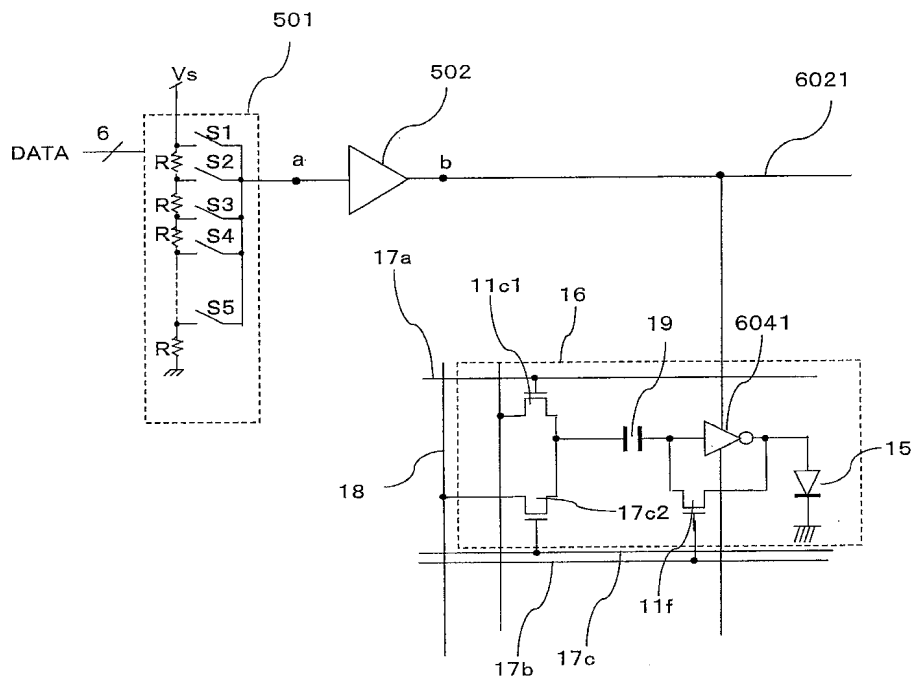
도면602



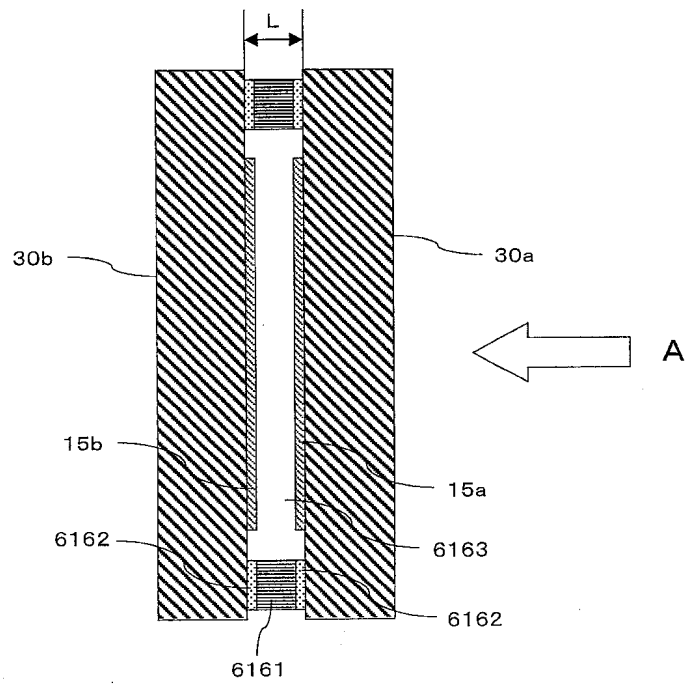
도면603



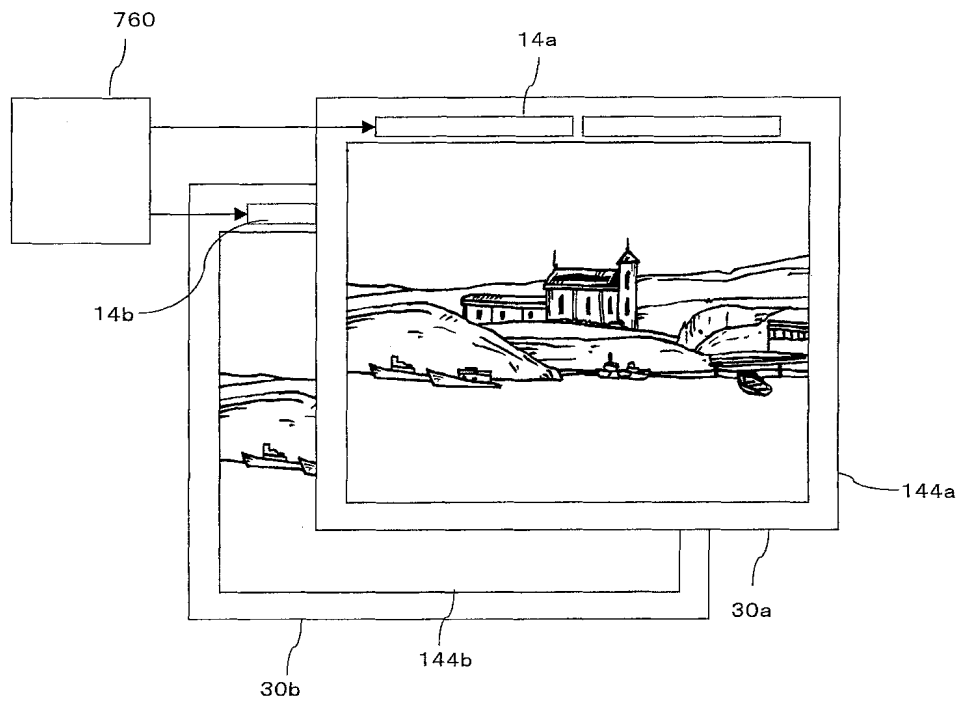
도면604



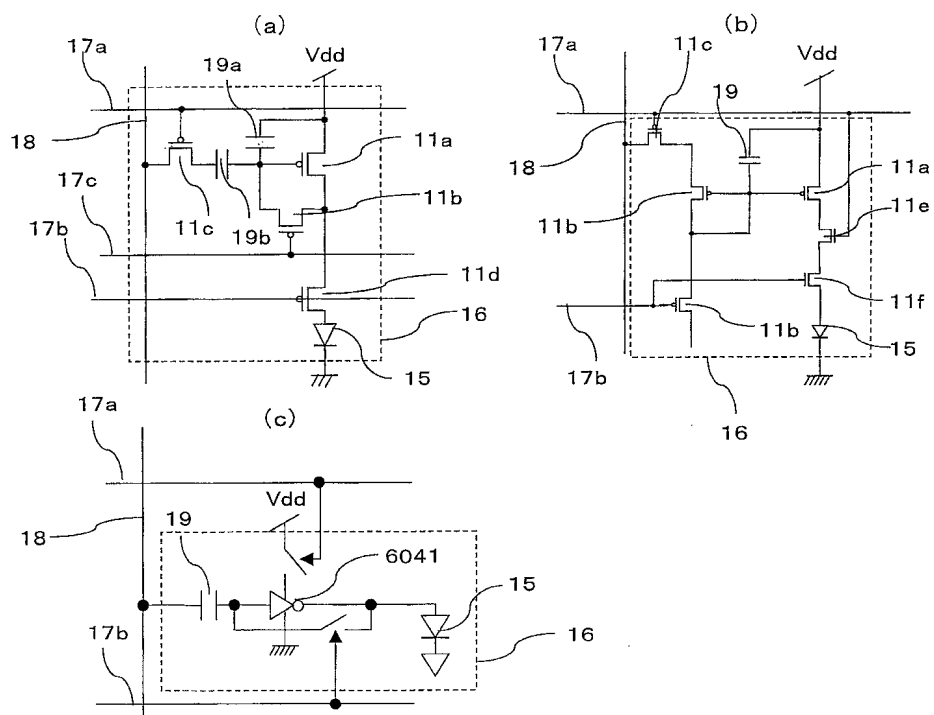
도면605



도면606



도면607



专利名称(译)	EL显示器件		
公开(公告)号	KR1020070055588A	公开(公告)日	2007-05-30
申请号	KR1020077008322	申请日	2004-04-28
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TAKAHARA HIROSHI		
发明人	TAKAHARA, HIROSHI		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12 H01L51/50 H05B33/14		
CPC分类号	G09G2300/0861 G09G2300/043 G09G3/3241 G09G3/3233 G09G3/3258		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2003129528 2003-05-07 JP 2003277166 2003-07-18 JP 2004045517 2004-02-20 JP		
其他公开文献	KR100832613B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种采用诸如OFDM的多载波技术的移动通信系统中的终端辅助干扰控制方法，该移动通信系统包括具有由a控制的多个基站（B1至B3）的网络（N）。中央实体（CE），以及具有与位于其小区服务区域（C1至C3）内的用户终端（T1至T3）进行通信的装置的基站。中央实体（CE）为终端和基站（B1到B3）之间的数据通信目的调度可用的时频组，用于其控制下的基站（B1到B3）和终端（T1到T3）参与调度过程。对每个时间间隔（T1到Tin）进行调度决策。

