



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/22 (2006.01)

H05B 33/02 (2006.01)

H05B 33/02 (2006.01)

(11) 공개번호 10-2007-0031968

(43) 공개일자 2007년03월20일

(21) 출원번호 10-2007-0009056(분할)

(22) 출원일자 2007년01월29일

심사청구일자 2007년02월06일

(62) 원출원 특허10-2000-0030801

원출원일자 : 2000년06월05일

심사청구일자

2005년06월03일

(30) 우선권주장 JP-P-1999-00158809 1999년06월04일 일본(JP)

(71) 출원인 가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키 순페이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 내
고야마 준
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 내
야마모토 구니타카
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 내
고누마 도시미추
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오파이에네루기 켄큐쇼 내

(74) 대리인 이범래
장훈

전체 청구항 수 : 총 36 항

(54) 디스플레이 장치 및 그 제조 방법

(57) 요약

본 발명의 목적은 높은 작동 성능과 신뢰성을 갖는 EL 디스플레이 장치를 제공하는 것이다.

제 3 패시베이션 막(45)은 EL 소자(203)에 의해 발생된 열이 방출되는 구조를 이루도록 화소 전극(양극; 46), EL 층(47) 및 음극(48)을 포함하는 EL 소자(203) 아래에 배치된다. 또한, 제 3 패시베이션 막(45)은 EL 소자(203) 내부의 알칼리 금속이 TFT 측으로 확산하는 것을 방지하고, TFT의 습기 및 산소가 EL 소자(203) 내로 침투하는 것을 방지한다. 특히, EL 소자(203)가 열방출 층에 의해 둘러싸이도록 제 4 패시베이션 막(50)에 열방출 효과가 주어진다.

대표도

도 1

특허청구의 범위

청구항 1.

디스플레이 장치를 제조하는 방법에 있어서,

기판 위에 반도체 막을 형성하는 단계와;

상기 반도체 막 위에 제 1 절연막을 형성하는 단계와;

상기 제 1 절연막 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 제 2 절연막을 형성하는 단계로서, 상기 제 2 절연막은 접촉 홀을 갖는, 상기 제 2 절연막 형성 단계와;

상기 제 2 절연막 위에 소스 배선 및 드레인 배선 중 하나의 배선을 형성하는 단계로서, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선은 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 배선 형성 단계와;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 제 3 절연막을 형성하는 단계와;

상기 제 3 절연막 위에 수지를 포함하는 제 4 절연막을 형성하는 단계와;

상기 제 4 절연막 위에 제 5 절연막을 형성하는 단계와,

상기 제 4 절연막 위에 전자발광(electroluminescence; EL) 소자를 형성하는 단계로서, 상기 EL 소자는 상기 제 5 절연막과 접촉하여 형성된 제 1 전극, 잉크젯 방법에 의해 상기 제 1 전극 위에 형성된 EL 층, 및 상기 EL 층 위에 형성된 제 2 전극을 포함하는, 상기 EL 소자 형성 단계를 포함하고,

상기 EL 층은 상기 제 5 절연막의 상부 표면과 접촉하고 있는, 디스플레이 장치 제조 방법.

청구항 2.

제 1 항에 있어서, 상기 제 3 및 제 5 절연막들 각각은, B(붕소), C(탄소), 및 N(질소)으로 이루어진 그룹으로부터 선택되는 적어도 하나의 원소와, Al(알루미늄), Si(실리콘) 및 P(인)로 이루어진 그룹으로부터 선택되는 적어도 하나의 원소를 포함하는 절연막, 또는 Si, Al, N, O 및 M을 포함하는 절연막을 포함하고, 상기 M은 Ce(세륨), Yb(이터븀), Sm(사마륨), Er(에르븀), Y(이트륨), La(란타넘), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오디뮴)로 이루어진 그룹으로부터 하나가 바람직하게 선택되는 희토류 원소인, 디스플레이 장치 제조 방법.

청구항 3.

제 1 항에 있어서, 상기 제 3 및 제 5 절연막들 각각은 실리콘 산화물 및 실리콘 산소-함유 질화물로 이루어진 그룹으로부터 선택된 재료를 포함하는, 디스플레이 장치 제조 방법.

청구항 4.

디스플레이 장치를 제조하는 방법에 있어서,

기판 위에 반도체 막을 형성하는 단계와;

상기 반도체 막 위에 제 1 절연막을 형성하는 단계와;

상기 제 1 절연막 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 제 2 절연막을 형성하는 단계로서, 상기 제 2 절연막은 접촉 홀을 갖는, 상기 제 2 절연막 형성 단계와;

상기 제 2 절연막 위에 소스 배선 및 드레인 배선 중 하나의 배선을 형성하는 단계로서, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선은 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 배선 형성 단계와;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 제 3 절연막을 형성하는 단계와;

상기 제 3 절연막 위에 수지를 포함하는 제 4 절연막을 형성하는 단계와;

상기 제 4 절연막 위에 제 5 절연막을 형성하는 단계와,

상기 제 4 절연막 위에 EL 소자를 형성하는 단계로서, 상기 EL 소자는 상기 제 5 절연막과 접촉하여 형성된 제 1 전극, 제 2 전극, 및 그들 사이에 삽입된 EL 층을 포함하는, 상기 EL 소자 형성 단계를 포함하고,

상기 EL 층은 상기 제 5 절연막의 상부 표면과 접촉하고 있고,

상기 EL 층, 및 상기 제 2 전극은 대기에 노출 없이 연속으로 형성되는, 디스플레이 장치 제조 방법.

청구항 5.

제 4 항에 있어서, 상기 제 3 및 제 5 절연막들 각각은, B(붕소), C(탄소), 및 N(질소)으로 이루어진 그룹으로부터 선택되는 하나의 원소와, Al(알루미늄), Si(실리콘) 및 P(인)로 이루어진 그룹으로부터 선택되는 하나의 원소를 적어도 포함하는, 디스플레이 장치 제조 방법.

청구항 6.

제 4 항에 있어서, 상기 제 3 및 제 5 절연막들 각각은, Si, Al, N, O 및 M을 포함하고, 상기 M은 Ce(세륨), Yb(이터븀), Sm(사마륨), Er(에르븀), Y(이트륨), La(란타넘), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오디뮴)로 이루어진 그룹으로부터 하나가 바람직하게 선택되는 희토류 원소인, 디스플레이 장치 제조 방법.

청구항 7.

제 4 항에 있어서, 상기 기판과 상기 반도체 막 사이에, B(붕소), C(탄소), 및 N(질소)으로 이루어진 그룹으로부터 선택된 원소와, Al(알루미늄), Si(실리콘) 및 P(인)로 이루어진 그룹으로부터 선택된 원소를 적어도 포함하는 절연막을 형성하는 단계를 더 포함하는, 디스플레이 장치 제조 방법.

청구항 8.

제 4 항에 있어서, 상기 기관과 상기 반도체 막 사이에, Si, Al, N, O 및 M을 포함하는 절연막을 형성하는 단계를 더 포함하고, 상기 M은 Ce(세륨), Yb(이터븀), Sm(사마륨), Er(에르븀), Y(이트륨), La(란타넘), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오디뮴)로 이루어진 그룹으로부터 하나가 바람직하게 선택되는 희토류 원소인, 디스플레이 장치 제조 방법.

청구항 9.

디스플레이 장치를 제조하는 방법에 있어서,

기관 위에 반도체 막을 형성하는 단계와;

상기 반도체 막 위에 제 1 절연막을 형성하는 단계와;

상기 제 1 절연막 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 제 2 절연막을 형성하는 단계로서, 상기 제 2 절연막은 접촉 홀을 갖는, 상기 제 2 절연막 형성 단계와;

상기 제 2 절연막 위에 소스 배선 및 드레인 배선 중 하나의 배선을 형성하는 단계로서, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선은 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 배선 형성 단계와;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 제 3 절연막을 형성하는 단계와;

상기 제 3 절연막 위에 수지를 포함하는 레벨링 막을 형성하는 단계와;

상기 레벨링 막 위에 제 4 절연막을 형성하는 단계와,

상기 레벨링 막 위에 EL 소자를 형성하는 단계로서, 상기 EL 소자는 상기 제 4 절연막과 접촉하여 형성된 제 1 전극, 제 2 전극, 및 그들 사이에 삽입된 EL 층을 포함하는, 상기 EL 소자 형성 단계를 포함하고,

상기 EL 층은 상기 제 4 절연막의 상부 표면과 접촉하고 있도록 잉크젯 방법에 의해 형성되는, 디스플레이 장치 제조 방법.

청구항 10.

제 9 항에 있어서, 상기 제 3 및 제 4 절연막들 각각은 실리콘 산화물 및 실리콘 산소-함유 질화물로 이루어진 그룹으로부터 선택된 재료를 포함하는, 디스플레이 장치 제조 방법.

청구항 11.

제 1 항 또는 제 9 항에 있어서, 상기 EL 층은 유기 발광 층을 포함하는, 디스플레이 장치 제조 방법.

청구항 12.

디스플레이 장치를 제조하는 방법에 있어서,

기관 위에 반도체 막을 형성하는 단계와;

상기 반도체 막 위에 제 1 절연막을 형성하는 단계와;

상기 제 1 절연막 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 제 2 절연막을 형성하는 단계로서, 상기 제 2 절연막은 접촉 홀을 갖는, 상기 제 2 절연막 형성 단계와;

상기 제 2 절연막 위에 소스 배선 및 드레인 배선 중 하나의 배선을 형성하는 단계로서, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선은 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 배선 형성 단계와;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 실리콘 및 질소를 포함하는 제 3 절연막을 형성하는 단계와;

상기 제 3 절연막 위에 수지를 포함하는 레벨링 막을 형성하는 단계와;

상기 레벨링 막 위에 제 4 절연막을 형성하는 단계와,

상기 레벨링 막 위에 EL 소자를 형성하는 단계로서, 상기 EL 소자는 상기 제 4 절연막과 접촉하여 형성된 제 1 전극, 제 2 전극, 및 그들 사이에 삽입된 EL 층을 포함하는, 상기 EL 소자 형성 단계를 포함하고,

상기 EL 층은 상기 제 4 절연막의 상부 표면과 접촉하고 있고,

상기 EL 층, 및 상기 제 2 전극은 대기에 노출 없이 연속으로 형성되는, 디스플레이 장치 제조 방법.

청구항 13.

디스플레이 장치에 있어서,

기판과,

상기 기판 위에 형성된 반도체 막과;

상기 반도체 막 위에 형성된 제 1 절연막과;

상기 제 1 절연막 위에 형성된 게이트 전극과;

상기 게이트 전극 위에 형성된 제 2 절연막으로서, 접촉 홀을 갖는, 상기 제 2 절연막과;

상기 제 2 절연막 위에 형성된 소스 배선 및 드레인 배선 중 하나의 배선으로서, 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선과;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 형성된 제 3 절연막과;

상기 제 3 절연막 위에 형성된 수지를 포함하는 레벨링 막과;

상기 레벨링 막 위에 형성된 제 4 절연막과;

상기 레벨링 막 위에 형성된 EL 소자로서, 상기 제 4 절연막과 접촉하여 형성된 제 1 전극, 상기 제 1 전극 위에 형성된 EL 층, 및 상기 EL 층 위에 형성된 제 2 전극을 포함하는, 상기 EL 소자를 포함하고,

상기 EL 층은 상기 제 4 절연막의 상부 표면과 접촉하고 있는, 디스플레이 장치.

청구항 14.

제 13 항에 있어서, 저장 캐패시터가 상기 반도체 막, 상기 제 1 절연막 및 캐패시터 전극에 의해 형성되는, 디스플레이 장치.

청구항 15.

제 13 항에 있어서, 상기 제 3 및 제 4 절연막들 각각은 실리콘, 질소 및 산소를 포함하는, 디스플레이 장치.

청구항 16.

제 13 항에 있어서, 상기 제 2 절연막은 실리콘 질화물을 포함하는, 디스플레이 장치.

청구항 17.

제 13 항에 있어서, 상기 제 2 절연막은 C(탄소)를 포함하는, 디스플레이 장치.

청구항 18.

제 1 항 또는 제 3 항에 있어서, 상기 제 5 절연막은 C(탄소)를 포함하는, 디스플레이 장치 제조 방법.

청구항 19.

제 9 항 또는 제 12 항에 있어서, 상기 제 4 절연막은 C(탄소)를 포함하는, 디스플레이 장치 제조 방법.

청구항 20.

제 1 항 또는 제 3 항에 있어서, 상기 제 4 절연막은 폴리이미드, 폴리아미드, 아크릴, 및 벤조시클로부탄(BCB)으로 이루어진 그룹으로부터 선택된 재료를 포함하는, 디스플레이 장치 제조 방법.

청구항 21.

제 12 항에 있어서, 상기 레벨링 막은 폴리이미드, 폴리아미드, 아크릴, 및 벤조시클로부탄(BCB)으로 이루어진 그룹으로부터 선택된 재료를 포함하는, 디스플레이 장치 제조 방법.

청구항 22.

제 13 항에 있어서, 상기 레벨링 막은 폴리이미드, 폴리아미드, 아크릴, 및 벤조시클로부탄(BCB)으로 이루어진 그룹으로부터 선택된 재료를 포함하는, 디스플레이 장치.

청구항 23.

디스플레이 장치에 있어서,

기관과,

상기 기관 위에 형성된 반도체 막과;

상기 반도체 막 위에 형성된 제 1 절연막과;

상기 제 1 절연막 위에 형성된 게이트 전극과;

상기 게이트 전극 위에 형성된 제 2 절연막으로서, 접촉 홀을 갖는, 상기 제 2 절연막과;

상기 제 2 절연막 위에 형성된 소스 배선 및 드레인 배선 중 하나의 배선으로서, 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선과;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 형성된 제 3 절연막과;

상기 제 3 절연막 위에 형성된 수지를 포함하는 레벨링 막과;

상기 레벨링 막 위에 형성된 제 4 절연막과;

상기 레벨링 막 위에 형성된 EL 소자로서, 제 1 전극, 상기 제 1 전극 위에 형성된 EL 층, 및 상기 EL 층 위에 형성된 제 2 전극을 포함하는, 상기 EL 소자를 포함하는 디스플레이 장치.

청구항 24.

디스플레이 장치에 있어서,

기관과,

상기 기관 위에 형성된 반도체 막과;

상기 반도체 막 위에 형성된 제 1 절연막과;

상기 제 1 절연막 위에 형성된 게이트 전극과;

상기 게이트 전극 위에 형성된 제 2 절연막으로서, 접촉 홀을 갖는, 상기 제 2 절연막과;

상기 제 2 절연막 위에 형성된 소스 배선 및 드레인 배선 중 하나의 배선으로서, 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선과;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 형성된 제 3 절연막과;

상기 제 3 절연막 위에 형성된 수지를 포함하는 제 4 절연막과;

상기 제 4 절연막 위에 형성된 제 5 절연막과;

상기 제 4 절연막 위에 형성된 EL 소자로서, 제 1 전극, 상기 제 1 전극 위에 형성된 EL 층, 및 상기 EL 층 위에 형성된 제 2 전극을 포함하는, 상기 EL 소자를 포함하는 디스플레이 장치.

청구항 25.

기관과,

상기 기관 위에 형성된 반도체 막과;

상기 반도체 막 위에 형성된 제 1 절연막과;

상기 제 1 절연막 위에 형성된 게이트 전극과;

상기 게이트 전극 위에 형성된 제 2 절연막으로서, 접촉 홀을 갖는, 상기 제 2 절연막과;

상기 제 2 절연막 위에 형성된 소스 배선 및 드레인 배선 중 하나의 배선으로서, 상기 제 2 절연막의 상기 접촉 홀을 통해 상기 반도체 막에 전기적으로 접속된, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선과;

상기 소스 배선 및 상기 드레인 배선 중 하나의 배선 위에 형성된 제 3 절연막과;

상기 제 3 절연막 위에 형성된 제 4 절연막과;

상기 제 4 절연막 형성된 제 5 절연막과;

상기 제 4 절연막 위에 형성된 EL 소자로서, 제 1 전극, 상기 제 1 전극 위에 형성된 EL 층, 및 상기 EL 층 위에 형성된 제 2 전극을 포함하는, 상기 EL 소자를 포함하고,

상기 EL 층은 상기 제 5 절연막의 상부 표면과 접촉하고 있는, 디스플레이 장치.

청구항 26.

제 23 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 제 3 절연막은 실리콘 질화물을 포함하는, 디스플레이 장치.

청구항 27.

제 23 항에 있어서, 상기 레벨링 막은 폴리아미드, 폴리아미드, 아크릴, 및 벤조시클로부탄(BCB)으로 이루어진 그룹으로부터 선택된 재료를 포함하는, 디스플레이 장치.

청구항 28.

제 24 항 또는 제 25 항에 있어서, 상기 제 4 절연막은 폴리아미드, 폴리아미드, 아크릴, 및 벤조시클로부탄(BCB)으로 이루어진 그룹으로부터 선택된 재료를 포함하는, 디스플레이 장치.

청구항 29.

제 23 항에 있어서, 상기 제 4 절연막은 C(탄소)를 포함하는, 디스플레이 장치.

청구항 30.

제 25 항에 있어서, 상기 제 5 절연막은 C(탄소)를 포함하는, 디스플레이 장치.

청구항 31.

제 23 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 기판은 유리 기판, 유리 세라믹 기판, 석영(quartz) 기판, 실리콘 기판, 세라믹 기판, 금속 기판 및 플라스틱 기판으로 이루어진 그룹으로부터 선택된 기판인, 디스플레이 장치.

청구항 32.

제 23 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 반도체 막은 단결정 반도체 막, 다결정 반도체 막 및 미정질 반도체 막으로 이루어진 그룹으로부터 선택된 반도체 막인, 디스플레이 장치.

청구항 33.

제 23 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 제 1 절연막은 실리콘을 포함하는, 디스플레이 장치.

청구항 34.

제 23 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 게이트 전극은 몰리브덴(Mo)을 포함하는, 디스플레이 장치.

청구항 35.

제 23 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 소스 배선 및 상기 드레인 배선 중 하나의 배선은 제 1 층, 제 2 층, 및 제 3 층을 포함하는, 디스플레이 장치.

청구항 36.

제 23 항 내지 제 25 항 중 어느 한 항에 있어서, 상기 제 3 절연막은 보호막인, 디스플레이 장치.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 전기 광학 장치, 통상적으로 기판 위에 만들어진 반도체 소자(반도체 박막을 사용하는 소자)에 의해 형성된 전자 발광(electroluminescence; EL) 디스플레이 장치 및 디스플레이 장치(디스플레이부라고도 불림)로서 전기 광학 장치를 갖는 전자 장비(전자 장치)에 관한 것이다.

기판 위에 TFT를 형성하는 기술이 최근에 널리 보급되어 왔고, 액티브 매트릭스형 디스플레이 장치에 대한 적용이 진보하고 있다. 특히, 폴리실리콘 막을 사용하는 TFT는 종래의 비정질 실리콘막을 사용하는 TFT보다 높은 전계 효과 이동도(이동도라고 불림)를 가지므로, 고속 동작이 가능하다. 그 결과, 화소로서 동일 기판 위에 형성된 구동 회로에 의해, 기판 외부의 구동 회로에 의해 통상적으로 행해지는 화소 제어를 행할 수 있다.

이러한 종류의 액티브 매트릭스 디스플레이 장치에 있어서 동일 기판 위에 여러 가지 회로 및 소자를 꾸밈으로써 얻어질 수 있는 많은 이점, 예를 들면 제조 비용의 감소, 소형화, 수율 증가 및 더욱 높은 스루풋 때문에 이러한 종류의 액티브 매트릭스 디스플레이 장치가 각광 받고 있다.

발광층(EL층)은 TFT로부터 각 화소에 형성된 스위칭 소자를 배치하고, 스위칭 소자에 의해 전류 제어를 행하는 구동 소자를 구동함으로써 액티브 매트릭스 EL 디스플레이 장치에서 발광하도록 만들어진다. 예를 들면, 미국 특허 제5,684,365호(일본 특개평 8-234683호 및 일본 특개평 10-189252호)에 개시된 EL 디스플레이 장치가 있다.

수분으로 인한 EL 물질의 열화는 이들 EL 디스플레이 장치에 문제를 일으켜 왔다. 특히 유기 EL 물질은 수분뿐만 아니라 산소에도 열화한다. 따라서 EL 소자는 일반적으로 일본 특개평 8-78159호에 개시된 것과 같이 EL 소자를 밀봉함으로써 수분 등으로부터 차단된다.

그러나, EL 소자가 갖는 문제는 수분에만 제한되는 것은 아니다. EL 층은 나트륨(Na) 등의 알칼리 금속을 그 자체에 포함하고 있고 알칼리 금속이 TFT에 확산될 경우 심각한 문제가 TFT의 동작시 생길 수 있다. 또한, 열 축적으로 인한 열화도 EL 층이 열에 약하기 때문에 문제가 된다. 알칼리 금속은 본 명세서 전체에 걸쳐 알칼리 토금속을 포함하는 '알칼리 금속'이라 부른다.

발명이 이루고자 하는 기술적 과제

상기한 종래 기술의 관점에서, 본 발명의 목적은 양호한 동작 성능 및 고신뢰성을 갖는 전기 광학 장치를 제공하고, 특히 EL 디스플레이 장치를 제공하는 것에 있다. 본 발명의 다른 목적은 전기 광학 장치의 화질을 증가시킴으로써 디스플레이 장치로서의 전기 광학 장치를 갖는 전자 장비(전자 장치)의 품질을 증가시키는 것에 있다.

발명의 구성

상기 목적을 달성하기 위해, 수분으로 인한 EL 소자의 열화, 열로 인한 열화 및 알칼리 금속의 방출이 본 발명에 의해 방지된다. 구체적으로, 이러한 것들을 만족시키는 절연막이 EL 소자와 접촉되어 배치되거나 보다 바람직하게는 EL 소자는 이와 같은 절연막에 의해 둘러싸인다.

즉, 수분 및 알칼리 금속 차단 효과 및 방열효과를 갖는 절연막이 EL 소자와 가장 가까운 위치에 배치되고, EL 소자의 열화는 절연막에 의해 억제된다.

수분 및 알칼리 금속 차단 효과를 갖는 절연막과 방열 효과를 갖는 절연막의 적층막(laminate)은 이와 같은 절연막이 단일 층으로 사용될 수 없는 경우에 사용될 수 있다. 또한, 수분 차단 효과를 갖는 절연막, 알칼리 금속 차단 효과를 갖는 절연막과 방열 효과를 갖는 절연막의 적층막을 사용할 수 있다.

양자의 방법에 있어서는, 수분 및 열 양자의 측정방법을 EL 소자의 열화(EL 소자의 열화라고도 함)를 억제하기 위해 찾아야 하고, EL 소자를 구동하는 TFT 자체의 열, 수분 및 알칼리 금속에 대해 측정할 필요가 있다.

도 1 내지 도 2b는 본 발명의 바람직한 실시예를 설명하기 위해 사용된다. 도 1은 본 발명의 EL 디스플레이 장치 화소의 단면도이고, 도 2a는 평면도, 도 2b는 회로 구성을 나타낸다. 실제로, 화소부(화상 디스플레이부)는 매트릭스 상태로 배열된 이러한 종류의 다수의 화소로 형성된다.

도 1의 단면도는 도 2a에 나타난 평면도에서 선 A-A'을 따라 절취한 단면도를 나타낸다. 공통 기호가 도 1 및 도 2a 및 도 2b에 사용되었으므로, 3개의 도면은 적절히 참조해도 된다. 더욱이, 2개의 화소는 도 2a의 평면도에 도시되어 있으며, 양자는 동일 구조를 갖는다.

도 1에 있어서, 참조 부호(11)는 기판을 나타내고, 참조(12)는 베이스 막을 나타낸다. 유리 기판, 유리 세라믹 기판, 석영(quartz) 기판, 실리콘 기판, 세라믹 기판, 금속 기판 또는 플라스틱 기판(플라스틱 막을 포함함)이 기판(11)으로서 사용될 수 있다.

또한, 베이스 막(12)은 특히 이동하는 이온을 함유하는 기판 또는 도전성을 갖는 기판이 사용될 경우 유효하지만 석영 기판에 대해서는 형성될 필요가 없다. 실리콘을 함유하는 절연막은 베이스 막(12)으로서 형성되어도 된다. 용어 "실리콘 함유 절연막"은 특히 산화 실리콘 막, 질화 실리콘 막, 또는 옥시질화 실리콘 막(SiO_xN_y) 등의 실리콘, 산소 및 질소를 미리결정된 비율로 함유하는 절연막을 나타낸다.

또한, 베이스 막(12)에 방열 효과를 부여함으로써 TFT 또는 EL 소자의 열화를 방지하고 TFT에서 발생된 열을 방출하도록 하는 데 효과적이다. 모든 알려진 물질이 방열 효과를 부여하기 위해 사용될 수 있다.

2개의 TFT는 본원에서는 화소 내에 형성된다. 참조 번호(201)는 스위칭 소자(이하 스위칭 TFT라 함)로서 기능하는 TFT를 나타내고, 참조 번호(202)는 EL 소자로 흐르는 전류의 양을 제어하는 전류 제어 소자로서 기능하는 TFT(이하 전류 제어 TFT라 함)를 나타내고, 양자는 n-채널 TFT로 형성된다.

n채널 TFT의 전계 효과 이동도는 p채널 TFT의 전계 효과 이동도보다 크므로, 동작 속도가 빠르고 전류는 용이하게 흐를 수 있다. 또한, 동일한 양의 전류가 흐를지라도, n채널 TFT는 더욱 작게 만들어질 수 있다. 그러므로 디스플레이부의 유효 표면적은 전류 제어 TFT로서 n채널 TFT를 사용할 때 커지게 되는 데, 이것은 바람직한 것이다.

p채널 TFT는 고온 캐리어 주입이 반드시 문제가 되지 않는다는 이점과, 오프 전류값이 낮다고 하는 이점이 있으며, 스위칭 TFT와 전류 제어 TFT로서 p채널 TFT를 사용하는 예가 이미 보고되어 있다. 그러나, LDD영역의 위치가 다른 구조를 사용함으로써, n채널 TFT에 있어서의 고온 캐리어 주입 및 오프 전류값 문제가 본 발명에 의해 해결된다. 본 발명은 모든 화소 내의 모든 TFT에 대해 n채널 TFT를 사용하는 것에 특징이 있다.

본 발명에 있어서는 스위칭 TFT와 전류 제어 TFT를 n채널 TFT로 한정할 필요는 없으며, 스위칭 TFT, 전류 제어 TFT 중 어느 하나 또는 모두에 p채널 TFT를 사용할 수 있다.

스위칭 TFT(201)는 소스 영역(13), 드레인 영역(14), LDD 영역(15a 내지 15d), 고농도 불순물 영역(16) 및 채널 형성 영역(17a, 17b)을 포함하는 액티브 층; 게이트 절연막(18); 게이트 전극(19a, 19b), 제 1 층간 절연막(20), 소스 배선(21) 및 드레인 배선(22)으로 형성된다.

도 2a에 나타난 것과 같이, 게이트 전극(19a, 19b)은 상이한 재료(게이트 전극(19a, 19b)보다 낮은 저항을 갖는 재료))로 형성되는 게이트 배선(211)에 의해 전기적으로 접속된 이중 게이트 구조로 되어 있다. 물론, 이중 게이트 구조뿐만 아니라, 소위 다중 게이트 구조(직렬로 접속된 2개 이상의 채널 형성 영역을 갖는 액티브 층을 포함하는 구조), 예를 들면 3중 게이트 구조도 사용될 수 있다. 다중 게이트 구조는 극히 오프 전류의 값을 낮추는데 효과적이며, 화소의 스위칭 TFT(201)를 본 발명과 같은 다중 게이트 구조로 만듦으로써, 낮은 오프 전류값이 스위칭 TFT에 대해 실현될 수 있다.

액티브 층은 결정 구조를 갖는 반도체 막으로 형성된다. 즉, 단결정 반도체 막이 사용될 수 있으며, 다결정 반도체 막 또는 미정질 반도체 막도 사용될 수 있다. 또한, 게이트 절연막(18)은 실리콘을 함유하는 절연막으로 형성되어도 된다. 또한, 도전막은 모든 게이트 전극, 소스 배선 및 드레인 배선에 사용될 수 있다.

또한, 스위칭 TFT(201)의 LDD 영역(15a 내지 15d)은 게이트 절연막(18)을 개재시킴으로써 게이트 전극(19a, 19b)을 덮지 않도록 형성된다. 이러한 구조는 특히 오프 전류값을 감소시키는 데 효과적이다.

채널 형성 영역과 LDD 영역 사이의 오프셋 영역(채널 형성 영역의 조성과 같은 조성을 갖는 반도체 층을 포함하고, 게이트 전압이 인가되지 않는 영역)은 오프 전류값을 감소시키는 데 더욱 바람직하다. 또한, 2개 이상의 게이트 전극을 갖는 다중 게이트 구조가 사용될 경우, 채널 형성 영역 사이에 형성된 고농도 불순물 영역은 오프 전류의 값을 낮추는데 효과적이다.

상기와 같이 다중 게이트 구조 TFT를 스위칭 TFT로서 사용함으로써, 충분히 낮은 오프 전류값을 갖는 스위칭 소자가 본 발명에 의해 실현된다. 그러므로 전류 제어 TFT의 게이트 전압은 일본 특개평 10-189252호의 도 2에 나타난 것과 같이 커패시터를 형성하지 않고는 충분한 시간 동안(하나의 선택으로부터 다음 선택까지의 기간동안) 유지될 수 있다.

즉, 유효 발광 표면적을 감소시키는 커패시터를 제거하는 것이 가능하고, 유효 발광 표면적을 증가시킬 수 있다. 이것은 EL 디스플레이 장치의 화질을 더욱 밝게 할 수 있다는 것을 의미한다.

다음에, 전류 제어 TFT(202)는 소스 영역(31), 드레인 영역(32), LDD영역(33) 및 채널 형성 영역(34)을 포함하는 액티브 층; 게이트 절연막(18); 게이트 전극(35); 제 1 층간 절연막(20); 소스 배선(36); 및 드레인 배선(37)을 가지고 형성된다. 게이트 전극(35)은 단일 게이트 구조를 가지지만 다중 게이트 구조도 사용할 수 있다.

도 2a 및 도 2b에 나타난 것과 같이, 스위칭 TFT(201)의 드레인 전류 제어 TFT(202)의 게이트에 전기적으로 접속되어 있다. 특히, 전류 제어 TFT(202)의 게이트 전극(35)은 드레인 배선(접속 배선이라고도 함)(22)을 통해 스위칭 TFT(201)의 드레인 영역(14)에 전기 접속되어 있다. 또한, 소스 배선(36)은 전류 공급 배선(212)에 접속되어 있다.

전류 제어 TFT(202)의 특징은 그 채널 폭이 스위칭 TFT(201)의 채널 폭보다 크다는 것이다. 즉, 도 8에 나타난 것과 같이, 스위칭 TFT의 채널 길이가 $L1$ 이고 그 채널 폭이 $W1$ 이고, 전류 제어 TFT의 채널 길이가 $L2$ 이고 그 채널 폭이 $W2$ 일 때, 관련 식은 $W2/L2 \geq 5 \times W1/L1$ (바람직하게는 $W2/L2 \geq 10 \times W1/L1$)에 도달한다. 그 결과, 스위칭 TFT에서보다 전류 제어 TFT에서 전류가 보다 용이하게 흐르게 할 수 있다.

다중 게이트 구조 스위칭 TFT의 채널 길이는 형성된 2개 이상의 채널 형성 영역의 채널 길이 각각을 합한 것이다. 이중 게이트 구조는 도 8의 경우에 형성되므로, 2개의 채널 형성 영역의 각각의 채널 길이 $L1a$, $L1b$ 의 합은 스위칭 TFT의 채널 길이 $L1$ 로 된다.

채널 길이 $L1$, $L2$ 및 채널 폭 $W1$, $W2$ 는 본 발명에 있어서의 값의 범위에 특히 한정되는 것은 아니며, $W1$ 은 0.1 내지 $5\mu m$ (통상적으로 1 내지 $3\mu m$), $W2$ 는 0.5 내지 $30\mu m$ (통상적으로 2 내지 $10\mu m$)가 바람직하다. 이 때 $L1$ 은 0.2 내지 $18\mu m$ (통상적으로 2 내지 $15\mu m$), $L2$ 는 0.1 내지 $50\mu m$ (통상적으로 1 내지 $20\mu m$)가 바람직하다.

과잉의 전류가 흐르는 것을 방지하기 위해 긴 쪽에 있는 전류 제어 TFT의 채널 길이 L 을 설정하는 것이 바람직하다. 바람직하게는 $W2/L2 \geq 3$ (보다 바람직하게는 $W2/L2 \geq 5$)이다. 또한 화소 당 전류는 0.5 내지 $2\mu A$ (보다 양호하게는 1 내지 $1.5\mu A$)이다.

수치를 이러한 범위 내로 설정함으로써, VGA 등급의 화소(640×480)수를 갖는 EL 디스플레이 장치로부터 하이 비전 클래스(high vision class) 화소수(1920×1080)를 갖는 EL 디스플레이 장치까지의 모든 표준이 포함될 수 있다.

더욱이, 스위칭 TFT(201)에 형성된 LDD 영역의 길이(폭)는 0.5 내지 $3.5\mu m$, 통상 2.0 내지 $2.5\mu m$ 로 설정된다.

도 1에 도시된 EL 디스플레이 장치는 LDD 영역(33)이 전류 제어 TFT(202)에서 드레인 영역(32)과 채널 형성 영역(34) 사이에 형성되는 것에 특징이 있다. 또한, LDD 영역(33)은 게이트 절연막(18)을 개재함으로써 게이트 전극(35)과 중첩하는 영역과 중첩하지 않는 영역 모두를 갖는다.

전류 제어 TFT(202)는 EL 소자(203)가 발광하도록 하기 위해 전류를 공급하고 동시에 공급되는 양을 제어하고 그레이 스케일 디스플레이가 가능하도록 한다. 그러므로, 전류가 흐를 경우 열화가 없고, 고온 캐리어 주입으로 인한 열화에 대응한 스텝이 취해질 필요가 없다. 더욱이, 흑(black)이 디스플레이될 때, 전류 제어 TFT(202)는 오프 상태로 설정되지만, 오프 전류값이 높으면, 이 후 밝은 흑색 디스플레이가 불가능하며, 이것은 콘트라스트의 감소와 같은 문제를 초래한다. 그러므로 오프 전류의 값을 억제할 필요가 있다.

고온 캐리어 주입으로 인한 열화와 관련하여, LDD 영역이 게이트 전극과 중첩하는 구조가 대단히 유효하다고 알려져 있다. 그러나, 전체 LDD 영역이 게이트 전극과 중첩하도록 만들어지면, 이 후 오프 전류의 값은 상승하므로, 본 발명의 출원인은 게이트 전극과 중첩하지 않는 LDD 영역이 직렬로 형성되는 신규 구조에 의해 동시에 고온 캐리어 및 오프 전류값 대책 모두를 해결한다.

게이트 전극과 중첩하는 LDD 영역의 길이는 이러한 점에서 0.1 내지 $3\mu m$ (바람직하게는 0.3 내지 $1.5\mu m$)로 만들어져도 된다. LDD 영역의 길이가 너무 길면, 기생 용량이 커지게 되고, 너무 짧으면, 고온 캐리어 방지 효과 약해진다. 또한, 게이트 전극과 중첩하지 않는 LDD 영역의 길이는 1.0 내지 $3.5\mu m$ (바람직하게는 1.5 내지 $2.0\mu m$)로 설정된다. LDD 영역의 길이가 너무 길면, 충분한 전류가 흐를 수 없게 되고, 너무 짧으면, 오프 전류값 감소 효과가 약해진다.

기생 용량은 게이트 전극과 LDD 영역이 중첩하는 영역에 상기 구조로 형성되므로 이러한 영역은 소스 영역(31)과 채널 형성 영역(34) 사이에 형성되지 않는 것이 바람직하다. 캐리어(이 경우 전자) 흐름 방향은 항상 전류 제어 TFT에 있어서 동일하므로, 드레인 영역 측에만 LDD 영역을 형성하는 것으로 충분하다.

또한, 흐를 수 있는 전류 양을 증가시키기 위한 관점에서 보면, 전류 제어 TFT(202)의 활성층(특히 채널 형성 영역)의 막 두께를 두껍게(바람직하게는 50 내지 100nm, 바람직하게는 60 내지 80nm) 하는 것이 효과적이다. 역으로, 스위칭 TFT(201)에 있어서 오프 전류값을 보다 작게 하기 위한 관점에서 보면, 활성층(특히 채널 형성 영역)의 막 두께를 얇게(바람직하게는 20 내지 50nm, 바람직하게는 25 내지 40nm) 하는 것이 효과적이다.

다음에, 참조 번호(41)는 제 1 패시베이션 막을 나타내고, 그 막 두께는 10 내지 1 μ m(바람직하게는 200 내지 500nm)로 설정해도 된다. 실리콘을 포함하는 절연막(특히, 바람직하게는 옥시질화 실리콘 막 또는 질화 실리콘 막)이 패시베이션 막 재료로서 사용될 수 있다. 패시베이션 막(41)은 제조된 TFT를 알칼리 금속 및 수분으로부터 보호하는 역할을 한다. 나트륨 등의 알칼리 금속은 최종 TFT에 형성된 EL 층에 포함된다. 즉, 제 1 패시베이션 막(41)은 보호층으로서 작용하므로 이들 알칼리 금속(이동 이온)은 TFT로 침투하지 못한다. 알칼리 금속 및 알칼리 토금속은 본 명세서에 전체에 걸쳐서 용어 '알칼리 금속'에 포함되는 것이다.

또한, 패시베이션 막(41)이 방열 효과를 갖도록 만듦으로써, EL 층의 열적 열화를 방지하는 데에도 효과적이다. 광은 EL 디스플레이 장치의 도 1의 구조에서 베이스(11) 측으로부터 방사되므로 패시베이션 막(41)은 광 전달 특성을 가질 필요가 있다. 또한, 산소와 접촉함으로써 열화되기 때문에 EL층으로서 유기 재료를 사용하는 경우에 산소를 방출하도록 된 절연 막을 사용하지 않는 것이 바람직하다.

붕소(B), 탄소(C) 및 질소(N)로 이루어진 군으로부터 선택된 적어도 하나의 원소와 알루미늄(Al), 실리콘(Si) 및 인(P)으로 이루어진 군으로부터 선택된 적어도 하나의 원소를 포함하는 절연막이 방열 특성(높은 열 전도성)을 갖는 투광 물질로서 주어질 수 있다. 예를 들면 질화 알루미늄 화합물, 통상적으로 질화 알루미늄(Al_xNy), 탄화 실리콘 화합물, 통상적으로 탄화 실리콘(Si_xCy), 질화 실리콘 화합물, 통상적으로 질화 실리콘(Si_xNy), 질화 붕소 화합물, 통상적으로 질화 붕소(B_xNy) 또는 인화 붕소 화합물, 통상적으로 인화 붕소(B_xPy)를 사용하는 것이 가능하다. 또한, 산화 알루미늄 화합물, 통상적으로 산화 알루미늄(Al_xOy)는 우수한 투광성을 가지며, $20Wm^{-1}K^{-1}$ 의 열전도도를 가지며, 바람직한 재료라고 말할 수 있다. 이들 재료는 방열 특성을 가질 뿐만 아니라 수분 및 알칼리 금속 등의 투과를 방지하는 데 효과적이다. x와 y는 상기 투광 재료에 대한 임의의 정수이다.

상기 화합물은 또한 다른 원소와 결합될 수 있다. 예를 들면, AlN_xO_y 로 나타낸 질화 알루미늄 산화물을 사용할 수 있고, 여기서 질소는 알루미늄 산화물에 부가된다. 이러한 재료는 또한 방열 특성을 가질 뿐만 아니라, 수분 및 알칼리 금속 등의 물질이 침투하는 것을 방지하는 데 효과적이다. x와 y는 상기 질화 알루미늄 산화물에 대한 임의의 정수이다.

더욱이, 일본 특개소 62-90260호에 기록된 재료가 또한 사용될 수 있다. 즉, Si, Al, N, O, M(M은 희토류 원소(rare earth element)임)을 함유하는 화합물, 바람직하게는 세슘(Ce), 이터븀(Yb), 사마륨(Sm), 에르븀(Er), 이트륨(Y), 란탄(La), 가돌리늄(Gd), 디스프로슘(Dy) 및 네오뮴(Nd)으로 이루어진 군으로부터 선택된 적어도 하나의 원소도 사용될 수 있다. 이들 재료는 방열 특성을 가질 뿐만 아니라, 수분 및 알칼리 금속 등의 물질이 침투하는 것을 방지하는 데 효과적이다.

더욱이, 적어도 다이아몬드 박막 또는 비정질 탄소를 함유하는 탄소막(특히 다이아몬드에 가까운 특성을 갖는 것; 다이아몬드 유사 탄소라 함)도 사용될 수 있다. 이들은 매우 높은 열 전도성을 가지며, 방사층으로서 매우 유효하다. 막 두께가 크면, 브라운 댄딩이 있고 전도도가 감소되므로 가능한 한 두께가 얇은 막(바람직하게는 5 내지 10nm)을 사용하는 것이 바람직하다.

제 1 패시베이션 막(41)의 목적은 TFT를 알칼리 금속 및 수분으로부터 보호하는 데 있으므로, 제 1 패시베이션 막은 이러한 효과를 잃지 않도록 만들어져야 한다. 상기한 복사 효과를 가진 재료로 만들어진 얇은 막은 자기 혼자서 사용될 수 있지만 이러한 막과 알칼리 금속 및 수분에 대한 차단성을 갖는 박막(통상적으로 질화 실리콘 막(Si_xN_y) 또는 옥시질화 실리콘 막(SiO_xN_y))을 적층하는 것도 효과적이다. x와 y는 상기 질화 실리콘 막과 옥시질화 실리콘 막에 대한 임의의 정수이다.

참조 번호(42)는 색조 필터를 나타내고, 참조 번호(43)는 형광 기관(형광 염료층이라고도 함)을 나타낸다. 양자는 동일한 색의 조합이며, 적(R), 녹(G), 또는 청(B)을 포함한다. 색조 필터(42)는 색순도를 증가시키기 위해 형성되고, 형광 물질(43)은 색변형을 행하기 위해 형성된다.

EL 디스플레이 장치는 크게 4가지 종류의 색조 디스플레이로 나뉘어진다. 즉 R, G, B에 대응하는 3가지 종류의 EL 소자를 형성하는 방법, 색조 필터와 백색을 발광하는 EL 소자를 결합하는 방법, 청 또는 청-녹을 발광하는 EL 소자와 형광 물질(형광색 변경층, CCM)을 결합하는 방법, 및 음극(전극에 대향함)로서 투명 전극을 사용하고 R, G, B에 대응하는 EL 소자를 중첩하는 방법으로 나뉘어진다.

도 1의 구조는 청색 발광 EL 소자와 형광 물질의 조합을 사용하는 경우의 예이다. 청색을 발광하는 발광층은 여기에서는 EL 소자로서 사용되는 자외선 광을 포함하는 청색 영역의 파장을 갖는 광이 형성되고 형광 물질(43)은 광으로서 활성화되고, 적, 녹, 또는 청색 광을 방출하도록 만들어진다. 광의 색순도는 색조 필터(42)에 의해 증가되고 이것이 출력된다.

발광 방법과 관련시키지 않고 본 발명을 구현하는 것이 가능하며, 상기 4개의 모든 방법은 본 발명과 함께 사용될 수 있다.

더욱이, 색조 필터(42)와 형광 물질(43)을 형성한 후, 평탄화가 제 2 층간 절연막(44)에 의해 행해진다. 수지막은 바람직하게는 제 2 층간 절연막(44)과 같고, 폴리이미드, 폴리아미드, 아크릴 또는 BCB(벤조시클로부탄) 등과 같은 것이 사용되어도 된다. 또한, 충분한 평탄화가 가능하면 물론 무기막이 사용되어도 된다.

제 2 층간 절연막(44)에 의한 TFT로 인한 스텝의 평탄화는 극히 중요하다. 이후에 형성된 EL 층은 매우 얇으므로, 불량한 발광이 스텝의 존재로 인해 생기는 경우가 있다. 그러므로 가능한 한 표면이 평탄한 EL 층을 형성하기 위해 화소 전극을 형성하기 전에 평탄화를 행하는 것이 바람직하다.

더욱이, 참조 번호(45)는 제 2 패시베이션 막(방열층의 의미를 가짐)이고, 막 두께는 5nm 내지 1 μ m(통상적으로 20 내지 300nm)인 것이 바람직하다. 이러한 제 2 패시베이션 막은 EL 소자와 접촉하여 배치되고 EL 소자에 의해 발생된 열을 방출하는 기능을 한다. 또한, 수지막에 의해 형성될 경우, 제 2 층간 절연막(44)은 열에 대해 약하고, 열방사층은 EL 소자에 의해 발생된 열로 인한 나쁜 영향을 받지 않도록 작용한다.

상기한 바와 같이 EL 디스플레이 소자를 제조회에 있어서 수지 막으로 TFT의 평탄화를 행하는 것이 효과적이지만 EL 소자에 의해 발생된 열로 인한 수지 막의 열화를 고려한 종래 구조는 아니다. 제 1 패시베이션 막(45)을 배치함으로써 그 문제를 해결하는 것은 본 발명의 특징 중 하나라고 말할 수 있다.

또한, 제 2 패시베이션 막(45)은 EL 층 내의 알칼리 금속이 TFT층으로 확산하지 않도록 할 뿐만 아니라 열로 인한 상기한 열화를 방지하는 보호층으로 기능을 하고, 또한 TFT층에서 EL층으로 수분 또는 산소가 침투하는 것을 방지하는 보호층으로서 기능을 한다.

제 1 패시베이션 막(41)으로서 사용된 것과 같은 재료가 제 2 패시베이션 막(45)으로서 사용될 수 있다. 특히, 높은 방열효과를 갖는 재료로서, 탄소막 예를 들면 다이아몬드 막 또는 다이아몬드형 탄소막이 바람직하고 수분과 같은 물질의 침투를 방지하기 위해, 탄소막과 질화 실리콘 막(또는 옥시질화 실리콘 막)의 적층 구조를 사용하는 것이 더욱 바람직하다.

TFT 층과 EL층이 높은 방열효과를 가지며 수분 및 알칼리 금속을 차단할 수 있는 절연막에 의해 분리되어 있는 구조는 본 발명의 중요한 특성이고, 이것은 종래의 EL 디스플레이 장치에는 존재하지 않는 구조라고 말할 수 있다.

참조 번호(46)는 투명 도전막으로 만들어진 화소 전극(EL 소자 양극)을 나타낸다. 제 2 패시베이션 막(45), 제 2 층간 절연막(44) 및 제 1 패시베이션 막(41)에 접촉 홀을 뚫은 후, 화소 전극(45)은 전류 제어 TFT(202)의 드레인 배선(37)에 접속되도록 형성된다.

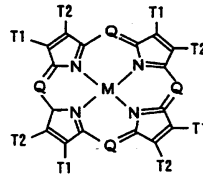
EL 층(유기 재료가 바람직함)(47), 음극(48), 보호 전극(49)이 화소 전극(46)상에 상기 순서로 형성된다. 단층 구조 또는 적층 구조가 EL 층(47)으로 사용될 수 있지만, 많은 경우에 적층 구조가 사용될 수 있다. 발광층, 전자 전달층, 전자 주입층, 홀 주입층 및 홀 전달층의 조합한 여러 가지 적층 구조가 제안되어 있지만, 본 발명에는 어떠한 구조라도 사용될 수 있다. EL 층으로의 형광 염료의 도핑도 물론 수행될 수 있다. 화소 전극(양극), EL 층 및 음극에 의해 형성된 발광 소자는 본 명세서 전체에 걸쳐 EL 소자라고 한다.

이미 모두 알려진 EL 재료가 본 발명에 의해 사용될 수 있다. 유기 재료는 이와 같은 재료로서 잘 알려져 있으며, 구동 전압을 고려하면, 유기 재료를 사용하는 것이 바람직하다. 예를 들면, 이하의 미국 특허 및 일본 특허출원에 개시된 재료는 유기 EL 재료로서 사용될 수 있다.

미국 특허 제 4,356,429호, 미국 특허 제 4,539,507호, 미국 특허 제 4,720,432호, 미국 특허 제 4,769,292호, 미국 특허 제 4,885,211호, 미국 특허 제 4,950,950호, 미국 특허 제 5,059,861호, 미국 특허 제 5,047,687호, 미국 특허 제 5,073,446호, 미국 특허 제 5,059,862호, 미국 특허 제 5,061,617호, 미국 특허 제 5,151,629호, 미국 특허 제 5,294,869호, 미국 특허 제 5,294,870호, 일본 특개평 제10-189525호, 일본 특개평 제8-241048호, 일본 특개평 제8-78159호.

특히, 다음 식으로 나타낸 것과 같은 유기재료가 홀주입층으로서 사용될 수 있다.

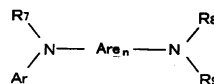
화학식 1



여기서, Q 는 N 또는 C-R(탄소쇄) 중 어느 하나이고, M 은 금속, 금속산화물 또는 금속할라이드이고, R 은 수소, 알킬, 아릴, 아릴 또는 알카릴이고, T1, T2 는 수소, 알킬 또는 할로젠 등이 치환체를 포함하는 비포화 6원소환이다.

더욱이, 방향족 8가아민은 이하의 식으로 나타낸 테트라아릴디아민을 포함하는 유기금속 홀 전달층으로서 사용될 수 있다.

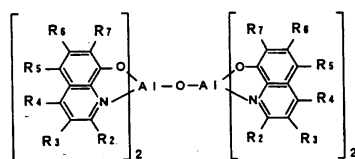
화학식 2



화학식 2에 있어서, Are 는 아릴렌기이고, n 은 1 내지 4의 정수이고, Ar, R₇, R₈ 및 R₉ 는 각각 아릴기로부터 선택된다.

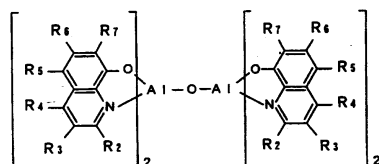
또한 금속 옥시노이드 화합물은 유기금속 EL 층, 전자 전달층 또는 전자주입층으로서 사용될 수 있다. 하기 식으로 나타낸 것과 같은 재료는 금속 옥시노이드 화합물로서 사용되어도 된다.

화학식 3



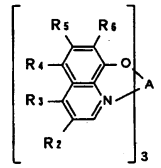
여기서 R₂ 내지 R₇ 는 치환할 수 있고, 다음과 같은 금속 옥시노이드가 사용될 수도 있다.

화학식 4



화학식 4에 있어서, R₂ 내지 R₇ 는 상기와 같이 정의되고, L₁ 내지 L₅ 는 1 내지 12개의 탄소원소를 함유하는 탄화수소기이고, L₁ 과 L₂ 모두 또는 L₂ 와 L₃ 모두는 벤조링으로 형성된다. 또한, 다음과 같은 금속 옥시노이드도 사용될 수 있다.

화학식 5



여기서, R_2 내지 R_6 은 치환할 수 있다. 유기 또는 리간드를 갖는 배위 화합물은 유기 EL 재료로서 이렇게 포함된다. 상기에 본 발명의 EL 재료로서 사용될 수 있는 유기 EL 재료 중 몇몇 예이며, EL 재료를 이들에 반드시 한정할 필요는 없다.

더욱이, EL 층을 형성하는 잉크분사방식을 사용할 경우 EL 재료로서 폴리머재료를 사용하는 것이 바람직하다. 폴리파라페닐렌 비닐렌(PPVs) 및 폴리플루오렌과 같은 폴리머재료가 통상의 폴리머재료로서 사용될 수 있다. 전자 채색을 위해 예를 들면 적색발광재료에 시아노-폴리페닐렌 비닐렌, 녹색발광재료에 폴리페닐렌 비닐렌 및 청색발광재료에 폴리페닐렌 비닐렌과 폴리알킬페닐렌을 사용하는 것이 바람직하다. 잉크 분사 방식에 사용될 수 있는 유기 EL 재료에 관해서는, 일본 특개평 제10-012377호에 기록된 모든 재료를 들 수 있다.

또한, 마그네슘(Mg), 리튬(Li), 세슘(Cs), 바륨(Ba), 칼륨(K), 베릴륨(Be) 또는 칼슘(Ca) 등의 낮은 일계수 재료를 포함하는 재료가 음극(48)로서 사용된다. 바람직하게는 MgAg로 만들어진 전극(Mg : Ag = 10 : 1의 혼합물에서 Mg와 Ag로 만들어진 재료)이 사용된다. 또한, MgAgAl 전극, LiAl 전극 및 LiFAl 전극이 다른 예로서 주어질 수 있다. 또한, 보호전극(49)은 외부에서 음극(48)로 수분으로부터 막을 보호하기 위해 형성된 전극이고, 알루미늄(Al) 또는 은(Ag)을 함유하는 재료가 사용된다. 또한, 보호전극(49)은 방열효과를 갖는다.

대기중에 노출시키지 않고 EL 층(47)과 음극(48)을 차례로 형성하는 것이 바람직하다는 점에 주의해야 한다. 즉, EL 층과 음극을 포함하는 다층 구조 형태이더라도, 다챔버(클러스터 툴로서도 인용됨)형 증착 장치 내에서 연속적으로 모두를 형성하는 것이 바람직하다. 이는 유기재료가 EL 층으로서 사용되는 경우에 습기에 대해 매우 약하기 때문에, EL 층이 대기중에 노출될 때 습기의 흡수를 피하기 위해서이다. 또한, EL 층(47)과 음극(48) 뿐만 아니라 보호 전극을 통과하는 통로를 연속적으로 모두 형성하는 것이 보다 바람직하다.

EL 층은 열에 대해 매우 약하므로, 박막 증착법으로서 진공 증발(특히, 유기 분자선 증발법이 분자열에 박막을 형성하는데 효과적임), 스퍼터링, 플라즈마 CVD, 스핀 코팅, 스크린 프린팅, 또는 이온 도금을 이용하는 것이 양호하다. 잉크-젯법에 의해 EL 층을 형성하는 것도 가능하다. 잉크-젯법에 대해서는 캐비테이션을 이용하는 버블 제트법(일본 특개평 5-116297호 참조)과 피에조 소자를 이용하는 피에조 방법(일본 특개평 8-290647호 참조)이 있으며, 유기 EL 재료가 열에 약하다는 사실에 대해서는 피에조 방법이 바람직하다.

참조번호 50은 제 3 패시베이션 막을 지시하고, 그 막 두께는 10nm 내지 1 μ m(양호하게는, 200 내지 500nm)로 설정될 수 있다. 제 3 패시베이션 막(50)을 형성하는 목적은 EL 층(47)을 습기로부터 보호하는 것이지만, 제 3 패시베이션 막(50)이 제 1 패시베이션 막(41)과 유사하게 열 방사 효과를 가지도록 구성될 경우에도 양호하다. 그러므로, 제 1 패시베이션 막(41)에 사용된 것과 동일한 재료가 제 3 패시베이션 막(50)의 형성 재료로서 사용될 수 있다. 유기 재료가 EL 층(47)으로서 사용될 때, EL 층은 산소를 사용하는 접착으로 인해 악화될 수 있으므로, 산소를 쉽게 방출하지 않는 절연막을 사용하는 것이 바람직하다.

또한, EL 층은 상술된 바와 같이 열에 대해 약하므로, 가능한 한 저온(양호하게는, 실온에서 120 $^{\circ}$ C까지의 범위)에서 막 증착을 수행하는 것이 바람직하다. 그러므로, 막 증착법에는 플라즈마 CVD, 스퍼터링, 진공 증발, 이온 도금, 및 용해제 적용(스핀 코팅)이 바람직하다.

EL 소자의 열화가 상술된 바와 같이 제 2 패시베이션 막(45)의 증착에 의해서만 충분히 억제될 수 있을지라도, 양호하게는 EL 소자는 제 2 패시베이션 막(45) 및 제 3 패시베이션 막(50)과 같은 EL 소자를 중첩시키도록 형성된 2층의 절연막으로 둘러싸이고, EL 층 내로의 습기 및 산소의 침투, EL 층으로부터의 알카리성 금속의 확산, 및 EL 층 내부의 열 저장은 방지된다. 결과적으로, EL 층의 열화는 추가로 억제되고, 높은 신뢰도를 갖는 EL 디스플레이 장치가 획득될 수 있다.

본 발명의 EL 디스플레이 장치는 도 1에 도시된 구조의 화소를 내포하는 화소부를 갖고, 그 기능에 응답하는 다른 구조의 TFT가 상기 화소 내에 배치된다. 충분히 낮은 오프(off) 전류값을 갖는 스위칭 TFT와 핫 캐리어 분사에 강한 전류 제어 TFT는 동일한 화소 내에 형성될 수 있어서, 높은 신뢰성을 가지며 양호한 이미지를 디스플레이할 수 있는(높은 작업성능) EL 디스플레이 장치가 형성될 수 있다.

도 1의 화소 구조에서 가장 중요한 것은 멀티-게이트 구조의 TFT가 스위칭 TFT로서 사용되는 것과 LDD 영역의 배치로서 상기 부품들에 대해 위치를 상기 구조에 제한할 필요가 없다는 점이다.

이제, 상기 구성을 갖는 본 발명의 보다 상세한 설명이 하기에 도시된 실시예에 의해 수행된다.

실시예1

본 발명의 실시예는 도 3a 내지 도 5c를 이용하여 설명된다. 화소부와 그 화소부의 주변에 형성되는 구동 회로부의 TFT가 하기에 설명된다. 설명의 간략화를 위해 CMOS 회로는 상기 구동 회로의 기본 회로로서 도시된다는 점에 주의해야 한다.

먼저, 도 3a에 도시된 바와 같이, 유리 기판(300)상에 베이스 막(301)이 300nm의 두께로 형성된다. 옥시질화 실리콘 막이 실시예1의 베이스 막(301)으로서 적층된다. 유리 기판(300)과 접촉하는 막에서 질소 농도를 10 내지 25 중량%로 설정하는 것이 양호하다.

또한, 베이스 막(301) 부분으로서 도 1에 도시된 제 1 패시베이션 막(41)과 동일한 재료로 이루어진 절연막을 형성하는 것이 양호하다. 큰 전류가 전류 제어 TFT 내에 흐르며, 열이 쉽게 발생되므로, 방열층을 전류 제어 TFT에 가능한 한 밀착시키는 것이 효과적이다.

다음으로, 비정질 실리콘 막(도면에는 도시되지 않음)은 알려진 증착법에 의해 베이스 막(301)상에 50nm의 두께로 형성된다. 이것이 비정질 실리콘 막에 제한되는 것은 아니며, 비정질 구조를 내포하는 반도체 막(미세결정질 반도체 막을 포함)이 제공되는 다른 막이 형성될 수 있다는 점에 주의해야 한다. 또한, 비정질 실리콘 게르마늄 막과 같은 비정질 구조를 내포하는 합성 반도체 막도 사용될 수 있다. 또한, 막 두께는 20 내지 100nm로 이루어질 수 있다.

그후, 비정질 실리콘 막은 결정질 실리콘 막(다결정질 실리콘 막 또는 폴리실리콘 막으로서도 인용됨: 302)을 형성하는 알려진 방법에 의해 결정화된다. 전기로(electric furnace)를 이용하는 열 결정화, 레이저를 이용하는 레이저 어닐링 결정화, 및 적외선 램프를 이용하는 램프 어닐링 결정화가 알려진 결정화 방법이다. 결정화는 염화크세논(XeCl) 가스를 사용하는 엑시머 레이저로부터의 광을 이용하여 실시예1에서 수행된다.

선형으로 형성되는 펄스 방사형 엑시머 레이저 광이 실시예1에서 사용되지만, 직사각 형상이 사용될 수도 있고, 연속 방사 아르곤 레이저 광 및 연속 방사 엑시머 레이저 광이 사용될 수도 있다는 점에 주의해야 한다.

결정질 실리콘 막은 실시예1에서 TFT의 활성층으로서 사용되지만, 그 활성층으로서 비정질 실리콘 막을 사용하는 것도 가능하다. 그러나, 전류 제어 TFT를 통해 흐르는 큰 전류가 필요하므로, 전류가 용이하게 흐르는 결정질 실리콘 막을 사용하는 것이 보다 효과적이다.

비정질 실리콘 막에 의해 오프 전류를 감소시킬 필요가 있는 TFT의 활성층을 형성하는 것과, 결정질 실리콘 막에 의해 전류 제어 TFT의 활성층을 형성하는 것이 효과적이라는 점에 주의해야 한다. 캐리어 이동성이 낮기 때문에, 비정질 실리콘 막에서는 전류의 유동이 어렵고, 오프 전류는 용이하게 흐르지 않는다. 즉, 전류가 용이하게 흐를 수 없는 비정질 실리콘 막과 전류가 용이하게 흐르는 결정질 실리콘 막 모두가 유리하게 이루어질 수 있다.

다음으로, 도 3b에 도시된 바와 같이, 보호막(303)은 130nm의 두께를 갖는 산화 실리콘 막으로부터 결정질 실리콘 막(302)상에 형성된다. 이러한 두께는 100 내지 200nm 범위(양호하게는 130 내지 170nm 범위)에서 선택될 수 있다. 또한, 실리콘을 내포하는 절연막을 제공하는데 다른 막이 사용될 수도 있다. 보호막(303)은 결정질 실리콘 막이 불순물의 추가 중에 플라즈마에 직접적으로 노출되지 않도록 그리고 불순물의 극미한 농도 제어가 가능하도록 형성된다.

그후, 보호막(303)상에는 레지스트 마스크(304a, 304b)가 형성되고, n형 도전율을 첨가하는 불순물 원소(이하, n형 불순물 원소로서 인용됨)가 가해진다. 주기표 그룹15에 속하는 원소가 일반적으로 n형 불순물 원소로서 사용되고, 통상적으로

인 또는 비소가 사용될 수 있다는 점에 주의해야 한다. 포스핀(PH_3)이 질량의 분리 없이 활성화되는 플라즈마이고 실시예 1에서 인이 1×10^{18} 원자/ cm^3 의 농도로 추가되는 플라즈마 도핑법이 사용된다. 물론 질량의 분리가 수행되는 이온 주입법이 사용될 수도 있다.

따라서, 상기 공정에 의해 2×10^{16} 내지 5×10^{19} 원자/ cm^3 의 농도(통상적으로, 5×10^{17} 내지 5×10^{18} 의 범위)로 형성된 일회 분량은 n형 불순물 원소가 n형 불순물 영역(305, 306)에 포함되도록 조절된다.

다음으로, 도 3c에 도시된 바와 같이, 보호막(303)이 제거되고, 추가되는 주기표 그룹 15 원소의 활성화가 수행된다. 알려진 활성화 기술은 활성화 수단으로서 사용될 수 있고, 활성화는 엑시머 레이저 광의 조사에 의해 실시예 1에서 행해진다. 펄스 방사형 레이저와 연속 방사형 레이저가 사용될 수 있으며, 엑시머 레이저 광의 사용으로 제한하는 것은 불필요하다. 상기 목적은 추가되는 불순물 원소의 활성화이고, 결정질 실리콘 막이 용해되지 않는 수준의 에너지에서 조사가 수행되는 것이 바람직하다. 레이저 조사는 적소에 보호막(303)으로 수행될 수도 있다는 점에 주의해야 한다.

열처리에 의한 활성화는 레이저 광에 의한 불순물 원소의 활성화에 따라 실행될 수도 있다. 활성화가 기관의 열저항을 고려하여 열처리에 의해 실행될 때, 450 내지 550°C 정도로 열처리를 실행하는 것이 양호하다.

n형 불순물 영역(305, 306)의 에지를 따르는 영역과의 경계부(연결부) 즉, n형 불순물 영역(305, 306)에 존재하는 n형 불순물 원소가 추가되지 않는 주변을 따르는 영역은 이러한 공정에 의해 형성된다. 이는 TFT가 나중에 완성될 때의 지점에서 매우 양호한 농도가 LDD 영역과 채널 형성 영역 사이에 형성될 수 있다는 것을 의미한다.

도 3d에 도시된 바와 같이, 결정질 실리콘 막의 불필요한 부분이 제거된 후, 섬형 반도체 막(하기에는 활성층으로서 인용됨: 307 내지 310)이 형성된다.

그후, 도 3e에 도시된 바와 같이, 활성 층(307 내지 310)을 덮는 게이트 절연막(311)이 형성된다. 실리콘을 포함하며 10 내지 200nm의 두께 양호하게는, 50 내지 150nm의 두께를 갖는 절연막이 게이트 절연막(311)으로서 사용될 수 있다. 단층 구조 또는 적층 구조가 사용될 수 있다. 110nm 두께의 옥시질화 실리콘 막이 실시예 1에서 사용된다.

200 내지 400nm 두께의 도전막이 형성되고 게이트 전극(312 내지 316)을 형성하는 형태로 된다. 실시예 1에서, 게이트 전극과 그 게이트 전극에 연결되는 리드선(하기에는 게이트 배선으로서 인용됨)은 다른 재료로 형성된다는 점에 주의해야 한다. 특히, 게이트 전극보다 낮은 저항을 갖는 재료가 게이트 배선에 사용된다. 이는 미세 가공될 수 있는 재료가 게이트 전극으로서 사용되기 때문이고, 게이트 배선이 미세 가공될 수 없는 경우조차, 그 배선에 사용되는 재료는 낮은 저항을 갖는다. 물론, 게이트 전극과 게이트 배선은 동일한 재료로 형성될 수도 있다.

또한, 게이트 배선은 단층 도전 막으로 형성될 수 있으며, 필요에 따라, 2층 또는 3층의 적층 막을 사용하는 것이 바람직하다. 모든 알려진 도전 막은 게이트 전극 재료로서 사용될 수 있다. 그러나, 상술된 바와 같이, 미세 가공될 수 있는 재료 특히, 2 μm 미만의 라인 폭으로 형성될 수 있는 재료가 바람직하다.

통상적으로, 탄탈륨(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 및 크롬(Cr)으로 이루어진 그룹으로부터 선택되는 재료의 막, 또는 상기 원소의 질산염 화합물(통상적으로, 질화 탄탈륨 막, 질화 텅스텐 막, 또는 질화 티타늄 막), 또는 상기 원소의 혼합물의 합금 막(통상적으로, Mo-W 합금 또는 Mo-Ta 합금), 또는 상기 원소의 규화물 막(통상적으로 규화 텅스텐 막 또는 규화 티타늄 막), 또는 도전성을 갖는 실리콘 막이 사용될 수 있다. 물론, 단층 막 또는 적층 막이 사용될 수 있다.

50nm 두께의 질화 탄탈륨(TaN) 막과 350nm 두께의 Ta 막으로 이루어진 적층 막이 실시예 1에 사용된다. 이러한 막을 스퍼터링에 의해 형성하는 것이 양호하다. 또한, 크세논(Xe) 또는 네온(Ne)과 같은 활성 가스가 스퍼터링 가스로서 추가될 경우, 막이 응력으로 인해 벗겨지는 것이 방지될 수 있다.

게이트 전극(313, 316)은 각각 게이트 절연막(311)을 사이에 끼우는 n형 불순물 영역(305, 306)을 중첩하도록 동시에 형성된다. 이러한 중첩부는 후에 게이트 전극을 중첩하는 LDD 영역으로 된다.

다음으로, n형 불순물 원소(실시예1에서는 인이 사용됨)는 도 4a에 도시된 바와 같이 마스크로서 게이트 전극(312, 316)에 자체정렬 방식으로 추가된다. 상기 추가는 불순물 영역(317 내지 323)에 추가되는 인이 불순물 영역(305, 306)의 농도의 1/10 내지 1/2의 농도(통상적으로 1/4 내지 1/3의 농도)에서 형성되도록 조정된다. 특히, 1×10^{16} 내지 5×10^{18} 원자/cm³(통상적으로 3×10^{17} 내지 3×10^{18} 원자/cm³)의 농도가 바람직하다.

레지스트 마스크(324a 내지 324d)는 도 4b에 도시된 바와 같이 게이트 전극을 덮도록 형성되고, n형 불순물 원소(실시예1에서는 인이 사용됨)가 추가되어 고농도의 인을 내포하는 불순물 영역(325 내지 331)을 형성한다. 포스핀(PH₃)을 사용하는 이온 도핑이 또한 여기에서 수행되고, 이러한 영역의 인의 농도가 1×10^{20} 내지 1×10^{21} 원자/cm³(통상적으로 2×10^{20} 내지 5×10^{20} 원자/cm³)가 되도록 조정된다.

n채널 TFT의 소스 영역 또는 드레인 영역은 이러한 공정에 의해 형성되고, 스위칭 TFT에서, 도 4a의 공정에 의해 형성되는 n형 불순물 영역(320 내지 322)의 일부가 남겨진다. 이러한 잔여 영역은 도 1의 스위칭 TFT의 LDD 영역(15a 내지 15d)에 대응한다.

다음으로, 도 4c에 도시된 바와 같이, 상기 레지스트 마스크(324a 내지 324d)는 제거되고, 새로운 레지스트 마스크(332)가 형성된다. 그후, p형 불순물 원소(실시예1에서는 붕소가 사용됨)가 추가되고, 고농도의 붕소를 내포하는 불순물 영역(333, 334)을 형성한다. 붕소는 다이보레인(B₂H₆)을 사용하는 이온 도핑에 의해 3×10^{20} 내지 3×10^{21} 원자/cm³(통상적으로 5×10^{20} 내지 1×10^{21} 원자/cm³)의 농도로 여기에 추가된다.

인이 1×10^{16} 내지 5×10^{18} 원자/cm³의 농도로 불순물 영역(333, 334)에 이미 추가되었지만, 붕소가 상기 인의 적어도 3배의 농도로 여기에 추가된다. 그러므로, n형 불순물 영역은 이미 p형으로 완전하게 전화되어 p형 불순물 영역으로서 기능한다.

다음으로, 레지스트 마스크(332)를 제거한 후에, 다양한 농도로 추가되는 n형 및 p형 불순물 원소가 활성화된다. 노 어닐링, 레이저 어닐링, 또는 램프 어닐링은 활성화 수단으로서 실행될 수 있다. 실시예1에 있어서, 열처리하는 전기로에서 550℃에서 4시간동안 질소 환경에서 실행된다.

가능한 한 동시에 상기 환경에서 산소 만큼을 제거하는 것이 중요하다. 이는 임의의 산소가 존재하게 되면 전극의 노출된 표면이 산화되고, 저항을 증가시키고, 동시에 저항 접촉이 이루어지는 것이 보다 어려워지기 때문이다. 그러므로, 상기 활성화 공정에서의 환경에서의 산소의 농도는 1 ppm 이하, 양호하게는 0.1 ppm 이하인 것이 바람직하다.

활성화 공정이 완료된 후에, 300nm 두께의 게이트 배선(335)이 형성된다. 주성분(상기 혼합물의 50 내지 100%를 포함)으로서 알루미늄(Al) 또는 구리(Cu)를 갖는 금속성 막은 게이트 배선(335)의 재료로서 사용될 수 있다. 도 2의 게이트 배선(211)을 사용할 때, 게이트 배선(335)은 스위칭 TFT의 게이트 전극(314, 315: 도 2의 게이트 전극(19a, 19b)에 대응)이 전기적으로 접속되도록 하는 배치로 형성된다.(도 4d 참조)

게이트 배선의 배선 저항은 이러한 전극 형태를 사용함으로써 매우 작아질 수 있으므로, 큰 표면적을 갖는 화소 디스플레이 영역(화소부)이 형성될 수 있다. 즉, 실시예1의 화소 구조는 25.4cm(10in)의 대각선 크기 또는 보다 큰 크기(또한, 76.2cm(30in)의 대각선)의 스크린을 갖는 EL 디스플레이 장치가 실현되기 때문에 매우 효과적이다.

제 1 층간 절연막(336)은 도 5a에 도시된 바와 같이 다음에 형성된다. 실리콘을 내포하는 단층 절연막은 제 1 층간 절연막(336)으로서 사용되지만, 적층막이 그 사이에 포함될 수 있다. 또한, 400nm 내지 1.5μm의 막 두께가 사용될 수 있다. 200nm 두께의 옥시질화 실리콘 막상의 800nm 두께의 산화 실리콘 막이 실시예1에서 사용된다.

또한, 열처리하는 수소화를 수행하는 3 내지 100% 수소를 내포하는 환경의 300 내지 450℃에서 한시간 내지 12시간동안 실행된다. 이 공정은 열적으로 활성화된 수소에 의해 반도체 막에 결합되어 있지 않은 화학결합 손(dangling bond)의 수소 종결의 하나이다. 플라즈마 수소화(플라즈마에 의해 활성화되는 수소를 사용)는 또한 다른 수소화 수단으로서 수행될 수도 있다.

수소화 단계는 제 1 내부 절연막(336)의 형성중에 삽입될 수도 있다는 점에 주의해야 한다. 즉, 수소 처리는 200nm 두께의 옥시질화 실리콘 막을 형성한 후에 상기와 같이 수행되고, 그후, 잔존하는 800nm 두께의 산화 실리콘 막이 형성될 수 있다.

접촉 구멍은 상기 제 1 층간 절연막(336), 소스 배선(337 내지 340), 및 드레인 배선(341 내지 343)이 형성된 후에 형성된다. 실시예1에 있어서, 스퍼터링에 의해 연속으로 형성되는 100nm 티타늄 막, 티타늄을 내포하는 300nm 알루미늄 막, 150nm 티타늄 막의 3층 구조를 갖는 적층 막은 상기 배선으로서 사용된다. 물론, 다른 도전막이 사용될 수도 있고, 은, 팔라듐, 및 구리를 포함하는 합금 막이 사용될 수도 있다.

다음에, 제 1 패시베이션 막(344)은 50 내지 500nm(통상적으로 200 내지 300nm)의 두께로 형성된다. 300nm 두께의 옥시질화 실리콘 막은 실시예1에서 제 1 패시베이션 막(344)으로서 사용된다. 이는, 질화 실리콘 막으로 대체될 수도 있다. 물론, 도 1의 제 1 패시베이션 막(41)과 동일한 재료를 사용하는 것도 가능하다.

옥시질화 실리콘 막을 형성하기 전에 H_2 또는 NH_3 와 같은 수소를 내포하는 가스를 사용하는 플라즈마 처리를 수행하는 것이 효과적이라는 점에 주의해야 한다. 이러한 전처리에 의해 활성화되는 수소는 제 1 층간 절연막(336)에 공급되고 제 1 패시베이션 막(344)의 막 품질은 열처리를 수행함으로써 향상된다. 동시에, 제 1 층간 절연막(336)에 추가되는 수소는 하부층으로 확산되고, 액티브 층은 효과적으로 수소화될 수 있다.

다음으로, 도 5b에 도시된 바와 같이, 색조 필터(345)와 형광체(346)가 형성된다. 이들에 대해 알려진 재료가 사용될 수 있다. 또한, 그들은 개별적으로 패턴 가공됨으로써 형성될 수 있고, 연속으로 형성된 후에 함께 패턴화될 수 있다. 스크린 프린팅, 잉크 제팅, 또는 마스크 증발(마스크 재료를 사용하는 선택적인 형성 방법)과 같은 방법이 형성 방법으로서 사용될 수 있다.

각각의 막 두께는 0.5 내지 $5\mu m$ 의 범위(통상적으로 1 내지 $2\mu m$)에서 선택될 수 있다. 특히, 형광체(346)의 최적 막 두께는 사용되는 재료에 따라 변한다. 즉, 두께가 너무 얇으면 색조 변환 효율이 빈약해지고, 두께가 너무 두꺼우면 상기 단계가 커지고 전송되는 광의 양이 감소한다. 그러므로, 최적 막 두께는 상기 두 특성의 균형을 취하여 선택된다.

EL 층으로부터 방사되는 광의 색조가 변화되는 색조 변화 방법의 일예인 실시예1에 있어서, R, G 및 B에 대응하는 각각의 EL 층을 제조하는 방법이 사용되는 경우, 색조 필터 및 형광체가 방사될 수 있다.

다음에 제 2 층간 절연막(347)은 수지로부터 형성된다. 폴리이미드, 아크릴, 및 BCB(벤조시클로부텐)과 같은 재료는 수지로서 사용될 수 있다. 특히, 막을 평탄하게 하는 것은 제 2 층간 절연막(347)을 강화하므로, 보다 양호한 평탄화 특성을 갖는 아크릴이 바람직하다. 실시예1에서 아크릴 막은 색조 필터(345)와 형광체(346) 사이에 계단부를 충분히 평탄하게 할 수 있는 막 두께로 형성된다. 이 두께는 양호하게는 1 내지 $5\mu m$ (보다 양호하게는 2 내지 $4\mu m$)이다.

그후, 제 2 패시베이션 막(348)은 100nm의 두께로 제 2 층간 절연막(347)상에 형성된다. Si, Al, N, O 및 La를 포함하는 절연막이 본 실시예에서 사용된다. 드레인 배선(343)에 이르는 접촉 구멍은 제 2 패시베이션 막(348), 제 2 층간 절연막(347) 및 제 1 패시베이션 막(344) 내에 형성되고, 화소 전극(349)이 형성된다. 산화 인듐 및 산화 주석 화합물은 실시예1에서 110nm 두께로 형성되고, 화소 전극을 형성하는 패턴화가 수행된다. 화소 전극(349)은 EL 소자의 양극이 된다. 다른 재료 즉, 산화 인듐 및 산화 아연의 화합물 막 또는 산화 갈륨을 내포하는 산화 아연 막을 사용하는 것도 가능하다는 점에 주의해야 한다.

실시예1은 화소 전극(349)이 드레인 배선(343)을 통해 전류 제어 TFT의 드레인 영역(331)에 전기적으로 연결된다. 이 구조는 하기의 장점을 갖는다.

화소 전극(349)은 EL 층(방사층) 또는 충전제 운반층과 같은 유기 재료에 직접적으로 연결되므로, EL 층에 내포되는 가동 이온을 화소 전극을 통해 확산시키는 것이 가능하다. 즉, 실시예1의 구조체에서는 액티브층의 일부인 드레인 영역(331)에 직접적으로 화소 전극(348)을 연결함이 없이, 차단된 드레인 배선(343)으로 인한 액티브층 내로의 가동 이온의 도입이 방지될 수 있다.

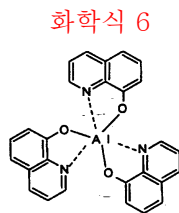
다음으로, 도 5c에 도시된 바와 같이, EL 층(350), 음극(MgAg 전극: 351), 및 보호 전극(352)은 대기에 노출됨이 없이 차례로 형성된다. 이 시점에서 EL 층(350)과 음극(351)을 형성하기 전에 모든 습기를 완전히 제거하는 화소 전극(349)의 열처리를 수행하는 것이 바람직하다. 알려진 재료가 EL 층(350)으로서 사용될 수 있다.

본 명세서의 "실시예"에서 설명되는 재료는 EL 층(350)으로서 사용될 수 있다. 실시예1에서 도 19에 도시된 바와 같이, 구멍 주입층, 구멍 이송층, 방사층, 및 전자 이송층이 사용되는 4층 구조를 갖는 EL 층이 사용되지만, 전자 이송층이 형성되지 않고 전자 주입층이 형성되는 경우도 있다. 또한, 구멍 주입층이 생략되는 경우도 있다. 이러한 형태의 조합의 몇가지 예는 이미 설명되었고, 임의의 구성이 사용될 수 있다.

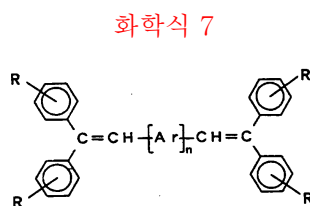
TPD(트리페닐아민 유전체)와 같은 아민은 구멍 주입층 또는 구멍 이송층으로서 사용될 수 있고, 또한, 히드라존(통상적으로 DEH), 스틸벤(통상적으로 STB), 또는 스타버스트(통상적으로 m-MTDATA)가 사용될 수도 있다. 특히, 높은 유리 전이 온도를 가지며 결정화가 어려운 스타버스트 재료가 바람직하다. 또한, 폴리아닐린(PAni), 폴리티오펜(PEDOT), 및 코퍼피탈로시아민(CuPc)이 사용될 수도 있다.

BPPC, 페린, 및 DCM은 방사층 내의 적색 방사층으로서 사용될 수 있고, 특히 Eu(DBM)₃(Phen)(1996년 키도 제이. 등에 의한 응용물리학 제35쪽 394행 내지 396행 참조)에 의해 도시되는 Eu 복합체는 단색이고 620nm의 파장에서 예리한 방사를 처리한다.

또한, 통상적으로 퀴나크리돈 또는 코마린이 수mol% 수준으로 추가되는 Alq₃(8-히드록시퀴노린 알루미늄) 재료가 녹색 방사층으로서 사용될 수 있다. 그 화학식은 아래에 도시된 바와 같다.



또한, 통상적으로 아미노 구성 DSA가 DSA(디스타일-아릴린 유전체)에 추가되는 디스타일-아릴린 아미노 유전체는 청색 방사층으로서 사용될 수 있다. 특히, 고성능 재료인 디스티닐-바이페닐(DPVBi)를 사용하는 것이 바람직하다. 그 화학식은 아래에 도시된 바와 같다.



보호 전극(352)을 사용하여 습기 및 산소로부터 EL 층(350)을 보호할 수 있고, 특히 제 3 패시베이션 막(353)이 형성될 수 있다. 본 실시예에 있어서, 300nm 두께의 옥시질화 실리콘 막은 제 3 패시베이션 막(353)으로서 증착된다. 대기에 노출됨이 없이 보호 전극(352) 이후에 제 3 패시베이션 막을 계속해서 형성할 수 있다. 물론, 도 1의 제 3 패시베이션 막(50)과 동일한 재료는 제 3 패시베이션 막(353)으로서 사용될 수도 있다.

구멍 주입층, 구멍 이송층, 방사층, 및 전자 주입층으로 이루어진 4층 구조가 실시예1에서 사용되지만, 이미 보고된 다수의 조합의 예가 있고 이들중 임의의 구성이 사용될 수도 있다. 또한, MgAg 전극은 실시예1에서 EL 소자의 음극으로서 사용되지만 다른 알려진 재료가 사용될 수도 있다.

보호 전극(352)은 MgAg 전극(351)의 악화를 방지하기 위해 형성되고, 주성분으로서 알루미늄을 갖는 금속막이 통상적이다. 물론, 다른 재료가 사용될 수도 있다. 또한, EL 층(350)과 MgAg 전극(351)은 습기에 대해 매우 약하므로, 외부 공기로부터 EL 층을 보호하도록 대기에 노출됨이 없이 보호 전극(352)을 통해 지속적인 형성을 수행하는 것이 바람직하다.

EL 층(350)의 막 두께는 10 내지 400nm(통상적으로 60 내지 160nm)이며, MgAg 전극(351)은 180 내지 300nm(통상적으로 200 내지 250nm)라는 점에 주의해야 한다.

도 5c에 도시된 구조를 갖는 액티브 매트릭스형 EL 디스플레이 장치가 완성된다. 화소부와 구동 회로부에 최적 구조를 갖는 TFT를 배열함으로써, 실시예1의 액티브 매트릭스형 EL 디스플레이 장치가 매우 높은 신뢰도를 나타내고, 작동 특성이 향상될 수 있다.

먼저, 작동 속도를 감소시키지 않고 가능한 많은 고온 캐리어 주입을 감소시키는 구조를 갖는 TFT는 구동 회로를 형성하는 CMOS 회로의 n채널 TFT(205)로서 사용된다. 여기에 인용되는 구동 회로는 쉬프트 레지스터, 버퍼, 레벨 쉬프터, 및 샘플링 회로(트랜스퍼 게이트로서도 인용됨)와 같은 회로를 포함한다는 점에 주의해야 한다. 디지털 구동이 수행될 때, D/A 컨버터 회로와 같은 신호 전환 회로가 포함될 수도 있다.

실시예1의 경우에 있어서, n채널 TFT(205)의 액티브층은 도 5c에 도시된 바와 같이 소스 영역(355), 드레인 영역(356), LDD 영역(357), 및 채널 형성 영역(358)을 포함하고, LDD 영역(357)은 게이트 절연막(311)을 사이에 두고 게이트 전극(313)과 겹쳐진다.

드레인층상에 LDD 영역의 형성은 작동 속도를 떨어뜨리지 않는 것으로 고려해야 한다. 또한, n채널 TFT(205)의 오프 전류값에 관련될 필요가 없고, 작동 속도가 더 중요하다. 그러므로, LDD 영역(357)은 가능한 많은 저항 성분을 감소시키도록 게이트 전극(313)을 완전히 덮는 것이 바람직하다. 즉, 모든 오프셋을 제거하는 것이 양호하다.

고온 캐리어 주입으로 인한 CMOS 회로의 p채널 TFT(206)의 악화는 거의 무관하고, 특히, LDD 영역이 형성되지 않는다. 물론, n채널 TFT(205)와 유사한 LDD 영역을 형성함으로써 고온 캐리어에 대한 동작을 취하는 것도 가능하다.

구동 회로 사이의 샘플링 회로는 다른 회로에 비해 양호하고, 채널 형성 구역의 양방향으로 큰 전류가 흐른다. 즉, 소스 영역과 드레인 영역의 역할이 바뀐다. 또한, 가능한 많은 오프 전류의 값을 억제하는 것이 필요하고, 스위칭 TFT와 전류 제어 TFT 사이의 중간 수준의 기능을 갖는 TFT를 배열하는 것이 바람직하다.

그러므로, 샘플링 회로를 형성하는 n형 TFT로서 도 9에 도시된 구조로 TFT를 배열하는 것이 바람직하다. 도 9에 도시된 바와 같이, LDD 영역(901a, 901b)의 일부는 게이트 절연막(902)을 사이에 두고 게이트 전극(903)과 겹쳐진다. 이러한 효과는 전류 제어 TFT(202)의 설명에서 설명된 바와 같고, 샘플링 회로의 경우는 채널 형성 영역(904)을 사이에 끼우는 형상으로 LDD 영역(901a, 901b)을 형성하는 지점에서와는 다르다.

또한, 도 1에 도시된 구조를 갖는 화소가 화소부를 형성하도록 형성된다. 화소 내에 형성되는 스위칭 TFT와 전류 제어 TFT의 구조는 도 1에서 이미 설명되었으므로, 여기에서 설명은 생략된다.

실질적으로, 기밀 보호막(박막 또는 자외선 경화된 수지막과 같은) 또는 세라믹 밀봉 캔과 같은 하우징 재료를 사용함으로써 도 5c를 통해 완성한 후에 패키징(밀봉)을 추가로 수행하여 대기에 노출되지 않도록 하는 것이 바람직하다. 하우징 재료의 내부를 활성 환경으로 만들고 하우징 재료의 내부에 흡수재(예를 들어, 산화 바륨)를 위치시킴으로써, EL 층의 신뢰성(수명)이 증가된다.

또한, 패키징 처리에 의해 기밀성이 증가된 후에, 기관상에 형성되는 소자 또는 회로로부터의 출력 터미널과 외부 신호 터미널 사이를 연결하는 커넥터(가요성 인쇄 회로, FPC)가 제품 제조를 완료하도록 부착된다. 선적될 수 있는 상태의 EL 디스플레이 장치는 본 명세서에서는 EL 모듈로서 인용된다.

실시예1의 액티브 매트릭스형 EL 디스플레이 장치의 구성은 도 6의 도면을 참조로 설명된다. 실시예1의 액티브 매트릭스형 EL 디스플레이 장치는 유리 기판(601)상에 형성되고, 화소부(602), 게이트측 구동 회로(603), 및 소스측 구동 회로(604)로 이루어진다. 화소부의 스위칭 TFT(605)는 n채널 TFT이고, 게이트측 구동 회로(603)에 접속되는 게이트 배선(606)과 소스측 구동 회로(604)의 소스 배선(607)의 교점에 위치된다. 또한, 스위칭 TFT(605)의 드레인은 전류 제어 TFT(608)의 게이트에 전기적으로 접속된다.

또한, 전류 제어 TFT(608)의 소스는 전류 공급 라인(609)에 접속되고, EL 소자(610)는 전류 제어 TFT(608)의 드레인에 전기적으로 접속된다. 전류 제어 TFT는 n채널 TFT이면, EL 소자(610)의 음극을 상기 시점에서 전류 제어 TFT(608)의 드레인에 접속하는 것이 바람직하다. 또한, 전류 제어 TFT(608)가 p채널이면, EL 소자(610)의 양극을 전류 제어 TFT(608)의 드레인에 접속하는 것이 바람직하다.

입력 배선(접속 배선; 612, 613)과, 전류 공급 라인(609)에 접속되는 입력 배선(614)은 구동 회로에 신호를 전송하기 위해 터미널 입력 터미널 FPC(611) 내에 형성된다.

도 7에 도시된 것은 도 6에 도시된 EL 디스플레이 장치의 회로 구성의 일예이다. 실시예1의 EL 디스플레이 장치는 소스측 구동 회로(701), 게이트측 구동 회로(A)(707), 게이트측 구동 회로(B)(711), 및 화소부(706)를 갖는다. 본 명세서에서 구동 회로는 소스측 구동 회로와 게이트측 구동 회로를 포함하는 일반적인 용어라는 점에 주의해야 한다.

소스측 구동 회로(701)에는 쉬프트 레지스터(702), 레벨 쉬프터(703), 버퍼(704), 및 샘플링 회로(트랜스퍼 게이트; 705)가 제공된다. 또한, 게이트측 구동 회로(A)(707)에는 쉬프트 레지스터(708), 레벨 쉬프터(709) 및 버퍼(710)가 제공된다. 게이트측 구동 회로(B)(711)는 동일한 구성을 갖는다.

쉬프트 레지스터(702, 708)에 대한 구동 전압은 5 내지 16V(통상적으로 10V)이고, 도 5c에서 참조번호 205로 도시된 구조체는 회로를 형성하는 CMOS 회로에 사용되는 n채널 TFT에 적합하다.

또한, 구동 전압은 레벨 쉬프터(703, 709)와 버퍼(704, 710)에 대해 14 내지 16V로 높아지고, 쉬프터와 유사하게 도 5c의 n채널 TFT(205)를 내포하는 CMOS 회로가 적합하다. 게이트 배선에 대해 2중 게이트 구조 또는 3중 게이트 구조와 같은 멀티 게이트 구조를 사용하는 것이 각 회로의 신뢰성을 증가시키는데 효과적이다.

샘플링 회로(705)에 대한 구동 전압은 14 내지 16V이지만, 소스 영역 및 드레인 영역이 전환되기 때문에 오프 전류의 값을 감소시킬 필요가 있으므로, 도 9의 n채널 TFT를 내포하는 CMOS 회로가 적합하다.

또한, 화소부(706)의 구동 전압은 14 내지 16V 사이이고, 도 1에 도시된 구조를 갖는 화소가 배열된다.

상술된 구조는 도 3a 내지 도 5c에 도시된 제조 공정에 따라 TFT를 제조함으로써 용이하게 실현될 수 있다는 점에 주의해야 한다. 또한, 실시예1에는 화소부와 구동 회로의 구성만이 도시되지만, 실시예1의 제조 공정에 따라 동일한 기판상에 구동 회로에 더불어 신호 구동 회로, D/A 컨버터 회로, op-amp 회로, 및 γ 보상 회로와 같은 다른 논리 회로를 형성하는 것도 가능하다. 또한, 메모리부나 마이크로프로세서와 같은 회로가 형성될 수도 있다는 것이 고려된다.

하우징 재료를 내포하는 실시예1의 EL 모듈은 도 17a 및 도 17b를 사용하여 설명된다. 필요에 따라 도 6 및 도 7에서 사용된 참조번호가 인용된다는 점에 주의해야 한다.

화소부(1701), 소스측 구동 회로(1702), 및 게이트측 구동 회로(1703)는 기판(TFT 아래의 베이스 막을 포함; 1700)상에 형성된다. 각각의 구동 회로로부터의 다양한 배선은 입력 배선(612, 614)을 통해 FPC(611)에 의해 외부 장치에 접속된다.

하우징 재료(1704)는 상기 지점에서 적어도 화소부를 양호하게는 구동 회로와 화소부를 둘러싸도록 형성된다. 하우징 재료(1704)는 내부 크기가 EL 소자의 외부 크기보다 큰 불규칙적인 형상을 가지거나, 시트 형상을 가지며, 기판(1700)과 밀착하는 기밀 공간을 형성하기 위해 접착제(1705)에 의해 기판(1700)에 고정된다. 이 지점에서, EL 소자는 상기 기밀 공간에 완전하게 밀봉된 상태로 되고, 외부 대기로부터 완전하게 차단된다. 다수의 하우징 재료(1704)가 형성될 수 있다는 점에 주의해야 한다.

유리 또는 폴리머와 같은 절연물질을 하우징 재료(1704)로서 사용하는 것이 바람직하다. 비정질 유리(붕규산 유리 또는 석영 등), 결정화된 유리, 세라믹 유리, 유기 수지(아크릴 수지, 스티렌 수지, 폴리카보네이트 수지, 및 에폭시 수지), 및 실리콘 수지가 예로서 주어질 수 있다. 또한, 세라믹이 사용될 수도 있다. 또한, 접착제(1705)가 절연체로서 제공된 경우, 스테인레스 합금과 같은 금속 재료를 사용하는 것도 가능하다.

접착제(1705)의 재료로서 에폭시 수지 또는 아크릴 수지 등의 접착제를 사용할 수 있다. 또한, 열적으로 경화된 수지 또는 광 경화된 수지가 접착체로서 사용될 수도 있다. 가능한 한 산소 및 습기가 전달되지 않는 재료를 사용할 필요가 있다.

또한, 하우징 재료와 기관(1700) 사이의 개구(1706)에 불활성 가스(아르곤, 헬륨 또는 질소)를 충전시키는 것이 바람직하다. 가스에 제한되는 것은 아니며 불활성 액체(액체 플루오르 첨가 탄소, 통상적으로 퍼플루오르알칸 등)를 사용할 수도 있다. 일본 특개평 8-78519호에서 사용되는 것과 같은 재료는 불활성 액체에 관해 인용된다. 공간은 또한 수지로 채워질 수 있다.

개구(1706)에는 건조제를 형성하는 것이 효과적이다. 일본 특개평 9-148066에 기재된 물질들이 건조제로서 이용될 수 있다. 일반적으로, 산화바륨이 이용될 수 있다. 또한, 건조제가 아닌 산화 방지제를 형성하는 것 또한 효과적이다.

EL 소자를 갖는 복수의 절연된 화소는 도 17b에 도시된 바와 같이 화소부 내에 형성되고, 모든 화소는 공통 전극으로서 보호 전극(1707)을 갖는다. 실시예1에서, EL 층, 음극(MgAg 전극), 및 보호 전극을 대기에 노출시키지 않고 연속으로 형성하는 것이 바람직하다. EL 층과 음극은 동일한 마스크 재료를 사용하여 형성되고, 보호 전극이 개별적인 마스크 재료에 의해 형성된 경우에는 도 17b의 구조가 실현될 수 있다.

EL 층과 음극은 상기 지점에서 화소부 내부에만 형성될 수 있고, 그들을 구동 회로상에 형성하는 것은 불필요하다. 물론, 구동 회로상에 EL 층과 음극을 형성해도 상관 없지만, 알칸 금속이 EL 층에 내포된다는 것을 고려하여 구동회로에는 그들을 형성하지 않는 것이 바람직하다.

입력 배선(1709)은 참조 번호 1708로 도시된 영역 내의 보호 전극(1707)에 접속된다. 입력 배선(1709)은 미리 설정된 전압을 보호 전극(1707)에 제공하기 위한 배선이고, 도전성 페이스트 재료(통상적으로 이방성 도전막; 1710)를 통해 FPC(611)에 접속된다.

상기 영역(1708) 내에 접촉 구조를 형성하기 위한 제조 공정은 도 18a 내지 도 18c를 참조로 하여 설명된다.

먼저, 도 5a의 상태는 실시예1의 공정에 따라 획득된다. 이 지점에서 제 1 층간 절연막(336)과 게이트 절연막(311)은 기관의 예지(도 17b에서 참조 번호 1708로 도시된 영역)로부터 제거되고, 입력 배선(1709)은 그 영역상에 형성된다. 도 5a의 소스 배선 및 드레인 배선은 동시에 형성된다.(도 18a 참조)

다음으로, 도 5b에서 제 2 패시베이션 막(348), 제 2 층간 절연막(347) 및 제 1 패시베이션 막(344)을 에칭할 때, 참조번호 1801로 도시된 영역은 제거되고, 개방부(1802)가 형성된다.(도 18b 참조)

화소부 내에 EL 소자를 형성하는 공정(화소 소자, EL 소자, 및 음극 형성 공정)은 상기 상태에서 실행된다. 마스크 재료는 EL 소자가 상기 영역에서 형성되지 않도록 도 18a 내지 도 18c에 도시된 영역에서 동시에 사용된다. 음극(351)을 형성한 후에, 개개의 마스크 재료를 사용하여 보호 전극(352)이 형성된다. 보호 전극(352)과 입력 배선(1709)은 전기적으로 연결된다. 또한, 제 3 패시베이션 막(353)이 형성되고, 도 18c의 상태가 획득된다.

도 17b에서 참조번호 1708로 도시된 영역의 접촉 구조는 상술된 단계에 의해 실현된다. 그후, 입력 배선(1709)은 하우징 재료(1704)와 기관(1700) 사이의 개구를 통해 FPC(611)에 접속된다(접착제(1705)에 의해 충전되는 것으로, 즉, 접착제(1705)의 두께를 입력 배선의 계단부와 충분히 평탄해지도록 할 필요가 있다). 지금까지 입력 배선(1709)의 형성이 설명되었지만, 다른 입력 배선(612, 614)도 하우징 재료(1704) 아래를 통과함으로써 FPC(611)에 유사하게 접속될 수 있다.

실시예2

실시예2에서, 도 2b에 도시된 구성과는 다른 화소 구성이 도 10에 도시된다.

도 2b에 도시된 두 개의 화소는 실시예2에서 전류 공급 라인 둘레로 대칭으로 배열된다. 즉, 도 10에 도시된 바와 같이, 전류 공급 라인에 이웃하는 두 개의 화소 사이에 공동으로 전류 공급 라인(213)을 형성함으로써 필요한 배선의 수가 감소될 수 있다. 화소의 내부에 위치되는 TFT의 구조는 유지될 수 있다는 점에 주의해야 한다.

이러한 형태의 구성이 사용되는 경우, 이미지 품질을 증가시키는 매우 높은 정밀도의 화소부를 제조하는 것이 가능해진다.

실시예2의 구성은 실시예1의 제조 공정에 따라 용이하게 실현될 수 있고, 실시예1과 도 1의 설명은 TFT의 기관과 같은 지점에 관해 참조될 수 있다.

실시예3

도 1과 다른 구조를 갖는 화소부를 형성하는 경우는 실시예3에서 도 11을 참조로 설명된다. 제 2 층간 절연막(44)을 형성하는 공정이 실시예1에 따라 실행될 수 있다는 점에 주의해야 한다. 또한, 제 2 층간 절연막(44)에 의해 덮히는 스위칭 TFT(201)의 구조와 전류 제어 TFT(202)의 구조는 도 1의 경우와 동일하므로 그 설명은 생략한다.

실시예3의 경우에, 화소 전극(51), 음극(52), EL 층(53)은 제 2 패시베이션 막(45), 제 2 층간 절연막(44) 및 제 1 패시베이션 막(41) 내의 접촉 구멍을 형성한 후에 형성된다. 음극(52)과 EL 층(53)은 대기중에 노출됨이 없이 실시예3의 진공 증발에 의해 연속으로 형성되고, 동시에 적색 방사 EL 층, 녹색 방사 EL 층, 및 청색 방사층이 마스크 재료를 사용하여 개별적인 화소에 선택적으로 형성된다. 도 11에는 단지 하나의 화소만이 도시되었지만, 동일한 구조를 갖는 화소가 각각 적색, 녹색, 청색에 대응하여 형성되고, 색조 디스플레이는 이들 화소에 의해 실행될 수 있다. 알려진 재료는 각각의 EL 층 색조로 사용될 수 있다.

150nm 두께의 알루미늄 합금막(1중량%의 티타늄을 내포하는 알루미늄 막)은 실시예3에서 화소 전극(51)으로서 형성된다. 금속성 재료가 제공되는 경우, 임의의 재료가 화소 유전체 재료로서 사용될 수 있지만, 높은 반사율을 갖는 재료를 사용하는 것이 바람직하다. 또한, 230nm 두께의 MgAg 전극은 음극(52)으로서 사용되고, EL 층(53)의 막 두께는 120nm에 다.

투명성 도전 막(실시예3에서는 ITO 막)을 형성하는 양극(54)은 110nm 두께로 형성된다. 따라서, EL 소자(209)가 형성되고, 제 3 패시베이션 막(55)이 실시예1에 도시된 것과 동일한 재료로 형성되는 경우, 도 11에 도시된 구조를 갖는 화소가 완성된다.

실시예3의 구조를 사용할 때, 각각의 화소에 의해 발생하는 적색, 녹색, 청색광은 TFT가 형성된 기관 방향의 대향 방향으로 조사된다. 그 이유는 화소 내부의 거의 전체 영역이 즉, TFT가 형성되는 영역이 효과적인 방사 영역으로 사용될 수 있다는 것이다. 결과적으로, 화소의 효과적인 방사 표면적의 첨예한 증가가 존재하고, 이미지의 휘도 조도비(명암 사이의 비)가 증가된다.

실시예1 및 실시예2중 하나의 구성과 실시예3의 구성을 자유롭게 조합하는 것이 가능하다는 점에 주의해야 한다.

실시예4

실시예1의 도 2와는 다른 구조를 갖는 화소를 형성하는 경우는 도 12a 및 도 12b를 참조로 실시예4에서 설명된다.

도 12a에서, 참조번호 1201은 액티브층(56), 게이트 전극(57a), 게이트 배선(57b), 소스 배선(58), 및 드레인 배선(59)을 포함하는 스위칭 TFT를 지시한다. 또한, 액티브층(60), 게이트 전극(61), 소스 배선(전류 공급 라인; 62), 및 드레인 배선(63)을 포함하는 전류 제어 TFT를 지시하는 참조번호 1202는 그 구성에 포함된다. 전류 제어 TFT(1202)의 소스 배선(62)은 전류 공급 라인(64)에 접속되고, 드레인 배선(63)은 EL 소자(65)에 접속된다. 도 12b는 이러한 화소의 회로도를 도시한다.

도 12a와 도 2a 사이의 차이점은 스위칭 TFT 구조이다. 실시예4에서 게이트 전극(57a)은 0.1 내지 5 μ m의 미세한 라인 폭으로 형성되고, 액티브층(56)은 그 부분을 가로지르도록 형성된다. 게이트 배선(57b)은 각 화소의 게이트 전극(57a)을 전기적으로 접속하도록 형성된다. 따라서, 많은 표면적을 차지하지 않는 3중 게이트 전극이 실현된다.

다른 부분은 도 2a의 것과 유사하고, 실시예4의 구조가 사용되는 경우에는 스위칭 TFT에 의해 독점적으로 사용되는 표면적이 보다 작아지기 때문에 효과적인 방사 표면적은 보다 커진다. 즉, 이미지 휘도가 증가된다. 또한, 오프 전류의 값을 감소시키기 위해 여유분이 증가되는 게이트 구조가 실현될 수 있으므로, 이미지 품질이 추가로 증가된다.

실시예4의 구성에서, 전류 공급 라인(64)은 실시예2에서처럼 이웃하는 화소들 사이에 공동으로 이루어질 수 있고, 실시예3과 유사한 구조가 사용될 수도 있다. 또한, 제조 공정은 실시예1에 따라 실행될 수 있다.

실시예5

상부 게이트형 TFT가 사용된 경우는 실시예1 내지 실시예4에서 설명되고, 본 발명은 하부 게이트형 TFT를 사용하여 실시될 수도 있다. 역전 배치형 TFT를 사용함으로써 본 발명을 실시하는 경우는 도 13을 참조로 실시예5에서 설명된다. TFT의 구조를 제외하고는, 도 1의 것과 동일하므로 필요에 따라 도 1에서 사용된 것과 동일한 참조번호를 사용한다.

도 13에서, 도 1의 것과 유사한 재료가 기판(11)과 베이스 막(12)에 사용될 수 있다. 스위칭 TFT(1301)와 전류 제어 TFT(1302)는 베이스 막(12)상에 형성된다.

스위칭 TFT(1301)는 게이트 전극(70a, 70b), 게이트 배선(71), 게이트 절연막(72), 소스 영역(73), 드레인 영역(74), LDD 영역(75a 내지 75d), 고농도 불순물 영역(76), 채널 형성 영역(77a, 77b), 채널 보호막(78a, 78b), 제 1 층간 절연막(79), 소스 배선(80), 및 드레인 배선(81)을 포함한다.

또한, 전류 제어 TFT(1302)는 게이트 전극(82), 게이트 절연막(72), 소스 영역(83), 드레인 영역(84), LDD 영역(85), 채널 형성 영역(86), 채널 보호막(87), 제 1 층간 절연막(79), 소스 배선(88), 및 드레인 배선(89)을 포함한다. 게이트 전극(82)은 상기 지점에서 스위칭 TFT(1301)의 드레인 배선(81)에 전기적으로 연결된다.

상기 스위칭 TFT(1301)와 전류 제어 TFT(1302)는 역전 배치형 TFT를 제조하는 알려진 방법에 따라 형성될 수 있다. 또한, 실시예1의 상부 게이트형 TFT의 대응부분에 사용되는 유사한 재료는 상기 TFT 내에 형성되는 각각의 부분(배선, 절연막, 및 액티브층 등)의 재료에 사용될 수 있다. 상부 게이트형 TFT의 구성에 포함되지 않는 채널 보호막(78a, 78b, 및 87)은 실리콘을 포함하는 절연막에 의해 형성될 수 있다. 또한, 소스 영역, 드레인 영역, 및 LDD 영역과 같은 불순물 영역의 형성은 포토리소그래피 기술을 사용하고 불순물 농도를 가시적으로 변화시킴으로써 형성될 수 있다.

TFT가 완성된 후에, 제 1 패시베이션 막(41), 색조 필터(42), 형광 물질(43), 제 2 층간 절연막(평탄화 막; 44), 제 2 패시베이션 막(45), 화소 전극(양극; 46), EL 층(47), MgAg 전극(음극; 48), 알루미늄 전극(보호막; 49), 및 제 3 패시베이션 막(50)이 차례로 형성되는 EL 소자(1303)를 갖는 화소가 완성된다. 실시예1은 상술된 재료와 그 제조 방법에 대해 인용된다.

실시예2 내지 실시예4의 임의의 구성에 따라 실시예5의 구성을 자유롭게 조합하는 것이 가능하다.

실시예6

실시예1의 도 5c 또는 도 1의 구조에서 액티브층과 기판 사이에 형성되는 베이스 막으로서 제 2 패시베이션 막(45)과 유사한 높은 열방출 효과를 갖는 재료를 사용하는 것이 효과적이다. 특히, 다량의 전류가 전류 제어 TFT로 흐르므로, 열이 용이하게 발생되고, 열의 자체 발생으로 인한 악화가 문제가 될 수 있다. TFT의 열 악화는 이러한 형태의 경우에 대해 열 방출 효과를 갖는 실시예6의 베이스 막을 사용함으로써 방지될 수 있다.

물론, 기판으로부터의 액티브 이온의 확산에 의한 보호 효과도 매우 중요하므로, Si, Al, N, O 및 M을 포함하는 화합물의 적층 구조와 제 1 패시베이션 막(41)과 유사한 실리콘을 포함하는 절연막을 사용하는 것이 바람직하다.

실시예1 내지 실시예5의 임의의 구성에 따라 실시예6의 구성을 자유롭게 조합하는 것이 가능하다.

실시예7

실시예3에 도시된 화소 구조가 사용될 때, EL 층으로부터 방출되는 광은 기판에 대향되는 방향으로 방사되므로, 기판과 화소 전극 사이에 위치되는 절연막과 같은 재료의 투과율에 주의를 기울일 필요가 없다. 즉, 다소 작은 투과율을 갖는 재료가 사용될 수도 있다.

그러므로, 베이스 막(12), 제 1 패시베이션 막(41) 또는 제 2 패시베이션 막(45)으로서 다이아몬드 박막, 다이아몬드형 탄소 막, 또는 비정질 탄소 막으로서 인용되는 것과 같은 탄소 막을 사용하는 것이 유리하다. 즉, 보다 낮은 투과율에 대해 걱정할 필요가 없기 때문에, 막 두께는 100 내지 500nm의 두께로 설정될 수 있고, 매우 높은 열방출 효과를 갖는 것이 가능하다.

제 3 패시베이션 막(50)에 상기 탄소 막을 사용하는 경우에, 투과율의 감소가 회피되어야만 하기 때문에 막 두께를 5 내지 100nm로 설정하는 것이 바람직하다는 점에 주의해야 한다.

실시예7에서, 탄소 막이 베이스 막(12), 제 1 패시베이션 막(41), 제 2 패시베이션 막(45), 또는 제 3 패시베이션 막(50)중 어느 하나에 사용될 때 다른 절연막과의 적층에 효과적이다.

또한, 실시예7은 다른 구성을 위해 실시예3에 도시된 화소 구조가 사용될 때 효과적이고, 실시예1 내지 실시예6의 임의의 구성에 따라 실시예7의 구성을 자유롭게 조합하는 것이 가능하다.

실시예8

EL 디스플레이 장치의 화소 내의 스위칭 TFT에서의 오프 전류값의 양은 스위칭 TFT의 멀티 게이트 구조를 사용함으로써 감소되고, 본 발명은 저장 커패시터가 필요없다는 것이 특징이다. 이는 방출 영역으로서 저장 커패시터가 보유되는 표면적을 활용할 수 있게 하는 장치이다.

그러나, 저장 커패시터가 완전하게 제거되지 않을 지라도, 독점적인 표면적이 보다 작아지는 것에 의해 효과적인 방출 표면적을 증가시키는 효과가 획득될 수 있다. 즉, 본 발명의 목적은 스위칭 TFT의 멀티 게이트 구조를 사용하고 저장 커패시터의 독점적인 표면적을 줄이므로써 오프 전류 값을 감소시켜 충분히 달성될 수 있다.

그러므로, 도 14에 도시된 바와 같은 화소 구조를 사용할 수 있다. 필요에 따라, 동일한 참조번호가 도 1에서와 같이 도 14에서도 사용된다.

도 14와 도 1 사이의 차이점은 스위칭 TFT에 접속되는 저장 커패시터(1401)의 존재이다. 저장 커패시터(1401)는 스위칭 TFT(201), 게이트 절연막(18), 및 커패시터 전극(상부 전극; 1403)으로부터 연장되는 반도체 영역(하부 전극)에 의해 형성된다. 커패시터 전극(1403)은 TFT의 게이트 전극(19a, 19b 및 35)과 동시에 형성된다.

도 15a에는 평면도가 도시된다. 도 15a의 평면도에서 선 A-A'를 따라 취해진 단면 다이어그램은 도 14에 대응한다. 도 15a에 도시된 바와 같이, 커패시터 전극(1403)은 커패시터 전극(1403)에 전기적으로 접속되는 접속 배선(1404)을 통해 전류 제어 TFT의 소스 영역(31)에 전기적으로 접속된다. 접속 배선(1404)은 소스 배선(21, 36) 및 드레인 배선(22, 37)과 동시에 형성된다는 점에 주의해야 한다. 또한, 도 15b는 도 15a에 도시된 평면도의 회로 구성을 도시한다.

실시예8의 구성은 실시예1 내지 실시예7의 임의의 구성에 따라 자유로이 조합될 수 있다. 즉, 화소 내부에는 저장 커패시터만이 형성되고, TFT 구조나 EL 층 재료에 대해서 추가로 제한되는 것은 없다.

실시예9

레이저 결정화는 실시예1에서 결정질 실리콘 막(302)을 형성하는 수단으로서 사용되고, 다른 결정화 수단을 사용하는 경우는 실시예9에서 설명된다.

실시예9에서 비정질 실리콘 막을 형성한 후에, 결정화는 일본 특개평 7-130652호에 기록된 기술을 사용하여 실행된다. 상기 특허 출원에 개시된 기술은 결정화를 촉진하는 촉매로서 니켈과 같은 원소를 사용함으로써 양호한 결정성을 갖는 결정질 실리콘 막을 획득하는 것이다.

또한, 결정화 공정이 완료된 후에, 결정화에 사용된 촉매를 제거하는 단계가 수행된다. 이 경우에, 촉매는 일본 특개평 10-270363호 또는 일본 특개평 8-330602호에 개시된 기술을 사용하여 제거될 수 있다.

또한, TFT는 본 출원인에 의한 일본 특개평 11-076967호의 명세서에 기재된 기술을 사용하여 형성될 수 있다.

실시예1에 도시된 제조 방법은 본 발명의 하나의 실시예이고, 실시예1의 도 1 또는 도 5c의 구조체가 제공된 경우에는, 다른 제조 방법이 상술된 바와 같은 문제 없이 사용될 수도 있다.

실시예1 내지 실시예8의 임의의 구성에 따라 실시예9의 구성을 자유롭게 조합하는 것이 가능하다.

실시예10

본 발명의 EL 디스플레이 장치를 구동함에 있어서, 아날로그 구동은 이미지 신호로서 아날로그 신호를 사용하여 실행될 수 있고, 디지털 구동은 디지털 신호를 사용하여 실행될 수 있다.

아날로그 구동이 실행될 때, 아날로그 신호는 스위칭 TFT의 소스 배선으로 전송되고, 명도 정보를 포함하는 아날로그 신호는 전류 제어 TFT의 게이트 전압이 된다. EL 소자 내에서 흐르는 전류는 전류 제어 TFT에 의해 제어되고, EL 소자 방출 강도가 제어되고, 명도 디스플레이가 수행된다. 이 경우에, 채널 영역에서 전류 제어 TFT를 작동시키는 것이 바람직하다. 즉, $|V_{ds}| > |V_{gs} - V_{th}|$ 의 조건 내에서 TFT를 작동하는 것이 바람직하다. V_{ds} 는 소스 영역과 드레인 영역 사이의 전압차이고, V_{gs} 는 소스 영역과 게이트 전극 사이의 전압차이고, V_{th} 는 TFT의 임계 전압이다.

한편, 디지털 구동이 실행될 때, 그것은 아날로그형 명도 디스플레이와는 다르고, 명도 디스플레이는 시간 분할 구동(시간/명도 구동) 또는 표면적/명도 구동에 의해 수행된다. 즉, 방출 시간의 길이 또는 방출 표면적의 비율을 조절함으로써, 색조 명도는 변화가 가시적으로 보일 수 있다. 이 경우에, 전류 제어 TFT를 선형 영역에서 작동하는 것이 바람직하다. 즉, $|V_{ds}| < |V_{gs} - V_{th}|$ 의 조건 내에서 TFT를 작동하는 것이 바람직하다.

EL 소자는 액정 소자에 비해 매우 빠른 응답 속도를 가지므로, 고속 구동이 가능하다. 그러므로, EL 소자는 하나의 프레임이 다수의 작은 프레임으로 분할되어 명도 디스플레이가 실행되는 시간/명도 구동에 적합하다. 또한, 한 프레임의 주기가 짧은 것이 유리하므로, 전류 제어 TFT의 게이트 전압이 유지되는 시간의 길이도 짧아지고, 저장 커패시터는 작아지거나 제거될 수 있다.

본 발명은 소자 구조에 관련된 기술이므로, 임의의 구동 방법이 사용될 수 있다.

실시예11

실시예11에서, 본 발명의 EL 디스플레이 장치의 화소 구조의 예가 도 21a 및 도 21b에 도시된다. 실시예11에서, 참조번호 4701은 스위칭 TFT(4702)의 소스 배선을 지시하고, 참조번호 4703은 스위칭 TFT(4702)의 게이트 배선을 지시하고, 참조번호 4704는 전류 제어 TFT를 지시하고, 참조번호 4705는 전류 공급 라인을 지시하고, 참조번호 4706은 전원 제어 TFT를 지시하고, 참조번호 4707은 전원 제어 게이트 배선을 지시하고, 참조번호 4708은 EL 소자를 지시한다. 일본 특개평 11-341272호는 전원 제어 TFT(4706)의 작동에 관해 인용된다.

또한, 실시예11에서 전원 제어 TFT(4706)는 전류 제어 TFT(4704)와 EL 소자(4708) 사이에 형성되지만, 전류 제어 TFT(4704)가 전원 제어 TFT(4706)와 EL 소자(4708) 사이에 형성되는 구조가 사용될 수도 있다. 또한, 전원 제어 TFT(4706)가 전류 제어 TFT(4704)와 동일한 구조를 갖는 것이 바람직하고, 동일한 액티브층에 의해 일렬로 형성되는 것이 바람직하다.

도 21a는 전류 공급 라인(4705)이 두 개의 화소 사이에 공유되는 경우의 예이다. 즉, 이는 두 개의 화소가 전류 공급 라인(4705) 둘레로 선형 대칭으로 형성된 것이 특징이다. 이 경우에, 전류 공급 라인의 수는 감소될 수 있으므로, 화소부는 보다 높은 정밀도로 이루어질 수 있다.

또한, 도 21b는 전류 공급 라인(4710)이 게이트 배선(4703)에 평행하게 형성되고, 전원 제어 게이트 배선(4711)이 소스 배선(4701)에 평행하게 형성된 경우의 예이다. 도 23b에서의 구조는 전류 공급 라인(4710)과 게이트 배선(4703)이 겹쳐지지 않도록 형성되지만, 두 개가 다른 층상에 형성된 배선인 경우에는 절연막을 사이에 개재하여 겹쳐지도록 형성될 수 있다. 이 경우에, 전류 공급 라인(4710)과 게이트 배선(4703)의 독립적인 표면적은 공유될 수 있으며, 화소부는 보다 높은 정밀도로 이루어질 수 있다.

실시예12

실시예12에서, 본 발명의 EL 디스플레이 장치의 화소 구조의 예는 도 22a 및 도 22b에 도시된다. 실시예12에서 참조번호 4801은 스위칭 TFT(4802)의 소스 배선을 지시하고, 참조번호 4803은 스위칭 TFT(4802)의 게이트 배선을 지시하고, 참조번호 4804는 전류 제어 TFT를 지시하고, 참조번호 4805는 전류 공급 라인을 지시하고, 참조번호 4806은 소거 TFT를 지시하고, 참조번호 4807은 소거 게이트 배선을 지시하고, 참조번호 4808은 EL 소자를 지시한다. 일본 특개평 11-338786호는 소거 TFT(4806)의 작동에 관해 인용된다.

소거 TFT(4806)의 드레인은 전류 제어 TFT(4804)의 게이트에 접속되고, 전류 제어 TFT(4804)의 게이트 전압을 강제로 변화시킬 수 있다. n채널 TFT 또는 p채널 TFT가 소거 TFT(4806)에 사용될 수 있지만, 오프 전류값이 보다 작아지도록 스위칭 TFT(4802)와 동일한 구조로 이루어지는 것이 바람직하다.

도 22a는 전류 공급 라인(4805)이 두 개의 화소 사이에 공유되는 경우의 예이다. 즉, 이는 두 개의 화소가 전류 공급 라인(4805) 둘레로 선형 대칭으로 형성된 것이 특징이다. 이 경우에, 전류 공급 라인의 수는 감소될 수 있으므로, 화소부는 보다 높은 정밀도로 이루어질 수 있다.

또한, 도 22b는 전류 공급 라인(4810)이 게이트 배선(4803)에 평행하게 형성되고, 소거 게이트 배선(4811)이 소스 배선(4801)에 평행하게 형성된 경우의 예이다. 도 22b에서의 구조는 전류 공급 라인(4810)과 게이트 배선(4803)이 겹쳐지지 않도록 형성되지만, 두 개가 다른 층상에 형성된 배선인 경우에는 절연막을 사이에 개재하여 겹쳐지도록 형성될 수 있다. 이 경우에, 전류 공급 라인(4810)과 게이트 배선(4803)의 독립적인 표면적은 공유될 수 있으며, 화소부는 보다 높은 정밀도로 이루어질 수 있다.

실시예13

본 발명의 EL 디스플레이 장치는 몇몇 TFT가 화소 내에 형성되는 구조를 가질 수 있다. 실시예11 및 실시예12에서, 세 개의 TFT를 형성하는 예가 도시되지만, 4 내지 6개의 TFT가 형성될 수도 있다. EL 디스플레이 장치의 화소의 구조상에 어떤 제한도 없이 본 발명을 실시하는 것이 가능하다.

실시예14

도 1의 전류 제어 TFT(202)로서 p채널 TFT를 사용하는 예가 실시예14에서 설명된다. 나머지 부분은 도 1의 것과 동일하므로, 상세한 설명은 생략한다.

실시예14의 화소의 단면 구조는 도 23에 도시된다. 실시예1은 실시예14에 사용된 p채널 TFT를 제조하는 방법에 인용될 수 있다. p채널 TFT의 액티브층은 소스 영역(2801), 드레인 영역(2802), 및 채널 형성 영역(2803)을 포함하고, 상기 소스 영역(2801)은 소스 배선(36)에 접속되고, 드레인 영역(2802)은 드레인 배선(37)에 접속된다.

EL 소자의 양극이 전류 제어 TFT에 접속된 경우에, 전류 제어 TFT로서 p채널 TFT를 사용하는 것이 바람직하다.

실시예1 내지 실시예13의 임의의 구성에 따라 자유로이 조합함으로써 실시예14의 구성을 실시할 수 있다.

실시예15

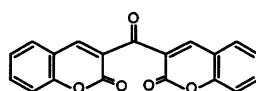
3장으로 된 상태의 여기자로부터의 인광이 실시예15에서 광방출에 이용될 수 있는 EL 재료를 사용함으로써, 외부 방출 양자 효율은 상당한 양으로 증가될 수 있다. 그렇게 함으로써, EL 소자가 전력 소비를 작게 하며, 수명이 길고, 가벼워지도록 할 수 있다.

3장으로 된 상태의 여기자를 이용하고, 외부 방출 양자 효율을 증가시킨 보고서가 하기에 개시된다.

츠츠이 티., 아다치 시., 및 사이토 에스.에 의한 혼다사의 교육서(엘세비어 과학지 1991년 도쿄)의 437쪽의 유기분자 시스템 내의 광화학 공정.

상기 보고서에 기록된 EL 재료(코마린 안료)의 분자식은 하기에 도시된다.

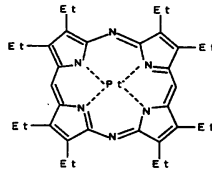
화학식 8



발도 엠.에이., 오브라이언 디.에프., 유 유., 쇼스티코프 에이., 시블리 에스., 톰슨 엠.이., 및 포레스트 에스.알.에 의한 네이처 395(Nature 395; 1998)의 151쪽.

상기 보고서에 기록된 EL 재료(Pt 복합물)의 분자식은 하기에 도시된다.

화학식 9

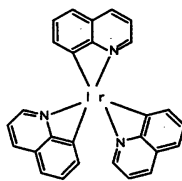


발도 엠.에이., 라만스키 에스., 버로우 피.이., 톰슨 엠.이., 및 포레스트 에스.알.에 의한 응용 물리학 보고서 75(1999) 제4쪽.

츠즈이 티., 양 엠.제이., 야히로 엠., 나카무라 케이., 와타나베 티., 츠지 티., 후쿠다 와이., 와키모토 티., 마야구치 에스., 일본 응용 물리학 보고서 38(12B)(1999) L1502.

상기 보고서에 기록된 EL 재료(Ir 복합물)의 분자식은 하기에 도시된다.

화학식 10



3장으로 된 상태의 여기자로부터의 인광 방출이 이용될 수 있을 경우에, 원칙적으로 1장으로 된 상태의 여기자로부터의 형광 방출을 이용하는 경우보다 3 내지 4배 더 큰 외부 방출 양자 효율을 실현할 수 있다. 실시예1 내지 실시예14의 임의의 구성에 따라 자유로이 조합함으로써 실시예15의 구성을 실시할 수 있다.

실시예16

실시예1에서, EL 층으로서 유기 EL 재료를 사용하는 것이 바람직하지만, 본 발명은 또한 무기 EL 재료를 사용하여 실시될 수도 있다. 그러나, 전류 무기 EL 재료는 매우 높은 구동 전압을 가지므로, 구동 전압에 견딜 수 있는 전압 저항 특성을 갖는 TFT가 아날로그 구동을 실행하는 경우에 사용되어야만 한다.

선택적으로, 종래의 무기 EL 재료보다 낮은 구동 전압을 갖는 무기 EL 재료가 개발되는 경우, 그것을 본 발명에 적용하는 것이 가능하다.

또한, 실시예1 내지 실시예14의 임의의 구성에 따라 자유로이 조합함으로써 실시예16의 구성을 실시할 수 있다.

실시예17

본 발명을 실시함으로써 형성되는 액티브 매트릭스형 EL 디스플레이 장치(EL 모듈)는 그것이 자체 방출형 장치이기 때문에 액정 디스플레이 장치에 비해 선명도 면에서 뛰어난 가시도를 갖는다. 그러므로 직접관찰형 EL 디스플레이(EL 모듈을 탑재한 디스플레이를 지시함)로서 넓은 사용범위를 갖는다.

액정 디스플레이에 대해 EL 디스플레이가 가지는 하나의 장점으로서는 넓은 관찰 각도가 주어질 수 있다. 그러므로, 본 발명의 EL 디스플레이는 큰 스크린에 의한 TV 방송의 감상을 위해 30in 이상의 대각선 크기(통상적으로 40in 이상)를 갖는 디스플레이(디스플레이 모니터)로서 사용될 수 있다.

또한, EL 디스플레이(개인용 컴퓨터 모니터, TV 방송 수신용 모니터, 또는 광고 디스플레이 모니터)로서 사용될 뿐만 아니라, 다양한 전자 장치의 디스플레이로서 사용될 수 있다.

비디오 카메라, 디지털 카메라, 고글형 디스플레이(머리 장착형 디스플레이), 차량 운행 시스템, 개인용 컴퓨터, 휴대용 정보 단말기(모바일 컴퓨터, 모바일 폰, 또는 전자 북), 및 기록 매체를 사용하는 이미지 재생 장치(특히, 기록 매체의 재생을 실행하며 콤팩트 디스크(CD), 레이저 디스크(LD), 또는 디지털 비디오 디스크(DVD)와 같은 이미지를 디스플레이할 수 있는 디스플레이가 제공된 장치) 등의 전자 장치가 예로서 주어질 수 있다. 이들 전자 장치의 예는 도 16a 내지 도 16f에 도시된다.

도 16a는 몸체(2001), 케이싱(2002), 디스플레이부(2003), 및 키보드(2004)를 포함하는 개인용 컴퓨터이다. 본 발명은 디스플레이부(2003)에 사용될 수 있다.

도 16b는 몸체(2101), 디스플레이부(2102), 오디오 입력부(2103), 작동 스위치(2104), 배터리(2105), 및 이미지 수신부(2106)를 포함하는 비디오 카메라이다. 본 발명은 디스플레이부(2102)에 사용될 수 있다.

도 16c는 몸체(2201), 디스플레이부(2202), 및 아암부(arm portion; 2203)를 포함하는 고글 디스플레이이다. 본 발명은 디스플레이부(2202)에 사용될 수 있다.

도 16d는 몸체(2301), 카메라부(2302), 이미지 수신부(2303), 작동 스위치(2304), 및 디스플레이부(2305)를 포함하는 모바일 컴퓨터이다. 본 발명은 디스플레이부(2305)에 사용될 수 있다.

도 16e는 몸체(2401), 기록 매체(CD, LD, 또는 DVD; 2402), 작동 스위치(2403), 디스플레이부(a)(2404) 및 디스플레이부(b)(2405)를 포함하는 기록 매체가 제공된 이미지 재생 장치(특히, DVD 재생 장치)이다. 디스플레이부(a)는 이미지 정보를 디스플레이하는데 주로 사용되고, 이미지부(b)는 캐릭터 정보를 디스플레이하는데 주로 사용되고, 본 발명은 이미지부(a) 및 이미지부(b)에 사용될 수 있다. 본 발명은 CD 재생 장치 및 게임기와 같은 장치에 기록 매체가 제공된 이미지 재생 장치로서 사용될 수 있다.

도 16f는 케이싱(2501), 지지 스탠드(2502), 및 디스플레이부(2503)를 포함하는 EL 디스플레이이다. 본 발명은 디스플레이부(2503)에 사용될 수 있다. 본 발명의 EL 디스플레이는 스크린이 큰 경우에 특히 유리하며, 대각선 크기가 10in 이상(특히, 30in 이상)인 디스플레이에 유리하다.

또한, EL 재료의 방출 휘도가 차후에 더 커지게 될 경우, 전방형 또는 후방형 투광기에 본 발명을 사용하는 것이 가능해질 것이다.

상기 전자 장치는 인터넷 또는 CATV(케이블 텔레비전)와 같은 전자 전송 회로를 통해 제공되는 디스플레이 정보 특히, 애니메이션 정보를 디스플레이하기 위한 기회가 증가하는 경우에 보다 빈번하게 사용된다. EL 재료의 응답 속도는 매우 높기 때문에, EL 디스플레이는 상기 형태의 디스플레이를 실행하는데 적합하다.

EL 디스플레이 장치의 방출부는 전력을 소비하므로, 방출부가 가능한 작아지도록 정보를 디스플레이하는 것이 바람직하다. 그러므로, 휴대용 정보 단말기 특히, 차량 오디오 시스템의 휴대용 전화기와 같은 주로 캐릭터 정보를 디스플레이하는 디스플레이부 내의 EL 디스플레이 장치를 사용할 때, 배경으로서 비방출부를 설정하고 방출부에 캐릭터 정보를 형성함으로써 구동하는 것이 바람직하다.

도 20a는 몸체(2601), 오디오 출력부(2602), 오디오 입력부(2603), 디스플레이부(2604), 작동 스위치(2605), 및 안테나(2606)를 포함하는 휴대용 전화기이다. 본 발명의 EL 디스플레이 장치는 디스플레이부(2604)에 사용될 수 있다. 디스플레이부(2604)의 검은색 배경에 흰색 캐릭터를 디스플레이함으로써, 휴대용 전화기의 전력 소비가 감소될 수 있다.

도 20b는 몸체(2701), 디스플레이부(2702), 작동 스위치(2703, 2704)를 포함하는 온보드 오디오 시스템(차량 오디오 시스템)이다. 본 발명의 EL 디스플레이 장치는 디스플레이부(2702)에 사용될 수 있다. 또한, 온보드 오디오 시스템이 실시예 17에 도시되지만, 테스크탑형 오디오 시스템이 사용될 수도 있다. 디스플레이부(2702)에 검은색 배경에 흰색 캐릭터를 디스플레이함으로써, 전력 소비가 감소될 수 있다.

따라서, 본 발명의 적용 범위는 매우 넓고, 모든 분야의 전자 장치에 본 발명을 적용하는 것이 가능하다. 또한, 실시예17의 전자 장치는 실시예1 내지 실시예16의 임의 조합의 임의 구성을 사용함으로써 실현될 수 있다.

본 발명을 사용함으로써 EL 소자가 습기와 열에 의해 악화되는 것이 방지된다. 또한, EL 층으로부터의 알칼리 금속의 확산에 의해 TFT 특성에 악영향을 끼치는 것이 방지된다. 결과적으로, EL 디스플레이 장치의 작동 성능과 신뢰성은 상당히 향상될 수 있다.

또한, 디스플레이로서 상기 EL 디스플레이 장치를 포함함으로써 양호한 이미지 품질 및 내구성(신뢰성이 높은)을 갖는 적용품(전자 장치)을 생산하는 것이 가능해진다.

발명의 효과

본 발명은 양호한 동작 성능 및 고신뢰성을 갖는 전기 광학 장치, 특히 EL 디스플레이 장치를 제공하고, 전기 광학 장치의 화질을 증가시킴으로써 디스플레이장치로서의 전기 광학 장치를 갖는 전자 장비(전자 장치)의 품질을 증가시킨다.

도면의 간단한 설명

도 1은 EL 디스플레이 장치의 화소부의 단면 구조를 나타낸 도면.

도 2a 및 도 2b는 각각 EL 디스플레이 장치 화소부의 평면도 및 구성을 나타낸 도면.

도 3a 내지 도 3e는 액티브 매트릭스형 EL 디스플레이 장치의 제조 공정을 나타낸 도면.

도 4a 내지 도 4d는 액티브 매트릭스형 EL 디스플레이 장치의 제조 공정을 나타낸 도면.

도 5a 내지 도 5c는 액티브 매트릭스형 EL 디스플레이 장치의 제조 공정을 나타낸 도면.

도 6은 EL 모듈을 외부에서 본 도면.

도 7은 EL 디스플레이 장치의 회로 블록 구조를 나타낸 도면.

도 8은 EL 디스플레이 장치의 화소부의 확대도.

도 9는 EL 디스플레이 장치의 샘플링 회로의 소자 구조를 나타낸 도면.

도 10은 EL 디스플레이 장치의 화소부의 구성을 나타낸 도면.

도 11은 EL 디스플레이 장치의 단면 구조를 나타낸 도면.

도 12a 및 도 12b는 각각 EL 디스플레이 장치 화소부의 평면도 및 구성을 나타낸 도면.

도 13은 EL 디스플레이 장치의 화소부의 단면 구조를 나타낸 도면.

도 14는 EL 디스플레이 장치의 화소부의 단면 구조를 나타낸 도면.

도 15a 및 도 15b는 각각 EL 디스플레이 장치 화소부의 평면도 및 구성을 나타낸 도면.

도 16a 내지 도 16f는 전자 장치의 특정 예를 나타낸 도면.

도 17a 및 도 17b는 EL 모듈을 외부에서 본 도면.

도 18a 내지 도 18c는 접착 구조의 제조 공정을 나타낸 도면.

도 19는 EL 층의 적층 구조를 나타낸 도면.

도 20a 및 도 20b는 전자 장비의 특정 예를 나타낸 도면.

도 21a 및 도 21b는 EL 디스플레이 장치 화소부의 회로 구성을 나타낸 도면.

도 22a 및 도 22b는 EL 디스플레이 장치 화소부의 회로 구성을 나타낸 도면.

도 23은 EL 디스플레이 장치 화소부의 단면 구조를 나타낸 도면.

도면의 주요 부분에 대한 부호의 설명

11 : 기판 12 : 베이스 막

13 : 소스 영역 14 : 드레인 영역

15a 내지 15d : LDD 영역 16 : 고농도 불순물 영역

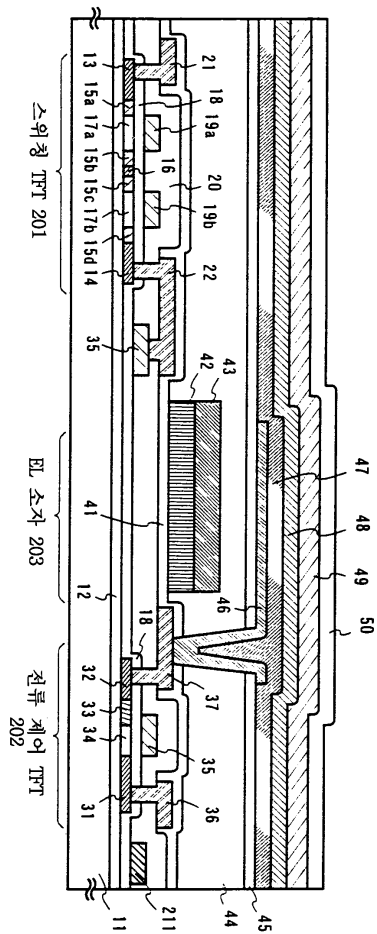
17a, 17b : 채널 형성 영역 18 : 게이트 절연막

19a, 19b : 게이트 전극 20 : 제 1 층간 절연막

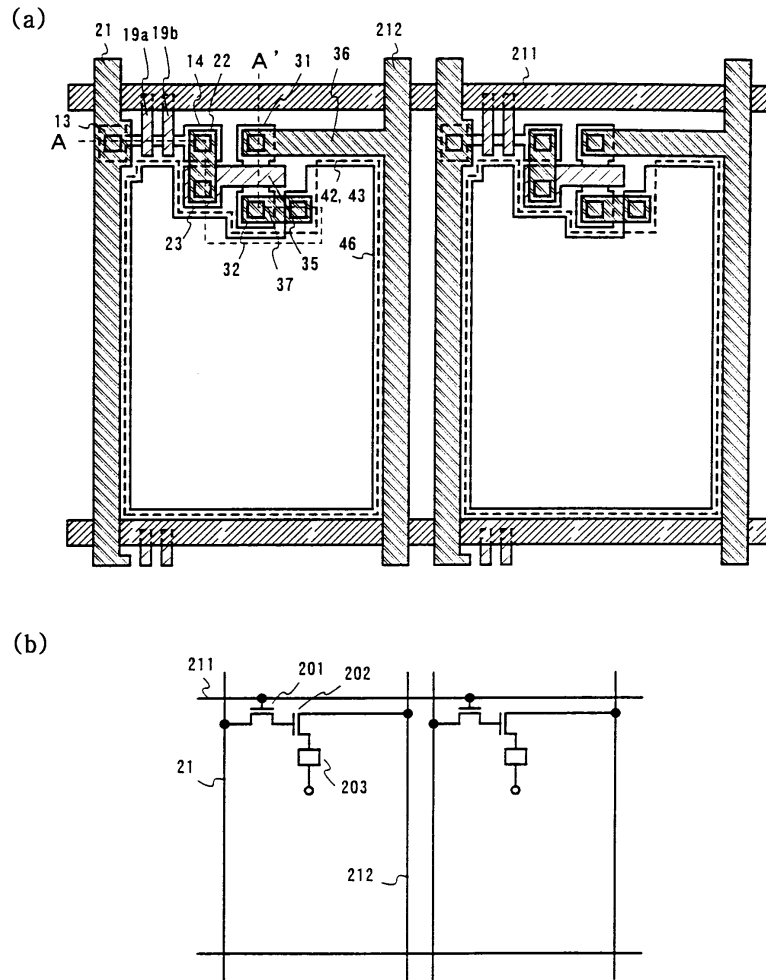
21 : 소스 배선 22 : 드레인 배선

도면

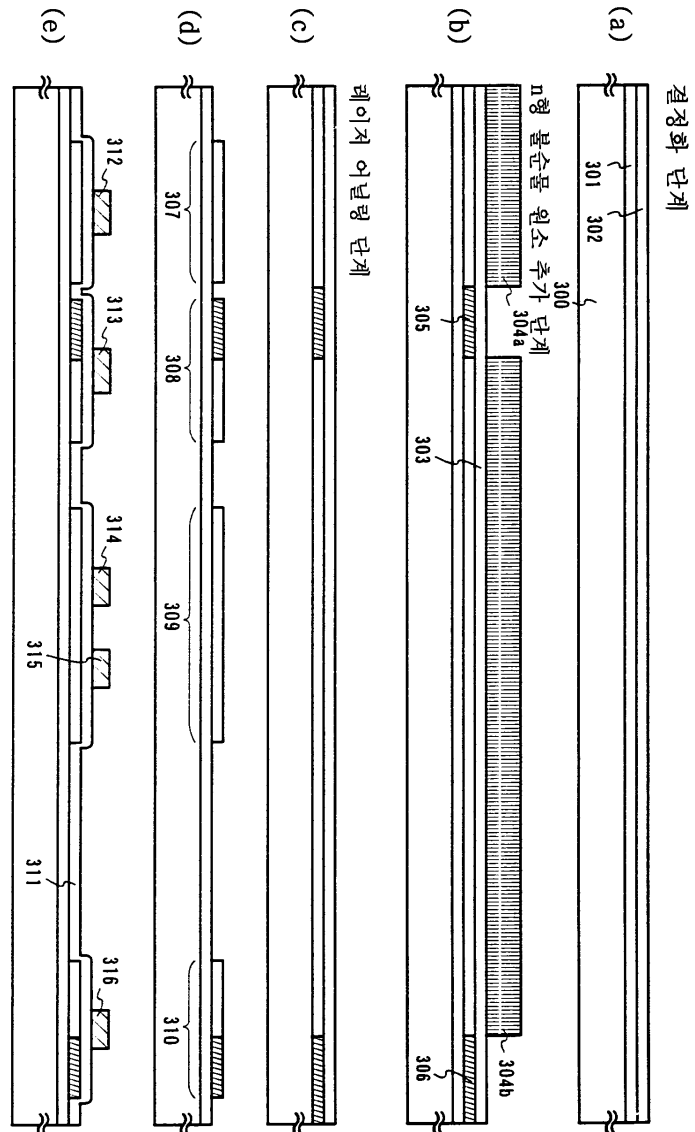
도면1



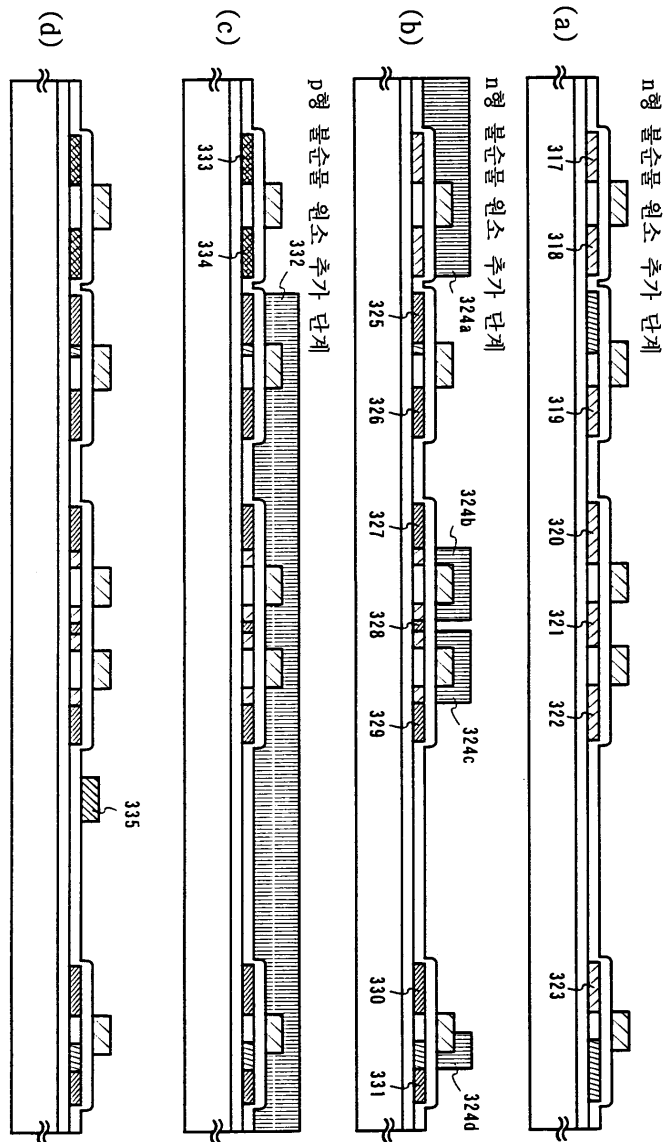
도면2



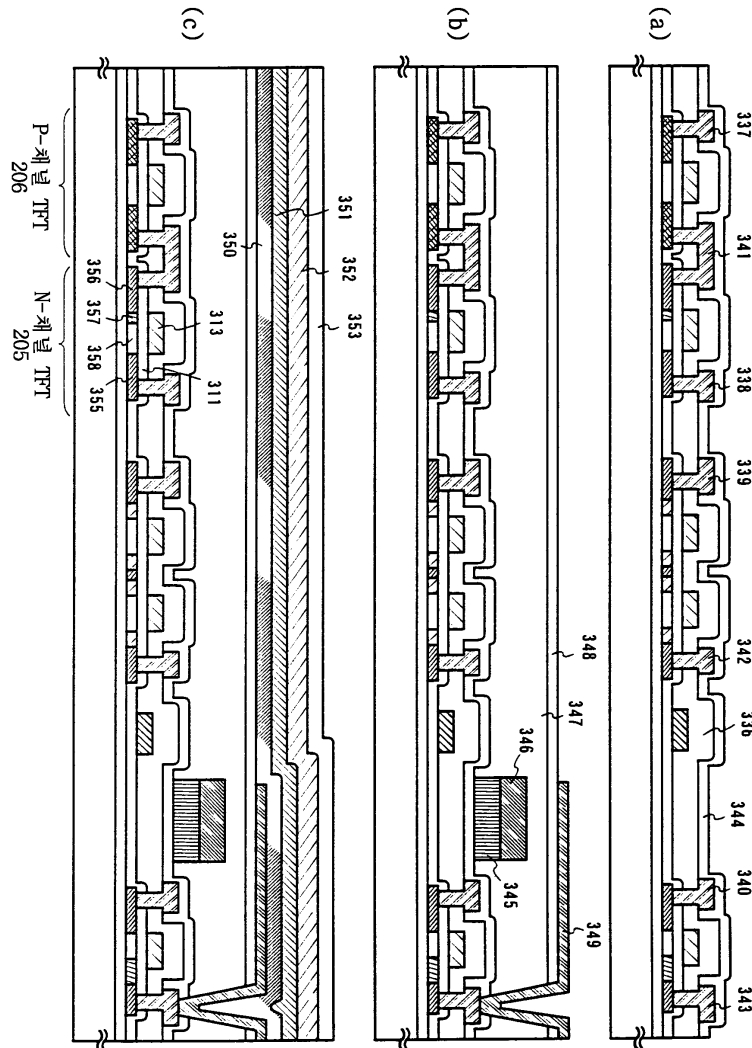
도면3



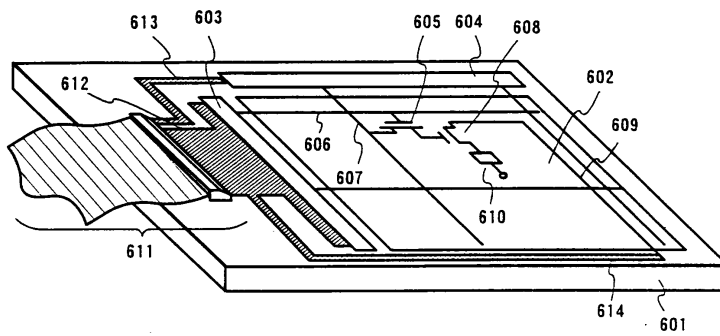
도면4



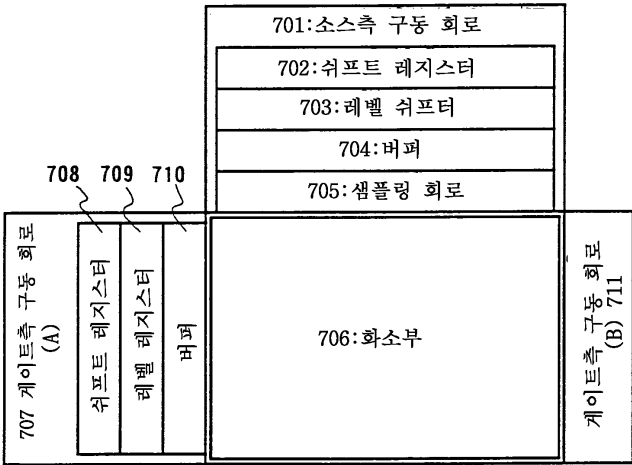
도면5



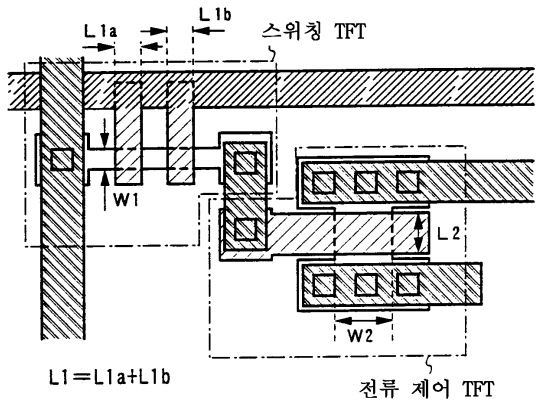
도면6



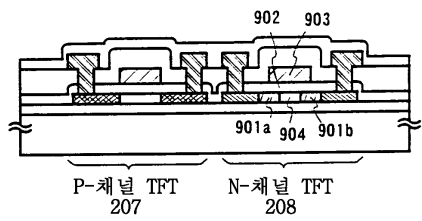
도면7



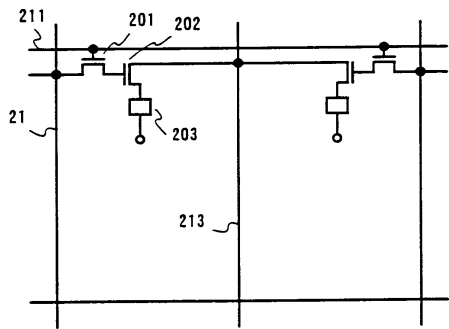
도면8



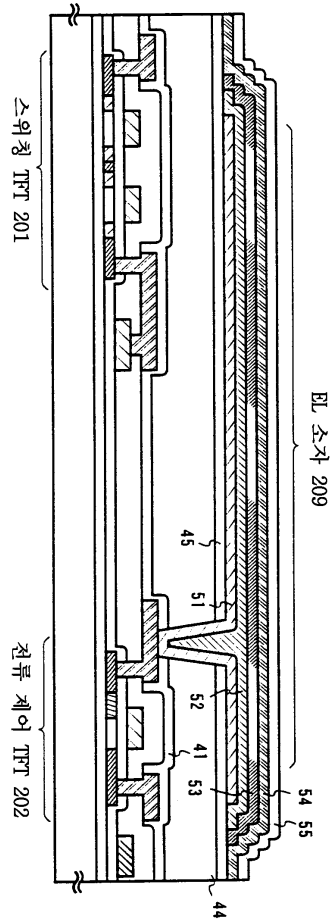
도면9



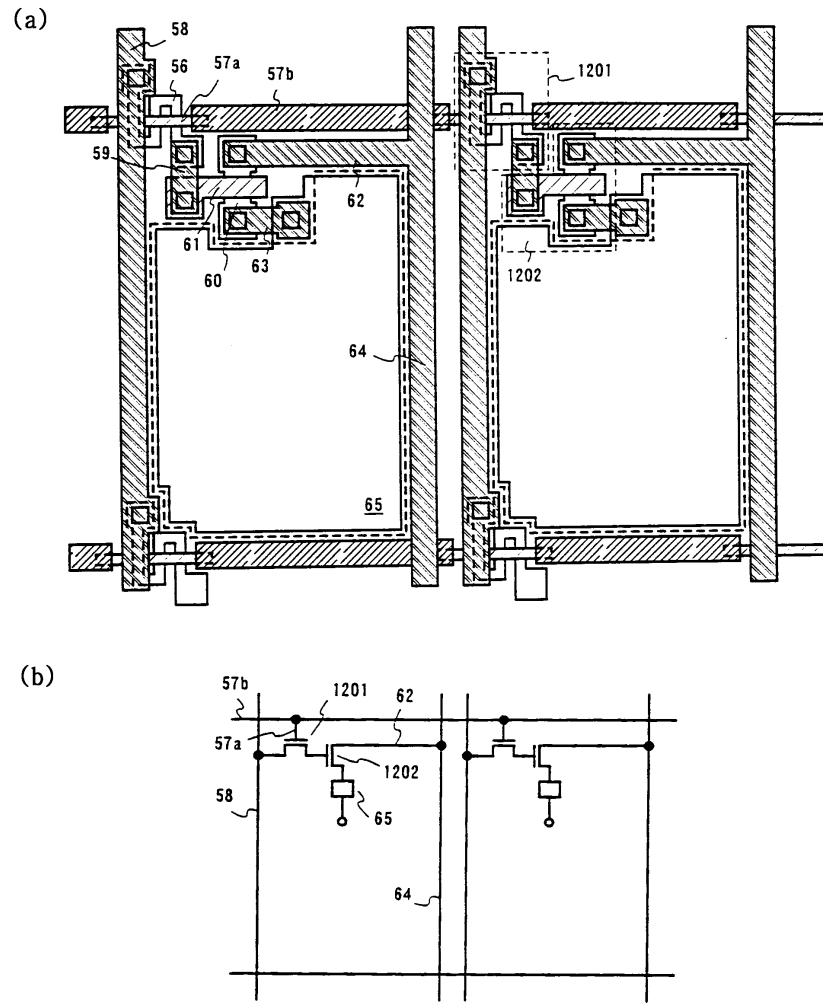
도면10



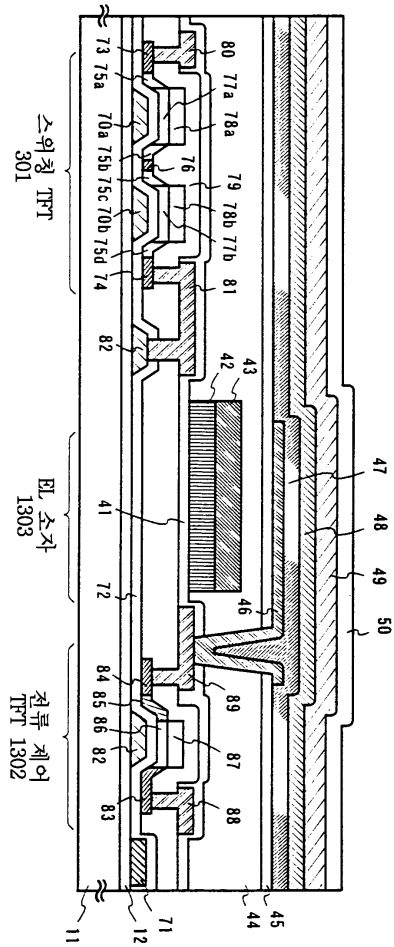
도면11



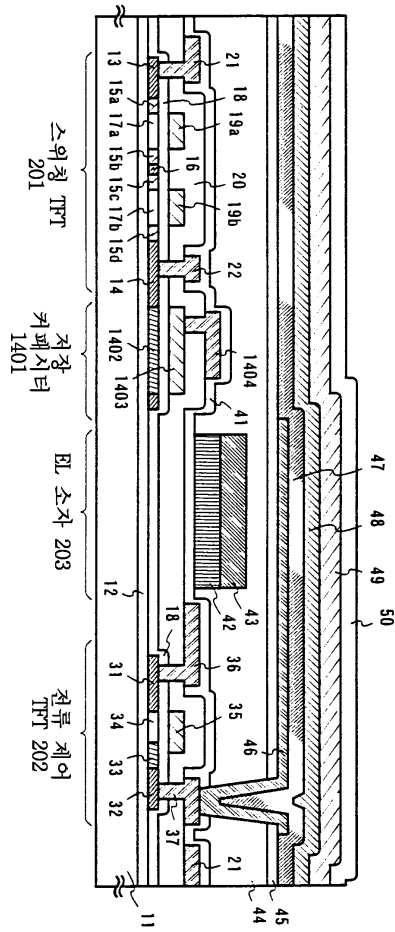
도면12



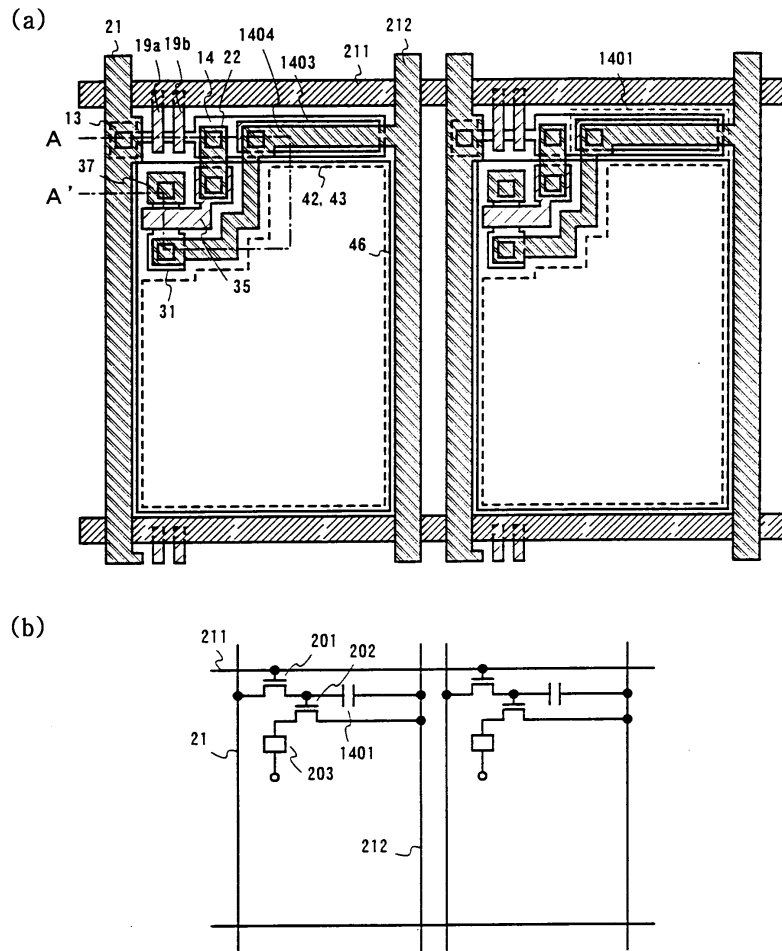
도면13



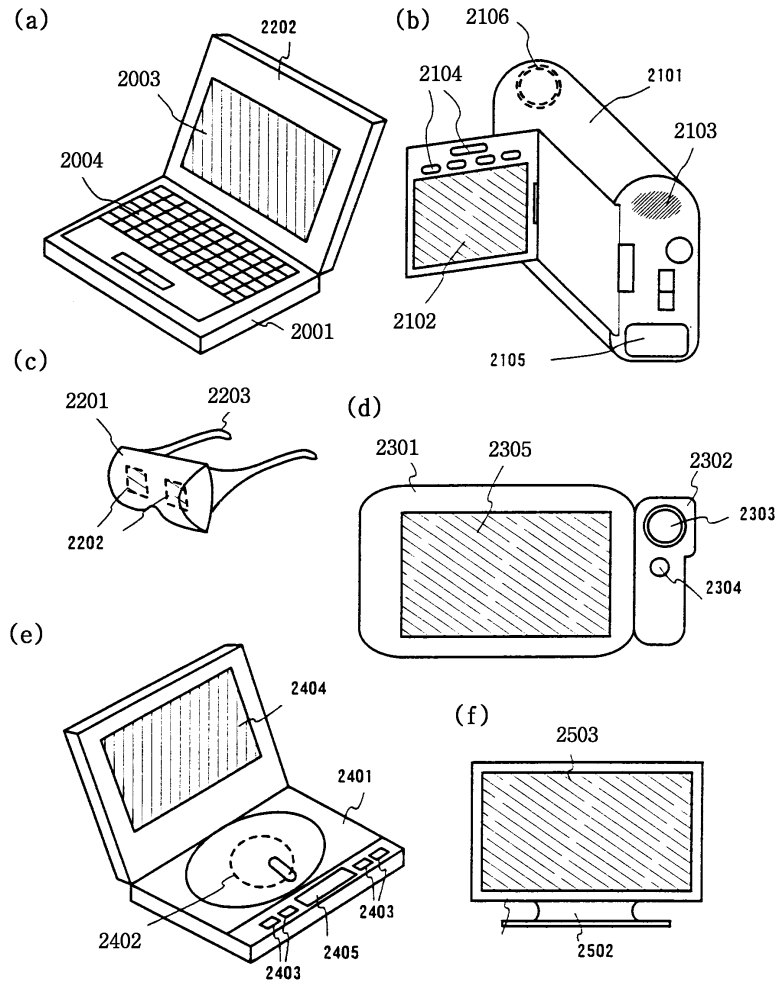
도면14



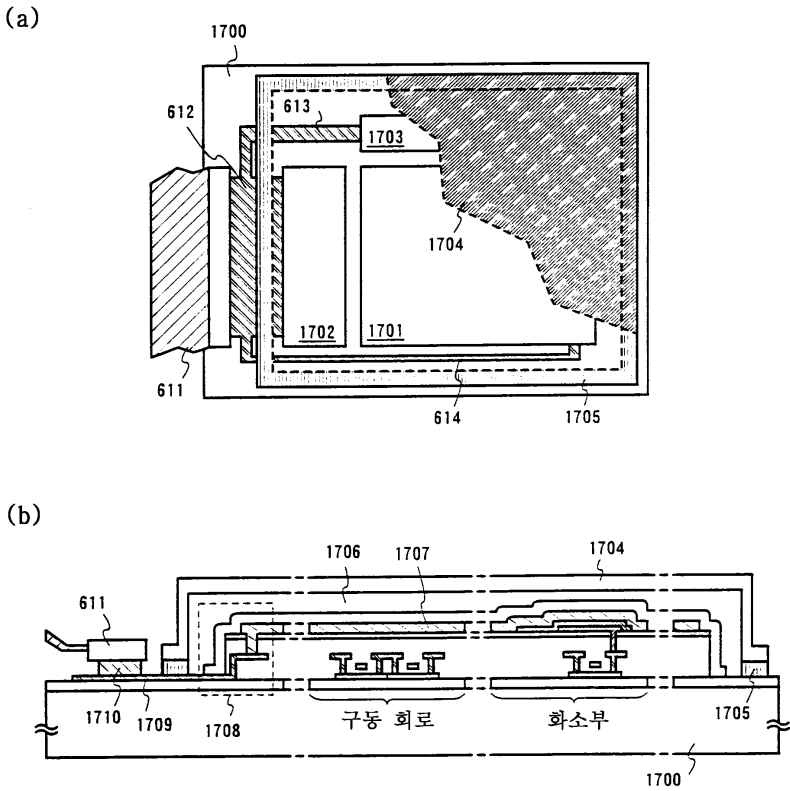
도면15



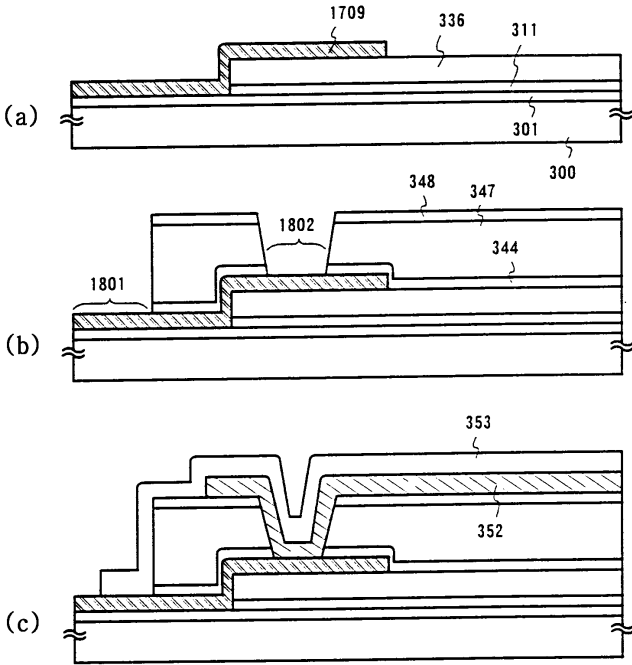
도면16



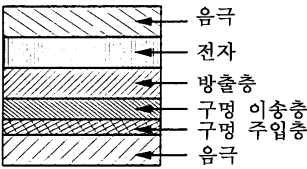
도면17



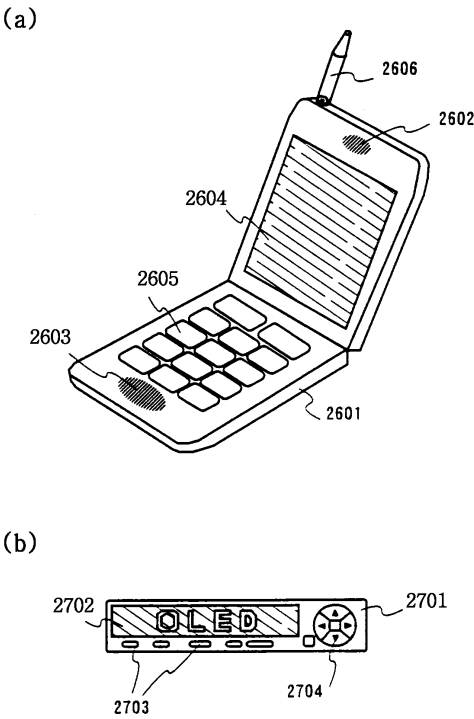
도면18



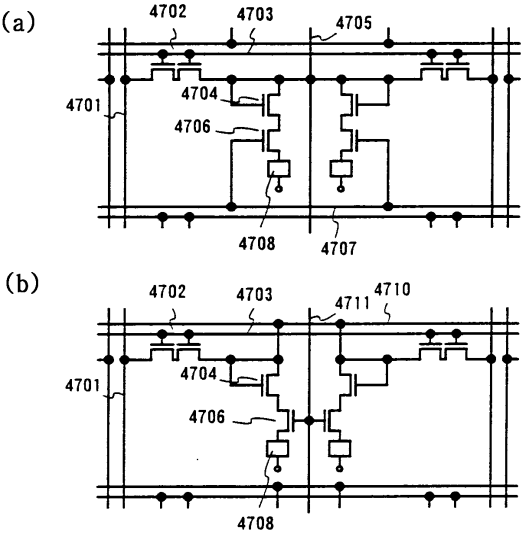
도면19



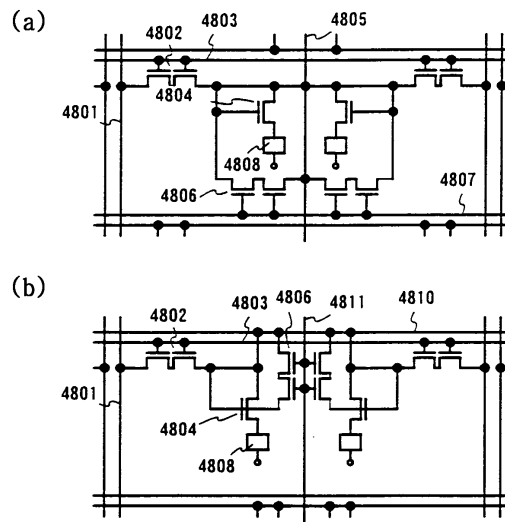
도면20



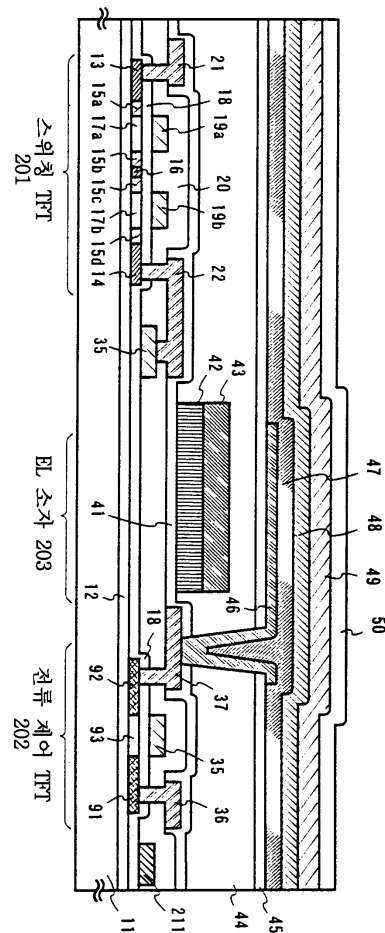
도면21



도면22



도면23



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020070031968A	公开(公告)日	2007-03-20
申请号	KR1020070009056	申请日	2007-01-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 KOYAMA JUN 고야마준 YAMAMOTO KUNITAKA KONUMA TOSHIMITSU 고누마도시미추		
发明人	야마자키순페이 고야마준 야마모토구니타카 고누마도시미추		
IPC分类号	H01L51/56 H01L51/52 H01L27/12 H01L27/32 H05B33/22 H05B33/02		
CPC分类号	H01L51/529 H01L27/1248 H01L51/56 H01L27/3258 H01L27/1214 H01L27/322 H01L51/5253		
代理人(译)	张本勋		
优先权	1999158809 1999-06-04 JP		
其他公开文献	KR100786550B1		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种具有高操作性能和可靠性的EL显示器件。第三钝化膜45包括EL元件203，EL元件203包括像素电极（阳极）46，EL层47和阴极48，以便形成其中发射由EL元件203产生的热的结构。Lt;;第三钝化膜45防止EL元件203中的碱金属扩散到TFT侧并防止水分和氧气穿透EL元件203进入TFT。特别地，第四钝化膜50具有散热效果，使得EL元件203被散热层包围。1(a)

화학식 1

