



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H03M 1/66 (2006.01)

(11) 공개번호 10-2007-0004001

(43) 공개일자 2007년01월05일

(21) 출원번호 10-2006-7020385

(22) 출원일자 2006년09월29일

심사청구일자 2006년09월29일

번역문 제출일자 2006년09월29일

(86) 국제출원번호 PCT/JP2005/005673

(87) 국제공개번호 WO 2005/093958

국제출원일자 2005년03월28일

국제공개일자 2005년10월06일

(30) 우선권주장 JP-P-2004-00095005 2004년03월29일 일본(JP)

(71) 출원인 로무 가부시킴가이샤
일본 교토시 우교구 사이인 미조사키쵸 21

(72) 발명자 아베, 신이찌
일본 615-8585 교토후 교토시 우교구 사이인 미조사키쵸 21 로무가부
시킴가이샤 내
마에데, 준
일본 615-8585 교토후 교토시 우교구 사이인 미조사키쵸 21 로무가부
시킴가이샤 내
후지사와, 마사노리
일본 615-8585 교토후 교토시 우교구 사이인 미조사키쵸 21 로무가부
시킴가이샤 내
후지가와, 아끼오
일본 615-8585 교토후 교토시 우교구 사이인 미조사키쵸 21 로무가부
시킴가이샤 내

(74) 대리인 장수길
이중희
구영창

전체 청구항 수 : 총 12 항

(54) D/A 변환 회로, 유기 EL 구동 회로 및 유기 EL 표시장치

(57) 요약

본 발명은, 저전압 구동이 가능하며, 고정밀도이고 또한 IC화한 경우에 전류 면적을 억제하는 것이 가능한 D/A를 제공한다. 그를 위해, 본 발명은, 피변환 데이터의 자릿수 위치에 대응하여 각각 설치된 복수의 출력측 트랜지스터를 갖는 제1 커

런트 미러 회로를 갖는 D/A 변환 회로에 있어서, 피변환 데이터의 하위의 자릿수 위치에 대응하는 적어도 출력측 트랜지스터 중의 1개의 상류측 혹은 하류측에 종속 접속된 제2 커런트 미러 회로를 갖고, 제2 커런트 미러 회로의 입력측 트랜지스터에 대한 출력측 트랜지스터의 동작 전류비가 $n:1$ (단, n 은 1 이상의 정수)로 설정되고, 제2 커런트 미러 회로의 출력측 트랜지스터에 1의 자리보다 하위인 자릿수 가중치에 대응하는 전류를 얻어, 아날로그 변환 전류를 생성하는 것이다.

대표도

도 1

특허청구의 범위

청구항 1.

피변환 데이터의 자릿수 위치에 대응하여 각각 설치된 복수의 출력측 트랜지스터를 갖는 제1 커런트 미러 회로를 갖고, 상기 피변환 데이터의 자릿수 위치에 대응하는 자릿수 가중치에 따른 전류를 상기 피변환 데이터에 따라 상기 복수의 출력측 트랜지스터 중의 적어도 1개에 얻어 아날로그 변환 전류를 생성하는 D/A 변환 회로로서,

상기 피변환 데이터의 하위의 자릿수 위치에 대응하는 적어도 상기 출력측 트랜지스터 중의 1개의 상류측 혹은 하류측에 종속 접속된 제2 커런트 미러 회로를 갖고,

상기 제2 커런트 미러 회로의 입력측 트랜지스터에 대한 출력측 트랜지스터의 동작 전류비가 $n:1$ (단 n 은 1 이상의 정수)로 설정되고, 상기 제2 커런트 미러 회로의 상기 출력측 트랜지스터에 1의 자리보다 하위인 자릿수 가중치에 대응하는 전류를 얻어, 상기 아날로그 변환 전류를 생성하는 D/A 변환 회로.

청구항 2.

제1항에 있어서,

상기 1의 자리보다 하위인 자릿수 가중치에 대응하는 전류는, 상기 피변환 데이터의 하위 자릿수 중의 적어도 1개에 대응하는 것으로서 상기 D/A 변환 회로의 출력 단자에 출력되는 D/A 변환 회로.

청구항 3.

제2항에 있어서,

정전압 바이어스 회로를 더 갖고, 상기 제2 커런트 미러 회로의 상기 입력측 트랜지스터 및 상기 출력측 트랜지스터의 출력 전극이 상기 정전압 바이어스 회로에 의해 소정의 정전압으로 설정되는 D/A 변환 회로.

청구항 4.

제3항에 있어서,

상기 정전압 바이어스 회로는, 상기 제2 커런트 미러 회로의 상기 입력측 트랜지스터 및 상기 출력측 트랜지스터에 각각 직렬로 접속된 직렬 접속의 다수의 트랜지스터와 정전압 회로를 갖고, 상기 직렬 접속의 다수의 트랜지스터의 게이트 혹은 베이스를 상기 정전압 회로에 의해 정전압으로 설정함으로써 상기 출력 전극이 상기 소정의 정전압으로 설정되는 D/A 변환 회로.

청구항 5.

제4항에 있어서,

상기 변환 데이터를 m비트로 하면, m이 짝수일 때에는 $m/2$ 을 상기 1의 자리의 자릿수로 하고, m이 홀수일 때에는 한가운데의 자릿수를 상기 1의 자리의 자릿수로 하고, 이들 1의 자리보다 하위에 상기 제2 커런트 미러 회로가 각각 설치되고, 상기 n은, 상기 1의 자리보다 하위인 자릿수 가중치에 대응하여 각각에 선택되어 있는 D/A 변환 회로.

청구항 6.

제3항에 있어서,

상기 제2 커런트 미러 회로의 상기 입력측 트랜지스터, 상기 출력측 트랜지스터 그리고 상기 직렬 접속의 다수의 트랜지스터는 각각 MOS 트랜지스터이고, 상기 제2 커런트 미러 회로의 동작 전류로부터, 2의 누승의 값이 1의 제수로 되는 전류치만큼이 상기 제2 커런트 미러 회로의 상기 출력측 트랜지스터에 분류(分流)되고, 상기 출력 단자에 이 분류된 전류가 출력되는 D/A 변환 회로.

청구항 7.

제3항에 있어서,

상기 제2 커런트 미러 회로의 상기 입력측 트랜지스터, 상기 출력측 트랜지스터 그리고 상기 직렬 접속의 다수의 트랜지스터는 각각 MOS 트랜지스터이고, 상기 정전압 바이어스 회로는, 상기 제2 커런트 미러 회로의 각각의 상기 출력측 트랜지스터의 상기 출력 전극과 각각의 상기 입력측 트랜지스터의 상기 출력 전극을 접속하는 볼티지 팔로워를 갖는 D/A 변환 회로.

청구항 8.

제6항 또는 제7항에 있어서,

상기 피변환 데이터의 자릿수는 8비트이거나, 그 이상인 D/A 변환 회로.

청구항 9.

제6항 또는 제7항에 있어서,

상기 피변환 데이터의 자릿수는, 8비트이거나, 그 이상이고 또한 γ 보정된 표시 데이터인 D/A 변환 회로.

청구항 10.

제1항 내지 제9항 중 어느 한 항의 상기 피변환 데이터는 표시 데이터이고 또한 어느 한 항의 D/A 변환 회로의 출력 전류에 의해 유기 EL 소자를 전류 구동하는 유기 EL 구동 회로.

청구항 11.

제1항 내지 제9항 중 어느 한 항의 상기 피변환 데이터는 표시 데이터이고 또한 어느 한 항의 D/A 변환 회로와, 상기 D/A 변환 회로의 출력 전류를 받아 이것에 의해 구동되어 유기 EL 소자를 전류 구동하는 전류원을 포함하는 유기 EL 구동 회로.

청구항 12.

제10항 또는 제11항의 유기 EL 구동 회로를 갖는 유기 EL 표시 장치.

명세서

기술분야

본 발명은, D/A 변환 회로, 유기 EL 구동 회로 및 유기 EL 표시 장치에 관한 것으로, 상세하게는, 저전압 구동이 가능하며, 고정밀도이고 또한 IC화한 경우에 전류 면적을 억제하는 것이 가능한, 커런트 미러 회로를 이용한 D/A 변환 회로에 관한 것이다. 또한, 커런트 미러 회로를 이용한 이 D/A 변환 회로에 의해 표시 데이터에 따른 구동 전류를 생성하여 유기 EL 패널의 단자 핀에 출력하는 컬럼 라인(유기 EL 소자의 양극측 드라이브 라인, 이하 동일함) 혹은 데이터선을 구동하는 전류 구동 회로에서, 표시 제품마다 휘도 변동이나 표시 장치의 휘도 불균일을 억제할 수 있어, γ 보정이 용이한 유기 EL 구동 회로에 관한 것이다.

배경기술

휴대 전화기, PHS, DVD 플레이어, PDA(휴대 단말 장치) 등에 탑재되는 유기 EL 표시 장치의 EL 표시 패널에서는, 컬럼 라인의 수가 396개(132×3)인 단자 핀, 로우 라인이 162개인 단자 핀을 갖는 것이 제안되고, 컬럼 라인, 로우 라인의 단자 핀은 그 이상으로 증가하는 경향이 있다.

이와 같은 유기 EL 표시 패널의 구동 회로로서, 컬럼 핀 대응으로 D/A 변환 회로(이하 D/A)를 설치한 본 출원인의 일본 특개2003~234655호의 출원이 있다(특허 문헌1). 이것은, 컬럼 핀 대응의 D/A가 표시 데이터와 기준 구동 전류를 받아, 기준 구동 전류를 따라서 표시 데이터를 D/A 변환하여 컬럼 핀 대응으로 컬럼 방향의 구동 전류 혹은 이 구동 전류의 근원으로 되는 전류를 생성한다.

[특허 문헌1] 일본 특개2003~234655호 공보

소비 전력을 저감하기 위해, 상기의 D/A의 전원 전압은, 예를 들면, DC 3V 정도로 낮게 억제되고, 최종단의 출력단 전류원의 전원 전압만을, 예를 들면, DC 15V~20V로 하고, 각 컬럼 핀(혹은 드라이버 IC의 각 출력 단자) 대응으로 설치된 각 D/A가, 각 컬럼 핀(혹은 드라이버 IC의 각 출력 단자) 대응으로 분배된 기준 구동 전류를 받아 유기 EL 소자(이하 OEL 소자)의 구동 전류의 근원으로 되는 전류를 생성하여 출력단 전류원을 구동한다. 이에 따라 전류 구동 회로 전체의 소비 전력을 낮게 억제하고 있다.

그러나, 상기한 D/A는, IC화한 경우에 핀 대응으로 설치할 필요가 있으므로, 그 점유 면적을 억제하기 위해, 현재로서는, 4비트~6 비트 정도의 것으로 되어 있다.

[발명의 개시]

[발명이 해결하고자 하는 과제]

4 비트~6 비트 정도의 D/A를 사용하여 출력 전류원단을 구동하고, OEL 소자를 전류 구동하면, D/A의 전류 변환 정밀도가 나빠기 때문에, 컬럼 핀 대응의 혹은 각 출력 단자 대응의 구동 전류에 변동을 발생하고, 그것이 표시 장치의 제품마다 휘도 변동이나 표시 장치의 휘도 불균일로 되어 나타나는 문제가 있다.

그런데, 유기 EL 표시 패널의 각 OEL 소자는, 브라운관의 경우와 마찬가지로 표시 데이터의 값에 따라 발생하는 구동 전류에 대하여 그 휘도가 직선적인 관계가 아니라, R, C, B의 재료에 의한 소자 특성에 따른 곡선으로 된다. 따라서, 유기 EL 표시 장치를 사용하는 주위의 환경이 변하면 화질이 변화되고, 유기 EL 표시 패널이 고해상도로 되면 될수록, 이 화질의 변화가 눈에 띈다. 그 때문에 γ 보정을 하는 것이 필요하게 된다.

통상적으로, γ 보정을 하는 경우에는, 드라이버 등에서 소프트적으로 D/A 변환 회로에 설정하는 표시 데이터를 보정하는 것이 생각되지만, 4 비트~6 비트 정도의 D/A에서는, 이 γ 보정을 할 수 없는 문제가 있다. 그 때문에 γ 보정 회로를 편 대응으로 설치하게 되는데, γ 보정 회로의 증가에 의해 전류 구동 회로의 점유 면적이 증가하는 문제가 있다.

발명의 상세한 설명

본 발명의 목적은, 이와 같은 종래 기술의 문제점을 해결하는 것으로서, 저전압 구동이 가능하며, 고정밀도이고 또한 IC화한 경우에 점유 면적을 억제하는 것이 가능한 D/A를 제공하는 데 있다.

본 발명의 다른 목적은, 표시 장치의 휘도 변동이나 휘도 불균일을 억제할 수 있어, γ 보정이 용이한 유기 EL 구동 회로 및 유기 EL 표시 장치를 제공하는 데 있다.

[과제를 해결하기 위한 수단]

이와 같은 목적을 달성하기 위한 본 발명의 D/A, 유기 EL 구동 회로 및 유기 EL 표시 장치의 구성은, 피변환 데이터의 자릿수 위치에 대응하여 각각 설치된 복수의 출력측 트랜지스터를 갖는 제1 커런트 미러 회로를 갖고, 상기 피변환 데이터의 자릿수 위치에 대응하는 자릿수 가중치에 따른 전류를 상기 피변환 데이터에 따라 상기 복수의 출력측 트랜지스터의 적어도 1개에 얻어 아날로그 변환 전류를 생성하는 D/A 변환 회로에 있어서,

상기 피변환 데이터의 하위의 자릿수 위치에 대응하는 적어도 상기 출력측 트랜지스터 중의 1개의 상류측 혹은 하류측에 종속 접속된 제2 커런트 미러 회로를 갖고,

상기 제2 커런트 미러 회로의 입력측 트랜지스터에 대한 출력측 트랜지스터의 동작 전류비가 $n:1$ (단 n 은 1 이상의 정수)로 설정되고, 상기 제2 커런트 미러 회로의 상기 출력측 트랜지스터에 1의 자리보다 하위인 자릿수 가중치에 대응하는 전류를 얻어, 상기 아날로그 변환 전류를 생성하는 것이다.

본 발명은, 제2 커런트 미러 회로를 제1 커런트 미러 회로의 출력측 트랜지스터에 전원 라인과 기준 전위 라인(그라운드 라인) 사이에서 종속 접속되는 형태로 직렬로 설치하여 1의 자리보다 하위인 자릿수 가중치에 대응하는 아날로그 변환 전류를 얻는다. 이에 따라, 본 발명은, 최대 자릿수 위치의 가중치에 대응하는 아날로그 변환 전류를 생성하는 출력측 트랜지스터의 위치를 낮은 자릿수 위치측으로 시프트할 수 있다. 이 경우, 1이나, 그 이상의 자릿수 가중치에 각각 대응하는 제1 커런트 미러 회로의 출력측 트랜지스터에서 발생하는 각 전류치는, 낮은 자릿수 위치측으로 시프트한 정도만큼 적어지는데, 그것은, 입력측 트랜지스터의 구동 전류를 그만큼 크게 하면 된다. 예를 들면, 1자릿수 시프트한 경우에는 커런트 미러 회로의 입력측 트랜지스터의 구동 전류를 2배로 하면, 시프트하기 전의 자릿수 위치의 아날로그 변환 전류를 시프트한 낮은 자릿수 위치에서 얻을 수 있다.

1의 자리로부터 최대 자릿수 위치까지의 가중치는, 1, 2, 4, 3, 16, ...으로 1개 앞의 자리에 대하여 2의 누승 분으로 증가하므로, 이것에 대응하여 아날로그 변환 전류를 생성하는 출력측 트랜지스터의 수도 증가하는데, 1의 자리보다 하위인 자릿수 가중치, $1/2(=0.5)$, $1/4(=0.25)$, $1/8(=0.125)$, ..., 즉, 2의 누승의 값이 1의 제수로 되는 값에 대해서는, 출력측 트랜지스터에 직렬 접속된 제2 커런트 미러 회로에 의해 2의 누승 분의 1로 분류한 전류를 생성하면 된다. 그 때문에, 2의 누승 분으로 증가하는 최대 자릿수 위치보다 아날로그 변환 전류를 생성하는 출력측 트랜지스터의 수가 적어도 된다. 이에 따라 D/A를 구성하는 트랜지스터 셀 수를 저감할 수 있어, IC에서의 D/A의 점유 면적을 저감할 수 있다.

또한, 다른 발명은, 제2 커런트 미러 회로의 입력 트랜지스터와 출력 트랜지스터의 출력 전극, 예를 들면, 소스 혹은 드레인 중 어느 하나의 전압을 동등하게 하는 바이어스 회로를 설치하고 있다. 이에 따라, 각 자릿수의 변환 전류를 높은 정밀도로 생성할 수 있다. 또한, 1의 자리보다 하위인 자릿수 가중치에 대응하는 제1 커런트 미러 회로의 출력측 트랜지스터의 출력측은, 제2 커런트 미러 회로가 전원 라인과 기준 전위 라인(그라운드 라인) 사이에서 종속 접속되는 형태로 설치되므로, 제2 커런트 미러 회로의 동작 전류(입력측 트랜지스터와 출력측 트랜지스터에 흐르는 전류의 합)가 흐른다. 이에 따라, 제1 커런트 미러 회로의 출력측 트랜지스터의 출력측에는 제2 커런트 미러 회로의 출력측 트랜지스터에 흐르는 1의 자리보다 하위인 자릿수 가중치에 대한 전류보다 큰 전류가 흐르게 되므로, 본 발명은, 이 출력측 트랜지스터의 출력측의 동작 전압을 낮게 억제할 수 있다. 물론, 1의 자리를 초과하는 자릿수 가중치에 대응하는 출력측 트랜지스터에는 큰 전류가 흐른다. 이들에 의해 이 D/A의 저전압 구동이 가능하게 된다.

그 결과, 본 발명은, 저전압 구동이 가능하며, 고정밀도이고 IC화한 경우에 전류 면적을 억제하는 것이 가능한 D/A를 실현할 수 있다. 또한, 이 D/A를 이용하고, 이에 따라 표시 데이터에 따른 구동 전류를 생성하여 유기 EL 패널의 단자 핀에 출력하는 컬럼 라인 혹은 데이터선의 전류 구동 회로는, 표시 장치의 휘도 변동이나 휘도 불균일을 억제할 수 있다. 그리고, 이 경우의 D/A로서 변환 비트 수를, 예를 들면, 8 비트나, 그 이상으로 함으로써, 본 발명은, 표시 데이터를 γ 보정한 데이터로 할 수 있고, 이에 따라 각 출력 단자 대응으로 γ 보정이 용이한 전류 구동 회로를 실현할 수 있고 또한 전류 구동 회로의 점유 면적의 증가를 억제할 수 있다.

실시예

도 1은, 본 발명의 D/A를 적용한 일 실시예의 유기 EL 구동 회로의 블록도, 도 2은, 다른 실시예의 블록도, 도 3은, 액티브 매트릭스형의 유기 EL 구동 회로의 블록도이다.

도 1에서, 10은 유기 EL 구동 회로의 컬럼 드라이버이고, 11은 그 D/A, 12는 기준 구동 전류 I_p 를 발생하는 정전류원, 13은, 정전압 바이어스 회로, 14는 피크 전류 생성 회로, 15는 컨트롤 회로, 그리고, 16은 표시 데이터를 기억하는 레지스터이다.

D/A(11)는, N채널 MOS의 입력측 트랜지스터(TNa , TNp)와 N채널 MOS의 출력측 트랜지스터($TNb \sim TNi$)에 의한 커런트 미러 회로로 구성된다. 입력측 트랜지스터(TNp)는, 입력측 트랜지스터(TNa)에 병렬로 설치되어 있다.

각 출력측 트랜지스터($TNb \sim TNi$)의 드레인은, 8 비트 표시 데이터의 각 자릿수 위치에 대응하고 있고, 아날로그 변환 전류를 각 드레인에 흐르는 전류의 합계치로서 발생한다. 각 출력측 트랜지스터($TNb \sim TNi$)의 소스와 그라운드 GND 사이에는 스위치 회로로서 접속된 N채널 MOSFET 트랜지스터($Trb \sim Tri$)가 각각 설치되어 있다. 그리고, 트랜지스터($Trb \sim Tri$)의 게이트가 각각 표시 데이터의 각 입력 단자 $D0 \sim D7$ 에 접속되어 있다. 즉, 각 트랜지스터($Trb \sim Tri$)는, 각각 스위치 회로로 되어 있고, 레지스터(17)로부터의 송출되는 표시 데이터에 따라 각 스위치 회로의 ON/OFF가 결정된다. 표시 데이터는, 컨트롤 회로(15)의 래치 펄스 LP에 따라 MPU 등으로부터 레지스터(17)에 세트된다.

또한, 각 N채널의 입력측 트랜지스터(TNa , TNp , $TNb \sim TNi$, $Trb \sim Tri$)의 백 게이트는, 그라운드 GND에 접속되어 있다.

입력측 트랜지스터(TNa)의 소스는, 그라운드 GND에 접속되고, 입력측 트랜지스터(TNp)의 소스는, 스위치 회로 SW를 통하여 그라운드 GND에 접속되어 있다. 그리고, 각 트랜지스터(TNa , TNp , $TNb \sim TNi$)의 게이트는 공통적으로 접속되고, 또한 트랜지스터(TNa , TNp)의 게이트와 드레인이 D/A(11)의 입력 단자(11a)에 접속되어 있다. 이것으로 트랜지스터(TNa , TNp)는, 다이오드 접속되고, 이들 트랜지스터가 이 커런트 미러 회로의 입력측 트랜지스터로 되어 있다.

또한, 스위치 회로 SW는, 컨트롤 회로(15)로부터 인버터(15a)를 통하여 제어 펄스(CONT)를 받아 ON/OFF된다.

표시 데이터 $D0 \sim D2$ 는, 1의 자릿수 이하로 되는 하위 3자릿수, 즉 $1/8$, $1/4$, $1/2$ 에 대응하고 있어, 각 출력측 트랜지스터($TNb \sim TNd$)의 드레인은, 각각 상류에 설치된 커런트 미러 회로(111, 112, 113)에 종속 접속되고, 각 커런트 미러 회로(111, 112, 113)의 출력측 트랜지스터의 각각, 출력 라인(114)을 통하여 D/A(11)의 출력 단자(11b)에 각각 접속되어 있다.

표시 데이터 $D3 \sim D7$ 은, 1의 자리와 그 이상의 자리가 대응하는 중·상위까지의 4자리이다. 이 4자리에 대응하는 각 출력측 트랜지스터($TNe \sim TNi$)의 드레인은, 출력 라인(114)을 통하여 출력 단자(11b)에 접속되어 있다.

D/A(11)의 출력 단자(11b)는, 출력단 전류원(1)의 입력에 접속되고, D/A(11)가 출력단 전류원(1)을 전류 구동한다. 출력단 전류원(1)은, 통상적으로, 커런트 미러 회로로 구성된다. 그 입력측 트랜지스터가 D/A(11)에 의해 구동되고 그 출력측 트랜지스터에 발생하는 전류가 유기 EL 패널의 단자 핀(2)을 통하여 OEL 소자(3)의 양극에 접속되고, 이것을 전류 구동한다. 또한, OEL 소자(3)의 음극은, 통상적으로, 로우측 구동 회로를 통하여 접지되지만, 로우측 구동 회로는 발명에 관계되어 있지 않으므로, 여기에서는 도시하는 바와 같이 접지되어 있는 것으로 한다.

각 트랜지스터(TNa , TNp , $TNb \sim TNi$)의 옆에 나타내는 $\times 1$, $\times 2$, $\times 4 \dots$ 의 숫자는, 패러렐로 접속된 트랜지스터의 셀 수(이하 셀 수)를 나타내고 있다. $\times 1$ 의 경우에 병렬 접속은 없다. 이 셀 수에 따라 출력측 트랜지스터($TNe \sim TNi$)는, 각각의 출력 전류가 표시 데이터 $D3 \sim D7$ 의 자릿수 가중치에 대응하는 아날로그 변환 전류를 발생한다. 출력측 트랜지스터($TNb \sim TNe$)는, $\times 1$ 로 되어 있어, 이들에 흐르는 동작 전류는 동일하다.

각 출력측 트랜지스터(TNb~TNd)에 대해서는, 커런트 미러 회로(111, 112, 113)가 상류에 설치되어 있는 관계로, 자릿수 가중치가 1/8, 1/4, 1/2인 아날로그 변환 전류치를 발생한다.

즉, 이 D/A(11)는, 표시 데이터 D0~D7의 자릿수 가중치의 중앙 위치에 해당하는 4자릿수째(D3)에 대응하는 출력 트랜지스터(TNe)를 1의 자리로 하고, 이보다 앞의 각 자릿수(D0~D3)에 대응하는 출력 트랜지스터(TNb~TNd)의 위치는, 2의 누승의 값이 1의 제수로 되어 순차적으로 선택된 자릿수 가중치로 되어 있다. 또한, 이보다 뒤의 각 자릿수의 출력 위치는, 2의 누승의 값의 자릿수 가중치로 되어 순차적으로 선택된 자릿수 가중치로 되어 있다.

또한, 4자릿수째(D3)는, 표시 데이터를 8 비트로 하면, 그 1의 자릿수 위치를 상위와 하위의 2개로 나뉘었을 때의 실질적으로 한가운데에 해당하는 자릿수 위치(표시 데이터를 m비트라고 하면, m이 짝수일 때에는 m/2의 자릿수 위치, m이 홀수일 때에는 한가운데의 자릿수 위치)에 대응하고 있다. 따라서, 1의 자리보다 하위인 자릿수 가중치는, 이 실질적으로 한가운데에 해당하는 자릿수 위치를 1의 자리로 하여 이보다 하위인 자릿수 위치(D0~D3)에 대응하는 출력측 트랜지스터(TNb~TNd)에 할당되어 있다.

이에 따라 8 비트의 최상위 자릿수의 자릿수 가중치 128을 1의 자리보다 하위 3자리의 자릿수 가중치만큼 시프트할 수 있다. 통상적으로, 8 비트의 최대 자릿수 위치의 가중치 128은, 1개 앞의 자릿수 64에 대하여 2의 누승 분의 값으로 증가하지만, 본 실시예의 자릿수 위치 D0~D3과 같이 커런트 미러 회로를 상류에 설치하고 이에 의해 분류한 전류의 1개를 1의 자리보다 하위인 자릿수 가중치의 전류치로 한다. 즉, 상류의 커런트 미러 회로의 각 출력측 트랜지스터가 각각 1의 자리보다 하위인 자릿수 가중치의 전류치를 생성하도록 하면, 출력측 트랜지스터의 수의 증가를 억제할 수 있다.

이 경우, 1의 자리보다 하위인 자릿수 가중치는, 상류측에 설치한 커런트 미러 회로의 입력측 트랜지스터와 출력측 트랜지스터의 채널폭 비(혹은 게이트 폭비)로 하류의 출력측 트랜지스터에 흐르는 전류를 이들 트랜지스터로 분배함으로써 용이하게 생성할 수 있다. 그리고, 상류의 커런트 미러 회로가 그 출력측 트랜지스터에 분배한 2의 누승 분의 1의 전류는, D/A(11)의 출력 단자(11b)에 출력된다.

예를 들면, 1의 자리 이하의 자릿수를 1자리로 하여 상류의 커런트 미러 회로의 입력측 트랜지스터와 출력측 트랜지스터에서 전류를 1:1로 분배하여 D/A(11)의 출력 단자(11b)에 1/2의 전류가 1의 자리 이하의 자리로부터 출력되고, 최대 자릿수측이 1자리 시프트한 경우를 예로 하면, 최상위 자릿수의 트랜지스터 셀 수가 64개로 되어, 64개의 저감으로 된다. 이 경우에 상류에 있는 커런트 미러 회로에 의한 1/2의 자릿수 가중치의 트랜지스터 셀 수의 증가는, 본 실시예에서는, 커런트 미러 회로로서 트랜지스터가 2개 증가하고, 정전압 바이어스 회로(13)로서 트랜지스터가 2개 증가하여, 총계 4개 증가할 뿐이다.

D0에 대응하는 출력측 트랜지스터(TNb)의 상류에 설치된 커런트 미러 회로(111)는, N채널의 입력측 트랜지스터(QN1)와 N채널의 출력측 트랜지스터(QN2)에 의한 커런트 미러 회로로 구성되어 있다. 트랜지스터(QN1)의 드레인, 트랜지스터(TN1)를 통하여 전원 라인 + VDD에 접속되고, 트랜지스터(QN2)의 드레인, 트랜지스터(TN2), 출력 라인(114)을 통하여 출력 단자(11b)에 접속되어 있다. 트랜지스터(QN1, QN2)의 소스측은, 공통으로 출력측 트랜지스터(TNb)의 드레인에 접속되어 있다.

D1에 대응하는 출력측 트랜지스터(TNc)의 상류에 설치된 커런트 미러 회로(112)는, N채널의 입력측 트랜지스터(QN3)와 N채널의 출력측 트랜지스터(QN4)에 의한 커런트 미러 회로로 구성되어 있다. 트랜지스터(QN3)의 드레인, 트랜지스터(TN3)를 통하여 전원 라인 + VDD에 접속되고, 트랜지스터(QN4)의 드레인, 트랜지스터(TN4), 출력 라인(114)을 통하여 출력 단자(11b)에 접속되어 있다. 트랜지스터(QN3, QN4)의 소스측은, 공통적으로 출력측 트랜지스터(TNb)의 드레인에 접속되어 있다.

D2에 대응하는 출력측 트랜지스터(TNd)의 상류에 설치된 커런트 미러 회로(113)는, N채널의 입력측 트랜지스터(QN5)와 N채널의 출력측 트랜지스터(QN6)에 의한 커런트 미러 회로로 구성되어 있다. 트랜지스터(QN5)의 드레인, 트랜지스터(TN5)를 통하여 전원 라인 + VDD에 접속되고, 트랜지스터(QN6)의 드레인, 트랜지스터(TN6), 출력 라인(114)을 통하여 출력 단자(11b)에 접속되어 있다. 트랜지스터(QN5, QN6)의 소스측은, 공통적으로 출력측 트랜지스터(TNb)의 드레인에 접속되어 있다.

또한, 트랜지스터(QN1~QN6)의 게이트는, 공통적으로 전원 라인 + VDD에 접속되어 있다.

정전압 바이어스 회로(13)는, 정전압 회로(13a)와 N채널의 트랜지스터(TN1~N6)로 이루어진다.

트랜지스터(TN1~TN6)의 게이트는, 전압 V_a 의 정전압 회로(13a)에 라인(115)을 통하여 접속되어 있다. 이에 따라, 트랜지스터(TN1~TN6)의 하류에 접속되는 트랜지스터(QN1~QN6)의 드레인, 전압 $V_a - V_{gs}$ 로 되어, 실질적으로 동등하게 된다. 또한, V_{gs} 는, 트랜지스터(QN1~QN6)의 게이트-소스 간 전압이며, 0.7V 정도이다. 커런트 미러 회로이므로, 트랜지스터(QN1~QN6)의 게이트 전압은 동등하다.

그 결과, 커런트 미러 회로(111~113)를 구성하는 각 트랜지스터의 드레인-소스 간의 전류치를 트랜지스터 셀 단위로 동등하게 할 수 있어, 변환 전류 정밀도를 향상시킬 수 있다.

트랜지스터(QN1)와 트랜지스터(QN2)는, 패러럴로 접속되는 셀 수의 비가 7:1이다. 이에 따라, 이들 트랜지스터의 채널 폭(게이트 폭)의 비가 7:1로 설정되어 있다. 그 결과, 하류의 출력측 트랜지스터(TNb)에 흐르는 전류의 1/8의 전류가 출력 라인(114)으로부터 싱크된다.

이들 트랜지스터의 채널 폭의 비는, 커런트 미러 회로(111)에서는 입력측 트랜지스터(QN1)와 출력측 트랜지스터(QN2)의 동작 전류비를 결정한다.

마찬가지로, 트랜지스터(QN3)와 트랜지스터(QN4)는, 패러럴로 접속되는 셀 수의 비가 3:1이다. 이에 따라, 하류의 출력측 트랜지스터(TNc)에 흐르는 전류의 1/4의 전류가 출력 라인(114)으로부터 싱크된다.

또한, 트랜지스터(QN5)와 트랜지스터(QN6)는, 패러럴로 접속되는 셀 수의 비가 1:1이다. 이에 따라, 하류의 출력측 트랜지스터(TNd)에 흐르는 전류의 1/2의 전류가 출력 라인(114)으로부터 싱크된다.

이상에 의해 출력 단자(11b)로부터 싱크하는 전류의 자릿수 가중치가 1/8, 1/4, 1/2로 되고, 이들의 전류가 1의 자리 이하의 각각의 자릿수 위치에 발생한다. 이때, 하류의 트랜지스터(TNb~TNd)에 흐르는 전류는, 커런트 미러 회로(111~113)에서 분배된 전류가 합류된 전류, 즉, 커런트 미러 회로의 전체의 동작 전류이고, 이들은, 4자릿수째(D3)의 트랜지스터(TNe)에 흐르는 전류와 동일한 전류치이다. 이에 따라 트랜지스터(TNb~TNd)의 드레인-소스 간의 전압을, 통상적으로 1의 자리 이하의 자릿수의 전류를 직접 얻는 경우보다 낮게 할 수 있다. 또한, 그것은, 트랜지스터(TNa)와 트랜지스터(TNp)에 흐르는 구동 전류에 대응한 값으로 되므로, 정밀도가 높다.

이와 같이, 트랜지스터(TNb~TNe)에 흐르는 전류가 실질적으로 동등하게 되어 있으므로, 4자릿수째(D3)로부터 그 아래의 하위 자릿수의 변환 전류 정밀도가 향상된다. 또한, 최상위 자릿수도 패러럴로 접속 셀 수가 16개로 적은 수에 그치므로, 그 만큼, 변환 전류 정밀도가 향상된다.

입력측의 트랜지스터(TNa)와 트랜지스터(TNp)는, 패러럴로 접속되는 셀 수의 비가 1:9이다. 이에 따라, 이들 트랜지스터의 채널 폭(게이트 폭)의 비가 1:9로 설정되어 있다.

그런데, 본 실시예의 D/A(11)는, 출력측 트랜지스터에서 발생하는 전류치가 낮은 자릿수 위치측으로 시프트한 만큼 적어진다. 그러나, 그것은, 입력측 트랜지스터의 구동 전류를 그 만큼 크게 하면 시프트하기 전의 자릿수 위치의 아날로그 변환 전류를 시프트한 낮은 자릿수 위치에서 얻을 수 있다. 입력측 트랜지스터의 구동 전류를 발생하는 것이 정전류원(12)이다.

정전류원(12)은, 예를 들면 +3V 정도의 낮은 전원 라인 +VDD에 접속되어 있고, 이것의 하류에 설치된 트랜지스터(TNa)와 트랜지스터(TNp)에 입력 단자(11a)를 통하여 구동 전류 I_p 를 송출한다.

이 정전류원(12)은, 기준 전류 분배 회로의 출력 전류원에 대응하고 있다. 기준 전류 분배 회로는, 커런트 미러 회로로 구성되는 입력측 트랜지스터가 기준 전류를 받아, 출력 단자 쪽 대응으로 병렬로 설치된 다수의 출력측 트랜지스터에 미러 전류로서 기준 전류를 생성한다. 이때 분배된 기준 전류 혹은 기준 구동 전류(기준 전류가 증폭된 전류)는, OEL 소자(3)의 구동 초기에 구동 전류에 피크 전류를 발생한다. 이 피크 전류를 생성하는 전류치에 대응시킨 전류치가 구동 전류값 I_p 이다. 이것이 기준 전류 분배 회로에 설치된 커런트 미러 회로의 각 출력측 트랜지스터로부터 각 D/A(11)에 출력된다. 따라서, 이 전류원(12)은, 통상적으로, 1개의 P채널의 MOS 트랜지스터로 되고, 그 소스가 전원 라인 +VDD에 접속되고, 그 드레인이 입력 단자(11a)에 접속된 것으로 된다.

도 1에 도시하는 바와 같이, 트랜지스터(TNp)의 하류의 스위치 회로 SW는, 컨트롤 펄스(CONT)의 반전 신호를 인버터(15a)를 통하여 받는다. 컨트롤 회로(15)는, OEL 소자(3)의 구동 초기에 일정 기간 HIGH 레벨("H")로 되는 컨트롤 펄스(CONT)를 발생한다. 이에 따라 구동 초기는 스위치 회로 SW가 OFF로 되어, D/A(11)에 상기의 피크 전류를 생성하는 아

날로그 변환 전류가 발생한다. 그 후, 컨트롤 펄스(CONT)가 정지하여 LOW 레벨("L")로 됨으로써 스위치 회로 SW가 그 반전 신호 "H"를 받아 ON으로 된다. 이에 따라 구동 전류치 I_p 는, 트랜지스터(TNp)에 분류되어 트랜지스터(TNa)와 트랜지스터(TNp)에 흐르고, 입력측의 구동 전류가 $I_p/10$ 으로 되어, OEL 소자(3)의 구동 전류는, 구동 초기의 피크 전류로부터 정상 전류로 떨어진다.

그런데, 이상에 의해, 도 1에 도시하는 D/A(11)는, 커런트 미러 회로의 출력측 트랜지스터(TNb~TNd)가 출력 단자(11b)로부터 싱크하는 전류가 자릿수 가중치 1/8, 1/4, 1/2이면서, 자릿수 가중치 1의 4자릿수째(D3)의 출력 트랜지스터(TNe)와 실질적과 동등한 전류로 할 수 있다. 또한, 변환 비트 수가 8 비트이면서 최대 자릿수의 가중치는, $\times 16$ 이면 된다. 이에 따라, 4자릿수째(D3)을 초과하는 상위 자릿수의 출력 전류의 변동도 억제할 수 있다.

도 2는, 또한 다른 실시예의 D/A(110)의 회로로서, 정전압 바이어스 회로(13)로 교체하여 볼티지 팔로워(버퍼 앰프)(130)를 설치한 것이다.

커런트 미러 회로(111~113)의 각 커런트 미러 회로의 입력측 트랜지스터(QN1, QN3, QN5)의 구동 전류는, 전원 라인 + VDD가 아니라, 볼티지 팔로워(130)를 통하여 공급된다. 트랜지스터(TN1~TN6)는 삭제됨으로써 트랜지스터 수가 더 저감되어 있다.

볼티지 팔로워(130)는, 차동 앰프(예를 들면, 오피 앰프)로 구성되고, 그 (+)입력 단자가 출력 라인(114)에 접속되어 있다. 그 (-)입력 단자가 출력 단자에 접속되어 피드백되고, 이 출력 단자가 트랜지스터(QN1, QN3, QN5)의 드레인에 라인(115)을 통하여 접속되어 있다.

그 밖의 구성은, 도 1의 실시예와 마찬가지로 설명을 생략한다.

본 실시예에서는, 볼티지 팔로워(130)에 의해 이것의 출력 전압을 출력 단자(11b)의 전압과 동등하게 되도록 설정한다. 이에 따라, 트랜지스터(QN1~QN6)의 드레인의 전압을 출력 단자(11b)의 전압으로 한다.

이 D/A(110)의 이점은, 패시브 매트릭스형의 유기 EL 패널과 같이, 도 1의 D/A에서 출력 단자(11a)에 출력단 전류원(1)을 설치한 경우에 전류 변환 정밀도를 향상시킬 수 있는 것이다.

즉, 전원 라인 + VDD(예를 들면 3V)보다 높은 전압, 예를 들면 15V~20V의 전원 전압으로 동작하는 출력단 전류원(1)을 구동하는 경우, 출력 단자(11a)의 출력 전류치에 따라 출력 라인(114)의 전위가 수 V 정도 변동하지만, 본 실시예에서는, 그것을 수 mV~수 mV정도의 범위로 억제할 수 있다.

도 1의 실시예에서 트랜지스터(QN3)와 트랜지스터(QN4)는, 패러렐로 접속되는 접속되는 셀 수의 비가 3:1이고, 트랜지스터(QN5)와 트랜지스터(QN6)는, 패러렐로 접속되는 셀 수의 비가 1:1이다. 그러나, 본 실시예는, 트랜지스터(QN3)와 트랜지스터(QN4)의 동작 전류비는 3:1이지만, 이들의 셀 수의 비를 6:2으로 하고, 트랜지스터(QN5)와 트랜지스터(QN6)의 동작 전류비는 1:1이지만, 이들의 셀 수의 비를 4:4로 하고 있다. 이와 같이 하면, 모든 셀 트랜지스터 셀 회로에 흐르는 전류를 $I_p/8$ 로 할 수 있다. 단, I_p 는, 입력측 트랜지스터 셀 회로의 피크 전류 발생 시의 구동 전류치이다. 정상 상태에서의 구동 전류치는, $I_p/10$ 이다.

이에 따라 본 실시예는, 각 출력측 트랜지스터(TNb~TNe)의 드레인측의 전위를 실질적으로 동등하게 하는 것이 가능하게 된다. 그 결과, 출력측 트랜지스터(TNb~TNe)의 출력 전류(아날로그 변환 전류)의 정밀도를 더 향상시킬 수 있다.

도 3은, 액티브 매트릭스형의 유기 EL 패널의 구체예로서, D/A(110)(혹은 D/A(11))의 출력 단자(11a)가 전류 싱크의 출력으로 되어 있으므로, 출력단 전류원(1)을 삭제하여, D/A의 출력 단자(11a)를 단자 핀(2)에 직접 접속한 실시예이다. 본 실시예는, 액티브 매트릭스형의 유기 EL 패널(101)의 픽셀 회로(4)의 데이터선 X(X1~Xn)에 단자 핀(2)을 통하여 출력 단자(11a)를 접속하고, 액티브 매트릭스형의 유기 EL 패널을 구동한다.

100은, D/A(110)이 출력 단자 핀(2)에 대응하여 설치된 전류 구동 회로로서, MPU(6)에 의해 제어된다. 컨트롤 회로(15)는, MPU(6)에 의해 제어되어 타이밍 제어 신호 T1, T2를 기입 제어 회로(5)에 송출한다.

도 3에 도시하는 바와 같이, 픽셀 회로(표시 셀)(4)는, X, Y의 매트릭스 배선(데이터선 X1, ..., Xn, 주사선 Y1, Y2, ...)의 교점에 대응하여 설치되어 있고, 이 픽셀 회로(4) 내에는 각 데이터선과 각 주사선 Y1의 각 교차점에 소스측과 게이트가 접속된 N채널 MOS 트랜지스터 Tr1이 배치되어 있다. OEL 소자(4a)는, 픽셀 회로(4)에 설치된 P채널 MOS의 구동 트랜지

스터 Tr2에 의해 구동된다. 트랜지스터 Tr2의 소스-게이트 사이에는 커패시터 C가 접속되어 있다. 트랜지스터 Tr2의 소스는, 예를 들면, +7V 정도의 +Vcc 전원 라인에 접속되고, 그 드레인측은 OEL 소자(4a)의 양극에 접속되어 있다. OEL 소자(4a)의 음극은, 로우측 주사 회로(7)의 스위치 회로(7a)에 접속되고, 이 스위치 회로(7a)를 통하여 그라운드 GND에 접속되어 있다.

픽셀 회로(4)에서, 트랜지스터 Tr1과 트랜지스터 Tr2 사이에는 P채널 MOS 트랜지스터 Tr3과 N채널 MOS 트랜지스터 Tr4가 설치되어 있다. 트랜지스터 Tr3은, 트랜지스터 Tr2를 출력측 트랜지스터로서 커런트 미러 회로(4b)를 구성하는 입력측 트랜지스터로 되어 있고, 이것의 하류에 트랜지스터 Tr1의 드레인이 접속되어 있다. 트랜지스터 Tr4는, 그 소스와 드레인을 통하여 트랜지스터 Tr3과 트랜지스터 Tr1의 접속점과 커런트 미러 회로(4b)의 공통 게이트(트랜지스터 Tr2의 게이트) 사이에 접속되어 있다.

트랜지스터 Tr1의 게이트는, 주사선 Y1(기입선)을 통하여 기입 제어 회로(5)에 접속되고, 트랜지스터 Tr4의 게이트는, 주사선 Y2(이레이즈선)를 통하여 기입 제어 회로(5)에 접속되어 있다. 기입 제어 회로(5)는, 제어 신호 T1, T2에 따라 주사선 Y1(기입선)과 주사선 Y2(이레이즈선)를 구동 주사하고, 이들 주사선이 "H"로 됨으로써 트랜지스터 Tr1과 트랜지스터 Tr4가 모두 ON으로 된다. 이에 따라 소정의 구동 전류에서 트랜지스터 Tr2가 구동됨과 함께 커패시터 C에 충전되어 소정의 구동 전압이 커패시터 C에 유지된다. 그 결과, 커패시터 C에 구동 전류치가 기입된다. 이때, 커패시터 C는 이것을 전압치로서 기억한다. 또한, 컨트롤 회로(15)로부터의 제어 펄스(CONT)에 따라, 이 커패시터 C에는 충전 초기에 피크 전류가 흐른다.

MOS 트랜지스터 Tr2는, 이 기억된 커패시터 C의 전압에 따라 전류 구동되게 된다. 이때 커패시터 C에 기억된 전압은, 기입 시의 구동 전류에 대응하는 전압치로 되고, OEL 소자(4a)는, 기입 시의 구동 전류에 대응한 전류치로 전류 구동된다. 트랜지스터 Tr2와 트랜지스터 Tr3의 채널 폭이 동등할 때에는, 기입 전류와 동일한 구동 전류를 발생시킬 수 있다.

각 실시예에서, 커런트 미러 회로(111~113)는, D/A를 구성하는 커런트 미러 회로의 출력측 트랜지스터(TNb~TNd)에 대하여 전원 라인과 그라운드 라인(기준 전위 라인) 사이에서 이들 트랜지스터의 상류측에 종속 접속되는(직렬로 접속되는) 커런트 미러 회로로 되어 있다. 그러나, 이들 트랜지스터는, 출력측 트랜지스터(TNb~TNd)의 하류측에 설치되어 있어도 되는 것은 물론이다.

산업상 이용 가능성

이상 설명하였는데, 실시예에서는, N채널 MOS 트랜지스터를 주체로 한 D/A를 기재하고 있지만, 이 D/A는, P채널 MOS 트랜지스터 혹은 이것과 N채널 MOS 트랜지스터를 조합한 회로이어도 되는 것은 물론이다. 또한, 이들 트랜지스터는, 바이폴라 트랜지스터이어도 되는 것은 물론이다. 또한, 그 경우에는, 게이트는 베이스에, 소스는 에미터에, 드레인은 콜렉터에 대응하고, 트랜지스터의 채널 폭(게이트 폭)의 비는, 에미터 면적비로 된다.

도면의 간단한 설명

도 1은, 본 발명의 D/A를 적용한 일 실시예의 유기 EL 구동 회로의 블록도.

도 2는, 다른 실시예의 블록도.

도 3은, 액티브 매트릭스형의 유기 EL 구동 회로의 블록도.

<도면의 주요부분에 대한 부호의 설명>

1:출력단 전류원

2:단자 핀

3, 4a:OEL 소자

4:픽셀 회로

5:기입 제어 회로

6:MPU

7:로우측 주사 회로

17:핀

10:컬럼 드라이버

11:D/A 변환 회로(D/A)

12:정전류원

13:정전압 바이어스 회로

13a:정전압 회로

14:픽업 전류 생성 회로

15:컨트롤 회로

15a:인버터

16, 17:레지스터

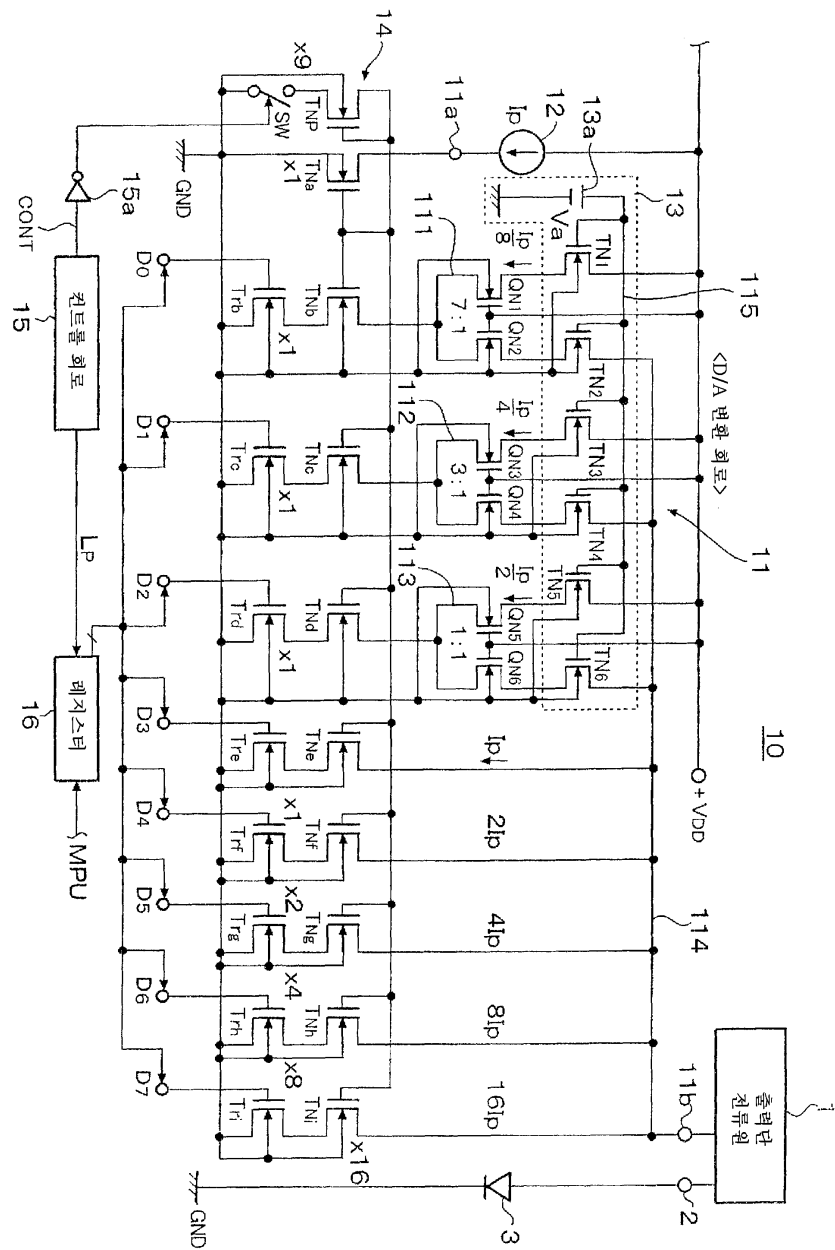
111~113:커런트 미러 회로

130:볼티지 팔로워

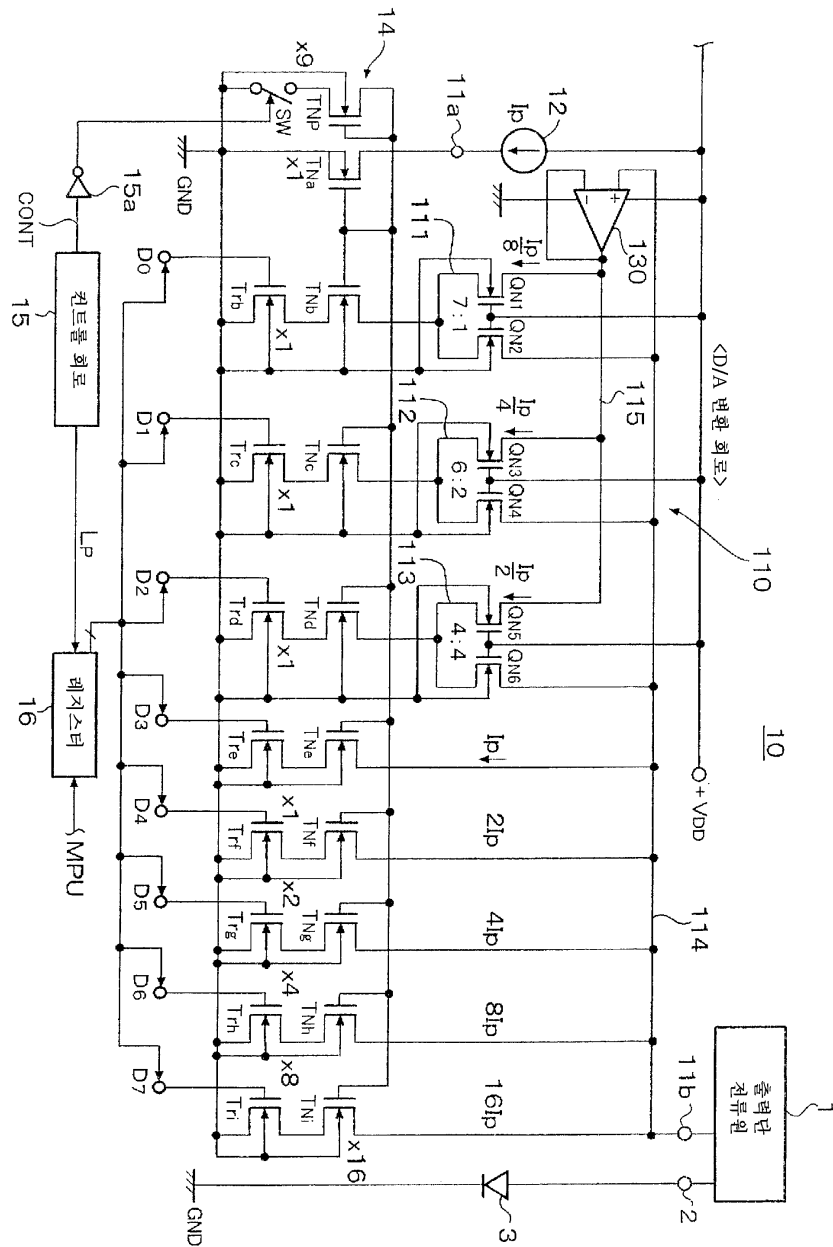
TNa~TNi, QN1~TN6, TN1~TN6:N채널의 MOS 트랜지스터

도면

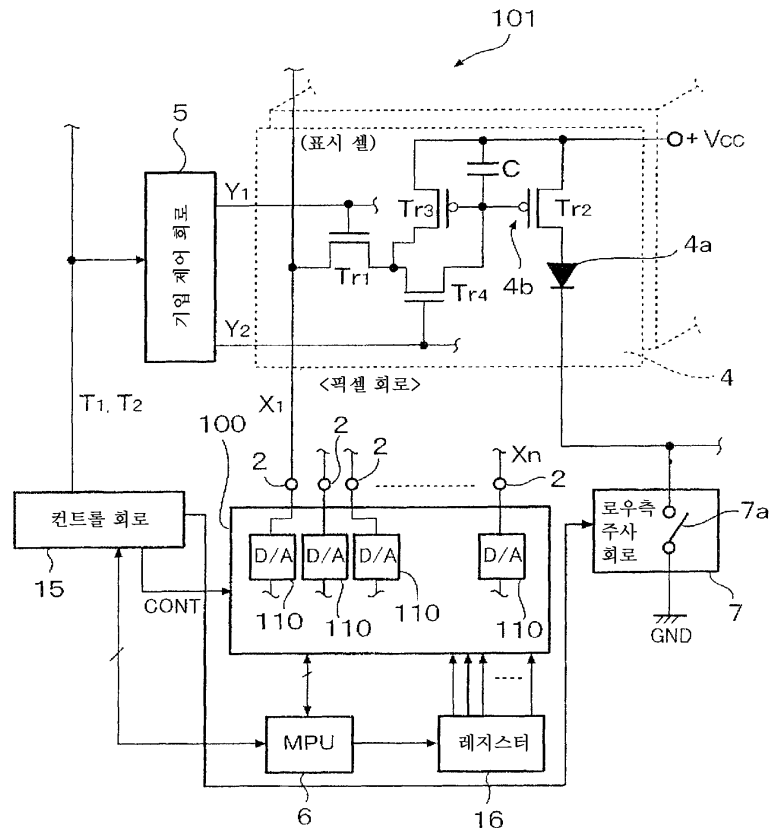
도면1



도면2



도면3



专利名称(译)	D / A转换电路，有机EL驱动电路和有机EL显示装置		
公开(公告)号	KR1020070004001A	公开(公告)日	2007-01-05
申请号	KR1020067020385	申请日	2005-03-28
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	ABE SHINICHI 아베신이찌 MAEDE JUN 마에데준 FUJISAWA MASANORI 후지사와마사노리 FUJIKAWA AKIO 후지가와아끼오		
发明人	아베,신이찌 마에데,준 후지사와,마사노리 후지가와,아끼오		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H03M1/66 H03M1/68 H03M1/74 H05B33/14		
CPC分类号	H03M1/68 G09G3/3283 G09G2310/027 H03M1/745		
代理人(译)	Jangsugil Yijunghui		
优先权	2004095005 2004-03-29 JP		
其他公开文献	KR100814182B1		
外部链接	Espacenet		

摘要(译)

D / A转换器电路可在低电压下以高精度驱动，并且在制造IC电路时占据较小的面积。D / A转换器电路具有由输出侧晶体管组成的第一电流镜像电路，其被设置为对应于待转换数据的数字位置，并且第二电流镜像电路级联连接到at的上游或下游侧。输出侧晶体管中的至少一个对应于要转换的数据的较低阶數位位置。第二电流镜电路的输出侧晶体管的工作电流与相应的输入侧晶体管的工作电流之比为 $n : 1$ (n 是一个或多个的整数)。在第二电流镜电路的输出侧晶体管中产生对应于低于某处的位置的位置的电流，从而产生模拟转换电流。©KIPO & WIPO 2007

