

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/26 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호

10-2006-0109334

(43) 공개일자

2006년10월19일

(21) 출원번호 10-2006-0033962

(22) 출원일자 2006년04월14일

(30) 우선권주장 JP-P-2005-00117723 2005년04월15일 일본(JP)

(71) 출원인 가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398(72) 발명자 아키토모, 켄고
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시키가이샤한도
오파이 에네루기 켄큐쇼 내
오타니, 히사시
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시키가이샤한도
오파이 에네루기 켄큐쇼 내
히로수메, 미사코
일본, 가나가와켄 243-0036, 아쓰기시, 하세 398 가부시키가이샤한도
오파이 에네루기 켄큐쇼 내(74) 대리인 정상구
홍동오

심사청구 : 없음

(54) 디스플레이 디바이스 및 디스플레이 디바이스를 제조하는방법

요약

본 발명의 목적은, 고 신뢰성의 디스플레이 디바이스를 저비용으로 고수율로 제조하는 기술을 제공하는 것이다. 본 발명에 따른 디스플레이 디바이스는, 하나의 도전형의 불순물 영역을 포함하는 반도체층; 반도체층 상에 제공되고, 게이트 절연층, 게이트 전극층 및 하나의 도전형의 불순물 영역과 접촉하는 배선층; 게이트 절연층 상에 제공되어 배선층과 접촉한 도전층; 도전층과 접촉한 제 1 전극층; 제 1 전극층 상에 제공된 전계 발광층; 및 제 2 전극층을 포함하고, 배선층은 제 1 전극층에 전기적으로 접속되고, 그들 사이에 도전층이 개재된다.

대표도

도 2

색인어

디스플레이 디바이스, 불순물 영역, 배선층, 전극층, 전계 발광층

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 2는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 3은 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 4는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 5는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 6a 내지 도 6d는 본 발명에 따른 디스플레이 디바이스의 제조 방법을 도시한 도면.
- 도 7a 내지 도 7c는 본 발명에 따른 디스플레이 디바이스의 제조 방법을 도시한 도면.
- 도 8a 내지 도 8c는 본 발명에 따른 디스플레이 디바이스의 제조 방법을 도시한 도면.
- 도 9a 및 도 9b는 본 발명에 따른 디스플레이 디바이스의 제조 방법을 도시한 도면.
- 도 10a 및 도 10b는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 11a 및 도 11b는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 12a 및 도 12b는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 13a 및 도 13b는 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 14는 도 15에 기술할 디스플레이 디바이스의 등가 회로도.
- 도 15는 본 발명에 따른 디스플레이 디바이스를 도시한 평면도.
- 도 16a 내지 도 16c는 본 발명에 따른 디스플레이 디바이스를 도시한 평면도.
- 도 17a 및 도 17b는 본 발명에 따른 디스플레이 디바이스를 도시한 평면도.
- 도 18a 및 도 18b는 본 발명이 적용될 수 있는 발광 소자들의 구조를 도시한 도면.
- 도 19a 내지 도 19d는 본 발명이 적용되는 전자 디바이스들을 도시한 도면.
- 도 20a 및 도 20b는 본 발명이 적용되는 전자 디바이스들을 도시한 도면.
- 도 21a 및 도 21b는 본 발명이 적용되는 전자 디바이스들을 도시한 도면.
- 도 22는 본 발명이 적용되는 전자 디바이스들을 도시한 도면.
- 도 23은 본 발명에 따른 디스플레이 디바이스를 도시한 도면.
- 도 24는 본 발명에 이용될 수 있는 액적 분사 방법을 도시한 도면.
- 도 25는 본 발명이 적용되는 전자 디바이스의 주요 구조를 도시한 블록도.

도 26은 본 발명에 따른 디스플레이 디바이스의 평면도.

도 27은 본 발명에 따른 디스플레이 디바이스를 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

600: 기판 601: 베이스막

602: 게이트 절연층 603, 606, 609: 절연층

605: 박막 트랜지스터 610: 제 1 전극층

611: 전계 발광층 612: 제 2 전극층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

기술 분야

본 발명은 디스플레이 디바이스 및 디스플레이 디바이스를 제조하는 방법에 관한 것이다.

종래 기술

최근에, 액정 디스플레이 디바이스, 및 박막 트랜지스터(이하, TFT라고도 함)가 유리 기판 상에 집적된 전장발광 디스플레이 디바이스(electro luminescence display device)가 개발되었다. 이들 디스플레이 디바이스들 각각에서, 박막 트랜지스터는 박막을 형성하기 위한 기술을 이용함으로써 유리 기판 상에 형성되고, 액정 소자 또는 발광 소자(전장발광 소자로서, 이하 EL소자라고도 함)는 박막 트랜지스터들로 구성된 여러 회로들 상에 디스플레이 소자로서 형성된다.

TFT 및 디바이스 소자는 디스플레이 소자의 픽셀 전극 및 TFT의 소스 영역 또는 드레인 영역에 접속된 배선을 적층시킴으로써 서로 전기적으로 접속된다(예를 들면, 일본특허출원 공개 2002-57162 참조).

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 단계들 및 장치들을 복잡하게 하지 않으면서 고 수율로 고 신뢰도 및 우수한 전기적 특성들을 갖춘 디스플레이 디바이스를 제조하는 기술을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 디스플레이 디바이스에서, 박막 트랜지스터의 하나의 도전형의 불순물 영역(소스 영역 또는 드레인 영역)과 접촉하는 배선층(소스 전극층 또는 드레인 전극층) 및 발광 소자의 제 1 전극층은 동일 물질을 이용하고, 게이트 전극층과 동일 단계를 통해 형성되는 도전층을 개재하여 서로 전기적으로 접속된다. 배선층(소스 전극층 또는 드레인 전극층)은 반도체층 및 게이트 전극층 상에 제공된 절연층 내 형성된 개구에서 반도체층의 하나의 도전형의 불순물 영역(소스 영역 또는 드레인 영역) 및 도전층에 접속된다. 절연층 상에 형성된 제 1 전극층은 또한 개구에서 도전층과 접촉하여 있기 때문에, 배선층(소스 전극층 또는 드레인 전극층) 및 제 1 전극층은 개구에서 서로 전기적으로 접속되고, 그들 사이에 도전층이 개재된다.

또한, 발광 소자의 제 1 전극층은 광 투과 특성을 가지며, 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물을 이용하여 형성된다. 따라서, 본 발명의 디스플레이 디바이스에서, 발광 소자로부터의 광은 제 1 전극층을 통과하여 외부로 방출된다.

본 발명을 이용할 수 있는 디스플레이 디바이스들은 발광 소자와 TFT가 접속되어 있는 광 방출 디스플레이 디바이스를 포함하며, 발광 소자는 전장발광이라 하는 광 방출을 나타내는 유기/무기 물질 또는 전극들 사이에 개재된 유기/무기 물질과 무기 물질과의 혼합물을 함유한 매질을 포함한다.

본 발명의 하나의 특징에 따라서, 디스플레이 디바이스는, 하나의 도전형의 불순물 영역을 포함하는 반도체층; 반도체층 상에 제공되는 것들로서, 게이트 절연층, 게이트 전극층, 및 하나의 도전형의 불순물 영역과 접촉한 배선층; 게이트 절연층 상에 형성되고 배선층과 접촉한 도전층; 도전층과 접촉한 제 1 전극층; 제 1 전극층 상에 제공된 전계 발광층; 및 제 2 전극층을 포함하고, 배선층은 제 1 전극층에 전기적으로 접속되고 그들 사이에 도전층이 개재된다.

본 발명의 또 다른 특징에 따라서, 디스플레이 디바이스는, 하나의 도전형의 불순물 영역을 포함하는 반도체층; 반도체층 상에 제공된 게이트 절연층 및 게이트 전극층; 상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 개구를 갖는 절연층; 상기 하나의 도전형의 불순물 영역과 접촉한 배선층; 상기 게이트 절연층 상에 제공되어 상기 배선층과 접촉한 도전층; 상기 도전층과 접촉한 제 1 전극층; 상기 제 1 전극층 상에 전계 발광층; 및 제 2 전극층을 포함하고, 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 도전층이 개재된다.

본 발명의 또 다른 특징에 따라서, 디스플레이 디바이스는, 하나의 도전형의 불순물 영역을 포함하는 반도체층; 반도체층 상에 제공되고, 게이트 절연층, 게이트 전극층 및 하나의 도전형의 불순물 영역과 접촉한 배선층; 반도체층 및 게이트 절연층 상에 형성되고 배선층과 접촉한 도전층; 도전층과 접촉한 제 1 전극층; 제 1 전극층 상에 제공된 전계 발광층; 및 제 2 전극층을 포함하고, 배선층은 제 1 전극층에 전기적으로 접속되고, 그들 사이에 도전층이 개재된다.

본 발명의 또 다른 특징에 따라서, 디스플레이 디바이스는, 하나의 도전형의 불순물 영역을 포함하는 반도체층; 반도체층 상에 제공된 게이트 절연층 및 게이트 전극층; 상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 개구를 갖는 절연층; 상기 하나의 도전형의 불순물 영역과 접촉한 배선층; 반도체층 및 상기 게이트 절연층 상에 제공되어 상기 배선층과 접촉한 도전층; 상기 도전층과 접촉한 제 1 전극층; 상기 제 1 전극층 상에 전계 발광층; 및 제 2 전극층을 포함하고, 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 도전층이 개재된다.

본 발명의 하나의 특징에 따라서, 디스플레이 디바이스 제조 방법은, 반도체층을 형성하는 단계; 상기 반도체층 상에 게이트 전극층 및 도전층을 형성하는 단계; 상기 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계; 상기 하나의 도전형의 불순물 영역 및 상기 도전층과 접촉하는 배선층을 형성하는 단계; 상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계; 상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및 상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고, 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 도전층이 개재된다.

본 발명의 또 다른 특징에 따라서, 디스플레이 디바이스 제조 방법은, 반도체층을 형성하는 단계; 상기 게이트 절연층 상에 게이트 전극층 및 도전층을 형성하는 단계; 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계; 상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 절연층을 형성하는 단계; 상기 절연층에 상기 하나의 도전형의 불순물 영역과 상기 도전층에 이르는 개구를 형성하는 단계; 상기 하나의 도전형의 불순물 영역 및 상기 도전층에 접촉하는 배선층을 상기 개구에 형성하는 단계; 상기 개구에서 상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계; 상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및 상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고, 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 도전층이 개재된다.

본 발명의 또 다른 특징에 따라서, 디스플레이 디바이스 제조 방법은, 반도체층을 형성하는 단계; 상기 반도체층 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 도전막을 형성하는 단계; 게이트 전극층 및 도전층을 형성하기 위해 상기 도전막을 가공하는 단계; 상기 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계; 상기 하나의 도전형의 불순물 영역 및 상기 도전층에 접촉하는 배선층을 형성하는 단계; 상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계; 상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및 상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고, 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되며, 그들 사이에 도전층이 개재된다.

본 발명의 또 다른 특징에 따라서, 디스플레이 디바이스 제조 방법은, 반도체층을 형성하는 단계; 상기 반도체층 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 도전막을 형성하는 단계; 게이트 전극층 및 도전층을 형성하기 위해 상기 도전막을 가공하는 단계; 상기 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계; 상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 절연층을 형성하는 단계; 상기 절연층에 상기 하나의 도전형의 불순물 영역 및 상기 도전층에 이르는 개구를 형성하는 단계; 상기 개구에서 상기 하나의 도전형의 불순물 영역 및 상기 도전층에 접촉하는 배

선층을 형성하는 단계; 상기 개구에서 상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계; 상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및 상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고, 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되며, 그들 사이에 도전층이 개재된다.

본 발명을 이용함으로써, 고신뢰성의 디스플레이 디바이스가 제조될 수 있다. 그러므로, 고선명 및 고품질의 디스플레이 디바이스가 고수율로 제조될 수 있다.

본 발명의 이들 및 다른 목적들, 특징들 및 잇점들은 첨부한 도면을 따라 다음의 상세한 설명을 읽었을 때 보다 명백하게 될 것이다.

본 발명의 실시 형태를 첨부한 도면을 참조하여 상세히 기술한다. 본 발명은 이하 기술하는 설명으로 한정되는 것은 아닌 것에 유의해야 하며 실시 형태들 및 이들의 상세들은 본 발명의 정신 및 범위 내에서 다양한 방식으로 수정될 수 있음을 당업자들은 쉽게 이해할 것이다. 그러므로, 본 발명은 이하 제공되는 실시 형태들의 설명으로 한정되는 것으로서 해석되지 않을 것이다. 또한, 본 발명의 구조에서, 동일 참조부호는 도면들에서 동일 부분들 또는 동일 기능들을 갖는 부분들에 이용되고 이들에 대한 설명은 반복하지 않는다.

[실시 형태 1]

본 실시 형태에서 디스플레이 디바이스를 도 1 및 도 2를 참조하여 기술한다.

도 1에 도시한 바와 같이, 본 실시 형태에서 디스플레이 디바이스는 박막 트랜지스터를 구비한 기판을 통해 광이 추출되는 바텀-방출 디스플레이 디바이스이다.

도 1에 디스플레이 디바이스에서, 기판(600) 상에는 베이스막들(601a, 601b), 박막 트랜지스터(605), 게이트 절연층(602), 절연층들(603, 606), 격벽으로서 기능하는 절연층(609), 제 1 전극층(610), 전계 발광층(611), 제 2 전극층(612), 및 보호막(613)이 제공된다. 박막 트랜지스터(605)는 소스 영역 및 드레인 영역으로서 기능하는 하나의 도전형의 불순물 영역들을 갖는 반도체층(618), 게이트 절연층(602), 2층의 적층구조를 형성하는 제1 게이트 전극층(614)과 제2 게이트 전극층(616), 및 배선층들인 소스전극층과 드레인 전극층(604)을 포함한다. 배선층인 소스 전극층 또는 드레인 전극층(604)은 일 도전형의 반도체층(618)의 불순물 영역, 제1 도전층(615) 및 제2 도전층(617)과 접촉하여 전기적으로 접속된다. 제1 도전층(615) 및 제2 도전층(617)은 동일 물질을 이용하고 각각 제1 게이트 전극층(614) 및 제2 게이트 전극층(616)과 동일한 단계를 통해 제조된다. 제2 도전층(617)은 제 1 전극층(610)에 접촉하여 전기적으로 접속되기 때문에, 반도체층(618) 및 소스 전극층 또는 드레인 전극층(604)은 제1 도전층(615) 및 제2 도전층(617)을 개재하여 제 1 전극층(610)에 전기적으로 접속된다. 또한, 도 1의 디스플레이 디바이스에서, 반도체층(618)의 불순물 영역, 소스 전극층 또는 드레인 전극층(604), 제1 도전층(615), 제2 도전층(617), 및 제 1 전극층(610)은 게이트 절연층(602), 및 절연층들(603, 606)에 제공된 개구(619)에서 전기적으로 서로 접속된다.

본 실시 형태의 디스플레이 디바이스에서, 반사성을 갖는 반사성 전극층이 제 2 전극층(612)용으로 이용되고, 발광 소자(612)로부터 방출된 광이 반사된다. 그러므로, 화살표로 나타난 방향으로 광 투과 특성을 갖는 제 1 전극층(610)의 일측으로부터 방출된다. 광 투과 특성을 갖는 전극층이 제 2 전극층(612)용으로 이용될 때, 발광 소자(608)로부터 방출된 광은 제 1 전극층(610) 및 제 2 전극층(612) 둘 다를 통과하여 양측으로부터 방출된다. 본 명세서에서, 광 투과 특성은 적어도 가시광의 파장영역 광을 투과시키는 특성을 의미한다.

본 발명에서, 광 투과 전극층인 제 1 전극층(610)은 구체적으로, 광 투과 도전성 물질로 형성된 투명한 도전성 막을 이용함으로써 형성될 수 있고, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티탄을 함유하는 인듐 산화물, 산화 티탄을 함유하는 인듐 주석 산화물, 등이 이용될 수 있다. 인듐 주석 산화물(ITO), 인듐 주석 산화물(IZO), 실리콘 산화물이 도핑된 인듐 주석 산화물(ITSO) 등도 물론 이용될 수 있다.

각각의 광 투과 도전성 물질에서 조성비의 예를 기술한다. 산화 텅스텐을 함유하는 인듐 산화물에서, 산화 텅스텐의 조성비는 1.0wt%일 수 있고, 인듐 산화물은 99.0wt%일 수 있다. 산화 텅스텐을 함유하는 인듐 아연 산화물에서, 산화 텅스텐은 1.0wt%일 수 있고, 인듐 산화물은 98.5wt%일 수 있다. 산화 티탄을 함유하는 인듐 산화물에서, 산화 티탄은 1.0 내지 5.0wt%일 수 있고, 인듐 산화물은 99.0 내지 95.0wt%일 수 있다. 인듐 주석 산화물(ITO)에서, 주석 산화물은 10.0wt%일 수 있고, 인듐 산화물은 90.0wt%일 수 있다. 인듐 아연 산화물(IZO)에서, 아연 산화물은 10.7wt%일 수 있고 인듐 산화물

은 89.3wt%일 수 있다. 또한, 산화 티탄을 함유하는 인듐 주석 산화물에서, 산화 티탄은 5.0wt%일 수 있고, 주석산화물은 10.0wt%일 수 있으며, 인듐 산화물은 85.0wt%일 수 있다. 위에 기술한 조성비들은 단지 예들이며, 조성비는 적절하게 설정될 수 있다.

또한, 금속막과 같은 비-광투과 물질이 이용되는 경우에서도, 광을 투과시킬 수 있도록 두께를 얇게 하였을 때(바람직하게는 약 5 내지 30nm), 광이 제 1 전극층(610)으로부터 방출될 수 있다. 제 1 전극층(610)용으로 이용될 수 있는 금속 박막으로서, 티탄, 텅스텐, 니켈, 금, 백금, 은, 알루미늄, 마그네슘, 칼슘, 리튬, 또는 이들의 합금으로 형성된 도전성 막이 제공될 수 있다.

제 1 전극층(610)은 증발(evaporation) 방법, 스퍼터링 방법, CVD 방법, 인쇄방법, 액적 분사 방법, 등에 의해 형성될 수 있다. 본 실시 형태에서, 제 1 전극층(610)은 스퍼터링에 의해, 산화 텅스텐을 함유하는 인듐 아연 산화물을 이용함으로써 제조된다. 본 실시 형태에서, 산화아연이 1.7wt% 미만으로 도핑된 산화 텅스텐을 함유한 인듐아연 산화물이 타겟으로서 이용되고, 물(H₂O)이 도핑된 아르곤(Ar) 및 산소(O₂)가 증착 가스로서 이용된다. 제 1 전극층(610)의 형상을 가공하기 위해 건식 에칭 또는 습식 에칭이 이용될 수 있고, 본 실시 형태에서, 형성되는 산화 텅스텐을 함유하는 인듐 아연 산화물은 유기 약산을 이용하여 에칭함으로써 원하는 형상으로 가공된다. 또한, 제 1 전극층(610)은 격벽으로서 기능하는 절연층(609)이 형성될 때 에칭 스톱퍼로서 기능한다.

소스 전극층 및 드레인 전극층(604)은 PVD 방법, CVD 방법, 증발방법 등에 의해 도전막을 증착시키고, 이어서 도전막을 원하는 형상들로 에칭함으로써 형성될 수 있다. 또한, 도전층은 액적 분사 방법, 인쇄방법 및 전기도금 방법 등에 의해 소정의 위치에 선택적으로 형성될 수 있다. 또한, 리플로 방법 및 다마신(damascene) 방법도 이용될 수 있다. 소스 전극층 및 드레인 전극층(604)용의 물질로서는 이룰테면 Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, 또는 Ba과 같은 금속, 또는 이들 금속들 또는 금속과 Si 또는 Ge의 합금, 또는 금속의 질화물이 이용될 수 있다. 이들의 적층된 구조가 채용될 수 있다. 본 실시 형태에서, 티탄(Ti)은 100nm 두께가 되게 형성되고, 알루미늄과 실리콘과의 합금(Al-Si)은 700nm 두께가 되게 형성되고, 티탄(Ti)은 200nm 두께가 되게 형성되고, 이어서, 적층된 막은 원하는 형상으로 가공된다. 따라서, 본 실시 형태에서 소스 전극층 또는 드레인 전극층(604)은 티탄막, 알루미늄과 실리콘과의 합금막, 티탄막이 이 순서로 적층된 적층막을 갖는다.

베이스막들(601a, 601b), 게이트 절연층(602), 절연층들(603, 606, 609), 및 보호막(613)은 산화 실리콘, 질화 실리콘, 실리콘 옥시나이트라이드, 실리콘 질화 산화물, 질화알루미늄(AlN), 알루미늄 옥시나이트라이드(AlON), 산소보다 질소를 더 함유한 알루미늄 질화 산화물(AlNO), 산화알루미늄, 다이아몬드 유사 탄소(DLC), 질소함유 탄소(CN) 막, PSG(phosphorous glass), BSSG(boron phosphorus glass), 알루미늄막, 폴리실라잔, 및 무기 절연물질을 함유하는 그 외 물질 중에서 선택한 물질을 이용하여 형성될 수 있다. 또한, 실록산 수지가 또한 이용될 수 있다. 실록산 수지는 Si-O-Si 본드를 포함하는 수지이다. 실록산은 실리콘(Si)과 산소(O)의 본드로 형성된 스켈레톤 구조를 갖는다. 치환분으로서, 적어도 수소(예를 들면 알킬그룹 또는 방향족 탄화수소)를 함유하는 유기 그룹 또는 플루오로 그룹이 이용될 수 있다. 또한, 감광성 또는 비-감광성 유기 절연물질, 이룰테면 폴리이미드, 아크릴, 폴리아미드, 폴리이미드 아미드, 레지스트, 벤조사이클로부텐, 또는 저 유전상수를 갖는 저-k 물질이 이용될 수 있다. 제조 방법으로서, 증발방법, 스퍼터링 방법, CVD 방법, 코팅 방법, 딥 방법, 인쇄방법(스크린 인쇄 또는 오프셋 인쇄), 액적 분사 방법) 등이 이용될 수 있다. 액적 분사 방법의 경우, 물질의 용액이 절삭될 수 있다.

본 실시 형태에서, 기관(600)은 유리기관이고, 베이스막(601a)은 실리콘 질화 산화막이고, 베이스막(601b)은 실리콘 옥시나이트라이드막이고, 게이트 절연층(602)은 실리콘 옥시나이트라이드막이고, 절연층(603)은 실리콘 질화산화막이고, 절연층(606)은 산화 실리콘막이고, 격벽으로서 기능하는 절연층(609)은 폴리이미드이고, 보호막(613)은 실리콘 질화산화막이다.

본 발명의 디스플레이 디바이스에서, 박막 트랜지스터의 소스전극층 또는 드레인 전극층(604), 및 픽셀전극층인 발광 소자의 제 1 전극층(610)은 전기적으로 접속되게 직접 적층되는 것이 아니라 소스 전극층 또는 드레인 전극층(604) 및 제 1 전극층(610)은 제1 도전층(615) 및 제2 도전층(617)을 개재하여 서로 전기적으로 접속된다. 이러한 구조에서, 두 전극층들이 서로 직접 접촉하여 있을 때(두 전극층들에서 도전물은 낮으며 전기적 접촉은 쉽게 행해지지 않는다) 소스 전극층 또는 드레인 전극층과 제 1 전극층이 서로 쉽게 전기적으로 접속되지 않게 하는 물질들, 또는 두 전극층들이 서로 접촉하여 있을 때 전기적 부식과 같은 악화를 야기시키는 물질들 또한, 도전층이 두 전극층들 사이에 개재되어 있으므로 이용될 수 있다. 그러므로, 소스 전극층 또는 드레인 전극층 및 제 1 전극층용으로 이용될 수 있는 물질들에 대한 선택 범위가 넓어질 수 있다.

배선으로서 이용되는 소스 전극층 또는 드레인 전극층의 저항은 전기신호 또는 파워가 공급되게 낮을 것이 요구된다. 또한, 픽셀전극으로서 이용되는 제 1 전극층은 발광 소자로부터 방출되는 광이 투과되도록 광 투과 특성을 가질 것이 요구된다. 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각은 위에 기술한 바와 같은 특성을 가질 것이 요구된다. 본 발명의 구조에서, 소스 전극층 또는 드레인 전극층 및 제 1 전극층이 적층될 때 일어나는 문제를 우려할 필요가 없고, 이에 따라, 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각에 대해 요구되는 특성을 갖는 물질이 임의의 선택될 수 있다.

또한, 소스 전극층 또는 드레인 전극층(604) 및 제 1 전극층(610)은 제2 도전층(617)을 개재하여 서로 간에 전기적으로 접속되기 때문에, 단선이 우려되지 않고 접촉저항이 낮아진다. 결국, 소스 전극층 또는 드레인 전극층(604)과 제 1 전극층(610)의 접촉저항 또한 낮아진다. 위의 이점이 있는 효과 외에도, 반도체층의 소스 영역 또는 드레인 영역 및 제 1 전극층에 전기적으로 접속되는 소스 전극층 또는 드레인 전극층을 전기적으로 접속하는 기능을 갖는 제1 도전층(516) 및 제2 도전층(617)은 동일 물질을 이용하고 각각 제1 게이트 전극층(516) 및 게이트 전극층(616)과 동일한 단계를 통해서 형성된다. 또한, 제1 도전층(516) 및 제2 도전층(617)에 도달하는 개구는 반도체층의 소스 영역 또는 드레인 영역에 도달하는 개구를 형성하는 단계와 동시에 절연층에 형성되고, 이에 따라, 제조단계들이 증가되지 않는다. 디스플레이 디바이스의 구조의 레이아웃은 복잡해진 단계들 없이 보다 자유롭게 설계될 수 있다. 그러므로, 보다 높은 신뢰성의 디스플레이 디바이스가 제조될 수 있다.

본 실시 형태에서 채용될 수 있는 발광소자(608)의 구조를 도 18a 및 도 18b를 참조하여 상세히 기술한다. 도 18a 및 도 18b에서, 제 1 전극층(870)은 도 1에 제 1 전극층(610)에 대응하며, 전계 발광층(860)은 도 1에서 전계 발광층(611)에 대응하며, 제 2 전극층(7850)은 도 1에서 제 2 전극층(612)에 대응한다.

도 18a 및 도 18b는 유기 화합물과 무기 화합물을 혼합함으로써 형성된 전계 발광층이 제 1 전극층(870)과 제 2 전극층(850) 사이에 개재되는 발광 소자들의 소자 구조들을 도시한 것이다. 도면들에 도시한 바와 같이, 전계 발광층(860)은 제1 층(804), 제2 층(803), 및 제3 층(802)으로 형성되고, 특히 제1 층(804) 및 제3 층(802)은 두드러진 특징들을 갖는다.

제1 층(804)은 정공들을 제2 층(803)으로 수송하는 기능을 갖는 층이며, 제1 유기화합물에 관하여 전자-수용(accepting) 특성을 갖는 적어도 제1 유기 화합물 및 제1 무기 화합물을 포함한다. 중요한 것은 제1 유기 화합물 및 제1 무기 화합물은 간단히 혼합될 뿐만 아니라 제1 무기 화합물은 제1 유기 화합물에 관하여 전자-수용 특성을 갖는다는 것이다. 이 구조는 원래는 본연의 캐리어들을 거의 갖고 있지 않는 제1 유기 화합물에서 많은 정공-캐리어들을 생성하여, 매우 우수한 정공-주입 특성 및 정공-수송 특성이 얻어질 수 있다.

그러므로, 제1 층(804)에 관하여, 무기 화합물을 혼합함으로써 얻어지는 것으로 생각되는 잇점있는 효과만이 아니라(이를테면 내열의 향상), 우수한 도전률(특히, 제1 층(804)에서 정공-주입특성 및 정공-수송특성)이 얻어질 수 있다. 이러한 우수한 도전률은 서로 전기적으로 상호작용하지 않는 유기 화합물 및 무기 화합물이 단순히 혼합된 종래의 정공-수송층에서 얻어질 수 없는 잇점있는 효과이다. 이러한 잇점있는 효과는 구동전압을 종래보다 낮출 수 있게 한다. 또한, 제1 층(804)은 구동전압의 증가를 야기함이 없이 두껍게 할 수 있기 때문에, 분진 등에 기인한 소자의 단락회로가 억제될 수 있다.

정공-캐리어들은 위에 기술한 바와 같이 제1 유기 화합물에서 생성되기 때문에 정공 수송 유기화합물을 제1 유기 화합물로서 이용하는 것이 바람직하다. 정공수송 유기 화합물의 예들은, 다음으로 한정되는 것은 아니나, 프탈로시아닌(H_2Pc), 구리 프탈로시아닌($CuPc$), 바나딜 프탈로시아닌($VOPc$), 4,4',4''-트리스(N, N -디페닐라미노)트리페닐라민(TDATA), 4,4',4''-트리스(N -(3-메틸페닐)- N -페닐아미노)트리페닐아민(MTDATA), ?(보이지 않음)-트리스[N, N -디(m -?(보이지 않음))벤젠(m -MTDAB), N, N' -디페닐- N, N' -비스(3-메틸페닐)-1,1'-바이페닐-4,4'-디아민(TPD), 4,4'-비스[N -(1-나프틸)- N -페닐아미노]바이페닐(NPB), 4,4'-비스[N -[4-디(m -톨릴)아미노]페닐- N -페닐아미노]바이페닐(DNTPD), 4,4',4''-트리스(N -카바졸릴)트리페닐아민(TCTA), 등을 포함한다. 또한, 위에 언급된 화합물들 중에서, TDATA, MTDATA, m -MTDAB, TPD, NPB, DNTPD, 및 TCATA으로 전형화된 방향족 아민 화합물들은 정공-캐리어들을 쉽게 생성할 수 있고, 제1 유기 화합물을 위한 적합한 그룹의 화합물들이다.

한편, 제1 무기 화합물은 물질이 제1 유기 화합물로부터 전자들을 수용할 수 있는 한, 임의의 물질일 수 있고, 여러 종류들의 금속 산화물 및 금속 질화물이 이용될 수 있다. 주기율표의 4 내지 12족에 속하는 전이금속을 갖는 전이금속 산화물은 전자 수용 특성이 쉽게 제공되므로 바람직하다. 구체적으로, 산화 티탄, 산화지르코늄, 산화바나듐, 산화몰리브덴, 산화레늄, 산화루테튬, 산화아연, 등이 이용될 수 있다. 또한, 위에 언급된 금속 중에서, 4 내지 8족 중 어느 한 족에 속하는 전이

금속을 갖는 많은 종류의 전이금속산화물은 바람직한 일 그룹의 화합물들인 보다 큰 전자-수용 특성을 갖는다. 특히, 산화바나듐, 산화몰리브덴, 산화 텅스텐, 산화레늄은 이들이 쉽게 이용되고 진공 증발에 의해 형성될 수 있기 때문에 바람직하다.

제1 층(804)은 위에 기술한 바와 같이 각각이 유기 화합물 및 무기 화합물의 조합을 포함하는 것인 복수의 층들을 적층시킴으로써 형성될 수 있고, 또는 또 다른 유기 또는 무기 화합물을 더 포함할 수도 있는 것에 유의한다.

다음에, 제3 층(802)을 기술한다. 제3 층(802)은 제2 층(803)에 전자들을 수송하는 기능을 갖는 층이며, 적어도 제3 유기 화합물 및 제3 무기 화합물에 관하여 전자-수여 특성을 갖는 제3 무기 화합물을 포함한다. 중요한 것은 제3 유기 화합물 및 제3 무기 화합물은 간단히 혼합될 뿐만 아니라 제3 무기 화합물은 제3 유기 화합물에 관하여 전자-수여 특성을 갖는다는 것이다. 이 구조는 원래는 본연의 캐리어들을 거의 갖고 있지 않는 제3 유기 화합물에서 많은 전자-캐리어들을 생성하여, 매우 우수한 전자-주입 특성 및 전자-수송 특성이 얻어질 수 있다.

그러므로, 제3 층(802)에 관하여, 무기 화합물을 혼합함으로써 얻어지는 것으로 생각되는 잇점있는 효과만이 아니라(이를테면 내열성에 향상), 우수한 도전률(특히, 제3 층(802)에서 전자-주입 특성 및 전자-수송특성)이 얻어질 수 있다. 이러한 우수한 도전률은 서로 전기적으로 상호작용하지 않는 유기 화합물 및 무기 화합물이 단순히 혼합된 종래의 정공-수송층에서 얻어질 수 없는 잇점있는 효과이다. 이러한 잇점있는 효과는 구동전압을 종래보다 낮출 수 있게 한다. 또한, 제2 층(802)은 구동전압의 증가를 야기함이 없이 두껍게 할 수 있기 때문에, 분진 등에 기인한 소자의 단락회로가 억제될 수 있다.

전자-캐리어들은 위에 기술한 바와 같이 제3 유기 화합물에서 생성되기 때문에 전자-수송 유기화합물을 제3 유기 화합물로서 이용하는 것이 바람직하다. 정공수송 유기 화합물의 예들은, 다음으로 한정되는 것은 아니나, 트리스(8-퀴놀리노레이트)알루미늄(Alq_3), 트리스(4-메틸-8-퀴놀리노라토)알루미늄(Almq_3), 비스(10-하이드록시벤조[h]-퀴놀리나토)베릴륨(BeBq_2), 비스(2-메틸-8-퀴놀리노라토)(4-페닐페놀라토)알루미늄(BAlq), 비스[2-(2'-하이드록시페닐)벤조옥사조라토]아연($\text{Zn}(\text{BOX})_2$), 비스[2-(2'-하이드록시페닐)벤조티오조라토]아연($\text{Zn}(\text{BTZ})_2$), 바토펜안트롤린(BPhen), 바토크프로인(BCP), 2-(4-바이페닐)-5-(4-터트-부틸페닐)-1,3,4-옥사디아졸(PBD), 1,3-비스[5-(4-터트-부틸페닐)-1,3,4-옥사디아졸-2-일]벤젠(OXD-7), 2,2',2''-(1,3,5-벤젠에트릴)-트리스(1-페닐-1H-벤즈이미다졸(TPBI), 3-(4-바이페닐)-4-페닐-5-(4-터트-부틸페닐)-1,2,4-트리아졸(TAZ), 3-(4-바이페닐)-4-(4-에틸페닐)-5-(4-터트-부틸페닐)-1,2,4-트리아졸(p-EtTAZ), 등을 포함한다. 또한, 위에 언급된 화합물들 중에서, Alq_3 , Almq_3 , BeBq_2 , BAlq , $\text{Zn}(\text{BOX})_2$, $\text{Zn}(\text{BTZ})_2$ 으로 전형화된 방향족 고리를 포함하는 킬레이트 리간드를 갖는 킬레이트 금속착물들, BPhen 및 BCP로 전형화되는 페난트롤린 스켈레톤을 갖는 유기 화합물, 및 PBD 및 OXD-7로 전형화되는 옥사디아졸 스켈레톤을 갖는 유기 화합물들은 전자-캐리어들을 쉽게 생성할 수 있고, 제3 유기 화합물을 위한 적합한 그룹의 화합물들이다.

한편, 제3 무기 화합물은 물질이 제3 유기 화합물에 전자들을 수여할 수 있는 한, 임의의 물질일 수 있고, 여러 종류의 금속 산화물 및 금속 질화물이 이용될 수 있다. 알칼리 금속 산화물, 알칼리 토류 금속, 희토류 금속 산화물, 알칼리 금속 질화물, 알칼리 토류 금속 질화물, 및 희토류 금속 질화물은 전자-수여 특성이 쉽게 제공되므로 바람직하다. 구체적으로, 산화리튬, 산화스트론튬, 산화바륨, 산화에르븀, 질화리튬, 질화 마그네슘, 질화칼슘, 질화이트륨, 질화란탄, 등이 이용될 수 있다. 특히, 산화리튬, 산화바륨, 질화리튬, 질화 마그네슘, 및 질화칼슘은 이들이 진공-증발에 쉽게 이용될 수 있기 때문에 바람직하다.

제3 층(802)은 위에 기술한 바와 같이 각각이 유기 화합물 및 무기 화합물의 조합을 포함하는 것인 복수의 층들을 적층시킴으로써 형성될 수 있고, 또는 또 다른 유기 또는 무기 화합물을 더 포함할 수도 있는 것에 유의한다.

다음에, 제2 층(803)을 기술한다. 제2 층(803)은 광을 방출하는 기능을 갖는 층이며, 광 방출 특성을 갖는 제2 유기 화합물을 포함한다. 제2 무기 화합물이 포함될 수 있다. 제2 층(803)은 다양한 광 방출 유기 화합물들 및 무기 화합물들에 의해 형성될 수 있다. 그러나, 제1 층(804) 또는 제3 층(802)에 비해 제2 층(803)에 전류를 인가하기는 어려운 것으로 여겨지기 때문에, 제2 층(803)의 두께는 약 10 내지 100nm인 것이 바람직하다.

제2 유기 화합물은 광 방출 유기 화합물인 한, 특별히 한정된 것은 없으나, 제2 유기 화합물의 예들은 9,10-디(2-나프틸)안트라센(DNA), 9,10-디(2-나프틸)-2-터트-부틸안트라센(t-BuDNA), 4,4'-비스(2,2-디페닐비닐)바이페닐(DPVBi), 쿠마린30, 쿠마린6, 쿠마린 545, 쿠마린 545T, 페릴렌, 루브렌, 페리플란텐, 2,5,8,11-테트라(터트-부틸)페닐렌(TBP), 9,10-디페닐안트라센(DPA), 5,12-디페닐안트라센, 4-(디시아노메틸렌)-2-메틸-[p-(디메칠아미노)스티릴]-4H-피란

(DCM1), 4-(디시아노메틸렌)-2-메틸-6-[2-(줄로리딘-9-일)에테닐]-4H-피란(DCM2), 4-(디시아노메틸렌)-2,6-비스[p-(디메칠아미노)스티릴]-4H-피란(BisDCM), 등을 포함한다. 또한, 비스[2-(4',6'-디플루오로페닐)피리디나토-N,C^{2'}]이리듐(피콜리나토)(FIrpic라 함), 비스{2-[3',5'-비스(트리플루오로메틸)페닐]피라디나토-N,C^{2'}}이리듐(피콜리나토)(Ir(CF₃ppy)₂(pic)이라 함), 트리스(2-페닐피라디나토-N,C^{2'})이리듐(Ir(ppy)₃이라 함), 비스(2-페닐피리디나토-N,C^{2'})이리듐(아세틸아테토네이트)(Ir(ppy)₂(acac)이라 함), 비스[2-(2'-티에닐)피리디나토-N,C_{3'}]이리듐(아세틸아세토네이트)(Ir(thp)₂(acac)이라 함), 비스(2-페닐퀴놀리나토-N,C^{2'})이리듐(아세틸아세토네이트)(Ir(pq)₂(acac)이라 함), 또는 비스[2-(2'-벤조티에닐)(피리디나토-N,C_{3'})이리듐(아세틸아세토네이트)(Ir(btp)₂(acac)이라 함)와 같은, 인광을 방출할 수 있는 화합물을 이용하는 것도 가능하다.

또한, 싱글렛 여기 광방출 물질 외에도 제2 층(803)용으로, 금속착물 등을 함유한 트리플렛 여기 광방출 물질을 이용할 수도 있다. 예를 들면, 적색, 녹색, 청색 광을 방출하는 픽셀들 중에서, 휘도(luminance)가 비교적 짧은 시간에 반으로 감소되는 적색광을 방출하는 픽셀은 트리플렛 여기 광방출 물질을 이용하여 형성되고, 그 외의 픽셀들은 싱글렛 여기 광방출 물질을 이용하여 형성된다. 트리플렛 여기 광방출 물질은 동일 휘도를 얻는데 있어 유리한 광방출 효율과 파워소비가 덜 한 특징을 갖는다. 즉, 적색 픽셀에 대해 트리플렛 여기 광방출 물질을 이용할 때, 소량만의 전류가 발광 소자에 인가될 필요가 있으며, 이에 따라, 신뢰도가 향상될 수 있다. 적색을 방출하는 픽셀 및 녹색을 방출하는 픽셀은 트리플렛 여기 광방출 물질을 이용하여 형성될 수도 있고, 청색을 방출하는 픽셀은 이 역시 낮은 파워소비를 달성하기 위해서 싱글렛 여기 광방출 물질을 이용하여 형성될 수 있다. 낮은 파워소비는 트리플렛 여기 광방출 물질을 이용하여 사람의 눈에 큰 가시도를 갖는 녹색을 방출하는 발광 소자를 형성함으로써 또한 달성될 수 있다.

제3 층(803)은 광방출을 생성하는 위에 기술한 바와 같은 제2 유기 화합물을 포함할 뿐만 아니라, 그외 또 다른 유기화합물이 첨가될 수 있다. 첨가될 수 있는 유기 화합물들의 예들은 다음으로 한정되는 것은 아니나, 위에 언급된 것들인, TDATA, MTDATA, m-MTDAB, TPD, NPB, DNTPD, TCTA, Alq₃, Almq₃, BeBq₂, Zn(BOX)₂, Zn(BTZ)₂, BPhen, BCP, PBD, OXD-7, TPBI, TAZ, p-EtTAZ, DNA, t-BuDNA, 및 DPVBi와, 또한, 4,4'-비스(N-카바졸릴)바이페닐(CBP라 함), 1,3,5-트리스[4-(N-카바졸릴)페닐]벤젠(TCPB라 함) 등을 포함한다. 제2 유기 화합물에 더하여 첨가되는 유기 화합물은 제2 유기 화합물보다 큰 여기 에너지를 갖는 것과 제2 유기 화합물을 광 방출을 효율적으로 행하게 하기 위해서 제2 유기 화합물보다 많은 양이 첨가되는 것이 바람직하다(제2 유기 화합물의 농도 저하(quenching)를 방지하는 것을 가능하게 한다). 대안적으로, 또 다른 기능으로서, 첨가된 유기 화합물은 제2 유기 화합물과 함께 광을 방출할 수도 있다(백색광을 방출시키는 것을 가능하게 한다).

제2 층(803)은 각 픽셀에 서로 다른 방출 파장 범위를 갖는 발광층을 제공함으로써 컬러 디스플레이를 수행하는 구조를 가질 수 있다. 통상적으로, R(적색), G(녹색), 또는 B(청색)의 각 색에 대응하는 발광층이 형성된다. 또한, 이 경우에, 색 순도가 향상될 수 있고 픽셀부는 광의 방출 파장범위의 광을 투과시키는 필터를 픽셀의 광 방출층에 설치함으로써 경면(반사)을 갖게 하지 않을 수 있다. 필터를 제공함으로써, 통상적으로 요구되었던 원 편광판 등이 생략될 수 있고, 또한, 발광층으로부터 방출된 광의 유실이 제거될 수 있다. 또한, 픽셀부(디스플레이 스크린)를 비스듬히 보았을 때 발생하는 컬러 톤 변화가 감소될 수 있다.

고분자 유기 광방출 물질 또는 저분자 유기 광방출 물질을 제2 층(803)의 물질로 이용할 수 있다. 고분자 유기 광방출 물질은 저분자 물질에 비해 물리적으로 강하여, 소자의 내구성이 우수하다. 또한, 고분자 유기 광방출 물질은 코팅에 의해 형성될 수 있고, 따라서, 소자는 비교적 쉽게 제조될 수 있다.

방출 색은 발광층을 형성하는 물질에 의존하여 결정되며, 그러므로, 원하는 광 방출을 나타내는 발광 소자는 발광층용으로 적합한 물질을 선택함으로써 형성될 수 있다. 발광층을 형성하는데 이용될 수 있는 고분자 유기 광방출 물질로서, 폴리파라페닐렌-비닐렌 기반의 물질, 폴리티오펜 기반의 물질, 또는 폴리플루오렌 기반의 물질이 이용될 수 있다.

폴리파라페닐렌-비닐렌 기반의 물질로서는, 폴리(2,5-디알콕시-1,4-페닐렌비닐렌)[RO-PPV]와 같은 폴리(파라페닐렌비닐렌)[PPV] 유도체; 폴리(2-(2'-에틸-헥소시)-5-메톡시-1,4-페닐렌비닐렌)[MEH-PPV]; 또는 폴리(2-(디알콕시페닐)-1,4-페닐렌비닐렌)[ROPh-PPV]가 주어질 수 있다. 폴라파마페닐렌 기반의 물질로서는, 폴리(2,5-디아콕시-1,4-페닐렌)과 같은 폴리파라페닐렌[PPP] 유도체[RO-PPP]; 또는 폴리(2,5-디헥소기-1,40페닐렌)이 주어질 수 있다. 폴리티오펜 기반의 물질로서는, 폴리티오펜[PT] 유도체, 이를테면 폴리(3-알킬티오펜)[PAT]; 폴리(3-헥실티오펜)[PHT]; 폴리(3-사이클로헥실티오펜)[PCHT]; 폴리(3-사이클로헥실-4-메틸티오펜)[PCHMT]; 폴리(3,4-디사이클로헥실티오펜)

[PDCHT]; 폴리[3-(4-옥틸페닐)-티오펜][POPT]; 또는 폴리[3-(4-옥틸페닐)-2,2바이티오펜][PTOPT]가 주어질 수 있다. 폴리플루오렌 기반의 물질로서는, 폴리플루오렌[PF] 유도체, 이를테면 폴리(9,9'-디아킬플루오렌)[PDAF] 또는 폴리(9,9'-디옥틸플루오렌)[PDOF]가 주어질 수 있다.

제2 무기 화합물은 제2 유기 화합물의 광 방출이 무기 화합물에 의해 쉽게 소멸되지 않는 한, 임의의 무기 화합물일 수 있으며, 다양한 종류의 금속 산화물 및 금속 질화물이 이용될 수 있다. 특히, 주기율표의 13족 또는 14족에 속하는 금속을 갖는 금속산화물은 제2 유기 화합물의 광방출이 쉽게 소멸되지 않기 때문에 바람직하며, 특히, 산화알루미늄, 산화갈륨, 산화실리콘, 및 산화게르마늄이 바람직하다. 그러나, 제2 무기 화합물은 이것으로 한정되는 것은 아니다.

제2 층(803)은 위에 기술한 바와 같이 각각이 유기 화합물 및 무기 화합물의 조합을 포함하는 것인 복수의 층들을 적층시킴으로써 형성될 수 있고, 또는 또 다른 유기 또는 무기 화합물을 더 포함할 수도 있는 것에 유의한다. 발광층의 층 구조는 변경될 수 있고, 전자들을 주입하기 위한 전극층이 제공될 수도 있고, 또는 특정의 전자 주입영역 또는 광 방출 영역을 제공하지 않는 것 대신에, 광 방출 물질을 분산시킬 수도 있다. 본 발명의 정신에서 벗어나지 않는다면 이러한 변경은 허용될 수 있다.

위에 기술된 물질들을 이용함으로써 형성된 발광 소자는 순방향으로 바이어스됨으로써 광을 방출한다. 발광 소자를 이용함으로써 형성되는 디스플레이 디바이스의 픽셀은 단순 매트릭스 모드 또는 능동 매트릭스 모드에 의해 구동될 수 있다. 어느 경우이든, 각 픽셀은 이에 특정의 타이밍으로 순방향 바이어스를 인가함으로써 광을 방출하는데, 그러나, 픽셀은 어떤 기간동안엔 비-방출 상태에 있다. 발광 소자의 신뢰도는 비방출 시간에 역 바이어스를 인가함으로써 개선될 수 있다. 발광 소자에서는 특정의 구동조건들 하에서는 방출 세기가 감소되는 악화모드, 또는 비-광방출 영역이 픽셀에서 확대되어 휘도가 명백히 감소되는 악화모드가 있다. 그러나, 악화의 진행은 바이어스를 순방향 및 역방향으로 인가하는 교번 전류 구동에 의해 늦추어질 수 있고, 이에 따라, 발광 디바이스의 신뢰도가 향상될 수 있다. 또한, 디지털 구동 또는 아날로그 구동 어느 것에도 적용될 수 있다.

시일링(sealing) 기관 상에 컬러 필터(유색층)가 형성될 수 있다. 컬러 필터(유색층)은 증발방법 또는 액적 분사 방법에 의해 형성될 수 있다. 컬러 필터(유색층)를 이용함으로써, 고선명 디스플레이가 수행될 수 있다. 이것은 넓은 피크가, 컬러 필터(유색필터)에 의해 R, G, B 각각의 방출 스펙트럼에서 예리하게 되게 수정될 수 있기 때문이다.

풀 컬러 디스플레이는 단일 색의 광을 방출하는 물질을 형성하고 컬러 필터 또는 컬러 변환층과 결합시킴으로써 수행될 수 있다. 컬러 필터(유색층) 또는 컬러 변환층은 예를 들면 제2 기관(시일링 기관) 상에 형성되며, 기관에 부착될 수 있다.

자명하게, 단일 색 방출의 디스플레이 또한 수행될 수 있다. 예를 들면, 영역 컬러형 디스플레이 디바이스가 단일 색 방출을 이용함으로써 제조될 수 있다. 영역 컬러형은 수동 매트릭스 디스플레이 부분에 적합하며, 문자들 및 심볼들을 주로 디스플레이할 수 있다.

제 1 전극층(870) 및 제 2 전극층(850)의 물질들은 일함수를 고려하여 선택되어야 한다. 제 1 전극층(870) 및 제 2 전극층(850)은 픽셀전극에 따라 애노드 또는 캐소드일 수 있다. 구동 박막 트랜지스터의 도전율이 p채널형인 경우에, 도 18a에 도시한 바와 같이 제 1 전극층(870)은 애노드로서 작용할 수 있고 제 2 전극층(850)은 캐소드로서 작용할 수 있다. 구동 박막 트랜지스터의 도전율이 n채널형인 경우에, 도 18b에 도시한 바와 같이 제 1 전극층(870)은 캐소드로서 작용하고 제 2 전극층(850)은 애노드로서 작용할 수 있다. 제 1 전극층(870)용으로 또는 제 2 전극층(850)을 이용될 수 있는 물질들을 기술한다. 애노드로서 작용하는 일 전극층용으로 높은 일함수를 갖는 물질(구체적으로, 4.5V 이상의 일함수를 갖는 물질), 및 캐소드로서 작용하는 다른 전극층용으로 낮은 일함수를 갖는 물질(구체적으로, 3.5eV 이상의 일함수를 갖는 물질)을 이용하는 것이 바람직하다. 그러나, 제1 층(804)은 정공 주입 특성 및 정공 수송 특성이 우수하고 제3 층(802)은 전자 주입 특성 및 전자 수송특성이 우수하기 때문에, 제 1 전극층(870) 및 제 2 전극층(850) 둘 다는 일함수에 의해 거의 제약받지 않으므로, 다양한 물질들이 이용될 수 있다.

도 18a 및 도 18b에서 발광 소자들은 제 1 전극층(870)으로부터 광이 추출되는 구조를 가지며, 이에 따라, 제 2 전극층(850)은 광 투과 특성을 갖출 것을 항상 필요로 하지 않는다. 제 2 전극층(850)은 Ti, TiN, $TiSi_xN_y$, Ni, W, WSi_x , WN_x , WSi_xN_x , NbN, Cr, Pt, Zn, Sn, In, Ta, Al, Cu, Au, Ag, Mg, Ca, Li 및 Mo, 또는 합금물질 또는 주성분으로서 원소를 함유하는 화합물 물질을 주로 포함하는 막, 또는 100 내지 800nm 범위의 층 두께를 갖도록 이들의 적층된 막으로 형성될 수 있다.

제 2 전극층(850)은 증발방법, 스퍼터링 방법, CVD 방법, 인쇄방법, 액적 분사 방법 등에 의해 형성될 수 있다.

또한, 제 2 전극층(850)이 제 1 전극층(870)용으로 이용되는 물질과 유사하게 광 투과 도전성 물질을 이용함으로써 형성될 때, 광은 제 2 전극층(850)으로부터 추출되고, 2층의 방출 구조가 얻어질 수 있고, 이 경우 발광 소자로부터 방출되는 광은 제 1 전극층(870) 및 제 2 전극층(850) 둘 다로부터 방출된다.

본 발명에 따른 발광 소자는 제 1 전극층(870) 및 제 2 전극층(850)의 유형들을 변경함으로써 변형예들을 갖는 것에 유의한다.

도 18b는 제3 층(802), 제2 층(803), 및 제1 층(804)이 전계 발광층(860)에서 제 1 전극층(870)으로부터 이 순서로 제공되는 경우를 도시한 것이다.

전술한 바와 같이, 본 발명에 따른 발광 소자에서, 제 1 전극층(870)과 제 2 전극층(850) 간에 개재된 층은 전계 발광층(860)으로 형성되고, 이 경우 유기 화합물 및 무기 화합물이 결합된다. 발광 소자는, 유기 화합물과 무기 화합물을 혼합함으로써, 유기 화합물 또는 무기 화합물 중 어느 하나만으로는 얻어질 수 없는 고 캐리어-주입 특성 및 캐리어-수송 특성이라 하는 기능들을 제공하는 층들(즉, 제1 층(804) 및 제3 층(802))을 구비한 유기-무기 복합 발광 소자이다. 또한, 제1 층(804) 및 제3 층(802)은 제 1 전극층(870) 쪽에 설치될 때는 유기 화합물 및 무기 화합물이 결합되는 층들이어야 하며, 제 2 전극층(850) 쪽에 설치될 때는 유기 화합물들 또는 무기 화합물들만을 포함할 수도 있다.

또한, 유기 화합물 및 무기 화합물이 혼합된 층인 전계 발광층(860)을 형성하기 위한 방법으로서 여러 가지 방법들이 이용될 수 있다. 예를 들면, 방법들은 저항가열에 의해 유기 화합물 및 무기 화합물 둘 다를 증발시키는 공통-증발 방법을 포함한다. 또한, 공통-증발에 있어서, 저항가열에 의해 유기 화합물을 증발시키면서 무기 화합물은 전자빔(EB)에 의해 증발될 수 있다. 또한, 방법들은 유기 화합물 및 무기 화합물을 동시에 증착시키기 위해서 저항가열에 의해 유기 화합물을 증발시키면서 무기 화합물을 스퍼터링하는 방법을 포함한다. 또한, 증착은 습식공정에 의해 수행될 수 있다.

유사하게, 제 1 전극층(870) 및 제 2 전극층(850)에 대해서, 저항가열에 의한 증발, EB 증발, 스퍼터링, 습식공정, 등이 이용될 수 있다.

도 1에 도시한 디스플레이 디바이스에서, 게이트 전극층은 각각이 테이퍼 형상을 갖는 것인 제1 게이트 전극층(614)과 제 2 전극층(615)의 적층구조를 갖는다. 실시 형태 5에 상세히 기술하는 바와 같이, 반도체층(618)은 제 1 전극층(614)의 형상이 제 2 전극층(616)의 형상과는 다른 게이트 전극층을 이용함으로써 다음의 구조를 갖는다. 즉, 반도체층(618)에서, 채널형성영역은 제2 게이트 전극층(616)과 중첩하는 영역에 형성되고, 저농도 불순물 영역들은 제1 게이트 전극층(614)하고만 중첩하는 채널 형성영역의 양 측 상의 영역들에 형성되고, 고농도 영역들은 제1 게이트 전극층(614) 및 제2 게이트 전극층(616)과 중첩하지 않는 저농도 불순물 영역들의 양 측들 상의 영역들에 형성된다. 제1 게이트 전극층(614) 및 제2 게이트 전극층(616)과 유사하게, 두 전극층들에 전기적으로 접속하기 위해 소스전극과 드레인 전극층(604)과 제 1 전극층(610) 사이에 개재된, 제1 도전층(615) 및 제2 도전층(617) 또한 테이퍼 형상을 갖고 적층된 구조를 갖는다. 이것은 제1 도전층(615)과 제2 도전층(617)이 동일 물질에 의해서 그리고 각각 제 1 전극층(614)과 제 2 전극층(616)과 동일한 단계를 통해서 형성된다. 도 1에 도시한 디스플레이 디바이스에서, 제1 도전층(615) 및 제2 도전층(617)의 일부는 반도체층(618)에 형성된다. 그러므로, 불순물 영역들이 제1 게이트 전극층(614)의 형상 및 제 2 전극층(616)의 형상에 의해 반도체층(618)에 자기정렬 방식으로 형성될 때, 불순물 영역은 제2 도전층(617)과 중첩하는 반도체층(618)의 영역에 형성되고, 저농도 불순물 영역은 제1 도전층(615)하고만 중첩하는 반도체층(618)의 영역에 형성된다.

도 2는 도 1의 디스플레이 디바이스에서, 게이트 전극층이 단층 구조를 가지며 자기정렬 방식으로 형성된 반도체층의 불순물 영역들이, 채널형성영역이 개재된 소스 영역과 드레인 영역일 뿐인 예를 도시한 것이다. 그러므로, 반도체층(698) 및 소스 전극층 또는 드레인 전극층(684)의 불순물 영역을 제 1 전극층(690)에 전기적으로 접속하는 도전층(695)은 단층 구조를 갖는다. 또한, 도 1의 디스플레이 디바이스와 유사하게, 불순물들은 도전층(697)과 중첩하는 반도체층(698)의 영역에 첨가되지 않아, 불순물 영역이 형성되지 않는다.

도 2의 디스플레이 디바이스에서, 기판(680) 상에는 베이스막들(681a, 681b), 박막 트랜지스터(685), 게이트 절연층(682), 절연층들(683, 686), 격벽으로서 기능하는 절연층(689), 제 1 전극층(690), 전계 발광층(691), 제 2 전극층(692), 및 보호막(693)이 제공된다. 박막 트랜지스터(685)는 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역들을 갖는 반도체층(698), 게이트 절연층(682), 단층구조를 갖는 게이트 전극층(696), 및 소스 전극층 또는 드레인 전극층(684)을 포함한다. 소스 전극층 또는 드레인 전극층(684)은 반도체층(698)의 불순물 영역 및 도전층(697)과 접촉하여 전기적으로 접속된다. 도전층(697)은 동일 물질을 이용하고 게이트 전극층(696)과 동일한 단계를 통해 제조된다. 도전층(697)은 제 1 전극층(690)에 접촉하여 전기적으로 접속되기 때문에, 반도체층(684) 및 소스 전극층 또는 드레인 전극층(684)은 도전층

(697)을 개재하여 제 1 전극층(690)에 전기적으로 접속된다. 또한, 도 2의 디스플레이 디바이스에서, 반도체층(698)의 불순물 영역, 소스 전극층 또는 드레인 전극층(684), 도전층(697), 및 제 1 전극층(690)은 게이트 절연층(682), 및 절연층들(683, 686)에 제공된 개구(699)에서 전기적으로 서로 접속된다.

발광 소자(688)는 도 1에 발광 소자(608)와 동일한 구조를 가지며, 광은 광 투과 특성을 갖는 제 1 전극층(690)으로부터 방출된다. 도 2에 디스플레이 디바이스의 다른 구성요소들은 도 1에 디스플레이 디바이스와 동일한 물질을 이용함으로써 형성될 수 있다.

위에 기술한 바와 같이, 본 발명에 따라서, 고 신뢰성의 디스플레이 디바이스가 제조될 수 있다. 그러므로, 고선명 및 고 화질 디스플레이 디바이스가 고수율로 제조될 수 있다.

[실시 형태 2]

본 실시 형태에서 디스플레이 디바이스를 도 3을 참조하여 기술한다.

도 3에 도시한 바와 같이, 본 실시 형태의 디스플레이 디바이스는 박막 트랜지스터를 구비한 기관을 통해 발광 소자(628)로부터의 광이 추출되는 바텀-방출 디스플레이 디바이스이다. 본 실시 형태는 박막 트랜지스터의 소스전극 또는 드레인 전극층의 구조, 제1 도전층, 제2 도전층 및 제 1 전극층이 실시 형태 1의 것과는 다른 예를 기술한다. 그러므로, 동일 부분들 또는 동일 기능들을 갖는 동일 부분들의 설명은 생략한다.

도 1에 디스플레이 디바이스에서, 기관(620) 상에는 베이스막들(621a, 621b), 박막 트랜지스터(625), 게이트 절연층(622), 절연층들(623, 626), 격벽으로서 기능하는 절연층(629), 제 1 전극층(630), 전계 발광층(631), 제 2 전극층(632), 및 보호막(633)이 제공된다. 박막 트랜지스터(625)는 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역들을 갖는 반도체층(638), 게이트 절연층(622), 2층의 적층구조를 형성하는 제1 게이트 전극층(634)과 제2 게이트 전극층(636), 및 소스전극층과 드레인 전극층(624)을 포함한다. 소스 전극층 또는 드레인 전극층(624)은 반도체층(638)의 불순물 영역, 제1 도전층(635) 및 제2 도전층(637)과 접촉하여 전기적으로 접속된다. 제1 도전층(635) 및 제2 도전층(637)은 동일 물질을 이용하고 각각 제1 게이트 전극층(634) 및 제2 게이트 전극층(636)과 동일한 단계를 통해 제조된다. 제2 도전층(637)은 제 1 전극층(630)에 접촉하여 전기적으로 접속되기 때문에, 반도체층(638) 및 소스 전극층 또는 드레인 전극층(624)은 제 1 도전층(635) 및 제2 도전층(637)을 개재하여 제 1 전극층(630)에 전기적으로 접속된다. 또한, 도 1의 디스플레이 디바이스와 유사하게, 제2 도전층(637)과 중첩하는 반도체층(638)의 영역에 불순물들이 첨가되지 않으므로 불순물 영역은 형성되지 않으며, 제1 도전층(635)하고만 중첩하는 반도체층(638)의 영역에 저농도 불순물 영역이 형성된다.

실시 형태 1의 디스플레이 디바이스에서 반도체층, 소스전극층 또는 드레인 전극층, 도전층, 및 제 1 전극층은 절연층 내 제공된 한 개구에 형성된다. 그러나, 본 실시 형태에서, 2개의 개구들이 절연층에 제공된다. 도 3의 디스플레이 디바이스에서, 반도체층(638)의 불순물 영역, 소스 전극층 또는 드레인 전극층(624), 제1 도전층(635), 및 제2 도전층(637)은 절연층(622) 및 절연층들(623, 626)에 제공된 개구(639a)에서 서로 전기적으로 접속된다. 또한, 제1 도전층(635), 제2 도전층(637), 및 제 1 전극층(630)은 절연층들(623, 626)에 제공된 개구(629b)에서 서로 전기적으로 접속된다. 여기 기술된 바와 같이, 소스 전극층 또는 드레인 전극층 및 제 1 전극층이 서로 다른 개구들에서 제1 도전층 및 제2 도전층에 접속되는 구조가 채용될 수 있다.

본 발명에 따른 디스플레이 디바이스에서, 박막 트랜지스터의 소스 전극층 또는 드레인 전극층(624)와, 픽셀 전극층인 발광 소자의 제 1 전극층(630)은 전기적으로 접속되게 직접 적층되는 것이 아니라 소스 전극층 또는 드레인 전극층(624) 및 제 1 전극층(630)은 제1 도전층(635) 및 제2 도전층(637)을 개재하여 서로 전기적으로 접속된다. 이러한 구조에서, 두 전극층들이 서로 직접 접촉하여 있을 때(두 전극층들에서 도전층은 낮으며 전기적 접촉은 쉽게 행해지지 않는다) 소스 전극층 또는 드레인 전극층과 제 1 전극층이 서로 쉽게 전기적으로 접속되지 않게 하는 물질들, 또는 두 전극층들이 서로 접촉하여 있을 때 전기적 부식과 같은 악화를 야기시키는 물질들 또한, 도전층이 두 전극층들 사이에 개재되어 있으므로 이용될 수 있다. 그러므로, 소스 전극층 또는 드레인 전극층 및 제 1 전극층용으로 이용될 수 있는 물질들에 대한 선택 범위가 넓어질 수 있다.

배선으로서 이용되는 소스 전극층 또는 드레인 전극층의 저항은 전기신호 또는 파워가 공급되게 낮을 것이 요구된다. 또한, 픽셀전극으로서 이용되는 제 1 전극층은 발광 소자로부터 방출되는 광이 투과되도록 광 투과 특성을 가질 것이 요구된다. 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각은 위에 기술한 바와 같은 특성을 가질 것이 요구된다. 본 발명의 구조에서, 소스 전극층 또는 드레인 전극층 및 제 1 전극층이 적층될 때 일어나는 문제를 우려할 필요가 없고, 이에 따라, 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각에 대해 요구되는 특성을 갖는 물질이 임의의 선택될 수 있다.

또한, 소스 전극층 또는 드레인 전극층(624) 및 제 1 전극층(630)은 제2 도전층(637) 상에 서로 간에 전기적으로 접속되기 때문에, 단선이 우려되지 않고 접촉저항이 낮아진다. 결국, 소스 전극층 또는 드레인 전극층(624)과 제 1 전극층(630)의 접촉저항 또한 낮아진다. 위의 이점이 있는 효과 외에도, 반도체층의 소스 영역 또는 드레인 영역 및 제 1 전극층에 전기적으로 접속되는 소스 전극층 또는 드레인 전극층을 전기적으로 접속하는 기능을 갖는 제1 도전층(635) 및 제2 도전층(637)은 동일 물질을 이용하고 각각 제1 게이트 전극층(634) 및 제2 게이트 전극층(636)과 동일한 단계를 통해서 형성된다. 또한, 제1 도전층(635) 및 제2 도전층(637)에 도달하는 개구는 반도체층의 소스 영역 또는 드레인 영역에 도달하는 개구를 형성하는 단계와 동시에 절연층들에 형성되고, 이에 따라, 제조단계들이 증가되지 않는다. 디스플레이 디바이스의 구조의 레이아웃은 복잡해진 단계들 없이 보다 자유롭게 설계될 수 있다. 그러므로, 보다 높은 신뢰성의 디스플레이 디바이스가 고수율로 제조될 수 있다.

[실시 형태 3]

본 실시 형태에서 디스플레이 디바이스를 도 4를 참조하여 기술한다.

도 4에 도시한 바와 같이, 본 실시 형태의 디스플레이 디바이스는 박막 트랜지스터를 구비한 기판을 통해 발광 소자(648)로부터의 광이 추출되는 바텀-방출 디스플레이 디바이스이다. 본 실시 형태는 박막 트랜지스터의 소스전극층 또는 드레인 전극층의 구조, 제1 도전층, 제2 도전층 및 제 1 전극층이 실시 형태 1의 것과는 다른 예를 기술한다. 그러므로, 동일 부분들 또는 동일 기능들을 갖는 동일 부분들의 설명은 생략한다.

도 4의 디스플레이 디바이스에서, 기판(640) 상에는 베이스막들(641a, 641b), 박막 트랜지스터(645), 게이트 절연층(642), 절연층들(643, 646), 격벽으로서 기능하는 절연층(649), 제 1 전극층(650), 전계 발광층(651), 제 2 전극층(652), 및 보호막(653)이 제공된다. 박막 트랜지스터(645)는 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역들을 갖는 반도체층(658), 게이트 절연층(642), 2층의 적층구조를 형성하는 제1 게이트 전극층(654)과 제2 게이트 전극층(656), 및 소스 전극층과 드레인 전극층(644)을 포함한다. 소스 전극층 또는 드레인 전극층(644)은 반도체층(658)의 불순물 영역 및 제2 도전층(657)과 접촉하여 전기적으로 접속된다. 이에 따라, 소스 전극층 또는 드레인 전극층(644), 반도체층(658)의 불순물 영역, 제1 도전층(655), 및 제2 도전층(657)은 서로 전기적으로 접속된다. 제1 도전층(655) 및 제2 도전층(657)은 동일 물질을 이용하고 각각 제1 게이트 전극층(654) 및 제2 게이트 전극층(656)과 동일한 단계를 통해 제조된다. 제2 도전층(657)은 제 1 전극층(650)에 접촉하여 전기적으로 접속되기 때문에, 반도체층(658) 및 소스 전극층 또는 드레인 전극층(654)은 제1 도전층(655) 및 제2 도전층(657)을 개재하여 제 1 전극층(650)에 전기적으로 접속된다. 또한, 도 1의 디스플레이 디바이스와는 달리, 제1 도전층(655) 및 제2 도전층(657)은 반도체층(658) 상에 형성되지 않으므로, 제1 도전층(655) 및 제2 도전층(657)은 불순물 원소들이 반도체층에 첨가될 때 마스크들로서 작용하지 않는다. 그러므로, 도 4에 본 실시 형태의 디스플레이 디바이스에서, 채널형성영역, 저농도 불순물 영역들, 및 고농도 불순물 영역들은 제1 게이트 전극층(654) 및 제2 게이트 전극층(656)에 의해 자기정렬 방식으로 형성된다.

본 실시 형태에서, 도 3의 실시 형태2의 디스플레이 디바이스와 유사하게 절연층에 두 개의 개구들이 제공된다. 도 3의 실시 형태2의 디스플레이 디바이스에서, 반도체층(638)의 불순물 영역, 소스 전극층 또는 드레인 전극층(624), 제1 도전층(635), 및 제2 도전층(637)은 개구(639a)에서 서로 전기적으로 접속되고, 제2 도전층(637) 및 제 1 전극층(630)은 개구(639b)에서 서로 전기적으로 접속된다. 본 실시 형태에서, 반도체층(658)의 불순물 영역 및 소스 전극층 또는 드레인 전극층(644)은 게이트 절연층(642) 및 절연층들(643, 646)에 제공된 개구(659a)에서 서로 접속되고, 제2 도전층(657)은 절연층들(643, 646)에 제공된 개구(659b)에서 소스 전극층 또는 드레인 전극층(644) 및 제 1 전극층(650)에 접속된다.

반도체층(658)의 불순물 영역 및 소스 전극층 또는 드레인 전극층은 제1 도전층(655) 및 제2 도전층(657)을 개재하여 제 1 전극층(650)에 전기적으로 접속된다. 여기 기술된 바와 같이, 반도체층의 불순물 영역에 접속된 소스 전극층 또는 드레인 전극층은 제1 도전층(655) 및 제2 도전층(657)의 적층이 노출된 또 다른 개구(659b)에서 제1 도전층(655) 및 제2 도전층(657)에 접속되게 절연층(646) 위로 인출될 수 있다. 그러면, 제1 도전층(655) 및 제2 도전층(657)은 개구(659b)에서 제 1 전극층(655)에 접속될 수 있다.

본 발명에 따른 디스플레이 디바이스에서, 박막 트랜지스터의 소스 전극층 또는 드레인 전극층(644)와, 픽셀 전극층인 발광 소자의 제 1 전극층(650)은 전기적으로 접속되게 직접 적층되는 것이 아니라 소스 전극층 또는 드레인 전극층(644) 및 제 1 전극층(650)은 제1 도전층(655) 및 제2 도전층(657)을 개재하여 서로 전기적으로 접속된다. 이러한 구조에서, 두 전극층들이 서로 직접 접촉하여 있을 때 소스 전극층 또는 드레인 전극층과 제 1 전극층이 서로 쉽게 전기적으로 접속되지 않게 하는(두 전극층들에서 도전률은 낮으며 전기적 접촉은 쉽게 행해지지 않는다) 물질들, 또는 두 전극층들이 서로 접촉

하여 있을 때 전기적 부식과 같은 악화를 야기시키는 물질들 또한, 도전층이 두 전극층들 사이에 개재되어 있으므로 이용될 수 있다. 그러므로, 소스 전극층 또는 드레인 전극층 및 제 1 전극층용으로 이용될 수 있는 물질들에 대한 선택 범위가 넓어질 수 있다.

배선으로서 이용되는 소스 전극층 또는 드레인 전극층의 저항은 전기신호 또는 파워가 공급되게 낮을 것이 요구된다. 또한, 픽셀전극으로서 이용되는 제 1 전극층은 발광 소자로부터 방출되는 광이 투과되도록 광 투과 특성을 가질 것이 요구된다. 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각은 위에 기술한 바와 같은 특성을 가질 것이 요구된다. 본 발명의 구조에서, 소스 전극층 또는 드레인 전극층 및 제 1 전극층이 적층될 때 일어나는 문제를 우려할 필요가 없고, 이에 따라, 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각에 대해 요구되는 특성을 갖는 물질이 임의의 선택될 수 있다.

또한, 소스 전극층 또는 드레인 전극층(644) 및 제 1 전극층(650)은 제2 도전층(657) 상에 서로 간에 전기적으로 접속되기 때문에, 단선이 우려되지 않고 접촉저항이 낮아진다. 결국, 소스 전극층 또는 드레인 전극층(644)과 제 1 전극층(650)의 접촉저항 또한 낮아진다. 위의 이점이 있는 효과 외에도, 반도체층의 소스 영역 또는 드레인 영역 및 제 1 전극층에 전기적으로 접속되는 소스 전극층 또는 드레인 전극층을 전기적으로 접속하는 기능을 갖는 제1 도전층(655) 및 제2 도전층(657)은 동일 물질을 이용하고 각각 제1 게이트 전극층(654) 및 제2 게이트 전극층(666)과 동일한 단계를 통해서 형성된다. 또한, 제2 도전층(657)에 도달하는 개구는 반도체층의 소스 영역 또는 드레인 영역에 도달하는 개구를 형성하는 단계와 동시에 절연층에 형성되고, 이에 따라, 제조단계들이 증가되지 않는다. 디스플레이 디바이스의 구조의 레이아웃은 복잡해진 단계들 없이 보다 자유롭게 설계될 수 있다. 그러므로, 보다 높은 신뢰성의 디스플레이 디바이스가 고수율로 제조될 수 있다.

[실시 형태4]

본 실시 형태에서 디스플레이 디바이스를 도 5를 참조하여 기술한다.

도 5에 도시한 바와 같이, 본 실시 형태의 디스플레이 디바이스는 박막 트랜지스터를 구비한 기판을 통해 발광 소자(668)로부터의 광이 추출되는 바텀-방출 디스플레이 디바이스이다. 본 실시 형태는 박막 트랜지스터의 소스 전극층 또는 드레인 전극층의 구조, 제1 도전층, 제2 도전층 및 제 1 전극층이 실시 형태 1의 것과는 다른 예를 기술한다. 그러므로, 동일 부분들 또는 동일 기능들을 갖는 동일 부분들의 설명은 생략한다.

도 5의 디스플레이 디바이스에서, 기판(660) 상에는 베이스막들(661a, 661b), 박막 트랜지스터(665), 게이트 절연층(662), 절연층들(663, 666), 격벽으로서 기능하는 절연층(669), 제 1 전극층(670), 전계 발광층(671), 제 2 전극층(672), 및 보호막(673)이 제공된다. 박막 트랜지스터(665)는 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역들을 갖는 반도체층(678), 게이트 절연층(662), 2층의 적층구조를 형성하는 제1 게이트 전극층(674)과 제2 게이트 전극층(676), 및 소스 전극층과 드레인 전극층(664)을 포함한다. 소스 전극층 또는 드레인 전극층(664)은 반도체층(678)의 불순물 영역 및 제2 도전층(657)과 접촉하여 전기적으로 접속된다. 이에 따라, 소스 전극층 또는 드레인 전극층(664), 반도체층(678)의 불순물 영역, 제1 도전층(675), 및 제2 도전층(677)은 서로 전기적으로 접속된다. 제1 도전층(675) 및 제2 도전층(677)은 동일 물질을 이용하고 각각 제1 게이트 전극층(674) 및 제2 게이트 전극층(676)과 동일한 단계를 통해 제조된다. 제2 도전층(677)은 제 1 전극층(670)에 접촉하여 전기적으로 접속되기 때문에, 반도체층(678) 및 소스 전극층 또는 드레인 전극층(664)은 제1 도전층(675) 및 제2 도전층(677)을 개재하여 제 1 전극층(670)에 전기적으로 접속된다. 또한, 도 1의 디스플레이 디바이스와는 다르게 실시 형태3과는 유사하게, 제1 도전층(675) 및 제2 도전층(677)은 반도체층(678) 상에 형성되지 않으므로, 제1 도전층(675) 및 제2 도전층(677)은 불순물 원소들이 반도체층에 첨가될 때 마스크들로서 작용하지 않는다. 그러므로, 도 4에 본 실시 형태의 디스플레이 디바이스에서, 채널형성영역, 저농도 불순물 영역들, 및 고농도 불순물 영역들은 제1 게이트 전극층(674) 및 제2 게이트 전극층(676)에 의해 자기정렬 방식으로 형성된다.

본 실시 형태에서, 절연층들에 3개의 개구들이 제공된다. 본 실시 형태에서, 반도체층(678)의 불순물 영역, 소스 전극층 또는 드레인 전극층(664)은 게이트 절연층(662) 및 절연층들(663, 666)에 제공된 개구(679a)에서 서로 전기적으로 접속되고; 소스 전극층 또는 드레인 전극층(664) 및 제2 도전층(677)은 절연층들(663, 666)에 제공된 개구(679b)에서 서로 전기적으로 접속되고; 제2 도전층(677) 및 제 1 전극층(670)은 각각 절연층들(663, 666)에 제공된 개구(679b)에서 서로 접속된다.

반도체층(678)의 불순물 영역 및 소스 전극층 또는 드레인 전극층(664)은 제1 도전층(675) 및 제2 도전층(677)을 개재하여 제 1 전극층(670)에 전기적으로 접속된다. 여기 기술된 바와 같이, 반도체층의 불순물 영역에 접속된 소스 전극층 또는 드레인 전극층(664)은 제1 도전층(675) 및 제2 도전층(677)의 적층이 노출된 또 다른 개구(679b)에서 제1 도전층(675) 및 제2 도전층(677)에 접속되게 절연층(675) 위로 인출될 수 있다. 그러면, 제1 도전층(675) 및 제2 도전층(677)은 제1 도전층(675) 및 제2 도전층(677)의 적층이 노출된 또 다른 개구(679c)에서 제 1 전극층(670)에 접속될 수 있다.

본 발명에 따른 디스플레이 디바이스에서, 박막 트랜지스터의 소스 전극층 또는 드레인 전극층(664)와, 픽셀 전극층인 발광 소자의 제 1 전극층(670)은 전기적으로 접속되게 직접 적층되는 것이 아니라 소스 전극층 또는 드레인 전극층(664) 및 제 1 전극층(670)은 제1 도전층(675) 및 제2 도전층(677)을 개재하여 서로 전기적으로 접속된다. 이러한 구조에서, 두 전극층들이 서로 직접 접촉하여 있을 때 소스 전극층 또는 드레인 전극층과 제 1 전극층이 서로 쉽게 전기적으로 접속되지 않게 하는(두 전극층들에서 도전층은 낮으며 전기적 접촉은 쉽게 행해지지 않는다) 물질들, 또는 두 전극층들이 서로 접촉하여 있을 때 전기적 부식과 같은 악화를 야기시키는 물질들 또한, 도전층이 두 전극층들 사이에 개재되어 있으므로 이용될 수 있다. 그러므로, 소스 전극층 또는 드레인 전극층 및 제 1 전극층층으로 이용될 수 있는 물질들에 대한 선택 범위가 넓어질 수 있다.

배선으로서 이용되는 소스 전극층 또는 드레인 전극층의 저항은 전기신호 또는 파워가 공급되게 낮을 것이 요구된다. 또한, 픽셀전극으로서 이용되는 제 1 전극층은 발광 소자로부터 방출되는 광이 투과되도록 광 투과 특성을 가질 것이 요구된다. 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각은 위에 기술한 바와 같은 특성을 가질 것이 요구된다. 본 발명의 구조에서, 소스 전극층 또는 드레인 전극층 및 제 1 전극층이 적층될 때 일어나는 문제를 우려할 필요가 없고, 이에 따라, 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각에 대해 요구되는 특성을 갖는 물질이 임의의 선택될 수 있다.

또한, 소스 전극층 또는 드레인 전극층(664) 및 제 1 전극층(670)은 제2 도전층(677) 상에 서로 간에 전기적으로 접속되기 때문에, 단선이 우려되지 않고 접촉저항이 낮아진다. 결국, 소스 전극층 또는 드레인 전극층(664)과 제 1 전극층(670)의 접촉저항 또한 낮아진다. 위의 이점이 있는 효과 외에도, 반도체층의 소스 영역 또는 드레인 영역 및 제 1 전극층에 전기적으로 접속되는 소스 전극층 또는 드레인 전극층을 전기적으로 접속하는 기능을 갖는 제1 도전층(675) 및 제2 도전층(677)은 동일 물질을 이용하고 각각 제1 게이트 전극층(674) 및 제2 게이트 전극층(676)과 동일한 단계를 통해서 형성된다. 또한, 제2 도전층(677)에 도달하는 개구는 반도체층의 소스 영역 또는 드레인 영역에 도달하는 개구를 형성하는 단계와 동시에 절연층에 형성되고, 이에 따라, 제조단계들이 증가되지 않는다. 디스플레이 디바이스의 구조의 레이아웃은 복잡해진 단계들 없이 보다 자유롭게 설계될 수 있다. 그러므로, 보다 높은 신뢰성의 디스플레이 디바이스가 고수율로 제조될 수 있다.

[실시 형태 5]

본 실시 형태의 디스플레이 디바이스를 제조하는 방법들 도 6a 내지 도 6d, 도 7a 내지 도 7c, 도 8a 내지 도 8c, 도 9a 및 도 9b, 및 도 10a 및 도 10b, 도 16a 내지 도 16c, 및 도 17a 및 도 17b를 참조하여 기술한다.

도 16a는 본 발명에 따른 디스플레이 패널의 구조를 도시한 평면도로서, 디스플레이 패널은 픽셀들(2702)이 매트릭스로 배열된 픽셀부(2701), 스캔 라인 입력단자(2703), 및 절연된 표면을 갖는 기판(2700) 상에 신호라인 입력단자(2704)를 포함한다. 픽셀들의 수는 다양한 표준들, 예를 들면, XGA의 경우에 1024 x 768 x 3(RGB), UXGA의 경우에 1600 x 1200 x 3(RGB), 및 최대 스펙의 고선명 디스플레이에 이용의 경우에 1920 x 1080 x 3(RGB)에 따라 설정될 수 있다.

픽셀들(2702)은 스캔 라인 입력 단자(2703)로부터 확장하는 스캔 라인과 신호라인 입력단자(2704)로부터 확장하는 신호라인을 교차시킴으로써 매트릭스로 배열된다. 각 픽셀(2702)은 스위칭 소자 및 이에 접속된 픽셀전극층을 구비한다. 스위칭 소자의 전형적인 예는 TFT이다. TFT의 게이트 전극층 측은 스캔 라인에 접속되고, TFT의 소스 또는 드레인 측은 신호라인에 접속되고, 그럼으로써 각 픽셀은 외부로부터의 신호입력에 의해 독립적으로 제어될 수 있다.

TFT는 이의 주요 구성요소들로서 반도체층, 게이트 절연층 및 게이트 전극층을 구비한다. 반도체층에 형성된 소스 영역 및 드레인 영역에 접속되는 배선층들이 또한 제공된다. 통상적으로 반도체층, 게이트 절연층 및 게이트 전극층이 기판측으로부터 이 순서로 제공된 탑 게이트 구조, 및 게이트 전극층, 게이트 절연층 및 반도체층이 기판측으로부터 이 순서로 제공된 바텀 게이트 구조가 공지되어 있고 본 발명은 이들 구조들 중 어느 것을 채용할 수 있다.

도 16a는 스캔 라인 및 신호라인에 입력될 신호가 외부 구동기 회로에 의해 제어되는 디스플레이 패널의 구조를 도시한 것이나, 구동기 IC(2751)는 도 17a에 도시한 COG(Chip On Glass) 방법에 의해 기판(2700) 상에 실장될 수 있다. 또한, 또 다른 모드로서, 도 17b에 도시한 바와 같은 TAB(테이프 자동 본딩) 방법이 또한 채용될 수 있다. 구동기 IC는 단결정 반도체 기판 또는 유리기판 상에 TFT를 이용함으로써 형성될 수 있다. 도 17a 및 도 17b에서, 구동기 IC(2751)은 FPC(Flexible Printed Circuit)(2750)에 접속된다.

또한, 결정질 반도체를 이용함으로써 픽셀에 제공된 TFT를 형성하는 경우에, 스캔 라인 구동기 회로(3702)는 도 17b에 도시한 바와 같이 기판(3700) 상에 형성될 수 있다. 도 16b에서, 픽셀부(3701)는 외부 구동기 회로에 의해 제어되며, 도

16a에 유사하게, 이 회로에는 신호 라인 입력 단자(3704)가 접속된다. 다결정질(마이크로결정질) 반도체를 이용함으로써 픽셀에 설치되는 TFT를 형성하는 경우에, 고 이동도를 갖는 단결정 반도체 등, 픽셀부(4701), 스캔 라인 구동기 회로(4702), 및 신호라인 구동기 회로(4704)는 도 16c에 도시한 바와 같이 기판(4700) 상에 집적되게 형성될 수 있다.

도 6a에 도시한 바와 같이, 베이스막으로서, 절연된 표면을 갖는 기판(100) 상에는, 스퍼터링 방법, PVD(물리적 기상증착) 방법, 또는 저압 CVD 방법(LPCVD 방법) 또는 플라즈마 CVD 방법과 같은 CVD(화학기상증착) 방법에 의해 10 내지 200 nm 두께(바람직하게는 10 내지 100nm 두께)가 되게 실리콘 질화산화(SiNO)막을 이용함으로써 베이스막(101a)이 형성되며, 이 위에 베이스막(101b)이, 실리콘 옥시나이트라이드(SiON)막을 이용함으로써 50 내지 200nm 두께로(바람직하게는 100 내지 150 nm 두께로) 적층된다. 대안적으로, 아크릴산, 메타크릴산, 또는 이들의 유도체, 폴리이미드와 같은 내열성 고분자물질, 방향족 폴리이미드, 또는 폴리벤즈이미다졸, 또는 실록산 수지 물질이 이용될 수 있다. 또한, 에폭시 수지, 페놀수지, 노블락 수지, 아크릴 수지, 멜라민 수지, 우레탄 수지 등의 수지물질도 이용될 수 있다. 또한, 벤조사이클로부텐, 파릴렌, 또는 폴리이미드와 같은 유기물질; 수용성 호모폴리머 및 수용성 코폴리머를 함유하는 합성물질 등이 이용될 수 있다. 방법으로서, 액적 분사 방법, 인쇄방법(스크린 인쇄 또는 오프셋 인쇄와 같이, 패턴을 형성하기 위한 방법), 스펀 코팅과 같은 코팅방법, 딥 방법, 등이 이용될 수 있다. 본 실시 형태에서, 베이스막들(101a, 101b)은 플라즈마 CVD 방법에 의해 형성된다. 기판(100)은 유리기판, 석영기판, 실리콘 기판, 금속기판, 또는 절연막이 피복된 표면을 갖는 스테인레스 기판일 수 있다. 또한, 본 실시 형태의 가공온도를 견딜 수 있는 막과 같은 내열성 또는 가요성 기판을 구비한 플라스틱 기판이 이용될 수 있다. 플라스틱 기판으로서, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), 또는 PES(폴리에테르 술폰)으로 형성된 기판이 이용될 수 있고, 가요성 기판으로서, 아크릴과 같은 합성수지가 이용될 수 있다. 본 실시 형태에서 제조된 디스플레이 디바이스는 발광 소자로부터의 광이 기판(100)을 통해 방출되는 구조를 갖기 때문에, 기판(100)은 광 투과 특성을 가질 필요가 있다.

베이스막으로서, 산화 실리콘, 질화 실리콘, 실리콘 옥시나이트라이드, 질화산화 실리콘 등이 단층구조 또는 2 또는 2층의 적층구조에 이용될 수 있다. 실리콘 옥시나이트라이드는 산소의 조성비가 질소보다 높은 물질이며 질소함유 산화 실리콘이라고 할 수 있는 것에 유의한다. 유사하게, 질화산화 실리콘은 질소 조성비가 산소의 조성비보다 큰 물질이며 산소 함유 질화 실리콘이라고 할 수 있는 것에 유의한다. 본 실시 형태에서, 질화산화 실리콘막은 SiH_4 , NH_3 , N_2O , N_2 및 H_2 를 반응가스로 이용하여 50nm 두께로 형성되며, 실리콘 옥시나이트라이드막은 반응가스로 SiH_4 및 N_2O 를 이용하여 100nm 두께로 형성된다.

이어서, 반도체막이 베이스막 상에 형성된다. 반도체막은 25 내지 200nm 두께로(바람직하게는 30 내지 150 두께) 임의의 방법(스퍼터링 방법, LDCVD 방법, 플라즈마 CVD 방법 등)에 의해 형성될 수 있다. 본 실시 형태에서, 레이저 조사에 의해 비정질 반도체막을 결정화함으로써 형성되는 결정질 반도체막을 이용하는 것이 바람직하다.

반도체막을 형성하기 위한 물질은 실란 또는 게르마늄이 전형인 반도체 물질, 광 에너지 또는 열 에너지를 이용함으로써 비정질 반도체를 결정화하여 형성된 다결정질 반도체, 반-비정질 반도체(마이크로결정이라고도 하며 이하 "SAS"라고도 함) 등을 이용함으로써 기상 성장 방법 또는 스퍼터링 방법에 의해 형성되는 비정질 반도체(이하, "AS"라고도 함)일 수 있다.

SAS는 비정질 구조와 결정질(단결정 및 다결정질을 포함함) 구조 사이의 중간구조를 가지며 자유 에너지에서 안정한 제3 상태를 갖는 반도체이다. 또한, SAS는 단 거리 오더 및 격자 왜곡을 가진 결정질 영역을 포함하며, 0.5 내지 20nm 직경의 그레인 이 막의 적어도 일부에 관찰될 수 있다. 주 성분으로서 실리콘을 함유하는 경우에, L-O 포논에 기인한 라만 스펙트럼은 520cm^{-1} 보다 낮은 파수 측으로 옮겨진다. 실리콘 결정 격자로부터 도출되는 것으로 생각되는 (111) 및 (220)의 회절 피크들은 X-선 회절에 의해 관찰된다. SAS는 덩글링 본드들로 종단을 이루는 적어도 1 atomic% 또는 그 이상만큼을 수소 또는 할로젠을 포함한다. SAS는 실리콘을 함유하는 가스의 글로우 방전 분해(플라즈마 CVD)에 의해 형성된다. 실리콘 함유 가스는 전형적으로 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등뿐만 아니라, SiH_4 이다. 또한, F_2 및 GeF_4 가 혼합될 수 있다. 실리콘 함유 가스는 H_2 또는 O_2 및 하나 또는 복수의 희가스 원소들 이를테면 He, Ar, Kr, 및 Ne로 희석될 수 있다. 희석율은 2 내지 1000 배이고, 압력은 0.1 내지 133 Pa이고, 파워 공급 주파수는 1 내지 120Mhz, 보다 바람직하게는 13 내지 60MHz이다. 기판을 가열하기 위한 온도는 바람직하게는 300°C 이하이고, SAS는 100 내지 200°C 에서 형성될 수 있다. 막 내에 불순물 원소들로서 산소, 질소, 및 탄소와 같은 분위기 성분들의 불순물의 농도는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하인 것이 바람직하다. 특히, 산소농도는 바람직하게는 $6 \times 10^{19} \text{ atoms/cm}^3$ 이하이며, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하이다. 또한, 헬륨, 아르곤, 크립톤, 또는 네온과 같은 희가스 원소가 격자왜곡을 더욱 증가시키기 위해서 함유될 때, 안정도가 향상되며, 유리한 SAS가 얻어진다. 또한, 반도체막으로서, 실리콘 함유 가스 및 수소를 이용하여 형성된 SAS층은 실리콘 및 불소 함유 가스를 이용함으로써 형성된 SAS 층 상에 적층될 수 있다.

비정질 반도체로서, 수소화된 비정질 실리콘이 전형적으로 이용될 수 있고 폴리실리콘 등은 통상적으로 결정질 반도체로서 이용될 수 있다. 폴리실리콘(다결정질 실리콘)은 800℃ 이상의 가공온도에 의해 형성되는, 주 재료로서 폴리실리콘을 이용하여 형성된 소위 고온 폴리실리콘, 600℃ 이하의 가공온도에서 형성되는 주 재료로서 폴리실리콘을 이용하여 형성된 소위 저온 폴리실리콘, 결정화를 촉진시키는 원소를 첨가함으로써 결정화되는 폴리실리콘 등을 포함한다. 반도체막의 부분에 결정 상(phase)을 함유하는 반-비정질 반도체 또는 반도체가 위에 기술한 바와 같이 이용될 수도 있음을 말할 나위도 없다.

반도체막용으로 결정질 반도체막을 이용하는 경우에, 결정질 반도체막은 레이저 결정화 방법, 열 결정화 방법, 결정화를 촉진시키는 니켈과 같은 원소를 이용한 열 결정화 방법, 등에 의해 형성될 수 있다. 또한, SAS인 마이크로결정질 반도체는 결정도를 향상시키기 위해서 레이저 조사에 의해 결정화될 수 있다. 결정화를 촉진시키는 원소가 이용되지 않는 경우에, 비정질 반도체막은 레이저광으로 비정질 반도체막을 조사하기 전에, 수소가 빠져 나오게 500℃에서 질소 분위기에서 1시간 동안 가열하여 수소 농도가 1×10^{20} atoms/cm³이 되게 한다. 이것은 비정질 반도체막이 많은 수소를 함유하고 있다면, 비정질 반도체막은 레이저광 조사에 의해 부서질 수 있기 때문이다. 결정화를 위한 열처리하는 가열 노, 레이저 조사, 램프로부터 방출되는 광의 조사(램프 어닐링이라 함) 등을 이용하여 수행될 수 있다. 가열방법으로서, GRTA(가스 급속 열 어닐링) 방법과 같은 RTA 방법, LRTA(램프 급속 열 어닐링) 방법 등이 이용될 수 있다.

비정질 반도체막에 금속 원소를 도입시키는 방법은 비정질 반도체막의 표면에 또는 그 내부에 금속 원소를 형성하기 위한 방법인 한, 특별히 제한은 없다. 예를 들면, 스퍼터링 방법, CVD 방법, 플라즈마 처리(플라즈마 CVD 방법을 포함함), 흡수 방법, 또는 금속염 용액을 코팅하는 방법이 이용될 수 있다. 이들 중에서, 용액을 이용하는 방법이 쉬우며 금속 원소의 농도가 쉽게 제어될 수 있는 점에서 잇점이 있다. 산소 분위기에서 UV 광 조사, 열산화 방법, 비정질 반도체막의 전체 표면에 걸쳐 수용액을 확산시키기 위해 비정질 반도체의 표면의 습윤성을 향상시키기 위해 수산기 라디칼 또는 과산화수소 등을 함유한 오존수에 의한 처리에 의해 산화막을 형성하는 것이 바람직하다.

큰 그레인 크기의 결정들을 얻기 위해서, 연속파 고체상태 레이저의 기본파의 2차 내지 4차 고조파가 이용되는 것이 바람직하다. 통상, Nd:YVO₄ 레이저(기본파는 1064nm)의 2차(532nm) 또는 3차(355nm) 고조파가 이용되는 것이 바람직하다. 구체적으로, 연속파 YVO₄ 레이저의 레이저광은 비선형 광학소자를 이용함으로써 고조파로 전환되고, 그럼으로써 몇 와트량 이상의 출력을 갖는 레이저광을 얻는다. 반도체막을 조사하기 위해 광학계에 의해 조사된 표면 상에 사각형 또는 타원 형상으로 레이저광을 형성하는 것이 바람직하다. 이 때의 에너지 밀도는 약 0.001 내지 100MW/cm²(바람직하게는, 0.1 내지 10MW/cm²)일 것이 요구된다. 반도체막은 약 0.5 내지 2000 cm/sec(바람직하게는 10 내지 200 cm/sec)의 스캔 레이트로 레이저 광으로 조사된다.

레이저 빔의 형상은 선형인 것이 바람직하다. 따라서, 수율이 향상될 수 있다. 또한, 반도체막은 반도체막의 표면에 관하여 입사각 θ ($0 < \theta < 90^\circ$)로 레이저로 조사될 수 있고, 그럼으로써 레이저의 상호간섭이 방지된다.

이러한 레이저 및 반도체막을 상대적으로 스캐닝함으로써, 레이저 조사가 수행될 수 있다. 또한, 레이저 조사에서, 고정밀도로 빔들을 중첩시키고 레이저 조사를 시작하고 종료하기 위한 위치들을 제어하기 위해서 마커가 형성될 수 있다. 비정질 반도체막이 형성될 때 동시에 기판 상에 마커가 형성될 수 있다.

레이저는 연속파 또는 펄스상 가스 레이저, 고체상태 레이저, 구리 증기 레이저, 금 증기 레이저 등일 수 있는 것에 유의한다. 가스 레이저는 엑시머 레이저, Ar 레이저, Kr 레이저, He-Cd 레이저, 등을 포함하며 고체상태 레이저는 YAG 레이저, YVO₄ 레이저, YLF 레이저, YAlO₃ 레이저, Y₂O₃ 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 등을 포함한다.

레이저 결정화는 수십 내지 수백 Hz의 반복 레이트들로 일반적으로 이용되는 범위보다 반복 레이트들의 범위를 상당히 넓히는 0.5MHz 이상의 반복 레이트의 펄스상 레이저에 의해 수행될 수 있다. 레이저광의 조사와 반도체막의 완전한 고형화 사이의 시간은 펄스상 레이저에서 수십 내지 수백 nsec라고 한다. 그러므로, 반도체막은 전술한 범위의 반복 레이트를 이용하여 레이저광에 의한 반도체막의 용융부터 반도체막의 고형화까지의 기간동안에 다음 회의 펄스상 레이저 광으로 조사될 수 있다. 반도체막에서 고체-액체 계면이 연속적으로 이동될 수 있기 때문에, 스캐닝 방향으로 연속적으로 성장한 결정 그레인들을 갖는 반도체막이 형성된다. 구체적으로, 스캐닝 방향으로 10 내지 30 μ m의 폭들 및 스캐닝 방향에 수직한 방향

으로 약 1 내지 5 μ m의 폭들을 갖는 결정 그레인드의 응집이 형성될 수 있다. 스캐닝 방향으로 길게 연장된 단결정의 결정 그레인드를 형성함으로써, 박막 트랜지스터의 적어도 채널방향으로 거의 어떠한 결정경계도 갖지 않는 반도체막이 형성될 수 있다.

반도체막은 회가스 또는 질소와 같은 불활성 가스 분위기에서 레이저광으로 조사될 수 있다. 따라서, 반도체막의 표면의 거칠기는 레이저 조사에 의해 방지될 수 있고, 계면 상태 밀도들의 변화에 기인한 임계전압의 변동이 방지될 수 있다.

비정질 반도체막은 열처리와 레이저 광 조사와의 조합에 의해 결정화될 수 있고, 열처리 및 레이저 광 조사 중 하나는 복수 회 수행될 수 있다.

본 실시 형태에서, 결정질 반도체막은 베이스막(101b) 상에 비정질 반도체막을 형성하고 비정질 반도체막을 결정화함으로써 형성된다. 비정질 반도체막으로서, SiH₄ 및 H₂를 이용하여 형성된 반응가스가 이용된다. 본 실시 형태에서, 베이스막들(101a, 101b), 및 비정질 반도체막은 330℃의 동일 온도에서 동일 챔버 내에서 진공을 유지하여 반응가스를 바꿈으로써 연속적으로 형성된다.

비정질 반도체막 상에 형성된 산화막을 제거한 후에, 산화막이 산소 분위기에서의 UV 광 조사, 열산화 방법, 수산화 라디칼 또는 과산화수소 등을 함유한 오존수에 의한 처리에 의해 1 내지 5nm 두께로 형성된다. 본 실시 형태에서, Ni는 결정화를 촉진시키기 위한 원소로서 이용된다. Ni 아세테이트의 10 ppm을 함유한 수용액은 스핀 코팅 방법에 의해 코팅된다.

본 실시 형태에서, 3분동안 750℃에서 RTA 방법에 의한 열처리를 수행한 후에, 반도체막 상에 형성된 산화막이 제거되고 레이저 조사가 수행된다. 비정질 반도체막은 결정질 반도체막을 형성하기 위해 전술한 결정화 처리에 의해 결정화된다.

금속 원소를 이용하여 결정화를 수행하는 경우에, 금속 원소를 감소 또는 제거하기 위해 게터링 단계가 수행된다. 본 실시 형태에서, 금속 원소는 게터링 싱크로서 비정질 반도체막을 이용함으로써 캡처된다. 먼저, 산화막이 산소 분위기에서의 UV 광 조사, 열산화 방법, 수산화 라디칼 또는 과산화수소 등을 함유한 오존수에 의한 처리에 의해 결정질 반도체막 상에 형성된다. 산화막은 열처리에 의해 두껍게 형성하는 것이 바람직하다. 이어서, 비정질 반도체막이 플라즈마 CVD 방법(본 실시 형태의 조건: 350W 및 35Pa)에 의해 40nm 두께가 되게 형성된다.

그후에, 금속 원소를 감소 또는 제거하기 위해 RTA 방법에 의해 3분동안 744℃에서 열처리가 수행된다. 열처리는 질소 분위기에서 수행될 수 있다. 이어서, 게터링 싱크로서 비정질 반도체막 및 비정질 반도체막 상에 형성된 산화막이 불화수소 산 등에 의해 제거되고, 그럼으로써 금속 원소가 감소 또는 제거된 결정질 반도체막(102)을 얻는다(도 6a 참조). 본 실시 형태에서, 게터링 싱크로서의 비정질 반도체막은 TMAH(테트라메틸 암모늄 수산화물)를 이용하여 제거된다.

위에 기술된 바와 같이 형성된 반도체막은 박막 트랜지스터의 임계전압을 제어하기 위해 불순물 원소들(보론 또는 인)의 약간의 양이 도핑될 수 있다. 이 불순물 원소들의 도핑은 결정화 전에 비정질 반도체막에 수행될 수 있다. 비정질 반도체막이 불순물 원소들로 도핑될 때, 불순물들은 후에 결정화를 위해 열처리에 의해 활성화될 수 있다. 또한, 도핑에 의해 발생되는 결함 등도 개선될 수 있다.

이어서, 결정질 반도체막(102)이 마스크를 이용하여 원하는 형상으로 패터닝된다. 본 실시 형태에서, 결정질 반도체막(102) 상에 형성된 산화막을 제거한 후에, 또 다른 산화막이 형성된다. 이어서, 포토 마스크가 형성되고, 포토리소그래피 방법으로 가공함으로써 반도체층들(103, 104, 105, 106)이 형성된다.

에칭 공정은 플라즈마 에칭(건식에칭) 또는 습식 에칭일 수 있다. 대면적의 기판을 가공하는 경우에, 플라즈마 에칭이 더욱 적합하다. 에칭가스로서, 불소함유 가스, 또는 CF₄, NF₄, Cl₂ 또는 BCl₃와 같은 염소를 함유하는 가스가 이용되고, 이에 He 또는 Ar과 같은 불활성 가스가 적합하게 첨가될 수 있다. 대기압 방전에 의한 에칭 공정을 채용하는 경우, 로컬 전기 방전이 실현될 수 있고, 이는 기판의 전체 표면에 걸쳐 마스크층을 형성할 것을 요하지 않는다.

본 발명에서, 배선층 또는 전기층을 형성하기 위한 도전층, 소정의 패턴을 형성하기 위한 마스크층, 등은 이블테면 액적 분사 방법과 같은, 패턴을 선택적으로 형성할 수 있는 방법에 의해 형성될 수 있다. 액적 분사 방법에서(본 발명에 따라 잉크젯 방법이라고도 함), 소정의 구성요소(도전층, 절연층 등)는 특정 목적을 위해 준비된 조성의 액체를 선택적으로 분사함으로써 형성될 수 있다. 이 때, 습윤성 및 부착성을 제어하기 위한 공정이, 형성할 영역에서 수행될 수 있다. 또한, 패턴을 전사 또는 묘화하는 방법, 예를 들면, 인쇄방법(스크린 인쇄 또는 오프셋 인쇄와 같이 패턴을 형성하기 위한 방법) 등도 이용될 수 있다.

본 실시 형태에서, 에폭시 수지, 아크릴 수지, 페놀 수지, 노볼락 수지, 멜라민 수지, 또는 우레탄 수지와 같은 수지 물질이 마스크로서 이용된다. 대안적으로, 벤조사이클로부텐, 파닐렌, 또는 광 투과 특성을 갖는 폴리이미드와 같은 유기물질; 수용성 호모폴리머 및 수용성 코폴리머를 함유한 혼합물질; 및 등이 이용될 수 있다. 또한, 감광제를 포함한 시판되는 레지스트 물질도 이용될 수 있다. 예를 들면, 전형적인 포지티브 레지스트, 즉, 노볼락 수지 및 감광제인 나프토퀴논에디아지드 화합물; 또는 네가티브 수지, 즉, 베이스 수지, 디페닐실란에디올, 및 산 생성제를 이용하는 것이 가능하다. 물질의 표면장력 및 점도는 액적 분사 방법이 이용될 때, 용매 농도를 조절하고, 계면활성제, 등을 첨가함으로써 적합하게 조절된다.

반도체막 상의 산화막이 제거되고, 반도체층들(103, 104, 105)을 덮는 게이트 절연층(107)이 형성된다. 게이트 절연층(107)은 플라즈마 CVD 방법 또는 스퍼터링 방법에 의해 10 내지 150 nm의 두께를 갖는 실리콘 함유 절연막으로 형성된다. 게이트 절연층(107)은 질화 실리콘, 산화 실리콘, 실리콘 옥시나이트라이드, 및 질화산화 실리콘이 전형인, 실리콘의 산화물질 또는 질화물질과 같은 물질을 이용함으로써 형성될 수 있고, 적층구조 또는 단층구조를 가질 수 있다. 또한, 절연층은 질화 실리콘막, 산화 실리콘막, 및 질화 실리콘막을 포함하는 3개의 층을 적층한 층일 수도 있다. 단층 또는 실리콘 옥시나이트라이드막의 2층들의 적층된 층도 채용될 수 있다. 바람직하게, 조밀한 막 질을 갖는 질화 실리콘막이 이용된다. 얇은 산화 실리콘막은 반도체층과 절연층 사이에 1 내지 100nm의 두께로, 바람직하게는 1 내지 10nm, 더욱 바람직하게는 2 내지 5nm 두께로 형성될 수 있다. 얇은 산화 실리콘막을 형성하는 방법으로서, 반도체 영역의 표면은 GRTA방법, LRTA 방법 등에 의해 산화되어 열산화막을 형성하고, 그럼으로써 얇은 두께를 갖는 산화 실리콘막을 형성한다. 아르곤과 같은 회가스 원소가 반응가스에 첨가될 수도 있고 형성할 절연막에 혼합하여 낮은 막 형성 온도에서 거의 게이트 누설전류가 없는 조밀한 절연막을 형성함에 유의한다. 본 실시 형태에서, 실리콘 옥시나이트라이드막은 게이트 절연층(107)으로서 115nm 두께가 되게 형성된다.

이어서, 20 내지 100nm의 두께를 갖는 제1 도전막(108) 및 100 내지 400nm의 두께를 갖는 제2 도전막(109)은 각각이 게이트 전극층으로서 작용하는 것으로서, 게이트 절연층(107) 상에 적층된다(도 6b). 제1 도전막(108) 및 제2 도전막(109)은 스퍼터링 방법, 증발방법, CVD 방법 등에 의해 형성될 수 있다. 제1 도전막(108) 및 제2 도전막(109)은 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr) 및 네오디뮴(Nd) 중에서 선택된 원소, 또는 주성분으로서 위에 언급한 원소를 갖는 합금물질 또는 화합물질로 형성될 수 있다. 인 또는 AgPdCu 합금과 같은 불순물 원소가 도핑된 다결정질 실리콘막이 전형인 반도체막은 제1 도전막(108) 및 제2 도전막(109)으로서 이용될 수 있다. 도전막은 2층구조로 한정되는 것은 아니며, 예를 들면, 제1 도전막으로서 50nm의 두께를 갖는 텅스텐막, 제2 막으로서 500nm의 두께를 갖는 알루미늄과 실리콘과의 합금막(Al-Si), 및 제3 도전막으로서 30nm 두께를 갖는 질화티탄막이 순차로 적층되는 3층구조를 가질 수 있다. 3층 구조의 경우에, 질화텅스텐은 제1 도전막으로서 텅스텐 대신에 이용될 수 있고; 알루미늄 및 티탄의 합금막(Al-Ti)는 제2 도전막으로서 알루미늄 및 실리콘의 합금막(Al-Si) 대신에 이용될 수 있고; 또는 티탄막은 제3 도전막으로서 질화티탄막 대신 이용될 수 있다. 본 실시 형태에서, 30nm의 두께를 갖는 질화탄탈(TaN)은 370nm의 두께를 갖는 제1 도전막(108) 및 텅스텐(W)이 제2 도전막(109)으로서 형성될 때 형성된다.

이어서, 레지스트를 이용하는 마스크들(110a, 110b, 110c, 110d, 110e, 110f, 110g)은 포토리소그래피 방법에 의해 형성되며, 제1 도전막(108) 및 제2 도전막(109)은 제1 게이트 전극층들(121, 122, 124, 125, 126) 및 도전층들(157, 111, 112, 114, 115, 116, 156)을 형성하게 원하는 형상으로 패터닝된다(도 6c 참조). 제1 게이트 전극층들(121, 122, 124, 125, 126), 제1 도전층(157), 및 도전층들(111, 112, 114, 115, 116, 156)은 에칭조건(코일형상 전극층에 인가되는 전력량, 기관측 상의 전극층에 인가되는 전력량, 기관측 상의 전극온도, 등)을 ICP(유도결합 플라즈마) 에칭방법에 적합하게 조절함으로써 원하는 테이퍼 형상을 갖도록 에칭될 수 있다. 또한, 테이퍼 형상의 각도 등은 마스크들(110a, 110b, 110d, 110e, 110f, 110g)의 형상들에 의해 제어될 수 있다. 에칭가스로서, Cl_2 , BCl_3 , SiCl_4 , CCl_4 등이 전형인 염소함유 가스, 또는 O_2 가 적합하게 이용될 수 있다. 본 실시 형태에서, 제2 도전막(109)은 CF_5 , Cl_2 , O_2 를 함유하는 에칭가스를 이용하여 에칭되며, 이어서, CF_3 및 Cl_2 를 함유하는 에칭가스를 이용하여 제1 도전막(108)을 계속하여 에칭한다.

이어서, 도전층들(111, 112, 114, 115, 116, 156)을 마스크들(110a, 110b, 110d, 110f, 110g)을 이용하여 원하는 형상으로 패터닝된다. 이 때, 도전층들은 도전층들을 형성하는 제2 도전막(109)에 관하여 제1 게이트 전극층들을 형성하는 제1 도전막(108)에 고 선택비의 에칭조건으로 에칭된다. 이러한 에칭에 의해서, 도전층들(111, 112, 114, 115, 115, 156)은 제2 게이트 전극층들(131, 132, 134, 135, 136), 및 제2 도전층(158)을 형성하게 에칭된다. 본 실시 형태에서, 제2 게이트 전극층들(131, 132, 134, 135, 136), 및 제2 도전층(158) 또한 테이퍼 형상을 가지며, 여기서 테이퍼 각은 제1 게이트 전극층들(121, 122, 124, 125, 126) 및 제1 도전층(157)보다 크다. 테이퍼각은 제1 게이트 전극층, 제2 게이트 전극층, 및

도전층의 표면들에 관하여 측면의 각이다. 따라서, 테이퍼각이 90°로 증가될 때, 도전층은 수직인 측면을 갖는다. 측면의 각도는 거의 수직인 형상일 수 있다. 본 실시 형태에서, 제2 게이트 전극은 Cl_2 , SF_6 , O_2 의 에칭가스를 이용함으로써 형성된다.

본 실시 형태에서, 제1 게이트 전극층들, 도전층들, 및 제2 게이트 전극층들 각각은 테이퍼 형상을 갖도록 형성되고, 이에 따라, 두 게이트 전극층들 둘 다는 테이퍼 형상들을 갖는다. 그러나, 본 발명은 이것으로 한정되지 않으며, 게이트 전극층들 중 하나는 테이퍼 형상을 가질 수 있고 다른 하나는 이방성 에칭에 의해 수직인 측면을 갖는다. 본 실시 형태에서 기술한 바와 같이, 테이퍼 각도들은 적층된 게이트 전극층들 간에 다를 수도 있고 같을 수도 있다. 테이퍼 형상에 의해, 그 위에 적층될 막의 피복성이 향상되고, 결함이 감소되고, 이에 따라 신뢰도가 향상된다.

게이트 전극층은 이의 레이아웃 및 형상에 따라 다양한 구조들을 가질 수 있다. 그러므로, 제조되는 디스플레이 디바이스는 또한 여러 구조들을 갖는다. 반도체층 내 불순물 영역이 게이트 전극층을 마스크로서 이용하여 자기정렬방식으로 형성될 때, 불순물 영역의 구조 또는 농도분포는 게이트 전극층의 구조에 따라 변경된다. 위에 기술된 사항을 고려하여 설계를 선택함으로써, 원하는 기능을 갖는 박막 트랜지스터가 제조될 수 있다.

전술한 단계들을 통해서, 제1 게이트 전극층(1212) 및 제2 게이트 전극층(131)으로 형성된 게이트 전극층(117), 및 제1 게이트 전극층(122) 및 제2 게이트 전극층(132)으로 형성된 게이트 전극층(118)은 주변 구동기 회로 영역(204)에 형성되고; 제1 게이트 전극층(124) 및 제2 게이트 전극층(134)로 형성된 게이트 전극층(127), 제1 게이트 전극층(125) 및 제2 게이트 전극층(135)로 형성된 게이트 전극층(128), 제1 게이트 전극층(126) 및 제2 게이트 전극층(136)으로 형성된 게이트 전극층(129), 및 제1 도전층(157) 및 제2 도전층(158)로 형성된 도전층(130)은 픽셀영역(206)에 형성될 수 있다.(도 6d 참조). 본 실시 형태에서, 게이트 전극층들은 건식 에칭에 의해 형성되나, 습식에칭도 채용될 수 있다.

게이트 절연층(107)은 게이트 전극층들을 형성하기 위해 에칭단계에 의해 어느 정도 에칭되어 두께 감소될 수 있다.

게이트 전극층의 폭을 좁게 형성함으로써, 고속동작을 할 수 있는 박막 트랜지스터가 형성될 수 있다. 채널방향으로 게이트 전극층의 폭을 좁게 형성하기 위한 2가지 방법들을 이하 기술한다.

제1 방법은 게이트 전극층용 마스크를 형성하고, 마스크를 에칭, 애싱 등에 의해 폭방향으로 슬림화하여, 좁은 폭을 가진 마스크를 형성하는 것이다. 좁은 폭으로 미리 형성된 마스크를 이용함으로써, 게이트 전극층은 좁은 폭을 가진 형상으로 형성될 수 있다.

제2 방법은 통상의 마스크를 형성하고 마스크를 이용하여 게이트 전극을 형성하는 것이다. 이어서, 얻어진 게이트 전극층은 좁게 하게 위해 폭방향으로 사이드 에칭된다. 따라서, 좁은 폭을 가진 게이트 전극층이 최종으로 형성될 수 있다. 위에 언급한 단계들을 통해서, 단채널 길이를 가진 박막 트랜지스터가 형성될 수 있고, 이는 고속동작을 할 수 있는 박막 트랜지스터를 구비하는 회로를 실현할 수 있다.

다음에, 제1 n형 불순물 영역들(140a, 140b, 141a, 141b, 142a, 142b, 142c, 143a, 143b)을 형성하기 위해 마스크들로서 게이트 전극층들(117, 118, 127, 128, 129) 및 도전층(130)을 이용하여, n형 도전성을 부여하는 불순물 원소(151)가 첨가된다(도 7a). 본 실시 형태에서, 포스핀(PH_3)(P의 조성비는 5%)를 불순물 원소를 함유한 도핑 가스로서, 80sccm의 가스 유속, 54 $\mu\text{A}/\text{cm}$, 50kV의 가속전압, 및 $7.0 \times 10^{12} \text{ions}/\text{cm}^2$ 의 도즈 량으로, 이용함으로써 수행된다. 여기서, 도핑은 n형 도전성을 부여하는 불순물 원소가 제1 n형 불순물 영역들(140a, 140b, 141a, 141b, 142a, 142b, 142c, 143a, 143b)에서 약 1×10^{17} 내지 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 의 농도로 함유되도록 수행된다. 본 실시 형태에서, 인(P)은 n형 도전성을 부여하는 불순물 원소로서 이용된다.

제1 실시 형태에서, 게이트 절연층들을 개재하여 게이트 전극층들과 중첩하는 불순물 영역들의 영역들은 Lov 영역들로 표시되었다. 또한, 게이트 절연층을 개재하여 게이트 전극층들과 중첩하지 않는 불순물 영역들의 영역들은 Loff 영역들로 표시하였다. 도 7a 내지 도 7c에서, 불순물 영역들은 해칭 공간들로 나타내었다. 이것은 공백의 공간들이 불순물 원소들로 도핑되지 않은 것을 의미하는 것은 아니며 이들 영역들에서 불순물 원소의 농도분포가 마스크 및 도핑조건을 반영함을 이해하기 쉽게 한다. 이것은 본 명세서의 다른 도면들에서도 동일하다.

이어서, 반도체층(103), 반도체층(105)의 일부, 및 반도체층(106)을 피복하는 마스크들(153a, 153b, 153c, 153d)이 형성된다. 마스크들(153a, 153b, 153c, 153d), 및 제2 게이트 전극층(132)을 마스크들로서 이용함으로써, n형 도전성을 부여

하는 불순물 원소(152)가 제2 n형 불순물 영역들(144a, 144b), 제3 n형 불순물 영역들(145a, 145b), 제2 n형 불순물 영역들(147a, 147b, 147c)를 형성하게 첨가된다(도 7b 참조). 본 실시 형태에서, 도핑은 PH_3 (P의 조성비는 5%)를 불순물 원소를 함유한 도핑 가스로서, 80sccm의 가스 유속, $540\mu\text{A}/\text{cm}$, 70kV의 가속전압, 및 $5.0 \times 10^{15}\text{ions}/\text{cm}^2$ 의 도즈 량으로 이용함으로써 수행된다. 여기서, 도핑은 n형 도전성을 부여하는 불순물 원소를 약 5×10^{19} 내지 $5 \times 10^{20}\text{atoms}/\text{cm}^3$ 의 농도로 함유한다. 제3 n형 불순물 영역들(145a, 145b)는 제3 n형 불순물 영역들(148a, 148b, 148c, 148d)와 거의 동일한 농도 또는 약간 높은 농도로 n형을 부여하는 불순물 원소를 함유하게 형성된다. 또한, 채널형성영역(146)은 반도체층(104)에 형성되며, 채널형성영역들(149a, 149b)는 반도체층(105)에 형성된다.

제2 n형 불순물 영역들(144a, 144b, 147a, 147b, 147c)는 소스 및 드레인 영역들로서 기능하는 고농도 n형 불순물 영역들이다. 한편, 제3 n형 불순물 영역들(145a, 145b, 148a, 148b, 148c, 148d)는 LDD(Lightly Doped Drain)으로서 기능하는 저농도 불순물 영역들이다. 게이트 절연층(107)을 개재하여 n형 불순물 영역들(145a, 145b)과 중첩하는 n형 불순물 영역들(145a, 145b)은 드레인 영역 주위에 전계를 완화시킬 수 있어 핫 캐리어에 기인한 온 전류의 악화를 억제할 수 있는 Lov 영역들이다. 결국, 고속동작을 할 수 있는 박막 트랜지스터가 형성될 수 있다. 한편, 제3 n형 불순물 영역들(148a, 148b, 148c, 148d)은 게이트 전극층들(127, 128)과 중첩하지 않는 Loff 영역들로서 형성되고, 오프 전류를 감소시킬 뿐만 아니라, 드레인 영역 주위에 전계를 완화시킬 수 있어 핫 캐리어 주입에 기인한 열화를 억제할 수 있다.

이어서, 마스크들(153a, 153b, 153c, 153d)을 제거하고, 반도체층들(103, 105)을 피복하는 마스크들(155a, 155b)이 형성된다. 마스크들(155a, 155b), 게이트 전극층들(117, 129), 및 도전층(130)을 마스크들로서 이용하여 p형 도전성을 부여하는 불순물 원소(154)를 첨가함으로써, 제2 p형 불순물 영역들(161a, 161b, 164a, 164b, 164c)이 형성된다(도 7c 참조). 본 실시 형태에서, 보론(B)는 불순물 원소로서 이용되며; 그러므로, 도핑은 디보란(B_2H_6)(B의 조성비는 15%)을 70sccm의 가스 유속, $180\mu\text{A}/\text{cm}$, 80kV의 가속전압, 및 $2.0 \times 10^{15}\text{ions}/\text{cm}^2$ 의 도즈 량으로, 불순물 원소를 함유하는 도핑 가스로서 이용하여 수행된다. 여기서, 도핑은 제1 p형 불순물 영역들(160a, 160b, 163a, 163b), 제2 p형 불순물 영역들(161a, 161b, 164a, 164b)가 p형 도전성을 부여하는 불순물 원소를 약 1×10^{20} 내지 $5 \times 10^{21}\text{atoms}/\text{cm}^3$ 의 농도로 함유하도록 수행된다. 본 실시 형태에서, 제2 p형 불순물 영역들(161a, 161b, 164a, 164b)는 제1 p형 불순물 영역들(160a, 160b, 163a, 163b)보다 낮은 농도로 불순물 원소를 함유하게 게이트 전극층들(117, 129)의 형상들을 반영함으로써 자기 정렬 방식으로 형성된다. 또한, 채널형성영역(162)은 반도체층(103)에 형성되고 채널형성영역(154)는 반도체층(106)에 형성된다. 도전층(130)의 일부는 게이트 전극층(129)에 더하여 반도체층(106)과도 중첩한다. 그러므로, 실시 형태1의 디스플레이 디스플레이와 유사하게, 도전층(130)은 p형 도전성을 부여하는 불순물 원소(154)가 첨가 될 때 마스크로서도 작용한다. 이에 따라, 제2 도전층(158)과 중첩하는 반도체층(106)의 영역은 p형 도전성을 부여하는 불순물 원소가 도핑되지 않고 영역(159)이 되고, 제1 도전층(157)하고만 중첩하는 반도체층(106)의 영역은 제2 p형 불순물 영역(164c)가 된다.

제1 p형 불순물 영역들(160a, 160b, 163a, 164b)는 고농도 p형 불순물 영역들이며 소스 및 드레인 영역들로서 작용한다. 한편, 제2 p형 불순물 영역들(161a, 161b, 164a, 164b)은 LDD(Lightly Doped Drain) 영역들로서 기능하는 저농도 불순물 영역들이다. 게이트 절연층(107)을 개재하여 제1 게이트 전극층들(121, 126)과 중첩하는 제2 p형 불순물 영역들(161a, 161b, 164a, 164b)은 드레인 주위의 전계를 완화시켜 핫 캐리어에 기인한 온 전류의 악화를 억제시킬 수 있는 Lov 영역들이다.

마스크들(155a, 155b)는 O_2 애싱에 의해서 또는 레지스트 제거용액을 이용하여 제거되고, 산화막 또한 제거된다. 그 후에, 절연막, 즉, 소위 측벽이, 게이트 전극층들의 측면들을 덮도록 형성될 수 있다. 측벽들은 플라즈마 CVD 방법 또는 저압 CVD(LPCVD) 방법에 의해 실리콘 함유 절연막으로 형성될 수 있다.

불순물 원소를 활성화시키기 위해서, 열 처리, 강한 광 조사, 또는 레이저 광 조사가 수행될 수 있다. 활성화와 동시에, 게이트 절연층에, 그리고 게이트 절연층과 반도체층간의 계면에서의 플라즈마 손상이 복구될 수 있다.

이어서, 게이트 전극층들 및 게이트 절연층들을 덮는 층간 절연층이 형성된다. 본 실시 형태에서, 절연막들(167, 168)의 적층된 층 구조가 채용된다(도 8a 참조). 질화산화 실리콘막이 100nm 두께가 되게 절연막(167)으로서 형성되고, 실리콘 옥시나이트라이드막이 168 내지 900nm 두께가 되게 게이트 절연막(168)으로서 형성되어 적층된 층 구조를 형성한다. 또한, 30nm 두께로 실리콘 옥시나이트라이드막, 140nm 두께로 질화산화 실리콘막, 및 800nm 두께로 실리콘 옥시나이트라이드막을 게이트 전극층들 및 게이트 절연층을 덮도록 형성함으로써 3층의 적층된 층 구조가 채용될 수 있다. 본 실시 형태에서, 절연막들(167, 168)은 베이스막과 유사하게 플라즈마 CVD 방법에 의해 연속적으로 형성된다. 절연막들(167,

168)은 위에 언급한 물질들로 한정되는 것은 아니며 스퍼터링 방법 또는 플라즈마 CVD 방법에 의해 형성된 질화 실리콘막, 질화산화 실리콘막, 실리콘 옥시나이트라이드막, 및 산화 실리콘막일 수 있다. 대안적으로, 단층구조 또는 다른 실리콘을 함유한 다른 절연막들의 3 이상의 층들적층된 층 구조가 채용될 수 있다.

또한, 1 내지 12 시간동안 300 내지 550°C에서 질소분위기에서 열처리가 수행되어, 반도체층이 수소화된다. 바람직하게, 이 단계는 400 내지 500°C에서 수행된다. 이 단계를 통해서, 반도체층에서 dangling 본드들은 층간 절연층인 절연막(167)에 함유된 수소에 의해 종단을 이룰 수 있다. 본 실시 형태에서, 열처리는 1시간동안 410°C에서 수행된다.

또한, 절연막들(167, 168)은 질화알루미늄(AIN), 알루미늄 옥시나이트라이드(AION), 산소보다 질소를 더 함유한 질화산화알루미늄(AINO), 산화알루미늄, 다이아몬드 유사 탄소(DLC), 질소함유 탄소막(CN), 폴리실라잔 및 그외 무기 절연물질을 함유한 물질과 같은 물질들로부터 선택한 물질로 형성될 수 있다. 실록산 수지도 이용될 수 있다. 또한, 폴리이미드, 아크릴, 폴리이미드, 폴리이미드 아미드, 레지스트, 또는 벤조사이클로부텐과 같은 유기 절연물질이 이용될 수 있다. 코팅 방법에 의해 형성된 유리한 평탄성을 갖는 코팅된 막도 이용될 수 있다.

이어서, 반도체층에 도달하는 개구들(접촉홀들)(210a, 210b, 211a, 211b, 212a, 212b, 213, 214)는 레지스트로 만들어진 마스크를 이용하여 절연막들(167, 168) 및 게이트 절연층(107)에 형성된다(도 8b 참조). 에칭은 이용될 물질의 선택에 따라 1회 또는 복수회로 수행될 수 있다. 본 실시 형태에서, 제1 에칭은 질화산화실리콘막인 절연막(167) 및 게이트 절연층(107)이 실리콘 옥시나이트라이드막인 절연막(168)에 대한 선택비를 갖는 조건으로 수행되어, 절연막(168)이 제거된다. 이어서, 절연막(167) 및 게이트 절연층(107)은 제2 에칭에 의해, 소스 영역들 또는 드레인 영역들로서의 제1 p형 불순물 영역들(160a, 160b, 163a, 163b) 및 제2 n형 불순물 영역들(144a, 144b, 147a, 147b), 제1 도전층(157) 및 제2 도전층(158)에 도달하는 개구들을 형성하게 제거된다. 본 실시 형태에서, 제1 에칭은 습식에칭에 의해 수행되며 제2 에칭은 건식에칭에 의해 수행된다. 암모늄 불화수소 및 불화암모늄을 혼합한 용액과 같은 불화수소산 기반의 용액이, 습식에칭의 에찬트로서 이용될 수 있다. 에칭가스로서, Cl_2 , Br_3 , $SiCl_4$, CCl_4 등이 전형인 염소기반 가스, CF_4 , SF_6 , NF_3 등이 전형인 불소기반 가스 또는 O_2 가 적합하게 이용될 수 있다. 또한, 이용할 에칭 가스에 불활성 가스가 첨가될 수 있다. 첨가할 불활성 가스로서, He, Ne, Ar, Kr, 및 Xe에서 선택된 하나 또는 복수의 원소들이 이용될 수 있다.

도전막은 개구들을 덮기 위해 형성되며, 도전막은 각각의 소스 영역 또는 드레인 영역의 일부에 전기적으로 접속되는 소스 전극층들 또는 드레인 전극층들(169a, 169b, 170a, 170b, 171a, 171b, 172a, 172b)를 형성하기 위해 에칭된다. 소스 전극층 또는 드레인 전극층(172b)은 제1 p형 불순물 영역(163b), 제1 도전층(157) 및 제2 도전층(158)와 접촉하여 이들에 전기적으로 접속되도록 개구(214)에 형성된다.

소스 전극층 또는 드레인 전극층은 PVD 방법, CVD 방법, 증발방법 등에 의해 도전막을 형성하고, 이어서 도전막을 원하는 형상들로 에칭함으로써 형성될 수 있다. 또한, 도전층은 액적 분사 방법, 인쇄방법, 전기도금방법 등에 의해 소정의 위치에 선택적으로 형성될 수 있다. 또한, 리플로 방법 또는 다마신 방법도 이용될 수 있다. 소스 전극층 및 드레인 전극층은 Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, 또는 Ba과 같은 금속, 또는 이들 금속들 또는 금속과 Si 또는 Ge의 합금, 또는 금속의 질화금속이 이용될 수 있다. 또한, 이들의 적층된 구조가 채용될 수 있다. 본 실시 형태에서, 티탄(Ti)은 100nm 두께가 되게 형성되고, 알루미늄과 실리콘과의 합금(Al-Si)은 700nm 두께가 되게 형성되고, 티탄(Ti)은 200nm 두께가 되게 형성되고, 이어서, 원하는 형상으로 패터닝된다.

위의 단계들을 통해서, Lov 영역에 p형 불순물 영역을 갖는 p채널 박막 트랜지스터(173) 및 Lov 영역에 n형 불순물 영역을 갖는 n채널 박막 트랜지스터(174)가 주변 구동기 회로영역(204)에 제공된 능동 매트릭스 기판이 형성될 수 있고; Loff 영역에 n형 불순물 영역을 갖는 복수채널형 n채널 박막 트랜지스터(175) 및 Lov 영역에 p형 불순물 영역을 갖는 p채널 박막 트랜지스터(176)가 픽셀영역(206)에 제공된다(도 8c 참조).

자체 발광 소자를 구비한 발광 디스플레이 디바이스, 액정소자를 구비한 액정 디스플레이 디바이스, 및 그 외 디스플레이 디바이스들용으로 능동 매트릭스 기판이 이용될 수 있다.

도 9a 및 도 9b는 스크라이빙에 의한 분리를 위한 분리영역(201), FPC가 부착된 부분인 외부 단자 접속영역(202), 주변영역을 위한 리드 배선영역인 배선영역(203), 주변 구동기 회로 영역(204), 및 픽셀영역(206)이 설치되는 디스플레이 디바이스의 제조단계들을 도시한 것이다. 배선들(179a, 179b)는 배선영역(203)에 설치되고, 외부단자에 접속된 단자 전극층(178)은 외부 단자 접속영역(202)에 설치된다.

다음에, 제 1 전극층(185)(픽셀 전극층이라고도 함)은 제2 도전층(158)과 접촉하도록 형성된다(도 9a 참조). 제2 도전층(158)이 소스 전극층 또는 드레인 전극층(172b)에 전기적으로 접속되기 때문에, 제 1 전극층(185) 및 소스 전극층 또는 드레인 전극층(172b)은 제1 도전층(157) 및 제2 도전층(158)을 개재하여 서로 전기적으로 접속된다.

본 실시 형태에서, 광 투과 소자는 디스플레이 소자로서 이용되고, 제 1 전극층(185)은 광 투과 소자가 제 1 전극층(185) 측으로부터 추출되기 때문에 광 투과 특성을 갖는다. 제 1 전극층(185)은 광 투과 도전성 물질을 이용함으로써 형성된다.

본 발명에서, 광 투과 전극층인 제 1 전극층(185)은 구체적으로, 광 투과 도전성 물질로 형성된 투명한 두전막을 이용함으로써 형성될 수 있으며, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티탄을 함유하는 인듐 산화물, 산화 티탄을 함유하는 인듐 주석 산화물, 등이 이용될 수 있다. 인듐 주석 산화물(ITO), 인듐 주석 산화물(IZO), 실리콘 산화물이 도핑된 인듐 주석 산화물(ITSO) 등도 물론 이용될 수 있다.

각각의 광 투과 도전성 물질의 조성비의 예를 기술한다. 산화 텅스텐을 함유하는 인듐 산화물에서, 산화 텅스텐의 조성비는 1.0wt%일 수 있고, 인듐 산화물은 99.0wt%일 수 있다. 산화 텅스텐을 함유하는 인듐 아연 산화물에서, 산화 텅스텐은 1.0wt%일 수 있고, 아연 산화물은 0.5wt%일 수 있고, 인듐 산화물은 98.5wt%일 수 있다. 산화 티탄을 함유하는 인듐 산화물에서, 산화 티탄은 1.0 내지 5.0wt%일 수 있고, 인듐 산화물은 98.5wt%일 수 있다. 산화 티탄을 함유하는 인듐 산화물에서, 산화 티탄은 1.0 내지 5.0wt%일 수 있고, 인듐 산화물은 99.0 내지 95.0wt%일 수 있다. 인듐 주석 산화물(ITO)에서, 주석 산화물은 10.0wt%일 수 있고, 인듐 산화물은 90.0wt%일 수 있다. 인듐 아연 산화물(IZO)에서, 아연 산화물은 10.7wt%일 수 있고 인듐 산화물은 89.3wt%일 수 있다. 또한, 산화 티탄을 함유하는 인듐 주석 산화물에서, 산화 티탄은 5.0wt%일 수 있고, 주석산화물은 10.0wt%일 수 있으며, 인듐 산화물은 85.0wt%일 수 있다. 위에 기술한 조성비들은 단지 예들이며, 조성비는 적합하게 설정될 수 있다.

또한, 금속막과 같은 비-광투과 물질이 이용되는 경우에서도, 광을 투과시킬 수 있도록 두께를 얇게 하였을 때(예를 들면, 약 5 내지 30nm), 광이 제 1 전극층(185)으로부터 방출될 수 있다. 제 1 전극층(185)용으로 이용될 수 있는 금속 박막으로서, 티탄, 텅스텐, 니켈, 금, 백금, 은, 알루미늄, 마그네슘, 칼슘, 리튬, 또는 이들의 합금으로 형성된 도전성 막이 제공될 수 있다.

제 1 전극층(185)은 증발(evaporation) 방법, 스퍼터링 방법, CVD 방법, 인쇄방법, 액적 분사 방법, 등에 의해 형성될 수 있다. 본 실시 형태에서, 제 1 전극층(185)은 스퍼터링에 의해, 산화 텅스텐을 함유하는 인듐 아연 산화물을 이용함으로써 제조된다. 제 1 전극층(185)은 바람직하게는 100 내지 800nm의 총 두께에서 이용되며, 본 실시 형태에서는 185nm이다.

제 1 전극층(185)은 표면이 평탄화되도록 CMP 방법에 의해서 또는 폴리(비닐알콜)과 같은 다공성 물질을 이용함으로써 클린 또는 연마될 수 있다. 또한, CMP 방법을 이용하여 연마한 후에, 자외선 조사, 산소 플라즈마 처리 등이 제 1 전극층(185)의 표면 상에 수행될 수 있다.

열 처리는 제 1 전극층(185)을 형성한 후에 수행될 수 있다. 열 처리에 의해서, 제 1 전극층(185)에 포함된 습기가 방출된다. 따라서, 제 1 전극층(185)에 의해 가스제거가 야기되지 않는다. 습기에 의해 쉽게 열화되는 광 방출물질이 제 1 전극층 상에 형성될 때에도, 광 방출 물질은 열화되지 않으며; 그러므로, 고 신뢰성의 디스플레이 디바이스가 제조될 수 있다. 본 실시 형태에서, 베이킹이 수행되어도 거의 결정화되지 않고 비정질 상태가 유지되도록 제 1 전극층(185)용으로 산화 텅스텐을 함유하는 인듐 아연 산화막이 이용된다. 그러므로, 제 1 전극층(185)은 큰 평탄도를 가지며, 유기화합물을 함유하는 층이 얇더라도 제 2 전극층과의 단락회로는 거의 야기되지 않는다.

다음에, 절연층(186)(격벽 또는 장벽이라고도 함)이 제 1 전극층(185) 및 소스 전극층들 또는 드레인 전극층들의 단부를 덮도록 형성된다(도 9b 참조). 또한, 동일 단계에서, 외부 단자 접속영역(202)에 절연층들(187a, 187b)이 형성된다. 본 실시 형태에서, 절연층(186)용으로 감광성 폴리이미드가 이용된다.

절연층(186)에 대한 제 1 전극층(185)의 선택비가 클 때, 제 1 전극층(185)은 제 1 전극층(185)의 일부를 덮는 격벽으로서 기능하는 절연층(186)을 형성하기 위해 에칭이 수행될 때 에칭 스톱퍼로서 기능할 수 있다.

절연층(186)은 산화 실리콘, 질화 실리콘, 실리콘 옥시나이트라이드, 산화알루미늄, 질화알루미늄, 알루미늄 옥시나이트라이드, 또는 그외의 무기 절연물질; 아크실산, 메타아크린산, 또는 이들의 유도체; 폴리이미드와 같은 내열성 고분자 물질, 방향족 폴리이미드, 또는 폴리벤즈이미다졸; 또는 실록산 수지를 이용하여 형성될 수 있다. 대안적으로, 절연층(186)은

아크릴 또는 폴리이미드와 같은 감광성 또는 비감광성 물질을 이용하여 형성될 수 있다. 절연층(186)은 바람직하게는 곡률반경이 연속하여 변하는 형상을 갖는다. 따라서, 전계 발광층(188) 및 이 위에 형성된 제 2 전극층(189)의 피복성이 향상된다.

도 10a에 도시한 바와 같이, 접속영역(205)에서, 동일 물질에 의해서 그리고 제 2 전극층과 동일 단계를 통해서 형성된 배선층은 동일 물질에 의해서 그리고 게이트 전극층과 동일한 단계를 통해 형성된 배선층에 전기적으로 접속된다. 이러한 접속에 있어서, 동일 물질에 의해서 그리고 게이트 전극층과 동일 단계를 통해서 형성된 배선층을 노출시키게 개구가 형성되나, 개구 주위의 단차는 완만하게 경사지게 절연층(186)으로 피복되며, 이에 따라 그 위에 적층될 제 2 전극층(189)의 피복성이 향상될 수 있다.

또한, 신뢰도를 더욱 향상시키기 위해서, 전계 발광층(188)을 형성하기 전에 진공가열에 의해 기관의 가스제거를 수행하는 것이 바람직하다. 예를 들면, 유기 화합물질의 증발을 수행하기 전에, 200 내지 400℃, 또는 바람직하게는 250 내지 350℃에서 감압분위기 또는 불활성 가스 분위기에 기관에 함유된 가스를 제거하기 위한 열처리를 수행하는 것이 바람직하다. 또한, 기관을 공기중에 노출시키지 않고 감압 하에서 진공 증발방법 또는 액적 분사 방법에 의해 전계 발광층(188)을 형성하는 것이 바람직하다. 이러한 열처리에 의해서, 제 1 전극층이 될 도전막 또는 은 절연층(격벽) 내 함유된 또는 이에 부착된 습기가 방출될 수 있다. 이 열처리는 진공을 끊지 않고 진공챔버 내에 기관이 이동될 수 있는 한, 선 가열단계와 조합될 수 있고, 절연층(격벽)을 형성한 후에 선 열처리만이 1회 수행되는 것이 요구될 수 있다. 여기서, 고 내열성 물질을 이용하여 층간 절연막 및 절연층(격벽)을 형성함으로써, 신뢰도를 향상시키기 위한 열처리 단계가 충분하게 수행될 수 있다.

전계 발광층(188)은 제 1 전극층(185) 상에 형성된다. 단지 하나의 픽셀만이 도 10b에 도시되었지만, R(적색), G(녹색), 및 B(청색)의 각 색에 대응하는 전계 발광층들이 본 실시 형태에서 형성된다. 전계 발광층(188)은 실시 형태1에 기술된 바와 같이 제조된다. 유기 화합물 및 무기 화합물 둘 다를 혼합하고, 단지 한 종류의 화합물이 이용될 때는 얻어질 수 없는 고 캐리어 주입특성 및 고 캐리어 수송특성의 기능들을 갖는 층들이 제 1 전극층(185) 상에 제공된다.

적색(R), 녹색(G), 및 청색(B)을 나타내는 물질들(저분자 물질, 고분자 물질, 등)이 액적 분사 방법에 의해 형성될 수 있다.

이어서, 도전막으로 형성된 제 2 전극층(189)은 전계 발광층(188) 상에 제공된다. 제 2 전극층(189)으로서, 낮은 일함수를 갖는 물질(Al, Ag, Li, Ca, 또는 이들의 합금, 이를테면 MgAg, MgIn, AlLi, 또는 CaF₂ 또는 질화칼슘)이 이용될 수 있다. 따라서, 제 1 전극층(185), 전계 발광층(188), 및 제 2 전극층(189)로 형성된 발광 소자(190)가 형성된다(도 10b 참조).

도 10a 및 도 10b에 도시한 본 실시 형태의 디스플레이 디바이스에서, 발광 소자(190)로부터 방출된 광은 제 1 전극층(185) 측으로부터 방출되어 도 10b의 화살표로 나타낸 방향으로 투과된다.

본 실시 형태에서, 절연층(180)이 제 2 전극층(189) 상에 패시베이션막(보호막)으로서 설치된다. 제 2 전극층(189)을 덮도록 패시베이션막을 제공하는 것이 효과적이다. 절연층(180)은 질화 실리콘, 산화 실리콘, 실리콘 옥시나이트라이드(SiON), 질화산화 실리콘(SiNO), 질화알루미늄(AIN), 알루미늄 옥시나이트라이드(AION), 산소보다 질소를 더 함유한 질화산화알루미늄(AINO), 산화알루미늄, 다이아몬드 유사 탄소(DLC), 또는 질소함유 탄소막(CN)을 포함하는 절연막을 이용하여 형성될 수 있고, 단층 또는 절연막들의 적층된 층이 이용될 수 있다. 또한, 실록산 수지도 이용될 수 있다.

이 때, 탄소막, 특히 DLC 막이 바람직하게 이용되는 유리한 피복성을 갖는 막을 이용함으로써 절연층(180)을 형성하는 것이 바람직하다. DLC 막은 실온 내지 100℃ 이하의 온도범위에서 형성될 수 있고, 그러므로, 낮은 내열성의 전계 발광층(188) 상에 쉽게 형성될 수 있다. DLC 막은 플라즈마 CVD 방법(통상적으로 RF플라즈마 CVD 방법, 마이크로파 CVD 방법, 전자 사이클로트론 공진(ECR) CVD 방법, 열 필라멘트 CVD 방법 등), 연소방법, 스퍼터링 방법, 이온 빔 증발방법, 레이저 증발 방법 등에 의해 형성될 수 있다. 막 형성을 위한 반응가스로서, 수소 가스 및 탄소 수소화물 기반의 가스(예를 들면, CH₄, C₂H₂, C₆H₆ 등)은 글로우 방전에 의해 이온화되는데 이용되고, 이온들은 가속화되어 음 자기 바이어스 전압이 인가된 음극에 충돌한다. 또한, CN 막은 C₂H₂ 가스 N₂가스를 반응가스로서 이용하여 형성될 수 있다. DLC 막은 산소에 관하여 큰 차단효과를 가지며, 그러므로 전계 발광층(188)의 산화가 억제될 수 있다. 그러므로, 전계 발광층(188)이 후속 시일링 단계 동안에 산화되는 문제가 방지될 수 있다.

도 26은 본 실시 형태에서 제조된 디스플레이 디바이스에 픽셀영역의 픽셀의 평면도이다. 도 26에서, 픽셀은 박막 트랜지스터들(51, 52), 제 1 전극층(50), 게이트 배선층(53), 소스 배선층 또는 드레인 배선층(54), 파워 공급라인(55), 도전층들(56a, 56b, 56c, 56d)를 포함한다. 박막 트랜지스터(52)의 소스 전극층 또는 드레인 전극층(58)은 동일 물질을 이용하고 게이트 배선층(53)과 동일 단계를 통해 제조되는 도전층(57)을 개재하여 제 1 전극층(50)에 전기적으로 접속된다. 도전층

들(56a, 56b, 56c, 56d)을 실시 형태 8에서 상세히 기술하나, 배선들을 적층함으로써 야기되는 두께에 상당한 변화를 완화시키기 위해서 동일 물질을 이용하고 소스 배선층 또는 드레인 배선층(54) 및 파워 공급라인과 동일 단계를 통해서 형성된다. 도전층들(56a, 56b, 56c, 56d)은 다른 배선들로부터 전기적으로 절연된다. 게이트 배선층(53) 및 소스 배선층 또는 드레인 배선층(54) 또는 파워 공급라인(55)이 교차되는 영역에서, 배선층들이 적층되고, 두께는 상당히 두껍게 된다. 그러나, 주변에 도전층들(56a, 56b, 56c, 56d)를 제공함으로써, 도전층들 상에 형성되는 격벽으로서 기능하는 절연층의 피복성이 향상되고, 그럼으로써, 두께의 불균일성에 의해 야기되는 형성시 결함이 방지된다. 따라서, 생산성이 향상되고, 고 신뢰성의 디스플레이 디바이스가 고수율로 제조될 수 있다.

발광 소자(190)가 위에 기술한 바와 같이 형성된 기관 및 시일링 기관(195)을 견고하게 고정시킴으로써, 발광 소자는 시일링 물질(192)로 시일링된다(도 10b 참조). 본 발명의 디스플레이 디바이스에서, 시일링 물질(192) 및 절연층(186)은 서로 접촉하지 않게 이격하여 형성된다. 시일링 물질(192) 및 절연층(186)을 서로 이격하여 형성함으로써, 고 습기흡수 특성을 갖는 유기물질을 이용한 절연물질이 절연층(186)용으로 이용될 때라도, 습기는 쉽게 들어오지 않으며, 그럼으로써 발광 소자의 열화를 방지하고 디스플레이 디바이스의 신뢰도가 향상된다. 시일링 물질(192)로서, 전형적으로, 가시광에 경화될 수 있는 수지, 자외선 경화가능 수지, 또는 열경화성 수지가 이용되는 것이 바람직하다. 예를 들면, 비스페놀-A 액상 수지, 비스페놀-A 고상 수지, 브로민-함유의 에폭시 수지, 비스페놀-F 수지, 비스페놀-AD 수지, 페놀 수지, 크레졸 수지, 노볼락 수지, 사이클로알리파틱 에폭시 수지, Epi-Bis형 에폭시 수지, 글리시딜 에스테르 수지, 글리시딜 아민 기반 수지, 헥테로사이클릭 에폭시 수지, 또는 변성 에폭시 수지가 이용될 수 있다. 시일링 물질에 의해 둘러싸인 영역이 충전재(193)로 채워질 수 있고, 질소 등이 질소 분위기에서 시일링에 의해 충전될 수 있는 것에 유의한다. 본 실시 형태에서 바텀 방출형이 채용되기 때문에, 충전재(193)는 광을 투과할 필요는 없다. 그러나, 충전재(193)를 통해 광출 인출하는 경우에, 충전재는 광을 투과시키는 것이 요구된다. 통상적으로, 가시광 경화가능, 자외선 경화가능, 또는 열경화성 에폭시 수지가 이용될 수 있다. 전술한 단계들에 의해서, 본 실시 형태의 발광 소자를 이용하여 디스플레이 기능을 갖는 디스플레이 디바이스가 완성된다. 또한, 충전재는 디스플레이 디바이스에 충전되게 액상상태로 드롭될 수 있다.

디스펜서 방법을 이용한 액적 분사 방법을 도 24를 참조하여 기술한다. 도 24에 도시한 액적 분사 방법은 제어 디바이스(40), 이미징 수단(42), 헤드(43), 충전재(33), 마커(35), 마커(45), 장벽층(34), 시일링 물질(32), TFT 기관(30), 및 카운터 기관(20)을 이용한다. 충전재(33)는 시일링 물질(32)에 의해 형성된 페루프에서 헤드(32)로부터 1회 또는 복수회 드롭된다. 충전재가 고 점도를 갖는 경우에, 충전재는 연속하여 분사되어, 접촉된 상태로 형성영역에 부착된다. 충전재가 저 점도를 갖는 경우에, 충전재는 도 24에 도시한 바와 같이 간헐적으로 분사되어 드롭된다. 이 때, 장벽층(34)은 시일링 물질(32)이 충전재(33)와 반응하는 것이 방지하기 위해서 제공될 수 있다. 이어서, 기관들은 진공에서 서로 부착된 후 자외선에 의해 경화하여 충전재로 채워진 상태가 되게 한다. 건조재와 같은 습기 흡수특성을 가진 물질이 충전재로서 이용될 때, 더 높은 습기흡수 효과가 얻어질 수 있어 소자의 열화가 방지된다.

소자 내 습기에 기인한 열화를 방지하기 위해서 EL 디스플레이 패널에 건조재가 제공된다. 본 실시 형태에서, 박형 설계가 가능하게 되도록 시일링 기관에 픽셀 영역을 둘러싸도록 형성되는 합물 부분에 건조재가 제공된다. 또한, 건조재는 습기 흡수면적이 넓어지게 되고, 이에 따라 습기가 효과적으로 흡수될 수 있게 게이트 배선층에 대응하는 영역에도 형성된다. 또한, 건조재는 자체로부터 광을 방출하지 않는 게이트 배선층 상에 형성되고, 따라서, 광 인출효율도 감소되지 않는다.

발광 소자는 본 실시 형태에서 유리기관에 의해 시일링된다. 시일링 처리는 발광 소자를 습기로부터 보호하기 위한 처리이며, 커버 물질에 의해 발광 소자를 기계적으로 시일링하는 방법, 발광 소자를 열가소성 수지 또는 자외선 경화가능 수지로 시일링하는 방법, 및 발광 소자를 산화금속 또는 질화금속과 같은 높은 장벽특성을 갖는 박막에 의해 시일링하는 방법 중 어느 것이 이용되는 것에 유의한다. 커버 물질로서, 유리, 세라믹스, 플라스틱, 또는 금속이 이용될 수 있으나, 광이 커버 물질 측에 방출되는 경우에는 광을 투과하는 물질이 이용될 것이 요구된다. 커버 물질과, 발광 소자가 형성되는 기관은 열가소성 수지 또는 자외선 경화가능 수지와 같은 시일링 물질로 서로 부착되고, 시일링된 공간은 열 처리 또는 자외선 조사 처리를 이용하여 수지를 경화시킴으로써 형성된다. 이 시일링된 공간에 산화바륨이 전형인 습기 흡수물질을 제공하는 것이 또한 효과적이다. 이 습기 흡수물질은 시일링 물질과 접촉하여, 또는 발광 소자로부터 광을 차폐시키기 않도록 격벽의 주변 상에 또는 내에 제공될 수 있다. 또한, 커버 물질과, 발광 소자가 형성된 기관간의 공간은 열가소성 수지 또는 자외선 경화가능 수지로 채워질 수 있다. 이 경우, 열가소성 수지 또는 자외선 경화가능 수지에 산화바륨이 전형인 습기 흡수물질을 첨가하는 것이 효과적이다.

본 실시 형태에서, 단자 전극층(178)은 외부단자 접속영역(202)에서 이방성 도전층(196)을 통해 FPC(194)에 접속되어, 외부에 전기적으로 접속된다. 또한, 디스플레이 디바이스의 평면도인 도 10a에 도시한 바와 같이, 본 실시 형태에서 제조된 디스플레이 디바이스는 주변 구동기 회로 영역(207) 및 주변 구동기 회로 영역(204) 외에도 스캔 라인 구동기 회로를 구비한 주변 구동기 회로 영역(208) 및 신호라인 구동기 회로를 구비한 주변 구동기 회로영역(209)을 포함한다.

박막 트랜지스터의 구조는 본 실시 형태로 한정되는 것은 아니며, 하나의 채널형성영역이 형성된 단일 게이트 구조가 형성되며, 2채널 형성영역들이 형성되는 2중 게이트 구조, 3채널 형성영역들이 형성된 3중 게이트 구조가 채용될 수 있다. 또한, 주변 구동기 회로 영역에서의 박막 트랜지스터는 단일 게이트 구조, 2중 게이트 구조, 또는 3중 게이트 구조를 채용한다.

위의 방법은 본 실시 형태에서 보인 박막 트랜지스터를 제조하는데 이용되는 것으로 한정되는 것은 아니며, 탑 게이트형(순방향 플레나형, 및 순방향 스테거형), 바텀 게이트형(역방향 플레나형 및 역방향 스테거형), 또는 게이트 절연막을 개재하여 채널형성영역 위 및 밑에 위에 기술된 2개의 게이트 전극층들을 구비한 2중 게이트형, 또는 그 외의 구조에 채용될 수 있다.

도 27은 박막 트랜지스터들로서 역 스테거드 박막 트랜지스터들이 이용되는 예를 도시한 것이다. 도 27에서 디스플레이 디바이스는 기판(400) 상에, 박막 트랜지스터들(420, 421), 절연층(406), 픽셀 전극층인 제 1 전극층(407), 전계 발광층(408), 제 2 전극층(409), 충전재(410), 시일링 물질(411), 시일링 기판(401), 단말 전극층(412), 이방성 도전층(413), 및 FPC(414)를 포함한다. 발광 소자(405)로부터의 광은 광 투과 특성을 갖는 제 1 전극층(407)을 통해 화살표로 나타낸 방향으로 외부로 방출된다. 도 27에 도시한 디스플레이 디바이스와 유사하게, 중간 절연층은 형성될 필요가 없고 제 1 전극층(407)은 게이트 절연층 상에 형성될 수 있다. 이 경우, 발광 소자(405)로부터 방출된 광이 중간 절연층을 통과하지 않기 때문에 광 인출 효율이 향상되는 잇점이 있는 효과가 있다.

도 27에 디스플레이 디바이스에서, 박막 트랜지스터(421)의 소스 전극층 또는 드레인 전극층(422)은 도전층(423)을 개재하여 제 1 전극층(407)에 전기적으로 접속된다. 도전층(423)은 동일 물질을 이용하여 박막 트랜지스터(421)의 게이트 전극층과 동일한 단계를 통해 형성된다.

위에 기술한 회로들은 본 실시 형태에서 형성되는데, 그러나, 본 발명은 이것으로 한정되는 것은 아니다. IC 칩은 주변 구동기 회로처럼 전수한 COG 방법 또는 TAB 방법에 의해 실장될 수 있다. 또한, 게이트 라인 구동기 회로 및 소스라인 구동기 회로 각각은 단일 수로 또는 복수개로 제공될 수 있다.

본 발명의 디스플레이 디바이스에서, 이미지 디스플레이에 대한 구동방법은 특별히 한정은 없고, 예를 들면, 도트 순차 구동방법, 라인 순차 구동방법, 영역 순차 구동방법 등이 이용될 수 있다. 전형적으로, 라인 순차 구동방법이 이용될 수 있고, 시분할 그레이 스케일 구동방법 및 영역 그레이 구동방법이 적합하게 이용될 수 있다. 또한, 디스플레이 디바이스의 소스 라인에의 비디오 신호 입력은 아날로그 신호 또는 디지털 신호일 수 있다. 구동기 회로 등은 비디오 신호에 따라 적합하게 설계될 수 있다.

또한, 디지털 비디오 신호를 이용한 디스플레이 디바이스에서, 픽셀에 입력되는 비디오 신호는 일정전압(CV)을 갖는 또는 일정전류(CC)를 갖는 픽셀로 입력된다. 일정전압(CV)에 의한 비디오 신호에 관하여, 발광 소자에 인가되는 전압은 일정하고(CVCV), 또는 발광 소자에 인가되는 전류는 일정하다(CVCC), 또한, 일정전류(CC)에 의한 비디오 신호에 관하여, 발광 소자에 인가되는 전압은 일정하고(CCCV), 또는 발광 소자에 인가되는 전류는 일정하다(CCCC).

본 실시 형태는 실시 형태들 1 내지 4 각각과의 조합으로 이용될 수 있다.

본 발명을 적용함으로써, 고 신뢰성의 디스플레이 디바이스가 제조될 수 있다. 그러므로, 고선명 및 고화질 디스플레이 디스플레이가 고수율로 제조될 수 있다.

[실시 형태6]

본 실시 형태에서, 2중 방출 디스플레이 디바이스의 예를 도 23을 참조하여 기술한다.

도 23은 소자 기판(1300), 박막 트랜지스터들(1355, 1365, 1375, 1385), 제 1 전극층(1317), 전계 발광층(1319), 제 2 전극층(1320), 보호층(1321), 충전재(1322), 시일링 물질(1325), 게이트 절연층(1310), 절연층들(1311, 1312, 1314), 시일링 기판(1323), 배선층(1345), 단말 전극층(1381), 이방성 도전층(1382), 및 FPC(1383)를 포함한다. 디스플레이 디바이스는 또한, 분리영역(221), 외부단자 접속영역(222), 배선영역(223), 주변 구동기 회로영역(224), 및 픽셀영역(226)을 포함하는, 디스플레이 디바이스를 도시한 것이다. 충전재(1322)는 도 24에서 드롭핑 방법에서처럼 액상 조성으로 만들어 드롭핑 방법에 의해 형성될 수 있다. 소자 기판(1311)은 충전재가 드롭핑 방법에 의해 형성되고 시일링 기판(1323)은 디스플레이 디바이스를 시일링하기 위해 서로 부착된다.

도 23에 디스플레이 디바이스는 광이 화살표들로 나타난 방향으로 소자기관(1300) 측 및 시일링 기관(1323) 측 모두로부터 방출되는 2중 방출형이다. 그러므로, 광 방출 전극층은 제 1 전극층(1317) 및 제 2 전극층(1320) 둘 다에 이용된다.

본 발명에서, 각각이 광 투과 전극층인 제 1 전극층(1317) 및 제 2 전극층(1320)은 구체적으로, 광 투과 도전성 물질로 형성된 투명 도전성막을 이용하여 형성될 수 있고, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티탄을 함유하는 인듐 산화물, 및 산화 티탄을 함유하는 인듐 주석 산화물이 이용될 수 있다. 인듐 주석 산화물(ITO), 인듐 주석 산화물(IZO), 실리콘 산화물이 도핑된 인듐 주석 산화물(ITSO) 등도 물론 이용될 수 있다.

각각의 광 투과 도전성 물질의 조성비의 예를 기술한다. 산화 텅스텐을 함유하는 인듐 산화물에서, 산화 텅스텐의 조성비는 1.0wt%일 수 있고, 인듐 산화물은 99.0wt%일 수 있다. 산화 텅스텐을 함유하는 인듐 아연 산화물에서, 산화 텅스텐은 1.0wt%일 수 있고, 아연 산화물은 0.5wt%일 수 있고, 인듐 산화물은 98.5%일 수 있다. 산화 티탄을 함유하는 인듐 산화물에서, 산화 티탄은 1.0 내지 5.0wt%일 수 있고, 인듐 산화물은 99.0 내지 95.0wt%일 수 있다. 인듐 주석 산화물(ITO)에서, 주석 산화물은 10.0wt%일 수 있고, 인듐 산화물은 90.0wt%일 수 있다. 인듐 아연 산화물(IZO)에서, 아연 산화물은 10.7wt%일 수 있고 인듐 산화물은 89.3wt%일 수 있다. 또한, 산화 티탄을 함유하는 인듐 주석 산화물에서, 산화 티탄은 5.0wt%일 수 있고, 주석산화물은 10.0wt%일 수 있으며, 인듐 산화물은 85.0wt%일 수 있다. 위에 기술한 조성비들은 단지 예들이며, 조성비는 적합하게 설정될 수 있다.

또한, 금속막과 같은 비-광투과 물질이 이용되는 경우에서도, 광을 투과시킬 수 있도록 두께를 얇게 하였을 때(예를 들면, 약 5 내지 30nm), 광이 제 1 전극층(1317) 및 제 2 전극층(1320)으로부터 방출될 수 있다. 제 1 전극층(1317) 및 제 2 전극층(1320)용으로 이용될 수 있는 금속 박막으로서, 티탄, 텅스텐, 니켈, 금, 백금, 은, 알루미늄, 마그네슘, 칼슘, 리튬, 또는 이들의 합금으로 형성된 도전성 막이 제공될 수 있다.

위에 기술한 바와 같이, 도 23에서 디스플레이 디바이스에서, 발광 소자(1305)로부터 방출되는 광은 제 1 전극층(1317) 및 제 2 전극층(1320) 둘 다를 통과하여 광이 양측으로부터 방출되는 구조를 갖는다.

본 실시 형태는 실시 형태들 1 내지 4 각각과 조합하여 이용될 수 있다.

본 발명에 따른 디스플레이 디바이스에서, 박막 트랜지스터의 소스 전극층 또는 드레인 전극층 및 픽셀 전극층인 발광 소자의 제 1 전극층은 전기적으로 접속되게 직접 적층되는 것이 아니라 소스 전극층 또는 드레인 전극층 및 제 1 전극층은 서로 전기적으로 접속되며, 그들 사이에 도전층이 개재된다. 이러한 구조에서, 두 전극층들이 서로 직접 접촉하여 있을 때 소스 전극층 또는 드레인 전극층과 제 1 전극층이 서로 쉽게 전기적으로 접속되지 않게 하는 물질들, 또는 두 전극층들이 서로 접촉하여 있을 때 전기적 부식과 같은 악화를 야기시키는 물질들 또한, 도전층이 두 전극층들 사이에 개재되어 있으므로 이용될 수 있다. 그러므로, 소스 전극층 또는 드레인 전극층 및 제 1 전극층용으로 이용될 수 있는 물질들에 대한 선택 범위가 넓어질 수 있다. 소스 전극층 또는 드레인 전극층 및 제 1 전극층이 적층될 때 일어나는 문제를 고려할 필요가 없으므로, 소스 전극층 또는 드레인 전극층 및 제 1 전극층 각각에 대해 요구되는 특성을 갖는 물질이 임의로 선택될 수 있다. 그러므로, 보다 큰 기능의, 신뢰성 있는 디스플레이 디바이스가 고수율로 제조될 수 있다.

[실시 형태7]

본 실시 형태를 도 11a 및 도 11b, 도 12a 및 도 12b, 및 도 13a 내지 도 13b를 참조하여 기술한다. 본 발명을 이용한 능동 매트릭스 디스플레이 디바이스의 예를 본 실시 형태에서 설명하며 동일 부분들 또는 동일 기능들을 갖는 동일 부분들의 설명은 생략한다.

도 11a 및 도 11b, 및 도 12a 및 도 12b는 픽셀들이 스트립으로 배열된 픽셀영역의 도면들이다. 도 11a 및 도 11b의 디스플레이 디바이스에서, 픽셀 전극층인 제 1 전극층(315)까지의 구성성분들이 형성된다. 도 12a 및 도 12b에 디스플레이 디바이스에서, 격벽으로서 기능하는 절연층(314)은 도 11a 및 도 11b의 디스플레이 디바이스에 형성된다.

도 11a 및 도 11b에 디스플레이 디바이스에서, 기관(300) 상에는, 베이스막들(301a, 301b), 박막 트랜지스터들(310, 311), 게이트 전극층(304), 소스 전극층들 또는 드레인 전극층들(308a, 308b), 파워 공급라인들(309a, 309b), 제 1 전극층(315), 도전층(312), 게이트 절연층(302), 및 절연층들(306, 307)이 설치된다. 제 1 전극층(315)은 박막 트랜지스터(311)에 전기적으로 접속되고, 박막 트랜지스터(311)의 소스 전극층 또는 드레인 전극층은 도전층(312)을 개재하여 개구(313)에서 제 1 전극층(315)에 전기적으로 접속된다.

도 11a 및 도 11b에 디스플레이 디바이스에서, 게이트 전극층(304)은 소스 전극층 또는 드레인 전극층들(308a, 308b), 및 파워 공급라인들(309a, 309b)가 격자로 교차하게 설치된다. 따라서, 교차하는 영역에서, 게이트 전극층 및 소스 전극층 또는 드레인 전극층은 절연층을 개재하여 적층되고, 이에 따라, 주변부에 비해 층 두께가 상당히 증가된다. 이 위에 형성되는, 격벽으로서 기능하는 절연층(314)은 고르지 않은 돌출부들 및 함몰부들을 갖는 이러한 두꺼운 두께로 영역을 충분히 덮을 수 없고, 어떤 경우엔 결함이 될 수 있다. 이것은, 절연층(314)이 절연물질을 함유한 액체 조성물을 코팅하여 형성될 때, 유동성을 갖는 절연물질을 포함한 조성물은 두꺼운 두께를 가진 영역에서 얇은 두께를 가진 영역으로 흐를 수 있기 때문이다. 절연층(314)이 소스 전극층 또는 드레인 전극층(308a) 및 파워 공급라인(309a)을 충분히 덮을 수 없기 때문에, 절연층 상에 형성된 전극층과의 단락회로와 같은 전기적 특성에 결함이 야기된다.

그러므로, 도 11a의 평면도에 도시한 바와 같이, 게이트 전극층(304)은 소스 전극층들 또는 드레인 전극층들(308a, 308b) 및 파워 공급라인들(309a, 309b)과 복수의 지점들에서 교차된다. 도 11b는 Y-Z을 따른 도 11a의 단면도이다. 종래의 경우들에 있어서는, 제1 게이트 전극층(303b) 및 제2 게이트 전극층(304b)만이 소스 전극층 또는 드레인 전극층(308a) 밑에 형성되나, 그러나, 본 실시 형태에서, 게이트 전극층(304)은 복수의 브랜치들로 분할되어 교차된다. 따라서, 소스 전극층 또는 드레인 전극층(308a) 밑에, 제1 게이트 전극층(303a) 및 제2 게이트 전극층(304a)의 적층된 층과, 제1 게이트 전극층(303c) 및 제2 게이트 전극층(304c)의 적층된 층이 제1 게이트 전극층(303b) 및 제2 게이트 전극층(304b)의 양측 상에 형성된다. 주변에서 게이트 전극층 및 소스 전극층 또는 드레인 전극층의 복수의 적층된 층들이 있기 때문에, 소스 전극층 또는 드레인 전극층(308a), 제1 게이트 전극층(303b), 및 제2 게이트 전극층(304b)의 적층된 층에 기인한 두께 변화가 완화되고, 절연물질을 함유한 조성물이 유동하는 것이 방지될 수 있다. 그러므로, 절연층(314)의 피복성이 도 12a 및 도 12b에 도시한 바와 같이 향상되며, 형성에 결함이 야기되지 않는다.

도 13a 및 도 13b는 적층된 층에 의한 상당한 두께 변화에 기인한 절연층의 피복성을 개선하기 위한 또 다른 구조를 도시한 것이다. 도 12a 및 도 12b와 유사하게, 도 13a는 평면도이고 도 13b는 제 1 전극층(365)을 형성하기 위한 단계까지의 단계들이 완료된 디스플레이 디바이스의 단면도이다. 도 13b는 V-X를 따른 도 13a의 단면도이다.

도 13a 및 도 13b의 디스플레이 디바이스에서, 기판(350) 상에는, 베이스막들(351a, 351b), 박막 트랜지스터들(360, 361), 게이트 전극층들(353, 354), 소스 전극층들 또는 드레인 전극층들(358a, 358b), 파워 공급라인들(359a, 359b), 제 1 전극층(355), 도전층(362), 게이트 절연층(352), 및 절연층들(356, 357)이 설치된다. 제 1 전극층(365)은 박막 트랜지스터(361)에 전기적으로 접속되고, 박막 트랜지스터(361)의 소스 전극층 또는 드레인 전극층은 도전층(362)을 개재하여 개구(363)에서 서로 전기적으로 접속된다.

게이트 전극층들(353, 354)의 영역들이 소스 전극층들 또는 드레인 전극층들(358a, 358b), 및 파워 공급라인들(359a, 359b) 각각에 교차하는 주변에서, 도전층들(366a, 366b, 366c, 366d, 366e, 366f, 366g, 367a, 367b, 367c, 367d, 367e, 367f, 367g)가 형성되고, 이들은 동일 물질에 의해서 그리고 소스 전극층들 또는 드레인 전극층들과 동일 단계를 통해 형성되고 다른 배선들에 전기적으로 접속되지 않는다.

소스 전극층들 또는 드레인 전극층들(358a, 358b)의 주변에는 도전층들(366a, 366b, 366c, 366d, 366e, 366f, 366g, 367a, 367b, 367c, 367d, 367e, 367f, 367g)과, 파워 공급라인들(359a, 359b)이 있기 때문에, 게이트 전극층들(353, 354), 소스 전극층들 또는 드레인 전극층들(358a, 358b), 및 파워 공급라인들(359a, 359b)의 적층된 층에 기인한 두께 변화가 완화된다. 그러므로, 이 위에 격벽으로서 형성되는 절연층의 피복성이 향상되고, 형성에서 결함이 야기되지 않는다.

위에 기술한 바와 같이, 배선들이 서로 교차하는 영역에서, 유사한 적층된 구조가 형성되어 두께 변화를 균등하게 하여 완화시키며, 이에 따라 그 위에 형성되는 절연층의 피복성이 향상된다. 그러므로, 형성에서 결함에 기인한 결함이 방지될 수 있고, 고 신뢰성의 디스플레이 디바이스가 제조될 수 있다.

본 실시 형태는 실시 형태들 1 내지 6 각각과 조합하여 이용될 수 있다.

[실시 형태8]

스캔 라인 입력단자부 및 신호라인 입력 단자부를 위한 보호 다이오드들을 제공하는 예를 도 15를 참조하여 기술한다. 도 15에서, 픽셀(2702)에는 TFT들(501, 502), 커패시터 소자(504), 및 발광 소자(503)가 설치된다. 이들 TFT들은 실시 형태1과 유사한 구조들을 갖는다.

보호 다이오드들(561, 562)는 신호라인 입력단자부에 설치된다. 이들 보호 다이오드들은 TFT들(501, 502)와 유사한 단계들을 통해 제조되며, 게이트는 다이오드로서 동작하게 드레인 및 소스 중 하나에 접속된다. 도 14는 도 15의 평면도의 등가 회로도를 도시한 것이다.

보호 다이오드(561)는 게이트 전극층, 반도체층, 및 배선층을 포함한다. 보호 다이오드(562)는 유사한 구조를 갖는다. 이들 보호 다이오드들에 접속된 공통 전위라인들(554, 555)은 게이트 전극층과 동일한 층으로 형성된다. 따라서, 공통 전위라인이 배선층에 전기적으로 접속되도록 절연층에는 접촉홀이 형성되어야 한다.

절연층 내 접촉홀은, 마스크 층을 형성하고 에칭을 수행함으로써 수행될 수 있다. 이 경우, 대기압 방전의 에칭을 수행함으로써, 로컬 전기방전이 수행될 수 있고, 마스크층은 기판의 전체 표면 상에 형성될 필요가 없다.

신호 배선층은 TFT(501)에 소스 및 드레인 배선층(505)과 동일한 층으로 형성되며, 소스 및 드레인 배선층(505) 및 소스 또는 드레인 측에 접속되는 신호 배선층은 서로 접속된다.

스캔 라인 측 상의 입력단자부는 유사한 구조를 갖는다. 보호 다이오드(563)는 게이트 전극층, 반도체층, 및 배선층을 포함한다. 보호 다이오드(564)는 유사한 구조를 갖는다. 이들 보호 다이오드들에 접속된 공통 전위라인들(556, 557)은 소스 전극층 또는 드레인 전극층과 동일한 층으로 형성된다. 입력 스테이지에 설치된 보호 다이오드는 동시에 형성될 수 있다. 보호 다이오드는 본 실시 형태에 나타난 위치에 배치되는 것으로 한정되는 것은 아니며, 구동기 회로와 픽셀 사이에 배치될 수도 있는 것에 유의한다.

본 실시 형태는 실시 형태들 1 내지 7 각각과 조합하여 이용될 수 있다.

[실시 형태 9]

텔레비전 디바이스는 본 발명에 따라 형성된 디스플레이 디바이스에 의해 완성될 수 있다. 도 25는 텔레비전 디바이스(본 실시 형태에서 EL 텔레비전 디바이스)의 주 구조를 나타낸 블록도이다. 디스플레이 패널은 다음과 같은 임의의 방식으로 형성될 수 있다. 도 16a에 도시한 구조로서, 픽셀부(701)만이 형성되며, 스캔 라인 구동기 회로(703) 및 신호라인 구동기 회로(702)는 도 17b에 도시한 바와 같은 TAB 방법에 의해서 또는 도 16a에 도시한 바와 같은 COG 방법에 의해 실장되는 방식; TFT가 형성되고, 픽셀부(701) 및 스캔 라인 구동기 회로(703)가 기판 상에 집적되게 형성되고, 신호라인 구동기 회로(702)가 도 16b에 도시한 바와 같이 구동기 IC로서 별도로 실장되는 방식; 픽셀부(701), 신호라인 구동기 회로(702), 스캔 라인 구동기 회로(703)가 도 16c에 도시한 바와 같이 기판 상에 집적되게 형성되는 방식, 등등.

외부회로의 또 다른 구조는 비디오 신호의 입력측에, 튜너(704)에 의해 수신된 신호들 중에서 비디오 신호를 증폭하는 비디오 신호 증폭기 회로(705); 신호 출력을 적색, 녹색, 및 청색의 각 색에 대응하는 크로미넌스 신호로 변환하는 비디오 신호 처리 회로(706); 비디오 신호를 구동기 IC의 입력 규격으로 변환하는 제어회로(707); 등을 포함한다. 제어회로(707)는 신호를 스캔 라인 측 및 신호라인 측 각각에 출력한다. 디지털 구동의 경우, 신호 분할 회로(708)는 입력 디지털 신호가 m 개로 분할함으로써 제공되도록 신호라인 측에 제공될 수 있다.

튜너(704)에 의해 수신된 신호들 중에서, 오디오 신호는 오디오 신호 증폭기 회로(709)로 전송되고, 이의 출력은 오디오 신호 처리 회로(710)를 통해 스피커(713)에 공급된다. 제어회로(711)는 수신 스테이션(수신 주파수) 또는 사운드 볼륨에 관한 제어정보를 입력부(712)로부터 수신하여 신호를 튜너(704) 또는 오디오 신호 처리 회로(710)에 전송한다.

도 20a 및 도 20b에 도시한 바와 같이, 텔레비전 디바이스는 디스플레이 모듈을 세시에 탑재함으로써 완성될 수 있다. FPC까지의 구성성분들이 도 10a 및 도 10b에 도시한 바와 같이 부착되는 디스플레이 패널은 일반적으로 EL 디스플레이 모듈이라 불리운다. EL 텔레비전 디바이스는 도 10a 및 도 10b에서와 같은 EL 디스플레이 모듈이 이용될 때 완성될 수 있다. 주 스크린(2003)은 디스플레이 모듈을 형성함으로써 형성되고, 스피커 유닛(2009), 조작 스위치들, 등은 다른 부착된 장비들로서 제공된다. 이렇게 하여, 텔레비전 디바이스는 본 발명에 따라 완성될 수 있다.

또한, 외부로부터 들어온 광의 반사된 광은 웨이브판 및 편광판을 이용함으로써 차폐될 수 있다. 또한, 액적 분사 방법에 의해서, 서로 다른 물질들이 동일 영역에 복수회 분사됨으로써 격벽을 형성한다. $\lambda/4$ 및 $\lambda/2$ 판들이 웨이브판들로서 이용될 수 있고 광을 제어할 수 있게 설계될 수 있다. 구조로서, TFT소자 기판, 발광 소자, 시일링 기판, 웨이브판들($\lambda/4$ 및 $\lambda/2$ 판들), 편광판들이 이 순서로 적층되며, 발광 소자로부터 방출된 광은 위의 구성요소들을 통해 편광판 측으로부터 외부

로 방출된다. 웨이브관들 또는 편광관은 광이 방출되는 측 상에 제공될 수도 있고 또는 광이 양 측으로 방출되는 2중 방출형 디스플레이 디바이스의 경우엔 양 측 상에 제공될 수 있다. 또한, 무반사 막이 편광관의 외측 상에 제공될 수 있다. 결국, 고선명 및 정확한 이미지가 디스플레이될 수 있다.

도 20a에 도시한 바와 같이, 디스플레이 소자를 이용하는 디스플레이 패널(2002)은 새시(2001)에 탑재된다. 수신기(2005)를 이용함으로써, 일반적인 TV 방송의 수신 외에도, 정보통신은 고정된 회선에 의해 통신 네트워크에 접속함으로써 또는 모뎀(2004)을 통해 무선으로 일 방향으로(전송기에서 수신기로) 또는 양방향으로(전송기와 수신기간에 또는 수신기들 간에) 수행될 수 있다. 텔레비전 디바이스의 동작은 새시에 탑재된 스위치들에 의해서, 또는 본체로부터 분리된 원격 제어 디바이스(2006)에 의해 수행될 수 있다. 출력할 정보를 디스플레이하는 디스플레이부(2007)는 이 원격제어 디바이스 내 제공될 수 있다.

또한, 텔레비전 디바이스에서, 채널, 사운드 볼륨, 등을 표기하기 위한 구조는 주 스크린(2004) 외에 제2 디스플레이 패널로서의 서브-스크린(2008)을 형성함으로써 추가로 제공될 수 있다. 이 구조에서, 주 스크린(2003)은 시야각이 우수한 EL 디스플레이 패널로 형성될 수도 있고, 서브-스크린은 낮은 파워 소비로 디스플레이할 수 있는 액정 디스플레이 패널로 형성될 수 있다. 낮은 파워 소비가 우선이 되게 하기 위해서, 주 스크린(2003)이 액정 디스플레이 패널로 형성되고, 서브-스크린이 EL 디스플레이 패널로 형성되고, 서브-스크린이 플래시 온 오프할 수 있는 구조가 적용될 수 있다. 명백히, 주 스크린 및 서브-스크린 둘 다 본 발명에 따른 EL 디스플레이 패널을 이용하여 형성될 수 있다. 본 발명에 의해서, 많은 TFT들 및 전자부품들을 구비한 대형 기관을 이용함으로써도 고 신뢰성의 디스플레이 디바이스가 제조될 수 있다.

도 20b는 새시(2010), 조작부인 키보드(2012), 디스플레이부(2011), 스피커 유닛(2013) 등을 포함하는, 예를 들면, 20 내지 80인치의 대형 디스플레이부를 구비한 텔레비전 디바이스를 도시한 것이다. 본 발명은 디스플레이부(2011)의 제조에 적용된다. 도 20b는 가요성 물질이 디스플레이부용으로 이용되기 때문에 만곡된 디스플레이부를 구비한 텔레비전 디바이스를 도시한 것이다. 디스플레이부의 형상은 이러한 식으로 자유롭게 설계될 수 있어, 원하는 형상의 텔레비전 디바이스가 제조될 수 있다.

본 발명에 따라서, 디스플레이 디바이스는 간이화된 공정을 통해 제조될 수 있고 이에 따라 제조비용이 감소될 수 있다. 그러므로, 대형 스크린 디스플레이부를 가진 텔레비전 디바이스가 본 발명을 적용함으로써 저 비용으로 형성될 수 있다. 따라서, 고성능 및 고 신뢰성의 텔레비전 디바이스가 고수율로 제조될 수 있다.

본 발명은 텔레비전 디바이스로 한정되는 것은 아니며 대면적을 갖는 디스플레이 매체, 예를 들면, 개인용 컴퓨터의 모니터, 역, 공항 등에 정보 디스플레이 보드, 거리에 광고 디스플레이 보드와 같은 다양한 용도에 적용될 수 있다.

[실시 형태 10]

본 실시 형태를 도 21a 및 도 21b를 참조하여 기술한다. 본 실시 형태는 실시 형태들 1 내지 9에서 제조된 디스플레이 디바이스를 구비한 패널이 적용되는 모듈의 예를 도시한 것이다.

도 21a에 도시한 정보 단말 모듈은 제어기(901), 중앙 처리 유닛(CPU)(902), 메모리(911), 전원 회로(903), 오디오 처리 회로(929), 전송/수신 회로(904), 및 그 외 저항기, 버퍼, 및 커패시터 소자와 같은 소자들이 실장된 인쇄 배선 기관(946)을 포함한다. 또한, 패널(900)은 가요성 인쇄 회로(FPC)(908)를 통해 인쇄 배선 기관(946)에 접속된다.

패널(900)은 각 회소가 발광 소자를 구비하는 픽셀부(905), 픽셀부(905) 내 선택을 선택하는 제1 스캔 라인 구동기 회로(906a) 및 제2 스캔 라인 구동기 회로(906b), 및 선택된 픽셀에 비디오 신호를 공급하는 스캔 라인 구동기 회로(907)를 포함한다.

여러 제어 신호들이 인쇄 배선 기관(946) 상에 제공된 인터페이스(I/F)(909)를 통해 입력 및 출력된다. 안테나로 신호들을 전송 및 수신하기 위한 안테나 포트(910)가 인쇄 배선 기관(946) 상에 제공된다.

인쇄 배선 기관(946)은 본 실시 형태에서 FPC(908)를 통해 패널(900)에 접속되나 본 발명은 이러한 구조로 한정되는 것인 아닌 것에 유의한다. 제어기(901), 오디오 처리 회로(929), 메모리(911), CPU(902) 또는 전원 회로(903)가 COG(Chip On Glass) 방법에 의해 패널(00) 상에 직접 실장될 수 있다. 또한, 커패시터 소자 및 버퍼와 같은 다양한 소자들이 인쇄 배선 기관(946) 상에 제공되고, 그럼으로써 전원전압 및 신호들에서 잡음이 발생하는 것이 방지되고, 신호 상승시간이 느려지게 되는 것이 방지된다.

도 21b는 도 21a에 도시한 모듈의 블록도이다. 이 모듈은 VRAM(932), DRAM(925), 플래시 메모리(926) 및 메모리(911)와 같은 메모리를 포함한다. VRAM(932)는 패널에 디스플레이될 이미지에 관한 데이터를 저장하며, DRAM(925)는 이미지 데이터 또는 오디오 데이터를 저장하며, 플래시 메모리는 여러 가지 프로그램들을 저장한다.

전원 회로(903)는 패널(900), 제어기(901), CPU(902), 오디오 처리 회로(929), 메모리(911), 및 전송/수신 회로(931)에 인가되는 전원전압을 발생한다. 패널의 규격에 따라 전류원이 전원 회로(903)에 설치되는 경우가 있다.

CPU(902)는 제어 신호 생성 회로(920), 디코더(921), 레지스터(922), 산술회로(923), RAM(924), CPU를 위한 인터페이스(935) 등을 포함한다. 인터페이스(935)를 통해 CPU(902)에 입력되는 여러 가지 신호들은 레지스터(922)에 보유된 후, 산술회로(922), 디코더(921) 등에 입력된다. 산술회로(923)에서, 산술연산이 입력신호에 기초하여 수행되고, 여러 명령들의 어드레스가 결정된다. 한편, 디코더(921)에 입력되는 신호가 디코딩되고 제어 신호 생성 회로(920)에 입력된다. 제어 신호 생성 회로(920)는 입력신호에 기초하여 여러 가지 명령들을 포함하는 신호를 발생하고, 이어서 산술회로(923)에 의해 결정된 어드레스, 구체적으로 메모리(911), 전송/수신 회로(931), 오디오 처리 회로(929), 제어기(901) 등에 신호들을 전송한다.

메모리(911), 전송/수신 회로(931), 오디오 처리 회로(929), 및 제어기(901) 각각은 수신된 명령에 따라 동작한다. 이들의 동작을 간략히 이하 기술한다.

입력수단(930)으로부터 입력된 신호는 인쇄 배선 기판(946)에 실장된 CPU(902)에 인터페이스(909)를 통해 전송된다. 제어 신호 생성 회로(920)는 VRAM(932)에 저장된 이미지 데이터를 포인팅 디바이스 또는 키보드와 같은 입력수단(93)으로부터 전송된 신호에 기초하여 소정의 포맷으로 전환하여 데이터를 제어기(901)에 전송한다.

제어기(901)는 패널의 규격에 따라 CPU(902)로부터 전송된 이미지 데이터를 포함하는 신호들을 처리한 후 신호들을 패널(900)에 전송한다. 또한, 제어기(901)는 Hsync 신호, Vsync 신호, 클럭신호(CLK), 교번하는 전류전압(AC Cont), 및 스위칭 신호(L/R)을, 전원입력(903)으로부터 입력된 전원전압 및 CPU(902)로부터 입력된 다양한 신호들에 기초하여 생성하여 신호들을 패널(900)에 공급한다.

전송/수신 회로(904)는 안테나(933)에 의해 전자기파로서 전송 및 수신되는 신호들을 처리한다. 구체적으로, 전송/수신 회로(904)는 아이솔레이터, 대역통과필터, VCO(전압 제어 발진기), LPF(저역 통과 필터), 커플러, 및 발문과 같은 고주파 회로들을 포함한다. 전송/수신 회로(904)에 의해 전송 및 수신되는 신호들 중에서 오디오 정보를 포함하는 신호는 CPU(902)의 명령에 따라 오디오 처리 회로(929)에 전송된다.

CPU(902)의 명령에 따라 전송되는 오디오 정보를 포함하는 신호는 오디오 처리 회로(929)에 의해 오디오 신호로 복조되어 스피커(928)에 전송된다. 마이크(927)로부터 전송된 오디오 신호는 오디오 처리 회로(929)에 의해 변조되어 CPU(902)의 명령에 따라 전송/수신 회로(904)에 전송된다.

제어기(901), CPU(902), 전원 회로(903), 오디오 처리 회로(929), 및 메모리(911)는 본 실시 형태의 패키지로서 실장될 수 있다. 본 실시 형태는 아이솔레이터, 대역통과필터, VCO(전압 제어 발진기), LPF(저역 통과 필터), 커플러, 또는 발문과 같은 고주파 회로 외에 임의의 회로들에 적용될 수 있다.

[실시 형태 11]

본 실시 형태를 도 21a 및 도 21b, 및 도 22를 참조하여 기술한다. 도 22는 실시 형태10에 따라 제조된 모듈을 포함하는 무선 휴대 콤팩트 전화(셀룰라 전화)의 예를 도시한 것이다. 패널(900)은 착탈가능하게 하우징(1001)에 탑재될 수 있다. 하우징(1001)의 형상 및 크기는 하우징(1001)이 탑재되는 전자 디바이스에 따라 적합하게 변경될 수 있다.

패널(00)이 고정되는 하우징(1001)은 인쇄 배선 기판(946) 상에 실장되어 모듈로서 완성된다. 인쇄 배선 기판(946) 상에는, 제어기, CPU, 메모리, 전원 회로, 및 그 외 저항기, 버퍼, 및 커패시터 소자와 같은 소자들이 실장된다. 또한, 마이크(994) 및 스피커(995)를 포함하는 오디오 처리 회로, 및 전송/수신 회로와 같은 신호 처리 회로(993)가 설치된다. 패널(900)은 FPC(908)를 통해 인쇄 배선 기판(946)에 접속된다.

이러한 모듈(999), 입력수단(998), 및 배터리(997)가 새시(996) 내에 수납된다. 패널(900)의 픽셀부는 새시(996) 내 형성된 개구 윈도우로부터 보여지게 배치된다.

도 22에 도시한 새시(996)는 전화의 외양의 예이다. 그러나, 본 실시 형태에 따른 전자 디바이스는 기능 및 적용에 따라 다양한 모드들로 변경될 수 있다. 모드들의 예를 다음의 실시 형태에서 기술한다.

[실시 형태 12]

도 19a는 본체(2101), 새시(2102), 디스플레이부(2103), 키보드(2104), 외부 접속 포트(2105), 포인팅 마우스(2106) 등을 포함하는 컴퓨터를 도시한 것이다. 컴퓨터에서, 디스플레이부(2103)는 실시 형태 5의 구조를 포함한다. 따라서, 컴퓨터의 디스플레이부(2103)에서 결함이 방지되고, 파워소비가 감소되며, 이에 따라 컴퓨터는 장기간 이용될 수 있다. 또한, 고 신뢰성 및 고 화질의 이미지가 디스플레이될 수 있는 컴퓨터가 제공될 수 있다.

도 19b는 본체(2201), 새시(2202), 디스플레이부 A(2203), 디스플레이부 B(2204), 기록매체(이러테면 DVD) 독출부(2205), 조작키들(2206), 스피커부(2207) 등을 포함하는, 기록매체가 구비된 이미지 재생 디바이스(구체적으로 DVD 재생 디바이스)를 도시한 것이다. 디스플레이부 A(2203)은 주로 이미지 정보를 표시하고 디스플레이부 B(2204)는 주로 문자정보를 표시한다. 기록매체를 구비한 이미지 재생 디바이스에서, 디스플레이부 A(2203) 및 디스플레이부 B(2204)는 실시 형태 5의 구조를 포함한다. 따라서, 기록매체를 구비한 이미지 재생 디바이스의 디스플레이부 A(2203) 및 디스플레이부 B(2204)에서 결함이 방지되고, 파워소비가 감소되고, 이에 따라, 디바이스가 장기간 이용될 수 있다. 또한, 고 신뢰성 및 고화질의 이미지가 표시될 수 있는, 기록매체를 구비한 이미지 재생 디바이스가 제공될 수 있다.

도 19c는 본체(2301), 오디오 출력부(2302), 오디오 입력부(2303), 디스플레이부(2304), 조작 스위치들(2305), 안테나(2306), 등을 포함하는 셀룰라 전화를 도시한 것이다. 셀룰라 전화에서, 디스플레이부(2304)는 실시 형태 5의 구조를 포함한다. 따라서, 셀룰라 전화 내 디스플레이부(2304)에서 결함이 방지되고, 파워소비가 감소되고, 이에 따라, 전화는 장기간 이용될 수 있다. 또한, 고 신뢰성 및 고화질의 이미지가 표시될 수 있는 셀룰라 전화가 제공될 수 있다.

도 19d는 본체(2401), 디스플레이 영역(2402), 새시(2403), 외부 접속 포트(2404), 원격 제어 수신부(2405), 이미지 수신부(2406), 배터리(240), 오디오 입력부(2408), 아이피스(2409), 조작키들(2401), 등을 포함하는 비디오 카메라를 도시한 것이다. 비디오 카메라에서, 디스플레이부(2402)는 실시 형태 5의 구조를 포함한다. 따라서, 비디오 카메라 내 디스플레이부(2402)에서 결함이 방지되고, 파워소비가 감소되고, 이에 따라, 카메라는 장기간 이용될 수 있다. 또한, 고 신뢰성 및 고 화질의 이미지가 표시될 수 있는 비디오 카메라가 제공될 수 있다.

본원은 일본특허청에 2005년 4월 15일 출원된 일본 특허출원번호 2005-117723에 기초하고 이의 전체 내용을 참조에 포함시킨다.

발명의 효과

본 발명에 따라, 단계들 및 장치들을 복잡하게 하지 않으면서 고 수율로 고 신뢰도 및 우수한 전기적 특성들을 갖춘 디스플레이 디바이스 및 그의 제조 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

디스플레이 디바이스로서:

하나의 도전형의 불순물 영역을 포함하는 반도체층;

상기 반도체층 상의 게이트 절연층;

상기 게이트 절연층 상의 게이트 전극층;

상기 하나의 도전형의 불순물 영역과 접촉한 배선층(wiring layer);

상기 게이트 절연층 상에 제공되어 상기 배선층과 접촉한 도전층;

상기 도전층과 접촉한 제 1 전극층;

상기 제 1 전극층 상에 제공된 전계 발광층(electroluminescent layer); 및

상기 전계 발광층 상의 제 2 전극층을 포함하고,

상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스.

청구항 2.

제1항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물인, 디스플레이 디바이스.

청구항 3.

제1항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함하는, 디스플레이 디바이스.

청구항 4.

제1항에 있어서, 상기 게이트 전극층 및 상기 도전층은 동일 물질을 이용하여 형성되는, 디스플레이 디바이스.

청구항 5.

디스플레이 디바이스로서:

하나의 도전형의 불순물 영역을 포함하는 반도체층;

상기 반도체층 상의 게이트 절연층;

상기 게이트 절연층 상의 게이트 전극층;

상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 개구(opening)를 갖는 절연층;

상기 하나의 도전형의 불순물 영역과 접촉한 배선층;

상기 게이트 절연층 상에 제공되어 상기 배선층과 접촉한 도전층;

상기 도전층과 접촉한 제 1 전극층;

상기 제 1 전극층 상의 전계 발광층; 및

상기 제 1 전극층 상의 제 2 전극층을 포함하고,

상기 개구에서 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스.

청구항 6.

제5항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물인, 디스플레이 디바이스.

청구항 7.

제5항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함하는, 디스플레이 디바이스.

청구항 8.

제5항에 있어서, 상기 게이트 전극층 및 상기 도전층은 동일 물질을 이용하여 형성되는, 디스플레이 디바이스.

청구항 9.

디스플레이 디바이스로서:

하나의 도전형의 불순물 영역을 포함하는 반도체층;

상기 반도체층 상의 게이트 절연층;

상기 게이트 절연층 상의 게이트 전극층;

상기 하나의 도전형의 불순물 영역과 접촉한 배선층;

상기 반도체층 및 상기 게이트 절연층 상에 있고 상기 배선층과 접촉한 도전층;

상기 도전층과 접촉한 제 1 전극층;

상기 제 1 전극층 상의 전계 발광층; 및

상기 전계 발광층 상의 제 2 전극층을 포함하고,

상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스.

청구항 10.

제9항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물인, 디스플레이 디바이스.

청구항 11.

제9항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함하는, 디스플레이 디바이스.

청구항 12.

제9항에 있어서, 상기 게이트 전극층 및 상기 도전층은 동일 물질을 이용하여 형성되는, 디스플레이 디바이스.

청구항 13.

디스플레이 디바이스로서:

하나의 도전형의 불순물 영역을 포함하는 반도체층;

상기 반도체층 상의 게이트 절연층;

상기 게이트 절연층 상의 게이트 전극층;

상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 개구를 갖는 절연층;

상기 하나의 도전형의 불순물 영역과 접촉한 배선층;

상기 반도체층 및 상기 게이트 절연층 상에 있고 상기 배선층과 접촉한 도전층;

상기 도전층과 접촉한 제 1 전극층;

상기 제 1 전극층 상의 전계 발광층; 및

상기 전계 발광층 상의 제 2 전극층을 포함하고,

상기 개구에서 상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스.

청구항 14.

제13항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물인, 디스플레이 디바이스.

청구항 15.

제13항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함하는, 디스플레이 디바이스.

청구항 16.

제13항에 있어서, 상기 게이트 전극층 및 상기 도전층은 동일 물질을 이용하여 형성되는, 디스플레이 디바이스.

청구항 17.

디스플레이 디바이스 제조 방법으로서:

반도체층을 형성하는 단계;

상기 반도체층 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 게이트 전극층 및 도전층을 형성하는 단계;

상기 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계;

상기 하나의 도전형의 불순물 영역 및 상기 도전층과 접촉하는 배선층을 형성하는 단계;

상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계;

상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및

상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고,

상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스 제조 방법.

청구항 18.

제17항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물을 이용하여 형성되는, 디스플레이 디바이스 제조 방법.

청구항 19.

제17항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함함으로써 형성되는, 디스플레이 디바이스 제조 방법.

청구항 20.

디스플레이 디바이스 제조 방법으로서:

반도체층을 형성하는 단계;

상기 반도체층 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 게이트 전극층 및 도전층을 형성하는 단계;

상기 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계;

상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 절연층을 형성하는 단계;

상기 절연층에 상기 하나의 도전형의 불순물 영역과 상기 도전층에 이르는 개구를 형성하는 단계;

상기 개구에 상기 하나의 도전형의 불순물 영역 및 상기 도전층에 접촉하는 배선층을 형성하는 단계;

상기 개구에 상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계;

상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및

상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고,

상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스 제조 방법.

청구항 21.

제20항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물을 이용하여 형성되는, 디스플레이 디바이스 제조 방법.

청구항 22.

제20항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함함으로써 형성되는, 디스플레이 디바이스 제조 방법.

청구항 23.

디스플레이 디바이스 제조 방법으로서:

반도체층을 형성하는 단계;

상기 반도체층 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 도전막을 형성하는 단계;

게이트 전극층 및 도전층을 형성하기 위해 상기 도전막을 가공하는 단계;

상기 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계;

상기 하나의 도전형의 불순물 영역 및 상기 도전층에 접촉하는 배선층을 형성하는 단계;

상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계;

상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및

상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고,

상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스 제조 방법.

청구항 24.

제23항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물을 이용하여 형성되는, 디스플레이 디바이스 제조 방법.

청구항 25.

제23항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함함으로써 형성되는, 디스플레이 디바이스 제조 방법.

청구항 26.

디스플레이 디바이스 제조 방법으로서:

반도체층을 형성하는 단계;

상기 반도체층 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 도전막을 형성하는 단계;

게이트 전극층 및 도전층을 형성하기 위해 상기 도전막을 가공하는 단계;

상기 반도체층에 하나의 도전형의 불순물 영역을 형성하는 단계;

상기 반도체층, 상기 게이트 절연층 및 상기 게이트 전극층 상에 절연층을 형성하는 단계;

상기 절연층에 상기 하나의 도전형의 불순물 영역 및 상기 도전층에 이르는 개구를 형성하는 단계;

상기 개구에 상기 하나의 도전형의 불순물 영역 및 상기 도전층에 접촉하는 배선층을 형성하는 단계;

상기 개구에 상기 도전층과 접촉하는 제 1 전극층을 형성하는 단계;

상기 제 1 전극층 상에 전계 발광층을 형성하는 단계; 및

상기 전계 발광층 상에 제 2 전극층을 형성하는 단계를 포함하고,

상기 배선층은 상기 제 1 전극층에 전기적으로 접속되고, 그들 사이에 상기 도전층이 개재되는, 디스플레이 디바이스 제조 방법.

청구항 27.

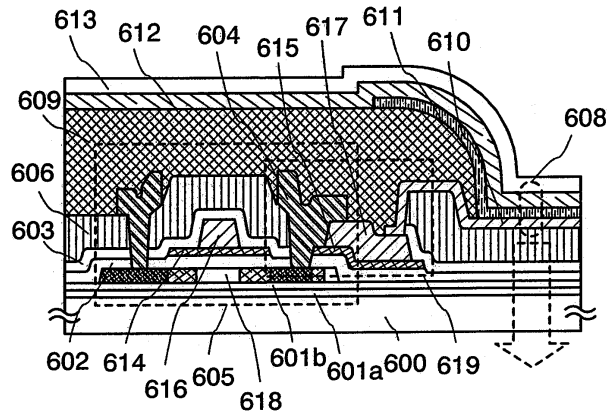
제26항에 있어서, 상기 제 1 전극층은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티탄을 함유한 인듐 산화물, 또는 산화 티탄을 함유한 인듐 주석 산화물을 이용하여 형성되는, 디스플레이 디바이스 제조 방법.

청구항 28.

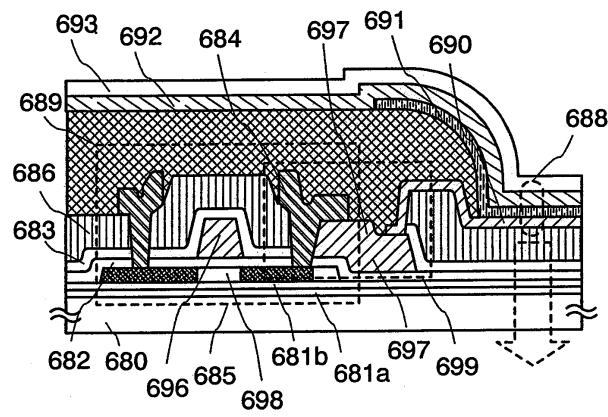
제26항에 있어서, 상기 전계 발광층은 유기 화합물 및 무기 화합물을 함유한 층을 포함함으로써 형성되는, 디스플레이 디바이스 제조 방법.

도면

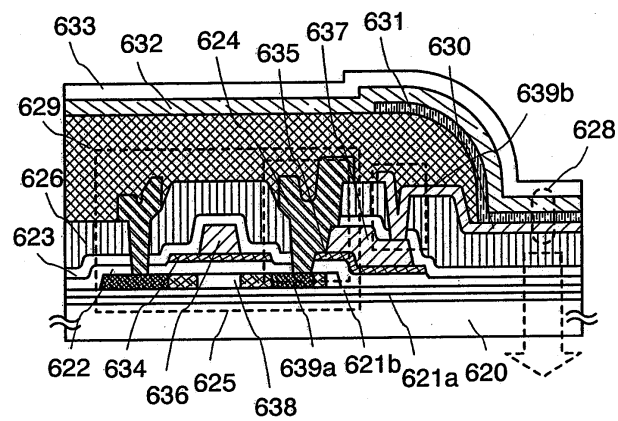
도면1



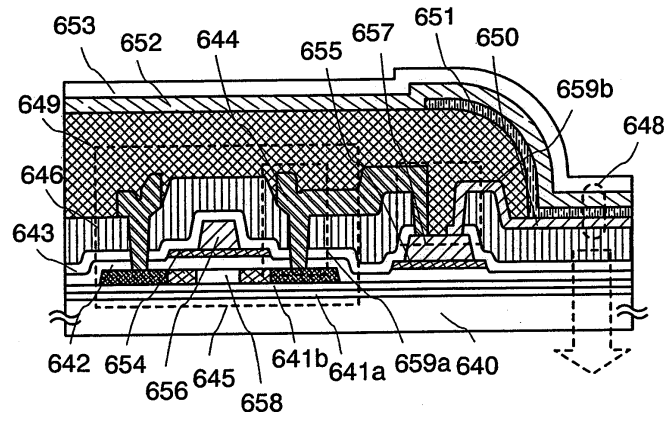
도면2



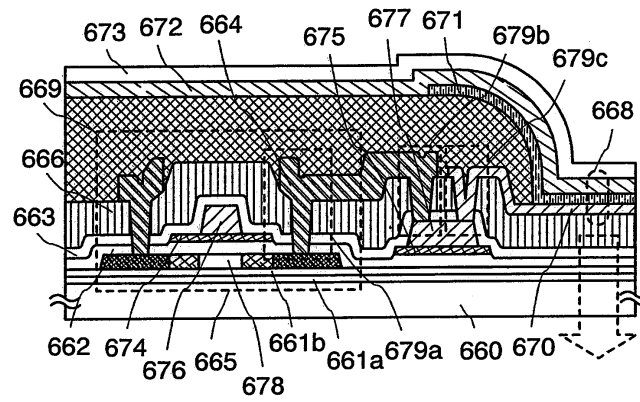
도면3



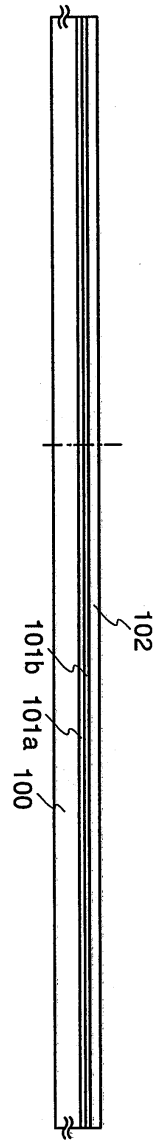
도면4



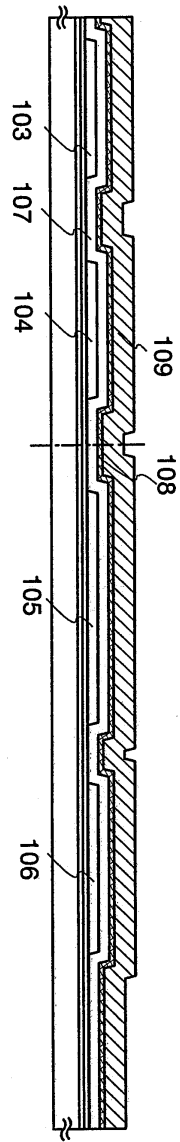
도면5



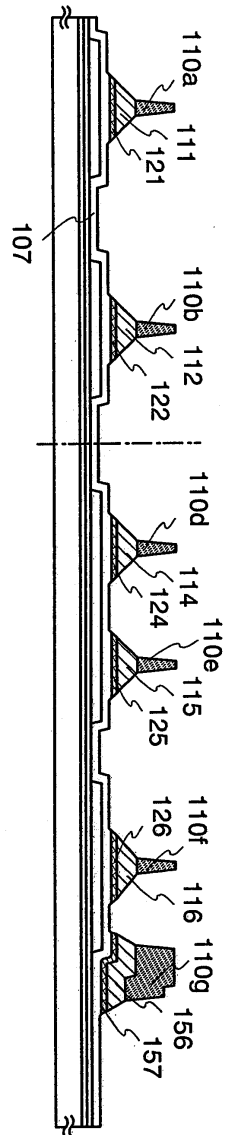
도면6a



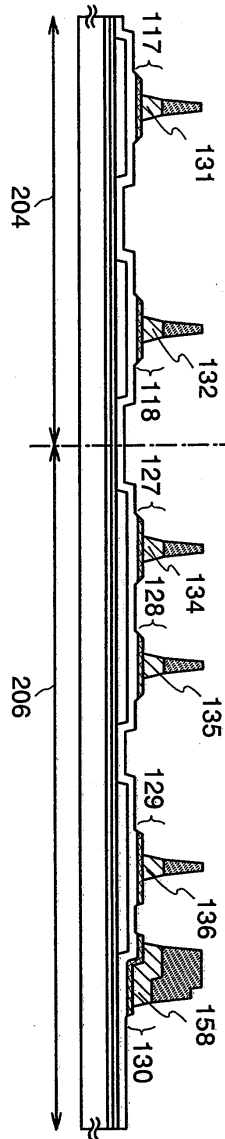
도면6b



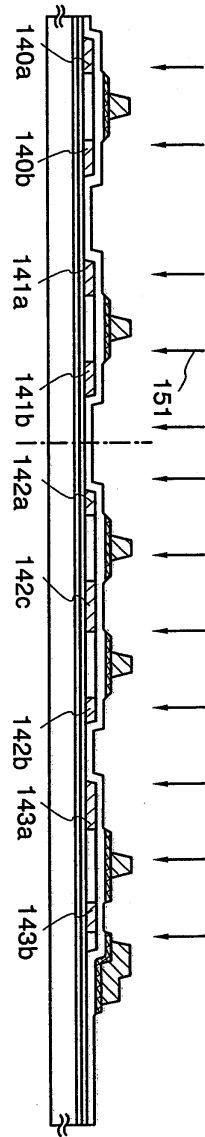
도면6c



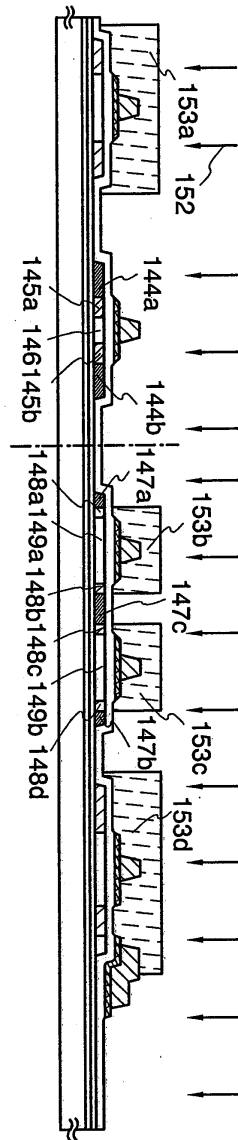
도면6d



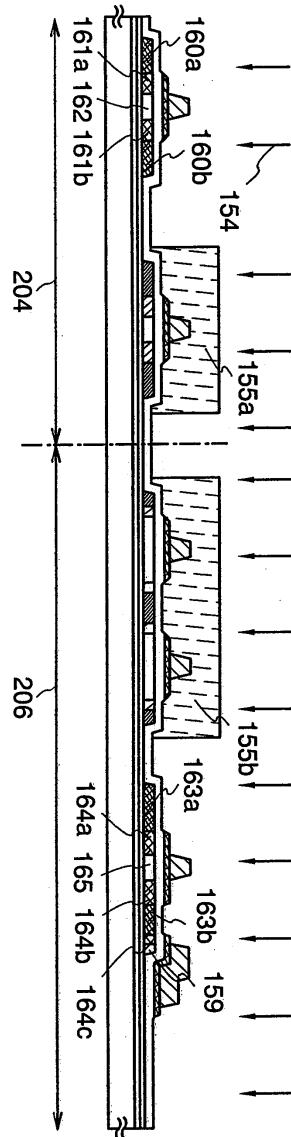
도면7a



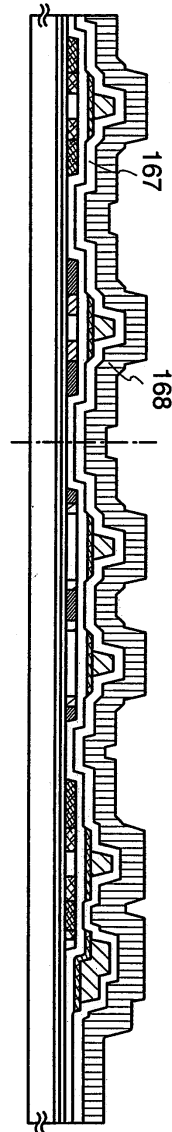
도면7b



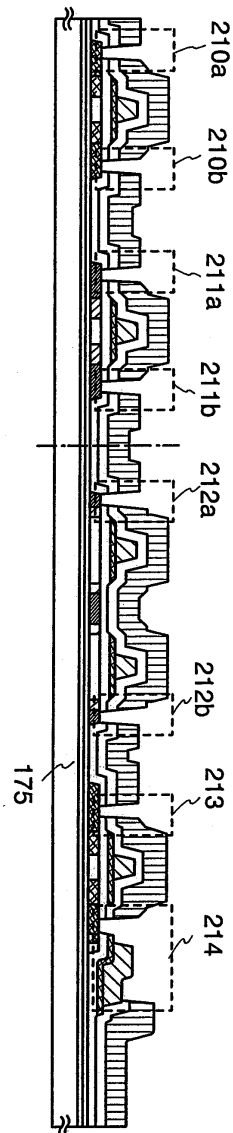
도면7c



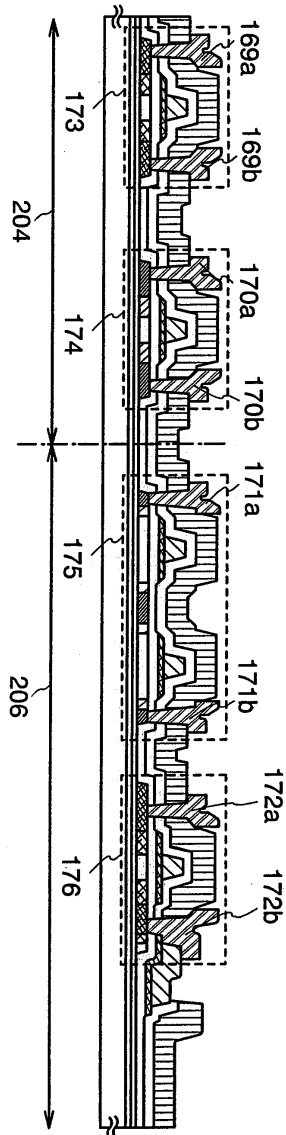
도면8a



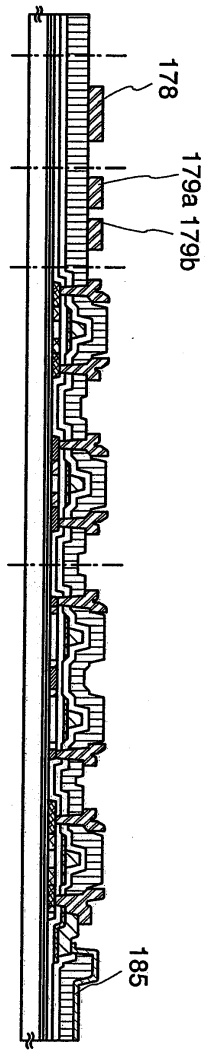
도면8b



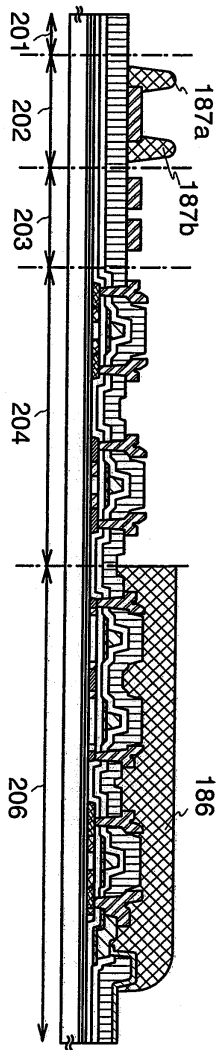
도면8c



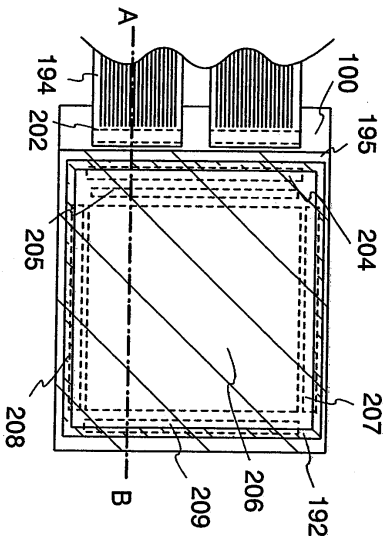
도면9a



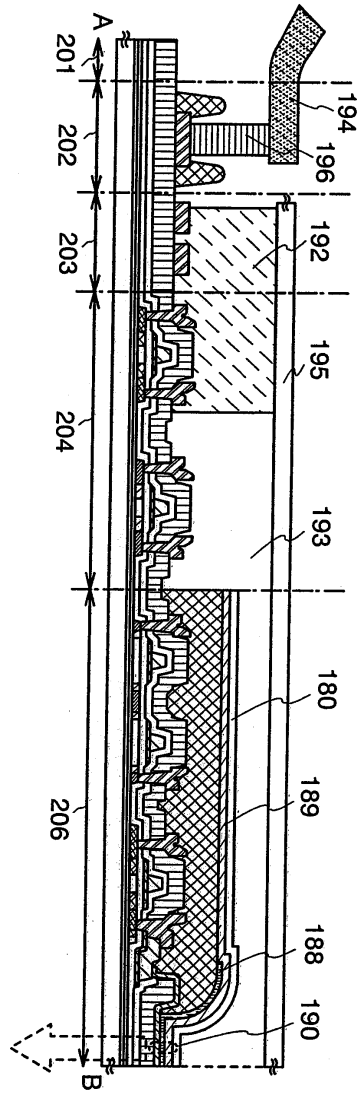
도면9b



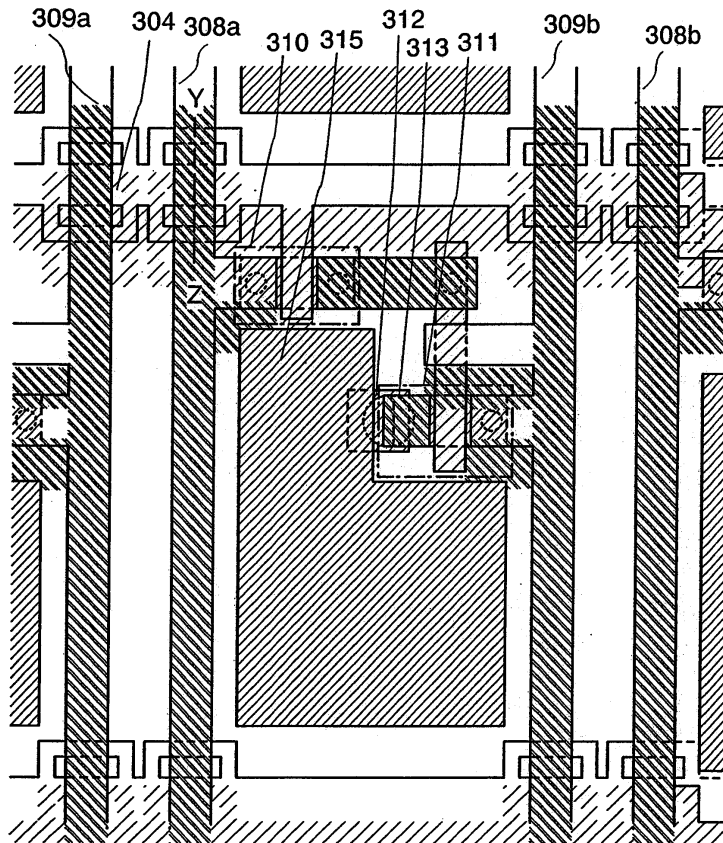
도면10a



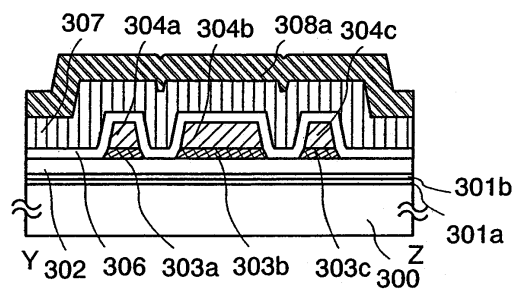
도면10b



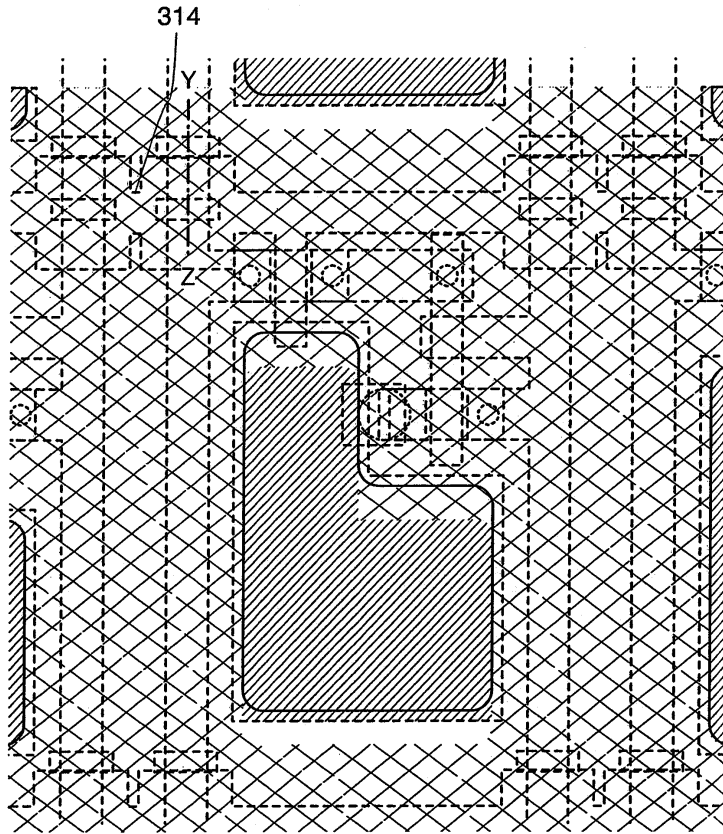
도면11a



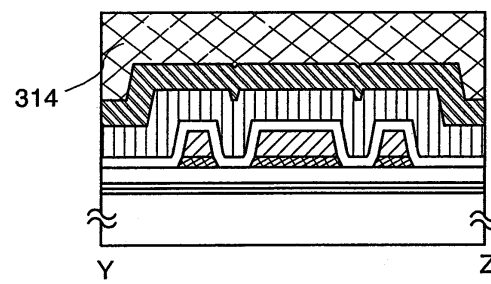
도면11b



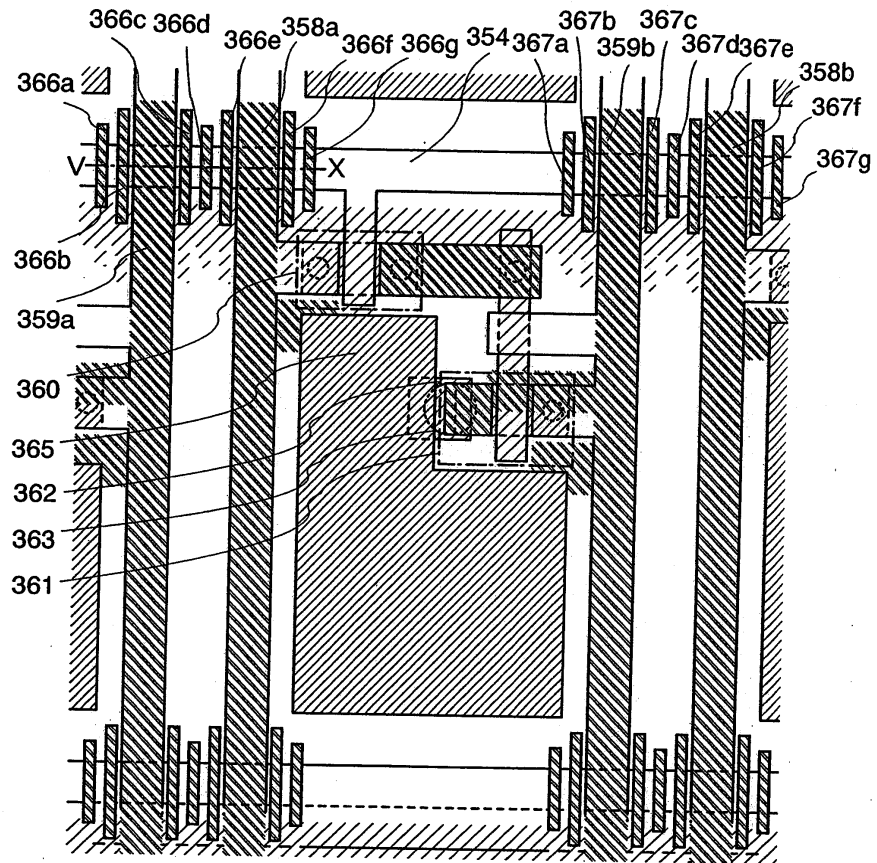
도면12a



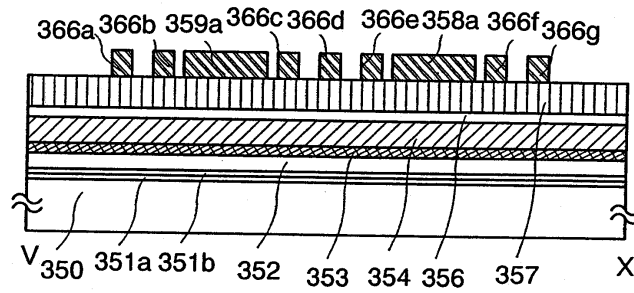
도면12b



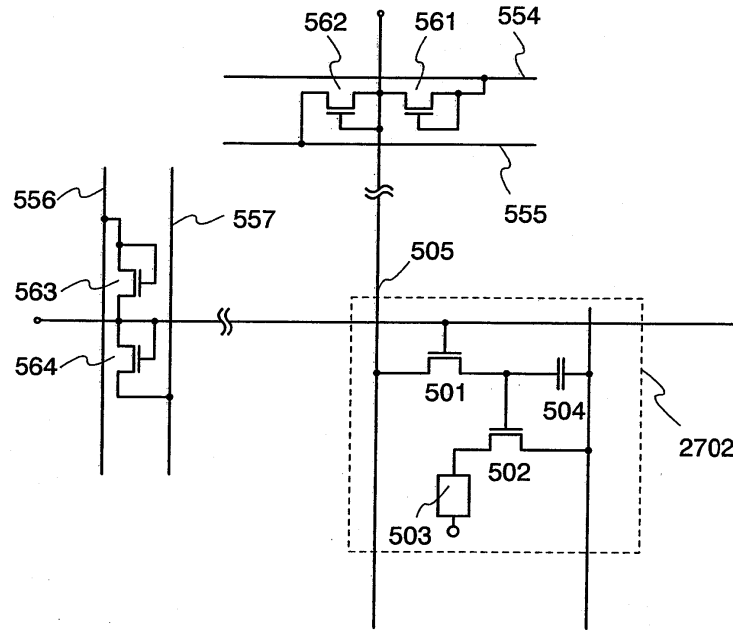
도면13a



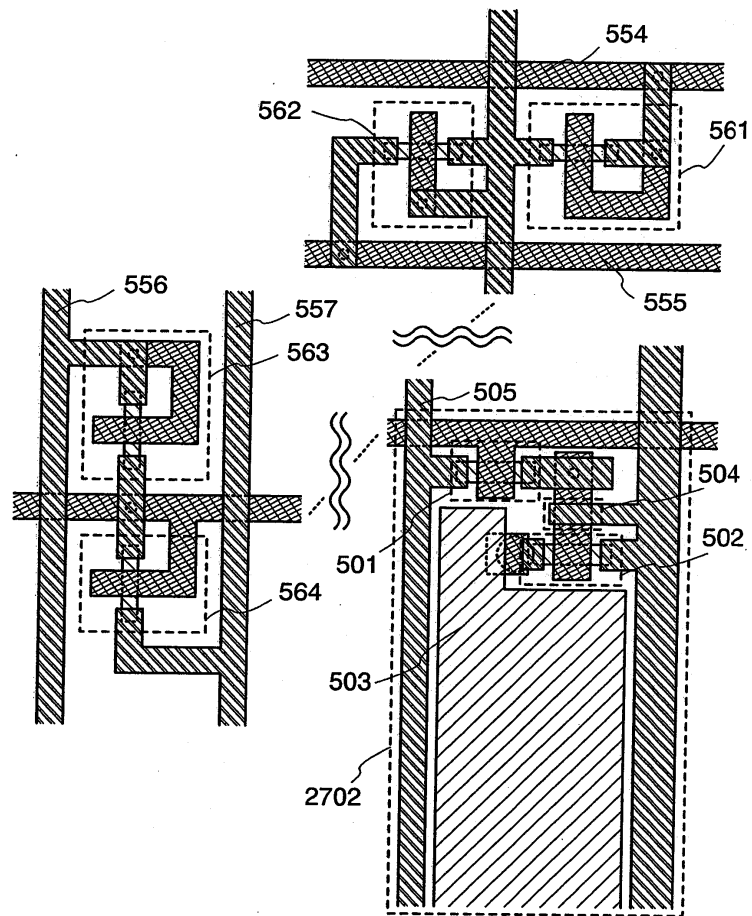
도면13b



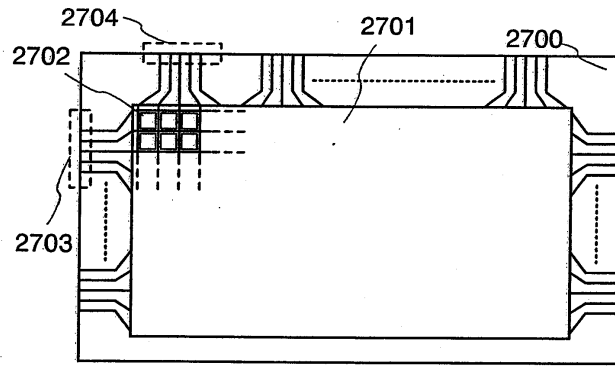
도면14



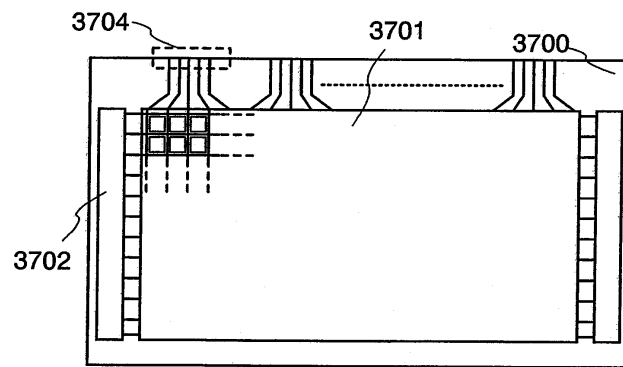
도면15



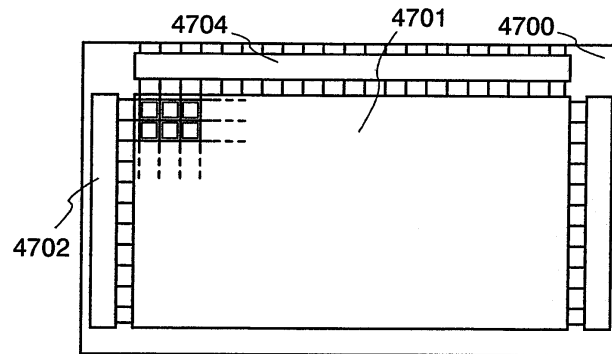
도면16a



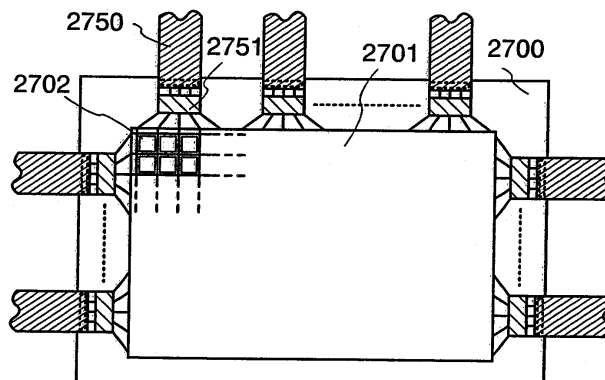
도면16b



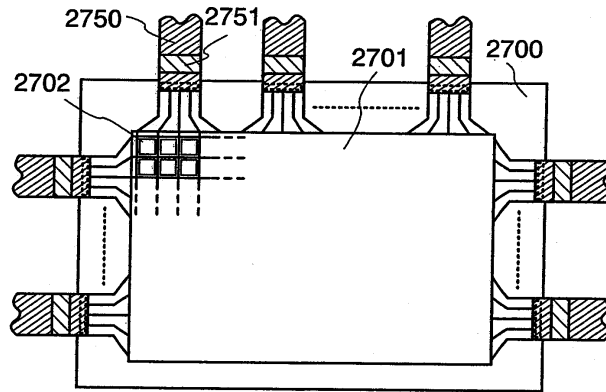
도면16c



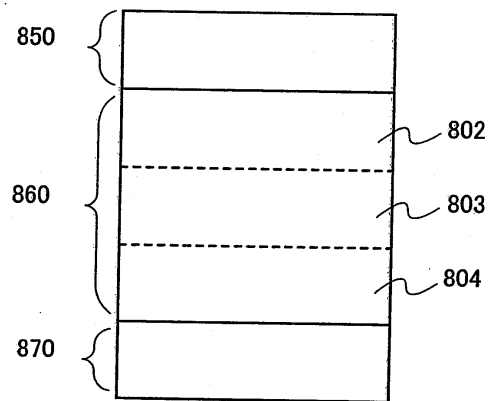
도면17a



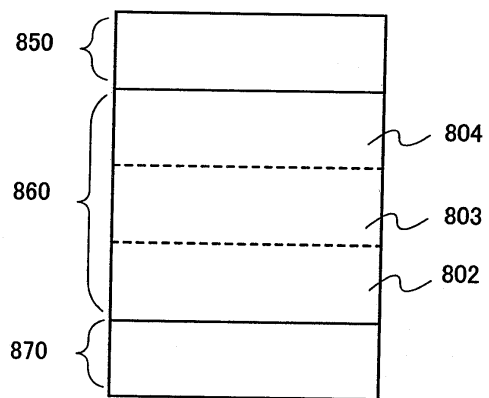
도면17b



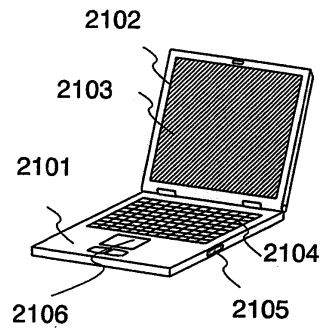
도면18a



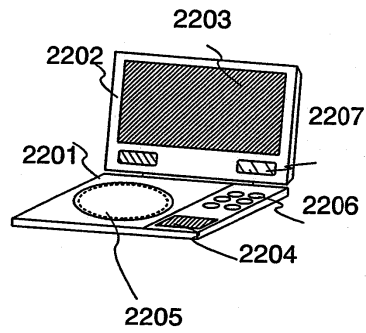
도면18b



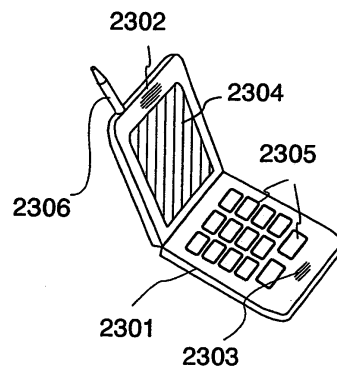
도면19a



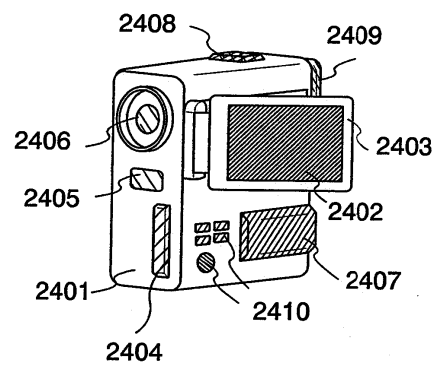
도면19b



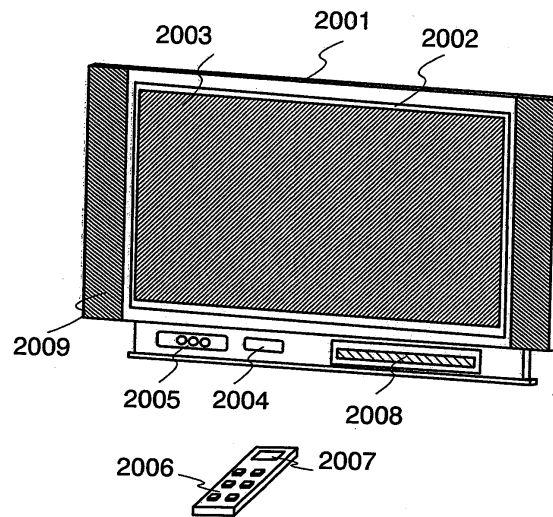
도면19c



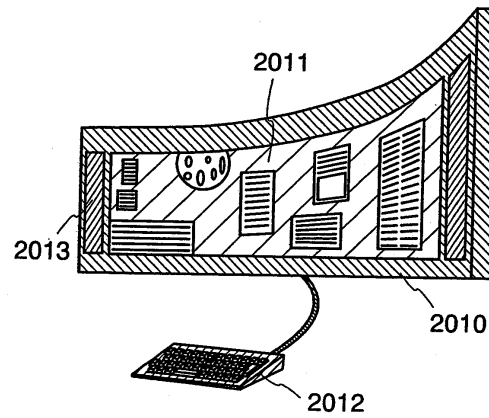
도면19d



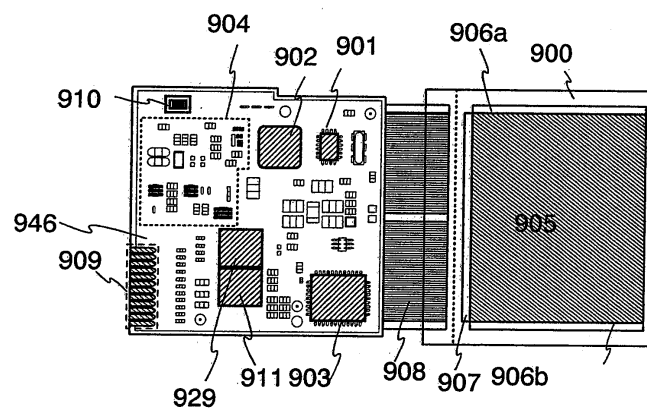
도면20a



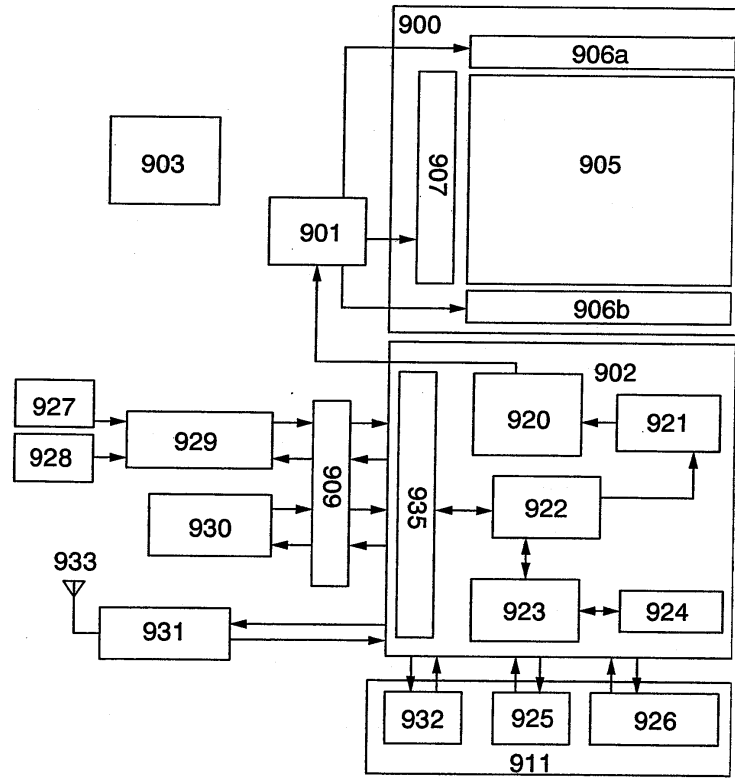
도면20b



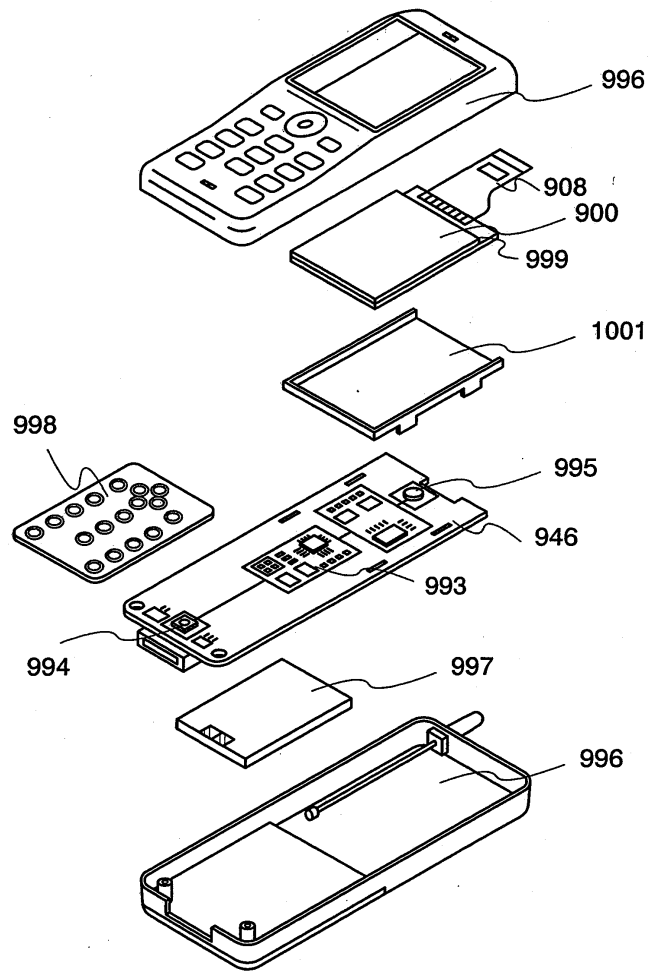
도면21a



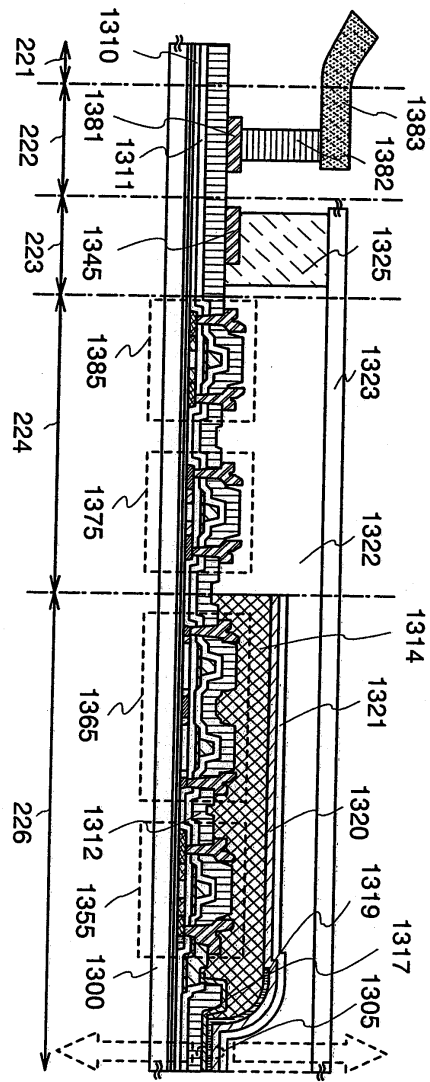
도면21b



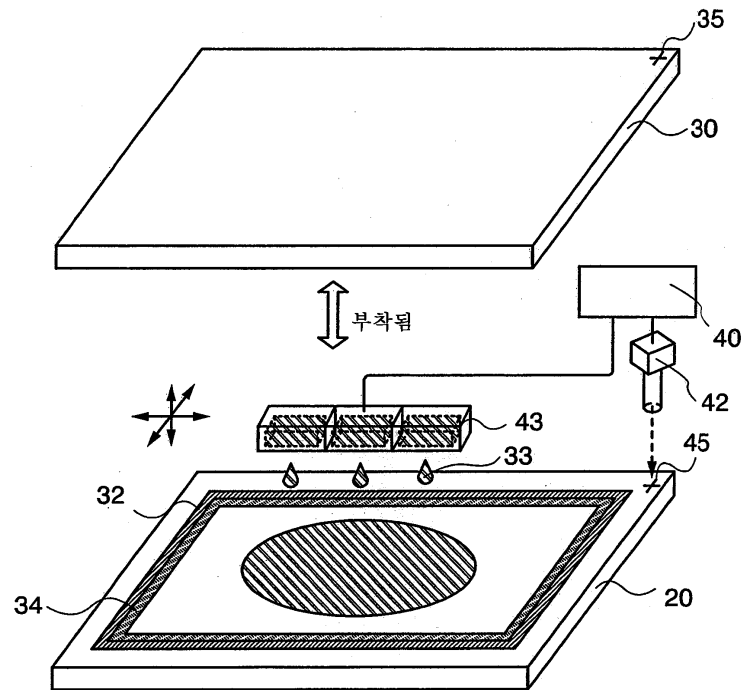
도면22



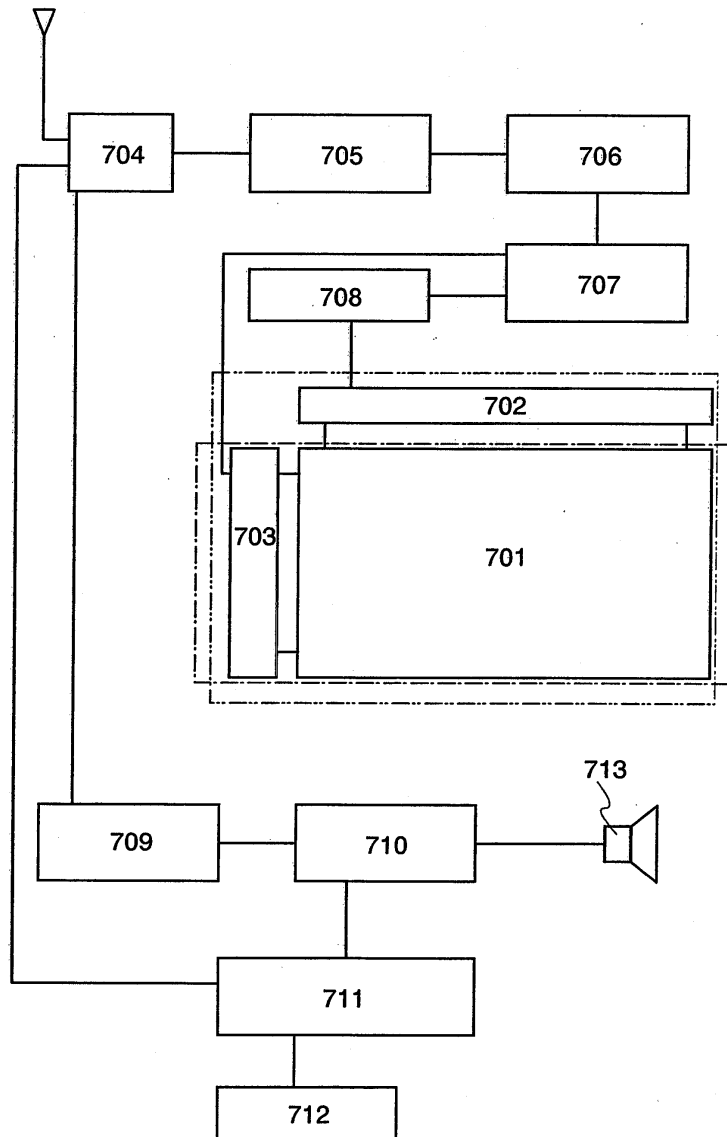
도면23



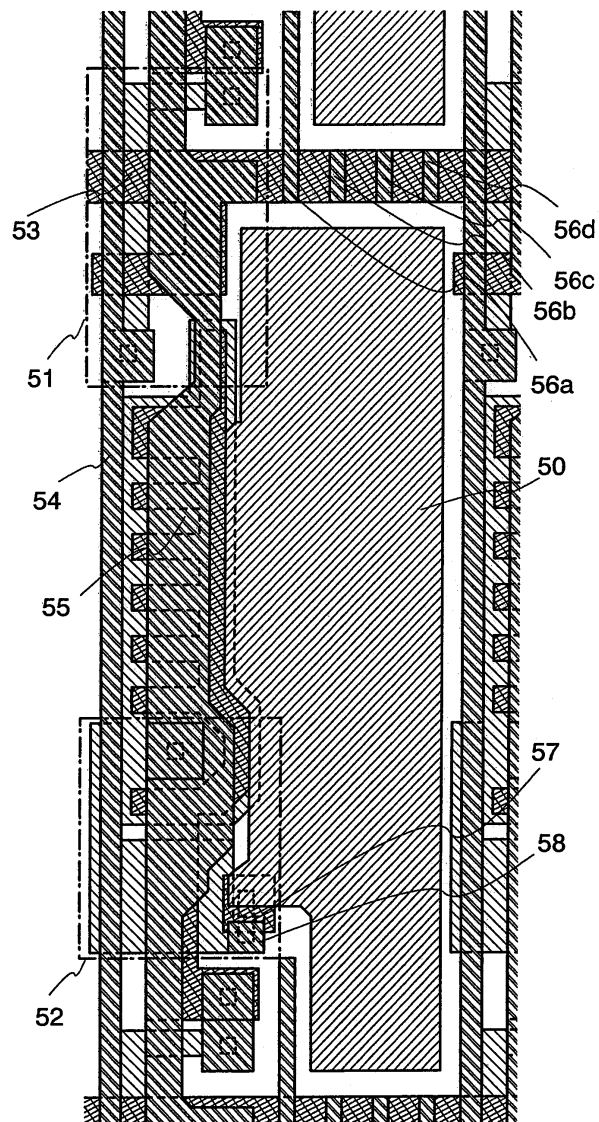
도면24



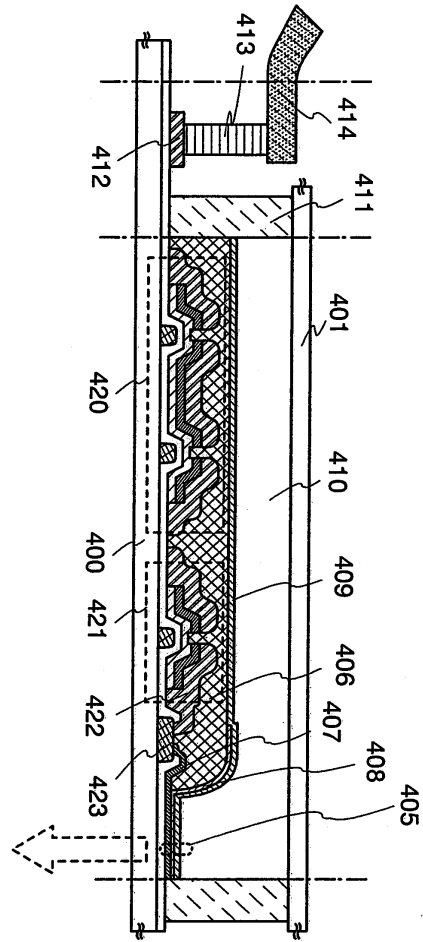
도면25



도면26



도면27



专利名称(译)	用于制造显示装置的方法和显示装置		
公开(公告)号	KR1020060109334A	公开(公告)日	2006-10-19
申请号	KR1020060033962	申请日	2006-04-14
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	AKIMOTO KENGO 아키토켄고 OHTANI HISASHI 오타니히사시 HIROSUE MISAKO 히로수에미사코		
发明人	아키토, 켄고 오타니, 히사시 히로수에, 미사코		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L2227/323 H01L27/1214 H01L27/12 H01L27/3244 H01L27/124		
代理人(译)	李昌勋		
优先权	2005117723 2005-04-15 JP		
其他公开文献	KR101262062B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种低成本的技术，以高产量制造高可靠性的显示装置。根据本发明的显示装置设置在半导体层上：包括一种导电类型的杂质区的半导体层。它包括设置在栅极绝缘层上的电致发光层，以及与杂质区接触的布线层：与布线层接触的导电层，它设置在栅极绝缘层上：第一电极层与导电层接触：第一一种导电类型的电极层和栅电极层以及第二电极层。布线层连接到第一电极层。在它之间允许导电层。显示装置，杂质区，布线层，电极层，电致发光层。

