

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
G09G 3/30
H05B 33/00
H01L 27/04(11) 공개번호 10-2005-0031902
(43) 공개일자 2005년04월06일(21) 출원번호 10-2004-0076040
(22) 출원일자 2004년09월22일(30) 우선권주장 JP-P-2003-00339531 2003년09월30일 일본(JP)
(71) 출원인 로무 가부시기가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21
(72) 발명자 마에대준
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시키
가이샤 내
아베신이치
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시키
가이샤 내
후지카와아키오
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시키
가이샤 내
(74) 대리인 황의인

심사청구 : 있음

(54) D/A 변환 회로, 유기 E L 구동 회로 및 유기 E L 디스플레이 장치

요약

커런트 미러형 D/A 변환 회로는 각각 MOS 트랜지스터를 포함하는 트랜지스터 셀들로 구성되고, 그 MOS 트랜지스터의 게이트 영역은 평면상으로 볼 때 구부러진 스트라이프 구성을 가지거나 그 채널에서의 전류 흐름 방향이 평면상으로 볼 때 구부러진 스트라이프이다.

대표도

도 2a

명세서

도면의 간단한 설명

도 1 은 본 발명의 일 실시형태에 따른 전류 구동 회로의 커런트 미러형 D/A 변환 회로와 출력단 전류원의 커런트 미러 회로를 구성하는 트랜지스터 셀의 레이아웃을 나타내는 도면.

도 2a 는 커런트 미러형 D/A 변환 회로의 트랜지스터 셀 중 하나에 대한 평면도.

도 2b 는 도 2a 의 라인 A-A 를 따라 취한 단면도.

도 3a 는 커런트 미러형 D/A 변환 회로의 트랜지스터 셀의 다른 평면도.

도 3b 는 도 3a 의 라인 B-B 를 따라 취한 단면도.

도 4 는 커런트 미러형 D/A 변환 회로의 트랜지스터 셀의 또 다른 평면도.

도 5a 는 커런트 미러형 D/A 변환 회로의 일 실시예의 회로도.

도 5b 는 트랜지스터 셀의 등가 회로.

도 6 은 유기 EL 디스플레이 패널의 구동 회로의 컬럼핀에 제공되는 D/A 변환 회로의 일 실시예의 회로도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 단위 트랜지스터

2 : 패드

3, 3a : 단위 트랜지스터의 배열 블록

4Bi, 4Ri, 4Gi : 전류 구동 회로

5Bi, 5Ri, 5Gi : D/A 변환 회로

6bi : 출력 단자

7bi : 입력 단자

8b, 8r, 8g, 9b, 9r, 9g : 배선 라인

10 : 트랜지스터 셀 회로의 레이아웃

21 : 트랜지스터 TN 이 형성된 영역

21g : 트랜지스터 TN 의 게이트 영역

21d : 트랜지스터 TN 의 드레인 영역

22 : 트랜지스터 Tr 이 형성된 영역

22g : 트랜지스터 Tr 의 게이트 영역

22s : 트랜지스터 Tr 의 소스 영역

22d : 트랜지스터 Tr 의 드레인 영역

23 : 소스 접촉 영역

24, 25 : 게이트 접촉 영역

26 : 채널 형성 영역

26L : LOCOS 영역

27 : 드레인 접촉 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 D/A 변환 회로, 유기 EL 구동 회로 및 유기 EL 디스플레이 장치에 관한 것이다. 특히, 본 발명은, 유기 EL 패널의 컬럼핀에 대응하는 디스플레이 데이터를 D/A 변환함으로써 컬럼 방향의 구동 전류 또는 상기 구동 전류를 생성시키는 전류를 발생시키는 전류 구동 회로에 있어서, D/A 변환 회로의 변환 특성의 불균일성에 따른 디스플레이 스크린의 휘도 불균일성을 억제할 수 있는 유기 EL 구동 회로 및 유기 EL 디스플레이 장치의 개선에 관한 것이다.

휴대용 TV 세트, PHS, DVD 플레이어, PDA(Portable Digital Assistance) 등에 사용되는 유기 EL 표시 장치의 유기 EL 디스플레이 패널로서 컬럼 라인에 대해 396(132×3) 개의 단자핀(컬럼핀)을 가지고 로우 라인에 대해 162 개의 단자핀을 가지는 것이 제안되어 있다. 컬럼 라인 및 로우 라인에 대한 단자핀의 수는 계속 증가하고 있다.

본 출원의 양수인의 일본 특개 2003-234655 호 공보 및 미국 특허 제 6,756,738 호도 그러한 D/A 변환 회로가 각각 설치된 유기 EL 디스플레이 패널의 대응하는 컬럼핀에 대한 구동 회로를 개시하고 있다. 미국 특허 제 6,756,738 호에서, D/A 변환 회로는, 기준 전류에 따라 유기 EL 디스플레이 패널의 컬럼핀에 대응하여 디스플레이 데이터를 D/A 변환함으로써, 디스플레이 데이터 및 기준 전류에 응답하여 컬럼 방향의 구동 전류 또는 그 구동 전류를 유도하는 전류를 생성한다. 특히, 유기 EL 디스플레이 패널이 수동 매트릭스형인 경우, 용량성 부하 특성을 갖는 유기 EL 소자를 초기 충전하여 구동하기 위해 피크 전류가 생성된다.

도 6 은 유기 EL 디스플레이 패널의 구동 회로의 컬럼핀에 대응하여 설치되고 주로 MOSFET 으로 구성된 D/A 변환 회로의 예를 나타내며, 이는 미국 특허 제 6,756,738 호의 도 1 에 대응한다.

전류 구동 회로의 D/A 변환 회로(11)는 소위 전류 스위칭 D/A 변환 회로이며 커런트 미러 회로로 구성된다. D/A 변환 회로(11)는 입력 단자(11a)를 통해 정전류원(12)으로부터 기준 전류 I_p 가 입력되는 트랜지스터 TNa 및 레지스터(16)로부터 디스플레이 데이터 $D0$ 내지 $Dn-1$ 이 공급되는 출력측 트랜지스터 TNb 내지 $TNn-1$ 을 구비한다. D/A 변환 회로(11)는 디스플레이 데이터와 기준 전류 I_p 를 승산한다. 피크 전류를 생성하기 위해, D/A 변환 회로(11)는 트랜지스터 TNa 에 병렬 접속된 N채널 MOS 트랜지스터 TNp 를 더 구비한다.

MOS 트랜지스터 TNp 의 게이트와 드레인은 입력 단자(11a)에 접속되어 있다. 트랜지스터 TNa 와 MOS 트랜지스터 TNp 의 소스는 저항 Ra 와 Rpa 및 스위치 회로 SWa 와 $SWpa$ 를 통해 각각 접지되어 있다. 스위치 회로 SWa 및 $SWpa$ 는 제어 회로(15)로부터의 펄스 신호 P 및 $CONT$ 에 의해 온/오프 제어된다. 기준 전류 I_p 에 응답하여, D/A 변환 회로(11)는 스위치 회로 SWa 와 $SWpa$ 가 각각 온/오프될 때 피크 전류를 생성한다. 양 스위치 회로 SWa 및 $SWpa$ 모두 온인 경우, D/A 변환 회로(11)는 기준 전류에 대응하는 정전류를 출력한다.

또한, 출력 트랜지스터 TNb 내지 $TNm-1$ 의 하류에 설치된 저항 Rb 내지 $Rn-1$ 은 커런트 미러 회로의 동작 전류를 균형 잡는 기능을 수행하며, 저항 Rb 내지 $Rn-1$ 의 하류에 설치된 N채널 트랜지스터 TNb 내지 $TNn-1$ 은 디스플레이 데이터 $D0$ 내지 $Dn-1$ 에 의해 온/오프 제어되는 스위칭 트랜지스터이다.

출력측 트랜지스터 TNb 내지 $TNn-1$ 의 드레인은 D/A 변환 회로(11)의 출력 단자(11b)에 접속되어 있고, 입력측 트랜지스터 TNa 의 게이트폭(채널폭)에 대해 트랜지스터 TNb 내지 $TNn-1$ 의 게이트폭(채널폭)은, 예를 들면, 각 컬럼의 웨이트 1, 2, 4, ..., n 에 대응한다. 일반적으로, 각 컬럼의 웨이트에 대응하는 게이트폭(채널폭)은 트랜지스터 셀로서 형성된 복수의 단위 트랜지스터를 병렬 접속함으로써 형성된다.

출력단 전류원(13)은 구동 레벨 시프트 회로(13a)와 출력단 커런트 미러 회로(13b)로 구성된다.

구동 레벨 시프트 회로(13a)는 D/A 변환 회로(11)의 출력 전류를 출력단 커런트 미러 회로(13b)로 보내도록 동작하며, N채널 MOS 트랜지스터 TNv 로 구성된다. 트랜지스터 TNv 는 바이어스 라인 Vb 에 접속된 게이트, 출력 단자(11b)에 접속된 소스 및 출력단 커런트 미러 회로(13b)의 입력 단자(13c)에 접속된 드레인을 가지고 있다.

출력단 커런트 미러 회로(13b)는 P채널 MOS 트랜지스터 TPu 와 TPw 및 출력단 커런트 미러 회로를 구성하는 P채널 MOS 트랜지스터 TPx 와 TPy 를 포함한다. 구동 전류는 출력핀(9)을 통해 트랜지스터 TPy 의 드레인으로부터 유기 EL 소자(4)로 출력된다.

이러한 전류 구동 회로는 기준 전류 I_p 에 따라 D/A 변환 회로에 의해 컬럼 방향의 구동 전류나 그 구동 전류의 기초가 되는 전류를 생성한다. D/A 변환 회로는 다수의 트랜지스터 셀로 구성된다. 따라서, D/A 변환 회로의 D/A 변환 특성의 편차는 컬럼핀의 출력 전류의 편차를 유발하고, 이는 디스플레이 스크린상의 휘도 편차와 휘도 불균일성을 발생시킨다.

이러한 휘도 불균일성과 편차는 기준 전류값을 조정하여도 흡수될 수 없기 때문에, D/A 변환 회로에는 변환된 전류값을 조정하기 위한 레귤레이터 회로가 설치되어야 한다. 이러한 레귤레이터 회로는 각 컬럼핀 마다에 설치되어야 하기 때문에, D/A 변환 회로의 회로 사이즈는 레귤레이터 회로의 수가 증가함에 따라 증가할 수 밖에 없으며, 이로 인해 하나의 IC 내에 전류 구동 회로를 형성하는 것이 어렵다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 다수의 트랜지스터 셀로 구성된 커런트 미러 회로를 각각 포함하는 복수의 D/A 변환 회로가 제공되는 경우, D/A 변환 회로의 D/A 변환 특성의 편차에 따른 출력 전류의 편차를 줄일 수 있는 D/A 변환 회로를 제공하는 것이다.

본 발명의 다른 목적은 복수의 트랜지스터 셀을 갖는 커런트 미러 회로를 포함하는 D/A 변환 회로를 이용하여 유기 EL 디스플레이 패널의 디스플레이 스크린상의 휘도 불균일성과 휘도 편차를 줄일 수 있는 유기 EL 구동 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 유기 EL 디스플레이 패널의 디스플레이 스크린상의 휘도 불균일성과 휘도 편차를 줄일 수 있는 유기 EL 구동 회로를 포함하는 유기 EL 디스플레이 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명에 따른 D/A 변환 회로, 유기 EL 구동 회로 및 유기 EL 디스플레이 장치는, D/A 변환 회로를 구성하는 커런트 미러 회로가 그 게이트 영역이 평면상으로 볼 때 구부러진 스트라이프(folded stripe) 구성을 가지거나 그 채널에서의 전류 흐름 방향이 평면상으로 볼 때 구부러진 스트라이프인 MOS 트랜지스터를 각각 포함하는 복수의 트랜지스터 셀을 구비한다는 점에 특징이 있다.

또한, MOS 트랜지스터를 이용하는 커런트 미러 회로의 소정 구동 전류 I 에 대한 출력측 전류의 편차 ΔI 는 다음의 식(1)로 표현될 수 있다.

$$\Delta I = I - 2\Delta V_{th}/(V_{GS} - V_{th}) \cdots \cdots (1)$$

여기서, V_{GS} 는 MOS 트랜지스터의 게이트-소스 전압이고, V_{th} 는 MOS 트랜지스터의 문턱 전압이며, ΔV_{th} 는 MOS 트랜지스터의 설계 기준인 문턱 전압과 문턱 전압 V_{th} 간의 차이이다.

게이트-소스 전압과 문턱 전압 V_{th} 와의 차이 ($V_{GS} - V_{th}$) 는 다음의 식(2)로 표현될 수 있다.

$$V_{GS} - V_{th} = \{(2/\mu_n C_{ox}) - (L/W) - ID\}^{1/2} \cdots \cdots (2)$$

여기서, μ_n 은 전자 이동도이고, C_{ox} 는 게이트 산화막의 단위 면적당 용량이며, ID 는 드레인 전류이고, L 은 채널 길이이며, W 는 채널폭이다.

상술한 바와 같이, 구동원의 수는 높은 디스플레이 해상도의 요구에 따라 증가하는 경향에 있다. 구동원의 수가 증가하면 전력 소모가 증가하기 때문에, 전력 소모를 줄일 필요가 있다. 전력 소모 절감을 달성하기 위해, D/A 변환 회로의 동작 소스 전압을, 예를 들면, 3V 이하로 제한할 필요가 있다. 그러므로, 게이트-소스 전압 V_{GS} 를 증가시키는 것은 불가능하다.

드레인 전류 ID 가 일정하다고 가정하면, 편차 ΔI 는 ($V_{GS} - V_{th}$) 를 더 크게 함으로써 감소될 수 있다. ($V_{GS} - V_{th}$) 를 증가시키기 위해, L/W 를 증가시킬 필요가 있다. 즉, L/W 의 역인 W/L 을 감소시킬 필요가 있다.

본 발명에 따르면, D/A 변환 회로는, 구부러진 스트라이프 형태의 게이트 영역 또는 게이트 영역의 전류 흐름 방향이 평면상으로 볼 때 구부러지거나 뒤집힌 스트라이프형 채널을 각각 갖는 다수의 MOS 트랜지스터 셀로 구성된 커런트 미러 회로로 구성된다. 따라서, 각각 큰 채널 길이 L 을 갖는 트랜지스터로 커런트 미러 회로를 구성하는 것이 가능하므로, W/L 을 줄일 수 있다.

또한, 트랜지스터 셀(단위 트랜지스터)의 구성은 사각형이 아니라 거의 정사각형으로 될 수 있다. 따라서, 인접한 트랜지스터 셀들 간의 거리가 줄어들어 집적 효율이 개선될 수 있다. 또한, 이들 효과로, 트랜지스터들 사이의 거리가 감소된 커런트 미러 회로를 구성하는 트랜지스터들을 배열하는 것이 가능하다. 결과적으로, 특성면에서 보면, 커런트 미러 회로를 구성하는 트랜지스터들의 패어성을 개선할 수 있고, D/A 변환 회로의 출력 전류의 정밀도를 개선할 수 있다.

따라서, 본 발명에 따르면, 각각이 커런트 미러 회로를 이용하는 다수의 D/A 변환 회로를 포함하는 유기 EL 구동 회로는 D/A 변환 특성의 편차로 인한 D/A 변환 회로의 출력 전류 편차를 줄일 수 있다. 또한, 유기 EL 디스플레이 패널의 각 단자 핀에 제공되는 D/A 변환 회로를 갖는 유기 EL 구동 회로 및 그 유기 EL 구동 회로를 이용하는 유기 EL 디스플레이 장치에 따르면, D/A 변환 회로의 변환 특성 편차로 인한 디스플레이 스크린의 휘도 불균일성과 편차를 억제하는 것이 가능하다.

도 1 에서, 커런트 미러 회로를 구성하는 트랜지스터 셀(단위 트랜지스터 회로: 1)의 레이아웃(10)은 컬럼핀에 대응하여 설치된 D/A 변환 회로와 출력단 전류원이 형성되어 있는 유기 EL 구동 회로의 컬럼 구동 IC 의 영역에 대응한다.

도 1 에 나타난 트랜지스터 셀(1)의 레이아웃(10)을 이용함으로써 도 6 에 나타난 D/A 변환 회로(11)와 출력단 전류원(13)을 포함하는 커런트 미러 회로를 구성하기 위해, 도 6 에 나타난 D/A 변환 회로(11)는 도 5a 에서와 같이 저항 R_a 내지 R_{n-1} 을 제거함으로써 도 1 에 나타난 D/A 변환 회로(5)로 변경되어 있으며, 각 트랜지스터 셀(1)은, 도 5b 에 나타난 바와 같이, 전류를 출력하는 N채널 MOS 트랜지스터 TN 과 스위치 회로를 형성하는 N채널 MOS 트랜지스터 Tr 의 직렬 회로로 구성된다. 또한, 트랜지스터 셀(1)의 트랜지스터 TN 으로서, 도 2a 및 도 2b 에 나타난 바와 같이 평면상으로 볼 때 구부러진 스트라이프 모양의 채널을 갖는 사형(Serpentine) 타입 트랜지스터(21)가 사용된다.

도 5a 에 나타난 D/A 변환 회로에서, 트랜지스터 셀(1)은 커런트 미러 회로의 각각의 2 개의 입력측 트랜지스터 및 다수의 출력측 트랜지스터로서 사용된다. 디스플레이 데이터 비트 중 하나는 출력측 트랜지스터 셀(1)의 트랜지스터 Tr 의 게이트 G2 로 입력되고, 1 비트 데이터의 값에 따라 온/오프 제어된다. 2 개의 입력측 트랜지스터 셀(1)의 드레인은 D/A 변환 회로(5)의 입력 단자(5a)에 접속되고, 출력측 트랜지스터 셀(1)의 드레인은 D/A 변환 회로(5)의 출력 단자(5b)에 접속된다. 디스플레이 데이터에 대응하고 D/A 변환 회로(5)에 의해 변환된 아날로그 전류는 출력 단자(5b)에서 생성된다. 트랜지스터 TN 의 게이트 G1 는 입력 단자(5a)에 공통 접속된다. 각 트랜지스터 셀(1)의 소스 S(트랜지스터 Tr 의 소스 S)는 접지되어 있다.

도 1 의 레이아웃(10)에 나타난 바와 같이, 복수의 트랜지스터 셀(1)은, 패드 배열 방향(로우 방향)에 수직인 길이 방향(컬럼 방향)을 가지는 각각의 사각형 트랜지스터 배열 블록(3a)에 배치되어 있으며, 유기 EL 구동 회로의 각 컬럼핀에 접속되어 있다.

각 트랜지스터 배열 블록(3a) 내의 트랜지스터 셀의 총 수는 $252(42 \times 6)$ 이다. 트랜지스터 배열 블록(3a)은 3 개의 패드에 대응하는 피치로 패드 배열 방향(로우 방향)으로 반복적으로 형성된다. 각 트랜지스터 형성 블록(3a)에서, 트랜지스터 셀(1)의 2 개의 로우는 각 패드에 대응한다. B, R, G 에 대한 커런트 미러 회로는, 3 패드 피치로, 트랜지스터 배열 블록(3a)에서 선택된 트랜지스터 셀에 의해 일단위로 형성된다.

도 1 에 나타낸 레이아웃(10)에서, 커런트 미러 회로를 구성하는 D/A 변환 회로(5)는, 각각, R, G, B 에 대응하여 D/A 변환 회로 5Bi, 5Ri, 5Gi 의 영역의 트랜지스터 셀(1)로 형성된다. 트랜지스터 셀(1)로 형성된 각각의 D/A 변환 회로 5Bi, 5Ri, 5Gi 는, 도 6 의 저항 Ra 와 Rpa 및 저항 Rb 내지 Rn-1 이 제거되어 입력측 트랜지스터 TNa 와 TNp 가 스위치 회로 SWa 와 SWpa 에 각각 직접 접속되고 상류의 출력측 트랜지스터 TNb 내지 TNn-1 이 각각 트랜지스터 Tra 내지 Trn-1 에 직접 접속되는 도 6 의 D/A 변환 회로(11)에 대응한다.

결과적으로, 도 5b 에 나타낸 바와 같이, 커런트 미러 회로의 입력측 및 출력측 회로를, 단위 회로로서, 전류 출력용 N채널 MOS 트랜지스터 TN 과 트랜지스터 TN 의 드레인에 소스가 접속되어 있고 스위치 회로로 동작하는 N채널 MOS 트랜지스터 Tr 의 직렬 회로로 구성하는 것이 가능하다.

패드(2)측 트랜지스터 배열 블록(3a) 부분에서, 전류원 블록 4Bi, 4Ri, 4Gi 는 출력단 전류원(13)을 구성하는 커런트 미러 회로의 영역으로서 제공된다. B(파랑)에 대해 $12(2 \times 6)$ 개의 트랜지스터 셀을 포함하는 영역은 전류원 블록 4Bi 에 할당된다. 전류원 블록 4Bi 에서, 커런트 미러 회로는 위쪽 배선층의 트랜지스터 셀 12 개 중 10 개로 구성된다. 전류원 블록 4Bi 에 형성된 커런트 미러 회로의 출력은 상측 배선 라인(9b)을 통해 패드 2Bi 로 접속된다. 전류원 블록 4Bi 에서, 남은 2 개의 트랜지스터 셀은 여분의 트랜지스터 셀 또는 더미(Dummy) 트랜지스터 셀로 사용된다.

전류원 블록 4Bi 뒤에, R(빨강)에 대한 커런트 미러 회로가 형성되는 영역으로서 $12(2 \times 6)$ 개의 트랜지스터 셀을 포함하는 전류원 블록 4Ri 가 할당된다. 그 영역의 트랜지스터 셀 12 개 중 10 개는 위쪽 배선 라인(9r)을 통해 패드 2Ri 로 출력이 접속되는 커런트 미러 회로에 할당된다.

또한, 전류원 블록 4Ri 뒤에, G(초록)에 대한 커런트 미러 회로가 도시된 바와 같이 형성되어 있는 영역에는 $12(2 \times 6)$ 개의 트랜지스터 셀을 포함하는 전류원 블록 4Gi 가 할당된다. 그 영역의 트랜지스터 셀 12 개 중 10 개는 위쪽 배선 라인(9g)을 통해 패드 2Gi 로 출력이 접속되는 커런트 미러 회로에 할당된다.

전류원 블록 4Gi 뒤에, 커런트 미러형 D/A 변환 회로가 설치된, $72(12 \times 6)$ 개의 트랜지스터 셀을 각각 포함하는 3 개의 블록이 있다. 이들 블록은 B, R, G 에 각각 대응하며, 각각 D/A 변환 회로 블록 5Bi, 5Ri, 5Gi 로서 할당된다. D/A 변환 회로 각각은 70 개의 트랜지스터 셀을 포함하며, 남은 2 개의 트랜지스터 셀은 여분의 트랜지스터 셀 또는 더미 트랜지스터 셀이다.

또한, 252 인 트랜지스터 셀(단위 트랜지스터)의 수는 단위 트랜지스터 영역의 실질적으로 2 배 또는 n 배인 영역을 가지고 트랜지스터 셀 영역에 부분적으로 형성된 트랜지스터나 트랜지스터 셀을 커런트 미러 회로가 설치된 2 개 또는 n 개의 트랜지스터나 트랜지스터 셀로 환산함으로써 얻어진다. 반대로, 그 영역이 단위 트랜지스터 영역의 $1/n$ (n 은 정수) 배인 2 개 또는 n 개의 트랜지스터나 트랜지스터 셀이 부분적으로 형성되는 경우, 252 라는 수는 모든 트랜지스터나 트랜지스터 셀을 커런트 미러 회로가 설치된 1 개로 환산함으로써 얻는다.

블록 5Bi 의 D/A 변환 회로의 출력 단자는 상측 배선 라인(8b)을 통해 블록 4Bi 의 전류원의 입력 단자에 접속된다. 마찬가지로, 블록 5Ri 및 5Gi 의 D/A 변환 회로의 출력 단자는 배선 라인(8r 및 8g)을 통해 블록 4Ri 및 4Gi 의 전류원의 입력 단자에 각각 접속된다.

이러한 트랜지스터 배열 블록(3a)은 B, R, G 에 대하여 3 개의 패드마다에 제공된다.

또한, 패드 2Bi, 2Ri, 2Gi 에 대응하여 옆으로(로우 방향으로) 블록 4Bi, 4Ri, 4Gi 의 전류원을 배열하는 것이 가능하며, 블록 5Bi, 5Ri, 5Gi 의 D/A 변환 회로를 수직으로(컬럼 방향으로) 순서대로 배열하는 것도 가능하다.

그런데, 도 6 에 나타낸 출력단 전류원(13)은 P채널 MOS 트랜지스터로 구성되어 있으며, D/A 변환 회로(11)는 N채널 MOS 트랜지스터로 구성되어 있다. 도 6 에 나타낸 배선 라인의 접속은, 블록 5Bi, 5Ri, 5Gi 의 D/A 변환 회로의 트랜지스터 셀(1)이 N채널 MOS 트랜지스터로 형성되고 블록 4Bi, 4Ri, 4Gi 의 전류원의 트랜지스터 셀(1)이 P채널 MOS 트랜지스터로 형성된 경우에 사용된다. 따라서, 그 등가 회로는 N채널 트랜지스터가 P채널 트랜지스터로 교체된 도 5b 의 회로이다.

본 설명에서는, 각 전류원 블록의 트랜지스터 셀의 수가 D/A 변환 회로 블록의 그것보다 실질적으로 작기 때문에, 트랜지스터 셀의 채널 타입은 구체적으로 언급하지 않는다. 그러나, 블록 4Bi, 4Ri, 4Gi 의 전류원과 블록 5Bi, 5Ri, 5Gi 의 D/A 변환 회로를 구성하는 트랜지스터 셀(1)이, 예를 들면, N채널 MOS 트랜지스터인 경우, 블록 5Bi, 5Ri, 5Gi 의 D/A 변환 회로의 출력 단자 각각은, 블록 5Bi, 5Ri, 5Gi 의 D/A 변환 회로가 형성되어 있는 영역에서 분리된 영역에 형성된 P채널 MOS 트랜지스터로 구성되어 있는 커런트 미러 회로를 통해 블록 4Bi, 4Ri, 4Gi 각각의 전류원의 입력 단자에 접속된다. 이 경우, N채널 MOS 트랜지스터로 구성된 블록 4Bi, 4Ri, 4Gi 의 전류원은 도 6 에 나타낸 출력 전류원의 경우와는 달리 커런트 싱크 타입(Current Sink Type)으로 된다.

또한, 블록 4Bi, 4Ri, 4Gi 의 전류원을 구성하는 트랜지스터는 스위칭 동작을 수행하는 것들을 포함하지 않는다. 도 5b 의 등가 회로를 갖는 트랜지스터 셀(1)의 경우, 직렬 회로(20)의 MOS 트랜지스터 TN 이 사용된다. 즉, 스위칭 회로로 되는 N채널 MOS 트랜지스터 Tr 은 트랜지스터 셀(1)이 전류를 출력하기 위한 트랜지스터를 실질적으로 포함하도록 온 상태로 설정된다.

도 2 및 도 3 은 블록 5Bi, 5Ri, 5Gi 의 D/A 변환 회로 각각에 형성된 트랜지스터 셀(1)의 구조를 나타내며, 이는 도 5a 에 나타낸 D/A 변환 회로를 구성한다.

도 5b 에 나타낸 바와 같이, 블록 5Bi, 5Ri, 5Gi 의 각 D/A 변환 회로의 트랜지스터 셀(1)은 전류를 출력하는 트랜지스터 TN 과 스위치 회로로 동작하는 트랜지스터 Tr 의 직렬 회로(20)에 의해 형성된다. 따라서, 커런트 미러 회로의 출력측은 물론 입력측의 직렬 회로(20)도 단위 회로로 된다.

또한, 커런트 미러 회로의 입력측에서, 직렬 회로(20)의 트랜지스터 TN 의 드레인 D 는 기준 전류가 공급되는 입력 단자 (11a)에 접속되어 있고, 직렬 회로(20)의 트랜지스터 Tr 의 소스 S 는 접지되어 있다. 트랜지스터 Tr 의 게이트가 소정 바이어스 전압 Vb 에 바이어스되어 있는 경우, 트랜지스터 Tr 은 스위치 회로가 아니라 도 5a 에 나타낸 가장 왼쪽의 트랜지스터 셀(1)에 의해 도시된 바와 같은 저항 회로로 된다. 실제 회로에서, 도 5a 의 가장 왼쪽의 트랜지스터 셀(1)의 트랜지스터 Tr 또는 도 6 의 스위치 회로 SWa 는 저항으로 대체된다.

상술한 바와 같이, 커런트 미러 회로의 출력 트랜지스터 TN 의 드레인은 출력 단자(5b)에 접속되어 있고, 트랜지스터 Tr 의 소스 S 는 접지되어 있다. 직렬 회로(20)로서 복수의 트랜지스터 셀이 출력 트랜지스터의 각 컬럼의 웨이트에 대응하여 병렬 접속된다.

도 2a 는 블록 5Bi, 5Ri, 5Gi 의 각 D/A 변환 회로에 대한 트랜지스터 셀(1)의 트랜지스터 TN 이 사형 타입 트랜지스터로서 제공되는 경우의 트랜지스터 셀(1)의 평면도이다. 그러나, 블록 4Bi, 4Ri, 4Gi 의 전류원을 구성하는 트랜지스터 셀(1)의 트랜지스터에 대해 사형 타입 트랜지스터를 항상 사용해야 하는 것은 아니다.

트랜지스터 TN 은 영역(21)에 형성되고, 트랜지스터 Tr 은 영역(22)에 형성된다. 참조번호 22s 는 트랜지스터 Tr 의 소스 영역을 나타내며, 참조번호 23, 22g 및 24 는 소스 접촉 영역, 트랜지스터 Tr 의 게이트 영역 및 그 게이트 접촉 영역을 각각 나타낸다. 참조번호 22d 는 트랜지스터 TN 의 소스 영역임과 동시에 트랜지스터 Tr 의 드레인 영역인 영역을 나타낸다.

참조번호 21g 및 25 는 트랜지스터 TN 의 게이트 영역과 그 게이트 접촉 영역을 각각 나타낸다. 평면상으로 볼 때 구부러진 스트라이프 구성을 갖는 채널 형성 영역(26)에서, 게이트 영역(21g)의 게이트 전극 아래에 채널이 형성되므로, 소정 전압이 게이트에 인가되는 경우에 평면상으로 볼 때 사형인 채널(반전층)이 채널 형성 영역(26) 바로 아래의 게이트 영역에 형성된다. 영역(26)을 둘러싸는 LOCOS(SiO₂) 영역(26L)이 채널 분리를 위해 제공된다. 참조번호 21d 및 27 은 트랜지스터 TN 의 드레인 영역과 그 드레인 접촉 영역을 각각 나타낸다.

도 2b 의 라인 A-A 을 따라 취한 단면으로 나타낸 바와 같이, 채널 형성 영역(26) 및 LOCOS 영역(26L)이 교대로 배열되어 있어서, 게이트 영역에 형성된 채널이 채널 형성 영역(26) 내로 제한된다. 결과적으로, 구부러진 또는 사형 채널이 게이트 영역에 형성될 수 있다. 따라서, 게이트 영역의 채널에서의 전류 흐름 방향은 트랜지스터 TN 의 W/L 을 줄일 수 있는 사형으로 된다.

도 3a 는 복수의 병렬로 배치된 U자형 사형 채널 형성 영역(261)과 U자형 사형 채널 형성 영역(261)의 양측에 설치된 직선 스트라이프(262)를 포함하는 다른 채널 형성 영역(26)을 나타낸다. 즉, 채널 형성 영역(261)은 복수의 영역으로 분할되는 도 2a 의 채널 형성 영역(26)에 대응한다.

게이트 영역(21g)의 외측에, 채널 전류를 끌어내기 위한 채널 접촉 영역(263)이 스트라이프(262)와 사형 채널 형성 영역(261)의 말단 단자에 각각 제공된다. 채널 형성 영역(261 및 262)은 단일 사형 채널을 형성하기 위해 상측 접촉 영역 배선층의 접촉 영역(264)을 통해 배선 라인(265)에 의하여 그 말단 단자를 접속함으로써 직렬 접속된다.

도 3b 는 도 3a 의 라인 B-B 를 따라 취한 단면이다. 채널 접촉 영역(263)이, N⁺ 랜드 영역(Land Region)으로서, 스트라이프(262)와 사형 채널 형성 영역(261)의 말단 단자 바로 아래에 각각 형성된다.

도 4 는 복수의 스트라이프 채널 형성 영역(266)이 병렬로 설치된 또 다른 채널 형성 영역을 나타낸다. 채널 접촉 영역(267 및 268)은 채널 형성 영역(266)의 반대 말단에 설치되어 배선 라인(269)을 통해 영역(266)을 직렬 접속시킨다. 따라서, 게이트 영역에 형성된 채널에서의 전류 흐름은 평면상으로 볼 때 사형으로 된다.

상술한 바와 같이, 도 5b 의 직렬 회로(20)는 하류에 트랜지스터 TN 을 포함하고 상류에 트랜지스터 Tr 을 포함하는 직렬 회로일 수 있다. 또한, 블록 5Bi, 5Ri, 5Gi 의 각 D/A 변환 회로의 영역에 커런트 미러 회로의 트랜지스터 TN 만을 트랜지스터 셀(1)로서 설치하고, 다른 영역에 커런트 미러 회로의 트랜지스터 Tr 을 설치하는 것이 가능하다. 따라서, 트랜지스터 셀(1)은 전류를 출력하는데 사용되는 사형 타입 MOS 트랜지스터 셀의 하나의 MOS 트랜지스터만 포함할 수 있다.

전류를 출력하는데 사용되는 트랜지스터 셀(1)의 MOS 트랜지스터 TN 은 실질적으로 사각형 게이트 영역을 가지며, 그 게이트 영역에 형성된 채널의 전류 흐름 방향은 구부러지거나 사형으로 된다. 그러나, MOS 트랜지스터 TN 의 게이트 영역을 평면상으로 볼 때 사형으로 형성함으로써 유사한 채널을 형성하는 것이 가능하다.

또한, 사형 타입 MOS 트랜지스터 셀이 D/A 변환 회로로서 커런트 미러 회로를 구성하는데 사용되었지만, 출력단 전류원의 커런트 미러 회로의 단위 트랜지스터를 사형 MOS 트랜지스터 셀로 형성하는 것도 당연히 가능하다.

또한, 도 1의 레이아웃(10)에서, D/A 변환 회로의 커런트 미러 회로를 구성하는 각 영역은 각각 2개의 트랜지스터를 포함하는 트랜지스터 셀로 구성된다. 그러나, 트랜지스터 셀(1)은 2개 이상의 트랜지스터에 의해 일단위로 구성될 수 있다. 출력단 전류원의 트랜지스터 셀의 수는 D/A 변환 회로에 비해 작으며, 출력단 전류원의 커런트 미러 회로의 단위 트랜지스터가 스위치 회로를 필요로 하지 않기 때문에, 단위 트랜지스터는 하나의 MOS 트랜지스터 TN 만 포함할 수 있다.

또한, 상술한 실시형태에 따르면, 트랜지스터 셀(1)이 N채널 MOS 트랜지스터로 구성되어 있지만, P채널 MOS 트랜지스터로 구성될 수 있다.

발명의 효과

본 발명에 따르면, 다수의 트랜지스터 셀로 구성된 커런트 미러 회로를 각각 포함하는 복수의 D/A 변환 회로가 제공되는 경우, D/A 변환 회로의 D/A 변환 특성의 편차에 따른 출력 전류의 편차를 줄일 수 있는 D/A 변환 회로를 제공하는 것 가능하다. 또한, 유기 EL 디스플레이 패널의 디스플레이 스크린상의 휘도 불균일성과 휘도 편차를 줄일 수 있는 유기 EL 구동 회로를 포함하는 유기 EL 디스플레이 장치를 구현할 수 있다.

(57) 청구의 범위

청구항 1.

복수의 트랜지스터 셀을 포함하는 커런트 미러 회로를 구비하며,

상기 각각의 트랜지스터 셀은, 그 MOS 트랜지스터의 게이트 영역이 평면상으로 볼 때 구부러진 스트라이프 구성을 가지거나 그 채널에서의 전류 흐름 방향이 평면상으로 볼 때 구부러진 스트라이프인 MOS 트랜지스터를 포함하는 것을 특징으로 하는 D/A 변환 회로.

청구항 2.

제 1 항에 있어서,

상기 트랜지스터 셀은 상기 MOS 트랜지스터와 스위치 회로로 동작 가능한 트랜지스터의 직렬 회로를 구비하는 것을 특징으로 하는 D/A 변환 회로.

청구항 3.

제 2 항에 있어서,

상기 MOS 트랜지스터는 사형(Serpentine) MOS 트랜지스터이고, 상기 스위치 회로로 동작 가능한 트랜지스터는 MOS 트랜지스터이며, 상기 사형 MOS 트랜지스터와 상기 MOS 트랜지스터는 평면상으로 볼 때 사각형 영역 내에 형성되어 있는 것을 특징으로 하는 D/A 변환 회로.

청구항 4.

제 3 항에 있어서,

상기 트랜지스터 셀은 상기 커런트 미러 회로의 입력측 트랜지스터 셀 및 상기 커런트 미러 회로의 복수의 출력측 트랜지스터 셀로서 할당되며,

상기 복수의 출력측 트랜지스터 셀의 스위치 회로로 동작 가능한 상기 트랜지스터는, 디스플레이 데이터의 D/A 변환에 의해 얻어진 아날로그 전류를 상기 출력측 트랜지스터의 총 출력으로서 생성하기 위해, 그 게이트에 공급된 상기 디스플레이 데이터의 1 비트에 응답하여 온/오프되는 것을 특징으로 하는 D/A 변환 회로.

청구항 5.

제 4 항에 있어서,

상기 아날로그 전류는 유기 EL 디스플레이 패널의 단자핀에 공급되는 출력 전류이거나 상기 출력 전류가 생성되는 기초 전류인 것을 특징으로 하는 D/A 변환 회로.

청구항 6.

제 5 항에 있어서,

상기 트랜지스터 셀은 사각형 트랜지스터 배열 블록의 매트릭스에 배치된 트랜지스터 셀로부터 선택되는 것을 특징으로 하는 D/A 변환 회로.

청구항 7.

복수의 트랜지스터 셀을 포함하는 커런트 미러 회로를 포함하는 D/A 변환 회로를 구비하며,

상기 각각의 트랜지스터 셀은, 그 MOS 트랜지스터의 게이트 영역이 평면상으로 볼 때 구부러진 스트라이프 구성을 가지거나 그 채널에서의 전류 흐름 방향이 평면상으로 볼 때 구부러진 스트라이프인 MOS 트랜지스터를 포함하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 8.

제 7 항에 있어서,

상기 트랜지스터 셀은 상기 MOS 트랜지스터와 스위치 회로로 동작 가능한 트랜지스터의 직렬 회로를 구비하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 9.

제 8 항에 있어서,

상기 MOS 트랜지스터는 사형 MOS 트랜지스터이고, 상기 스위치 회로로 동작 가능한 트랜지스터는 MOS 트랜지스터이며, 상기 사형 MOS 트랜지스터와 상기 MOS 트랜지스터는 평면상으로 볼 때 사각형 영역 내에 형성되어 있는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 10.

제 9 항에 있어서,

상기 트랜지스터 셀은 상기 커런트 미러 회로의 입력측 트랜지스터 셀 및 상기 커런트 미러 회로의 복수의 출력측 트랜지스터 셀로서 할당되며,

상기 복수의 출력측 트랜지스터 셀의 스위치 회로로 동작 가능한 상기 트랜지스터는, 디스플레이 데이터의 D/A 변환에 의해 얻어진 아날로그 전류를 상기 출력측 트랜지스터의 총 출력으로서 생성하기 위해, 그 게이트에 공급된 상기 디스플레이 데이터의 1 비트에 응답하여 온/오프되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 11.

제 10 항에 있어서,

상기 아날로그 전류는 유기 EL 디스플레이 패널의 단자핀에 공급되는 출력 전류이거나 상기 출력 전류가 생성되는 기초 전류인 것을 특징으로 하는 유기 EL 구동 회로.

청구항 12.

제 11 항에 있어서,

상기 트랜지스터 셀은 사각형 트랜지스터 배열 블록의 매트릭스에 배치된 트랜지스터 셀로부터 선택되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 13.

제 12 항에 있어서,

상기 사각형 트랜지스터 배열 블록은 패드 배열 방향의 패드 피치의 $3n$ (n 은 양의 정수)배에 실질적으로 대응하는 패드 배열 방향의 폭을 가지고,

4 개 이상의 상기 트랜지스터 셀이 상기 폭에 대해 배치되어 있고,

다수의 상기 트랜지스터 셀이 상기 패드 배열 방향에 수직인 방향으로 배치되며,

상기 트랜지스터 셀은, 상기 트랜지스터 배열 블록의 R, G, B 에 대한 상기 D/A 변환 회로가 상기 패드 배열 방향에 수직인 방향으로 IC 로서 연속적으로 형성되도록 선택되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 14.

커런트 미러 회로를 포함하는 D/A 변환 회로 및 상기 D/A 변환 회로에 의해 변환된 아날로그 전류 또는 상기 아날로그 전류에 기초하여 생성된 구동 전류가 공급되는 단자핀을 갖는 유기 EL 디스플레이 패널을 구비하고,

상기 커런트 미러 회로는 복수의 트랜지스터 셀을 포함하며,

상기 각각의 트랜지스터 셀은, 그 MOS 트랜지스터의 게이트 영역이 평면상으로 볼 때 구부러진 스트라이프 구성을 가지거나 그 채널에서의 전류 흐름 방향이 평면상으로 볼 때 구부러진 스트라이프인 MOS 트랜지스터를 포함하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 15.

제 14 항에 있어서,

상기 트랜지스터 셀은 상기 MOS 트랜지스터와 스위치 회로로 동작 가능한 트랜지스터의 직렬 회로를 구비하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 16.

제 15 항에 있어서,

상기 MOS 트랜지스터는 사형 MOS 트랜지스터이고, 상기 스위치 회로로 동작 가능한 트랜지스터는 MOS 트랜지스터이며, 상기 사형 MOS 트랜지스터와 상기 MOS 트랜지스터는 평면상으로 볼 때 사각형 영역 내에 형성되어 있는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 17.

제 16 항에 있어서,

상기 트랜지스터 셀은 상기 커런트 미러 회로의 입력측 트랜지스터 셀 및 상기 커런트 미러 회로의 복수의 출력측 트랜지스터 셀로서 할당되며,

상기 복수의 출력측 트랜지스터 셀의 스위치 회로로 동작 가능한 상기 트랜지스터는, 디스플레이 데이터의 D/A 변환에 의해 얻어진 아날로그 전류를 상기 출력측 트랜지스터의 총 출력으로서 생성하기 위해, 그 게이트에 공급된 상기 디스플레이 데이터의 1 비트에 응답하여 온/오프되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 18.

제 17 항에 있어서,

상기 트랜지스터 셀은 사각형 트랜지스터 배열 블록의 매트릭스에 배치된 트랜지스터 셀로부터 선택되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 19.

제 18 항에 있어서,

상기 사각형 트랜지스터 배열 블록은 패드 배열 방향의 패드 피치의 $3n$ (n 은 양의 정수) 배에 실질적으로 대응하는 패드 배열 방향의 폭을 가지고,

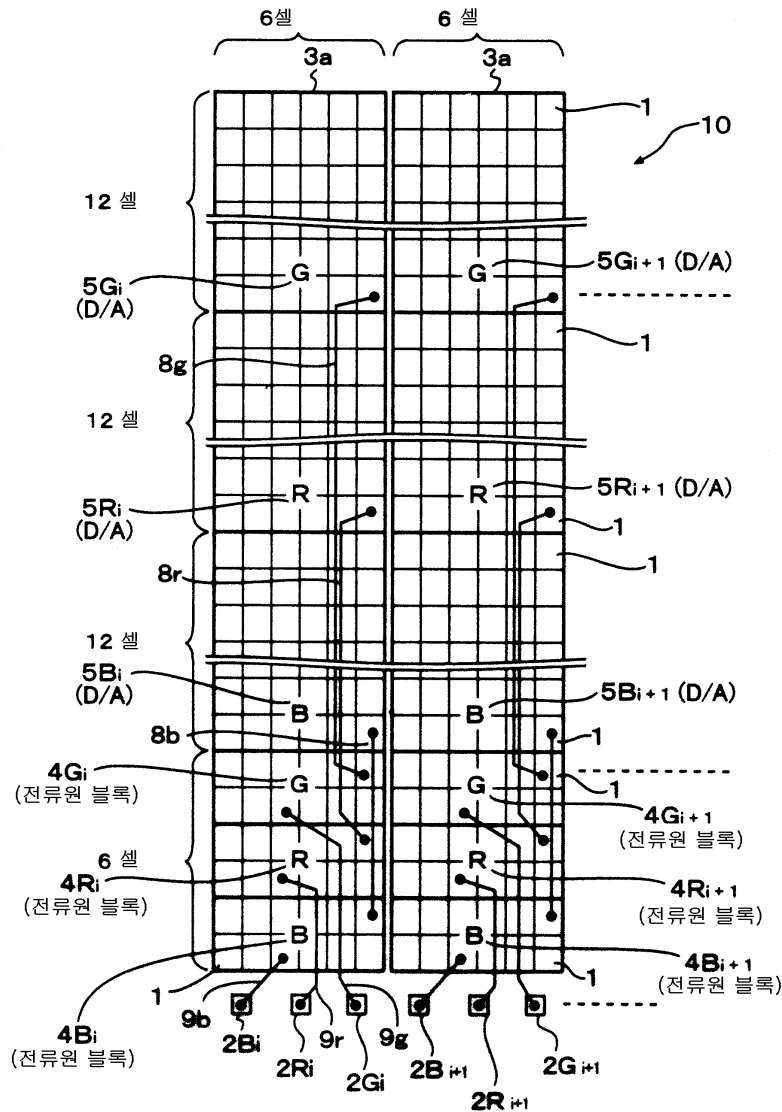
4 개 이상의 상기 트랜지스터 셀이 상기 폭에 대해 배치되어 있고,

다수의 상기 트랜지스터 셀이 상기 패드 배열 방향에 수직인 방향으로 배치되며,

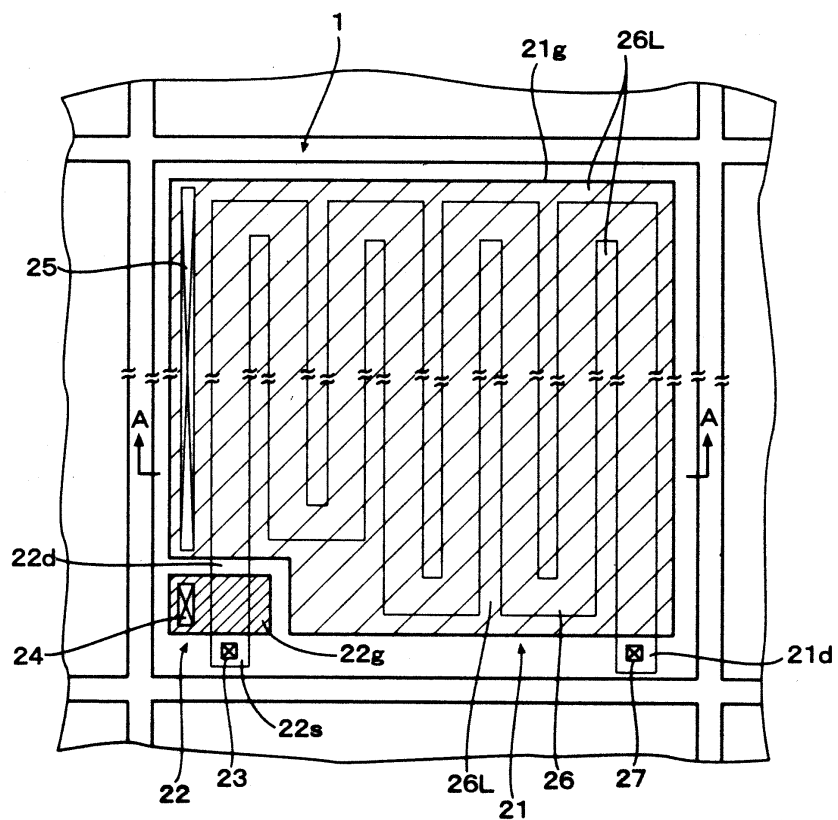
상기 트랜지스터 셀은, 상기 트랜지스터 배열 블록의 R, G, B 에 대한 상기 D/A 변환 회로가 상기 패드 배열 방향에 수직인 방향으로 IC 로서 연속적으로 형성되도록 선택되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

도면

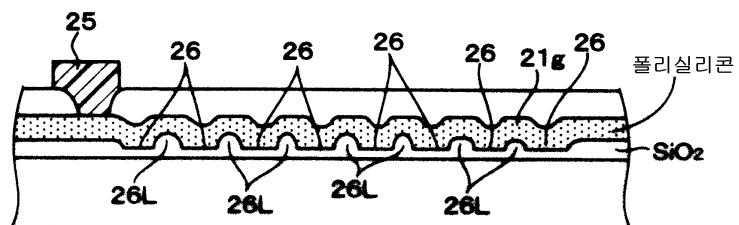
도면1



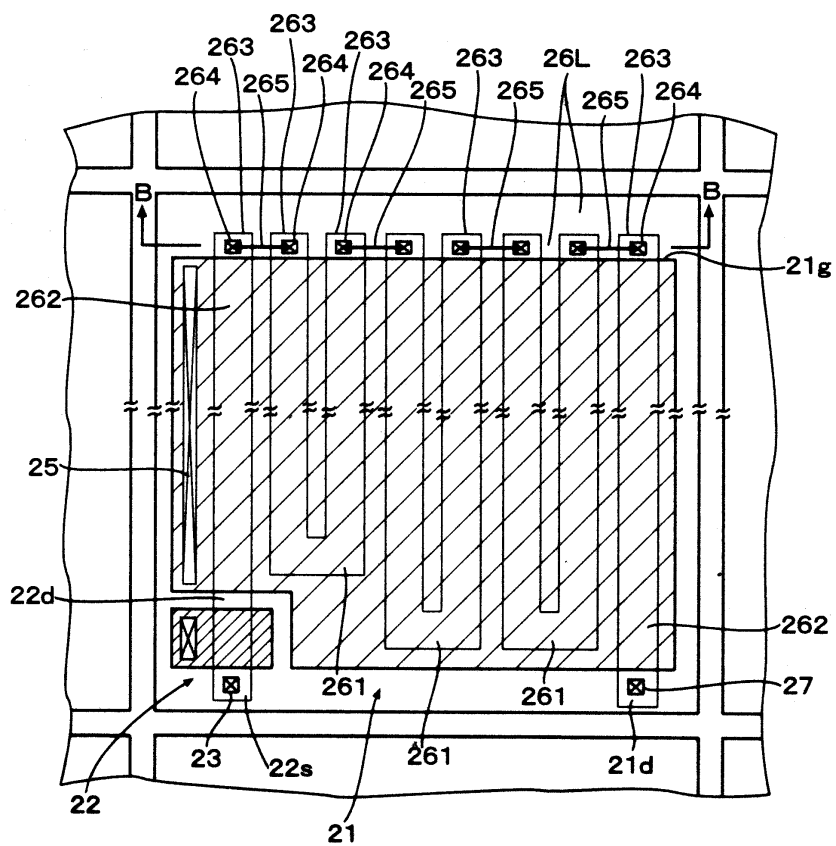
도면2a



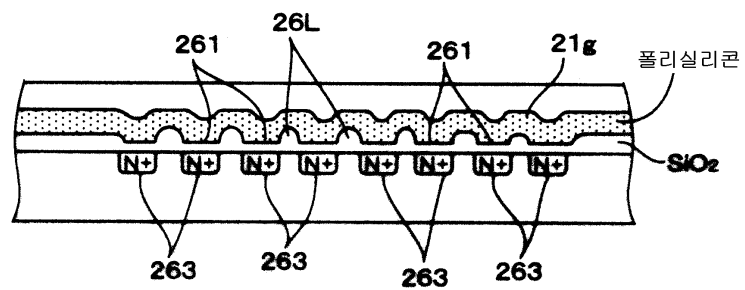
도면2b



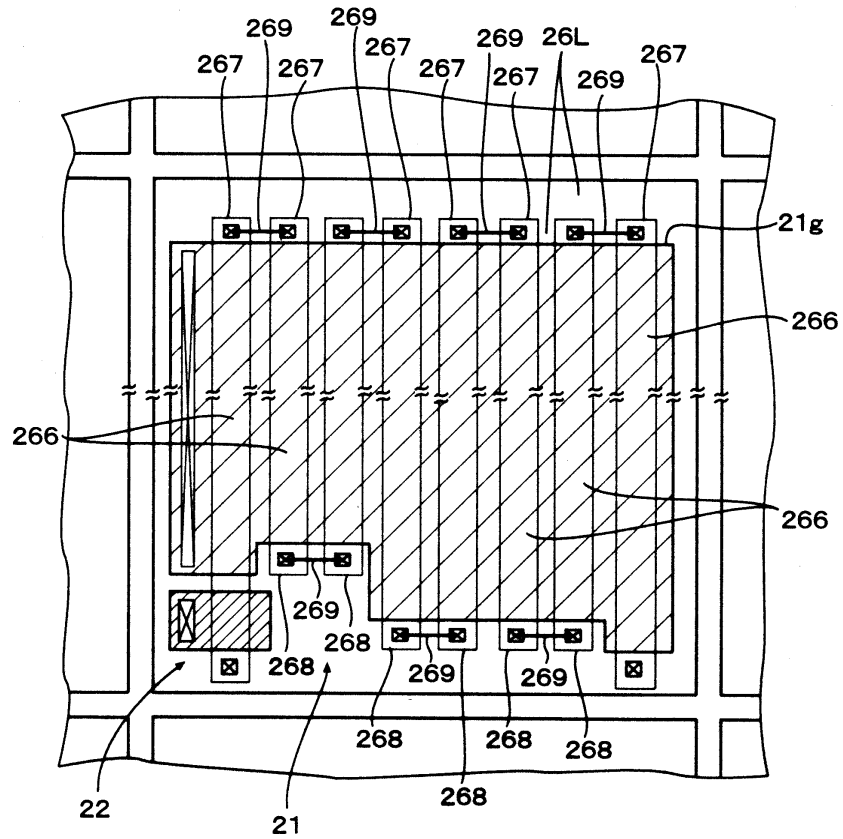
도면3a



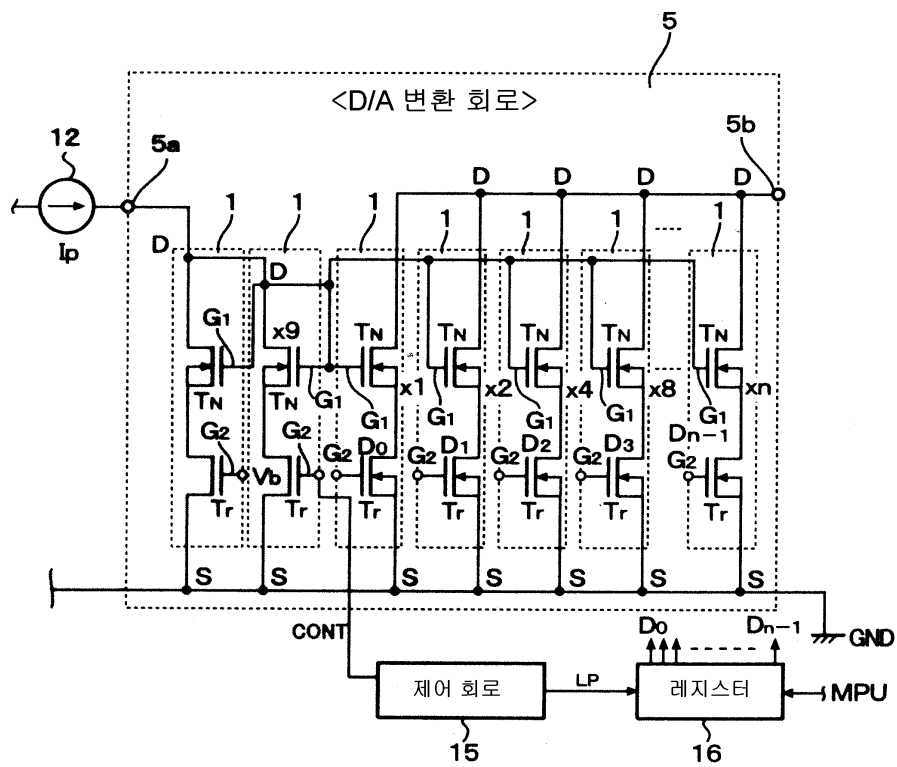
도면3b



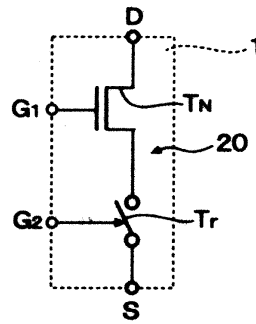
도면4



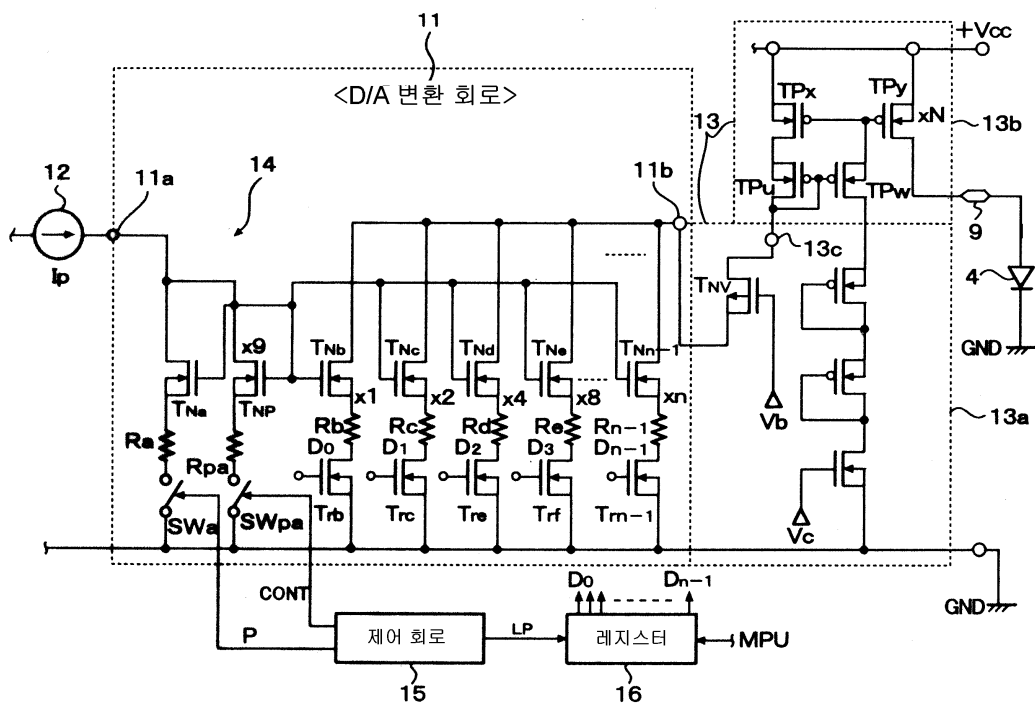
도면5a



도면5b



도면6



专利名称(译)	D / A转换电路，有机EL驱动电路和有机EL显示装置		
公开(公告)号	KR1020050031902A	公开(公告)日	2005-04-06
申请号	KR1020040076040	申请日	2004-09-22
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	MAEDE JUN 마에데준 ABE SHINICHI 아베신이치 FUJIKAWA AKIO 후지카와아키오		
发明人	마에데준 아베신이치 후지카와아키오		
IPC分类号	G09G3/30 H03M1/74 H01L27/04 G09G3/32 H05B33/00		
CPC分类号	G09G2310/027 G09G2320/0233 G09G3/3216 H03M1/742 G09G3/3283		
优先权	2003339531 2003-09-30 JP		
其他公开文献	KR100694379B1		
外部链接	Espacenet		

摘要(译)

用途：提供AD / A转换器电路，有机EL驱动电路和有机EL显示器件，以减少每个D时D / A转换器电路的D / A转换特性偏差引起的输出电流偏差/ / A转换器包括由多个晶体管单元组成的电流镜电路。

