

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H05B 33/00
H05B 33/12

(11) 공개번호 10-2005-0031888
(43) 공개일자 2005년04월06일

(21) 출원번호 10-2004-0074137
(22) 출원일자 2004년09월16일

(30) 우선권주장 JP-P-2003-00342468 2003년09월30일 일본(JP)

(71) 출원인 산요덴키가부시킴이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고
(72) 발명자 마쯔모토쇼이찌로
일본 기후켄 오가끼시 미도리쵸 4-5 레일시티 507
마메노가즈노부
일본 교토후 기따꾸 가미가모 아사쓰유가하라쵸 15-2-105

(74) 대리인 장수길
이중희
구영창

심사청구 : 있음

(54) 일렉트로루미네센스 표시 디바이스

요약

유기 EL 디바이스의 레이아웃 설계를 용이하게 한다. EL 표시 디바이스는, RGBW의 4색의 서브 픽셀이 2행 2열에 배치되어 구성된 사각형의 1 화소(12)를 구비한다. 상기 서브 픽셀 중 적어도 하나는 해당 서브 픽셀의 면적이 상이하며, 동일행에 배치되고, 좌우 인접하는 색의 서브 픽셀의 높이 h는, 동일(예를 들면, $h_R=h_G$, $h_B=h_W$)하며, 동일열에 배치되고, 상하 인접하는 색의 서브 픽셀의 폭 w는, 동일(예를 들면, $w_R=w_B$, $w_G=w_W$)하다.

대표도

도 3

색인어

레이아웃 설계, EL 표시 디바이스, 서브 픽셀

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예에 따른 EL 표시 디바이스(10) 내의 화소(12)의 배치를 개념적으로 도시하는 도면.
- 도 2는 본 발명의 실시예에 따른 실시예의 표시 디바이스(10)의 하나의 서브 픽셀의 회로 구성을 도시하는 도면.
- 도 3은 1 화소를 구성하는 R, G, B, W의 4개의 서브 픽셀의 레이아웃예를 모식적으로 도시하는 도면.
- 도 4는 실시예에 따른 EL 표시 디바이스(10)의 화소(12) 내의 보다 구체적인 레이아웃을 도시하는 도면.
- 도 5는 백색광을 얻는 유기 EL 소자에서의 발광 파장에 대한 발광 강도의 분포의 일례를 도시하는 도면.
- 도 6은 도 4에서의, X-X선을 따라 자른 단면을 모식적으로 도시하는 도면.

<도면의 주요 부분에 대한 부호의 설명>

- 10 : 표시 디바이스
- 12 : 화소
- 14, 16, 18, 20 : 서브 픽셀
- 28 : EL 소자
- 30 : 발광 영역
- 32, 36 : TFT
- 34 : 유지 용량
- 50 : 유리 기판
- 52 : 버퍼층
- 54 : 게이트 절연막
- 56 : 층간 절연막
- 58 : 소스 전극
- 60 : 드레인 전극
- 62 : 컬러 필터
- 64 : 평탄화막
- 66 : 투명 전극
- 68 : 홀 수송층
- 70 : 유기 발광층
- 72 : 전자 수송층
- 74 : 발광 소자층
- 76 : 금속 전극
- 78 : 평탄화막
- 80 : 서브 픽셀의 교점

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 일렉트로루미네센스 표시 디바이스에 관한 것으로, 특히 1 화소가 4개의 서브 픽셀로 구성되는 일렉트로루미네센스 표시 디바이스에 관한 것이다.

종래부터, 액정 디스플레이를 대신하는 차세대 디스플레이 중 하나로서 유기 일렉트로루미네센스(이하 EL) 표시 디바이스가 주목받고 있다. 이 표시 디바이스(이하 EL 표시 디바이스)는, 다수의 화소의 배열로 구성되어 있다. 그 1 화소 단위로 컬러 발색을 행하기 위한 방법 중 하나로서, 1 화소를 복수의 상이한 색의 발광을 하는 서브 픽셀로 구성하는 방법이 있다. 서브 픽셀마다 상이한 색의 발광을 시키기 위해서는, 각 서브 픽셀에 각각 상이한 발광 재료를 발광층에 이용하는 방법이나, 발광층을 공통으로 하고 각 서브 픽셀에 각각 상이한 컬러 필터를 이용하는 방법 등이 있다.

서브 픽셀을 조합하여 컬러 표현을 행하는 방법으로는, 적(R), 녹(G), 청(B)의 3색의 서브 픽셀의 각 색의 휘도를 제어하여 컬러 표시하는 방법이 있었다(예를 들면, 특허 문헌1 참조).

<특허 문헌1>

일본 특개2001-290441호 공보

발명이 이루고자 하는 기술적 과제

이러한 EL 표시 디바이스에 있어서, 예를 들면, 자연 화상 등의 특히 백 성분이 많은 화상을 표시하기 위해, 보다 높은 휘도로 발광하는 것이 요구되고 있다. EL 표시 디바이스의 발광 강도는, 각 EL 소자의 발광층으로 공급하는 전류량에 의존하기 때문에, 그 전류량을 증가시키면, 밝은 표시를 행할 수 있다. 그러나, 전류량을 많게 하면, EL 소자의 소비 전력이 증대하고, 또한 현재 개발되고 있는 유기 발광 재료의 대부분은 전류량이 많을수록, 그 만큼 EL 소자의 휘도 반감 수명이 짧아지는 경향이 있다.

따라서, R, G, B의 3색과는 독립하여 백색(W)의 서브 픽셀을 추가한 4색 구성의 화소에 의해, 화소당 전류량을 억제하면서, 고휘도의 발광을 실현하는 구성이 검토되고 있다.

화소를 R, G, B, W의 4서브 픽셀 구성으로 하면, 원리적으로 백 표시를 W의 서브 픽셀이 담당할 수 있기 때문에, 백 표시를 행하기 위해 전체 서브 픽셀을 고휘도 발광시키지 않아도 되며, 결과적으로 1 화소당 총 전류량을 적게 할 수 있다.

그러나, W를 추가한 4색의 서브 픽셀 구성에 대해서는, 현재 유기 EL 표시 디바이스에서 시도되고 있는 개구율의 향상, 발광 휘도의 향상, 및 장기 수명화 등의 일반적인 과제 외에, 각 서브 픽셀의 색의 배열, 면적 배분 등에 대하여, 발광층의 발광 특성 등을 고려하여 결정해야하므로, 설계가 곤란하였다.

여기서, 액티브 타입의 EL 표시 디바이스에서는, 각 서브 픽셀마다 유기 EL 소자를 구동하기 위한 박막 트랜지스터(TFT)가 설치되어 있다. 또한, 열 방향으로 각 서브 픽셀에 휘도 데이터를 공급하는 데이터 라인 및 각 서브 픽셀의 EL 소자의 구동 전류를 공급하는 전원 라인의 2개가 배치되고, 행 방향으로 화소를 선택하기 위한 선택 라인(게이트 라인)이 배치된다. TFT의 상부에 EL 소자를 형성하고, 광을 TFT의 기관축으로부터 방출하는 보텀 에미션 타입의 EL 표시 디바이스에서는, TFT를 배치한 부분은 EL 소자로부터의 발광이 외부로 방사할 때의 장벽으로 되어, 발광 영역으로서 기여할 수 없다. 이와 같이, 서브 픽셀 영역 중, EL 소자의 발광 영역의 면적이 차지하는 비율을 개구율이라고 한다.

개구율이 낮은 경우, 밝은 화상 표시를 하기 위해서는, EL 소자의 발광 강도를 높일 필요가 있다. 이 때문에, EL 소자에 전류를 많이 흘려야하므로, 유기 EL 표시 디바이스의 장기 수명화의 장애로 된다.

따라서, 본 발명은, 대략 사각형의 화소를 복수 갖는 EL 표시 디바이스에 있어서, 설계가 용이한, 4개의 서브 픽셀의 레이아웃을 제공한다.

발명의 구성 및 작용

본 발명의 EL 표시 디바이스는, 대략 사각형의 화소를 복수 갖고, 상기 화소는 4개의 서브 픽셀로 구성되고, 좌우 인접하는 해당 서브 픽셀의 높이가 동일하며, 상기 서브 픽셀 중 적어도 하나는 해당 서브 픽셀의 면적이, 다른 서브 픽셀의 면적과 서로 다르다.

또한, 본 발명의 다른 양태에서는, 상하 인접하는 상기 서브 픽셀의 폭이 동일하다.

또한, 본 발명의 다른 양태에서는, 상기 4개의 서브 픽셀의 색은, 각각 적, 녹, 청, 백이다.

또한, 본 발명의 다른 양태에서는, 상기 화소는, 동일색의 서브 픽셀이 열 방향으로 배열되도록 매트릭스 형상으로 배열한 스트라이프형이다.

또한, 상기 4개의 서브 픽셀은, 동일한 구성의 발광층을 갖고, 적어도 하나 이상의 색의 서브 픽셀은, 컬러 필터를 구비한다.

또한, 본 발명의 다른 양태에서는, 상기 발광층으로부터의 발광 강도가 가장 강한 파장 영역의 색의 서브 픽셀의 면적이, 다른 색의 서브 픽셀 중 적어도 하나의 면적보다 작다.

<실시예>

이하, 본 발명을 실시하기 위한 최량의 형태(이하, 실시예)에 대해, 도면에 기초하여 설명한다.

도 1은 본 발명의 실시예에 따른 EL 표시 디바이스(10) 내의 화소(12)의 배치를 개념적으로 도시한 도면이다. EL 표시 디바이스(10)는, 도 1에 도시한 바와 같이 매트릭스 형상으로 배치된 복수의 대략 사각형(도 1에서, 굵은 파선으로 둘러싼 영역)의 화소(12)를 구비하고, 각 화소(12)는, 각각 발광색이 상이한 R, G, B, W의 4개의 서브 픽셀을 구비한다. 또, 도 1의 예에서는, 기관의 주변에 각 화소를 구동하기 위한 H 드라이버, V 드라이버가 내장되어 있다. 또한 본 실시예에서는, 각 화

소를 형성하는 4개의 서브 픽셀은, 2행 2열로 배열된 체커 보드 배열을 채용하고 있다. 도 1의 예에서는, 화소(12)는, 상행의 좌측으로 R의 발광을 하는 서브 픽셀, 상행의 우측으로 G의 발광을 하는 서브 픽셀, 하행의 좌측으로 B의 발광을 하는 서브 픽셀, 하행의 우측으로 W의 발광을 하는 서브 픽셀을 배치하고 있다.

여기서는, 동일행 방향으로 배열된 서브 픽셀에 대응하여 한개의 게이트 라인(GT)이 배치되고, 동일열 방향으로 배열된 서브 픽셀에 대응하여, 열 방향으로 데이터 라인(DL) 및 전원 라인(PL)이 각각 배치되어 있다.

여기서, RGBW의 각 서브 픽셀의 면적비는, 유기 EL의 발광 강도의 파장 의존성, 발광 효율, 표시 디바이스의 용도 등 다양한 요구에 따라 적절한 비로 설정할 필요가 있다. 본 실시예에서는, 후술한 바와 같이 이러한 화소의 구성에서, 각 화소(12)의 행 방향으로 좌우에 인접하는 서브 픽셀의 높이(행 피치)를 상호 동일하게 설정하고 있다. 또, 열 방향에서는, 상하에 인접하는 서브 픽셀의 폭(열 피치)을 상호 동일하게 설정하고 있다. 따라서, 2행 2열의 서브 픽셀의 교점(80)의 위치를 변경함으로써, 간단히 서브 픽셀의 각 면적비를 가변할 수 있으므로, 화소의 레이아웃 설계를 용이하게 행할 수 있다.

또한, DL 및 PL은 1 화소에서 상하 인접하는 2개의 서브 픽셀에서 공유하기 때문에, 상이한 색의 서브 픽셀마다 DL 및 PL을 배선하는 구성과 비교하여, 배선이 차지하는 면적을 삭감할 수 있으므로, 개구율을 높일 수 있다.

여기서, 서브 픽셀이란, 데이터 신호에 따라 강도 제어된 발광하는 최소의 단위를 의미하며, 본 실시예에서는, 1 화소가, R, G, B의 3원색 외에 W의 발광 서브 픽셀을 구비하기 때문에, 자연 화상 등의 높은 휘도의 화상을 적은 소비 전력으로 표시할 수 있다.

이어서, 도 2를 참조하여, 실시예의 표시 디바이스(10)의 하나의 서브 픽셀의 회로 구성과 그 동작을 설명한다. 서브 픽셀은, 전류에 의해 발광하는 EL 소자(28)와, 게이트 라인 GL에 의해 온 오프 제어되고, 데이터 라인 DL의 전압을 축적 용량에 공급하는 선택 TFT(32)와, 축적 용량(34)에 유지한 전압에 따른 구동 전류를 전원 라인 PL로부터 EL 소자(30)에 공급하는 구동 TFT(36)를 구비한다. 선택 TFT(32)는, 이 예에서는 p 채널 TFT이고, 소스는 데이터 라인 DL에 접속되고, 드레인은 구동 TFT(36)의 게이트에 접속되고, 게이트는 게이트 라인 GL에 접속되어 있다. 구동 TFT(36)는, 이 예에서는 p 채널 TFT이고, 소스가 전원 라인에 접속되고, 드레인이 EL 소자(28)의 애노드에 접속되어 있다. EL 소자(28)의 캐소드는 접지에 접속되어 있다. 또한, 구동 TFT(36)의 게이트에는, 축적 용량(34)의 일단이 접속되고, 축적 용량(34)의 타단은 축적 용량 라인 SCL에 접속되어 있다.

따라서, 게이트 라인 GL을 저레벨(L)로 하는 것에 의해, 그 행의 선택 TFT(32)가 온 상태로 된다. 이 상태에서, 각 열의 데이터 라인 DL에 순차적으로 해당 열의 서브 픽셀 데이터를 세트함으로써, 구동 TFT(36)의 게이트가 서브 픽셀 데이터의 전압으로 설정되어, 이 전압이 축적 용량(34)으로 유지된다. 따라서, 서브 픽셀 데이터에 따른 전류가 전원 라인 PL로부터 구동 TFT(36)를 통하여, EL 소자(28)에 공급되어, 서브 픽셀 데이터에 따른 발광이 행해진다.

이어서, 대략 사각형의 1 화소 내의 4개의 서브 픽셀의 레이아웃에 대하여 설명한다. 도 3은, 1 화소를 구성하는 R, G, B, W의 4개의 서브 픽셀의 레이아웃의 예를 모식적으로 도시한 도면이다. 교점(80)은, R, G, B, W의 4개의 서브 픽셀의 교점을 나타낸다. 여기서, 서브 픽셀의 높이 h를, 어느 행에서의 해당 서브 픽셀에의 선택 신호를 공급하는 게이트 라인 GL로부터, 다음 행의 서브 픽셀에의 선택 신호를 공급하는 게이트 라인 GL의 앞까지의 사이로 정의하고, 서브 픽셀의 폭 w를, 어느 한 열에서의 해당 서브 픽셀에의 구동 전류를 공급하는 전원 라인으로부터, 1 열 이웃한 서브 픽셀에의 구동 전류를 공급하는 전원 라인의 앞까지의 사이로 정의하여, 서브 픽셀 면적 S를, $S=h \times w$ 로 한다.

도 3에 도시한 바와 같이, 본 실시예에서는, 좌우 인접하는 서브 픽셀의 높이 h를 동일하게 하고, 상하 인접하는 서브 픽셀의 폭 w를 동일하게 하므로, 화소(12)의 영역 내에서 교점(80)을 지정하면, 4개의 서브 픽셀의 면적비는 하나로 정해진다. 따라서, 4개의 서브 픽셀의 면적비를 교점(80) 위치의 하나의 파라미터만으로 지정할 수 있다.

도 3의 (a)의 예에서는, 교점(80)의 위치를, 화소(12)의 중심으로 한 것으로, R, G, B, W의 4개의 서브 픽셀의 면적 S의 비가 1:1:1:1로 정해진다. 이 경우, 좌우 인접하는 R 및 G와, B 및 W의 서브 픽셀의 높이 H의 비는 1:1이고, 상하 인접하는 R 및 B와, G 및 W의 서브 픽셀의 폭 W의 비는 1:1이다.

도 3의 (b)의 예에서는, 교점(80)을, 좌우 인접하는 R 및 G와, B 및 W의 서브 픽셀의 높이 h의 비를 1:2로 하고, 상하 인접하는 R 및 B와, G 및 W의 서브 픽셀의 폭 w의 비를 1:2로 하는 위치로 한 것이다. 이 경우, R, G, B, W의 4개의 서브 픽셀의 면적 S의 비는 1:2:2:4로 된다.

도 3의 (c)의 예에서는, 교점(80)을, 좌우 인접하는 R 및 G와, B 및 W의 서브 픽셀의 높이 h의 비를 2:1로 하고, 상하 인접하는 R 및 B와, G 및 W의 서브 픽셀의 폭 w의 비를 1:2로 하는 위치로 한 것이다. 이 경우, R, G, B, W의 4개의 서브 픽셀의 면적 S의 비는 2:4:1:2로 된다.

도 3의 (d)의 예에서는, 교점(80)을, 좌우 인접하는 R 및 G와, B 및 W의 서브 픽셀의 높이 h의 비를 2:1로 하고, 상하 인접하는 R 및 B와, G 및 W의 서브 픽셀의 폭 w의 비를 1:1로 하는 위치로 한 것이다. 이 경우, R, G, B, W의 4개의 서브 픽셀의 면적 S의 비는 2:2:1:1로 된다.

도 3에 예로서 도시한 바와 같이, 본 발명에 따르면, 1 화소를 구성하는 4개의 서브 픽셀의 교점(80)의 위치를 정하면, 1 화소를 구성하는 R, G, B, W의 4개의 서브 픽셀의 면적비를 결정할 수 있다. 따라서, EL 소자의 발광 강도의 파장 의존성, 또한 후술한 바와 같이 각 서브 픽셀의 발광광을 백색으로 하고 컬러 필터를 이용하여 각 서브 픽셀로부터 사출시키는 광의 색을 결정하는 방식을 채용하는 경우에는, 백색광의 발광 강도의 분포와 컬러 필터의 투과 파장 의존성 등을 고려하여, 상이한 색의 서브 픽셀의 발광 영역 면적비를 최적으로 배치하고, 또한 개구율을 높일 수 있는 EL 표시 디바이스 배선, 회로 배치의 레이아웃 설계를 효율적으로 행할 수 있다.

도 3에 도시한 레이아웃 예에서는, 화소(12)는, 상행의 좌측으로 R의 발광을 하는 서브 픽셀, 상행의 우측으로 G의 발광을 하는 서브 픽셀, 하행의 좌측으로 B의 발광을 하는 서브 픽셀, 하행의 우측으로 W의 발광을 하는 서브 픽셀을 배치했지만, R, G, B, W의 서브 픽셀의 상대적인 위치 관계는, 이 예에 한하지 않고, 교체해도 된다.

이어서, 실시예에 따른 EL 표시 디바이스(10)의 화소(12) 내의 보다 구체적인 레이아웃에 대하여 설명한다. 도 4는, 화소(12) 내의 서브 픽셀의 개념적인 평면 구조를 도시하고 있다.

도 4에 도시하는 레이아웃은, 도 3의 (b)에서 설명한, 교점(80)을, 상행(좌우 인접하는 R 및 G)과, 하행(B 및 W)의 서브 픽셀의 높이 h의 비를 1:2로 하고, 좌측열(상하 인접하는 R 및 B)과, 우측열(G 및 W)의 서브 픽셀의 폭 w의 비를 1:2로 하는 위치로 한 것이다.

이 4개의 서브 픽셀의 면적 S의 비는, 각 서브 픽셀의 구동 회로나 배선 등을 동일한 구성과 동일한 특성으로 설계하고 있기 때문에, 각 서브 픽셀의 발광 영역(30)의 크기에 의해 결정된다.

여기서, 각 서브 픽셀의 면적 S의 비의 설계 방법에 대하여 설명한다. 실시예에 따른 EL 표시 디바이스(10)의 EL 소자로서, 유기층을 발광층으로 하는 유기 EL 소자를 이용한 경우를 예로 든다.

일반적으로 유기 EL 발광 소자의 발광광은, 발광 강도에 파장 의존성을 갖는다. 도 5는, 유기 EL 발광층의 전형예로서, 예를 들면, 오렌지색으로 발광하는 피크를 갖는 제1 발광층과 청색으로 발광하는 피크를 갖는 제2 발광층과의 적층 구조를 채용하여 백색광을 얻는 유기 EL 소자에서의 발광 파장에 대한 발광 강도의 분포의 일례를 도시한 것이다.

도 5에 도시한 바와 같은 발광 강도 분포를 갖는 유기 EL 발광층의 예의 경우, R, G, B의 삼원색 중, G의 파장 대역의 발광 강도가 가장 약하다. 따라서, 동일한 전류량을 흘렸을 때의 각 색의 휘도를 균일하게 하기 위해, G의 서브 픽셀의 면적 S_G 를 크게 한다. 또한, R의 파장 대역의 발광 강도와 B의 파장 대역의 발광 강도가 동일하면, R의 서브 픽셀의 면적 S_R 과 B의 서브 픽셀의 면적 S_B 는, S_G 보다 작으므로, 동일 면적으로 한다. 도 5에 도시한 바와 같은 발광 강도 분포를 갖는 유기 EL 발광층의 예의 경우에는, R의 파장 대역의 발광 강도보다 B의 파장 대역의 발광 강도가 약하기 때문에, $S_B > S_G$ 로 하고 있다.

또한, W의 서브 픽셀(20)의 면적 S_W 는, 화소 전체적으로 적은 전류량으로 백색의 높은 휘도를 얻는 구성으로 하기 위해 넓게 한다. 이상과 같이 4개의 서브 픽셀의 면적비가 결정된다.

도 4에 도시하는 예에서는, R, G, B, W의 4개의 서브 픽셀의 면적 S의 비를, 1:2:2:4로 했지만, R, G, B, W의 4개의 서브 픽셀의 면적 S의 비는 이 면적비에 한정되지 않고, EL 소자의 발광 파장 의존성, 컬러 필터의 투과 파장 의존성 등에 의해 변경된다.

이어서, 도 4에 도시하는 레이아웃의 상세 내용에 대하여 설명한다. 선택 TFT(32)는 반도체의 능동층과 게이트 전극(32g)을 구비하고, 능동층의 채널(32c) 상방에, 게이트 라인 GL의 일부가 돌출되어 게이트 전극(32g)이 배치되어 있다. 또한, 선택 TFT(32)의 소스(32s)는, 콘택트에 의해 상방의 데이터 라인 DL에 접속되어 있다.

축적 용량(34)은, 드레인 영역(32d)으로부터 연장된 반도체층의 용량 전극(34a)과, 게이트 절연막(54)을 개재하여 대향하여 형성된 축적 용량 라인 SCL로 구성되어 있다. 또한, 용량 전극(34a)에는, 콘택트를 통해, 구동 TFT(36)의 게이트 전극(36g)이 접속되어 있다. 이 게이트 전극(36g)은, 전원 라인 PL을 따라 배치되어 있다. 도 4에서, 게이트 전극(36g)은, 전원 라인 PL과 중첩되지 않는 배치로 했지만, 게이트 전극(36g)의 일부는, 전원 라인 PL의 하측에 배치해도 된다. 전원 라인 PL의 하측에 배치하는 것에 의해, 전원 라인 PL의 하측 공간을 이용하여 개구율을 상승시킬 수 있다.

또한, 구동 TFT(36)의 능동층을 구성하는 반도체층은, 전원 라인 PL로부터 발광 영역(30)의 내측으로 돌출한 부분에 설치된 콘택트로부터 전원 라인 PL을 따라 신장시킨 후, 직각으로 구부러진 L자형 또는 역 L자형으로 되어 있다. 그리고, 타단이 콘택트를 통하여, 상방에 위치하는 EL 소자(28)의 애노드에 접속되어 있다.

이 예에서는, 구동 TFT(36)는 p 채널이고, 전원 라인 PL에 접속하고 있는 영역이 소스, EL 소자(28)의 애노드에 접속하고 있는 영역이 드레인이다. 또한, 게이트 전극(36g)은, 반도체층의 소스, 드레인 사이의 불순물 도핑되어 있지 않은 채널 영역의 상방을 피복하여 형성되어 있다.

또한, 구동 TFT(36)와 EL 소자(28)와의 콘택트가 발광 영역(30)의 내측에 위치하고 있기 때문에, 게이트 전극(36g)이 직선형으로 되어, 콘택트 우회 때문에, 개구율이 감소하는 것을 방지할 수 있다.

이어서, 실시예의 EL 표시 디바이스(10)의 단면 구조에 대하여 설명한다. 도 6은, 도 4의 X-X 선을 따른 위치에서의 단면을 도시한다.

본 실시예에서는, 전체 서브 픽셀이 동일 구조의 백색 발광의 유기 EL 소자를 구비한다. 구체적으로 설명하면, 이 백색 발광은, 유기 발광층(70)을 상호 보색의 관계에 있는 복수의 파장의 발광이 가능한 구성으로 함으로써 얻고 있다. 예를 들면, 오렌지색으로 발광하는 피크를 갖는 제1 발광층과 청색으로 발광하는 피크를 갖는 제2 발광층과의 적층 구조로 이루어진다.

유리 기판(50) 상에는, SiN과 SiO₂의 적층으로 이루어지는 버퍼층(52)이 전면에 형성되고, 그 위의 소정의 에리어(TFT를 형성하는 에리어)에 폴리실리콘의 반도체층(능동층 : 36p)이 형성된다. 또, 도시하지 않은 선택 TFT(32)는, 해당 구동 TFT(36)와 마찬가지로의 단면 구조를 구비한다. 또한, 선택 TFT(32)의 능동층과, 축적 용량 전극(34a)은, 구동 TFT(36)의 상기 폴리실리콘 반도체층(36p)과 동시에 형성된 폴리실리콘 반도체층으로 구성되어 있다.

능동층(36p) 및 버퍼층(52)을 피복하여 전면에 게이트 절연막(54)이 형성된다. 이 게이트 절연막(54)은, 예를 들면 SiO₂ 및 SiN을 적층하여 형성된다. 이 게이트 절연막(54)의 상방으로서, 채널 영역(36c) 위에 예를 들면 Cr의 게이트 전극(36g)이 형성된다. 그리고, 게이트 전극(36g)을 마스크로 하여, 능동층(36p)에 불순물을 도핑함으로써, 이 능동층(36p)에는, 중앙 부분의 게이트 전극의 하방에 불순물이 도핑되어 있지 않은 채널 영역(36c), 그 양측에 불순물이 도핑된 소스 영역(36s) 및 드레인 영역(36d)이 형성된다.

그리고, 게이트 절연막(54) 및 게이트 전극(36g)을 피복하여 전면에 층간 절연막(56)이 형성되고, 이 층간 절연막(56)을 관통하여 소스 영역(36s), 드레인 영역(36d)의 상부에 콘택트 홀이 형성되고, 이 콘택트 홀을 통하여, 층간 절연막(56)의 상면에 배치되는 소스 전극(58), 및 드레인 전극(60)이 형성된다. 또, 소스 전극(58)에는, 전원 라인(도시 생략)이 접속된다. 여기서, 이와 같이 하여 형성된 구동 TFT(36)는, 이 예에서는 p 채널 TFT이지만, n 채널로 할 수도 있다.

층간 절연막(56)의 상면의 EL 발광 영역의 하방의 영역에는, R, G, B 서브 픽셀 각각의 과장의 광만을 투과시키는 컬러 필터(62)가 형성된다. W 서브 픽셀에는 컬러 필터(62)는 배치하지 않는다.

또한, 층간 절연막(56) 및 컬러 필터(62)를 피복하여, 전면에 평탄화막(64)이 형성되고, 이 평탄화막(64) 위에 EL 소자(28)의 양극으로서 기능하는 투명 전극(66)이 형성된다. 또한, 드레인 전극(60)의 상방의 평탄화막(64)에는, 이들을 관통하는 콘택트 홀이 형성되고, 이 콘택트 홀을 통하여 드레인 전극(60)과 투명 전극(66)이 접속된다.

또, 층간 절연막(56) 및 평탄화막(64)에는, 통상적으로 아크릴 수지 등의 유기막이 이용되지만, TEOS(테트라에톡시 실란) 등의 무기막을 이용하는 것도 가능하다. 또한, 소스 전극(58), 드레인 전극(60)은, Al 등의 금속이 이용되고, 투명 전극(66)에는 통상 ITO가 이용된다.

이 투명 전극(66)은, 도 5에 도시한 바와 같이 각 서브 픽셀에서 개별 패턴으로 구성되며, 한편 음극으로서 기능하는 Al 등으로 이루어지는 금속 전극(76)은, 전체 서브 픽셀에 대하여 공통 패턴으로, 상기 투명 전극(66)과의 층간에 적어도 발광 소자층(74)을 끼워 해당 투명 전극(66)과 대향하도록 형성되어 있다.

발광 소자층(74)은, 적어도 1층의 유기 발광층을 갖고, 도 5의 예에서는, 전면에 형성된 홀 수송층(68)과, 발광 영역보다 약간 크게 형성된 유기 발광층(70)과, 전면에 형성된 전자 수송층(72)을 구비한다.

투명 전극(66)의 주변 부분 위의 홀 수송층(68)의 하방에는, 평탄화막(78)이 형성된다. 이 평탄화막(78)에 의해, 각 화소의 발광 영역이 투명 전극(66) 상이고, 홀 수송층(68)이 투명 전극(66)이 직접 접하는 부분이 한정되며, 그 부분이 발광 영역(30)으로 된다. 또, 평탄화막(78)에도, 통상 아크릴 수지 등의 유기막이 이용되지만 TEOS 등의 무기막을 이용하는 것도 가능하다.

홀 수송층(68), 유기 발광층(70), 전자 수송층(72)에는, 유기 EL 소자에 통상적으로 이용되는 재료가 사용되고, 유기 발광층(70)의 재료에 의해 발광색이 결정된다.

이러한 구성에서, 게이트 전극(36g)의 설정 전압에 따라, 구동 TFT(36)가 온 상태로 되면, 전원 라인 PL로부터의 전류가, 투명 전극(66)으로부터 금속 전극(76)으로 흘러, 이 전류에 의해 유기 발광층(70)에서 발광이 발생하고, 이 광이 투명 전극(66), 평탄화막(64), 컬러 필터(62), 층간 절연막(56), 게이트 절연막(54), 및 유리 기판(50)을 통과하여, 도 6에서의 하방(관찰측)으로 사출된다.

발명의 효과

본 발명에 따르면, 좌우 인접하는 해당 서브 픽셀의 높이가 동일하므로, 각 서브 픽셀의 행 방향으로 배치되는 게이트 라인의 배선을, 우회하지 않고 직선적으로 배치할 수 있기 때문에, 용이하게 회로 설계를 행할 수 있다.

또한, 이하 인접하는 상기 서브 픽셀의 폭이 동일하므로, 비디오 신호 및 전원을 EL 표시 디바이스의 각 서브 픽셀에 공급하는 열 방향으로 배치되는 비디오 신호 라인 및 전원 라인을, 우회하지 않고 상기 게이트 라인과 직교하여 직선적으로 배치할 수 있기 때문에, 회로 설계가 용이하고, 높은 개구율을 얻을 수 있다.

또한, 4개의 서브 픽셀을 R, G, B의 3색과 독립하여 백색(W)의 서브 픽셀을 추가한 4색 구성으로 하는 경우, EL 소자의 발광 과장 의존성, 컬러 필터의 투과 과장 의존성 등을 고려하여, 화소당 전류량을 억제하면서, 고휘도의 발광을 실현하는 화소 레이아웃의 설계를 용이하게 할 수 있다.

(57) 청구의 범위

청구항 1.

일렉트로루미네센스 표시 디바이스에 있어서,

대략 사각형의 화소를 복수 갖고, 상기 화소는 4개의 서브 픽셀로 구성되고, 좌우 인접하는 상기 서브 픽셀의 높이가 동일하며, 상기 서브 픽셀 중 적어도 하나의 상기 서브 픽셀의 면적이 다른 서브 픽셀의 면적과 상이한 것을 특징으로 하는 일렉트로루미네센스 표시 디바이스.

청구항 2.

일렉트로루미네센스 표시 디바이스에 있어서,

대략 사각형의 화소를 복수 갖고, 상기 화소는 4개의 서브 픽셀로 구성되며, 상하 인접하는 상기 서브 픽셀의 폭이 동일하며, 상기 서브 픽셀 중 적어도 하나의 상기 서브 픽셀의 면적이 다른 서브 픽셀의 면적과 상이한 것을 특징으로 하는 일렉트로루미네센스 표시 디바이스.

청구항 3.

제1항 또는 제2항에 있어서,

상기 4개의 서브 픽셀의 색은, 각각 적, 녹, 청, 백인 것을 특징으로 하는 일렉트로루미네센스 표시 디바이스.

청구항 4.

제1항 또는 제2항에 있어서,

상기 화소는, 동일색의 서브 픽셀이 열 방향으로 배열되도록 매트릭스 형상으로 배열한 스트라이프형인 것을 특징으로 하는 일렉트로루미네센스 표시 디바이스.

청구항 5.

제1항 또는 제2항에 있어서,

상기 4개의 서브 픽셀은, 동일한 구성의 발광층을 갖고 있으며, 적어도 하나 이상의 색의 서브 픽셀은 컬러 필터를 구비하는 것을 특징으로 하는 일렉트로루미네센스 표시 디바이스.

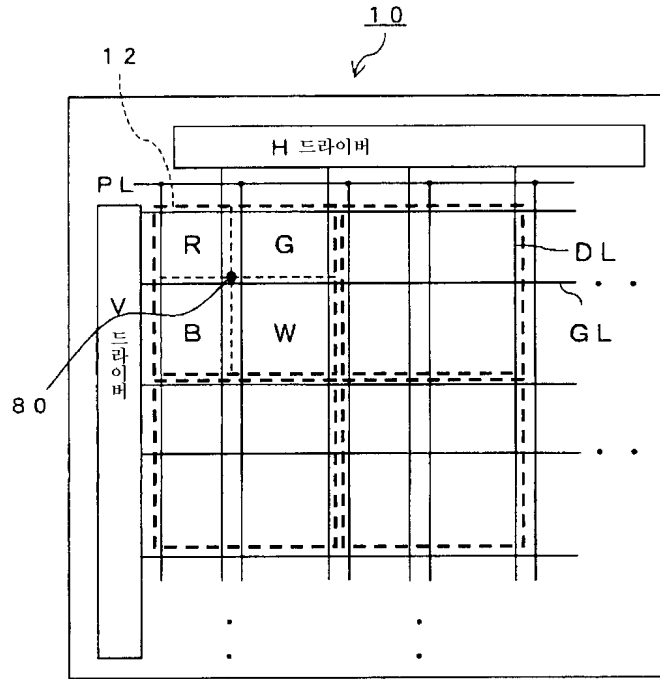
청구항 6.

제5항에 있어서,

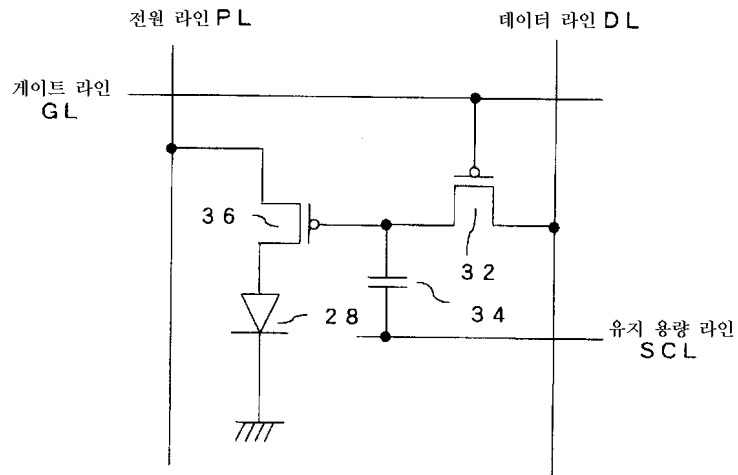
상기 발광층으로부터의 발광 강도가 가장 강한 과장 영역에 대응하는 색의 서브 픽셀의 면적은, 상이한 색의 서브 픽셀 중 적어도 하나의 면적보다 작은 것을 특징으로 하는 일렉트로루미네센스 표시 디바이스.

도면

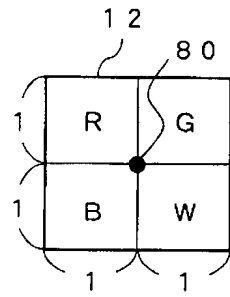
도면1



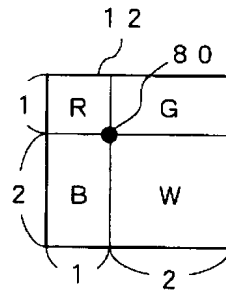
도면2



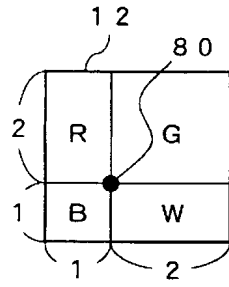
도면3



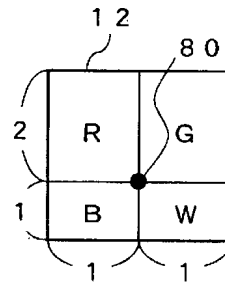
(a)



(b)

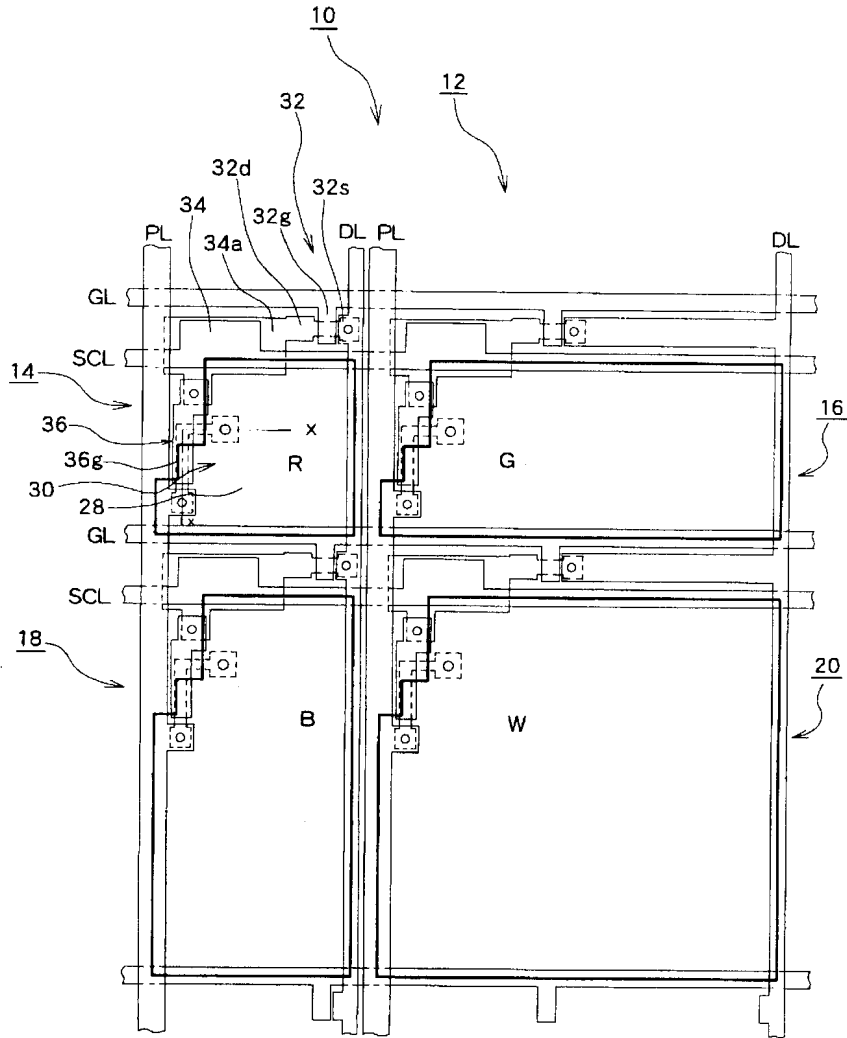


(c)



(d)

도면4



도면5

