

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2005-0013499
(43) 공개일자 2005년02월04일

(21) 출원번호 10-2004-0058153
(22) 출원일자 2004년07월26일

(30) 우선권주장 JP-P-2003-00280860 2003년07월28일 일본(JP)

(71) 출원인 로무 가부시킴가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 아베신이치
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시킴가이샤 내

마에데준
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시킴가이샤 내

후지카와아키오
일본국 교토후 교토시 우교구 사이잉 미조사키쵸 21반지 로무 가부시킴가이샤 내

(74) 대리인 항의인

심사청구 : 있음

(54) 유기 E L 패널 구동 회로 및 이와 동일한 유기 E L 소자구동 회로의 구동 전류에 대한 적부 테스트 방법

요약

제 1 아날로그 전류는 유기 EL 구동 회로의 출력 핀에 대응하여 설치된 복수의 스위치 회로를 통해 구동 전류로서 얻어지거나 출력단 전류원을 통해 얻어진다. 상기 제 1 아날로그 전류 또는 상기 구동 전류는 유기 EL 소자 구동 회로 내에 설치된 비교 회로에 의해 제 2 아날로그 전류(기준 전류) 또는 출력단 전류원에 대응하는 전류원을 통해 제 2 아날로그 전류를 보냄으로써 얻어지는 전류와 비교된다. 구동 전류는, 유기 EL 소자 구동 회로로부터 구동 전류에 대한 비교 결과를 순차적으로 얻도록, 제어 회로에 의해 하나씩 순차적으로 스위치 회로들을 온으로 함으로써 출력 핀에서 순차적으로 얻는다.

대표도

도 1

명세서

도면의 간단한 설명

도 1 은 본 발명의 실시형태에 따른 유기 EL 패널의 유기 EL 구동 회로의 블록 회로도.

도 2a 내지 도 2g 는 도 1 에 나타낸 유기 EL 패널의 컬럼 드라이버의 구동 전류 판정 회로에 대한 판정 동작 타이밍 차트.

도 3a 및 도 3b 는 구동 전류 판정 회로의 비교용 기준 전류의 변화에 대한 설명도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 기준 전류 발생 회로 2 : 기준 전류 조정 회로

3 : 커런트 미러 회로 4, 83 : D/A 변환 회로(D/A)

5 : 출력단 전류원 6, 80 : 표시 레지스터

7 : 공통 단자 8 : 구동 전류 판정 회로

10 : 컬럼 IC 드라이버 11 : 클록 발생 회로

12 : MPU 81 : 비교 회로(COM)

82 : 시프트 레지스터 84 : 스위치

86 : 테스트 단자 87 : 검출 단자

88 : 시프트 클록 입력 단자 89 : 클록 입력 단자

90 : 리셋 단자 91 : 비트 데이터 입력 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 EL(Electro Luminescent: 전계 발광) 소자 구동 회로 및 이와 동일한 유기 EL 소자 구동 회로의 구동 전류에 대한 적부 테스트 방법에 관한 것으로, 특히 본 발명은 D/A 변환 회로에 의해 디지털값을 아날로그 구동 전류로 변환하여 유기 EL 표시 패널의 단자 핀으로 공급될 구동 전류를 생성하고, 드라이버 IC 의 출력 핀으로부터 각각의 아날로그 단자 핀으로 출력되는 아날로그 구동 전류의 적부에 대해 효과적으로 테스트할 수 있는 유기 EL 표시 소자 구동 회로(드라이버 IC)에 관한 것이다.

휴대 전화기 세트, PHS, DVD 플레이어 또는 PDA(Personal Digital Assistance)에 탑재되고 컬럼 라인으로 396(13 2×3) 개의 단자 핀을, 로우 라인으로 162 개의 단자 핀을 포함하는 유기 EL 표시 장치의 유기 EL 표시 패널이 제안 되었으며, 그러한 유기 EL 표시 패널의 컬럼 라인 수와 로우 라인 수는 점차 증가하는 경향에 있다.

이러한 유기 EL 표시 패널의 전류 구동 회로의 출력단은, 구동 전류의 종류나 수동 매트릭스형인지 능동 매트릭스형 인지에 관계없이, 예를 들면, 유기 EL 표 시 패널의 각 단자 핀에 대응하여 설치되는 커런트 미러 회로의 출력 회로를 포함한다.

예를 들면, JP 2003-308043A 및 JP 2003-308044A 에서는 D/A 변환 회로가 각 커런트 미러 출력 회로의 업스트림측에 제공되고 유기 EL 표시 패널의 각 단자 핀에 공급되는 구동 전류가 컬럼측의 단자 핀에 대한 디지털 표시 데이터를 아날로그 구동 전류로 D/A 변환 회로에 의해 변환함으로써 생성되는 유기 EL 소자 구동 회로를 개시하고 있다.

또한, JPH 9-232074A 에서는 매트릭스 내에 배치된 유기 EL 소자가 전류 구동되며 유기 EL 소자의 양극과 음극을 접지시킴으로써 리셋되는 유기 EL 소자 구동 회로를 개시하고 있다. 또한, JP 2001-143867A 에서는 DC/DC 변환 회로를 이용하여 저소비 전력으로 유기 EL 소자를 전류 구동하는 기술을 개시하고 있다.

유기 EL 표시 패널의 단자 핀 수가 증가함으로 인해 각 단자 핀에 공급되는 구동 전류의 적부, 즉 각 단자 핀에 공급되는 구동 전류가 적합한지 여부에 대해서 컬럼 드라이버 IC 를 테스트하는데 요구되는 시간이 증가하게 되었다. 또한, 단자 핀의 수가 증가함으로 인해, 컬럼 라인측에 복수의 컬럼 드라이버 IC 가 필요하게 되었다. 예를 들면, QVGA 풀컬러 시스템의 유기 EL 소자 구동 회로의 경우, 120 개의 단자 핀이 R, G, B 표시색 각각에 대해 필요하며, 이로 인해 요즘에는 총 360 개의 단자 핀과 3 개의 컬럼 드라이버가 필요하다. 그러므로, 테스트되는 컬럼 드라이버 IC 의 수가 증가하는 경향에 있다.

또한, D/A 변환 회로에 의해 디지털 표시 데이터를 아날로그값으로 변환하여 구동 전류를 생성하는 컬럼 드라이버 IC 는 최소값(모든 비트가 '0')으로부터 최대값(모든 비트가 '1')까지의 표시 데이터에 대응하여 그것이 정상적으로 구동 전류를 생성할 수 있는지 여부에 대해 테스트되어야 한다. 따라서, 컬럼 드라이버 IC 의 테스트 단계에 소요되는 테스트 시간이 증가하고, 이로 인해 컬럼 드라이버 IC 의 제조 처리율이 저하된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 컬럼 드라이버 IC 의 출력 핀에서 유기 EL 표시 패널의 각 단자 핀으로 공급되는 구동 전류가 적합한지 여부에 대해 효과적으로 테스트할 수 있는 유기 EL 소자 구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 유기 EL 소자 구동 회로의 구동 전류를 테스트하기 위한 테스트 방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 상기 목적을 달성하기 위해, 유기 EL 표시 패널의 각 단자 핀에 대응하는 출력 단자에서 구동 전류를 생성하는 유기 EL 소자 구동 회로에 있어서, 디지털 표시 데이터를 제 1 아날로그 전류로 변환하기 위해 출력 핀에 대응하여 각각 설치되는 복수의 제 1 D/A 변환 회로; 출력 핀에 대응하여 각각 설치되며, 제 1 아날로그 전류 또는 출력 핀에 대응하여 설치된 출력단 전류원에 의해 제 1 아날로그 전류로부터 구동 전류로서 얻어진 전류에 각각 응답하는 복수의 스위치 회로; 제 1 D/A 변환 회로의 LSB(Least Significant Bit: 최소 유효 비트) 입력보다 높은 분해능을 갖는 LSB 입력을 가지며, 표시 데이터에 대응하는 디지털 데이터를 비교 기준용 제 2 아날로그 전류로 변환하는 제 2 D/A 변환 회로; 스위치 회로에서의 제 1 아날로그 전류 또는 제 1 아날로그 전류로부터 얻어진 전류를 제 2 아날로그 전류 또는 제 1 D/A 변환 회로의 출력단 전류원과 같은 전류원에서 얻어진 전류와 비교하며 그 비교 결과는 유기 EL 소자 구동 회로의 외부로 출력되게 하는 비교 회로; 및 스위치 회로들을 하나씩 순차적으로 온으로 되게 하는 제어 회로를 구비하는 것을 특징으로 하는 유기 EL 소자 구동 회로가 제공된다.

본 발명에서, 스위치 회로로부터의 제 1 아날로그 전류 또는 출력단 전류원에 의해 제 1 아날로그 전류로부터 얻어진 전류는 제 2 아날로그 전류(비교의 기준 전류) 또는 제 1 D/A 변환 회로의 출력 전류원과 같은 전류원에 의해 제 2 아날로그 전류로부터 얻어진 전류와 비교되며, 비교 결과는 유기 EL 소자 구동 회로의 외부로 출력된다.

제어 회로의 통제하에 스위치 회로를 하나씩 순차적으로 온으로 함으로써 각 출력 핀에 대응하는 출력 전류가 순차적으로 얻어지며, 이들 구동 전류의 비교 결과는 유기 EL 소자 구동 회로로부터 순차적으로 얻어진다.

또한, 비교 기준 전류를 생성하는 데이터는 제 1 D/A 변환 회로의 표시 데이터에 대응하도록 만들어지며, 예를 들면, 새로운 LSB 로서 1 비트가 더해져서 더 높은 분해능을 갖는 데이터로서 제 2 D/A 변환 회로에 공급된다. 선택적으로는, 각 출력 핀에 대응하는 구동 전류와 비교될 기준 전류는 제 1 D/A 변환 회로의 LSB 에 대응하는 아날로그 전류보다 작은 전류를 제 2 아날로그 전류에 더함으로써 생성된다. 이러한 방식으로, 표시 데이터에 따라 드라이버 IC 의 각 단자 핀에 출력되는 구동 전류의 적부에 대한 테스트를 짧은 시간 내에 하는 것이 쉽게 가능해진다.

결과적으로, 컬럼 드라이버 IC 의 테스트 단계에 있어서 테스트 시간을 단축하는 것이 가능하여 컬럼 드라이버 IC 의 제조 처리율을 개선할 수 있다.

도 1 에 나타난 컬럼 드라이버(10)는 유기 EL 패널의 유기 EL 구동 회로로 기능하는 컬럼 IC 칩으로 형성된다.

컬럼 드라이버(10)는 기준 전류 발생 회로(1), 기준 전류 조정 회로(2), 기준 전류 분배 회로(3), D/A 변환 회로(4) 및 D/A 변환 회로(4)에서 구동 전류를 공급받는 출력단 전류원(5)을 구비하고 있다. D/A 변환 회로(4) 및 출력단 전류원(5)은 유기 EL 표시 패널의 각 단자 핀에 접속되어 있는 컬럼 드라이버(10)의 각 출력 핀 X1 내지 Xm 에 대응하여 설치된다.

기준 전류 발생 회로(1)는 기준 전류 I_{ref} 를 기준 전류 조정 회로(2)에 공급한다. 기준 전류 조정 회로(2)는 기준 전류 I_{ref} 를 IC 제조 단계에서 레이저 트리밍(Trimming)에 의해 조정하거나 내부 D/A 변환 회로에서 데이터 세팅에 의해 조정함으로써 기준 구동 전류 I_r 을 생성하여 기준 전류 분배 회로(3)로 송출한다. 기준 전류 조정 회로(2)는 R, G, B 표시색 각각에 대해 제공되어 각 표시색에 대응하여 기준 전류 I_{ref} 를 조정한다.

클럭 발생 회로(11) 및 각 출력 핀에서 구동 전류를 테스트하는 MPU(적부 판정 장치: 12)가 컬럼 드라이버 IC(10)의 외부에 설치된다.

또한, 클럭 발생 회로(11)는 50%의 듀티 사이클(Duty Cycle)을 갖는 클럭 신호 CLK(도 2a 참조)를 생성하여 컬럼 드라이버 IC(10) 및 MPU(12)로 송출한다.

컬럼 드라이버 IC(10)에서, 리셋 스위치 SW1, ..., SWm-1, SWm은 각 컬럼측 출력 핀 X1 내지 Xm에 접속되고, 리셋 주기에서 리셋 스위치 SW1, ..., SWm-1, SWm을 온으로 함으로써 유기 EL 소자를 정전압 VZR로 리셋한다. 정전압 VZR은 제너 다이오드 DZR의 단자 전압이다.

이 실시형태에서, 구동 전류 판정 회로(8)가 컬럼 드라이버 IC(10)에 제공된다. 구동 전류 판정 회로(8)는 리셋 스위치에 의해 구동 전류를 순차적으로 선택함으로써 출력 핀 X1 내지 Xm에 출력된 구동 전류의 적부를 순차적으로 판정한다.

구동 전류 판정 회로(8)는 표시 데이터 레지스터(80), 비교기(COM: 81), 시프트 레지스터(82), D/A 변환 회로(33), 스위치(84), 반전 회로(85) 및 출력단 전류원(5)과 동일한 구조를 갖는 출력단 전류원(5a)을 구비하고 있다.

리셋 스위치 SW1 내지 SWm의 하나의 단자는 공통 단자(7)에 접속되어 있다. 스위치(84)는 그 하나의 단자가 공통 단자(7)에 접속되어 있으며, 다른 2개의 단자는 각각 비교 회로(81)의 (+) 입력 단자와 정전압 다이오드 DZR에 접속되어 있다. 컬럼 드라이버 IC(10)의 테스트 주기에서, 공통 단자(7)는 비교 회로(81)의 (+) 입력측으로 스위칭된다. 이 실시형태에서, 정전압 다이오드 DZR은 컬럼 드라이버 IC(10)의 외부에 설치되어 있다.

테스트 단자(86)는 컬럼 드라이버 IC(10)를 테스트 상태로 설정하도록 동작한다. 컬럼 드라이버 IC(10)는 테스트 결과가 얻어지는 검출 단자(87), 시프트 클럭 입력 단자(88), 클럭 신호 발생 회로(11)에서의 클럭 신호 CLK가 공급되는 클럭 입력 단자(89), 표시 데이터 레지스터(6)와 표시 데이터 레지스터(80)를 리셋하기 위한 리셋 단자(90) 및 1-비트 데이터 입력 단자(91)를 더 구비한다.

스위치(84)의 공통 단자(7)는 통상적으로는 정전압 다이오드 DZR을 통해 접지되어 있다. 하이(H) 레벨의 테스트 신호 TS가 테스트 단자(86)에 입력되는 경우, 공통 단자(7)는 비교 회로(81)의 (+) 입력 단자로 스위칭된다.

시프트 레지스터(82)는 리셋 스위치 SW1 내지 SWm을 하나씩 순차적으로 온으로 하기 위한 스위치 회로를 구성한다. 시프트 레지스터(82)의 각 단의 출력 신호는 온/오프 제어 신호로서 각 리셋 스위치에 공급된다.

테스트 단자(86)에 입력된 유효 'H' 레벨의 테스트 신호 TS가 MPU(12)로부터 시프트 레지스터(82) 및 표시 데이터 레지스터(6 및 80)로 공급된다. 테스트 신호 TS가 H 레벨이 되는 경우, 시프트 레지스터(82)는 MPU에서 시프트 클럭 입력 단자(88)로 공급된 시프트 클럭 신호 CL에 따라 시프트 동작을 수행하도록 인에이블된다.

D/A 변환 회로(83)는 D/A 변환 회로(4)의 분해능보다 1 디짓(Digit)(1 비트)만큼 높은 0.5 LSB의 분해능을 가진다. 예를 들면, D/A 변환 회로(4)가 8 비트 변환 회로라 가정하면, D/A 변환 회로(83)는 고정적으로 미리 '1'로 설정된 최소 유효 비트가 더해진 D/A 변환 회로(4)에 대응하는 9 비트 변환 회로이다. 표시 데이터 레지스터(80)의 8 비트 표시 데이터는 최소 유효 비트의 디짓을 제외한 D/A 변환 회로(83)의 잔존 비트에서 설정된다. D/A 변환 회로(83)에서 출력된 아날로그 전류는 그에 대응하여 설치된 출력단 전류원(5a)으로 송출된다.

한편, 표시 데이터 레지스터(6)의 8 비트 표시 데이터는 D/A 변환 회로(4)의 모든 비트에서 설정된다. D/A 변환 회로(4)에서 출력된 아날로그 전류는 그에 대응하여 설치된 출력단 전류원(5)으로 송출된다.

표시 데이터 레지스터(6)와 동일하게 구성된 표시 데이터 레지스터(80)는 D/A 변환 회로(83)에 대응하여 설치되며, 표시 데이터 레지스터(6)에 설정된 것과 동일한 표시 데이터를 저장한다.

표시 데이터 레지스터(6)와 표시 데이터 레지스터(80)에 설정되어 있는 8 비트 전부가 '0'인 8 비트 표시 데이터는 테스트 단자(86)에 H 레벨의 테스트 신호 TS가 입력된 때에 증분(Increment)된다. 즉, 표시 데이터 레지스터(6)의 표시 데이터는 클럭 입력 단자(88)로부터 입력된 클럭 신호 CLK(도 2a)에 따라 증분되며, 표시 데이터 레지스터(80)는 그 표시 데이터를 반전 회로(85)에 의해 반전된 클럭 신호(도 2b)에 따라 증분한다. 또한, 반면에 D/A 변환 회로(8

3)의 최소 유효 비트는 '1'로 고정되는 반면, D/A 변환 회로(83)의 최소 유효 비트를 제외한 잔존 8 비트(표시 데이터)는 클럭 신호 CLK에 따라 증분된다.

결과적으로, 표시 데이터 레지스터(80)에서 반전 클럭 신호 CLK에 따른 표시 데이터의 증분 타이밍은 표시 데이터 레지스터(6)의 표시 데이터의 것과 1/2 클럭 주기만큼 벗어나 있다.

비교 회로(81)는 D/A 변환 회로(4)측의 구동 전류를 D/A 변환 회로(83)측의 기준 전류와 비교한다. 즉, 비교 회로(81)는 출력단 전류원(5)을 통한 각 D/A 변환 회로(4)로부터의 구동 전류를 출력단 전류원(5a)을 통해 D/A 변환 회로(83)로부터 기준 전류로서 얻은 구동 전류와 비교하여, 각 출력단 전류원(5)으로부터의 구동 전류가 출력단 전류원(5a)으로부터의 기준 전류보다 크거나 작은지 여부를 판정한다. 즉, 비교 회로(81)는 그 (+) 입력 단자에 공급된 출력 핀 X1 내지 Xm에서의 구동 전류 중 하나를 출력단 전류원(5a)을 통해 그 (-) 입력 단자에 공급된 D/A 변환 회로(83)의 출력 전류와 비교한다. 비교 회로(81)는 비교 회로(81)의 (+) 입력 단자에 공급된 구동 전류가 그 (-) 입력 단자에 공급된 기준 전류보다 큰 경우에 검출 단자(87)로 'H' 신호를 출력하며, 그렇지 않은 경우에는 비교 회로(81)는 'L' 신호를 출력한다.

기준 전류 분배 회로(3)는 입력측 P 채널 MOSFET Tra 및 복수의 출력측 P 채널 MOSFET Trb 내지 Trn을 포함하는 커런트 미러 구성을 가진다. 출력측 트랜지스터 Trb 내지 Trn의 소스는 전원 라인 +Vcc(= +3V)에 접속되어 있으며, 그 드레인은 각 D/A 변환 회로(4)에 접속되어 있다. 트랜지스터 Trb 내지 Trn의 출력 전류는 각각 D/A 변환 회로(4)의 기준 구동 전류로 사용된다. 트랜지스터 Tra의 소스는 전원 라인 +Vcc에 접속되어 있으며, 그 드레인은 기준 전류 조정 회로(2)의 출력 단자에 접속되어 있다.

한편, 유기 EL 표시 장치의 동작 상태에서, 각 D/A 변환 회로(4)는 컬럼 드라이버(10)의 출력 핀에 대응하여 설치된 표시 데이터 레지스터(6)를 통해 다른 MPU(미도시)로부터 표시 데이터를 수신하고, 표시 데이터에 따라 기준 구동 전류를 증폭함으로써 표시 회도에 따른 구동 전류를 생성한다. 이렇게 생성된 구동 전류는 각 출력단 전류원(5)으로 공급되어 출력단 전류원(5)을 구동한다.

각 출력단 전류원(5)은 한쌍의 트랜지스터를 갖는 커런트 미러 회로로 구성된다. 출력단 전류원(5)은 각 D/A 변환 회로(4)에서 공급되고 표시 데이터에 대응하는 구동 전류 i 를 유기 EL 표시 패널의 유기 EL 소자의 양극에 접속된 단자 핀에 접속되어 있는 컬럼 드라이버(10)의 출력 핀 X1 내지 Xm으로 송출한다.

또한, 출력측 전류원(5)에는 약 +5.5V의 전원 라인(미도시)으로부터 전력이 공급된다.

이제, 유기 EL 소자 구동 회로의 구동 전류에 대한 적부 테스트를 수행하기 위한 구동 전류 판정 회로(8)의 판정 동작을 도 2a 내지 도 2g에 나타난 타이밍 차트를 참조하여 설명한다.

클럭 신호 CLK와 동기화된 리셋 단자(90)에서 공급된 리셋 신호 RS(도 2c)에 응답하여, MPU(12)는 표시 데이터 레지스터(6)와 표시 데이터 레지스터(80)를 리셋하고 '1'을 시프트 레지스터(82)에 입력한다. '1' 입력은 시프트 레지스터(82)의 초단에서 설정된다(도 2d). 그러므로, 시프트 레지스터의 초단의 출력은 '1'이 되며, 이 때 스위치 SW1이 온으로 된다. 시프트 레지스터(82)의 다른 단의 출력은 처음에는 '0'이므로, 스위치 SW2 내지 SWm은 오프로 유지된다. 결과적으로, 출력 핀 X1에서의 출력 전류는 스위치 SW1을 통해 비교 회로(81)의 (+) 입력 단자에 공급된다. 한편, D/A 변환 회로(83)는 표시 데이터 레지스터(80)의 표시 데이터 세트를 아날로그 전류로 변환하며, 출력단 전류원(5a)은 그 아날로그 전류에 의해 구동된다. 출력단 전류원(5a)에 의해 생성된 전류는 비교 회로(81)의 (-) 입력 단자에 공급된다.

컬럼 드라이버 IC(10)를 테스트 단계로 스위칭하여 테스트를 시작하기 위해, MPU(12)가 테스트 신호 TS('H')를 테스트 단자(86)로 보낸다(도 2e). 따라서, 각 표시 데이터 레지스터(6)의 8 비트 표시 데이터 및 표시 데이터 레지스터(80)의 8 비트 표시 데이터는 클럭 신호 CLK에 따라 순차적으로 증분된다.

그 결과, 각 표시 데이터 레지스터(6) 및 표시 데이터 레지스터(80)의 8 비트 표시 데이터는 모든 비트가 '0'인 상태에서 클럭 발생 회로(11)로부터의 클럭 신호 CLK에 따라 순차적으로 증분되며, 각 전류원(5)에서 산출된 아날로그 구동 전류는 비교 회로(81)에 의해 전류원(5a)으로부터의 기준 구동 전류와 비교된다. 도 3a는 비교 회로(81)에 의해 수행된 비교 상태를 나타내며, 도 3b는 검출 단자(87)에서의 출력 신호를 나타낸다.

표시 데이터의 8 비트 전부가 '0'인 경우로부터 8 비트 전부가 '1'인 경우까지 비교 회로(81)에 의해 비교된다.

또한, 각 표시 데이터 레지스터(6) 및 표시 데이터 레지스터(80)의 리셋은 그 8 비트 전부를 '0'으로 설정하는 것이며, 표시 데이터의 세팅은 8 비트 전부를 '1'로 증분하는 것이다. 즉, 이 경우, 레지스터의 표시 데이터의 세팅은 표시 데이터 레지스터(6) 및 표시 데이터 레지스터(80)의 모든 비트에 '0'을 리셋하고 그것을 증분함으로써 수행된다. 이 리

셋 동작은 MPU(12)로부터 각 표시 데이터 레지스터(6)와 표시 데이터 레지스터(80)로의 표시 데이터의 8 비트를 전부 '0'으로 설정하는 것과 같으며, '1'로부터 모든 8 비트 '1'까지의 표시 데이터의 증분은 '1'을 MPU(12)로부터 각 표시 데이터 레지스터(6)와 표시 데이터 레지스터(80)로의 표시 데이터의 모든 8 비트 '1'로 설정하는 것과 같다.

또한, 모든 비트가 '1'인 상태의 표시 데이터의 리셋은 8 비트를 감분(Decrement)함으로써 수행되며, 모든 비트가 '0'인 상태의 8 비트 표시 데이터의 리셋은 이를 증분함으로써 수행된다.

D/A 변환 회로(4)측에서, 도 3a에서 실선으로 나타난 구동 전류가 클럭 신호 CLK에 따라 출력단 전류원(5)에 생성된다. 한편, D/A 변환 회로(83)측에서, 도 3a에 점선으로 나타난 구동 전류가 클럭 신호 CLK에 따라 출력단 전류원(5a)에서 생성되는데, 이는 D/A 변환 회로(83)의 9 비트 데이터 세트의 최소 유효 비트가 '1'로 고정되어 있기 때문이다. 이 경우, D/A 변환 회로(83)측에서 표시 데이터 레지스터(80)의 8 비트 표시 데이터는 50%의 듀티 사이클을 갖는 클럭 신호 CLK를 반전하여 얻은 클럭 신호에 따라 증분되기 때문에, 증분 타이밍은 D/A 변환 회로(4)측에서 표시 데이터 레지스터(6)의 8 비트 표시 데이터에 대하여 1/2 클럭 주기만큼 벗어나게 된다. 따라서, 출력단 전류원(5a)에서 D/A 변환 회로(83)측에 생성된 구동 전류는 출력단 전류원(5)에서 D/A 변환 회로(4)측에서 생성된 구동 전류로부터 1/2 클럭 주기만큼 벗어나 있다. 또한, D/A 변환 회로(83)측의 아날로그 전류는 D/A 변환 회로(4)측의 아날로그 전류보다 0.5 LSB에 대응하는 값만큼 더 크다.

결과적으로, D/A 변환 회로(4)측에서 생성된 구동 전류는 D/A 변환 회로(83)측에서 생성된 구동 전류보다 1/2 클럭 주기만큼 벗어나 있으며, 비교 회로(81)는 도 3a에 나타난 조건하에서 전류 비교를 수행한다. 도 3a에 나타난 바와 같이, D/A 변환 회로(83)측의 8 비트 표시 데이터는 각 클럭 주기의 중심에서 1 LSB만큼 증가하기 때문에, D/A 변환 회로(83)에서의 아날로그 전류는 따라서 증가한다. 그러므로, D/A 변환 회로(83)는 각 클럭 주기에서 2개의 기준 전류를 출력하며, 비교 회로(81)는 D/A 변환 회로(4)에서의 아날로그 전류를 D/A 변환 회로(83)로부터의 2개의 기준 전류와 두 번 비교하게 된다.

표시 데이터 레지스터(83)의 표시 데이터는 반전 클럭에 따라 순차적으로 증분하기 때문에, D/A 변환 회로(4)측의 구동 전류는, 클럭 주기의 선행하는 절반에서 D/A 변환 회로(4)측의 구동 전류에 대해 0.5 LSB에 대응하는 값만큼 감분된 아날로그 기준 전류와 비교 회로(80)에 의해 비교되며, 클럭 주기의 후행하는 절반에서 D/A 변환 회로(4)측의 구동 전류에 대해 0.5 LSB에 대응하는 값만큼 증분된 아날로그 기준 전류와 비교 회로(80)에 의해 비교된다.

그 결과, D/A 변환 회로(4)측의 순차적으로 증분된 구동 전류는, 각 클럭 주기에서, D/A 변환 회로(83)측의 순차적으로 증가하는 기준 전류와 두 번 비교되며, 클럭 신호 CLK와 동기화되어 교대로 'H' 레벨과 'L' 레벨을 취하는 검출 출력 신호가 비교 회로(81)에 의해 생성되어 도 2f에 나타난 바와 같이 검출 단자(87)로 공급된다.

모든 비트가 '0'인 최소값으로부터 모든 비트가 '1'인 최대값까지의 8 비트 표시 데이터가 표시 데이터 레지스터(6 및 80)에 설정되어 있고 교대로 'H'와 'L'이 생성되는 경우, 출력 핀 X1에서의 출력 전류는 클럭 신호 CLK에 따라 순차적으로 증분되는 선행 기준 전류와 후행 기준 전류 사이에 있게 된다. 따라서, 출력 핀 X1에서의 출력 전류는 적합한 것으로 판정된다. 그렇지 않으면, 출력 핀 X1에서의 출력 전류는 부적합한 것으로 판정된다.

검출 단자(87)에서의 출력은 MPU(12)로 송출된다. MPU(12)에서, 'H'와 'L'이 클럭 신호 CLK에 따라 교대로 생성되는지 여부가 결정되며, 'L'들의 수는 물론 'H'들의 수도 결정된다. 구동 전류는 'H'와 'L'의 수가 동일한 경우 및/또는 'H'의 수와 'L'의 수가 증분의 수에 대응하는 경우에 적합한 것으로 판정된다.

클럭 발생 회로(11)로부터 MPU(12)로의 클럭 신호의 수가 최대값까지의 증분 수와 동일하게 된 후, 테스트 신호 TS가 'L'로 되며, 출력 단자 X1에 대한 테스트가 종료된다(도 2e).

다음으로, MPU(12)는 시프트 클럭 신호 CL(도 2g)을, 클럭 신호 CLK와 동기화된 상태로, 컬럼 드라이버(10)의 시프트 입력 단자(88)로 송출한다. 시프트 클럭 신호 CL이 입력된 때에, 시프트 레지스터(82)의 초단에 설정된 데이터 '1'은 시프트 레지스터(82)의 다음 단으로 시프트된다. 따라서, 시프트 레지스터(82)의 초단은 '0'이 되며, 이 때 스위치 SW1은 오프로 되고 다음 단의 '1'출력을 공급받는 스위치 SW2는 온으로 된다. 따라서, 출력 핀 X2에서의 출력 전류는 스위치 SW2를 통해 비교 회로(81)의 (+) 입력으로 공급된다. 시프트 레지스터(82)의 다른 단의 출력은 '0'이기 때문에, 스위치 SW3 내지 SWm은 오프로 유지된다.

MPU(12)로부터 컬럼 드라이버(10)의 리셋 단자(90)로 공급된 리셋 신호(도 2c)에 응답하여, 표시 데이터 레지스터(6 및 80)는 리셋된다. 마찬가지로, 동작 모드를 테스트 상태로 스위칭하기 위해 MPU(12)는 테스트 신호 TS('H')를 컬럼 드라이버(10)의 테스트 단자(86)로 송출하며, 다음 테스트가 시작된다(도 2e). 그 결과, 검출 단자(87)에서, 도 2f에 나타난 바와 같이, 출력 핀 X2에서의 구동 전류의 적부를 나타내는 교번하는 'H'와 'L'을 포함하는 출력 신호를 얻을 수 있다.

이러한 방식으로, 컬럼 드라이버 IC(10)의 각 출력 핀 X1 내지 Xm 에서의 구동 전류의 적부를 고속으로 연속적이고 신뢰성있게 테스트하는 것이 가능하다.

또한, 도 1 에 나타난 실시형태에서, 컬럼 드라이버(10)의 각 출력 핀 X1 내지 Xm 으로 공급된 구동 전류는 이들 출력 핀에 대응하여 설치된 출력단 전류원(5)으로부터 공급된다.

한편, 능동 매트릭스형 유기 EL 표시 패널의 구동 회로에 있어서, 구동 전류가 더 작고 보통 전류 싱크(Sink) 출력이 발생하기 때문에, 각 D/A 변환 회로(4)에 대응하여 설치된 출력단 전류원(5)이 불필요하다. 따라서, 본 발명을 능동 매트릭스형 구동 회로에 적용하는 경우, 출력단 전류원(5)을 제거하여 D/A 변환 회로(4)를 출력단으로 사용하고 D/A 변환 회로(4)의 출력 전류를 구동 전류로 사용하는 것이 일반적이다. 이 경우, D/A 변환 회로(4)측의 출력단 전류원(5)과 D/A 변환 회로(83)측의 출력단 전류원(5a)은 D/A 변환 회로(83)로부터의 아날로그 기준 전류와 직접 비교된다.

이 실시형태에서, 표시 데이터 레지스터(6 및 80)의 표시 데이터의 증분 타이밍은 표시 데이터 레지스터(6 및 80)의 표시 데이터가 리셋된 후 각 표시 데이터 레지스터(6)의 표시 데이터로부터 1/2 클록 주기만큼 벗어나 있다. 그러나, 이들 표시 데이터는 MPU(12)에서 출력될 수 있다. 또한, 표시 데이터 레지스터(6)와 표시 데이터 레지스터(80) 사이의 표시 데이터 증분 타이밍의 차이는 1/2 클록 주기 로 제한되지 않는다. 또한, 표시 데이터 레지스터(6)와 표시 데이터 레지스터(80)가 리셋된 후, MPU(12)는 표시 데이터 레지스터(6 및 80)에 표시 데이터의 최대값을 설정할 수 있으며, 그 최대값은 클록 신호 CLK 에 따라 감분될 수 있다.

이 실시형태에서, D/A 변환 회로(83)측의 표시 데이터는 반전 회로(85)에 의해 반전되고 50%의 듀티 사이클을 갖는 클록 신호 CLK 를 이용함으로써 D/A 변환 회로(6)측의 표시 데이터로부터 1/2 클록 주기만큼 벗어나 있다. 따라서, D/A 변환 회로(4)측의 아날로그 전류로부터 1/2 클록 주기 후 D/A 변환 회로(83)의 아날로그 전류를 발생하고 1 클록 주기 내에 1 LSB 에 대응하는 값만큼 D/A 변환 회로(83)의 아날로그 전류를 증가시킴으로써, 2 개의 기준 전류가 생성된다. 따라서, 1 클록 주기 내에서 두 번의 비교가 수행된다. 그러나, 본 발명에서, D/A 변환 회로(83)측의 표시 데이터를 1/2 클록 주기만큼 벗어나게 하는 것과 2 회 비교하는 것은 모두 불가피한 것이 아니다. 즉, D/A 변환 회로(83)측의 표시 데이터를 1 클록 주기 내에서 D/A 변환 회로(4)측의 표시 데이터로부터 1 LSB 에 대응하는 값만큼 벗어나게 하기 위해, D/A 변환 회로(83)의 표시 데이터를 그 클록 주기 내에서 1 LSB 에 대응하는 값만큼 증가 또는 감소시키면 충분하다. D/A 변환 회로(4)에서의 아날로그 구동 전류에 대하여 2 개의 값을 D/A 변환 회로(83)에서 출력된 아날로그 기준 전류에 공급함으로써, D/A 변환 회로(4)의 아날로그 전류에 대한 2 회의 비교가 가능하게 된다. 또한, D/A 변환 회로(4)의 아날로그 구동 전류보다 각각 크거나 작은 기준 전류 값들은 1 LSB 에 대응하는 값만큼 D/A 변환 회로(83)의 아날로그 기준 전류를 증가시켜 설정되기 때문에, 검출의 신뢰성이 개선될 수 있다. 2 클록 주기에 대하여 D/A 변환 회로(4)의 일정한 출력 전류를 생성하는 것이 가능하며, 클록 신호 CLK 에 따라 1 LSB 에 대응하는 값만큼 정전류와 차이가 나는 기준 전류를 생성하는 것이 가능하다.

1 수평 라인에 대한 D/A 변환 회로(4)의 표시 데이터는 보통 유기 EL 소자 구동 회로에서 동시에 설정되기 때문에, 상술한 실시형태에 있어서, 표시 데이터의 설정은 표시 데이터 레지스터(6)에서 동일한 표시 데이터를 동시에 설정함으로써 이루어진다. 그러나, 본 발명에 따르면, 그 출력력이 매시간 동시에 비교 회로(81)에 의해 비교되는 표시 데이터 레지스터(6) 및 표시 데이터 레지스터(80) 중 하나에서 동일한 표시 데이터를 설정하는 것이 가능하다.

상술한 실시형태에서, 각 D/A 변환 회로(4)는 8 비트 D/A 변환 회로이며 D/A 변환 회로(83)는 0.5 LSB 에 대응하는 '1' 로 고정된 최소 유효 비트를 갖는 9 비트 D/A 변환 회로이다. 표시 데이터 레지스터(80)는 0.5 LSB 에 대응하는 '1' 로 고정된 최소 유효 비트를 갖는 n 비트 레지스터일 수 있다. 이 경우, 표시 데이터 레지스터(80)의 n 비트 데이터는 n 비트 D/A 변환 회로(83)에 설정된다.

따라서, 출력단 전류원(5a)을 통한 기준 전류는, D/A 변환 회로(83)에 병렬적으로 0.5 LSB 의 분해능을 갖는 전류를 생성하고 D/A 변환 회로(83)의 출력 아날로그 전류에 0.5 LSB 에 대응하는 아날로그 전류를 더함으로써 0.5 LSB 에 대응하는 오프셋을 제공하기 위한 전류원(83a: 도 1 에서 점선으로 도시됨)을 설치함으로써 생성될 수 있다. 이 경우, D/A 변환 회로(83)는 8 비트 D/A 변환 회로일 수 있다. 즉, D/A 변환 회로(4)와 동일한 D/A 변환 회로는 D/A 변환 회로(83)로서 사용 될 수 있다.

또한, 기준 전류는 D/A 변환 회로(83)의 출력 아날로그 전류에서 0.5 LSB 에 대응하는 전류원(83)의 아날로그 전류를 감하여 생성될 수 있다.

또한, D/A 변환 회로(83)는 그 분해능이 D/A 변환 회로(4)의 분해능 이상인 전류를 생성할 수 있는 것이면 충분하며, D/A 변환 회로(83)와 D/A 변환 회로(4) 사이의 비트 차이는 1 비트에 한정되지 않는다.

또한, 상술한 실시형태에서 출력단 전류원(5a), 표시 데이터 레지스터(80), 비교 회로(81) 및 시프트 레지스터(82) 등은 테스트 신호가 공급되지 않는 시주기에서도 동작하지만, 그 시주기 내에서 이들 구성 요소의 동작을 정지시켜도

좋다. 이 경우, 도 2e 에 나타낸 테스트 신호 TS 는 도 2c 에 나타낸 리셋 신호 RS 이전에 생성되는 것이 바람직하다.

상술한 실시형태에서 출력 핀 X1 내지 Xm 에서 구동 전류의 적부에 대한 판정 결과가 리셋 스위치 SW1 내지 SWm 을 이용함으로써 외부로 송출되지만, 리셋 스위치와 기능이 유사한 스위치 수단이 제공될 수 있다. 이 경우, 스위치(84)는 불필요하다.

또한, 능동 매트릭스형 유기 EL 표시 패널에 대한 구동 회로에서, 블랙 레벨의 쓰기 전압은 그 리셋에 대한 각 픽셀 회로의 커패시터에 설정된다. 이 경우, 스위치(84)의 단자는 정전압 다이오드 DZR 이 아니라 전원 라인 +Vcc 나 전원 라인 +Vcc 보다 정전압만큼 낮은 전압의 점선으로 표시된 점으로 된 전압 라인에 접속될 수 있다. 이러한 경우, 리셋 스위치 SW1 내지 SWm 은 블랙 레벨의 쓰기를 위한 정 전압 리셋을 수행하는 프리차지(Precharge) 스위치일 수 있다. 이 경우, 픽셀 회로의 커패시터의 전압치를 기록하기 위한 출력단 전류원(5)은 보통 커런트 싱크 타입이다.

본 상세한 설명과 이에 첨부된 청구항의 기재에서 사용된 '출력 전류' 라는 용어는 방전 구동 전류 및 싱크 구동 전류를 포함하는 것이다.

출력단 전류원(5a)은 테스트 신호가 없는 경우에는 수동이어도 무방하다.

발명의 효과

본 발명에 따르면, 컬럼 드라이버 IC 의 출력 핀에서 유기 EL 표시 패널의 각 단자 핀으로 공급되는 구동 전류가 적합한지 여부에 대해 효과적으로 테스트할 수 있는 유기 EL 소자 구동 회로를 구현할 수 있다. 이로써 컬럼 드라이버 IC 의 테스트 공정에서의 테스트 시간을 단축할 수 있고, 컬럼 드라이버 IC 제조의 처리율을 향상시키는 것이 가능하다.

(57) 청구의 범위

청구항 1.

유기 EL 표시 패널의 복수의 단자 핀에 대응하여 각각 설치되는 복수의 출력 핀에서 상기 유기 EL 표시 패널을 구동하기 위한 구동 전류를 생성하는 유기 EL 소자 구동 회로에 있어서,

디지털 표시 데이터를 제 1 아날로그 전류로 변환하기 위해 상기 출력 핀에 대응하여 각각 설치되는 복수의 제 1 D/A 변환 회로;

상기 출력 핀에 대응하여 설치되며, 상기 제 1 아날로그 전류 또는 상기 출력 핀에 대응하여 설치된 출력단 전류원을 통해 상기 제 1 아날로그 전류를 보내어 얻어지는 구동 전류를 온/오프 제어하도록 조절되어 있는 복수의 스위치 회로;

각각의 상기 제 1 D/A 변환 회로의 최소 유효 비트보다 높은 최소 유효 비트 분해능을 가지며, 상기 표시 데이터에 대응하는 데이터를 D/A 변환함으로써 기준 전류로서 제 2 아날로그 전류를 생성하는 제 2 D/A 변환 회로;

상기 스위치 회로를 통해 출력된 상기 제 1 아날로그 전류 또는 상기 구동 전류를 상기 제 2 아날로그 전류 또는 출력단 전류원을 통해 상기 제 2 아날로그 전류를 보내어 얻어지는 전류와 비교하는 비교 회로; 및

상기 스위치 회로를 순차적으로 하나씩 온으로 하는 제어 회로를 구비하며,

상기 비교 회로의 비교 결과는 외부로 출력되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 2.

제 1 항에 있어서,

상기 D/A 변환 데이터는 상기 표시 데이터, 상기 표시 데이터의 값과 같은 값을 갖는 데이터 및 최소 유효 비트가 부가된 표시 데이터 중 하나이며, 상기 제 2 아날로그 전류는 상기 제 1 D/A 변환 회로의 상기 최소 유효 비트에 대응하는 전류보다 작은 전류에 대응하는 값만큼 상기 제 1 아날로그 전류보다 크거나 작으며, 상기 비교 결과는 하이 레벨 신호 또는 로우 레벨 신호로서 생성되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 3.

제 2 항에 있어서,

상기 제어 회로는 상기 제 1 스위치 회로를 하나씩 순차적으로 온으로 하는 제 2 스위치 회로를 포함하며, 상기 제 2 아날로그 전류는 각각의 상기 제 1 D/A 변환 회로에 의해 변환된 상기 제 1 아날로그 전류의 전류값에 대하여 선행하는 전류값과 후행하는 전류값을 가지며, 상기 비교 회로는 상기 제 2 아날로그 전류의 선행 및 후행하는 전류값과 상기 제 1 D/A 변환 회로의 제 1 아날로그 전류를 두 번 비교하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 4.

제 3 항에 있어서,

상기 제 2 아날로그 전류의 상기 선행하는 전류값은 상기 제 1 아날로그 전류보다 작으며, 상기 제 2 아날로그 전류의 상기 후행하는 전류값은 상기 제 1 아날로그 전류보다 큰 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 5.

제 4 항에 있어서,

상기 제 1 스위치 회로는 상기 유기 EL 소자의 전하를 리셋하기 위한 리셋 스위치이거나 블랙 레벨의 쓰기를 수행하기 위한 프리차지 스위치이며, 상기 제 2 D/A 변환 회로의 비트 수는 상기 제 1 D/A 변환 회로의 비트 수보다 1 만큼 더 크며, 상기 제 2 D/A 변환 회로의 하나의 비트는 '1' 로 설정된 최소 유효 비트이며, 상기 D/A 변환 데이터는 상기 표시 데이터 또는 상기 표시 데이터의 값과 같은 값을 가지는 상기 데이터와 동일하고 상기 제 2 D/A 변환 회로의 남아있는 비트에서 설정되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 6.

제 5 항에 있어서,

상기 제 1 및 제 2 D/A 변환 회로의 D/A 변환은 클럭 신호와 동기화되어 수행되며, 상기 제 2 D/A 변환 회로에 설정된 상기 D/A 변환 데이터는 상기 클럭 주기 내에서 증분되거나 감분되어 상기 비교 회로가 상기 클럭 주기 내에 2 회의 비교를 수행할 수 있도록 하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 7.

제 6 항에 있어서,

상기 D/A 변환 데이터는 상기 제 1 D/A 변환 회로의 상기 제 1 아날로그 전류로부터 1/2 클럭 주기만큼 벗어난 타이밍에 상기 제 1 D/A 변환 회로의 1 LSB 에 대응하는 값만큼 증분되거나 감분되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 8.

제 7 항에 있어서,

상기 제 2 스위치 회로는 상기 제 1 스위치 회로에 각각 접속된 출력단을 가지는 시프트 레지스터이며, 상기 제 1 D/A 변환 회로의 것보다 1/2 클럭 주기만큼 벗어난 상기 타이밍은 상기 클럭 신호를 반전시켜 얻은 클럭 신호에 따라 생성되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 9.

제 8 항에 있어서,

상기 제 1 및 제 2 D/A 변환 회로에 대응하여 복수의 레지스터가 각각 설치되며, 상기 표시 데이터는 각각의 상기 레지스터에 설정되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 10.

제 9 항에 있어서,

상기 레지스터의 상기 표시 데이터의 세팅은 상기 레지스터의 모든 비트에서 '0' 을 리셋하거나 상기 레지스터의 모든 비트에서 '1' 을 리셋함으로써 수행되며, 상기 레지스터에 설정된 상기 D/A 변환 데이터는, 모든 비트가 '0' 인 상태에 대응하는 최소값에서 모든 비트가 '1' 인 상태에 대응하는 최대값으로 상기 클럭 신호에 따라 순차적으로 증분되거나, 상기 클럭 신호에 따라 상기 최대값에서 상기 최소값으로 순차적으로 감분되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 11.

제 1 항에 있어서,

상기 제 2 D/A 변환 회로는 상기 제 1 D/A 변환 회로의 최소 유효 비트에 대응하는 분해능을 갖는 제 3 D/A 변환 회로 및 상기 제 1 D/A 변환 회로의 최소 유효 비트의 분해능에 대응하는 전류보다 작은 전류를 생성하는 전류원을 포함하며, 상기 제 2 D/A 변환 회로는 상기 표시 데이터의 값과 동일한 값을 갖는 상기 D/A 변환 데이터의 D/A 변환을 통해 얻어지는 전류와 상기 전류원의 전류와의 합으로 상기 제 2 아날로그 전류를 생성하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 12.

유기 EL 표시 패널의 복수의 단자 핀에 대응하여 각각 설치되는 유기 EL 패널 구동 회로의 복수의 출력 핀에서 상기 유기 EL 표시 패널을 구동하기 위한 구동 전류를 생성하는 IC 칩에 형성된 유기 EL 소자 구동 회로의 구동 전류의 적부 테스트 방법에 있어서,

상기 유기 EL 소자 구동 회로는,

디지털 표시 데이터를 제 1 아날로그 전류로 변환하기 위해 상기 출력 핀에 대응하여 각각 설치되는 복수의 제 1 D/A 변환 회로;

상기 출력 핀에 대응하여 설치되며, 상기 제 1 아날로그 전류 또는 상기 출력 핀에 대응하여 설치된 출력단 전류원을 통해 상기 제 1 아날로그 전류를 보내어 얻어지는 구동 전류를 온/오프 제어하도록 조절되어 있는 복수의 스위치 회로;

각각의 상기 제 1 D/A 변환 회로의 최소 유효 비트보다 높은 최소 유효 비트 분해능을 가지며, 상기 표시 데이터에 대응하는 데이터를 D/A 변환함으로써 기준 전류로서 제 2 아날로그 전류를 생성하는 제 2 D/A 변환 회로;

상기 스위치 회로를 통해 출력된 상기 제 1 아날로그 전류 또는 상기 구동 전류를 상기 제 2 아날로그 전류 또는 출력단 전류원을 통해 상기 제 2 아날로그 전류를 보내어 얻어지는 전류와 비교하는 비교 회로; 및

상기 스위치 회로를 순차적으로 하나씩 온으로 하는 제어 회로를 구비하며,

상기 비교 회로의 비교 결과는 외부로 출력되며, 각각의 상기 출력 핀에서 상기 유기 EL 소자 구동 회로에 의해 생성된 상기 구동 전류의 적부는 상기 IC 칩에서 얻은 상기 비교 결과에 따라 테스트되는 것을 특징으로 하는 적부 테스트 방법.

청구항 13.

제 12 항에 있어서,

상기 D/A 변환 데이터는 상기 표시 데이터, 상기 표시 데이터의 값과 같은 값을 갖는 데이터 및 최소 유효 비트가 부가된 표시 데이터 중 하나이며, 상기 제 2 아날로그 전류는 상기 제 1 D/A 변환 회로의 상기 최소 유효 비트에 대응하는 전류보다 작은 전류에 대응하는 값만큼 상기 제 1 아날로그 전류보다 크거나 작으며, 상기 비교 결과는 하이 레벨 신호 또는 로우 레벨 신호로서 생성되는 것을 특징으로 하는 적부 테스트 방법.

청구항 14.

제 13 항에 있어서,

상기 제어 회로는 상기 제 1 스위치 회로를 하나씩 순차적으로 온 상태로 되게 하는 제 2 스위치 회로를 포함하며, 상기 제 2 아날로그 전류는 각각의 상기 제 1 D/A 변환 회로에 의해 변환된 상기 제 1 아날로그 전류의 전류값에 대하여 선행하는 전류값과 후행하는 전류값을 가지며, 상기 비교 회로는 상기 제 2 아날로그 전류의 선행 및 후행하는 전류값과 상기 제 1 D/A 변환 회로의 제 1 아날로그 전류를 두 번 비교하는 것을 특징으로 하는 적부 테스트 방법.

청구항 15.

제 14 항에 있어서,

상기 제 1 스위치 회로는 상기 유기 EL 소자의 전하를 리셋하기 위한 리셋 스위치이거나 블랙 레벨의 쓰기를 수행하기 위한 프리차지 스위치이며, 상기 제 2 D/A 변환 회로의 비트 수는 상기 제 1 D/A 변환 회로의 비트 수보다 1 만큼 더 크며, 상기 제 2 D/A 변환 회로의 하나의 비트는 '1'로 설정된 최소 유효 비트이며, 상기 D/A 변환 데이터는 상기 표시 데이터 또는 상기 표시 데이터의 값과 같은 값을 가지는 상기 데이터와 동일하고 상기 제 2 D/A 변환 회로의 남아있는 비트에서 설정되는 것을 특징으로 하는 적부 테스트 방법.

청구항 16.

제 15 항에 있어서,

상기 제 1 및 제 2 D/A 변환 회로의 D/A 변환은 클록 신호와 동기화되어 수행되며, 상기 제 2 D/A 변환 회로에 설정된 상기 D/A 변환 데이터는 상기 클록 주기 내에서 증분되거나 감분되어 상기 비교 회로가 상기 클록 주기 내에 2 회 의 비 교를 수행할 수 있도록 하는 것을 특징으로 하는 적부 테스트 방법.

청구항 17.

제 16 항에 있어서,

상기 D/A 변환 데이터는 상기 제 1 D/A 변환 회로의 상기 제 1 아날로그 전류로부터 1/2 클록 주기만큼 벗어난 타이밍에 상기 제 1 D/A 변환 회로의 1 LSB 에 대응하는 값만큼 증분되거나 감분되는 것을 특징으로 하는 적부 테스트 방법.

청구항 18.

제 12 항에 있어서,

상기 IC 칩의 외부에 설치된 적부 판정 장치를 더 구비하며,

상기 적부 판정 장치는, 상기 비교 결과에 있어, 상기 클록 신호에 따라 교대로 생성되는 하이 레벨 신호의 수와 로우 레벨 신호의 수를 판정하는 것을 특징으로 하는 적부 테스트 방법.

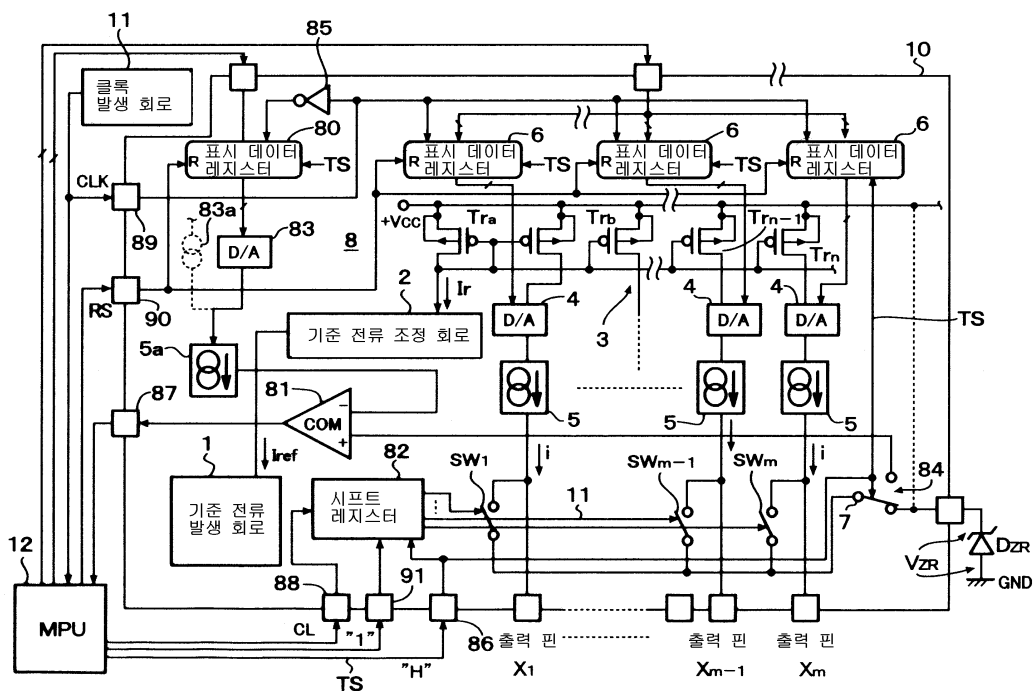
청구항 19.

제 12 항에 있어서,

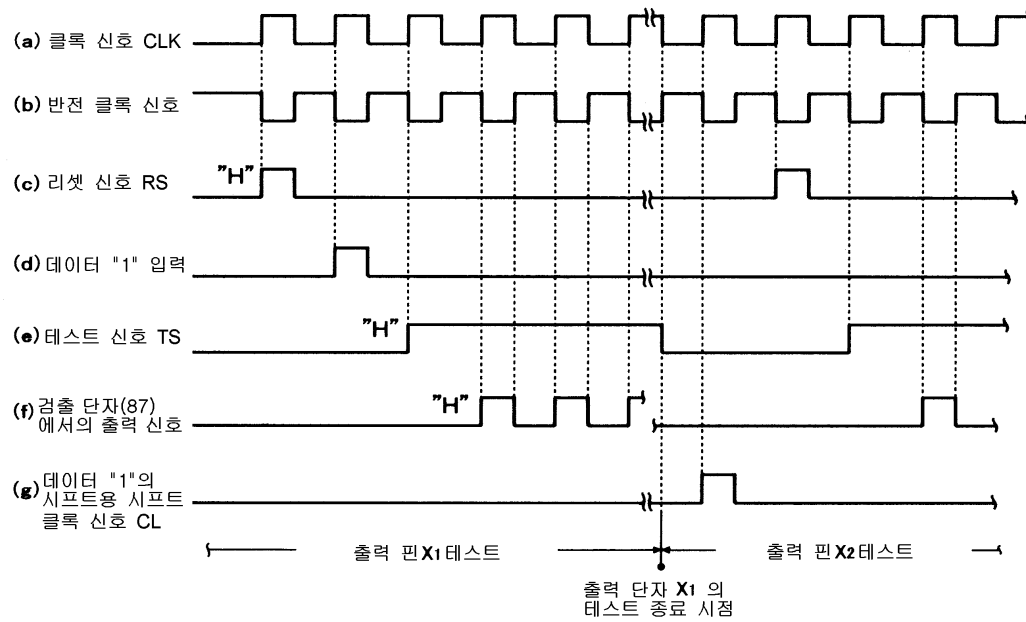
상기 적부 판정 장치는, 상기 하이 레벨 신호 및 상기 로우 레벨 신호가 수에 있어서 동일한 경우 및/또는 상기 하이 레벨 신호와 상기 로우 레벨 신호의 수가 증분 수에 대응하는 경우에, 상기 구동 전류를 적합한 것으로 판정하는 것을 특징으로 하는 적부 테스트 방법.

도면

도면1



도면2



도면3

