

(19) (KR)  
(12) (A)

(51) 。 Int. Cl.<sup>7</sup>  
G09G 3/30 (11) 10-2004-0096510  
G09G 3/20 (43) 2004 11 16

(21) 10-2004-7010126  
(22) 2004 06 25  
2004 06 25  
(86) PCT/CA2002/002008 (87) WO 2003/056538  
(86) 2002 12 23 (87) 2003 07 10

(30) 10/036,002 2001 12 26 (US)  
(71) 8 3 4 10102-114  
(72) 3 1 2 1072  
(74) :

(54)

,  
 , 2 , 1  
 FET가  
 가 2 DC 가

8  
 , , 2 , DC

가

- 1 .
- 2 1 .
- 3 2 가 .
- 4 09/504,472
- 5A 5C 4 .
- 6 2 .
- 7 .
- 8 (column driver) .
- 9 (row driver) .
- 10 9 .
- 11 12 .

가

가

가

가

가

가 0

가

가

1 2 (ROW 1, ROW 2 ) , (COL 1, COL 2 ) 2

2 가 1 ROW 4 COL 4

가

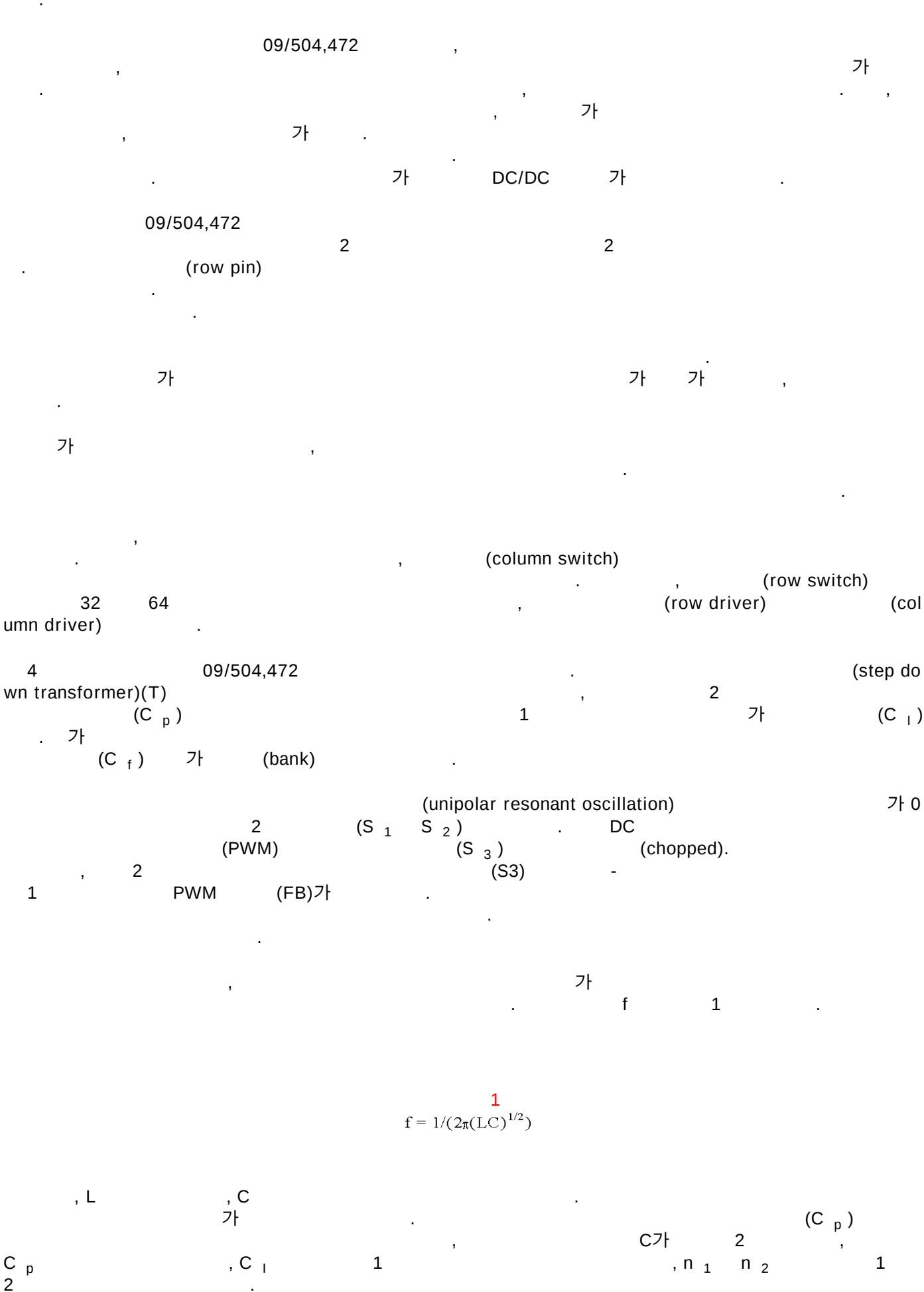
가

가

가

가

[illegible]



$$C = (n_2/n_1)^2 C_p + C_I$$

2 (n<sub>2</sub>/n<sub>1</sub>) C<sub>1</sub> 2 가 , .  
가 5A 1 2 가 , .  
0 , 5B ,  
가 0 가 ,  
, 5C 가 , DC ,  
가 5A ,  
5B 가 .

5,576,601 (Koenck ) (autotransformer) 2  
가 .

가 ,  
가 .

3,749,977 (Sliker) 2 가  
가 .

JP 11067447 (Okada)

4,866,349 (Weber ) 가

5,517,089 (Ravid)

가 ,  
가 (clamping) ,  
가 (clipping) .

가 , 4 (T) 2 (C<sub>s</sub>) 6  
(full wave rectifier) (C<sub>s</sub>) 2 (C<sub>p</sub>) 2

2 . 2 1.05:1 , 4 1.1:1 , 3 2 1.1:1 1.2:1  
 09/504,472 ) DC 3 (C<sub>s</sub>)  
 (C<sub>p</sub>)  
 ,  
 가  
 , 가 (PWM)  
 (C<sub>p</sub>)가 , 90%가  
 2 , 10% (C<sub>s</sub>) , 50%  
 가 , (C<sub>p</sub>) 1  
 (C<sub>s</sub>) , 90%가  
 IC가 , 0.5  
 , 10:1 ,  
 20:1 , 30:1  
 (C<sub>s</sub>) RC , 2 2  
 2  
 (Schottky diode)  
 6 , 가 가 , 1  
 2 , (C<sub>s</sub>)  
 가 1  
 (C<sub>s</sub>) 2 , 가 ,  
 (drift) 09/504,742 (C<sub>s</sub>)  
 1 ,  
 가 7 , HSync  
 HSync (60) , 0  
 가 , (62) (66) 가 (60) (62 64)  
 VSync (66) (64 66)  
 , (68 70) 가  
 2 가 , 2 가  
 , 2  
 가 ,  
 5,432,015 , 3 가  
 , C<sub>d</sub> 가  
 가  
 4:1 , 10:1 , 2:1  
 3:1 , (μF) , (nF)  
 VGA , 8.5 240×320  
 , 150  
 , 10 가

7 . 60  
0.4

8 9 . 10

IC DC 330 (120/240 AC ).  
( 7),

가 (FPGA's)

11 12 7, 8, 9 10 ,  
120Hz  
32kHz

8 , T2 1 , T2  
1 C42 C11 5  
C42 C<sub>1</sub> 2  
C<sub>1</sub> 가  $(n_2/n_1)^2 C_P$  C9 C42

8 , T2 2 (C<sub>s</sub>)  
DC ,

2 MOSFET(Q2 Q3)  
LC DRV (IC)가 HSync  
가 0 가 (FPGA) LC DRV (ASIC)  
가 , LC DRV A 50% TTL LC DRV  
LC DRV B

8 , T6 MOSFET(Q1)  
(U1) 330 DC  
(L2) DC 가  
(D12) MOSFET(Q1)  
T2 1

HSync TTL PWM\_SYNC

9 , T1 가  
T2 ,  
T2

T1 2 4 .  
10  
ac . 6 MOSFE

T(Q4 Q9)  
FRAME POL TTL  
AME POL VSINC FR  
T1 4 (FRAME\_POL - 1  
FRAME\_POL - 4)

- (57)
1.

가 (C<sub>P</sub>) , , (C<sub>P</sub>) , , (C<sub>P</sub>) 가 .
2.

1 , ormer) 가 (C<sub>P</sub>) (step down transf
3.

2 , 1 2 가 (C<sub>I</sub>)가 1 (C<sub>P</sub>)가 (C<sub>P</sub>) (C<sub>I</sub>) (C<sub>S</sub>) , (C<sub>S</sub>) 가 (C<sub>P</sub>) , (C<sub>P</sub>)가 1 2 , (C<sub>S</sub>) , ( ) , 가 (C<sub>S</sub>) , ( ) , 가 , .
4.

3 , (C<sub>S</sub>) 10:1 .
5.

4 , (C<sub>S</sub>) 20:1 .
6.

5 , (C<sub>S</sub>) 30:1 .
7.

3 ,

8.

3

가 2

1 2

1.05:1

9.

3

가 2

1 2

1.1:1

10.

9

가 2

1 2

1.1:1

1.2:1

11.

3

1

 $n_1$ 

,

2

 $n_2$ ,  $C_1 \gg (n_2/n_1)^2 \times C_p$ 

12.

3

가

가

13.

1

가

(chopping)

14.

1

가

(rate)

가

15.

14

가

16.

15

1

17.

16

18.

가  $(C_P)$  ,  
 $(C_P)$  ,  
 $(C_P)$  가

19.

18 ,  
 ormer) 가  $(C_P)$  (step down transf

20.

19 ,  
 가  $(C_I)$ 가  $1$  ,  $(C_P)$ 가  
 $1$   $2$  , 가  $(C_I)$  ,  
 $(C_P)$   $(C_P)$   $(C_S)$  ,  
 $2$  ,  $(C_P)$ 가  $(C_S)$   $(C_P)$  , ( ) 가  
 $1$   $2$  ,  $(C_S)$  , ( )  
 가  $(C_S)$  , ( ) 가

21.

20 ,  
 $(C_S)$  10:1

22.

21 ,  
 $(C_S)$  20:1

23.

22 ,  
 $(C_S)$  30:1

**24.**

20 ,

.

**25.**

20 ,

가 2 1 2 1.05:1

**26.**

20 ,

가 2 1 2 1.1:1

**27.**

26 ,

가 2 1 2 1.1:1 1.2:1

**28.**

20 ,

1  $n_1$  , 2  $n_2$  ,  $C_1 \gg (n_2/n_1)^2 \times C_P$ **29.**

20 ,

가 가 .

**30.**

18 ,

가 , .

**31.**

18 ,

가 가

**32.**

31 ,

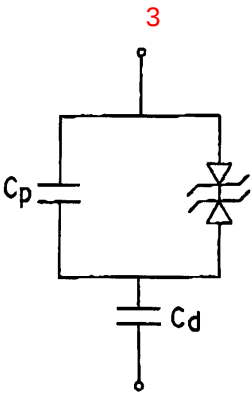
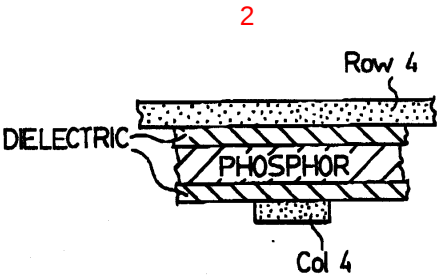
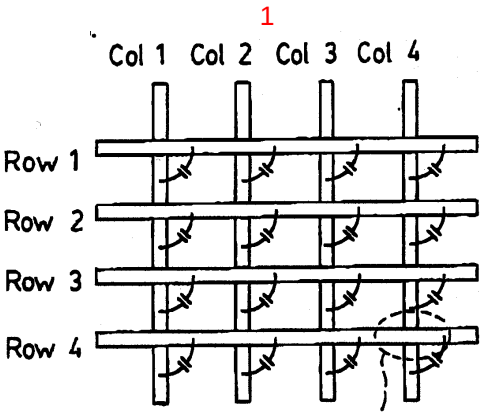
가 .

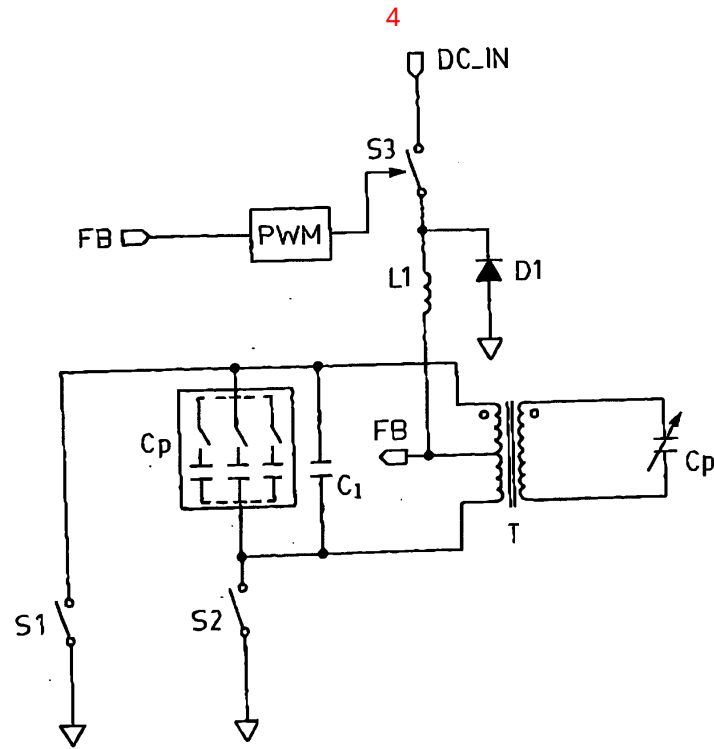
**33.**

32 ,

1

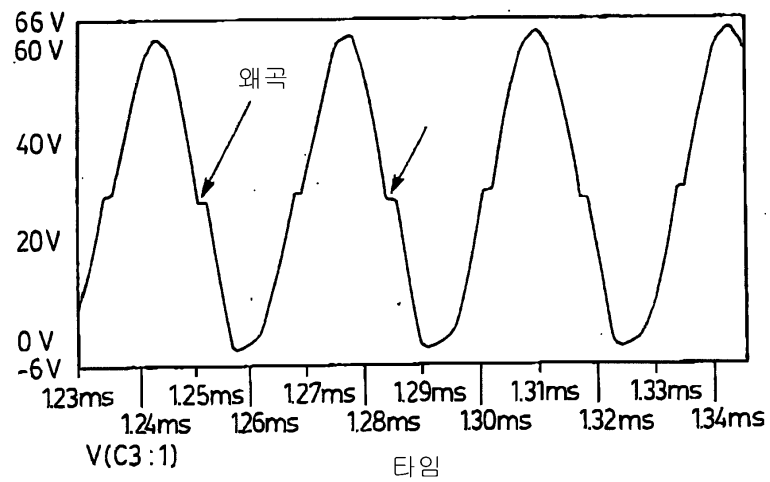
33 34.





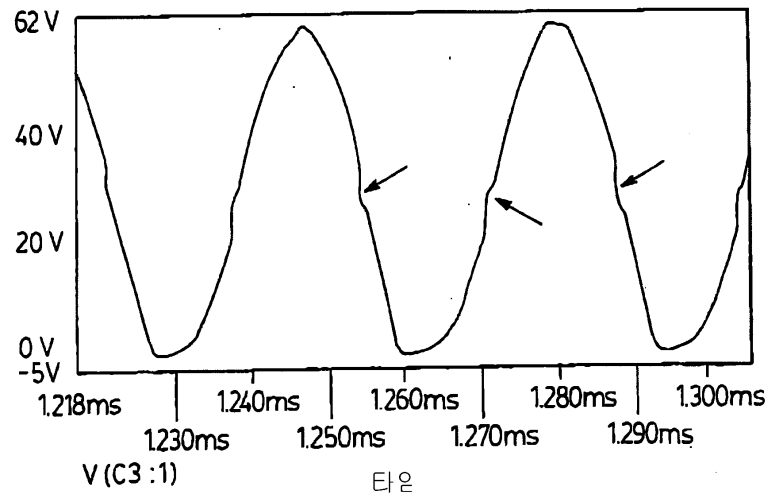
5a

너무 높은 공명주파수에 기인하는 파형 왜곡



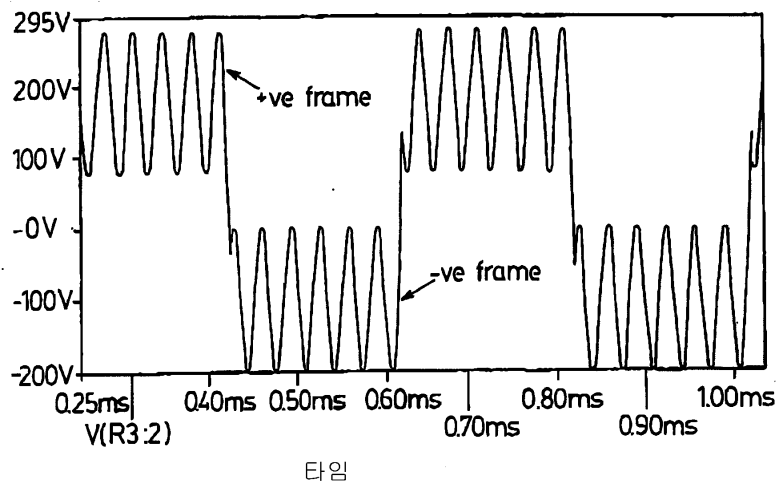
## 5b

너무 낮은 공명주파수에 기인하는 파형왜곡

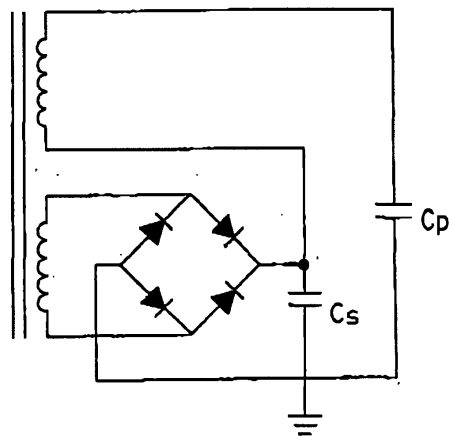


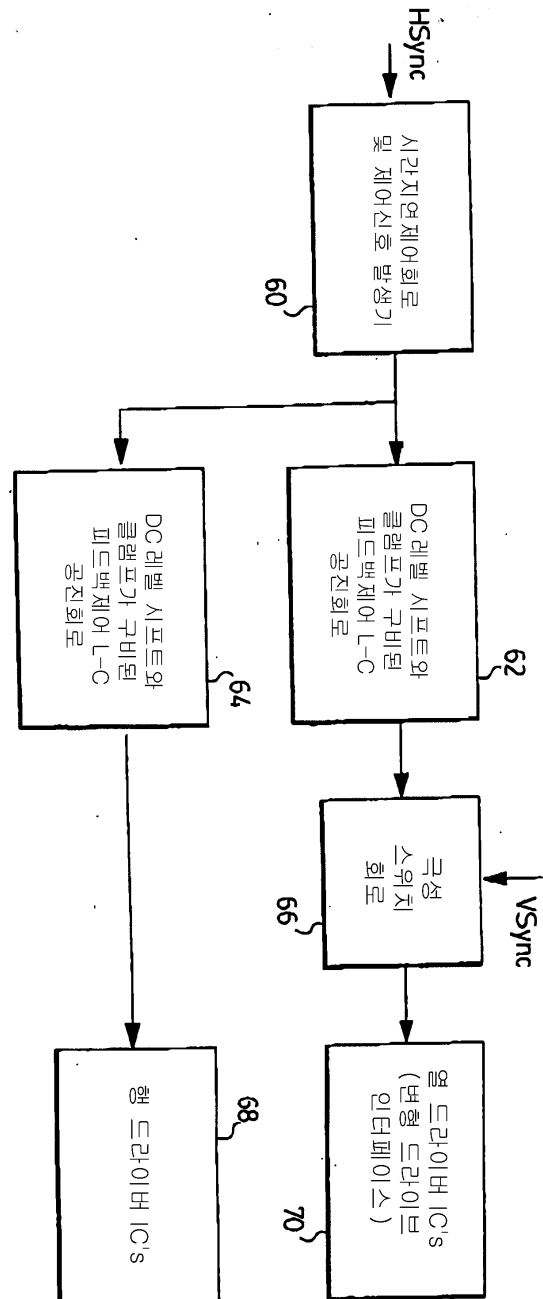
## 5c

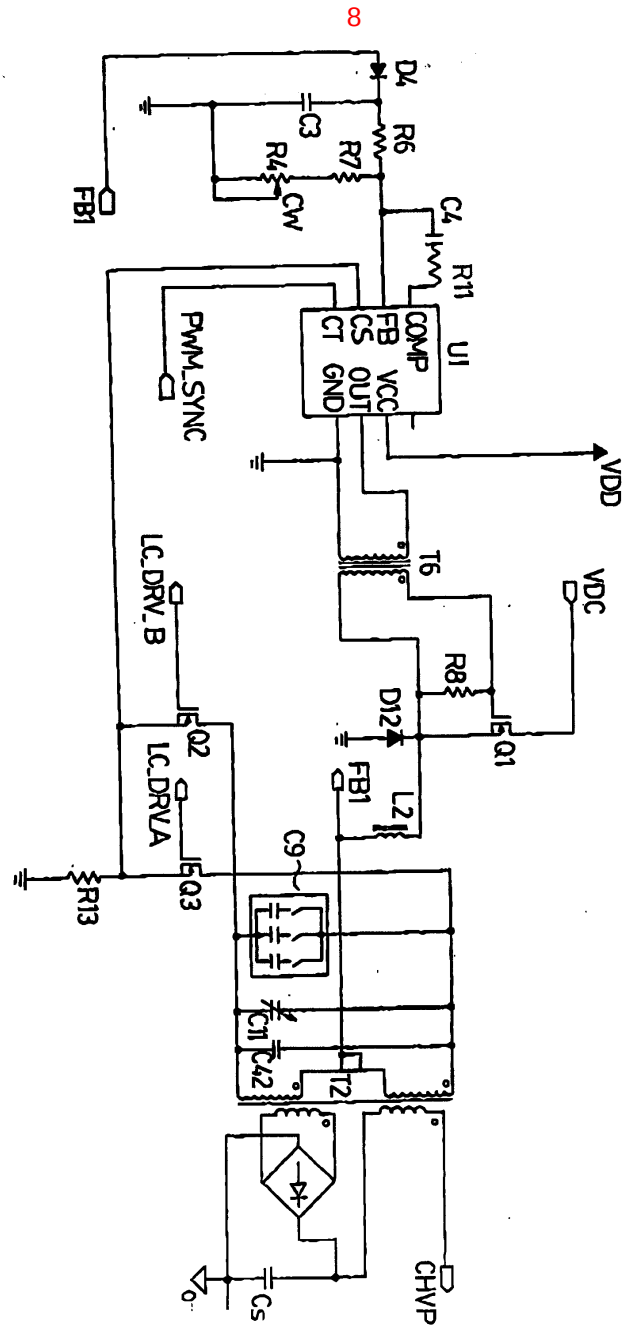
+ve 와 -ve 디스플레이 사이클을 나타내는 열 드라이브  
극성 스위치 출력 (나타낸 프레임당 6 라인)

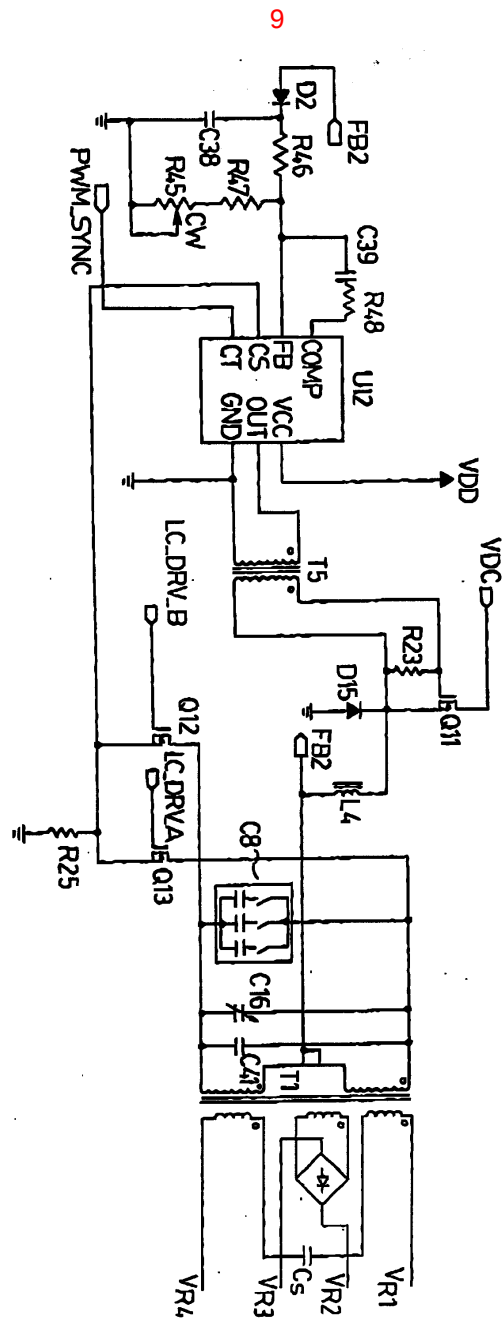


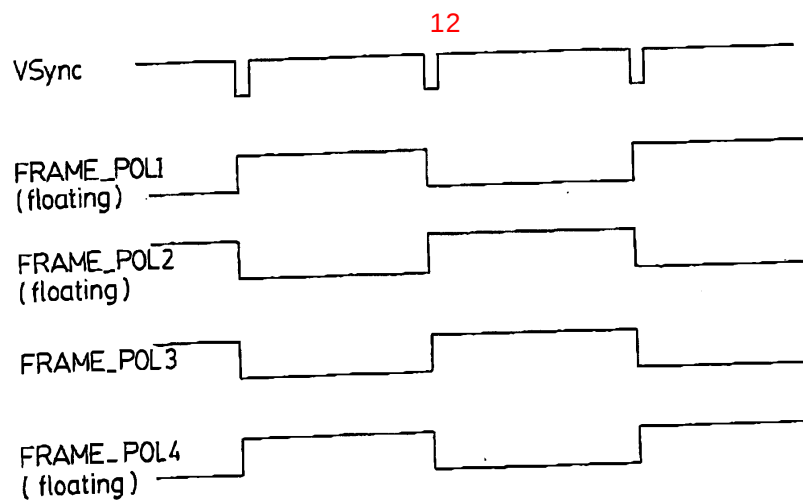
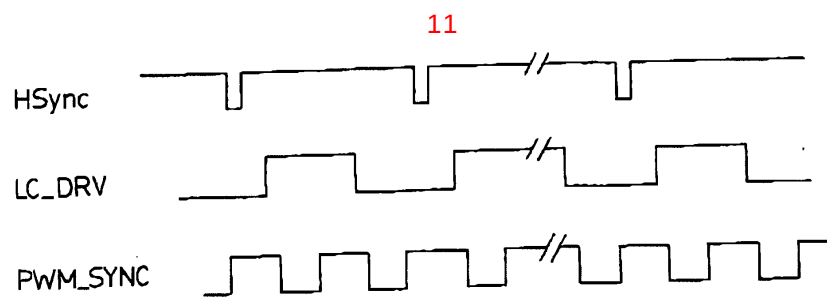
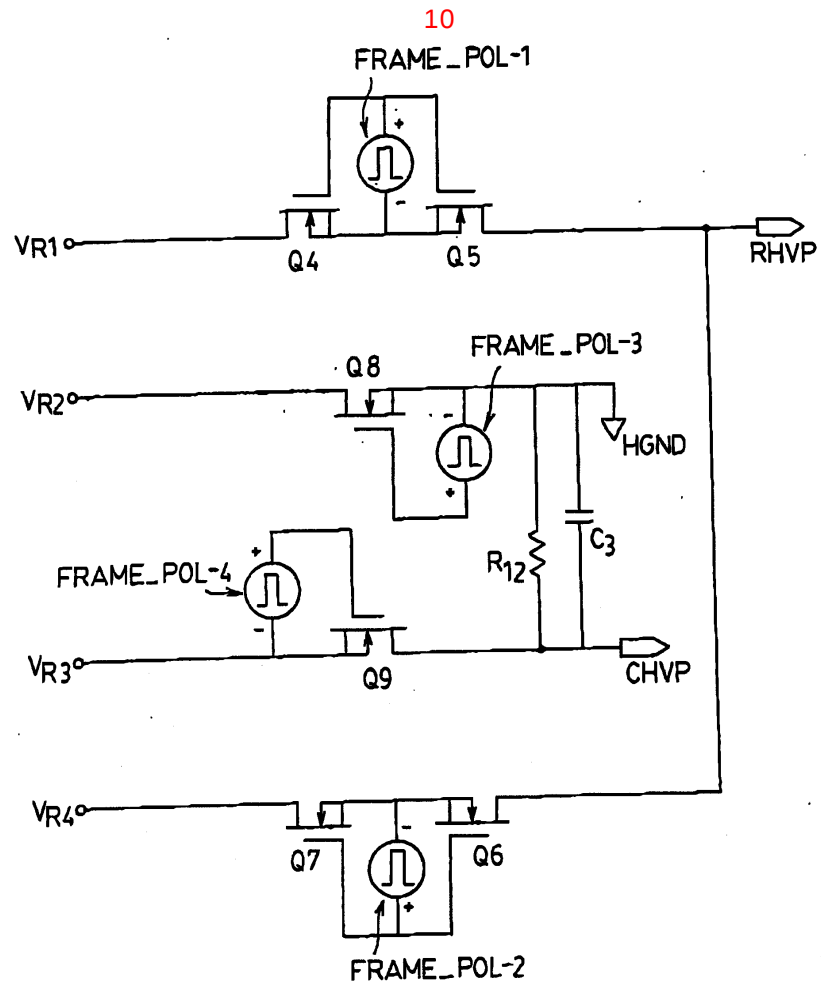
## 6











它有效地恢复了驱动电路存储在像素行中的电容能量。由于行是用地址指定的能量，因此集成了传送到像素的另一行的谐振电路。谐振电路包括降压转换器，以及绕组的第一个两端的电容器。为了与定时脉冲同步地驱动谐振电路，其中显示面板的行连接到绕组的第二两端或者热和输入电压和FET控制显示器的地址分配，它切换。本发明的重组可以是与连接到整流器和面板或加热的附加次级绕组的行串联连接的DC存储电容器。由于负载的变化，附加电路将驱动器电压钳位在规定的电平，因此不会担心负载的变化。驱动电路，显示面板，谐振电路，次级绕组，DC存储电容器。

