

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H05B 33/26

(11) 공개번호 특2001-0050782
(43) 공개일자 2001년06월25일

(21) 출원번호	10-2000-0057597
(22) 출원일자	2000년09월30일
(30) 우선권주장	1999-281792 1999년10월01일 일본(JP)
(71) 출원인	산요 덴키 가부시기가이샤 다카노 야스아키
(72) 발명자	일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고 오쿠야마마사히로 일본아이찌켄이나자와시기따지마쵸호덴25 고미야나오아끼 일본기후켄오가끼시미와쵸1847-1
(74) 대리인	장수길, 주성민

심사청구 : 있음

(54) E L 표시 장치

요약

음극에 인가되는 전압의 저감을 방지하고, 표시 품위의 악화를 방지한다.

음극(25)에는, 폭이 넓은 부 WD4를 설치하고, 캐소드 단자 TN2로부터 연장되는 배선 HS2에도 폭이 넓은 부 WD3을 설치한다. 그리고 여기에 사이즈가 큰 콘택트 CN1을 형성한다. 또한 이 콘택트 CN1에 있어서, 산화물로 이루어지는 도전 재료(100)를 통해 음극(25)과 접속한다.

대표도

도2

색인어

EL 소자, 콘택트, 음극, 보유 용량, 층간 절연막

명세서

도면의 간단한 설명

도 1은 본 발명의 EL 표시 장치를 설명하는 도면.

도 2는 도 1의 A-A 선의 단면도.

도 3은 도 4의 콘택트 CN2를 설명하는 도면.

도 4는 본 발명의 EL 표시 장치를 설명하는 도면.

도 5는 본 발명의 EL 표시 장치의 표시 화소를 설명하는 평면도.

도 6은 도 5의 A-A 선의 단면도.

도 7은 도 5의 B-B 선의 단면도.

도 8은 종래의 EL 표시 장치를 설명하는 평면도.

도 9는 도 8의 A-A 선의 단면도.

도 10은 도 8의 B-B 선의 단면도.

도 11은 도 5의 A-A 선에 상당하는 톱 게이트형 TFT를 채용한 EL 표시 장치의 단면도.

도 12는 도 5의 B-B 선에 상당하는 톱 게이트형 TFT를 채용한 EL 표시 장치의 단면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 제1 TFT

2 : 보유 용량 전극

3 : 용량 전극
 4 : 제2 TFT
 6 : 양극
 8 : 보유 용량
 14 : 층간 절연막
 20 : EL 소자
 GL : 게이트 라인
 DL : 드레인 라인
 CL : 보유 용량 라인
 VL : 구동 라인 VL
 CN1 : 콘택트
 CN2 : 콘택트
 TN1~TN5 : 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네스센스 소자 및 박막 트랜지스터를 구비한 일렉트로 루미네스센스 표시 장치에 관한 것이다.

최근, 일렉트로 루미네스센스(Electro Luminescence : 이하, 「EL」이라고 칭함.) 소자를 이용한 EL 표시 장치가 CRT나 LCD를 대신하는 표시 장치로서 주목받고 있고, 예를 들면 그 EL 소자를 구동시키는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : 이하, 「TFT」라고 칭함.)를 구비한 EL 표시 장치의 연구 개발도 진행되고 있다.

도 8에 유기 EL 표시 장치의 표시 화소를 도시하고, 도 9에 도 8의 A-A선에 따른 단면도를 도시하고, 도 10에 도 8의 B-B 선에 따른 단면도를 도시한다.

도면에 도시된 바와 같이, 게이트 라인 GL과 드레인 라인 DL로 둘러싸인 영역에 표시 화소가 형성되어 있다. 양 신호선의 교점 부근에는 스위칭 소자인 제1 TFT(1)가 구비되어 있고, 그 TFT(1)의 소스는, 보유 용량 전극(2)과 용량을 구성하는 용량 전극(3)을 겸함과 함께, 유기 EL 소자를 구동하는 제2 TFT(4)의 게이트(5)에 접속되어 있다. 제2 TFT(4)의 소스는 유기 EL 소자의 양극(6)에 접속되고, 다른 드레인인 유기 EL 소자를 구동하는 구동 라인 VL에 접속되어 있다.

또한, 상기 보유 용량 전극(2)은 크롬 등으로 이루어져 있고, 상층의 게이트 절연막(7)을 통해 제1 TFT(1)의 소스와 일체의 용량 전극(3)과 중첩하여, 상기 게이트 절연막(7)을 유전체층으로서 전하를 축적하고 있다. 이 보유 용량(8)은 제2 TFT(4)의 게이트(5)에 인가되는 전압을 보유하고 있다.

계속해서, 스위칭용의 제1 TFT(1)에 대해 도 9와 도 10을 참조하면서 설명한다.

우선 석영 유리, 무알카리 유리 등으로 이루어지는 투명한 절연성 기판(10) 상에, 크롬(Cr), 몰리브덴(Mo)등의 고용점 금속으로 이루어지는 제1 게이트 전극(11)이 설치되어 있다. 이 제1 게이트 전극(11)은, 도 8과 같이 게이트 라인 GL과 일체로 예를 들면 좌우로 복수 라인 병행으로 연장되어 있다. 또한 도 9의 제1 게이트 전극(11)의 우측 이웃에는, 제1 게이트 전극(11)과 동일 공정으로 만들어진 보유 용량 전극(2)이 형성되어 있다. 이 보유 용량 전극(2)은, 도 8과 같이 용량을 구성하기 때문에, 제1 TFT(1)와 제2 TFT(4) 사이에, 확대된 부분을 포함하고, 이것은 좌우로 연장된 보유 용량 라인 CL과 일체로 구성되어 있다.

계속해서, 게이트 절연막(7)을 통해 다결정 실리콘(p-Si라고 칭함.)막으로 이루어지는 제1 능동층(12)이 형성되어 있다. 이 능동층(12)은, LDD (Lightly Doped Drain) 구조가 채용되어 있다. 즉, 게이트의 양측에 저농도 영역이 설치되고, 또한 외측에는, 고농도의 소스 영역 및 드레인 영역이 설치되어 있다. 상기 능동층(12) 상에는, 스토퍼 절연막(13)이 설치되어 있다. 이 스토퍼 절연막(13)은, 능동층(12)에 의한 주입 저지막이고, 여기서는 Si 산화막으로 이루어진다.

그리고, 게이트 절연막(7), 능동층(12) 및 스토퍼 절연막(13) 상에는, 예를 들면 순서대로 SiO₂막, SiN 막 및 SiO₂막이 적층된 층간 절연막(14)이 설치되고, 드레인에 설치한 콘택트를 C1을 통해 드레인 전극으로 이루어지는 드레인 라인 DL이 전기적으로 접속되어 있다. 또한 전면에는, 표면의 요철을 평탄하게 하기 위해, 예를 들면 유기 수지로 이루어지는 평탄화막 PLN이 형성되어 있다. EL 표시 장치는, 전류 구동이므로, EL 층이 균일한 막 두께여야 한다. 막 두께가 얇은 부분에서 전류집중이 발생하기 때문이다. 따라서 적어도 이 형성 영역은, 상당한 평탄성이 요구되기 때문에, 상기 평탄화막 PLN이 채용된다.

이어서, 유기 EL 소자를 구동하는 제2 TFT(4)에 대해 도 8과 도 10을 참조하여 설명한다.

상술된 절연성 기판(10) 상에는, 상기 제1 게이트(11)와 동일 재료의 제2 게이트 전극(15)이 설치되어 있고, 게이트 절연막(7)을 통해 제2 능동층(16)이 설치되어 있다. 상술된 바와 같이 능동층 상에는 스토퍼 절연막(17)이 설치되어 있다.

상기 능동층(16)에는, 게이트 전극(15) 상측에 진성 또는 실질적으로 진성인 채널과, 이 채널의 양측에, p형 불순물의 소스 영역 및 드레인 영역이 설치되어 p형 채널 TFT를 구성하고 있다.

그리고 전면에는, 상술된 층간 절연막(14)이 형성되어 있다. 그리고 콘택트홀 C2를 통해 구동 라인 VL이 전기적으로 접속되어 있다. 또한 전면에는, 상술된 평탄화막 PLN이 형성되고, 콘택트홀 C3에 의해 소스가 노출되어 있다. 그리고 이 콘택트홀을 통해 ITO (Indium Thin Oxide)로 이루어지는 투명 전극(유기 EL 소자의 양극 : 6)이 형성되어 있다.

유기 EL 소자(20)는, 상기 양극(6), MTDATA (4, 4-bis (3-methylphenylphenylamino)biphenyl)로 이루어지는 제1 홀 수송층(21), 및 TPD (4, 4, 4-tris(3-methylphenylphenylamino) triphenylamine)로 이루어지는 제2 홀 수송층(22), 퀴나크리돈(Quinacridone) 유도체를 포함하는 Beq2 (10-벤조 [h] 퀴놀리놀 베를루체)로 이루어지는 발광층(23) 및 Beq2로 이루어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM, 마그네슘·인듐 합금으로 이루어지는 음극(25)이 이 순서로 적층 형성된 구조이고, 유기 EL 소자의 실질 전면에 설치되어 있다.

유기 EL 소자의 발광 원리 및 동작은, 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 발생하는 과정에서 발광층으로부터 빛이 발하고, 이 빛이 투명한 양극으로부터 투명 절연 기판을 통해 외부로 방출되어 발광한다.

이와 같이, 제1 TFT1의 소스 S로부터 공급된 전하가 보유 용량(8)에 축적되고, 제2 TFT(4)의 게이트(15)에 인가되고, 그 전압에 따라 유기 EL 소자를 전류 구동하고, 발광한다.

발명이 이루고자하는 기술적 과제

그런데, 도 10에 도시된 바와 같이 유기 EL 소자를 구동하기 위한 음극(25)은 표시 화소 영역의 전면에 형성되고, 투명 기판(10)의 일단에 배치된 단자와 전기적으로 접속되어 있었다.

특히 음극(25)은 외부로부터 DC 또는 AC의 전위가 제공되고, 양극(6)과 음극(25)사이에서 전류가 흐른다. 따라서 음극(25)이나 음극과 접속되는 배선의 콘택트 저항, 배선 저항이 크면, 음극에 제공하는 바이어스가 저하하고, 표시 품질을 저하시키는 문제가 있었다.

본 발명은 상술된 과제에 감안하여 이루어지고, 첫번째로, EL 소자의 한쪽 전극이 되는 상층 전극은 상기 단자군과 상기 표시 화소 영역사이에 위치하는 영역에서, 상기 단자와 전기적으로 접속되는 것으로 해결하는 것이다.

두번째로, 상층 전극은 상기 단자군으로부터 연장되는 배선과 접속되고, 상기 상층 전극과 상기 배선사이에는 산화물로 이루어지는 전극이 설치됨으로써 해결하는 것이다.

세번째로, 상층 전극은 상기 단자군으로부터 연장되는 배선과 접속되고, 상기 상층 전극과 상기 배선사이에는, 상기 EL 소자의 양극과 동일 재료인 투명 전극이 설치되는 것으로 해결하는 것이다.

네번째로, 배선은 상기 EL 소자를 구동하는 배선과 동일 재료로 이루어지고, 여러개의 상기 단자와 전기적으로 접속된 폭이 넓은 배선으로 이루어지고, 상기 상층 전극과 상기 배선이 폭이 넓은 콘택트홀을 통해 전기적으로 접속되는 것으로 해결하는 것이다.

복수 라인의 캐소드 단자를 설치하면, 이 복수 라인의 캐소드 단자와 표시 화소 영역사이에는 큰 스페이스를 배치할 수 있다. 따라서 여기에 폭이 넓은 배선을 설치할 수 있어 배선 저항을 저감시킬 수 있고, 또한 음극과 상기 배선을 접속하는 폭이 넓은 콘택트도 형성할 수 있기 때문에, 콘택트 저항을 저감시킬 수 있다.

또한 배선은, A1을 주 재료로 하기 때문에, 표면에 산화물이 생성되기 쉽지만, 음극의 하층에 산화물로 이루어지는 도전 재료를 설치함으로써, 콘택트 저항의 증가를 억제할 수 있을 뿐 아니라, 콘택트 저항의 저감을 실현할 수 있다.

발명의 구성 및 작용

본 발명의 EL 표시 장치를 설명하기 전에, 도 1의 점선으로 나타낸 표시 화소 영역 HG를 구성하는 표시 화소에 대해 설명한다. 도 5는, EL 표시 장치를 평면도로 도시한 것으로, 점선으로 둘러싸이고, 점으로 해칭한 영역은 게이트 재료로 형성된 영역, 실선으로 둘러싸여 해칭되지 않은 부분은 P-Si층, 실선으로 둘러싸이고 사선으로 해칭된 부분은 투명 전극 재료로 이루어지는 부분이다. 또한 실선으로 둘러싸이고 사선으로 해칭된 부분이 A1을 주 재료로 하는 금속 재료로 형성된 부분이다.

도 6은, 도 5의 A-A선 단면도이고, 도 7은 도 5의 B-B선 단면도이다.

또한, 본 실시예에서는 제1, 제2 TFT1, 4 모두, 하부 게이트형의 TFT를 채용하고 있어, 능동층으로서 p-Si막을 이용하고 있다. 또한 게이트 전극(11, 15)은 싱글 게이트 구조이다.

또한 도 5에서는, 게이트 라인 GL, 드레인 라인 DL 및 전원 라인(구동 라인 VL)으로 둘러싸여 이루어지는 것을 표시 화소라고 한다.

그러면, 도 5~도 7을 참조하여 유기 EL 표시 장치를 구체적으로 설명해 간다.

우선, 적어도 표면이 절연성을 포함하는 투명 기판(10)이 있다. 본 실시예에서는, EL 소자를 수분으로부터 보호하기 위해, 메탈 캡(캔) CAP가 EL 재료를 밀봉하도록 상면에 설치되어 있다. 또한, 메탈 캡(CAP)이 도 1에 도시되어, 후술한다. 이 메탈 캡(CAP)이 설치되어 발광 광이 상기 투명 기판(10)으로부터 추출되기 때문에, 기판(10)은 투명할 필요가 있지만, 발광 광을 상측으로부터 추출하는 경우에는, 투명할 필요는 없다. 여기서는, 유리나 합성 수지등으로 이루어지는 투명 기판(10)을 채용하고 있다.

이 투명 기판(10) 상에는, 도 5의 일표시 화소의 상측변을 따라, 좌우로 게이트 라인 GL이 설치되어 있다. 또한 보유 용량(8)의 하층 전극으로서 작용하는 보유 용량 전극(2)이 설치됨과 함께, 이 보유 용량 전극(2)을 상호 연결하기 위해, 보유 용량 라인 CL이 좌우로 연장되어 있다. 이들 양 라인 GL, CL은, 동층이기 때문에, 점으로 해칭되어 있다. 또한 재료로는, 상층에 P-Si를 채용하는 이유로부터 Cr나 Ta 등의 고용점 금속이 채용된다. 여기서는, 약 1000~2000Å의 Cr이 스퍼터링으로 형성되어 있다. 또한 패터닝시에는, 스텝 커버리지가 고려되어, 측변은 테이퍼 형상으로 가공되어 있다.

계속해서, 전면에는 게이트 절연막(7)과 반도체층이 적층되어 형성되고 있다. 여기서는, 상기 게이트 절연막(7), 제1 능동층(12), 제2 능동층(16) 및 보유 용량(8)의 상층 전극인 용량 전극(3)의 재료인 a-Si도 포함시켜 플라즈마 CVD로 형성되어 있다. 구체적으로는, 하층으로부터 약 500Å의 Si 질화막, 약 1300Å의 Si 산화막 및 약 500Å의 a-Si가 연속 플라즈마 CVD로 형성된다.

이 a-Si는, 약 400도의 질소 분위기 속에서 탈수소 어닐링이 행해지고, 그 후 엑시머 레이저에 의해 P-Si화된다. 또한 부호(13, 17)는, Si 산화막으로 이루어지는 스톱퍼 절연막이고, 능동층(12, 16)의 이온 주입 시의 마스크로 이루어진다. 제1 TFT(1)는, 제1 스톱퍼 절연막(13)을 마스크로 하여 P(인) 이온이 주입되고, N 채널형의 소스, 드레인이 형성되고, 제2 TFT(4)는, 제2 스톱퍼 절연막(17)을 마스크로 하여 B(붕소) 이온이 주입되어 P 채널형의 소스, 드레인이 형성되어 있다.

또한 도 5와 같이, 포토리소그래피 기술에 의해 P-Si 층이 패터닝되어 있다. 즉 제1 TFT(1)의 P-Si 층은, 게이트 라인 GL과 드레인 라인 DL의 좌측 상 교차부의 하측에서, 드레인 라인 DL과 중첩하고, 게이트 전극(11)의 상층을 연장시킨 후, 보유 용량 전극(2)과 중첩하는 용량 전극(3)으로서 연장되어 있다. 또한 이 용량 전극(3)은, 제2 TFT(4)의 게이트 전극(15)과 전기적으로 접속하기 위해 이용되는 접속 배선(30)의 우단 하층으로 연장된다. 한편, 제2 TFT(4)의 P-Si 층은, 우측의 구동 라인 VL의 하층으로부터 제2 게이트 전극(15)의 상층을 연장시키고, 투명 전극으로 이루어지는 양극(6)의 하층에 연장되어 있다.

그리고 전면에는, 층간 절연막(14)이 형성되어 있다. 이 층간 절연막(14)은, 하층으로부터 약 1000Å의 Si 산화막, 약 3000Å의 Si 질화막, 1000Å의 Si 산화막의 3층 구조가 연속 CVD로 형성되어 있다. 이 층간 절연막은, 적어도 한층 있으면 좋다. 막 두께도 이것에 한하지 않는다.

이어서, 층간 절연막(14)의 상층에는, 도 5의 사선으로 해칭한 드레인 라인 DL, 구동 라인 VL 및 접속 배선(30)이 형성된다. 당연히 컨택트가 형성되고, 드레인 라인 DL과 제1 TFT(1)의 반도체층(12)과의 컨택트를 C1, 구동 라인 VL과 제2 TFT(4)의 반도체층(16)과의 컨택트를 C2, 접속 배선(30)과 용량 전극(3)과의 컨택트를 C4는, 각각의 반도체층이 노출되어 있다. 또한 접속 배선(30)과 제2 게이트 전극(15)의 컨택트를 C5는, 상술된 컨택트들과는 달리, 게이트 절연막이 여분으로 적층되기 때문에, 더욱 애칭되어 Cr이 노출되어 있다. 이 라인 재료는, 하층에 1000Å의 Mo, 상층에 7000Å의 Al, 또한 그 위에 Mo가 적층된 구조이고, Mo는, 배리어층이다. 또한 컨택트를 C3은 후술하겠다.

또한 약 1~3μm의 평탄화막 PLN(1)이 전면에서 형성되어 있다. 이 평탄화막 PLN(1)은, 후술된 평탄화막 PLN(2)의 채용과 함께 표면을 평탄하게 한다. 그 이유는, 종래예에서도 진술된 유기 EL 용의 막에 있다. 이 막은, 제1 홀 수송층(21), 제2 홀 수송층(22), 발광층(23) 및 전자 수송층(24)으로 이루어진다. 또한 홀 수송층은, 한층으로 구성되어도 좋다. 따라서, 유기층이 매우 얇은 막의 적층체이다. 또한 EL 소자는, 전류 구동이기 때문에, 이들 막 두께가 매우 균일하게 형성되지 않으면, 막 두께가 얇은 부분을 통해 전류가 대량으로 흐르고, 그 부분에 한층 빛나는 휘점이 발생함과 동시에, 이 포인트는, 유기막의 열화를 발생시키고, 최악의 경우 파괴에 이른다. 따라서, 이 파괴를 방지하기 위해서는, 양극(6)을 포함하는 전면이 가능한 한 평탄할 필요가 있다. 따라서, 예를 들면 아크릴계의 액형 수지가 도포되고, 유동성을 갖기 때문에, 평탄하게 되고나서 경화된다. 물론 이 평탄화막 PLN의 재료는, 이것에 한하지 않는다.

여기서는, 양극(6)과 제2 TFT(4)의 소스가 접속되기 때문에, 평탄화막 PLN(1) 및 층간 절연막(14)이 개구되고, 제2 능동층(16)이 노출된 컨택트를 C3이 형성되어 있다.

또한 양극(6)이 형성된 후에는, 더욱 평탄화막 PLN(2)이 형성된다. 그리고 양극(6)에 대응하는 평탄화막 PLN(2)이 제거되고, 그 위에는 EL 소자를 구성하는 유기막이 형성되어 있다. 우선 양극(6) 상에는, MTDATA (4, 4-bis (3-methylphenylphenyl amino)biphenyl)로 이루어지는 제1 홀 수송층(21), 및 TPD (4, 4-tris (3-methylphenylphenylamino) triphenylamine)로 이루어지는 제2 홀 수송층(22), 퀴나크리돈 (Quinacridone) 유도체를 포함하는 Beq2 (10-벤조 [h] 퀴놀리논-베름착체)로 이루어지는 발광층(23) 및 Beq2로 이루어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM, 마그네슘·은(Ag) 합금, Al와 Li의 합금 또는 Al/LiF 등으로 이루어지는 음극(25)이 적층 형성된 구조이다. 유기층의 막 두께는, 상술된 바와 같으므로 그것을 참조한다. 또한, 음극(25)은 Al/LiF의 합금을 채용하고, 그 막 두께는 1000~2000Å이다.

여기서 양극(6)은, 화소마다 패터닝될 필요가 있지만, 양극(6) 상의 막은, 구조에 따라 구별된다.

① : 양극(6)으로부터 음극(25)까지 화소마다 패터닝되는 제1 구조

② : ①에 있어서, 음극(25)은, 패터닝되지 않고, 실질적으로 표시 영역 전역에 베타로 형성되는 제2 구조.

③ : 양극(6)만이 도 1과 같이 화소마다 패터닝되고, 양극의 상층으로부터 음극까지는, 표시 영역 전역에 여겨진 상기 베타 구조의 제3 구조.

단, 음극(6)은, 일부러 패터닝하는 일도 없으므로 일반적으로는 전면 베타 구조를 채용하고 있다.

또한, 표시 영역의 EL층, 또는 모든 EL 층을 커버하는 메탈 캡이 형성되어 있다. EL 층은, 물을 흡습하면 열화하고, 물의 침입에 대해 보호가 필요해지기 때문이다. 따라서 EL 층을 열화시키지 않고, 내습성이 높은 막, 예를 들면 수지막으로 캡의 대용으로 해도 좋고, 또한 이 상부에 메탈 캡 CAN을 형성해도 좋다.

유기 EL 소자의 발광 원리 및 동작은, 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 방사실할하는 과정에서 발광층으로부터 빛이 발하고, 이 빛이 투명한 양극으로부터 투명 절연 기판을 통해 외부로 방출되어 발광한다.

계속해서 도 1로부터 도 3을 참조하여 표시 화소 영역 HG의 주변도 포함시켜 설명한다. 가장 외측의 실선은, 투명 기판(10)이다. 점선으로 나타낸 구형 영역은, 표시 화소 영역 HG, 일정차선으로 나타내는 구형 영역은, 제1 홀 수송층(21), 제2 홀 수송층(22), 발광 소자층 EM이 형성되는 유기막 영역 OR이다. 또한 표시 화소 영역 HG에 세로 방향으로 형성된 굵은 실선은, 구동 라인 VL이고, 유기막 영역 OR의 외측에 도식된 구형이 굵은 실선은, 음극(25)이다. 또한 가장 외측의 2개의 굵은 실선으로 둘러싸이고, 점으로 해칭되어 있는 영역은, 아랫표에 나타낸 메탈 캡(캔) CAP의 시일 영역 CLL이고, 이 시일 영역 CLL의 외측과 내측에 점선으로 나타낸 영역은, 제1 평탄화막 PLN(1), 제2 평탄화막 PLN(2)이 피복된 영역이다. 또한 메탈 캡(캔) CAP로부터 노출되어 있는 것은, 단자 TN과 배선 HS 이다. 따라서, 단자 각각에 대응하는 제1 평탄화막 PLN(1)은, 에칭에 의해 제거되고 있다. 또한 음극(25) 주변과 시일 영역 CLL 사이에는, 좌우로 게이트 라인 GL과 접속되는 수직 구동 회로(VERTICAL DRIVER) VD가 형성되고, 상측변에는 드레인 라인 DL과 접속되는 수평 구동 회로(HORIZONTAL DRIVER) HD가 형성되어 있다. 이들 구동 회로 VD, HD는, EL 소자를 구성하는 박막 트랜지스터의 형성과 동시에 제조한 박막 트랜지스터 등으로 구성된다. 그리고 좌우의 수직 구동 회로 VD는, 4개의 배선으로 접속되어 있다.

TN(1)은, 구동 전원 입력 단자이고, 구동 라인 VL에 전압을 제공하기 위한 단자이고, 이 2개의 단자 TN(1)은, 상측으로 연장된 제1 배선 HS(1)와 전기적으로 접속되고, 이 제1 배선 HS(1)가 일체가 되어 형성된 제1 폭이 넓은 부 WD(1), 제2 폭이 넓은 부 WD(2)를 통해 구동 라인 VL로서 연장되어 있다. 여기서 배선은, 구동 라인 VL이나 드레인 라인 DL과 동일 재료로 이루어진다.

또한 TN(2)은, 캐소드 단자이고, 이 3개의 단자 TN(2)은, 상측으로 연장된 제2 배선 HS(2)와 전기적으로 접속되고, 이 제2 배선 HS(2)가 일체가 되어 형성된 제3 폭이 넓은 부 WD(3)를 통해 음극(25)의 제4 폭이 넓은 부 WD(4)와 접속되어 있다.

또한 TN(3)은, 제3 배선 HS(3)를 통해, 좌우의 수직 구동 회로 VD를 연결하는 4개의 배선 중, 상 2개와 접속되는 단자이고, TN(4)은, 제4 배선 HS(4)를 통해 상기 4개의 배선 중, 하 2개와 접속되는 단자이다. 여기서 좌우의 수직 구동 회로를 연결하는 4개의 배선은, 제1 폭이 넓은 부 WD(1)와 교차하기 때문에, 점선 부분에서, 하층에 형성된 배선을 사용하여 교차를 회피하고 있다. 여기서 하층의 배선은, 게이트가 형성된 층에 형성되고, 재료는, 게이트와 동일 재료로 이루어진다.

음극(25)은, ×표로 나타낸 바와 같이, 제2 배선 HS(2)의 제3 폭이 넓은 부 WD(3)에 설치된 콘택트 CN(1)을 통해 캐소드 단자 TN(2)과 접속되어 있다.

본 발명의 특징은, 상기 콘택트 CN(1)에 있다.

즉 캐소드 콘택트 CN(1)의 폭은, 캐소드 단자 TN(2)의 배치된 갯수분의 폭으로 설정할 수 있다. 또한 제2 배선 HS(2)로부터 연장되는 제3 폭이 넓은 부 WD(3), 음극(25)으로부터 콘택트 CN(1)로 연장되는 제4 폭이 넓은 부 WD(4)도, 실질 캐소드 단자 TN(2)의 갯수분의 폭으로 설정할 수 있다.

따라서 캐소드 콘택트 CN(1)으로부터 음극(25)으로 연결되는 제4 폭이 넓은 부 WD(4), 캐소드 콘택트 CN(1)으로부터 캐소드 단자 TN(2)으로 연결하는 제3 폭이 넓은 부 WD(3)의 폭을 넓게 설정할 수 있음에 따라, 배선 저항을 저하시킬 수 있다. 또한, 캐소드 콘택트 CN(1)의 옆쪽도 캐소드 단자 TN(2)의 갯수만큼 실질적으로 폭 넓게 형성할 수 있고, 콘택트 저항의 감소도 가능해진다. 여기서 캐소드 단자 TN(2)을 3개로 나타냈지만, 적어도 2개 배치되면, 그 폭을 확대할 수 있고, 콘택트 저항의 감소를 실현할 수 있다.

또한 도 2는, A-A 선에 따른 캐소드 콘택트 CN(1)의 단면도이다. 화살표는, 주된 배치 영역을 세개 나타내고, 우측으로부터 캐소드 단자 TN(2)이 형성되어 있는 영역을 나타내는 단자부, 제2 배선 HS(2)가 형성되는 영역을 나타내는 배선부, 또한 콘택트 홀 CN(1)이 형성되는 영역을 나타내는 콘택트부로 분리된다.

단자는, 3층으로 분리되고, 하층은, 게이트나 게이트 라인과 동일 재료로, 한가운데 층은, 드레인 라인 DL이나 구동 라인 VL과 동일 재료로, 또한 상층은, 양극(6), 즉 투명 전극을 구성하는 IT0와 동일 재료로 구성되어 있다.

또한 콘택트 홀 CN(1)은, 적어도 제3 폭이 넓은 부 WD(3)에 있어서, 배선 상에 산화물로 이루어지는 도전 재료가 형성되고, 이 도전 재료를 통해 음극(25)과 접속되어 있다. 이 산화물로 이루어지는 도전 재료는, 산화물로 구성되기 때문에, 산화 분위기 내에서 산화막이 형성되는 일이 없다. 예를 들면, 제1 평탄화막 PLN(1), 제2 평탄화막 PLN(2)은, 경화시에 열이 가해지기 때문에, 콘택트 홀 CN(1)에 형성되는 배선은, 산화 분위기에 노출되고, 또한 콘택트 홀 CN(1)을 개구할 때에, 산화분위기에 노출된다. 그러나 노출하는 부분은, 산화되기 쉬운 Si이 아니고, 산화된 도전막이기 때문에, 이 이상의 산화는, 진행되

지 않는다. 여기서 산화물로 구성되는 재료의 일례로서는, IT0를 예로 들 수 있다.

실험에 따르면, 배선으로서 상층과 하층에 Mo가 형성되고, 중앙에 Al을 삽입한 약 8000 Å의 도전막, 약 2000 Å의 Al/LiF의 합금으로 이루어지는 음극, 그리고 사이에 850 Å의 IT0를 채용하면, IT0를 채용하지 않은 경우에 비해, 그 컨택트 저항은 약 10%나 저하하였다.

또한 컨택트부의 제3 폭이 넓은 부 WD(3)의 하층에는, 단자부에 형성된 게이트 재료로 이루어지는 전극을 설치해도 좋다. 또한 단자부에 있어서, 게이트 재료로 이루어지는 가장 하층의 전극을 생략해도 좋다.

계속해서, 도 4를 참조하여 한층 더 컨택트 저항의 저감을 실현한 구조를 설명한다. 구조는, 도 1과 실질적으로 동일하기 때문에, 여기서는, 다른 부분만을 설명한다.

즉, 일정채선으로 나타내는 유기막 영역 OR (또는 표시 화소 영역 HG)의 외측에서, 음극(25)과 중첩되는 중첩 영역 TD에 형성되어 있는 제5 배선 HS(5), 그것에 컨택트 CN(2)이 다른 부분이다.

컨택트 CN(2)은, 이 중첩 영역 TD에 적어도 하나 형성되어 있다. 본 실시예에서는, 네 코너에 각 한 개 형성되어 있지만, 이 이상이라도 좋고, 여러개 형성되면 더욱 좋다. 그리고 이 컨택트 CN(2)을 통해 제5 배선 HS(5)와 음극(25)이 접속된다. 제5 배선 HS(5)는, 제2 배선 HS(2)와 일체적으로 이루어지기 때문에, 음극(25)과 캐소드 단자 TN(2)은, 전기적으로 접속된 구조가 된다. 또한 제5 배선 HS(5)는, 제1 폭이 넓은 부 WD(1), 제3 폭이 넓은 부 WD(3)와 교차하기 때문에, 점선으로 나타낸 부분에서, 크로스 오버 구조로 되어 있다. 여기서는, 점선의 부분에서, 게이트가 형성된 층에 게이트 재료로 이루어지는 배선이 설치되어, 교차를 회피하고 있다.

그러면 컨택트 CN(2)의 단면도(도 3)를 설명한다. 여기서는, 도 2의 단자부와 동일한 구조의 3층 구조이고, 이 상층에, 음극(25)이 접속되어 있다. 상술된 바와 같이, 산화물로 이루어지는 도전 재료(100)를 삽입하고 있으므로, 하층에 형성된 드레인 라인 DL 또는 구동 라인 VL과 동일 재료로 이루어지는 전극의 산화를 방지하고, 또한 산화물로 이루어지는 도전 재료의 산화도 방지할 수 있고, 컨택트 저항의 감소를 실현할 수 있는 구성으로 되어 있다. 또한 제5 배선 HS(5)는, 드레인 라인 DL 또는 구동 라인 VL과 동일 재료로 이루어지는 Al로 구성되지만, 도 3에서 도시한 적층 구조와 같이 하층에 게이트 재료로 이루어지는 배선을 설치해도 좋다. 또한 산화물로 이루어지는 도전 재료를 피복해도 좋다.

여기서, 도 4에서는, 컨택트 CN(2) 부분만, 제2 평탄화막 PLN(2)으로부터 산화물로 이루어지는 도전 재료(100)를 노출시키고 있지만, 상술된 바와 같이 제5 배선 HS(5)의 상층에 상기 도전 재료(100)를 적층하고, 이 제5 배선 HS(5)를 따라, 도전 재료(100)가 노출되도록 제2 평탄화막 PLN(2)을 제거하고, 이 제거한 부분을 통해 음극을 접속해도 된다. 이에 따라 더욱 컨택트 저항의 저감을 실현할 수 있다.

이상, 하부 게이트형 구조로 설명해 왔지만, 본 발명은, 톱 게이트형 구조라도 채용할 수 있고, 제2 실시예로 하여 이하에 설명한다.

톱 게이트형 구조의 평면 패턴은, 하부 게이트형 구조와 실질적으로 동일하므로 도 5를 대용한다. 또한 도 5의 A-A 선에 대응하는 단면도를 도 11에, B-B 선에 대응하는 단면도를 도 12에 도시하였다. 이것으로부터 톱게이트형의 도면은, 부호의 하측에 2행을 전 실시예와 동일한 숫자로 하고 있다.

간단히 설명하면, 전면에는 절연층 IL이 형성된다. 이 절연층 IL은, 하층에 500 Å의 Si 질화막, 상층에 1000 Å의 Si 산화막이 적층된 것이다. 또한, Si 질화막은, 유리로부터 용출하는 불순물의 스톱퍼로서 기능한다.

계속해서, 제1 TFT101의 능동층(112), 이 능동층(112)이 연장되어 이루어지는 보유 용량(8)의 하층 전극, 제2 TFT(104)의 제2 능동층(116)의 형성 부분에 반도체층(P-Si 또는 a-Si)이 형성되어 있다.

또한, 전면에 게이트 절연막(107)이 적층되고, 이 상부에 게이트 전극(111), 게이트 전극(111)과 일체의 게이트 라인 GL이 형성됨과 동시에, 보유 용량(108)의 상층 전극이 상기 게이트 전극과 동일 재료로 동층에 형성되어 있다. 이 보유 용량(108)의 상층 전극은, 도 1의 보유 용량 전극(2)에 상당하고, 보유 용량 라인 CL도 포함하여 일체적으로 좌우로 연장되어 형성된다. 여기서 게이트 전극 재료는, 상술된 고용점 금속 재료 외에 Al을 주성분으로 한 재료를 이용해도 좋다. Al을 사용할 수 있는 이유로서, 층간 절연막(114)이 플라즈마 CVD 등으로 저온 성막할 수 있기 때문이다.

또한 능동층인 반도체층은, 상기 게이트 전극 재료로 형성된 패턴을 마스크로 하여 불순물이 주입된다. 물론 P 채널과 N 채널의 TFT가 있기 때문에, 한쪽은 레지스트로써 마스크된다(이것은 하부 게이트형 구조라도 마찬가지임.). 그리고 불순물이 주입된 후에 반도체층이 패터닝된다. 또 보유 용량 전극(102)의 하층의 반도체층은, 불순물이 주입되지 않는다. 그러나 여기에 상기 제1 게이트 전극(111)에 가해지는 전압, 혹은 그 이상의 전압을 더하고, 반도체층에 채널을 발생시킴으로써 전극으로서 활용하고 있다.

또한 층간 절연막(114)이 형성된 후, 드레인 라인 DL, 구동 라인 VL이 형성되고, 그 위에 제1 평탄화막 PLN(1)이 형성된 후에 양극(106)으로서 투명 전극이 형성된다. 이 양극(106)과 제2 TFT(104)와의 컨택트, C3은, 구동 라인 VL과 동층에 소스 전극 SE가 형성된다. 또한 다이렉트로 컨택트해도 된다. 또한 양극(106)이 형성된 후, 제1 평탄화막 PLN(1)과 양극(106)의 요철을 완만하게 하기 때문에, 제2 평탄화막 PLN(2)이 형성되고, 이 양극(106)에 대응하는 제2 평탄화막 PLN(2)이 제거되고 있다.

또한 EL 소자(20)는, 전 실시예와 마찬가지이므로 설명은 생략한다. 여기서도, 게이트(111, 115)의 상층에 드레인 라인과 동일 재료로 이루어지는 층, 더욱 투명 전극 재료로 이루어지는 층의 3층 구조로 이루어지기 때문에, 컨택트 CN(1), CN(2)은, 도 2, 도 3과 동일 구조의 적층 구조가 가능해진다. 배선 HS도 마찬가지다.

상술된 실시예에서는, 반도체막으로서 p-Si 막을 이용했지만, 미결정 실리콘막 또는 비정질 실리콘막 등

의 반도체막을 이용해도 좋다. 또한 싱글 게이트형으로 설명했지만 더블 게이트형 TFT라도 좋다.

또한, 상술된 실시예에서는, 유기 EL 표시 장치에 대해 설명했지만, 본 발명은 그것에 한정되는 것은 아니고, 발광층이 무기 재료로 이루어지는 무기 EL 표시 장치에도 적용이 가능하여, 동일한 효과를 얻을 수 있다.

발명의 효과

이상의 설명으로부터도 분명히 알 수 있듯이, 복수 라인의 캐소드 단자와 표시 화소 영역사이에는, 큰 스페이스를 배치할 수 있고, 여기에 폭이 넓은 배선을 설치할 수 있어, 배선 저항을 저감시킬 수 있고, 더구나 음극과 상기 배선을 접속하는 폭이 넓은 컨택트를 형성할 수 있기 때문에, 컨택트 저항을 저감시킬 수 있다.

또한 배선은, Si을 주 재료로 하기 위해, 표면에 산화물이 생성되기 쉽지만, 이 Si을 주 재료로 하는 배선 상에는, 산화물로 이루어지는 도전 재료가 형성되기 때문에, 컨택트 저항의 저감을 실현할 수 있다.

따라서, 음극에 인가되는 바이어스의 강하를 방지할 수 있고, 본래 공급되는 전류를 각 표시 화소의 EL 소자로 공급할 수 있어, 표시 품위를 향상한 EL 표시 장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1

절연성을 갖는 기판의 일단에 형성된 단자군과, 상기 기판 상의 복수의 EL 소자로 이루어지는 표시 화소 영역과, 상기 복수의 EL 소자의 한쪽 전극이 되는 상층 전극을 포함하고,

상기 상층 전극은, 상기 단자군과 상기 표시 화소 영역사이에서 상기 단자와 전기적으로 접속되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 2

절연성을 갖는 기판의 일단에 형성된 단자군과, 상기 기판 상의 복수의 EL 소자로 이루어지는 표시 화소 영역과, 상기 복수의 EL 소자의 한쪽 전극이 되는 상층 전극을 포함하고,

상기 상층 전극은, 상기 단자군으로부터 연장되는 배선과 접속되고, 상기 상층 전극과 상기 배선사이에는, 산화물로 이루어지는 전극이 설치되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 3

절연성을 갖는 투명 기판의 일단에 형성된 단자군과, 상기 투명 기판 상의 복수의 EL 소자로 이루어지는 표시 화소 영역과, 상기 복수의 EL 소자의 음극이 되는 상층 전극을 포함하고,

상기 상층 전극은, 상기 단자군으로부터 연장되는 배선과 접속되고, 상기 상층 전극과 상기 배선사이에는, 상기 EL 소자의 양극과 동일한 재료인 투명 전극이 설치되는 것을 특징으로 하는 EL 표시 장치.

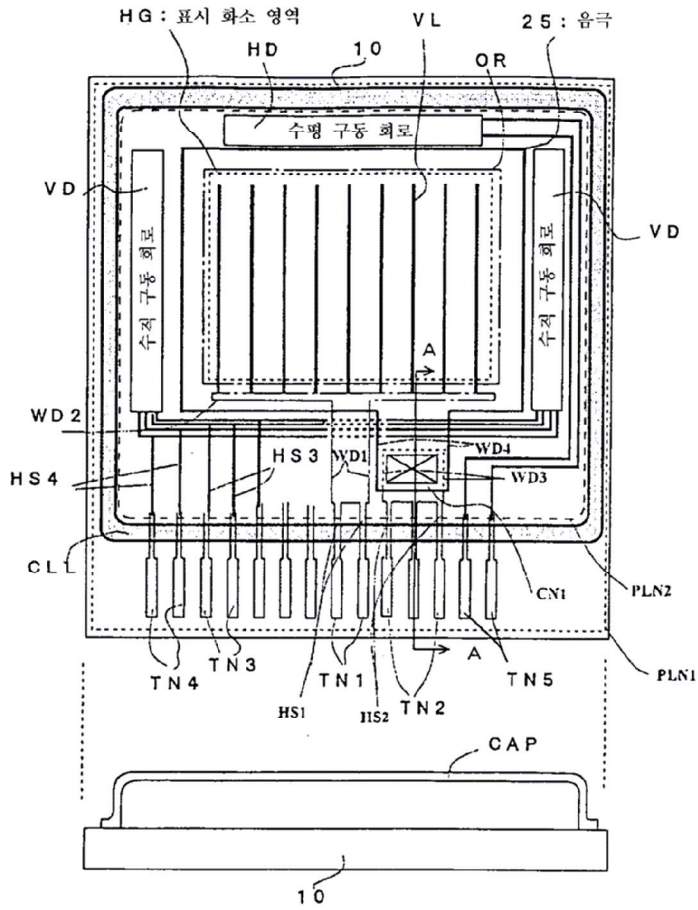
청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

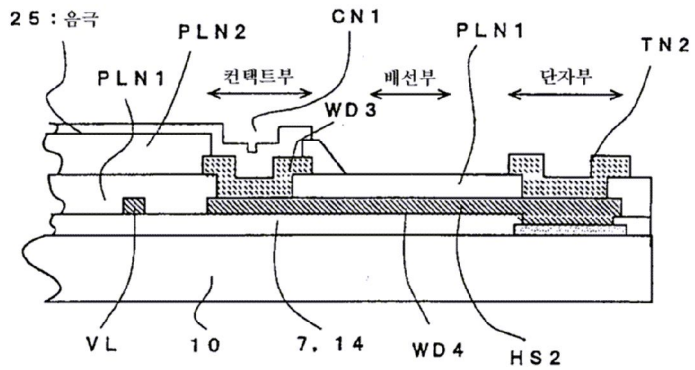
상기 배선은, 상기 EL 소자를 구동하는 배선과 동일 재료로 이루어지고, 복수개의 상기 단자와 전기적으로 접속된 폭이 넓은 배선으로 이루어지고, 상기 상층 전극과 상기 배선이 폭이 넓은 컨택트홀을 통해 전기적으로 접속되는 것을 특징으로 하는 EL 표시 장치.

도면

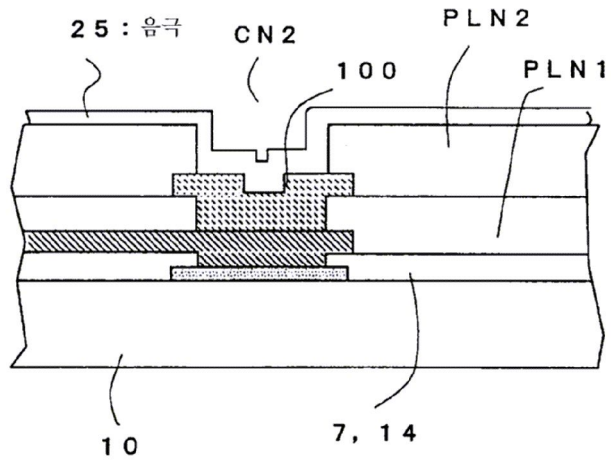
도면1



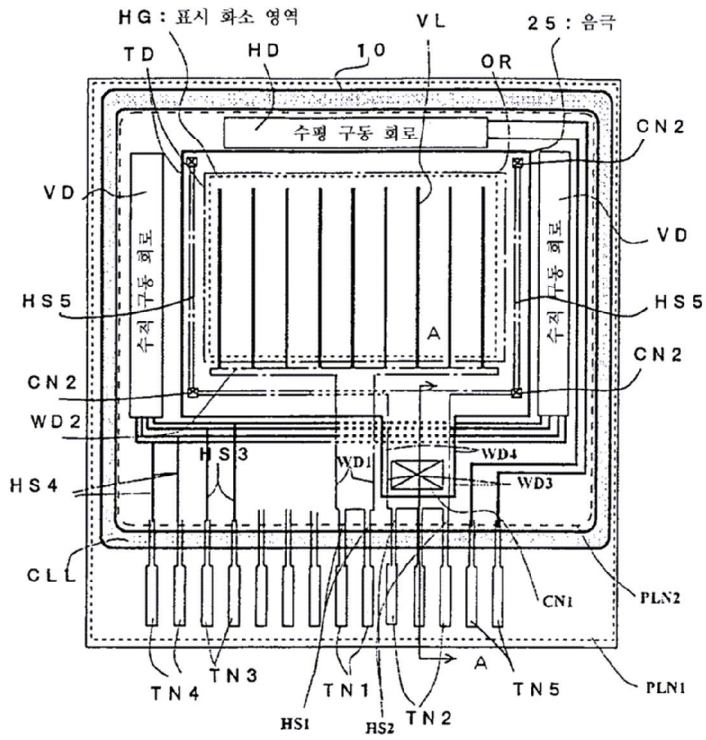
도면2



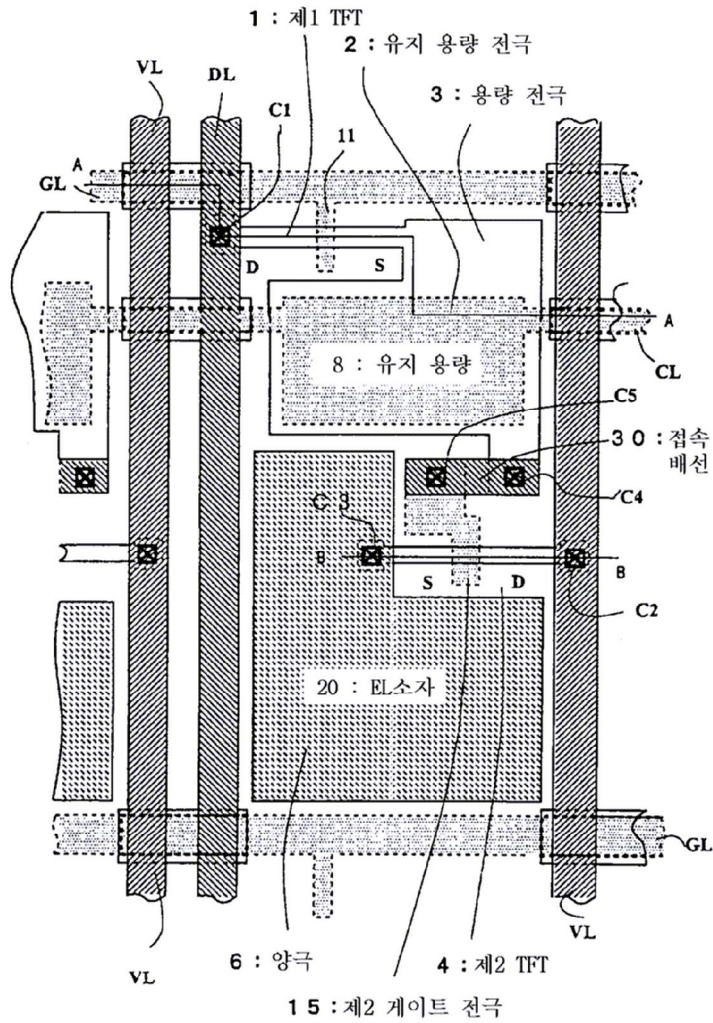
도면3



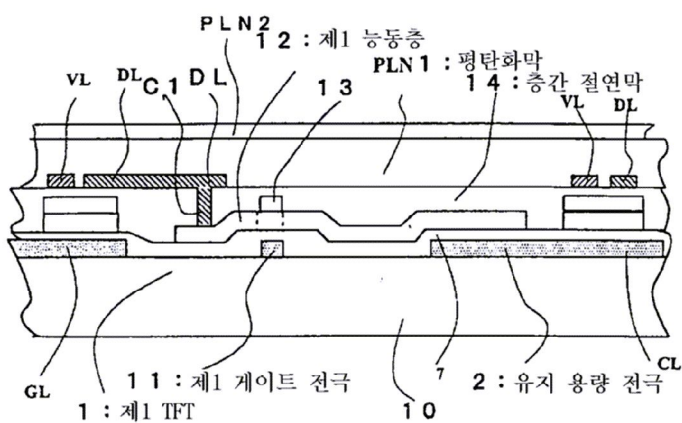
도면4



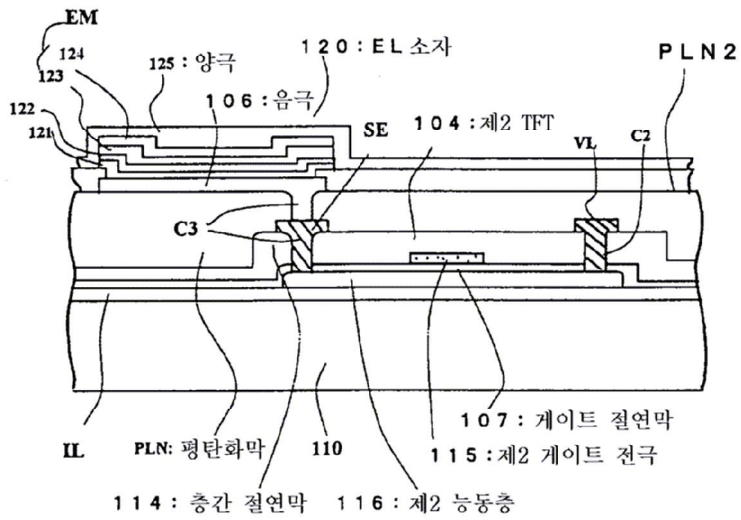
도면5



도면6



도면 12



专利名称(译)	EL显示器件		
公开(公告)号	KR1020010050782A	公开(公告)日	2001-06-25
申请号	KR1020000057597	申请日	2000-09-30
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	OKUYAMA MASAHIRO 오꾸야마마사히로 KOMIYA NAOAKI 고미야나오아끼		
发明人	오꾸야마마사히로 고미야나오아끼		
IPC分类号	H01L51/50 H01L27/32 G09F H05B33/26 G09F9/30 H01L51/52 H05B H01L27/28 H05B33/12 H05B33/06 H05B33/14 H01L		
CPC分类号	H01L27/3276 H01L27/3297 H01L27/3279		
代理人(译)	CHANG, SOO KIL CHU, 晟敏		
优先权	1999281792 1999-10-01 JP		
其他公开文献	KR100358315B1		
外部链接	Espacenet		

摘要(译)

从而防止施加到阴极的电压降低并防止显示质量的劣化。宽部分WD4设置在阴极25上，宽部分WD3设置在从阴极端子TN2延伸的配线HS2上。然后，形成具有大尺寸的触点CN1。此外，在该接触CN1处，它通过由氧化物制成的导电材料100连接到阴极25。2 指数方面 EL元件，接触件，阴极，存储电容器，层间绝缘膜

