



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월23일  
(11) 등록번호 10-0831889  
(24) 등록일자 2008년05월19일

- (51) Int. Cl.  
H05B 33/26 (2006.01) G09G 3/32 (2006.01)  
G09F 9/30 (2006.01) G09G 3/30 (2006.01)
- (21) 출원번호 10-2006-0042685(분할)
- (22) 출원일자 2006년05월11일  
심사청구일자 2006년05월11일
- (65) 공개번호 10-2006-0063837
- (43) 공개일자 2006년06월12일
- (62) 원출원 특허 10-2001-0025973  
원출원일자 2001년05월12일  
심사청구일자 2006년05월11일
- (30) 우선권주장  
JP-P-2000-00140513 2000년05월12일 일본(JP)
- (56) 선행기술조사문헌  
JP08129158 A  
JP09260061 A  
KR1019990025571 A  
KR1020050065947 A

- (73) 특허권자  
가부시키키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
코야마, 준  
일본, 가나가와켄 243-0036, 아쓰기시 하세, 398,  
가부시키키가이샤한도오따이 에네루기 켄큐쇼 내  
기무라, 하지메  
일본, 가나가와켄 243-0036, 아쓰기시 하세, 398,  
가부시키키가이샤한도오따이 에네루기 켄큐쇼 내
- (74) 대리인  
이범래, 장훈

전체 청구항 수 : 총 11 항

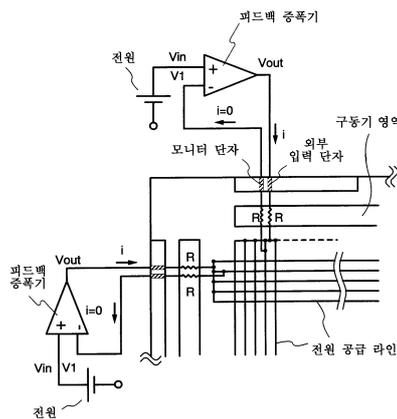
심사관 : 최정윤

(54) 디스플레이 장치

(57) 요약

디스플레이 영역의 불균형성을 줄이기 위하여, 전원 공급 라인의 배선 저항으로 인한 전위 드롭에 의해 야기되는 전위의 변화를 감소하도록 선명한 다중 그레이-스케일 컬러 디스플레이를 표시할 수 있는 액티브 매트릭스 EL 디스플레이 장치를 제공한다. 전원 공급 라인의 복수의 인출 단자들이 배치된다. 또한, 외부 입력 단자와 픽셀부 전원 공급 라인 사이의 배선 저항에 있어서, 전위 보상은 피드백 증폭기에 의해 전위를 전원 공급 라인에 공급함으로써 실행된다. 또한 상기한 구성에 부가하여, 전원 공급 라인은 매트릭스 형태로 배치될 수 있다.

대표도 - 도5



## 특허청구의 범위

### 청구항 1

발광 장치에 있어서,  
 기관 위의 복수의 게이트 신호 라인들;  
 상기 복수의 게이트 신호 선들을 교차하는 복수의 소스 신호 라인들;  
 상기 복수의 게이트 신호 선들을 따르는 복수의 제 1 전원 공급 라인들; 및  
 상기 복수의 소스 신호 라인들을 따르는 복수의 제 2 전원 공급 라인들을 포함하고,  
 상기 복수의 제 1 전원 공급 라인들은 상기 복수의 게이트 신호 라인들과 동일한 재료로 만들어지고,  
 상기 복수의 제 1 전원 공급 라인들 중 하나와 상기 제 2 전원 공급 라인들 중 하나는 콘택트 홀을 통해 접속되는, 발광 장치.

### 청구항 2

발광 장치에 있어서,  
 불순물 영역들을 포함하는 기관 및 상기 불순물 영역들 사이에 배치된 채널 영역 위의 복수의 박막 트랜지스터들;  
 상기 복수의 박막 트랜지스터들 위의 복수의 게이트 신호 라인들;  
 상기 복수의 게이트 신호 라인들을 교차하는 복수의 소스 신호 라인들;  
 상기 복수의 게이트 신호 라인들을 따르는 복수의 제 1 전원 공급 라인들; 및  
 상기 복수의 소스 신호 라인들을 따르는 복수의 제 2 전원 공급 라인들을 포함하고,  
 상기 복수의 제 1 전원 공급 라인들은 상기 복수의 게이트 신호 라인들과 동일한 재료로 만들어지고,  
 상기 복수의 제 1 전원 공급 라인들 중 하나와 상기 복수의 제 2 전원 공급 라인들 중 하나는 콘택트 홀을 통해 접속되고,  
 불순물 영역들 중 하나는 상기 복수의 제 2 전원 공급 라인들 중 하나와 접속되는, 발광 장치.

### 청구항 3

발광 장치에 있어서,  
 기관 위의 기저막(base film);  
 상기 기저막 위의 불순물 영역들 사이에 배치되는 채널 영역 및 상기 불순물 영역들을 가지는 반도체 층;  
 상기 반도체 층 위의 게이트 절연막;  
 상기 게이트 절연막 위의 게이트 전극;  
 상기 반도체 층 위의 소스 신호 라인;  
 상기 소스 신호 라인 위의 전원 공급 라인; 및  
 상기 제 1 및 제 2 전극들 사이에 배치된 전계발광(electroluminescence) 층, 제 1 전극, 및 제 2 전극을 포함하는, 상기 전원 공급 라인 위의 발광 소자를 포함하고,  
 상기 불순물 영역들 중 하나는 상기 전원 공급 라인과 전기적으로 접속되고 상기 불순물 영역들 중 다른 하나는 상기 제 1 전극과 전기적으로 접속되고,  
 상기 게이트 전극은 상기 전원 공급 라인과 동일한 재료를 포함하는, 발광 장치.

### 청구항 4

발광 장치에 있어서,  
 기판 위의 기저막;  
 상기 기저막 위의 불순물 영역들 사이에 배치되는 채널 영역 및 상기 불순물 영역들을 가지는 반도체 층;  
 상기 반도체 층 위의 게이트 절연막;  
 상기 게이트 절연막 위의 게이트 전극;  
 상기 반도체 층 위의 소스 신호 라인;  
 상기 소스 신호 라인 위의 패시베이션 막(passivation film);  
 상기 소스 신호 라인, 및 상기 패시베이션 막에 형성된 콘택트 홀을 통하는 전원 공급 라인; 및  
 상기 제 1 및 제 2 전극들 사이에 배치된 제 1 전극, 제 2 전극, 및 전계발광 층을 포함하는, 상기 전원선 위의 발광 소자를 포함하고,  
 상기 불순물 영역들 중 하나는 상기 전원 공급 라인에 전기적으로 접속되고 상기 불순물 영역들 중 다른 하나는 상기 제 1 전극에 전기적으로 접속되고,  
 상기 게이트 전극은 상기 전원 공급 라인과 동일한 재료를 포함하는, 발광 장치.

**청구항 5**

발광 장치에 있어서,  
 기판 위의 기저막(base film);  
 상기 기저막 위의 불순물 영역들 사이에 배치되는 채널 영역 및 상기 불순물 영역들을 가지는 반도체 층;  
 상기 반도체 층 위의 게이트 절연막;  
 상기 게이트 절연막 위의 게이트 전극;  
 상기 반도체 층 위의 소스 신호 라인;  
 상기 소스 신호 라인 위의 전원 공급 라인; 및  
 상기 제 1 및 제 2 전극들 사이에 배치된 전계발광(electroluminescence) 층, 제 2 전극, 및 ITO를 포함하는 제 1 전극을 포함하는, 상기 전원 공급 라인 위의 발광 소자를 포함하고,  
 상기 불순물 영역들 중 하나는 상기 전원 공급 라인과 전기적으로 접속되고 상기 불순물 영역들 중 다른 하나는 상기 제 1 전극과 전기적으로 접속되고,  
 상기 게이트 전극은 상기 전원 공급 라인과 동일한 재료를 포함하는, 발광 장치.

**청구항 6**

발광 장치에 있어서,  
 기판 위의 전원 공급 라인;  
 상기 전원 공급 라인 위의 기저막;  
 상기 기저막 위의 불순물 영역들 사이에 배치되는 채널 영역 및 상기 불순물 영역들을 가지는 반도체 층;  
 상기 반도체 층 위의 게이트 절연막;  
 상기 게이트 절연막 위의 게이트 전극; 및  
 상기 제 1 및 제 2 전극들 사이에 배치된 전계발광 층, 제 2 전극, 및 제 1 전극을 포함하는, 상기 게이트 전극 위의 발광 소자를 포함하고,  
 상기 불순물 영역들 중 하나는 상기 전원 공급 라인에 전기적으로 접속되고 상기 불순물 영역들 중 다른 하나는 상기 제 1 전극과 전기적으로 접속되는, 발광 장치.

**청구항 7**

발광 장치에 있어서,  
 기관 위의 전원 공급 라인;  
 상기 전원 공급 라인 위의 기저막;  
 상기 기저막 위의 불순물 영역들 사이에 배치되는 채널 영역 및 상기 불순물 영역들을 가지는 반도체 층;  
 상기 반도체 층 위의 게이트 절연막;  
 상기 게이트 절연막 위의 게이트 전극;  
 상기 게이트 전극 위의 패시베이션 막; 및  
 상기 제 1 및 제 2 전극들 사이에 배치된 전계발광 층, 제 2 전극, 및 제 1 전극을 포함하는, 상기 게이트 전극 위의 발광 소자를 포함하고,  
 상기 불순물 영역들 중 하나는 상기 전원 공급 라인에 전기적으로 접속되고 상기 불순물 영역들 중 다른 하나는 상기 제 1 전극과 전기적으로 접속되는, 발광 장치.

**청구항 8**

발광 장치에 있어서,  
 기관 위의 전원 공급 라인;  
 상기 전원 공급 라인 위의 기저막;  
 상기 기저막 위의 불순물 영역들 사이에 배치되는 채널 영역 및 상기 불순물 영역들을 가지는 반도체 층;  
 상기 반도체 층 위의 게이트 절연막;  
 상기 게이트 절연막 위의 게이트 전극;  
 상기 게이트 전극 위의 패시베이션 막; 및  
 상기 제 1 및 제 2 전극들 사이에 배치된 전계발광 층, 제 2 전극, 및 ITO를 포함하는 제 1 전극을 포함하는, 상기 게이트 전극 위의 발광 소자를 포함하고,  
 상기 불순물 영역들 중 하나는 상기 전원 공급 라인에 전기적으로 접속되고 상기 불순물 영역들 중 다른 하나는 상기 제 1 전극에 전기적으로 접속되는, 발광 장치.

**청구항 9**

제 4 항에 있어서,  
 상기 패시베이션 막은 질화 실리콘 산화물 또는 실리콘 질화물을 포함하는, 발광 장치.

**청구항 10**

제 7 항에 있어서,  
 상기 패시베이션 막은 질화 실리콘 산화물 또는 실리콘 질화물을 포함하는, 발광 장치.

**청구항 11**

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,  
 상기 발광 장치는 개인용 컴퓨터, 비디오 카메라, 헤드 장착형 디스플레이, 화상 재생 장치, 모바일 컴퓨터 및 TV 수신기로 구성된 그룹으로부터 선택된 전자 장비에서 이용되는, 발광 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <53> 1. 발명의 분야
- <54> 본 발명은 기관상에 EL(전계발광(electro luminescence)) 소자를 제조하여 형성되는 전자 디스플레이 장치(전자 광학 장치)에 관한 것이다. 특히, 본 발명은 반도체 소자(반도체 박막을 이용하는 소자)를 사용하는 디스플레이 장치에 관한 것이며, 또한 디스플레이부로서 EL 디스플레이 장치를 사용하는 전자 기기에 관한 것이다.
- <55> 2. 관련 기술의 상세한 설명
- <56> 최근, 기관상에 박막 트랜지스터들(film transistors)(이후, TFT 라 칭함)을 형성하는 기술이 상당히 진전되고 있으며, 액티브 매트릭스 디스플레이 장치에 TFT를 적용하는 개발이 진행되고 있다. 폴리-실리콘 막(poly-silicon film)과 같은 다결정 반도체 막(polycrystalline semiconductor film)을 사용하는 TFT들은 특히, 비결정질 실리콘 막(amorphous silicon film)과 같은 비결정질 반도체 막(amorphous semiconductor film)을 사용하는 종래의 TFT 보다 높은 전계 효과 이동성(electric field effect mobility)(이후, 이동성(mobility)이라 칭함)를 가지며, 그에 따라 고속 동작이 이루어질 수 있게 된다. 따라서, 과거에는 기관 외부의 구동기 회로에 의해 제어되어 왔던 픽셀들의 제어는 이제는 픽셀들과 동일한 기관상에 형성된 구동기 회로들에 의해 이루어질 수 있게 된다.
- <57> 제조 비용의 감소, 디스플레이 장치의 소형화 및 생산성 증가와 작업 처리량 감소와 같은 복수의 이점들이 동일 기관상에 다수의 회로 및 소자들을 형성함으로써 다결정 반도체 막을 사용하는 그러한 액티브 매트릭스 장치로부터 얻어질 수 있다.
- <58> 자체-발광 소자(self-luminous element)로서 EL 소자를 갖는 액티브 매트릭스 EL 디스플레이 장치들에 대한 연구는 활발하게 진행되고 있다. EL 디스플레이 장치는 또한 유기 EL 디스플레이(organic EL display; OLED) 또는 유기 발광 다이오드(organic light emitting diode; OLED)로 불리운다.
- <59> EL 소자는 한 쌍의 전극들(애노드(anode) 및 캐소드(cathode))과 EL 층으로 이루어지고, 그 사이에 일반적으로 적층 구조(laminate structure)가 삽입되는 구성을 갖는다. 이스트먼 코닥 회사의 탕(Tang) 등에 의해 제안된 적층 구조(홀 수송층, 발광층, 전자 수송층)가 EL 층의 통상적인 적층 구조로 인용될 수 있다. 이러한 적층 구조는 극도로 높은 발광 효율을 가지므로, 현재에는 연구 및 개발이 진행되고 있는 대부분의 EL 디스플레이 장치들은 EL 층의 이러한 적층 구조를 적용한다.
- <60> 상기한 적층 구조에 부가하여, 층들이 홀 주입층(hole injection layer), 홀 수송층(hole transporting layer), 발광층(light-emitting layer) 및 전자 수송층(electron transporting layer)의 순서로, 또는 홀 주입층, 홀 수송층, 발광층, 전자 수송층 및 전자 주입층의 순으로 애노드 상에 적층되는 구조가 형성될 수 있다. 발광층은 형광 안료(fluorescent pigment) 등으로 처리될 수 있다.
- <61> EL 층은 캐소드와 애노드 사이에 형성된 모든 층들을 나타내는 본 명세서에서의 총칭적 용어이다. 따라서, 상술한 홀 주입층, 홀 수송층, 발광층, 전자 수송층 및 전자 주입층 등은 모두 EL 층내에 포함되어 있다.
- <62> 만일 전극 쌍으로부터의 미리 결정된 전압이 상기한 구조를 갖는 EL 층에 인가된다면, 발광층에서 캐리어들(carriers)의 재결합이 발생하여 광을 방출하게 된다. 본 명세서 전반에서, EL 소자에 의한 발광은 EL 소자에 의한 구동이라 칭한다는 점을 주지하라. 부가하여, 애노드, EL 층 및 캐소드로 형성된 발광성 소자는 본 발명에서 EL 소자라 칭한다.
- <63> 본 명세서에서 이용되는 EL 소자는 단일 여기 상태(형광(fluorescence))로부터의 발광을 활용하는 것과 삼중 여기 상태(인광(phosphorescence))로부터의 발광을 활용하는 것을 포함한다.
- <64> 아날로그 시스템의 구동 방법(아날로그 구동)은 EL 디스플레이 장치의 구동 방법으로서 인용될 수 있다. EL 디스플레이 장치의 아날로그 구동과 관련한 설명은 도 18 및 도 19를 참조하여 설명한다.
- <65> 도 18은 아날로그 구동을 갖는 EL 디스플레이 장치에서의 픽셀부(1800)의 구조를 도시하는 도면이다. 게이트 신호 라인 구동기 회로로부터 선택된 신호를 입력하는 게이트 신호 라인(G1 내지 Gy)은 각 픽셀의 스위칭 TFT(1801)의 게이트 전극에 접속된다. 각 픽셀들의 스위칭 TFT(1801)의 소스 영역 및 드레인 영역에 대하여, 하나는 아날로그 비디오 신호를 입력하는 소스 신호 라인(소위 데이터 신호 라인)(S1 내지 Sx)에 접속되고, 이

에 반하여 다른 하나는 픽셀들의 각각의 캐패시터(1808) 및 구동기 TFT(1804)의 게이트 전극에 각각 접속된다.

- <66> 픽셀들의 각각의 구동기 TFT(1804)의 소스 영역 및 드레인 영역은 전원 공급 라인들(V1 내지 Vx)에 접속되고, 그의 드레인 영역은 EL 소자(1806)에 각각 접속된다. 전원 공급 라인들(V1 내지 Vx)의 전위는 전원 공급 전위(power supply potential)라 칭한다. 전원 공급 라인들(V1 내지 Vx)의 각각은 각 픽셀의 캐패시터(1808)에 접속된다.
- <67> EL 소자(1806)는 애노드, 캐소드 및 이들 사이에 삽입된 EL 층으로 구성된다. EL 소자(1806)의 애노드가 EL 구동기 TFT(1804)의 소스 영역 또는 드레인 영역에 접속될 때, EL 소자(1806)의 애노드 및 캐소드는 각각 픽셀 전극 및 대향 전극이 된다. 대안적으로, EL 소자(1806)의 캐소드가 EL 구동기 TFT(1804)의 소스 영역 또는 드레인 영역 중 하나에 접속되면, EL 소자(1806)의 애노드는 대향 전극이 되며, 반면에 그 캐소드는 픽셀 전극이 된다.
- <68> 본 명세서에서, 대향 전극의 전위는 대향 전위를 말한다라는 점을 주지하라. 또한, 본 명세서에서, 대향 전위를 대향 전극에 제공하는 전원은 대향 전위를 말한다라는 것을 주지하라. 픽셀 전극의 전위와 대향 전극의 전위간의 차는 EL 구동 전압이 되며, 이는 EL 층에 인가된다.
- <69> 도 19는 아날로그 시스템에 의해 구동되는 도 18에 도시된 EL 디스플레이 장치를 설명하는 타이밍도이다. 하나의 게이트 신호 라인의 선택으로부터 다음의 다른 게이트 신호 라인의 선택까지의 주기는 1 라인 주기(L)라 칭한다. 부가하여, 한 화상의 디스플레이로부터 다음 화상의 디스플레이까지의 주기는 1 프레임 주기(F)에 대응한다. 도 18의 EL 디스플레이 장치의 경우에 있어서는, y 개의 게이트 신호 라인들이 있으므로, y 개의 라인 주기들(L1 내지 Ly)이 1 프레임 주기에 제공된다.
- <70> 1 프레임 주기내의 라인 주기들의 수는 해상도가 증가함에 따라 증가하므로, 구동기 회로들은 높은 주파수에서 구동되어야 한다.
- <71> 무엇보다도, 전원 공급 라인들(V1 내지 Vx)이 일정한 전원 전위에서 유지되고, 또한 대향 전극의 전위인 대향 전극 전위가 일정한 전위에서 유지된다. EL 소자가 발광할 수 있는 정도로 대향 전위와 전원 전위간의 전위차가 있게 된다.
- <72> 게이트 신호 라인 구동기 회로로부터 선택된 신호는 제 1 라인 주기(L1)에서 게이트 신호 라인 G1으로 입력된다. 이때, 아날로그 비디오 신호가 소스 신호 라인(S1 내지 Sx)으로 연속하여 입력된다. 게이트 신호 라인 G1에 접속된 모든 스위칭 TFT들은 턴 온되어, 그에 따라 소스 신호 라인들에 입력된 아날로그 비디오 신호를 스위칭 트랜지스터 TFT를 통해 구동기 TFT의 게이트 전극으로 입력한다.
- <73> 구동용 TFT의 채널 형성 영역을 통한 전류량은 그 게이트 전압에 의해 제어된다.
- <74> 본 명세서에서는, 예컨대, 구동용 TFT들의 소스 영역들이 전원 공급 라인들에 접속되고, 구동용 TFT들의 드레인 영역들이 EL 소자들에 접속되는 경우에 대하여 설명한다.
- <75> 구동용 TFT들의 소스 영역들은 전원 공급 라인들에 접속되므로, 동일한 전위가 픽셀부의 각 픽셀들에 입력된다. 이러한 점에서, 아날로그 신호가 소스 신호 라인에 입력될 때, 상기 신호 전압의 전위와 구동용 TFT의 소스 영역의 전위간의 차가 게이트 전압이 된다. EL 소자를 통한 전류는 구동용 TFT의 게이트 전압에 의존한다. 본 명세서에서, EL 소자로부터 방출된 광의 밝기(brightness)는 EL 소자의 전극들 사이의 전류에 비례한다. 이러한 방법에 있어서, EL 소자들은 아날로그 비디오 신호들의 전압의 제어 하에서 광을 발산한다.
- <76> 상기 설명된 동작을 반복한다. 소스 신호 라인들(S1 내지 Sx)에 대한 아날로그 비디오 신호들의 입력이 완료될 때, 제 1 라인 주기(L1)이 종료된다. 수평 귀선 주기(horizontal retrace line period)를 포함하여 소스 신호 라인들(S1 내지 Sx)에 대한 아날로그 비디오 신호들의 입력이 완료될 때까지의 주기는 1 라인 주기가 될 것이라는 것이 주의된다. 다음에, 이어지는 제 2 라인 주기(L2)에서, 선택 신호가 게이트 신호 라인 G2에 입력된다. 제 1 라인 주기(L1)의 경우와 유사하게, 아날로그 비디오 신호들이 소스 신호 라인들(S1 내지 Sx)에 순차적으로 입력된다.
- <77> 선택 신호들이 모든 게이트 신호 라인들(G1 내지 Gy)에 입력될 때, 모든 라인 주기들(L1 내지 Ly)이 종료한다. 모든 라인 주기들(L1 내지 Ly)이 종료할 때, 한 프레임 주기가 종료한다. 한 프레임 주기에서, 모든 픽셀들은 한 화상을 형성하는 디스플레이를 실행한다. 수평 귀선 주기를 포함하여 모든 라인 주기들(L1 내지 Ly)은 한 프레임 주기가 될 것이라는 것을 주의되어야 한다.

<78> 상술한 바와 같이, EL 소자로부터 방출된 광량은 아날로그 비디오 신호에 의해 제어되고, 발광량을 제어함으로써 계조 디스플레이(gradation display)가 실행된다. 이러한 것이 소위 아날로그 구동 방법이며, 여기서, 계조 디스플레이는 소스 신호 라인들에 입력된 아날로그 비디오 신호들의 전압을 변화함으로써 실행된다.

**발명이 이루고자 하는 기술적 과제**

<79> 도 20은 구동용 TFT의 특성을 설명하는 그래프이다. 401은 Id-Vg 특성(또는, Id-Vg 곡선)을 나타내며, 여기서, Id는 드레인 전류이고, Vg는 게이트 전압이다. 이러한 그래프를 사용하면, 임의의 게이트 전압과 관련한 전류량을 알 수 있게 된다.

<80> EL 소자의 구동에 있어서, 상기한 Id-Vg 특성들의 점선(402)으로 도시된 영역이 통상적으로 이용된다. 점선(402)에 의해 둘러싸인 영역은 포화 영역(saturated region)으로 참조되며, 여기에서 드레인 전류 Id는 게이트 전압 Vg가 변화함에 따라 크게 변화한다.

<81> 아날로그 구동 방법에 있어서, 포화 영역을 이용하면, 구동용 TFT의 드레인 전류는 그 게이트 전압을 변화함으로써 변화된다.

<82> 스위칭용 TFT가 턴 온될 때, 소스 신호 라인으로부터 픽셀로 입력된 아날로그 비디오 신호는 구동용 TFT의 게이트 전극으로 공급된다. 이러한 방법에 있어서, 구동용 TFT의 게이트 전압이 변화된다. 여기에서, 도 20에 도시된 Id-Vg 특성들에 따라, 임의의 게이트 전압과 관련한 드레인 전류가 유일하게 결정된다. 이러한 방법에 있어서, 구동용 TFT의 게이트 전극에 입력된 아날로그 비디오 신호의 전압에 대응하는 미리 결정된 드레인 전류가 EL 소자를 통과하고, EL 소자는 상기 전류량에 대응하는 양의 광을 방출한다.

<83> 이러한 방법에 있어서, EL 소자로부터 방출된 광량은 아날로그 비디오 신호에 의해 제어되고, 발광량을 제어함으로써, 계조 디스플레이가 실행된다.

<84> 여기에서, 동일한 신호가 소스 신호 라인으로부터 입력되는 경우라도, 구동용 TFT의 소스 영역의 전위가 변화하면, 각 픽셀의 구동용 TFT의 게이트 전압이 변화한다. 여기에서, 구동용 TFT의 소스 영역의 전위가 전원 공급 라인으로부터 주어진다. 하지만, 배선 저항(wiring resistance)에 의해 야기되는 전위 드롭(potential drop)으로 인하여, 전원 공급 라인의 전위는 픽셀부 내의 그 위치에 따라 변화한다.

<85> 픽셀부 내의 전원 공급 라인의 배선 저항에 의해 야기된 전위 드롭의 영향에 부가하여, 외부 전원의 입력부(이후, 외부 입력 단자라 칭함)로부터 픽셀부의 전원 공급 라인까지의 접속 배선부(이후, 전원 공급 라인 접속 배선부)의 전위 드롭 문제가 또한 있게 된다.

<86> 특히, 외부 입력 단자의 위치로부터 픽셀부의 전원 공급 라인의 위치까지의 배선의 길이에 따라서, 전원 공급 라인의 전위가 변화한다.

<87> 여기에서, 전원 공급 라인의 배선 저항이 작거나, 디스플레이 장치가 비교적 작거나 또는 전원 공급 라인을 통과하는 전류량이 비교적 작을 경우에는, 상기한 바는 큰 문제가 되지 않을 수도 있다. 하지만, 특히 디스플레이 이부가 비교적 클 경우에는, 배선 저항으로 인한 전원 공급 라인의 전위 변화가 크게 된다.

<88> 특히, 디스플레이 장치가 커짐에 따라, 외부 입력 단자로부터 픽셀부의 전원 공급 라인까지의 거리 변화가 크게 되며, 전원 공급 라인 유입 주변부(power supply line drawn-around portion)의 배선 길이의 변화가 그에 따라 커지게 된다. 따라서, 상기 변화는 전원 공급 라인 접속부의 전위 드롭으로 인하여 전원 공급 라인의 전위에서 커지게 된다.

<89> 이러한 요인들에 기인한 전원 공급 라인들의 전위의 변화는 디스플레이의 밝기를 변화함으로써 픽셀들의 EL 소자들로부터 방출된 광의 밝기에 영향을 미치고, 따라서 불균일한 디스플레이의 원인이 된다.

<90> 전원 공급 라인들의 전위에서의 그러한 변화의 특징예가 다음에 기술된다.

<91> 도 23에 도시된 바와 같이, 디스플레이 장치상에 백색 또는 흑색 박스가 디스플레이될 때, 누화(cross talk)라는 현상이 발생된다. 이러한 것은 박스의 옆부분과 비교하여 박스 위 또는 아래에 밝기 차가 발생하는 현상이다.

<92> 도 40 및 도 41은 상기한 현상이 발생하는 종래 디스플레이 장치의 픽셀부의 부분 회로도 및 상면도이다.

<93> 도 41에 있어서, 도 40과 동일한 부분을 나타내는 동일한 참조 부호들 및 그 설명은 생략되었다.

- <94> 각 픽셀은 스위칭용 TFT(4402), 구동용 TFT(4406), 저장 캐패시터(4419), 및 EL 소자(4414)로 형성된다.
- <95> 스위칭용 TFT(4402)가 도 40 및 도 41에서 이중 게이트 구조로 되어 있기는 하지만, 다른 구조로도 될 수 있음을 주지하라.
- <96> 누화는 박스 위 및 아래와 박스 옆에서 각 픽셀간의 구동용 TFT(4406)를 통한 전류차로 인하여 발생된다. 이러한 차는 전원 공급 라인들(V1, V2)가 소스 신호 라인들(S1, S2)과 병렬로 배치됨으로써 발생된다.
- <97> 예컨대, 도 23에 도시된 바와 같이, 백색 박스가 상기 박스를 디스플레이하는 픽셀에 대응하는 전원 공급 라인의 디스플레이 부분에서 디스플레이될 때, 전류는 상기 박스를 디스플레이하는 픽셀의 구동용 TFT의 소스와 드레인 사이의 EL 소자를 통해 흐르므로, 전원 공급 라인의 배선 저항에 기인한 전위 드롭은 상기 박스를 디스플레이하지 않는 픽셀들에만 전원을 공급하는 전원 공급 라인의 전위 드롭보다 크게 된다. 따라서, 상기 박스를 디스플레이하지 않는 다른 픽셀들보다 어두운 부분들이 상기 박스 위 및 아래에 발생된다.
- <98> 또한, 도 24에 도시된 바와 같이, 종래의 액티브 매트릭스 EL 디스플레이 장치에서, 전원 공급 라인은 디스플레이 장치의 한 방향으로부터 인출되며, 전원, 신호 등이 입력부로부터 입력된다.
- <99> 여기에서, 디스플레이 장치의 디스플레이부 크기가 작은 경우, 특정 문제는 발생되지 않는다. 하지만, 디스플레이 장치의 디스플레이부의 크기가 커지게 됨에 따라, 디스플레이부의 영역에 비례하여 전류 소비는 증가하게 된다.
- <100> 예컨대, 20-인치 디스플레이부를 갖는 디스플레이 장치의 전류 소비는 4 인치 디스플레이부를 갖는 디스플레이 장치의 전류 소비보다 25 배가 된다.
- <101> 따라서, 상기한 전위 드롭은 큰 크기의 디스플레이부를 갖는 디스플레이 장치에 대해서는 큰 문제가 된다.
- <102> 또한, 입력부에 인접한 전원 공급 라인(도 24의 a)과 관련한 전위 드롭은 입력부로부터 떨어져 있는 전원 공급 라인(도 24의 b)에 비하여 크지 않지만, 그 배선 길이가 길기 때문에, 배선 저항에 기인한 전위 드롭이 크게 된다. 따라서, 전원 공급 라인(도 24의 b)에 접속된 구동용 TFT들을 갖는 픽셀들의 EL 소자들에 인가된 전압은 낮게 되어 화상의 품질을 떨어뜨린다.
- <103> 예컨대, 20-인치 디스플레이 장치에 있어서, 배선의 길이가 700 mm이고, 배선 폭이 10 mm이며, 시트 저항이 0.1 ohm인 경우, 약 1A의 전류가 통과하면, 전위 드롭은 10V 정도가 되며, 그에 따라 정상적인 표시가 불가능하게 된다.
- <104> 본 발명은 상기한 점을 고려하여 이루어진 것이며, 본 발명의 목적은 다중 계조들(multiple gradations)로 선명한 컬러 디스플레이를 가능하게 하는 액티브 매트릭스 EL 디스플레이 장치를 제공하는 것이다. 본 발명의 또 다른 목적은 그러한 액티브 매트릭스 EL 디스플레이 장치를 사용하는 고성능 전자 장치를 제공하는 것이다.
- <105> 본 발명자는 전원 공급 라인의 배선 저항에 기인한 전위 드롭, 특히, 전원 공급 라인이 인출되는 부분에서 배선 저항에 기인한 전위 드롭을 완화하는 방법을 착안하였다.

**발명의 구성 및 작용**

- <106> 본 발명에 따른 구조들을 다음에 기술한다.
- <107> 본 발명에 따라, 복수의 소스 신호 라인들, 복수의 게이트 신호 라인들, 복수의 전원 공급 라인들, 및 매트릭스와 같이 배치된 복수의 픽셀들을 구비하는 디스플레이 장치로서, 상기 소스 신호 라인들, 상기 게이트 신호 라인들, 상기 전원 공급 라인들, 및 상기 픽셀들은 절연 표면에 있고, 상기 복수의 픽셀들은 스위칭용 박막 트랜지스터들, 구동용 박막 트랜지스터들, 및 EL 소자들로 구성되는, 상기 디스플레이 장치에 있어서:
- <108> 상기 디스플레이 장치는 복수의 인출 개구부들(drawing-out openings)을 가지며;
- <109> 상기 복수의 전원 공급 라인들은 상기 복수의 인출 개구부들 주변에서 인출되고;
- <110> 전위는 상기 복수의 인출 개구부들에 상기 복수의 전원 공급 라인들에 제공되며;
- <111> 상기 인출 개구부들은 상기 디스플레이 장치의 적어도 두 방향들에서 제공되는 것을 특징으로 한다.
- <112> 본 발명에 따라, 복수의 소스 신호 라인들, 복수의 게이트 신호 라인들, 복수의 전원 공급 라인들, 및 매트릭스와 같이 배치된 복수의 픽셀들을 구비하는 디스플레이 장치로서, 상기 소스 신호 라인들, 상기 게이트 신호 라

인들, 상기 전원 공급 라인들, 및 상기 픽셀들은 절연 표면에 있고, 상기 복수의 픽셀들은 스위칭용 박막 트랜지스터들, 구동용 박막 트랜지스터들, 및 EL 소자들로 구성되는, 상기 디스플레이 장치에 있어서:

- <113> 상기 디스플레이 장치는 인출 개구부를 갖고;
- <114> 상기 인출 개구부는 복수의 외부 입력 단자들을 가지며;
- <115> 상기 복수의 전원 공급 라인들 중 5 내지 50개는 한 유닛내에 함께 수집되어, 상기 복수의 외부 입력 단자들 주변에서 인출되고;
- <116> 전위는 상기 복수의 외부 입력 단자들에 상기 복수의 전원 공급 라인들에 제공되는 것을 특징으로 한다.
- <117> 본 발명에 따라, 복수의 소스 신호 라인들, 복수의 게이트 신호 라인들, 복수의 전원 공급 라인들, 및 매트릭스와 같이 배치된 복수의 픽셀들을 구비하는 디스플레이 장치로서, 상기 소스 신호 라인들, 상기 게이트 신호 라인들, 상기 전원 공급 라인들, 및 상기 픽셀들은 절연 표면에 있고, 상기 복수의 픽셀들은 스위칭용 박막 트랜지스터들, 구동용 박막 트랜지스터들, 및 EL 소자들로 구성되는, 상기 디스플레이 장치에 있어서:
- <118> 상기 디스플레이 장치는 외부 입력 단자를 갖고;
- <119> 상기 복수의 전원 공급 라인들은 상기 외부 입력 단자들 주변에서 인출되며;
- <120> 전위는 피드백 루프(feedback loop)의 피드백 증폭기에 의해 상기 외부 입력 단자를 통해 상기 복수의 전원 공급 라인들에 제공되는 것을 특징으로 한다.
- <121> 디스플레이 장치는, 상기 복수의 전원 공급 라인들이 매트릭스와 같이 배치되는 것을 특징으로 한다.
- <122> 디스플레이 장치는, 상기 복수의 전원 공급 라인들이 상기 소스 신호 라인들을 형성하는 배선층과 상기 게이트 신호 라인들을 형성하는 배선층으로 구성되는 것을 특징으로 한다.
- <123> 상기 디스플레이 장치는, 상기 복수의 전원 공급 라인들이 상기 소스 신호 라인들을 형성하는 배선층과는 다른 배선층과 상기 게이트 신호 라인들을 형성하는 배선층으로 구성되는 것을 특징으로 한다.
- <124> 상기 디스플레이 장치는, 상기 복수의 전원 공급 라인들이 상기 게이트 신호 라인들을 형성하는 배선층과는 다른 배선층과 상기 소스 신호 라인들을 형성하는 배선층으로 구성되는 것을 특징으로 한다.
- <125> 디스플레이 장치는, 상기 복수의 전원 공급 라인들이 상기 게이트 신호 라인들을 형성하는 배선층과 상기 소스 신호 라인들을 형성하는 배선층 양쪽 모두와는 다른 배선층으로 구성되는 것을 특징으로 한다.
- <126> 디스플레이 장치는, 상기 복수의 전원 공급 라인들의 열 방향의 라인 수가 상기 열 방향의 복수의 픽셀들의 픽셀 수보다 작은 것을 특징으로 한다.
- <127> 디스플레이 장치는, 상기 복수의 전원 공급 라인들의 행 방향의 라인 수가 상기 행 방향의 복수의 픽셀들의 수보다 작은 것을 특징으로 한다.
- <128> 디스플레이 장치는, 상기 디스플레이 장치의 디스플레이부의 대각선이 20 인치 이상인 것을 특징으로 한다.
- <129> 개인용 컴퓨터, TV 수상기, 비디오 카메라, 화상 재생 장치, 헤드 장착형 디스플레이 장치 및 휴대형 정보 단말기가 상기 디스플레이 장치에 적용되는 것을 특징으로 한다.
- <130> 본 발명에 따른 디스플레이 장치들의 구조가 이하에 기술된다.
- <131> (실시 형태 1)
- <132> 픽셀부의 전원 공급 라인들은 외부에 대해 한 방향이 아니며 복수의 방향들이다.
- <133> 실시 형태 1은 도 1을 참조하여 기술된다.
- <134> 도 1에 도시된 것과 같이, 전원 공급 라인들은 두 방향, 즉, 전원 공급 라인 입력부(1) 및 전원 공급 라인 입력부(2)로부터 인출된다.
- <135> 여기서 사용된 것과 같은 입력부는 복수의 외부 입력 단자들로 형성된 부분을 의미하며, 전원 전위, 화상 신호들 등이 외부로부터 디스플레이 장치로 입력된다.
- <136> 전원 공급 라인들이 한 방향으로 인출된 경우와 비교하여, 이러한 방식으로 디스플레이 장치의 전원 공급 라인들이 두 방향으로 인출됨으로써, 픽셀부의 전원 공급 라인들로부터 외부 입력 단자들로의 배선의 길이가 더 짧

아지고 배선의 길이 변화가 감소될 수 있다.

- <137> 상기 구조에 따라서, 픽셀부 주위의 전원 공급 라인들이 주위에서 잡아당겨진 부분에서의 전위 드롭의 영향이 감소될 수 있다.
- <138> (실시 형태 2)
- <139> 본 실시 형태에서, 전원 공급 라인들의 입력부의 소수의 배선들이 한 유닛에 함께 모아지며 각 유닛들은 서로 인접하지 않고 각 입력부들에 있는 복수의 외부 입력 단자들로 인출된다.
- <140> 본 실시 형태의 구조가 도 4에 도시되어 있다.
- <141> 본 실시 형태에서, 픽셀부의 모든 전원 공급 라인들이 하나의 외부 입력 단자로 인출되는 하나의 유닛에 함께 모아지는 경우와 비교하면, 각 모아진 전원 공급 라인들로부터 외부 입력 단자들로의 배선의 길이는 더 짧아질 수 있고 배선의 길이 변화는 감소될 수 있다.
- <142> 특히, 도 4의 배선들(a, b) 사이의 길이의 차는 도 35의 배선들(a, b) 사이의 길이의 차와 비교하여 크게 감소된다.
- <143> 상기 구조에 따라서, 픽셀부 주위의 전원 공급 라인들이 주위에서 잡아당겨진 부분에서의 전위 드롭의 영향이 감소될 수 있다.
- <144> (실시 형태 3)
- <145> 상기 기술된 것과 같이, 전원 공급 라인들을 흐르는 전류의 양은 대형 디스플레이 장치에서 커질 수 있다. 그러한 경우에, 픽셀 영역과 외부 입력 단자들 간의 배선 저항으로 인한 전위 드롭의 영향은 무시할 수 없다.
- <146> 이에 대한 한가지 대응책은 외부 전원의 전위를 미리 증가시키는 것이다. 그러나, 전원 공급 라인들을 흐르는 전류는 표시되는 것에 따라 변하기 때문에, 외부 전원의 전위를 균일하게 증가시키는 것은 바람직하지 않다. 따라서, 본 실시 형태에서는 피드백 증폭기의 사용과 피드백 루프에서 전위 드롭을 발생시키는 배선을 포함하는 것을 제안하고 있다.
- <147> 도 5에 도시된 것과 같이, 외부 입력 단자는 피드백 증폭기의 출력에 접속된다. 전원 공급 라인들에 인가되는 전압은 피드백 증폭기의 비반전 입력 단자(+)에 입력된다. 픽셀부의 전원 공급 라인들의 전위가 모니터링되고 반전 입력 단자(-)에 인가된다. 피드백 증폭기의 원리에 따라서, 비반전 입력 단자(noninverting input terminal)와 반전 입력 단자(inverting input terminal)가 동일한 전위에서 동작됨으로써, 전위 드롭에 의한 더 높은 전위가 피드백 증폭기의 출력 단자로부터 출력된다. 상기 기술된 것과 같이, 전위 보상(potential compensation)이 수행되어 전위의 차이가 상쇄된다.
- <148> 전원 공급 라인 입력부의 배선 저항이  $R_i$ 이고 전류가  $i$ 일 때,  $R_i$ 의 전위 드롭이 발생된다. 그러나, 모니터 단자에서, 모니터 단자를 흐르는 전류가 거의 없기 때문에, 전위 드롭은 발생하지 않는다.
- <149> 픽셀 영역을 갖는 패널을 형성한 후에 외부 IC를 포함하는 피드백 증폭기가 외부 기판 상에 형성된다.
- <150> (실시 형태 4)
- <151> 도 2는 본 발명에 따른 픽셀부의 구조를 도시하는 회로도이다.
- <152> 픽셀부의 각 픽셀은 스위칭용 TFT(4402), 구동용 TFT(4406), 저장 캐패시터(4419), 및 EL 소자(4414)로 형성된다. 전원 공급 라인들(VX1 내지 VXn, VY1 내지 VYn)은 소스 신호 라인들(S1 내지 Sn)과 평행한 방향뿐만 아니라 상기 소스 신호 라인들과 수직 방향으로도 배치되어 있다. 따라서, 각 방향들로부터 픽셀의 구동용 TFT(4406)의 소스 영역 또는 드레인 영역 중 하나에 전압이 공급된다. EL 소자(4414)에 흐르는 전류가 소스 신호 라인들(S1 내지 Sn)과 평행한 방향뿐만 아니라 상기 소스 신호 라인들과 수직인 방향으로도 공급되기 때문에, 누화 발생이 억제될 수 있다.
- <153> 여기서, 전원 공급 라인들은 서로 인접한 픽셀들간에 공유된다. 이것은 각 픽셀들의 전원 공급 라인들에 의해 점유된 영역을 감소시킬 수 있다. 따라서, 전원 공급 라인들이 (매트릭스와 같이) 수직 및 수평으로 배치되는 구조를 갖는 픽셀에 대해서도 개구 비율(opening ratio)은 개선될 수 있다.
- <154> 실시 형태 1 내지 실시 형태 4는 서로 자유롭게 결합하여 실시될 수 있다.
- <155> (실시예들)

- <156> 본 발명의 실시예들이 이하 기술된다.
- <157> (실시예 1)
- <158> 도 4는 소수의 전원 공급 라인들이 한 유닛에 함께 모아져 있고, 실시예 2에 기술되는 외부 입력 단자에 접속되어 있는 예를 도시한다.
- <159> 디스플레이부의 크기가 커짐에 따라 전위 드롭이 커지기 때문에, 전원 공급 라인들이 가능한 짧게 인출되는 배선들을 만들어야 한다. 본 발명에 따르면, 소수의 전원 공급 라인들이 한 유닛에 함께 모아져 있고, 인접 외부 입력 단자에 출력된다.
- <160> 도 4에 도시된 예에서, 소수의 전원 공급 라인들이 한 유닛에 함께 모아져 있고, 구동기 영역을 통하는 외부 입력 단자에 접속되어 있다. 이러한 방식에서, 배선 저항은 감소된다.
- <161> 약 5개 내지 50개의 전원 공급 라인들이 한 유닛에 함께 모아져 있는 것이 바람직하다.
- <162> (실시예 2)
- <163> 도 3은 본 발명의 실시예인 도 2에 도시된 회로도의 픽셀부의 일부분(4 픽셀)의 상면도이다.
- <164> 동일한 참조 번호들은 도 2의 동일한 부분을 나타낸다는 것을 유념해야 한다.
- <165> 각 픽셀은 스위칭용 TFT(4402), 구동용 TFT(4406), 캐패시터(4419), 및 EL 소자(4414)로 구성된다. 이 실시예에서, 전원 공급 라인들(VX1, VX2)은 게이트 신호 라인들(G1, G2)과 유사한 배선 재료를 사용하는 게이트 신호 라인들(G1, G2)과 평행하게 배치된다. 전원 공급 라인들(VX1, VX2)은 콘택트 홀(contact hole)들을 통해 소스 신호 라인들(S1, S2)과 평행한 종래의 전원 공급 라인들(VY1, VY2)에 접속된다.
- <166> 게이트 신호 라인들과 평행인 전원 공급 라인들이 본 실시예와 같이 게이트 신호 라인들을 형성하는 배선층을 사용하여 형성되는 구조가 이하 본 발명에 따른 픽셀 구조의 실시예 1로서 언급된다.
- <167> 본 발명에 따른 픽셀 구조의 실시예 1에서, 도 40 및 도 41에 도시된 픽셀들이 실제로 형성되는 종래의 경우와 비교하여, 매트릭스형 전원 공급 라인들이 마스크들의 수를 증가시키지 않고 형성될 수 있다.
- <168> 본 실시예는 실시예 1과 자유롭게 결합하여 실시될 수 있다.
- <169> (실시예 3)
- <170> 본 실시예에서, 전원 공급 라인들이 실시예 4에 기술되는 서로 인접한 픽셀들간에 공유되는 경우가 도 10 및 도 42 내지 도 44를 참조하여 기술된다.
- <171> 본 실시예에서, G1 내지 G4는 스위칭용 TFT(4402)의 게이트 배선들(게이트 신호 라인들의 일부분), S1 내지 S3은 스위칭용 TFT(4402)의 소스 배선들(소스 신호 라인들의 일부분), 4406은 구동용 TFT, 4414는 EL 소자, VY1 및 VY2는 소스 배선들과 평행인 전원 공급 라인들, VX1 및 VX2는 게이트 배선들과 평행인 전원 공급 라인들, 및 4410은 저장 캐패시터이다.
- <172> 도 10은 전원 공급 라인들(VY1, VX1)이 서로 인접한 픽셀들간에 공유되는 경우를 도시한다. 두 픽셀들은 전원 공급 라인들(VY1, VX1)에 대해 대칭이 되도록 형성되는 것을 특징으로 한다. 이 경우에, 전원 공급 라인들의 수가 감소될 수 있기 때문에, 디스플레이 장치의 간극 비율(aperture ratio)은 개선되고 픽셀부는 매우 정밀하게 만들어질 수 있다.
- <173> 도 42는 도 10의 상면도이다. 동일한 참조 번호는 도 10에서와 동일한 부분을 나타낸다는 것을 유념해야 하며, 그 설명은 생략한다.
- <174> 도 43은 본 발명의 다른 실시예를 도시한다. 본 실시예에서, X 방향의 전원 공급 라인들은 모든 픽셀 행들에 대해 배치되지 않고, 1/n개의 픽셀 행들이며, n은 2 이상의 자연수이다. 여기서, n=3인 경우가 도시되어 있다.
- <175> 도 44는 도 43의 상면도이다. 동일한 참조 번호는 도 43과 동일한 부분을 나타낸다는 것을 유념해야 하며, 그 설명은 생략된다.
- <176> 본 실시예는 실시예 1 및 실시예 2와 자유롭게 결합되어 실시될 수 있다.
- <177> (실시예 4)

- <178> 본 발명에 따르면, n-채널형 TFT 및 p-채널형 TFT 모두는 픽셀들의 구동용 TFT들로서 사용될 수 있지만, EL 소자들의 애노드들이 픽셀 전극들이고 캐소드들이 대향 전극들이인 경우에, 구동용 TFT들은 p-채널형 TFT들이인 것이 바람직하다. 반면에, EL 소자들의 애노드들이 대향 전극들이고 캐소드들이 픽셀 전극들이인 경우에는, 구동용 TFT들은 n-채널형 TFT들이인 것이 바람직하다.
- <179> 본 실시예는 실시예 1 내지 실시예 3과 자유롭게 결합하여 실시될 수 있다.
- <180> (실시예 5)
- <181> 본 발명의 EL 디스플레이 장치 제조의 예가 이 실시예에서 설명된다.
- <182> 도 6a는 본 발명을 이용하는 EL 디스플레이 장치의 상면도이다. 도 6b는 도 6a에서 A-A' 선을 따라 절단한 단면도를 도시한다.
- <183> 도 6a에서, 참조 번호 4010은 기판, 참조 번호 4011은 픽셀부, 참조 번호 4012a와 4012b는 소스 신호 라인 구동기 회로, 및 참조 번호 4013a와 4013b는 게이트 신호 라인 구동기 회로들이다. 각 구동기 회로는 배선들(4014a, 4014b, 4015, 4016)을 통해 FPC(4017)을 지나 외부 장비에 접속된다.
- <184> 이때, 적어도 픽셀부(4011), 바람직하게는, 구동기 회로들(4012a, 4012b, 4013a, 4013b)과 픽셀부(4011)를 둘러싸도록 커버재(cover member; 6000), 실링재(sealing material)(하우징재(housing material)라고도 함)(7000), 및 밀봉재(airtight material)(제 2 실링재)(7001)가 형성된다.
- <185> 또한, 도 6b는 실시예 5의 EL 디스플레이 장치의 단면 구조를 도시한다. 구동기 회로 TFT(4022)(여기서는, n-채널 TFT와 p-채널 TFT가 조합된 CMOS 회로가 도시되어 있다), 픽셀부 TFT(4023)(여기서는, EL 소자에 흐르는 전류를 제어하기 위한 구동기 TFT만이 도시되어 있다)가 기판(4010) 상의 기저막(4021) 상에 형성되어 있다. TFT들은 공지된 구조(상부 게이트 구조 또는 하부 게이트 구조)를 사용하여 형성될 수 있다.
- <186> 구동기 회로 TFT(4022)와 픽셀부 TFT(4023)가 완성된 후에, 수지 재료(resin material)로 이루어진 층간 절연막(interlayer insulating film)(평탄화막(leveling film))(4026) 상에 픽셀 전극(4027)이 형성된다. 픽셀 전극(4027)은 픽셀 TFT(4023)의 드레인에 전기적으로 접속하기 위한 투명 도전막(transparent conductive film)으로 형성된다. 인듐 산화물과 주석 산화물의 화합물(ITO라고 함) 또는 인듐 산화물과 아연 산화물의 화합물이 투명 도전막으로 사용될 수 있다. 픽셀 전극(4027)이 형성된 후에 절연막(4028)이 형성되고, 개구부가 픽셀 전극(4027) 상에 형성된다.
- <187> 다음으로 EL층(4029)이 형성된다. EL층(4029)은 공지된 EL 재료(홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층)를 자유롭게 조합시켜 적층 구조 또는 단층 구조를 갖도록 형성될 수 있다. 공지된 기술은 어떤 구조를 사용할지를 결정하는데 사용될 수 있다. 또한, EL 재료들은 저분자 중량 재료와 고분자 중량(폴리머(polymer)) 재료들로서 존재한다. 저분자 중량 재료를 사용할 때는 증착법(evaporation)이 사용될 수 있지만, 고분자 중량 재료를 사용할 때는 스핀 코팅(spin coating), 프린팅, 및 잉크젯 프린팅과 같은 쉬운 방법이 사용 되는 것이 바람직하다.
- <188> 이 실시예에서, EL층은 새도우 마스크(shadow mask)를 사용하는 증착법으로 형성된다. 새도우 마스크를 사용하는 각 픽셀에 대해 서로 다른 파장을 갖는 발광이 가능한 발광층(적색 발광층, 녹색 발광층, 및 청색 발광층)을 형성하여 컬러 디스플레이가 가능하게 된다. 또한, 전하 결합층(CCM)과 컬러 필터들(color filters)을 조합시킨 방법, 및 백색 발광층과 컬러 필터들을 조합시킨 방법과 같은 방법이 사용될 수도 있다. 물론, EL 디스플레이 장치는 단색 발광할 수도 있다.
- <189> EL층(4029)이 형성된 후에, EL층상에 캐소드(4030)가 형성된다. 캐소드(4030)와 EL층(4029) 사이의 인터페이스에 존재하는 수분이나 산소는 가능한 한 많이 제거하는 것이 바람직하다. 따라서, 진공중에서 EL층(4029)과 캐소드(4030)를 연속적으로 형성하는 방법, 또는 EL층(4029)을 불활성 가스 분위기(inert gas atmosphere) 중에서 형성하고 대기에 노출시키지 않고 캐소드(4030)를 증착하는 방법을 사용할 필요가 있다. 다중-챔버 방식(multi-chamber method)(클러스터 툴 방식(cluster tool method))의 막 증착 장치(film deposition apparatus)를 사용하여 이 실시예에서 상기 막 증착이 가능하게 된다.
- <190> 이 실시예에서는 캐소드(4030)로서 LiF(리튬 플루오르)막과 AL(알루미늄)막의 적층 구조가 사용된다. 특히, 1 nm 두께의 LiF(리튬 플루오르)막이 EL층(4029) 상에 증착법으로 형성되고, 300 nm 두께의 알루미늄막이 LiF막 상에 형성된다. 공지된 캐소드 재료인 MgAg 전극이 또한 이용될 수도 있다. 그 후, 배선(4016)은 참조 번호 4031로 표시된 영역에서 캐소드(4030)에 접속된다. 배선(4016)은 캐소드(4030)에 미리 결정된 전압을 제공하기

위한 전원 공급 라인이고, 도전성 페이스트 재료(4032)를 통해 FPC(4017)에 접속된다.

- <191> 캐소드(4030)와 배선(4016)을 참조 번호 4031로 표시된 영역에 전기적으로 접속시키기 위해서, 층간 절연막(4026)과 절연막(4028)에 콘택트 홀을 형성하는 것이 필요하다. 콘택트 홀들은 층간 절연막(4026)의 에칭시(픽셀 전극에 대한 콘택트 홀 형성시), 및 절연막(4028)의 에칭시(EL층 형성 전에 개구부 형성시)에 형성될 수 있다. 또한, 절연막(4028)을 에칭하는 경우에, 한번에 층간 절연막(4026)까지 에칭이 수행될 수 있다. 이 경우에, 층간 절연막(4026)과 절연막(4028)이 동일한 수지 재료로 제공되므로, 양호한 콘택트 홀이 형성될 수 있다.
- <192> 패시베이션막(6003), 충전재(filler material; 6004), 및 커버재(6003)가 이와 같이 형성된 EL 소자의 표면을 커버하도록 형성된다.
- <193> 또한, EL 소자부를 둘러싸도록 실링재(7000)가 커버재(6000)와 기판(4010) 사이에 형성되고, 밀봉재(제 2 실링재)(7001)가 실링재(7000)의 외측에 형성된다.
- <194> 이때, 충전재(6004)는 커버재(6000)를 접착하기 위한 접착제(adhesive)로서 기능한다. PVC(폴리비닐 클로라이드(polyvinyl chloride)), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부틸(polyvinyl butyral)), 및 EVA(에틸렌 비닐 아세테이트(ethylene vinyl acetate))가 충전재(6004)로서 사용될 수 있다. 건조제(drying agent)가 충전재(6004)의 내부에 형성되면, 흡습 효과(moisture absorbing effect)를 유지할 수 있기 때문에 바람직하다.
- <195> 또한, 스페이서들(spacers)이 충전재(6004) 내부에 포함될 수 있다. 흡습 능력을 갖는 스페이서들을 제공하는, BaO와 같은 분말 기판(powdered substrate)일 수 있다.
- <196> 스페이서들을 사용할 때, 패시베이션막(6003)은 스페이서 압력을 줄일 수 있다. 또한, 수지막과 같은 막은 스페이서 압력을 줄이기 위해 패시베이션막으로부터 분리되어 형성될 수 있다.
- <197> 또한, 유리판, 알루미늄판, 스테인레스 스틸판, FRP(fiberglass-reinforced plastics)판, PVF(폴리비닐 플루오라이드)막, 마일라막(Mylar film), 폴리에스터막(polyester film), 및 아크릴막(acrylic film)이 커버재(6000)로 사용될 수 있다. PVB 또는 EVA가 충전재(6004)로서 사용되면, 수십  $\mu\text{m}$ 의 알루미늄 포일(aluminum foil)이 PVF막이나 마일라막에 의해 사이에 끼워진 구조를 갖는 시트를 사용하는 것이 바람직하다.
- <198> 그러나, EL 소자로부터의 발광 방향(광의 방사 방향)에 따라, 커버재(6000)는 수광성들(light transmitting characteristics)을 가질 필요가 있다.
- <199> 또한, 배선(4016)은 실링재(7000), 밀봉재(7001), 및 기판(4010) 사이의 간격을 통해 FPC(4017)에 전기적으로 접속된다. 여기서는 배선(4016)을 설명하였지만, 유사하게 배선들(4014a, 4014b, 4015)도 실링재(7000), 밀봉재(7001) 및 기판(4010) 하부를 지남으로써 FPC(4017)에 전기적으로 접속된다.
- <200> 이 실시예에서, 충전재(6004)가 형성된 후에 커버재(6000)가 접착되고, 충전재(6004)의 측면(노출면)을 커버하도록 실링재(7000)가 부착되지만, 커버재(6000)와 실링재(7000)가 부착된 후에 충전재(6004)가 형성될 수도 있다. 이 경우에, 충전재 주입구가 기판(4010), 커버재(6000), 및 실링재(7000)에 의해 형성된 간격을 통해 형성된다. 공간은 진공 상태( $10^{-2}$  Torr 이하의 압력)로 설정되고, 충전재가 들어있는 탱크에 주입구를 닫은 후에, 간격의 외부 기압이 간격 내의 기압보다 높아지며, 충전재를 간격에 충전한다.
- <201> 본 실시예는 실시예 1 내지 실시예 4와 자유롭게 결합하여 실시될 수 있다.
- <202> (실시예 6)
- <203> 본 발명에 따라 실시예 5와 다른 형태로 제조된, 본 발명에 따른 EL 디스플레이 장치의 예가 도 7a와 도 7b를 참조하여 기술될 것이다. 도 6a 및 도 6b와 동일한 참조 번호는 동일한 부분을 나타내며, 그 설명은 생략한다.
- <204> 도 7a는 실시예 6의 EL 디스플레이 장치의 상면도이고, 도 7b는 도 7a에서 A-A' 선을 따라 취해진 단면도이다.
- <205> 실시예 5에 따라, 패시베이션막(6003)이 EL 소자의 표면을 덮도록 형성된다.
- <206> 또한, EL 소자를 덮도록 충전재(6004)가 제공된다. 충전재(6004)는 커버재(6000)를 접착하기 위한 접착제로 기능한다. 충전재(6004)로서 폴리비닐 클로라이드(PVC), 에폭시 수지, 실리콘 수지, 폴리비닐 부틸(PVB) 또는 에틸렌-비닐 아세테이트(EVA)가 사용될 수 있다. 바람직하게는, 흡습 효과를 유지하기 위해 건조제가 충전재(6004)에 제공된다.
- <207> 충전재(6004)가 스페이서에 포함될 수도 있다. 스페이서는 그 자체로 흡습 효과를 갖도록 BaO 등과 같은 입자

일 수 있다.

- <208> 스페이서가 제공되면, 패시베이션막(6003)은 스페이서 압력의 영향을 감소시킬 수 있다. 스페이서 압력의 영향을 감소시키기 위해 수지막 등이 패시베이션막과 관계없이 제공될 수 있다.
- <209> 커버재(6000)로서, 유리판, 알루미늄판, 스테인레스 스틸판, FRP(fiberglass-reinforced plastics)판, 폴리비닐 플루오라이드(PVF)막, 마일라막, 폴리에스터막, 아크릴막 등이 사용될 수 있다. PVB 또는 EVA가 충전재(6004)로서 사용되면, 수십  $\mu\text{m}$ 의 두께를 갖는 알루미늄 포일이 PVF막 또는 마일라막 사이에 끼워진 구조를 갖는 시트가 사용되는 것이 바람직하다.
- <210> EL 소자의 발광 방향(광의 방사 방향)의 일부 설정은 커버재(6000)가 투광성을 가질 필요가 있다.
- <211> 다음에, 커버재(6000)가 충전재(6004)를 사용하여 접착된다. 그 이후에, 충전재(6004)로 형성된 측면들(노출면들)을 덮도록 프레임재(frame member; 6001)가 부착된다. 프레임재(6001)는 실링재(6002)(접착재로서 기능함)에 의해 접착된다. 바람직하게, 광경화성 수지(photo-setting resin)가 실링재(6002)로서 사용된다. 그러나, EL층의 내열성이 수지의 사용을 허용할 수 있을 정도로 충분히 높으면 열경화성 수지가 사용될 수 있다. 실링재(6002)는 가능한 한 수분과 산소의 투과(permeation)를 억제하도록 이와 같은 특성들을 갖는 것이 바람직하다. 건조제가 실링재(6002)와 혼합될 수 있다.
- <212> 또한, 배선(4016)이 실링재(6002)와 기관(4010) 사이의 간격을 통해 FPC(flexible printed circuit)(4017)에 전기적으로 접속될 수 있다. 배선(4016)의 전기적 접속이 설명되었지만, 다른 배선들(4014a, 4014b, 4015)도 실링재(6002)와 기관(4010) 사이의 공간을 통해서 FPC(4017)에 전기적으로 접속된다.
- <213> 실시예 6에서, 충전재(6004)가 제공된 후에, 커버재(6000)가 접착되고 충전재(6004)의 측면들(노출면들)을 덮도록 프레임재(6001)가 부착된다. 그러나, 커버재(6000)와 프레임재(6001)가 부착된 후에 충전재(6004)가 제공될 수 있다. 이와 같은 경우에, 기관(4010), 커버재(6000) 및 프레임재(6001)에 의해 형성된 공간을 통하는 충전 주입구가 형성된다. 공간은 진공( $10^{-2}$  Torr 이하)이 되도록 하고, 주입구를 탱크내의 충전재에 담그며, 공간 외부의 대기가 공간 내의 대기에 비해 증가됨으로써, 공간을 충전재로 충전한다.
- <214> 본 실시예는 실시예 1 내지 실시예 5와 자유롭게 결합하여 실시될 수 있다.
- <215> (실시예 7)
- <216> 여기서, 도 8은 EL 디스플레이 장치의 픽셀부 단면의 더 상세한 구조를 도시한다.
- <217> 본 실시예는 소스 신호 라인들과 평행인 전원 공급 라인들이 소스 신호 라인들을 형성하는 층에 형성되고 게이트 신호 라인들과 병렬인 전원 공급 라인들이 게이트 신호 라인들을 형성하는 층에 형성되는 경우에 대응하는 본 발명에 따른 픽셀 구조의 실시예 1의 픽셀 구조를 도시한다는 것을 유념해야 한다.
- <218> 도 8에서, 기관(3501) 상에 제공된 스위칭용 TFT(3502)는 종래의 방법으로 형성된 n-채널형 TFT이다. 본 실시예에서, TFT(3502)는 게이트 전극들(39a, 39b)을 갖는 이중 게이트 구조(double gate structure)이다. 이중 게이트 구조를 채택함으로써 2개의 TFT들이 실질적으로 직렬로 접속되어, 오프 전류값이 감소될 수 있는 이점이 있다. 본 실시예에서 이중 게이트 구조가 채택되었지만, 단일 게이트 구조, 3중 게이트 구조, 또는 3개의 게이트 이상을 갖는 다중 게이트 구조가 채택될 수도 있다는 것을 유념해야 한다. 또한, 종래의 방법으로 형성된 p-채널형 TFT가 사용될 수도 있다.
- <219> 본 실시예에서, 구동용 TFT(3503)는 종래의 방법으로 형성된 n-채널형 TFT이다. 구동용 TFT(3503)의 게이트 전극(37)은 배선(36)을 통해 스위칭용 TFT(3502)의 드레인 배선(35)에 전기적으로 접속된다. 34는 소스 신호 라인이다.
- <220> 구동용 TFT는 EL 소자를 지나는 전류량의 제어하기 위한 소자이기 때문에, 많은 전류가 구동용 TFT를 흐름으로써 매우 높은 열로 인한 열화(deterioration)나 핫 캐리어(hot carrier)로 인한 열화가 발생할 수 있다. 따라서, 게이트 절연막을 통하여 게이트 전극을 중첩하도록 하기 위해 구동용 TFT의 드레인 측에 LDD 영역이 제공되는 구조가 매우 효과적이다.
- <221> 또한, 구동용 TFT(3503)의 단일 게이트 구조가 이 실시예의 도면에 도시되어 있지만, 복수의 TFT들이 직렬로 접속되는 다중 게이트 구조도 사용될 수 있다. 또한, 복수의 TFT들이 병렬로 접속되어 실질적으로 복수의 채널 형성 영역들로 분할하고, 열의 방사를 매우 효율적으로 수행할 수 있는 구조도 사용될 수 있다.

- <222> 또한, 소스 배선(40)은 게이트 전극들(37, 39)을 형성하는 층에 형성된 전원 공급 라인(38)에 접속되고, 소스 배선(40)에는 항상 정전압이 인가된다. 여기서, 전원 공급 라인은 소스 배선(40)과 소스 신호 라인(34)을 형성하는 층에도 형성될 수 있으며, 도시되지는 않았지만 콘택트 홀을 통해 전원 공급 라인에 전기적으로 접속된다.
- <223> 제 1 패시베이션막(41)이 스위칭용 TFT(3502)와 구동용 TFT(3503) 상에 형성되고, 절연 수지막을 포함하는 평탄화막(42)이 제 1 패시베이션막(41) 상에 형성된다. 평탄화막(42)을 사용하는 TFT들로 인한 단차를 평탄화하는 것은 매우 중요하다. 후에 형성되는 EL층은 매우 얇기 때문에, 발광 불량을 발생시키는 경우가 있다. 따라서, 가능한 한 평탄면을 갖는 EL층이 형성되도록 픽셀 전극을 형성하기 전에 평탄화를 수행하는 것이 바람직하다.
- <224> 또한, 참조 번호 43은 반사성이 높은 도전막으로 이루어지는 픽셀 전극(이 경우에는 EL 소자의 캐소드)을 나타내며, 구동용 TFT(3503)의 드레인 영역에 전기적으로 접속된다. 알루미늄 합금막, 구리 합금막, 및 은 합금막, 또는 상기 막들의 적층막과 같은 낮은 저항의 도전막을 사용하는 것이 바람직하다. 물론 다른 도전막의 적층 구조가 사용될 수도 있다.
- <225> 또한, 절연막들(바람직하게는 수지)로 형성되는 बैं크들(44a, 44b)에 의해 형성된 그루브(groove)(픽셀에 대응함)의 중앙에 발광층(45)이 형성된다. 도면에는 1개의 픽셀이 도시되었지만, 발광층은 각각 색 R(적색), G(녹색), 및 B(청색)에 대응하도록 분할될 수 있다.  $\pi$  공역 폴리머 재료( $\pi$  conjugate polymer material)가 유기 EL 재료로 사용된다. 폴리파라페닐렌 비닐렌(polyparaphenylene vinylenes; PPVs), 폴리비닐 카바졸(polyvinyl carbazoles; PVK), 및 폴리플루오렌(polyfluoranes)이 일반적인 폴리머 재료들로 제공될 수 있다.
- <226> 여러 종류의 PPV 유기 EL 재료들, 예를 들어, 쉐нк, 에이치.(Shenk, H.), 벡커, 에이치.(Becker, H.), 겔센, 오.(Gelsen, O.), 크루지, 이.(Kluge, E.), 크레우더, 더블유.(Kreuder, W.), 및 스프레이처, 에이치.(Spreitzer, H.)의 "발광 다이오드들용 폴리머들(Polymers for Light Emitting Diodes)", 유로 디스플레이 회보, 1999년, 33-7페이지, 및 일본 특개평 10-92576호에 기재된 재료가 사용될 수 있다.
- <227> 구체적인 발광층들로서, 시아노-폴리페닐렌 비닐렌(cyano-polyphenylene vinylene)이 적색 발광층으로 사용될 수 있고, 폴리페닐렌 비닐렌이 녹색 발광층으로 사용될 수 있으며, 폴리페닐렌 비닐렌이나 폴리알킬페닐렌이 청색 발광층으로 사용될 수 있다. 막 두께는 30 내지 150nm(바람직하게는, 40 내지 100nm)일 수 있다.
- <228> 그러나, 상기 예는 발광층으로서 사용될 수 있는 유기 EL 재료들의 일예이며, 이들 재료들로 제한될 필요는 없다. EL층은 발광층들, 전하 수송층들, 및 전하 주입층들과 자유롭게 조합하여 형성될 수 있다.
- <229> 예를 들어, 실시예 4는 발광층으로서 폴리머 재료를 사용하는 예를 나타내고 있지만, 저분자 중량 유기 EL 재료가 사용될 수도 있다. 또한, 전하 수송층 또는 전하 주입층으로서 실리콘 카바이드와 같은 무기 재료들을 사용하는 것도 가능하다. 공지된 재료들이 유기 EL 재료들 및 무기 재료들로 사용될 수 있다.
- <230> 실시예 4에서는 PEDOT(polythiophene) 또는 PAni(Polyaniline)로 이루어진 홀 주입층(46)이 발광층(45) 상에 형성되는 적층 구조 EL층이 사용된다. 그 후, 투명 도전막으로 이루어진 홀 주입층(46) 상에 애노드(47)가 형성된다. 이 실시예에서는 발광층(45)에 의해 생성된 광은 상면 쪽으로 향하여(TFT가 형성되는 기판(3501)에 대한 대향 방향) 방사됨으로써, 애노드가 도전성을 가지며 투광성을 갖는 재료로 형성된다. 인듐 산화물과 주석 산화물의 화합물, 또는 인듐 산화물과 아연 산화물의 화합물이 투명 도전막으로서 사용될 수 있다. 그러나, 내열성이 낮은 발광층과 홀 주입층이 형성된 후에 형성되기 때문에, 가능한 한 저온에서 형성될 수 있는 재료를 사용하는 것이 바람직하다.
- <231> EL 소자(3505)는 애노드(47)가 형성되는 시점에 완성된다. 여기서, EL 소자(3505)는 픽셀 전극(애노드)(43), 발광층(45), 홀 주입층(46), 및 애노드(47)에 의해 형성되는 것을 의미한다. 픽셀 전극(43)은 픽셀에 대한 면적과 거의 동일하기 때문에, 전체 픽셀은 EL 장치로서 기능한다. 따라서, 발광 효율이 매우 높고, 밝은 화상 디스플레이가 가능하게 된다.
- <232> 또한, 이 실시예에서 제 2 패시베이션막(48)이 애노드(47) 상에 형성된다. 제 2 패시베이션막(48)으로서 실리콘 질화막 또는 산화 실리콘 질화막이 사용되는 것이 바람직하다. 이 목적은 외부로부터 EL 소자를 차단하는데 있고, 유기 EL 재료의 산화로 인한 열화를 방지하고 유기 EL 재료로부터 방사된 가스를 제어하기 위한 것을 의미한다. 따라서, EL 디스플레이의 신뢰성이 증가될 수 있다.
- <233> 본 발명의 EL 디스플레이 장치는 도 8과 같은 구조의 픽셀들로 이루어진 픽셀부를 갖고, 충분히 낮은 오프 전류 값을 갖는 스위칭용 TFT와 핫 캐리어 주입에 강한 전류 제어용 TFT를 갖는다. EL 장치는 높은 신뢰성을 가지며, 즉, 양호한 화상 디스플레이가 가능한 EL 장치가 얻어질 수 있다.

- <234> 이 실시예의 구성은 실시예 1 내지 실시예 6의 어떠한 구성들과도 자유롭게 결합하여 실시될 수 있다.
- <235> (실시예 8)
- <236> 이 실시예에서, EL 소자(3505)의 구조를 실시예 7에 설명된 픽셀부를 반전시킨 구조가 설명될 것이다. 설명은 도 9를 참조하여 이루어질 것이다. 도 8에 도시된 구조와 다른 점들은 EL 소자(3701)와 구동기 TFT(3553)의 부분뿐이기 때문에, 다른 부분들은 설명을 생략할 것이다.
- <237> 도 9를 참조하면, 구동기 TFT(3553)는 공지된 방법으로 제조된 p-채널 TFT를 사용하여 형성된다. 구동기 TFT는 p-채널 TFT로 제한되지 않으며 n-채널 TFT도 사용될 수 있다.
- <238> 이 실시예에서, 픽셀 전극(애노드)(50)으로서 투명 도전막이 사용된다. 구체적으로, 도전막은 인듐 산화물과 아연 산화물의 화합물로 이루어진다. 물론, 인듐 산화물과 주석 산화물의 화합물로 이루어진 도전막도 사용될 수 있다.
- <239> 또한, 절연막으로 이루어진 बैं크들(51a, 51b)이 형성된 후에, 폴리비닐카바졸로 이루어진 발광층(52)이 용액 도포에 기초하여 형성된다. 발광층(52)은 칼륨 아세틸아세토네이트(acacK로 표기함)로 이루어지는 전자 주입층(53)과 알루미늄 합금으로 이루어지는 캐소드(54)로 덮여진다. 이 경우에, 캐소드(54)는 패시베이션막으로서 기능한다. 따라서, EL 소자(3701)가 형성된다.
- <240> 이 실시예의 경우에, 발광층(52)에 의해 생성된 광은 화살표로 표시된 것과 같이 TFT들이 형성된 기판(3501) 쪽으로 방사된다.
- <241> 본 실시예는 실시예 1 내지 실시예 6과 자유롭게 결합하여 실시될 수 있다.
- <242> (실시예 9)
- <243> 도 2, 도 3, 도 10 및 도 42 내지 도 44는 저장 캐패시터가 구동기 TFT의 게이트 전극에 인가된 전압을 유지하도록 제공되는 구조를 도시하지만, 저장 캐패시터는 생략될 수 있다.
- <244> n-채널 TFT가 구동기 TFT로서 사용되는 경우에, 게이트 절연막을 통해 게이트 전극과 겹쳐지도록 LDD 영역이 제공된다. 일반적으로 게이트 용량이라고 하는 기생 용량(parasitic capacitance)이 이 겹쳐지는 영역에 형성되지만, 이 실시예는 이 기생 용량이 구동기 TFT의 게이트 전극에 인가된 전압을 유지하기 위해 캐패시터로서 실제적으로 이용되는 것을 특징으로 한다.
- <245> 이 기생 용량의 용량은 게이트 전극과 LDD 영역이 겹쳐지는 면적에 의해 변화하기 때문에, 겹쳐지는 영역에 포함된 LDD 영역의 길이에 의해 결정된다.
- <246> 본 실시예는 실시예 1 내지 실시예 8과 자유롭게 결합하여 실시될 수 있다.
- <247> (실시예 10)
- <248> 이 실시예에서, 본 발명에 따른 EL 디스플레이 장치의 픽셀부와 픽셀부 주변에 제공되는 구동기 회로부의 TFT를 제조하는 방법을 설명한다. 설명을 간단히 하기 위해 구동기 회로용 기본 유닛으로서 CMOS 회로가 도면들에 도시되어 있다.
- <249> 먼저, 도 11a에 도시된 것과 같이, 기저막(도시되지 않음)의 표면에 형성된 기판(501)이 준비된다. 실시예 10에서는 100nm 두께의 실리콘 질화 산화막과 200nm 두께의 실리콘 질화 산화막이 적층되어 결정화 유리상에 기저막으로서 사용된다. 이때, 결정화 유리 기판을 접촉하는 막의 질소 농도를 10 내지 25wt%로 설정하는 것이 바람직하다. 물론, 기저막을 형성하지 않고 석영 기판(quartz substrate)의 상부에 직접 소자들이 형성될 수도 있다.
- <250> 다음에, 45nm 두께의 비결정질 실리콘 막(502)이 공지된 막 증착 방법으로 기판(501) 상에 형성된다. 비결정질 실리콘 막으로 한정할 필요는 없으며, 비결정질 구조(미결정 반도체막을 포함함)를 갖는 반도체막이 제공되는 임의의 다른 막이 사용될 수도 있다. 또한, 비결정질 실리콘 게르마늄막과 같은 비결정질 구조를 포함하는 화합물 반도체막이 사용될 수도 있다.
- <251> 여기서부터 도 11c까지의 공정은 본 출원인의 일본 특개평 10-247735호를 완전히 인용할 수 있다. 이 공보에서, 촉매로서 Ni 등과 같은 원소를 사용하여 반도체막을 결정화하는 방법에 관한 기술이 개시되어 있다.
- <252> 먼저, 개구들(503a, 503b)을 갖는 보호막(504)이 형성된다. 실시예 10에서 150 nm 두께의 실리콘 산화막이 사

용된다. 그후, 니켈(Ni)을 함유하는 층(505)(Ni 함유층)이 스핀 코팅법에 의해 보호막(504) 상에 형성된다. 상기 공보는 Ni 함유층의 형성과 관련하여 참조될 수 있다.

- <253> 다음에, 도 11b에 도시된 것과 같이, 비결정질 실리콘 막(502)이 불활성 분위기중에서 570℃에서 14시간 동안 가열 처리에 의해 결정화된다. 기점으로서 Ni가 접촉하는 영역들(이하, Ni 첨가 영역들이라고 함)(506a, 506b)이 기판과 거의 평행하게 결정화가 진행되고, 막대형 결정들이 함께 구성되는 결정 구조를 갖는 폴리 실리콘 막(507)을 형성한다.
- <254> 그후, 도 11c에 도시된 것과 같이, 마스크로서 왼쪽에 위치하는 보호막(504)을 갖는 Ni 첨가 영역들(506a, 506b)에 주기표 15쪽에 속하는 원소(바람직하게는 인(phosphorous))가 첨가된다. 따라서, 고농도의 인이 첨가된 영역들(이하, 인 첨가 영역)(508a, 508b)이 형성된다.
- <255> 다음에, 도 11c에 도시된 것과 같이, 불활성 분위기중에서 600℃에서 12시간동안 가열 처리가 가해진다. 가열 처리로 인해 폴리 실리콘 막(507)에 존재하는 Ni가 이동하고, 마지막으로, 화살표로 도시된 것과 같이 인 첨가 영역들(508a, 508b)에 거의 완전하게 보존된다. 이것은 인에 의한 금속 원소(실시에 10에서는 Ni)의 게터링 효과(gettering effect)의 현상으로 고려될 수 있다.
- <256> 이 공정에 의한 폴리 실리콘 막(509)에 남아있는 Ni의 농도는 SIMS(secondary ion mass spectroscopy)에 의한 측정치로서 적어도  $2 \times 10^{17}$  atoms/cm<sup>2</sup>까지 감소된다. Ni는 반도체에 대한 수명 킬러(lifetime killer)이며, Ni의 농도가 이 정도까지 감소되면 TFT의 특성들에 악영향을 미치지 않는다. 또한, 이 농도는 거의 현재의 SIMS에 의한 한계치이므로, 실제로는 더 낮은 농도( $2 \times 10^{17}$  atoms/cm<sup>2</sup> 이하)도 예상된다.
- <257> 따라서, 촉매, 즉, TFT의 기능에 손상을 미치지 않는 정도로 감소된 촉매를 사용하여 결정화되는 폴리 실리콘 막(509)이 얻어진다. 폴리 실리콘 막(509)을 사용하는 활성층들(510 내지 513)이 이후에 패터닝에 의해 형성된다. 이때, 이후의 패터닝동안 마스크 정렬(mask alignment)을 수행하기 위한 마커(marker)가 상기 폴리 실리콘 막을 사용하여 형성될 수 있다(도 11d).
- <258> 도 11e에 도시된 것과 같이, 50nm 두께의 실리콘 질화 산화막이 플라즈마 CVD법에 의해 다음에 형성되고, 또한, 열 산화 단계(thermal oxidation step)가 산화 분위기중에서 950℃에서 1시간 동안 가열 처리에 의해 수행된다. 산화 분위기는 산소 분위기, 또는 할로젠 원소가 첨가된 산소 분위기일 수 있다.
- <259> 활성층들과 상기 열 산화 단계에 의한 상기 실리콘 질화산화물의 경계면에서 산화 공정이 진행되고, 약 15nm 두께의 폴리 실리콘 막이 산화되어 약 30nm 두께의 실리콘 산화막이 형성된다. 즉, 80nm 두께의 게이트 절연막(514)이 30nm 두께의 실리콘 산화막과 50nm 두께의 실리콘 질화 산화막의 적층막으로 형성된다.
- <260> 다음에, 도 12a에 도시된 것과 같이 레지스트 마스크들(515a, 515b)이 형성되고, 게이트 절연막(514)을 통해 p-형 도전성을 부여한 불순물 원소(이하, p-형 불순물 원소라고 함)가 첨가된다. 일반적으로, 붕소나 갈륨과 같은 주기표 13쪽에 속하는 원소가 p-형 불순물 원소로서 사용될 수 있다. 이 공정(채널 도핑 공정이라고 함)은 TFT의 임계 전압을 제어하기 위한 공정이다.
- <261> 실시에 10에서는 디보레인(B<sub>2</sub>H<sub>6</sub>)의 질량 분리 없이 플라즈마 여기된 이온 도핑법으로 붕소를 첨가한다. 물론, 질량 분리를 수행하는 이온 주입법도 사용될 수 있다.  $1 \times 10^{15}$  내지  $1 \times 10^{18}$  atoms/cm<sup>2</sup>(일반적으로는,  $5 \times 10^{16}$  내지  $5 \times 10^{17}$  atoms/cm<sup>2</sup>)의 농도로 붕소를 포함하는 불순물 영역들(516, 517)이 이 공정에 의해 형성된다.
- <262> 다음에, 도 12b에 도시된 것과 같이, 레지스트 마스크들(519a, 519b)이 형성되고, n-형 도전성이 부여된 불순물 원소가 게이트 절연막(514)을 통해 첨가된다. 일반적으로 인이나 비소인, 주기표 15쪽에 속하는 원소가 n-형 불순물 원소로서 사용될 수 있다. 실시에 10에서는, 포스핀(PH<sub>3</sub>)의 질량 분리 없이 플라즈마 여기된 플라즈마 도핑법으로  $1 \times 10^{18}$  atoms/cm<sup>2</sup>의 농도로 인이 첨가된다. 물론, 질량 분리를 수행하는 이온 주입법도 사용될 수 있다.
- <263> n-형 불순물 원소가  $2 \times 10^{16}$  내지  $5 \times 10^{19}$  atoms/cm<sup>2</sup>(일반적으로는,  $5 \times 10^{17}$  내지  $5 \times 10^{18}$  atoms/cm<sup>2</sup>)의 농도로 상기와 같이 형성된 n-형 불순물 영역(520)에 포함되도록 투입량(dosage)이 조절된다.
- <264> 다음에, 도 12c에 도시된 것과 같이, 첨가된 n-형 불순물 원소들과 p-형 불순물 원소들의 활성화 공정이 수행된다. 활성화 수단을 한정할 필요는 없지만, 게이트 절연막(514)이 형성되기 때문에 전기로(electric furnace)를

사용하는 노 어닐링 처리(furnace annealing process)가 바람직하다. 또한, 도 12a의 공정에서 채널 형성 영역이 되는 부분의 게이트 절연막과 활성층들의 경계면에 손상이 발생할 가능성이 있기 때문에, 가능한 한 고온에서 가열 처리를 수행하는 것이 바람직하다.

- <265> 실시예 10에서는 내열성이 높은 결정화 유리가 사용됨으로써, 1시간동안 800℃에서 노 어닐링에 의해 활성화 공정이 수행된다. 처리 분위기를 산화성 분위기로 하여 열 산화를 수행할 수 있으며, 불활성 분위기중에서 가열 처리가 수행될 수 있다.
- <266> n-형 불순물 영역(520)의 단부, 즉, n-형 불순물 원소가 첨가되지 않은 n-형 불순물 영역(520)의 주위 영역(도 12a의 공정에 의해 형성된 p-형 불순물 영역)과의 경계부(접합부)가 상기 공정에 의해 명확해진다. 이것은 나중에 TFT가 완성될 때 LDD 영역과 채널 형성 영역 사이에 매우 양호한 접합부가 형성될 수 있다는 것을 의미한다.
- <267> 다음에, 200 내지 400nm 두께의 도전막이 형성되고 패터닝되어, 게이트 전극들(522 내지 525)을 형성한다. 게이트 전극들(522 내지 525)의 라인 폭은 각 TFT의 채널 길이를 결정한다.
- <268> 게이트 전극으로 단층 도전막이 형성될 수 있지만, 필요에 따라 2층 또는 3층의 적층막이 사용되는 것이 바람직하다. 공지된 도전막이 게이트 전극 재료로서 사용될 수 있다. 특히, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 및 실리콘(Si)으로 구성되는 그룹에서 선택된 원소의 막; 또는 상기 원소들의 질화물로 이루어지는 막(일반적으로는, 탄탈 질화막, 텅스텐 질화막, 또는 티탄 질화막); 또는 상기 원소들을 조합시킨 합금막(일반적으로는, Mo-W 합금, 또는 Mo-Ta 합금); 또는 상기 원소들의 실리사이드막(일반적으로는, 텅스텐 실리사이드막 또는 티탄 실리사이드막)이 사용될 수 있다. 물론, 단층막 또는 적층막이 사용될 수도 있다.
- <269> 실시예 10에서는 50nm 두께의 텅스텐 질화(WN)막과 350nm 두께의 텅스텐(W)막으로 이루어진 적층막이 사용된다. 이 막은 스퍼터링(sputtering)으로 형성될 수 있다. 또한, 크세논(Xe) 또는 네온(Ne)과 같은 불활성 가스 스퍼터링 가스(sputtering gas)로서 첨가되면, 응력으로 인한 막 필링(film peeling)을 방지할 수 있다.
- <270> 이때, n-형 불순물 영역(520)의 일부분과 그 사이에 끼워진 게이트 절연막(514)이 겹쳐지도록 게이트 전극(523)이 형성된다. 나중에 겹쳐지는 영역들은 게이트 전극과 겹쳐지는 LDD 영역들이 된다. 단면에서는 2개의 게이트 전극들(524a, 524b)로 보여질 수 있지만, 실제로는 전기적으로 접속되어 있다.
- <271> 다음에, 도 13a에 도시된 것과 같이, 마스크로서 게이트 전극들(522 내지 525)을 자기 정렬(self-aligning)하는 방식으로 n-형 불순물 원소(실시예 10에서는 인이 사용됨)가 첨가된다. 그렇게 형성된 불순물 영역들(526)에 1/10 내지 1/2(일반적으로는, 1/4와 1/3 사이)의 농도로 인이 첨가되도록 조정된다. 구체적으로는,  $1 \times 10^{16}$  내지  $5 \times 10^{18}$  atoms/cm<sup>2</sup>(일반적으로는,  $3 \times 10^{17}$  내지  $3 \times 10^{18}$  atoms/cm<sup>2</sup>)의 농도가 바람직하다.
- <272> 다음에, 도 13b에 도시된 것과 같이, 게이트 전극들을 덮는 형상으로 레지스트 마스크들(534a 내지 534d)이 형성되고, n-형 불순물 원소(실시예 10에서는 인이 사용됨)가 첨가되어 고농도의 인을 함유하는 불순물 영역들(535 내지 539)이 형성된다. 여기서, 포스핀(PH<sub>3</sub>)을 이용하는 이온 도핑법이 수행되고, 이 영역들의 인 농도는  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>2</sup>(일반적으로는,  $2 \times 10^{20}$  내지  $5 \times 10^{20}$  atoms/cm<sup>2</sup>)로 조정된다.
- <273> n-채널 TFT의 소스 영역 또는 드레인 영역이 이 공정에 의해 형성되며, 도 13a의 공정에 의해 형성된 n-형 불순물 영역들(528 내지 531)의 일부분이 남는다. 이 남은 영역들은 스위칭용 TFT의 LDD 영역들에 대응한다.
- <274> 다음에, 도 13c에 도시된 것과 같이, 레지스트 마스크들(534a 내지 534d)이 제거되고, 새로운 레지스트 마스크(542)가 형성된다. 그 후, p-형 불순물 원소(실시예 10에서는 붕소가 사용됨)가 첨가되어 고농도의 붕소를 포함하는 불순물 영역들을 형성한다. 여기서, 디보레인(B<sub>2</sub>H<sub>6</sub>)을 이용하는 이온 도핑에 의해  $3 \times 10^{20}$  내지  $3 \times 10^{21}$  atoms/cm<sup>2</sup>(일반적으로는,  $5 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>2</sup>) 농도로 붕소가 첨가된다.
- <275> 미리  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>2</sup>의 농도로 불순물 영역들(540, 541, 543, 544)에 인이 첨가되지만, 여기서 상기 인 농도의 적어도 3배의 농도로 붕소가 첨가된다. 따라서, 미리 형성된 n-형 불순물 영역들이 p-형으로 완전히 반전되어, p-형 불순물 영역으로 기능한다.
- <276> 다음에, 도 13d에 도시된 것과 같이, 레지스트 마스크(542)를 제거한 후에, 제 1 층간 절연막(546)이 형성된다. 제 1 층간 절연막(546)으로서 실리콘을 포함하는 단층 절연막이 사용되지만, 동일한 적층막이 사용될 수도

있다. 또한, 막 두께는 400nm내지 1.5 $\mu$ m인 것이 바람직하다. 실시예 10에서는 200nm 두께의 실리콘 질화 산화막 상의 800nm 두께의 실리콘 산화막의 적층 구조가 사용된다.

- <277> 각각의 농도로 첨가된 n-형 불순물 원소들과 p-형 불순물 원소들은 나중에 활성화된다. 활성화의 수단으로서 노 어닐링이 바람직하다. 실시예 10에서는 불활성 분위기중에서 550 $^{\circ}$ C에서 4시간 동안 전기로를 사용하여 가열 처리가 수행된다.
- <278> 또한, 3 내지 100%의 수소를 포함하는 분위기 중에서 300  $^{\circ}$ C 내지 450 $^{\circ}$ C에서 12시간동안 가열 처리를 수행하여 수소화 처리(hydrogenation)를 수행한다. 이 공정은 열적으로 여기된 수소에 의해 반도체막에 비결합 화학 결합손의 수소 종결의 하나이다. 수소화의 다른 수단으로서 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용함)가 사용될 수도 있다.
- <279> 제 1 층간 절연막(546)을 형성하는 동안 수소화 처리가 수행될 수 있다. 즉, 200nm 두께의 실리콘 질화 산화막이 형성된 후에 상기와 같이 수소화 처리가 수행된 후, 나머지 800nm 두께의 실리콘 산화막이 형성될 수 있다.
- <280> 도 14a에 도시된 것과 같이, 제 1 층간 절연막(546)과 게이트 절연막(514)에 인접하여 콘택트 홀들이 형성됨으로써, 소스 배선들(547 내지 550)과 드레인 배선들(551 내지 553)이 형성된다. 실시예 10에서, 100nm의 티탄막, 티탄을 포함하는 300nm의 알루미늄막, 및 150nm의 티탄막을 스퍼터링법에 의해 연속하여 형성한 3층 구조의 적층막이 게이트 전극들로서 사용된다. 물론, 다른 도전막들이 사용될 수도 있다.
- <281> 다음에, 제 1 패시베이션막(554)이 50 내지 500nm(일반적으로는, 200 내지 300nm)의 두께로 형성된다. 실시예 10에서는 제 1 패시베이션막(554)으로서 300nm 두께의 실리콘 질화 산화막이 사용된다. 실리콘 질화막이 실리콘 질화 산화막 대신 사용될 수도 있다.
- <282> 이때, 실리콘 질화 산화막이 형성되기 전에 H<sub>2</sub> 또는 NH<sub>3</sub>과 같은 수소를 포함하는 가스를 사용하여 효과적인 플라즈마 처리를 수행할 수 있다. 이 선처리에 의해 여기된 수소가 제 1 층간 절연막(546)에 공급되고, 가열 처리를 수행하여 제 1 패시베이션막(554)의 막 품질이 개선된다. 동시에, 제 1 층간 절연막(546)에 첨가된 수소가 낮은 층으로 확산되어, 활성층들이 효과적으로 수소화될 수 있다.
- <283> 다음에, 도 14b에 도시된 것과 같이, 유기 수지로 이루어진 제 2 층간 절연막(555)이 형성된다. 폴리이미드, 아크릴, 및 BCB(벤조사이클로부탄)과 같은 재료들이 유기 수지로서 사용될 수 있다. 특히, 제 2 층간 절연막(555)은 TFT들에 의해 형성된 단차를 평탄화할 필요가 있기 때문에, 평탄성이 우수한 아크릴막을 사용하는 것이 바람직하다. 실시예 10에서는 2.5 $\mu$ m 두께의 아크릴막이 형성된다.
- <284> 제 2 층간 절연막(555)과 제 1 패시베이션막(554)에 인접하여 드레인 배선(553)에 도달하기 위한 콘택트 홀이 형성되며, 픽셀 전극(애노드)(556)이 형성된다. 실시예 10에서, 110nm 두께의 인듐 틴 산화(ITO)막이 형성되고 패터닝이 수행되어 픽셀 전극을 형성한다. 또한, 인듐 산화물에 2 내지 20%의 아연 산화물(ZnO)이 혼합된 투명 도전막이 사용될 수도 있다. 픽셀 전극은 EL 소자(203)의 애노드가 된다.
- <285> 다음에, 실리콘을 포함하는 500nm 두께의 절연막(실시예 10에서 실리콘 산화막)이 형성되고, 픽셀 전극(556)에 대응하는 위치에서 개구부가 형성되어 제 3 층간 절연막(557)이 형성된다. 개구부가 형성될 때 습식 에칭을 사용하여 테퍼형(tapered shape)을 가지는 측벽이 쉽게 만들어질 수 있다. 개구부의 측벽이 충분히 완만하지 않으면, 단차로 인한 EL층의 열화는 명확한 문제가 된다.
- <286> 다음에, 진공 증착법을 이용하여 대기에 노출시키지 않고 EL층(558)과 캐소드(MgAg 전극)(559)가 연속하여 형성된다. EL층(558)의 막 두께는 80 내지 200nm(일반적으로는, 100 내지 120nm)로 설정될 수 있고, 캐소드(559)의 두께는 180 내지 300nm(일반적으로는, 200 내지 250nm)로 설정될 수 있다.
- <287> 이 공정에서는, 적색에 대응하는 픽셀, 녹색에 대응하는 픽셀, 및 청색에 대응하는 픽셀에 대해서 순서대로 EL층과 캐소드가 형성된다. EL층은 용액에 대해서 작은 저항을 가짐으로써, 각 색에 대한 EL층은 포토리소그라피 기술을 사용하지 않고 개별적으로 형성되어야 한다. 금속 마스크 등이 소망의 픽셀들을 제외한 영역들을 덮고, EL층과 캐소드가 필요한 부분들에 선택적으로 형성되는 것이 바람직하다.
- <288> 즉, 적색에 대응하는 픽셀들을 제외한 모든 영역들을 덮도록 마스크가 설정되고, 적색 발광 EL층들과 캐소드들이 마스크를 사용하여 선택적으로 형성된다. 다음에, 녹색에 대응하는 픽셀들을 제외한 모든 영역들을 덮도록 마스크가 설정되고, 녹색 발광 EL층들과 캐소드들이 마스크를 사용하여 선택적으로 형성된다. 다음으로, 유사하게 청색에 대응하는 픽셀들을 제외한 모든 영역들을 덮도록 마스크가 설정되고, 청색 발광 EL층들과 캐소드들

이 마스크를 사용하여 선택적으로 형성된다. 여기서는 모두 다른 마스크들을 사용하는 것으로 기술되었지만, 동일한 마스크가 재사용될 수도 있다. 또한, EL층들과 캐소드들이 모든 픽셀들로 형성될 때까지 진공을 깨지 않고 처리를 수행하는 것이 바람직하다.

- <289> 공지된 재료가 EL층(558)으로서 사용될 수 있다. 구동 전압을 고려하면, 공지된 재료로서 유기 재료를 사용하는 것이 바람직하다. 예를 들어, 홀 주입층, 홀 수송층, 발광층, 및 전자 주입층으로 구성된 4층 구조가 EL층으로서 사용될 수 있다. 또한, 실시예 10에서는 EL 소자(203)의 캐소드로서 사용되는 MgAg 전극의 예가 도시되었지만, 다른 공지된 재료가 사용될 수도 있다.
- <290> 또한, 주성분으로서 알루미늄을 포함하는 도전막이 보호 전극(560)으로서 사용되는 것이 바람직하다. 보호 전극(560)은 EL층과 캐소드를 형성하는데 사용된 것과는 다른 마스크를 사용하는 진공 증착법으로 형성될 수 있다. 또한, EL층과 캐소드의 형성 이후에 대기에 노출되지 않고 연속하여 보호 전극(560)이 형성되는 것이 바람직하다.
- <291> 마지막으로, 실리콘 질화막으로 이루어진 제 2 패시베이션막(561)이 300nm의 두께로 형성된다. EL층은 보호 전극(560)에 의해 수분과 같은 것으로부터 보호된다. 또한, 제 2 패시베이션막(561)은 EL 소자(203)의 신뢰성을 더 향상시킨다.
- <292> 따라서, 도 14c에 도시된 것과 같은 구조를 갖는 액티브 매트릭스형 EL 디스플레이 장치가 완성된다. 참조 번호 201은 스위칭용 TFT, 202는 구동기 TFT, 204는 구동기 회로용 n-채널 TFT, 및 205는 구동기 회로용 p-채널 TFT이다.
- <293> 실제적으로, 도 14c까지 완성된 후에, 양호한 밀폐성을 갖는 보호막(적층막 또는 자외선 경화 수지막), 또는 세라믹으로 이루어질 수 있는 실링과 같은 하우징재를 사용하여 대기에 노출시키지 않고 패키징(packaging; 봉입(sealing))하는 것이 바람직하다는 것을 주의하라.
- <294> (실시예 11)
- <295> 이 실시예에서, 구동을 아날로그 그레이-스케일 방법으로 하지 않고 디지털 시간 그레이-스케일 방법으로 할 때의 소스 신호측 구동기 회로의 구조가 기술된다.
- <296> 도 15는 이 실시예에서 사용된 소스 신호측 구동기 회로 예의 회로도도를 도시한다. 본 발명에서, 구동 방법은 아날로그 그레이-스케일 방법, 디지털 시간 그레이-스케일 방법, 디지털 면적 그레이-스케일 방법 중 어떠한 것에도 적용될 수 있다. 또한, 그레이-스케일 방법들을 조합하는 방법이 사용될 수 있다.
- <297> 시프트 레지스터들(801), 래치들(A)(802), 및 래치들(B)(803)이 도면에 도시된 것과 같이 배치된다. 이 실시예에서는, 한 그룹의 래치들(A)(802)과 래치들(B)(803)이 4개의 신호 라인들(S<sub>a</sub> 내지 S<sub>d</sub>)에 대응한다. 또한, 신호 전압의 진폭의 폭을 변경하기 위한 레벨 시프터(level shifter)가 이 실시예에서는 형성되지 않았지만, 설계자에 의해 적당하게 형성될 수도 있다.
- <298> 클럭 신호(CLK), CLK의 극성(polarity)이 반전된 클럭 신호(CLKB), 시작 펄스 신호(SP), 및 구동 방향 전환 신호(SL/R)가 도면에 도시된 배선들에 의해 시프트 레지스터들(801)에 각각 입력된다. 또한, 외부로부터 입력된 디지털 데이터 신호(VD)가 도면에 도시된 배선들에 의해 래치들(A)(802)로 입력된다. 래치 신호(S<sub>LAT</sub>)와 신호(S<sub>LAT</sub>)의 극성이 반전된 신호(S<sub>LATb</sub>)가 도면에 도시된 배선들에 의해 래치들(B)(803)로 입력된다.
- <299> 래치들(A)(902)의 상세한 구조에 관해서는, 소스 신호 라인(S<sub>a</sub>)에 대응하는 래치들(A)(802)의 일부(804)의 예가 설명된다. 래치들(A)(802)의 일부(804)는 2개의 클럭된 인버터들과 2개의 인버터들을 갖는다.
- <300> 래치들(A)(802)의 일부의 상면도가 도 16에 도시되어 있다. 참조 번호 831a와 831b는 각각 래치들(A)(802) 일부의 1개의 인버터를 형성하는 TFT의 활성층을 나타내고, 참조 번호 836은 1개의 인버터를 형성하는 TFT의 공통 게이트 전극을 나타낸다. 또한, 참조 번호 832a와 832b는 각각 래치들(A)(802)의 일부(804)의 다른 인버터를 형성하는 다른 TFT의 활성층을 나타내고, 참조 번호 837a와 837b는 각각 활성층들(832a, 832b) 상에 형성된 게이트 전극들을 나타낸다. 게이트 전극들(837a, 837b)은 전기적으로 접속된다는 것을 유념해야 한다.
- <301> 참조 번호 833a와 833b는 래치들(A)의 일부의 1개의 클럭 인버터를 형성하는 TFT의 활성층을 나타낸다. 게이트 전극들(838a, 838b)이 활성층(833a) 상에 형성되어 이중 게이트 구조가 된다. 또한, 게이트 전극들(838b, 839)이 활성층(833b) 상에 형성되어, 이중 게이트 구조가 된다.
- <302> 참조 번호(834a, 834b)는 각각 래치들(A)(802)의 일부(804)의 또다른 클럭된 인버터를 형성하는 TFT의 활성층을

나타낸다. 게이트 전극들(839, 840)이 활성층(834a) 상에 형성되어 이중 게이트 구조가 된다. 또한, 게이트 전극들(840, 841)이 활성층(834a) 상에 형성되어 이중 게이트 구조가 된다. 상기 디지털 그레이-스케일이 수행될 때의 그레이-스케일 특성이 도 45에 도시되어 있다.

- <303> 상기 디지털 시간 그레이-스케일 방법을 사용하여 도 45에 도시된 것과 같이, 64 그레이-스케일이 설명될 수 있다.
- <304> 이 실시예는 실시예 1 내지 실시예 10 중 어떠한 것과도 자유롭게 결합하여 실시될 수 있다.
- <305> (실시예 12)
- <306> 본 발명의 EL 디스플레이 장치에 있어서, EL 소자의 EL층에 대해 사용된 재료는 유기 EL 재료로 한정되지 않으며, 무기 EL 재료로 실시될 수도 있다. 그러나, 현재 무기 EL 재료는 구동기 전압이 높기 때문에, 구동기 전압을 견딜 수 있는 저항 특성들을 갖는 TFT가 사용되어야 한다.
- <307> 또한, 무기 EL 재료가 미래에 낮은 구동기 전압으로 개발된다면, 본 발명에 적용될 수 있다.
- <308> 이 실시예는 실시예 1 내지 실시예 11 중 어떠한 것과도 자유롭게 결합하여 실시될 수 있다.
- <309> (실시예 13)
- <310> 본 발명에서, EL층으로서 사용된 유기 물질은 저 폴리머 유기 물질(low polymer organic substance) 또는 폴리머(고 폴리머) 유기 물질일 수 있다.
- <311> 저 폴리머 유기 물질에 있어서, Alq<sub>3</sub>(tris-8-quinolilyte-aluminium)과 TPD(triphenyl amine derivative)와 같은 것으로 주로 이루어진 재료가 공지되어 있다. 폴리머 유기 물질에 있어서, π 공역 폴리머의 물질이 있다. 일반적으로는, PPV(폴리파라페닐렌 비닐렌), PVK(폴리비닐 카바졸), 또는 폴리카보네이트와 같은 것이 있다.
- <312> 폴리머(고 폴리머) 유기 물질은 스핀 코팅법(용액 도포법이라고도 함), 도핑법, 프린팅법 또는 잉크젯법과 같은 쉬운 박막 형성법으로 형성되며, 저 폴리머 물질과 비교하여 높은 내열성을 갖는다.
- <313> 또한, 본 발명의 EL 디스플레이 장치의 EL 소자에 있어서, EL 소자의 EL층이 전자 수송층과 홀 수송층을 포함하면, 전자 수송층과 홀 수송층은, 예를 들어, 비결정질 Si와 비결정질 Si<sub>1-x</sub>C<sub>x</sub>와 같은 비결정질 반도체의 무기 물질로 구성될 수 있다.
- <314> 비결정질 반도체에서는 다량의 트랩 레벨(trap level)이 존재하고, 비결정질 반도체가 다른 층들과 접촉하는 표면에 형성된 다량의 표면 레벨도 존재한다. 따라서, EL 소자는 높은 정밀도로 저전압에서 발광할 수 있다.
- <315> 또한, 유기 EL층으로부터 발광된 색을 변경하기 위해 도펀트(dopant)(불순물)가 유기 EL층에 첨가될 수 있다. 도펀트로서는 DCM1, 나일 레드, 루브레인(rubrene), 카우마린 6(coumarin 6), TPB, 퀴나크라이딘(quinacridone)과 같은 것이 있다.
- <316> 이 실시예는 실시예 1 내지 실시예 12와 자유롭게 결합하여 실시될 수 있다.
- <317> (실시예 14)
- <318> 이 실시예에서는, 도 21a와 도 21b를 사용하여 본 발명의 EL 디스플레이 장치가 기술된다. 도 21a는 EL 소자의 봉입이 수행된 EL 소자로 형성된 TFT 기판을 도시하는 상면도이다. 참조 번호 6801은 소스 신호측 구동기 회로, 참조 번호 6802a와 6802b는 게이트 신호측 구동기 회로, 및 참조 번호 6803은 픽셀부를 나타낸다. 또한, 참조 번호 6804는 커버재, 6805는 제 1 실링재, 및 6806은 제 2 실링재를 나타낸다. 제 1 실링재(6805)로 둘러싸인 내측 커버재와 TFT 기판 사이에는 충전재(6807)가 제공된다(도 21b 참조).
- <319> 참조 번호 6808은 소스 신호측 구동기 회로(6801), 게이트 신호측 구동기 회로(6802a)와 픽셀부(403)에 입력되는 신호를 전송하기 위한 접속 배선이고, 외부 장비와 단자를 접속하기 위한 FPC(flexible print circuit)(409)로부터 비디오 신호나 클럭 신호를 수신한다.
- <320> 여기서, 도 21b는 A-A' 선을 따라 절단된 도 21a의 단면도를 도시한다. 도 21a와 도 21b에서, 동일한 참조 번호들을 갖는 부분들은 동일한 부분들임을 유념해야 한다.
- <321> 도 21b에 도시된 것과 같이, 기판(6800) 상에 픽셀부(6803)와 소스 신호측 구동기 회로(6801)가 형성되고, EL 소자에 흐르는 전류를 제어하기 위한 TFT(이하, 구동기 TFT들이라고 함)(6851)를 포함하는 복수의 픽셀들과 드

라인에 전기적으로 접속된 픽셀 전극(6852)으로 형성된다. 이 실시예에서, 구동기 TFT(6851)는 p-채널 TFT일 수 있다. 또한, 소스 신호측 구동기 회로(6801)는 n-채널 TFT(6853)와 p-채널 TFT(6854)가 보충적으로 조합된 CMOS 회로를 사용하여 형성된다.

- <322> 각 픽셀은 픽셀 전극 아래에 컬러 필터(R)(6855), 컬러 필터(G)(6856), 및 컬러 필터(B)(도시되지 않음)를 포함한다. 여기서, 컬러 필터(R)는 적색광을 추출하기 위한 컬러 필터이고, 컬러 필터(G)는 녹색광을 추출하기 위한 컬러 필터이며, 컬러 필터(B)는 청색광을 추출하기 위한 컬러 필터이다. 컬러 필터(R)(6855)는 적색 발광 픽셀에, 컬러 필터(G)는 녹색 발광 픽셀에, 컬러 필터(B)는 청색 발광 픽셀에 제공된다.
- <323> 컬러 필터들이 제공되는 경우의 효과에 있어서는, 먼저 발광색의 색 순도가 향상되는 면이 있다. 예를 들어, 적색 발광 픽셀로부터 적색이 발광되지만(이 실시예에서는 픽셀 전극측을 향하여 방사된다), 이 적색광이 적색광을 추출하는 컬러 필터를 통해 통과되면, 적색의 순도가 향상된다. 이것은 녹색광 및 청색광의 경우에도 동일하다.
- <324> 또한, 컬러 필터가 사용되지 않는 종래의 구조에서는, EL 디스플레이 장치의 외부로부터 들어오는 가시광이 EL 소자의 발광층을 여기서키기 때문에 소망의 색이 얻어지지 않는 문제가 발생한다. 그러나, 컬러 필터를 제공함으로써, 특정 파장의 광만 EL 소자에 들어갈 수 있다. 즉, EL 소자가 외부로부터의 광에 의해 여기되는 문제가 방지될 수 있다.
- <325> 컬러 필터를 제공하는 구조가 제안되었지만, 백색광을 발광하는 EL 소자가 사용된다. 이 경우에, 다른 파장의 광은 적색광을 추출하기 위해 차단되기 때문에, 휘도 저하가 발생된다. 그러나, 이 실시예에서는, 예를 들어, EL 소자로부터 발광된 적색광이 적색광을 추출하는 컬러 필터를 통해 통과하기 때문에, 휘도가 저하되지 않는다.
- <326> 다음에, 픽셀 전극(6852)은 투명 도전막으로 형성되어 EL 소자의 애노드로서 기능한다. 또한, 픽셀 전극(6852) 양단에 절연막(6857)이 형성되고, 적색을 발광하는 발광층(6858)과 녹색을 발광하는 발광층(6859)도 형성된다. 또한, 도시되지는 않았지만, 청색을 발광하는 발광층이 인접 픽셀에 제공되고, 적색, 녹색, 청색에 대응하는 픽셀들에 의해 컬러 디스플레이가 수행된다. 물론, 청색을 발광하는 발광층이 제공된 픽셀은 청색을 추출하는 컬러 필터에 제공된다.
- <327> 발광층(6858, 6859)에 대한 재료로서, 유기 물질뿐만 아니라 무기 물질도 사용될 수 있다. 또한, 발광층뿐만 아니라 전자 주입층, 전자 수송층, 홀 수송층 및 홀 주입층을 조합시킨 적층 구조가 사용될 수 있다.
- <328> 또한, 각 발광층 위에 EL 소자의 캐소드가 차광성(light shielding property)을 갖는 도전막으로 형성된다. 캐소드(6860)는 모든 픽셀들에 대해 공통이고, 접속 배선(6808)을 통해 FPC(6809)에 전기적으로 접속된다.
- <329> 다음에, 제 1 실링재(6805)가 디스펜서(dispenser) 등으로 형성되고, 커버재(6804)를 부착하기 위해 스페이서(도시되지 않음)를 산포시킨다. 그 후, TFT 기판, 커버재(6904) 및 제 1 실링재(6805)로 둘러싸인 영역이 진공 주입법에 의해 충전재(6807)로 충전된다.
- <330> 또한, 미리 충전재(6807)에 흡습성 물질(hygroscopic substance; 6861)로서 바륨 산화물이 첨가된다. 일 실시예에서는, 흡습성 물질을 충전재에 첨가하여 사용되지만, 클러스터들(clusters)로서 분산함으로써 충전재에 봉입할 수 있다. 또한, 도시되지는 않았지만, 흡습성 물질은 스페이서용 물질로 사용될 수 있다.
- <331> 다음에, 자외선 조사와 가열에 의해 충전재(6807)를 경화시킨 후에, 제 1 실링재(6805)에 형성된 개구(도시되지 않음)가 차단된다. 제 1 실링재(6805)의 개구가 차단될 때, 접속 배선(6808)과 FPC(6809)는 도전 재료(6863)를 사용하여 전기적으로 접속된다. 또한, 제 1 실링재(6805)의 노출 부분과 FPC(6809)의 일부를 덮도록 제 2 실링재(6806)가 제공된다. 제 2 실링재(6806)는 제 1 실링재(6805)와 동일한 재료를 사용할 수 있다.
- <332> 상기 방법을 사용하여 EL 소자를 충전재(6807)에 봉입하여, EL 소자를 외부로부터 완전히 차단할 수 있고, 외부로부터 수분이나 산소와 같은 유기 재료의 산화를 발생시키는 물질의 투입(penetration)을 방지할 수 있다. 따라서, 신뢰성이 높은 EL 디스플레이 장치가 제조될 수 있다.
- <333> 또한, 본 발명을 사용하여, 현존하는 액정 디스플레이 장치의 제조 라인을 변환하여 유지 투자 비용을 크게 줄일 수 있으며, 높은 수율의 프로세스로 하나의 기판에서 복수의 발광 장치들이 제조될 수 있어 제조 비용을 크게 감소시킬 수 있다.
- <334> (실시예 15)

- <335> EL 소자로부터 발광하는 광의 방사 방향이 컬러 필터의 배치가 다른 경우에 이 실시예의 실시예 14에 도시된 EL 디스플레이 장치가 기술된다. 도 22는 설명을 위해 사용되지만, 기본 구조는 도 21b와 동일하며, 따라서, 변경된 부분은 새로운 부호를 부여하여 기술될 것이다.
- <336> 이 실시예에서는, n-채널 TFT가 픽셀부(6901)의 구동기 TFT(6902)로서 사용된다. 또한, 구동기 TFT(6902)의 드레인이 픽셀 전극(6903)에 전기적으로 접속되고, 픽셀 전극(6903)은 차광성을 갖는 도전막으로 형성된다. 이 실시예에서, 픽셀 전극(6903)은 EL 소자의 캐소드이다.
- <337> 또한, 모든 픽셀들에 공통인 투명 도전막(6904)이 본 발명을 사용하여 형성되는 적색을 발광하는 발광층(6858)과 녹색을 발광하는 발광층(6859) 상에 형성된다.
- <338> 또한, 이 실시예는 컬러 필터(R)(6905), 컬러 필터(G)(6909) 및 컬러 필터(B)(도시되지 않음)가 커버재(6804)에 형성되어 있는 점이 특징이다. 구조가 이 실시예의 EL 소자인 경우에, 발광층으로부터 발광되는 광의 방사 방향은 커버재 측으로 향하기 때문에, 도 22의 구조가 사용될 때 컬러 필터가 광 경로에 제공될 수 있다.
- <339> 컬러 필터(R)(6905), 컬러 필터(G)(6906) 및 컬러 필터(B)(도시되지 않음)가 커버재(6804)에 제공되었을 때, TFT 기관의 공정들이 줄어들 수 있으며, 수율과 스루풋이 개선될 수 있는 이점이 있다.
- <340> (실시예 16)
- <341> 도 36과 도 38은 본 발명의 픽셀 구조의 실시예 2이다. 이 실시예는 전원 공급 라인을 형성하도록 부가된 소스 신호 라인, 게이트 신호 라인과 다른 배선층의 예이다.
- <342> 도 36에서, 실시예 7의 도 7에 도시한 부분과 동일한 부분들은 동일한 참조 번호로 도시되어 있고, 그 설명은 생략한다.
- <343> 도 38에서, 실시예 8의 도 9에 도시한 부분과 동일한 부분들은 동일한 참조 번호로 도시되어 있고, 그 설명은 생략한다.
- <344> 반도체층의 하측에 배선층(4502a)이 제공되어, 전원 공급 라인(49a)을 형성하도록 한다. 이 방법에서, 상이한 층이 제공되어, 추가 배선에 의한 개구 비율 감소를 방지하는 것이 가능하다.
- <345> 도 37과 도 39는 본 발명의 실시예 3을 도시한다. 이 실시예에서는, 제 2 실시예와는 다른 층(4502b)에서 전원 공급 라인(49b)이 인출된다.
- <346> 도 37에서, 실시예 7의 도 8에 도시된 부분과 동일한 부분들은 동일한 참조 번호로 도시되고, 그 설명은 생략한다.
- <347> 도 39에서, 실시예 8의 도 9에 도시된 부분과 동일한 부분들은 동일한 참조 번호로 도시되고, 그 설명은 생략한다.
- <348> 도 37과 도 39에서, 전원 공급 라인(49b)이 신호 라인(34) 위에 형성되지만, 이 위치에 형성되지 않을 수 있으며, 게이트 신호 라인과 소스 신호 라인 사이의 층상에, 또는 게이트 신호 라인 아래의 층상에 형성될 수 있다.
- <349> (실시예 17)
- <350> 이 실시예에서, EL 디스플레이 장치의 광 조사 방향은 실시예 10의 하부면 방향(기관쪽)이고, 전원 공급 라인이 반도체 기관의 하부쪽에 제공된 경우에 대하여 설명한다. 하지만, 설명의 간단화를 위해, 구동기 회로에 관한 기본 유닛인 CMOS 회로가 도시되어 있다. 여기서, 구동기 회로 TFT는 실시예 10에서 설명한 제조 방법을 이용하여 제조될 수 있으며, 따라서 여기서는 설명을 생략한다.
- <351> 먼저, 도 25a에 도시된 바와 같이, 기관(600)이 준비된다. 이 실시예에서는 결정화 유리가 사용된다. 200 내지 400 nm 두께의 전도막이 상기 기관(600) 상에 형성되고, 레지스트 마스크(resist mask; 601)에 의해 패터닝되며, 전원 공급 라인(602)을 형성하기 위해 에칭이 수행된다. 수행되는 에칭은 건식 에칭(dry etching) 또는 습식 에칭(wet etching)일 수 있다.
- <352> 다음에, 도 25b 및 도 25c에 도시된 바와 같이, 산화막이 형성된다. 이 실시예에서는, 두께 100 nm의 실리콘 질화 산화막(603)과 두께 200 nm의 실리콘 질화 산화막(604)이 적층된다. 이때, 결정화 유리 기관에 접촉하는 실리콘 질화 산화막(603)의 질소 농도는 10 내지 25 wt%인 것이 바람직하다. 상기 실리콘 질화 산화막(604)을 형성한 후, 상기 표면의 평탄화가 수행된다. 특히, CMP 또는 표면 연마(surface polishing)가 수행된다.

- <353> 다음에, 도 25d에 도시된 바와 같이, 두께 45 nm의 비정질 실리콘 막(605)이 공지의 성막법에 의해 형성된다. 상기 실리콘 막은 비정질 실리콘 막에 한정될 필요가 없으며, 비정질 구조(미세 결정 반도체 막 (microcrystalline semiconductor film)을 포함함)를 포함한 반도체 막일 수도 있음을 주의한다. 또한, 비정질 실리콘 게르마늄 막과 같은 비정질 구조를 포함하는 화합물 반도체 막일 수도 있다.
- <354> 여기서부터 도 26c까지의 공정은 본 출원인의 일본 특개평 10-247735 호로부터 완전히 인용될 수 있다. 이 공보에는, 원소 Ni 등을 촉매로서 이용하는 반도체 막의 결정화 방법에 관한 기술이 공개되어 있다.
- <355> 도 25e에 도시된 바와 같이, 개구부(606a, 606b)를 가진 보호막(607)이 형성된다. 이 실시예에서는, 두께 150 nm의 실리콘 산화막이 사용된다. 다음에, 도 26a에 도시된 바와 같이, 니켈(Ni)을 함유한 층(608)이 스펀 코팅법에 의해 상기 보호막(607) 상에 형성된다. 이 Ni 함유 층의 형성에 대해서는, 상기 공보가 참조될 수 있다.
- <356> 다음에, 도 26b에 도시된 바와 같이, 비정질 실리콘 막(605)을 결정화하기 위하여 570℃에서 14 시간 동안 불활성 분위기에서 가열 공정이 수행된다. 이때, Ni가 접촉하는 영역(609a, 609b)(이하, Ni 첨가 영역)은, 막대형 결정이 수집 및 정렬된 결정 구조를 가진 폴리 실리콘 막(610)을 형성하기 위하여 상기 기판에 실질적으로 평행하게 결정을 진행하기 위한 시작점이 된다.
- <357> 다음에, 도 26c에 도시된 바와 같이, 주기율표의 15족 원소(바람직하게는, 인)가 보호막(607)을 마스크로 하여 Ni 첨가 영역(609a, 609b)에 첨가된다. 이 방법으로, 고농도의 인이 첨가된 영역(611a, 611b)(이하, 인 첨가 영역)이 형성된다.
- <358> 다음에, 도 26c에 도시된 바와 같이, 600℃에서 12 시간 동안 불활성 분위기에서 가열 공정이 수행된다. 이 가열 공정으로, 폴리 실리콘 막(610)의 Ni는 최종적으로 대부분의 Ni가 화살표에 의해 도시된 바와 같이 인 첨가 영역(611a, 611b)에 포집된다. 이는 인에 의한 금속 원소(이 실시예에서 Ni)의 게터링 효과로 인한 현상으로 생각된다.
- <359> 이 공정으로, 폴리 실리콘 막(612)에 잔류한 Ni의 농도가 적어도  $2 \times 10^{17}$  atoms/cm<sup>3</sup>의 SIMS(secondary ion mass spectroscopy)에 의해 측정된 측정값까지 저하된다. 상기 Ni는 반도체의 수명 킬러이지만, 이 정도까지 저하되면 TFT 특성에 대한 악영향은 존재하지 않는다. 또한, 이 농도는 현재의 SIMS 분석의 측정 한계값이며, 이에 따라 실제적으로 보다 낮은 밀도( $2 \times 10^{17}$  atoms/cm<sup>3</sup>)인 것으로 생각된다.
- <360> 이와 같이, 촉매를 사용하여 결정화되고, TFT의 기능을 방해하지 않도록 촉매의 레벨이 저하되는 폴리 실리콘 막(612)이 얻어진다. 이후, 폴리 실리콘 막(612)만을 가진 활성층(613a, 613b)이 패터닝되어 형성된다. 또한, 이때, 패터닝 후에 마스크 정렬을 수행하기 위한 마커가 폴리 실리콘 막을 사용하여 형성될 수 있다(도 26d).
- <361> 다음에, 도 26e에 도시된 바와 같이, 두께가 50 nm인 실리콘 질화 산화막이 플라즈마 CVD법에 의해 형성되고, 상기 산화막에 대해 열 산화 공정을 수행하기 위하여 950℃에서 1 시간 동안에 산화 분위기에서 가열 공정이 수행된다. 산화 분위기는 산소 분위기 또는 할로젠 원소가 첨가된 산화 분위기일 수 있다.
- <362> 이 열 산화 공정에서는, 상기 활성층과 질화 산화막의 경계면에서 산화가 진행되며, 이에 의해 두께가 대략 15 nm인 폴리 실리콘 막이 산화되어 두께가 대략 30 nm인 실리콘 산화막이 형성된다. 즉, 두께가 대략 80 nm인 게이트 절연막(614)이 두께가 대략 50 nm인 실리콘 산화막 및 두께가 대략 30 nm인 실리콘 질화 산화막과 적층된다. 이 열 산화 공정으로 활성층(613a, 613b)의 두께는 30 nm가 됨에 주의한다.
- <363> 다음에, 도 27a에 도시된 바와 같이, 레지스트 마스크(615)가 형성되고, p형 전도성을 부여하는 불순물 원소(이하, p형 불순물 원소)가 게이트 절연막(614)을 통해 첨가된다. p형 불순물 원소로서, 주기율표의 13족에 속하는 원소, 일반적으로 붕소 또는 갈륨이 사용될 수 있다. 이 공정(채널 도핑 공정이라고 함)은 TFT의 임계 전압을 제어하는 공정이다.
- <364> 이 실시예에서, 디보레인(B<sub>2</sub>H<sub>6</sub>)의 질량 분리 없이 플라즈마 여기에 의한 이온 도핑법에 의해 붕소가 첨가됨에 주의한다. 물론, 질량 분리를 수행하는 이온 주입법이 행해질 수도 있다. 이 공정으로, 농도  $1 \times 10^{15}$  내지  $1 \times 10^{18}$  atoms/cm<sup>3</sup>(일반적으로,  $5 \times 10^{16}$  내지  $5 \times 10^{17}$  atoms/cm<sup>3</sup>)의 붕소를 함유한 불순물 영역(616)이 형성된다.
- <365> 다음에, 도 27b에 도시된 바와 같이, 레지스트 마스크(619)가 형성되고, n형 전도성을 부여하는 불순물 원소(이하, n형 불순물 원소라고 함)가 게이트 절연막(614)을 통해 첨가된다. n형 불순물 원소로서, 일반적으로 주기율표의 15족에 속하는 원소, 일반적으로 인 또는 비소가 사용될 수 있다. 이 실시예에서, 인(PH<sub>3</sub>)의 질량 분리

없이 플라즈마 여기에 의한 플라즈마 도핑법에 의해 인이  $1 \times 10^{18}$  atoms/cm<sup>3</sup>의 농도로 첨가된다.

- <366> 이 공정으로 형성된 n형 불순물 영역(62)에서, n형 불순물 원소의 투여는  $2 \times 10^{16}$  내지  $5 \times 10^{19}$  atoms/cm<sup>3</sup>(일반적으로,  $5 \times 10^{17}$  내지  $5 \times 10^{18}$  atoms/cm<sup>3</sup>)의 농도로 함유되도록 제어된다.
- <367> 다음에, 도 27b에 도시된 바와 같이, 첨가된 n형 불순물 원소 및 p형 불순물 원소의 활성화 공정이 행해진다. 활성화 수단에는 제한이 없지만, 게이트 절연 막(614)에 제공되므로 전기로를 사용하는 노 어닐링 공정이 바람직하다. 도 27a의 공정에서, 채널 형성 영역이 되는 부분의 게이트 절연막과 활성화층의 경계면이 손상될 수 있으며, 이에 따라 가능한 한 높은 온도에서 열처리를 수행하는 것이 바람직하다.
- <368> 이 실시예에서, 내열성이 높은 결정화 유리가 사용되므로, 상기 활성화 공정은 800℃에서 1 시간 동안 노 어닐링 공정에 의해 수행될 수 있다. 열 산화는 산화 분위기의 처리 분위기로 수행될 수 있고, 또한 가열 공정은 불활성 분위기에서 수행될 수 있음을 주의한다.
- <369> 다음에, 게이트 전극들(622, 623, 625)과 소스 신호 전극(624)과 전원 전극(626)을 형성하기 위하여 두께가 200 내지 400 nm인 전도막이 형성 및 패터닝된다. 게이트 전극들(622, 623, 625)의 선폭은 각 TFT의 채널 길이를 결정한다(도 27d).
- <370> 상기 게이트 전극은 단일 층 전도막으로 형성될 수 있지만, 바람직하게는 적층막으로서 2개 또는 3개의 층들로 제조될 수 있음을 주의한다. 게이트 전극의 재료로서 공지의 전도막이 사용될 수 있다. 특히, 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 또는 실리콘(Si) 중에서 선택된 원소로 제조된 막, 상기 원소의 질화물(일반적으로, 탄탈 질화막, 텅스텐 질화막 또는 티타늄 질화막)로 제조된 막, 상기 원소를 조합한 합금막(일반적으로, Mo-W 합금, Mo-Ta 합금) 또는 상기 원소의 실리사이드 막(일반적으로 텅스텐 실리사이드 막, 티타늄 실리사이드 막)이 사용될 수 있다. 물론, 단일층 또는 적층이 사용될 수도 있다.
- <371> 이 실시예에서는, 두께 50 nm의 텅스텐 질화(WN) 막(622b, 623b, 625b) 및 두께 350 nm의 텅스텐(W) 막(622a, 623a, 625a)으로 제조된 적층막이 사용된다. 이 막은 스퍼터링법에 의해 형성될 수 있다. 또한, 크세논(Xe) 및 네온(Ne)과 같은 불활성 가스가 스퍼터링 가스로서 첨가되면, 응력(stress)으로 인한 막의 필링(peeling)이 방지될 수 있다.
- <372> 게이트 전극 622a(622b) 및 623a(623b)는 단면이 둘로 분리된 것으로 도시되어 있지만 실제로는 전기적으로 접속되어 있음에 주의한다.
- <373> 다음에, 도 28a에 도시된 바와 같이, n형 불순물 원소(이 실시예에서, 인)가 마스크들로서 게이트 전극들(622, 623, 625), 소스 신호 전극(624) 및 전원 전극(626)과 자기 정렬 방식으로 첨가된다. 이 방식으로 형성될 불순물 영역(627)은 n형 불순물 영역(620)에서의 농도와 같이 1/2 내지 1/10(일반적으로 1/3 또는 1/4)의 농도로 조절되도록 인이 첨가된다. 특히, 상기 농도는 바람직하게는  $1 \times 10^{16}$  내지  $5 \times 10^{18}$  atoms/cm<sup>3</sup>(일반적으로  $3 \times 10^{17}$  내지  $3 \times 10^{18}$  atoms/cm<sup>3</sup>)이다.
- <374> 다음에, 도 28b에 도시된 바와 같이, 레지스트 막(634a 내지 634c)이 게이트 전극 등을 덮기 위해 형성되고, n형 불순물 원소(이 실시예에서, 인)가 고농도로 인을 함유하는 불순물 영역(635 내지 637)을 형성하기 위해 첨가된다. 여기서, 이 영역에서의 인의 밀도를  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>(일반적으로  $2 \times 10^{20}$  내지  $5 \times 10^{21}$  atoms/cm<sup>3</sup>)로 조절하기 위하여, 인(PH<sub>3</sub>)을 이용하는 이온 도핑법이 수행된다.
- <375> 이 공정에서, n 채널 TFT의 소스 영역과 드레인 영역이 형성되며, 하지만, 도 28a의 공정에서 형성된 n형 불순물 영역들(627 내지 631)의 일부는 스위칭 TFT에 잔류한다. 잔류 영역은 스위칭 TFT의 LDD 영역이 된다.
- <376> 다음에, 도 28c에 도시된 바와 같이, 레지스트 마스크(634a 내지 634c)가 제거되고 새로운 레지스트 마스크(642)가 형성된다. 다음에, n형 불순물 원소(이 실시예에서, 붕소)가 첨가되고, 고농도로 붕소를 함유하는 불순물 영역(634, 644)이 형성된다. 여기서, 붕소는  $3 \times 10^{20}$  내지  $3 \times 10^{21}$  atoms/cm<sup>3</sup>(일반적으로,  $5 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>)의 농도로 디보레인(B<sub>2</sub>H<sub>6</sub>)을 이용하는 이온 도핑법에 의해 첨가된다.
- <377> 불순물 영역(643, 644)에  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>의 농도로 인이 이미 첨가되었지만, 여기서 첨가될 붕소는 적어도 3 배 이상의 농도로 첨가됨에 주의한다. 그러므로, 미리 형성된 n형 불순물 영역은 p형과 완전히

반대이며, 이에 따라 p형 불순물 영역으로서 기능한다.

- <378> 다음에, 도 28d에 도시된 바와 같이, 레지스트 마스크(642)가 제거된 후에, 제 1 층간 절연막(646)이 형성된다. 제 1 층간 절연막(646)으로서, 실리콘을 함유하는 절연막이 단일 층으로서 사용되거나, 그 조합과의 적층막이 사용될 수도 있다. 상기 막 두께는 400nm 내지 1.5  $\mu\text{m}$ 일 수 있다. 이 실시예는 두께 800 nm의 실리콘 산화막이 두께 200 nm의 실리콘 질화 산화막 상에 적층된 구조를 가지고 있다.
- <379> 이후, 각각의 농도로 첨가된 n형 또는 p형 불순물 원소가 활성화된다. 활성화 수단으로서, 노 어닐링 법이 바람직하다. 이 실시예에서, 가열 고정은 550 $^{\circ}\text{C}$ 에서 4 시간 동안에 질소 분위기에서 전기로 내에서 수행된다.
- <380> 또한, 3 내지 100 %의 수소를 포함하는 분위기에서, 300 내지 450 $^{\circ}\text{C}$ 에서 1 내지 12 시간 동안의 가열 처리 및 수소 첨가 처리가 수행된다. 이 공정은 열적으로 여기된 수소와 반도체 막의 땀글링 본딩(dangling bonds)을 종료하기 위한 단계이다. 수소 첨가를 위한 다른 수단으로서, 플라즈마 수소 첨가(플라즈마에 의해 여기되는 수소를 이용)가 수행될 수 있다.
- <381> 제 1 층간 절연막(646)을 형성하는 동안에 수소 첨가 공정이 수행됨에 주의한다. 즉, 200 nm 두께의 실리콘 질화 산화막을 형성한 후에, 다음에 800 nm의 두께의 실리콘 산화막의 나머지를 형성한 후에, 수소 첨가 공정은 위에서와 같이 수행될 수 있다.
- <382> 다음에, 도 29a에 도시된 바와 같이, 제 1 층간 절연막(646)과 게이트 절연막(614)에 대해 접촉 구멍이 형성되고, 소스 배선들(647, 650) 및 드레인 배선들(652, 653)이 형성된다. 이 실시예에서, 상기 전극은 스퍼터링 방법에 의해 연속적으로 형성된 100 nm의 두께의 Ti 막, 두께가 300 nm인 Ti 함유를 함유한 알루미늄 막, 및 두께가 150 nm인 Ti 막의 적층막이다. 물론, 다른 전도막이 사용될 수도 있다.
- <383> 다음에, 제 1 패시베이션 막(654)이 50 내지 500 nm(일반적으로 200 내지 300 nm)의 두께로 형성된다. 이 실시예에서, 300nm의 두께를 가진 실리콘 산화 질화막이 제 1 패시베이션 막(654)으로서 사용된다. 이는 실리콘 질화막으로 대체될 수도 있다.
- <384> 이때, 실리콘 질화 산화막의 형성 전에,  $\text{N}_2$  또는  $\text{NH}_3$ 와 같은 수소를 함유한 가스를 이용하여 플라즈마 처리가 수행되는 것이 효과적이다. 이 전처리에 의해 여기된 수소가 제 1 층간 절연막(654)에 공급되며, 열 처리를 수행함으로써, 제 1 패시베이션 막(654)의 품질이 개선된다. 동시에, 제 1 층간 절연막(646)에 첨가되는 수소가 하층쪽으로 분산되며, 이에 따라 활성화층의 수소 첨가가 효과적으로 수행될 수 있다.
- <385> 다음에, 도 29b에 도시된 바와 같이, 유기 수지의 제 2 층간 절연막(655)이 형성된다. 유기 수지로서, 폴리이미드, 아크릴, BCB(벤조사이클로부틸렌) 등이 사용될 수 있다. 특히, 제 2 층간 절연막(655)에서, 상기 TFT에 의해 형성된 단차의 평탄화가 행해져야 하며, 이에 따라 평탄화에 우수한 아크릴 막이 선호된다. 이 실시예에서, 2.5  $\mu\text{m}$ 의 두께의 아크릴 막이 형성된다.
- <386> 다음에, 드레인 배선(653)에 도달하는 접촉 구멍이 제 2 층간 절연막(655) 및 제 1 패시베이션 막(654)에 형성되고, 다음에 픽셀 전극(애노드)(656)이 형성된다. 이 실시예에서, 인듐 틴 옥사이드(ITO) 막이 110 nm의 두께로 형성되며, 픽셀 전극을 제조하기 위하여 패터닝이 수행된다. 또한, 인듐 옥사이드에 혼합된 아연 산화물( $\text{ZnO}$ )의 2 내지 20 %의 투명 전도막이 사용될 수 있다. 이 픽셀 전극은 EL 소자의 애노드가 된다.
- <387> 다음에, 수지들(661a, 661b)이 500 nm의 두께로 형성되고, 픽셀 전극(656)에 대응하는 위치에 개구부가 형성된다.
- <388> 다음에, EL 층(658) 및 캐소드(MgAg 전극)(659)가 진공 증착법을 사용하여 분위기에의 노출 없이 연속적으로 형성된다. EL 층(658)의 두께는 80 nm와 200 nm 사이(일반적으로 100 nm와 120 nm 사이)로 설정될 수 있고, 캐소드(659)의 두께는 180 nm와 300 nm 사이(일반적으로 200 nm와 250 nm 사이)에서 설정될 수 있다.
- <389> 이 공정에서, EL 층과 캐소드가 적색에 대응하는 픽셀, 녹색에 대응하는 픽셀 및 청색에 대응하는 픽셀에 대해 형성된다. 하지만, 상기 EL 층은 용액에 약하며, 그러므로 EL 층과 캐소드는 포토리소그래피 기술을 사용하지 않고 각각의 컬러에 대해 형성되어야 한다. 금속 마스크를 사용하여 원하는 픽셀의 외측의 영역을 덮고 필요한 위치에만 EL 층과 캐소드를 선택적으로 형성하는 것이 바람직하다.
- <390> 바꾸어 말하면, 적색에 대응하는 픽셀을 제외한 모든 픽셀들을 덮기 위하여 마스크가 먼저 설정되고, 적색광을 방출하는 EL 층 및 캐소드가 상기 마스크를 사용하여 선택적으로 형성된다. 다음에, 녹색에 대응하는 픽셀을 제외한 모든 픽셀들을 덮기 위하여 마스크가 설정되고, 이 마스크를 사용하여 녹색광을 방출하는 EL 층 및 캐소

드가 선택적으로 형성된다. 유사하게, 청색에 대응하는 픽셀을 제외한 모든 픽셀들을 덮기 위하여 마스크가 설정되고, 이 마스크를 사용하여 청색광을 방출하는 EL 층 및 캐소드가 선택적으로 형성된다. 상이한 모드 마스크의 사용이 여기서 언급되었지만, 동일한 마스크가 다시 사용될 수도 있음을 주의한다. 또한, 상기 EL 층 및 캐소드가 모든 픽셀에 대해 형성될 때까지 진공을 깨지 않고 상기 공정이 실행되는 것이 바람직하다.

- <391> 공지의 재료가 EL 층(658)으로 사용될 수 있다. 구동 전압을 고려하면, 공지의 재료로서 유기 재료를 사용하는 것이 바람직하다. 예컨대, 정공 주입층, 정공 운송층, 발광층 및 전자 주입층으로 구성된 4층 구조가 상기 EL 층으로서 채택될 수 있다. 또한, 실시예 17에서, MgAg 전극이 EL 소자의 캐소드로서 사용되지만, 본 발명은 이에 한정되지 않는다. 다른 공지의 재료들이 상기 캐소드에 사용될 수 있다.
- <392> 또한, 알루미늄을 주성분으로 함유하는 전도막이 보호 전극(660)으로서 사용되는 것이 적절하다. 상기 보호 전극(660)은 EL 층과 캐소드의 형성에 사용된 마스크와는 다른 마스크를 사용하여 진공 증착법으로 형성될 수 있다. 또한, 상기 보호 전극(660)은 상기 EL 층 및 캐소드의 형성 후에 분위기에의 노출 없이 연속적으로 형성되는 것이 바람직하다.
- <393> 이 방식으로, 도 29c에 도시된 구조를 가진 액티브 매트릭스 EL 디스플레이 장치가 완성된다.
- <394> 실제로, 양호한 기밀 특성을 가진 보호막(예컨대, 적층막 또는 자외선 치료 수지막)을 사용하여 분위기에의 노출 없이 패키징(밀봉)을 수행하는 것이 바람직하고, 또한 도 29c의 상태까지 완성한 후 밀봉과 같은 하우징 재료를 세라믹으로 제조할 수 있음을 주의한다.
- <395> (실시예 18)
- <396> 실시예 18에서, EL 디스플레이 장치의 광 조사 방향이 하부 표면의 방향(기관쪽)으로 설정되고, 전류 공급 라인이 실시예 10의 신호 라인의 상부에 제조되는 방법에 대하여 설명한다. 하지만, 설명을 간단히 하기 위하여, 구동기 회로용의 기본 회로인 CMOS 회로가 도면에 도시되어 있다. 여기서, 구동기 회로 TFT는 실시예 10에서 설명한 제조 방법을 이용하여 제조될 수 있고, 그 설명은 생략한다.
- <397> 먼저, 도 30a에 도시된 바와 같이, 표면에 기저막(702)이 제공된 기관(701)이 준비된다. 실시예 18에서, 두께가 100 nm인 실리콘 질화 산화막과 두께가 200 nm인 실리콘 질화 산화막의 적층막이 결정화된 유리 상의 기저막으로서 사용된다. 이때, 상기 결정화된 유리와 접촉한 쪽에서의 질소 농도는 10 내지 25 wt%로 설정될 수 있다. 물론, 기저막의 제공 없이 수정 기관 상에 직접 원소가 형성될 수도 있다.
- <398> 다음에, 두께 45 nm의 비정질 실리콘 막(703)이 공지의 성막 방법에 의해 기저막(702) 상에 형성된다. 상기 막을 반드시 비정질 실리콘 막에 한정할 필요는 없으며, 또한 비결정 구조(미세 결정 반도체 막을 포함함)를 포함하는 반도체 막일 수도 있음을 주의한다. 또한, 상기 막은 비결정 실리콘 게르마늄 막과 같은 비결정 구조를 포함하는 화합물 반도체 막일 수도 있다.
- <399> 여기서부터 도 30c까지의 공정은 본 출원인의 일본 특개평 10-247735 호로부터 완전히 인용될 수 있다. 이 공보에서, 촉매로서 원소 Ni 등을 사용하는 반도체 막의 결정화 방법이 대해 공개되어 있다.
- <400> 먼저, 개구부들(704a, 704b, 704c)을 가진 보호막(705)이 형성된다. 이 실시예에서, 150 nm의 두께를 가진 실리콘 산화막이 사용된다. 다음에, 니켈(Ni)을 함유한 층(706)(Ni 함유층)이 스프인 코팅법에 의해 상기 보호막(705) 상에 형성된다. 이 Ni 함유층의 형성에 대해서는 위의 공보를 참조할 수 있다.
- <401> 다음에, 도 30b에 도시된 바와 같이, 비정질 실리콘 막(703)을 결정화하기 위해 570℃에서 14 시간 동안 불활성 분위기에서 가열 처리가 수행된다. 이때, 바형 결정이 수집 및 정렬된 결정 구조의 폴리 실리콘 막(708)을 형성하기 위해 상기 기관에 실질적으로 평행하게 결정을 진행하기 위하여 Ni에 접촉하는 영역들(707a, 707b, 707c)(이하, Ni 첨가 영역)이 시작 지점이 된다.
- <402> 다음에, 도 30c에 도시된 바와 같이, 주기율표의 15족의 원소(바람직하게는 인)가 보호막(705)을 마스크로 하여 Ni 첨가 영역들(707a, 707b, 707c)에 첨가된다. 이 방법으로, 고농도의 인이 첨가된 영역들(709a, 709b, 709c)(이하, 인 첨가 영역이라고 함)이 형성된다.
- <403> 다음에, 도 30c에 도시된 바와 같이, 600℃에서 12 시간 동안 불활성 분위기에서 가열 공정이 수행된다. 이 가열 공정으로, 폴리 실리콘 막(708)의 Ni는 화살표에 의해 표시된 바와 같이, 최종적으로 대부분의 Ni가 인 첨가 영역들(709a, 709b, 709c)에 포집되도록 이동한다. 이는 상기 인에 의한 금속 원소(이 실시예에서는, Ni)의 게터링 효과로 인한 현상으로 생각된다.

- <404> 이 공정으로, 폴리 실리콘 막(710)에 잔류하는 Ni의 농도는 적어도  $2 \times 10^{17}$  atoms/cm<sup>3</sup>의 SIMS(secondary ion mass spectrometer)에 의해 측정된 측정값까지 저하된다. 상기 Ni는 반도체의 수명 킬러이지만, 이 정도까지 저하되면 TFT 특성에 대한 악영향은 존재하지 않는다. 또한, 이 농도는 거의 현재의 SIMS 분석의 측정의 한계이며, 이에 따라 실제로는 보다 낮은 농도( $2 \times 10^{17}$  atoms/cm<sup>3</sup>)인 것으로 생각된다.
- <405> 따라서, 촉매를 사용하여 결정화되며 TFT의 기능을 방해하지 않도록 촉매의 레벨이 저하되는 폴리 실리콘 막(710)이 얻어진다. 이후, 폴리 실리콘 막(710)만을 가지고 있는 활성층들(711a, 711b)이 패터닝되어 형성된다. 또한, 이때, 패터닝으로 마스크 정렬을 수행하기 위한 마커가 폴리 실리콘 막을 사용하여 형성될 수 있다(도 30d).
- <406> 다음에, 도 30e에 도시된 바와 같이, 두께가 50nm인 실리콘 질화 산화막이 플라즈마 CVD 법에 의해 형성되고, 열 산화 공정을 수행하기 위하여 그 위에 950℃에서 1 시간 동안 산화 분위기에서 가열 공정이 수행된다. 산화 분위기는 산화 분위기 또는 할로젠 원소가 첨가된 산소 분위기일 수 있음을 주의한다.
- <407> 이 열 산화 공정에서, 산화는 활성층과 실리콘 질화 산화막의 경계면에서 진행되며, 이에 따라 대략 30 nm의 두께를 가진 실리콘 산화막을 형성하기 위하여 대략 15 nm의 두께를 가진 폴리 실리콘 막이 산화된다. 즉, 대략 80 nm의 두께를 가진 게이트 산화막(712)이 두께가 대략 50 nm인 실리콘 산화막과 두께가 대략 30 nm인 실리콘 질화 산화막이 적층되어 형성된다. 상기 활성층들(711a, 711b)의 두께는 이 열 산화 공정으로 30 nm가 된다.
- <408> 다음에, 도 31a에 도시된 바와 같이, 레지스트 마스크(713)가 형성되고, p형 전도성을 부여하는 불순물 원소(이하, p형 불순물 원소)가 게이트 절연막(712)을 통해 첨가된다. p형 불순물 원소로서, 일반적으로 주기율표의 13족에 속하는 원소, 일반적으로 붕소 또는 갈륨이 사용될 수도 있다. 이 공정(채널 도핑 공정이라고 함)은 TFT의 임계 전압을 제어하기 위한 단계이다.
- <409> 이 실시예에서, 디보레인(B<sub>2</sub>H<sub>6</sub>)의 질량 분리 없이 플라즈마 여기에 의한 이온 도핑법에 의해 붕소가 첨가됨을 주의한다. 물론, 질량 분리를 수행하는 이온 주입법이 행해질 수 있다. 이 공정으로,  $1 \times 10^{15}$  내지  $1 \times 10^{18}$  atoms/cm<sup>3</sup>(일반적으로,  $5 \times 10^{16}$  내지  $5 \times 10^{17}$  atoms/cm<sup>3</sup>)의 농도로 붕소를 함유하는 불순물 영역(714)이 형성된다.
- <410> 다음에, 도 31b에 도시된 바와 같이, 레지스트 마스크(716)가 형성되고, n형 전도성을 부여하는 불순물(이하, n형 불순물 원소)이 게이트 절연막(712)을 통해 첨가된다. n형 불순물 원소로서, 일반적으로 주기율표의 15족에 속하는 원소, 일반적으로 인 또는 비소가 사용될 수 있다. 이 실시예에서는, 인이 인(PH<sub>3</sub>)의 질량 분리 없이 플라즈마 여기에 의한 플라즈마 도핑법에 의해  $1 \times 10^{18}$  atoms/cm<sup>3</sup>의 농도로 첨가됨을 주의한다. 물론, 질량 분리를 수행하는 이온 주입법이 행해질 수 있다.
- <411> 이 공정으로 형성된 n형 불순물 영역(715)에서, n형 불순물 원소의 투여는  $2 \times 10^{16}$  내지  $5 \times 10^{19}$  atoms/cm<sup>3</sup>(일반적으로,  $5 \times 10^{17}$  내지  $5 \times 10^{18}$  atoms/cm<sup>3</sup>)의 온도로 함유되도록 제어된다.
- <412> 다음에, 도 31c에 도시된 바와 같이, 첨가된 n형 불순물 원소 및 p형 불순물 원소의 활성화 공정이 행해진다. 상기 활성화 수단에는 제한이 없지만, 게이트 절연막(712)이 제공되므로 전기로를 사용하는 노 어닐링 공정이 바람직하다. 도 31a의 공정에서, 활성층과 채널 형성 영역이 될 부분의 게이트 절연막의 경계면이 손상될 수 있으며, 이에 따라 열 처리를 가능한 한 고온에서 수행하는 것이 바람직함을 주의한다.
- <413> 이 실시예에서, 내열성이 높은 결정화 유리가 사용되므로, 800℃에서 1 시간 동안 노 어닐링 공정에 의해 활성화 공정이 수행될 수 있다. 열 산화가 산화 분위기의 처리 분위기에서 수행될 수 있고, 또는 열 공정이 불활성 분위기에서 수행될 수 있음을 주의한다.
- <414> 다음에, 두께 200 내지 400 nm의 전도막이 형성되어 패터닝되며, 이에 의해 게이트 전극들(622, 719, 724) 및 배선들(717, 718)이 형성된다. 게이트 전극(719 내지 724)의 선포는 각각의 TFT의 채널 길이를 결정한다(도 31d).
- <415> 게이트 전극은 단일층 전도막으로 형성되지만, 바람직하게는 2 층 또는 3층의 적층막으로서 제조될 수도 있음을 주의한다. 게이트 전극의 재료로서, 공지의 전도막이 사용될 수 있다. 특히, 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 또는 실리콘(Si) 중에서 선택된 원소로 제조된 막, 상기 원소의 질화물(일반적으

로, 탄탈 질화막, 텅스텐 질화막 또는 티타늄 질화막)로 제조된 막, 상기 원소를 조합한 합금막(일반적으로, Mo-W 합금, Mo-Ta 합금) 또는 상기 원소의 실리사이드 막(일반적으로 텅스텐 실리사이드 막, 티타늄 실리사이드 막)이 사용될 수 있다. 물론, 단일층 또는 적층이 사용될 수도 있다.

- <416> 이 실시예에서는, 두께 50 nm의 텅스텐 질화(WN) 막(722 내지 724) 및 두께 350 nm의 텅스텐(W) 막(719 내지 721)으로 제조된 적층막이 사용된다. 이는 스퍼터링법에 의해 형성될 수 있다. 또한, 크세논(Xe) 및 네온(Ne)과 같은 불활성 가스가 스퍼터링 가스로서 첨가되면, 스트레스로 인한 막의 필링이 방지될 수 있다.
- <417> 게이트 전극 719(722) 및 720(723)은 단면이 둘로 분리된 것으로 도시되어 있지만, 실제로는 전기적으로 접촉되어 있음에 주의한다.
- <418> 다음에, 도 32a에 도시된 바와 같이, n형 불순물 원소(이 실시예에서는, 인)가 마스크인 게이트 전극들(719 내지 724) 및 배선들(717, 718)과 자기 정렬 방식으로 첨가된다. 이 방식으로 형성된 불순물 영역들(725 내지 729)은 n형 불순물 영역(715)에서의 농도와 같이 1/2 내지 1/10(일반적으로 1/3 또는 1/4)의 농도로 조절되도록 인이 첨가된다. 특히, 상기 농도는 바람직하게는  $1 \times 10^{16}$  내지  $5 \times 10^{18}$  atoms/cm<sup>3</sup>(일반적으로  $3 \times 10^{17}$  내지  $3 \times 10^{18}$  atoms/cm<sup>3</sup>)이다.
- <419> 다음에, 도 32b에 도시된 바와 같이, 레지스트 마스크들(730a 내지 730c)이 게이트 전극 등을 덮기 위해 형성되고, n형 불순물 원소(이 실시예에서는, 인)가 고농도로 인을 함유하는 불순물 영역들(731 내지 733)을 형성하기 위해 첨가된다. 여기서, 이 영역에서의 인의 밀도를  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>(일반적으로  $2 \times 10^{20}$  내지  $5 \times 10^{21}$  atoms/cm<sup>3</sup>)로 조절하기 위하여, 인(PH<sub>3</sub>)을 이용하는 이온 도핑법이 수행된다.
- <420> 이 공정에서, n 채널 TFT의 소스 영역과 드레인 영역이 형성되며, 하지만, 도 32a의 공정에서 형성된 n형 불순물 영역들(725 내지 727)의 일부는 스위칭 TFT에 잔류한다. 잔류 영역은 스위칭 TFT의 LDD 영역이 된다.
- <421> 다음에, 도 32c에 도시된 바와 같이, 레지스트 마스크들(730a 내지 730c)이 제거되어 새로운 레지스트 마스크(34)가 형성된다. 다음에, p형 불순물 원소(이 실시예에서, 붕소)가 첨가되어, 고농도로 붕소를 함유하는 불순물 영역들(735, 736)이 형성된다. 여기서, 붕소는  $3 \times 10^{20}$  내지  $3 \times 10^{21}$  atoms/cm<sup>3</sup>(일반적으로,  $5 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>)의 농도로 디보레인(B<sub>2</sub>H<sub>6</sub>)을 이용하는 이온 도핑법에 의해 첨가된다.
- <422> 불순물 영역(735, 736)에  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  atoms/cm<sup>3</sup>의 농도로 인이 이미 첨가되었지만, 여기서 첨가될 붕소는 적어도 3 배 이상의 농도로 첨가됨에 주의한다. 그러므로, 미리 형성된 n형 불순물 영역은 p형과 완전히 반대이며, 이에 따라 p형 불순물 영역으로서 기능한다.
- <423> 다음에, 도 32d에 도시된 바와 같이, 레지스트 마스크(642)가 제거된 후에, 제 1 층간 절연막(737)이 형성된다. 제 1 층간 절연막(737)으로서, 실리콘을 함유하는 절연막이 단일 층으로서 사용되거나, 그 조합과 적층막이 사용될 수도 있다. 상기 막 두께는 400nm 내지 1.5 μm일 수 있다. 이 실시예는 두께 800 nm의 실리콘 산화막이 두께 200 nm의 실리콘 질화 산화막 상에 적층된 구조를 가지고 있다.
- <424> 이후, 각각의 농도로 첨가된 n형 또는 p형 불순물 원소가 활성화된다. 활성화 수단으로서, 노 어닐링 법이 바람직하다. 이 실시예에서, 가열 고정은 550℃에서 4 시간 동안 질소 분위기에서 전기로 내에서 수행된다.
- <425> 또한, 3 내지 100%의 수소를 포함하는 분위기에서, 300 내지 450℃에서 1 내지 12 시간 동안의 가열 처리 및 수소 첨가 처리가 수행된다. 이 공정은 열적으로 여기된 수소와 반도체 막의 덩글링 본딩을 종료하기 위한 단계이다. 수소 첨가를 위한 다른 수단으로서, 플라즈마 수소 첨가(플라즈마에 의해 여기되는 수소를 이용)가 수행될 수 있다.
- <426> 제 1 층간 절연막(737)을 형성하는 동안에 수소 첨가 공정이 수행됨에 주의한다. 즉, 200 nm 두께의 실리콘 질화 산화막을 형성한 후에, 다음에 800 nm의 두께의 실리콘 산화막의 나머지를 형성한 후에, 수소 첨가 공정이 위에서와 같이 수행될 수 있다.
- <427> 다음에, 도 33a에 도시된 바와 같이, 제 1 층간 절연막(737)과 게이트 절연막(712)에 대해 접촉 구멍이 형성되고, 소스 배선들(738, 739) 및 드레인 배선들(740, 741)이 형성된다. 이 실시예에서, 상기 전극은 스퍼터링 방법에 의해 연속적으로 형성된 100 nm의 두께의 Ti 막, 두께가 300 nm인 Ti 함유를 함유한 알루미늄 막, 및 두께

가 150 nm인 Ti 막의 적층막이다. 물론, 다른 전도막이 사용될 수도 있다.

- <428> 다음에, 제 1 패시베이션 막(742)이 50 내지 500 nm(일반적으로 200 내지 300 nm)의 두께로 형성된다. 이 실시예에서, 300nm의 두께를 가진 실리콘 산화 질화막이 제 1 패시베이션 막(742)으로서 사용된다. 이 막은 실리콘 질화막으로 대체될 수도 있다.
- <429> 이때, 실리콘 질화 산화막의 형성 전에, N<sub>2</sub> 또는 NH<sub>3</sub>와 같은 수소를 함유한 가스를 이용하여 플라즈마 처리가 수행되는 것이 효과적이다. 이 전처리에 의해 여기된 수소가 제 1 층간 절연막(737)에 공급되며, 열 처리를 수행함으로써, 제 1 패시베이션 막(742)의 품질이 개선된다. 동시에, 제 1 층간 절연막(737)에 첨가되는 수소가 하층쪽으로 분산되며, 이에 따라 활성층의 수소 첨가가 효과적으로 수행될 수 있다.
- <430> 다음에, 도 33b에 도시된 바와 같이, 절연막(743)이 형성된다. 이 절연막(743)으로서, 실리콘 질화 산화막이 사용된다. 이후, 전원 공급 라인(744)을 형성하기 위하여, 배선(739)에 도달하는 접촉 구멍이 절연막(743), 제 1 패시베이션 막(742) 및 제 1 층간 절연막(737) 상에 형성된다. 이 실시예에서, 전원 공급 라인(744)은 텅스텐 질화막 및 텅스텐 막으로 형성된 적층막이다. 물론, 다른 전도막이 사용될 수도 있다.
- <431> 다음에, 도 33c에 도시된 바와 같이, 유기 수지의 제 2 층간절연막(745)이 형성된다. 유기 수지로서, 폴리이미드, 아크릴, BCB(벤조사이클로부틸렌) 등이 사용될 수 있다. 특히, 제 2 층간 절연막(745)에서, 상기 TFT에 의해 형성된 단차의 평탄화가 행해져야 하며, 이에 따라 평탄화에 우수한 아크릴 막이 선호된다. 이 실시예에서는, 2.5 μm의 두께의 아크릴 막이 형성된다.
- <432> 다음에, 도 33d에 도시된 바와 같이, 드레인 배선(741)에 도달하는 접촉 구멍이 제 2 층간 절연막(745), 절연막(743) 및 제 1 패시베이션 막(742)에 형성되고, 다음에 픽셀 전극(애노드)(746)이 형성된다. 이 실시예에서, 인듐 틴 옥사이드(ITO) 막이 110 nm의 두께로 형성되며, 픽셀 전극을 제조하기 위하여 패터닝이 수행된다. 또한, 인듐 옥사이드에 혼합된 아연 산화물(ZnO)의 2 내지 20 %의 투명 전도막이 사용될 수 있다. 이 픽셀 전극은 EL 소자의 애노드가 된다.
- <433> 다음에, 도 34에 도시된 바와 같이, 수지들(747a, 747b)이 500 nm의 두께로 형성되고, 개구부가 픽셀 전극(746)에 대응하는 위치에 형성된다.
- <434> 다음에, EL 층(658) 및 캐소드(MgAg 전극)(749)가 진공 증착법을 사용하여 분위기에의 노출 없이 연속적으로 형성된다. EL 층(748)의 두께는 80 nm와 200 nm 사이(일반적으로 100 nm와 120 nm 사이)로 설정될 수 있고, 캐소드(749)의 두께는 180 nm와 300 nm 사이(일반적으로 200 nm와 250 nm 사이)로 설정될 수 있다.
- <435> 이 공정에서, 상기 EL 층과 캐소드는 적색에 대응하는 픽셀, 녹색에 대응하는 픽셀 및 청색에 대응하는 픽셀에 대해 형성된다. 하지만, 상기 EL 층은 용액에 약하며, 그러므로 EL 층과 캐소드는 포토리소그래피 기술을 사용하지 않고 각각의 컬러에 대해 형성되어야 한다. 금속 마스크를 사용하여 원하는 픽셀들의 외측의 영역들을 덮고 필요한 위치에만 EL 층과 캐소드를 선택적으로 형성하는 것이 바람직하다.
- <436> 바꾸어 말하면, 적색에 대응하는 픽셀을 제외한 모든 픽셀들을 덮기 위하여 마스크가 먼저 설정되고, 적색광을 방출하는 EL 층 및 캐소드가 상기 마스크를 사용하여 선택적으로 형성된다. 다음에, 녹색에 대응하는 픽셀을 제외한 모든 픽셀들을 덮기 위하여 마스크가 설정되고, 이 마스크를 사용하여 녹색광을 방출하는 EL 층 및 캐소드가 선택적으로 형성된다. 유사하게, 청색에 대응하는 픽셀을 제외한 모든 픽셀들을 덮기 위하여 마스크가 설정되고, 이 마스크를 사용하여 청색광을 방출하는 EL 층 및 캐소드가 선택적으로 형성된다. 상이한 모드 마스크의 사용이 여기서 언급되었지만, 동일한 마스크가 다시 사용될 수도 있음을 주의한다. 또한, 상기 EL 층 및 캐소드가 모든 픽셀에 대해 형성될 때까지 진공을 깨지 않고 상기 공정이 실행되는 것이 바람직하다.
- <437> 공지의 재료가 EL 층(748)으로 사용될 수 있다. 구동 전압을 고려하면, 공지의 재료로서 유기 재료를 사용하는 것이 바람직하다. 예컨대, 정공 주입층, 정공 운송층, 발광층 및 전자 주입층으로 구성된 4층 구조가 상기 EL 층으로서 채택될 수 있다. 또한, 본 실시예에서는, MgAg 전극이 EL 소자의 캐소드로서 사용되지만, 본 발명은 이에 한정되지 않는다. 다른 공지된 재료가 상기 캐소드에 사용될 수 있다.
- <438> 또한, 알루미늄을 주성분으로 함유하는 전도막이 보호 전극(750)으로 사용되는 것이 적절하다. 상기 보호 전극(750)은 EL 층과 캐소드의 형성에 사용된 마스크와는 다른 마스크를 사용하여 진공 증착법으로 형성될 수 있다. 또한, 상기 보호 전극(750)은 상기 EL 층 및 캐소드의 형성 후에 분위기에의 노출 없이 연속적으로 형성되는 것이 바람직하다.

- <439> 이 방식으로, 도 34에 도시된 구조를 가진 액티브 매트릭스 EL 디스플레이 장치가 완성된다.
- <440> 실제로, 양호한 기밀 특성을 가진 보호막(예컨대, 적층막 또는 자외선 치료 수지막)을 사용하여 분위기에의 노출 없이 패키징(밀봉)을 수행하는 것이 바람직하고, 또한 도 34의 상태로 완성한 후 밀봉은 세라믹으로 제조될 수 있음을 주의한다.
- <441> (실시예 19)
- <442> 본 발명을 적용하여 제조된 EL 디스플레이 장치는 각종 전자 장치에 사용될 수 있다. 이하, 표시 매체로서 본 발명을 적용하여 제조된 EL 디스플레이 장치를 포함하는 전자 장치에 대하여 설명한다.
- <443> 이와 같은 종류의 전자 장치로는 TV 수상기, 전화기, 비디오 카메라, 디지털 카메라, 헤드 장착형 디스플레이 장치(고글형 디스플레이 장치), 게임기, 자동차 항법 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(휴대형 컴퓨터, 휴대형 전화기, 전자북 등) 등을 들 수 있다. 이들 예는 도 17a 내지 17f에 도시되어 있다.
- <444> 도 17a에는 본체(2001), 케이스(2002), 디스플레이부(2003), 키보드(2004) 등을 포함하는 퍼스널 컴퓨터가 도시되어 있다. 본 발명의 EL 디스플레이 장치는 상기 퍼스널 컴퓨터의 디스플레이부(2003)에 사용될 수 있다.
- <445> 도 17b에는 본체(2101), 디스플레이부(2102), 사운드 입력부(2103), 조작 스위치(2104), 배터리(2105), 화상 수신부(2106) 등을 포함하는 비디오 카메라가 도시되어 있다. 본 발명의 EL 디스플레이 장치는 상기 비디오 카메라의 디스플레이부(2102)에 사용될 수 있다.
- <446> 도 17c에는 본체(2301), 신호 케이블(2302), 헤드 고정 밴드(2303), 스크린 모니터(2304), 광학 시스템(2305), 디스플레이부(2306) 등을 포함하는 헤드 장착형 디스플레이 장치의 일부(우측)가 도시되어 있다. 본 발명의 EL 디스플레이 장치는 상기 헤드 장착형 디스플레이 장치의 디스플레이부(2306)에 사용될 수 있다.
- <447> 도 17d에는 본체(2401), 기록 매체(예컨대, CD, LD 또는 DVD)(2402), 조작 스위치(2403), 디스플레이부(a)(2404), 디스플레이부(b)(2405), 조작 스위치(2403), 디스플레이부(1)(2404), 디스플레이부(b)(2505) 등을 포함하는 기록 매체(특히, DVD 재생 장치)가 갖추어진 화상 재생 장치가 도시되어 있다. 상기 디스플레이부(a)(2404)는 주소 화상 정보를 표시하는데 사용된다. 디스플레이부(b)(2405)는 주로 문자 정보를 표시하는데 사용된다. 본 발명의 EL 디스플레이 장치는 상기 기록 매체를 갖춘 화상 재생 장치의 디스플레이부(a)(2404) 및 디스플레이부(b)(2405)에 사용될 수 있다. 본 발명은 CD 재생 장치와 같은 장치 및 기록 매체를 갖춘 화상 재생 장치와 같은 게임기에 적용될 수 있다.
- <448> 도 17e에는 본체(2501), 카메라부(2502), 화상 수신부(2503), 조작 스위치(2504), 디스플레이부(2505) 등을 포함하는 휴대형 컴퓨터가 도시되어 있다. 본 발명의 EL 디스플레이 장치는 상기 휴대형 컴퓨터의 디스플레이부(2505)에 사용될 수 있다.
- <449> 도 17f에는 본체(2604a), 디스플레이부(2604c), 조작 스위치(2604d) 등을 포함하는 TV 수상기가 도시되어 있다. 본 발명의 EL 디스플레이 장치는 상기 TV 수상기의 디스플레이부(2604c)에 사용될 수 있다.
- <450> 또한, EL 물질의 발광 휘도가 미래에 개선되면, 상기 EL 물질은 프론트형 또는 리어형 프로젝터에도 사용될 수 있다.
- <451> 본 발명의 적용 범위는 위에서와 같이 매우 광범위하며, 본 발명을 모든 분야의 전자 장치에 적용할 수 있다. 또한, 이 실시예의 전자 장치는 실시예 1 내지 18이 자유로이 조합되는 구성을 이용하여 실현될 수 있다.
- <452> 종래의 EL 디스플레이 장치에서, 스크린 크기가 대형이면, 대형 스크린 크기로부터 생기는 전류의 증가로 인해 전원 라인에서 전위 드롭이 일어나며, 이는 화상 디스플레이 장치의 화질을 손상시킨다.
- <453> 하지만, 본 발명은 상기 구성에 의해 배선 저항의 영향을 줄일 수 있으며, 상기 EL 소자에 흐르는 전류가 증가하더라도 화질의 손상 없이 표시가 수행될 수 있다.

**발명의 효과**

- <454> 본 발명의 목적은 다중 계조들로 선명한 컬러 디스플레이를 가능하게 하는 액티브 매트릭스 EL 디스플레이 장치를 제공하는 것이다. 본 발명의 또 다른 목적은 그러한 액티브 매트릭스 EL 디스플레이 장치를 사용하는 고성능 전자 장치를 제공하는 것이다.

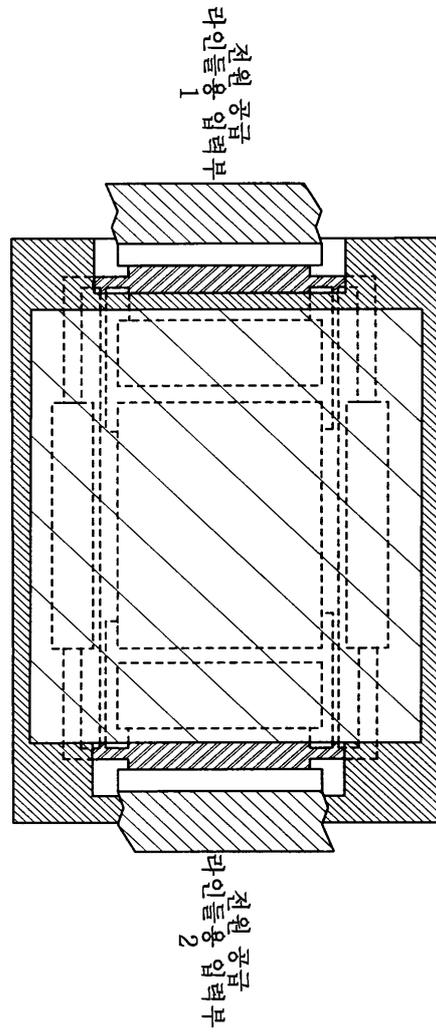
**도면의 간단한 설명**

- <1> 도 1은 본 발명의 디스플레이 장치의 외관도.
- <2> 도 2는 본 발명의 디스플레이 장치의 픽셀부의 회로 구조도.
- <3> 도 3은 본 발명의 디스플레이 장치의 픽셀부의 상면도.
- <4> 도 4는 본 발명의 디스플레이 장치의 전원 공급 라인의 포트를 묘사하는 형상을 도시하는 도면.
- <5> 도 5는 본 발명의 디스플레이 장치의 구동 방법을 도시하는 도면.
- <6> 도 6a는 본 발명의 디스플레이 장치의 상면도.
- <7> 도 6b는 본 발명의 디스플레이 장치의 단면도.
- <8> 도 7a는 본 발명의 디스플레이 장치의 상면도.
- <9> 도 7b는 본 발명의 디스플레이 장치의 단면도.
- <10> 도 8은 본 발명의 디스플레이 장치의 단면도.
- <11> 도 9는 본 발명의 디스플레이 장치의 단면도.
- <12> 도 10은 본 발명의 디스플레이 장치의 픽셀부의 회로도.
- <13> 도 11a 내지 도 11e는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <14> 도 12a 내지 도 12d는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <15> 도 13a 내지 도 13d는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <16> 도 14a 내지 도 14c는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <17> 도 15는 본 발명의 디스플레이 장치의 소스 신호측 구동기 회로의 회로도.
- <18> 도 16은 본 발명의 디스플레이 장치의 래치(latch)의 상면도.
- <19> 도 17은 본 발명의 디스플레이 장치를 사용하는 전기 기구를 도시하는 도면.
- <20> 도 18은 종래 디스플레이 장치의 픽셀부의 회로도.
- <21> 도 19는 디스플레이 장치의 구동 방법을 도시하는 타이밍도.
- <22> 도 20은 TFT의 Id-Vg 특성을 도시하는 도면.
- <23> 도 21a는 본 발명의 디스플레이 장치의 상면도.
- <24> 도 21b는 본 발명의 디스플레이 장치의 단면도.
- <25> 도 22는 본 발명의 디스플레이 장치의 단면도.
- <26> 도 23은 누화(cross talk)의 발생의 예를 도시하는 도면.
- <27> 도 24는 본 발명의 디스플레이 장치의 포트를 도시하는 도면.
- <28> 도 25a 내지 도 25e는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <29> 도 26a 내지 도 26e는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <30> 도 27a 내지 도 27d는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <31> 도 28a 내지 도 28d는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <32> 도 29a 내지 도 29c는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <33> 도 30a 내지 도 30e는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.
- <34> 도 31a 내지 도 31d는 본 발명의 디스플레이 장치의 제조 공정을 도시하는 도면.

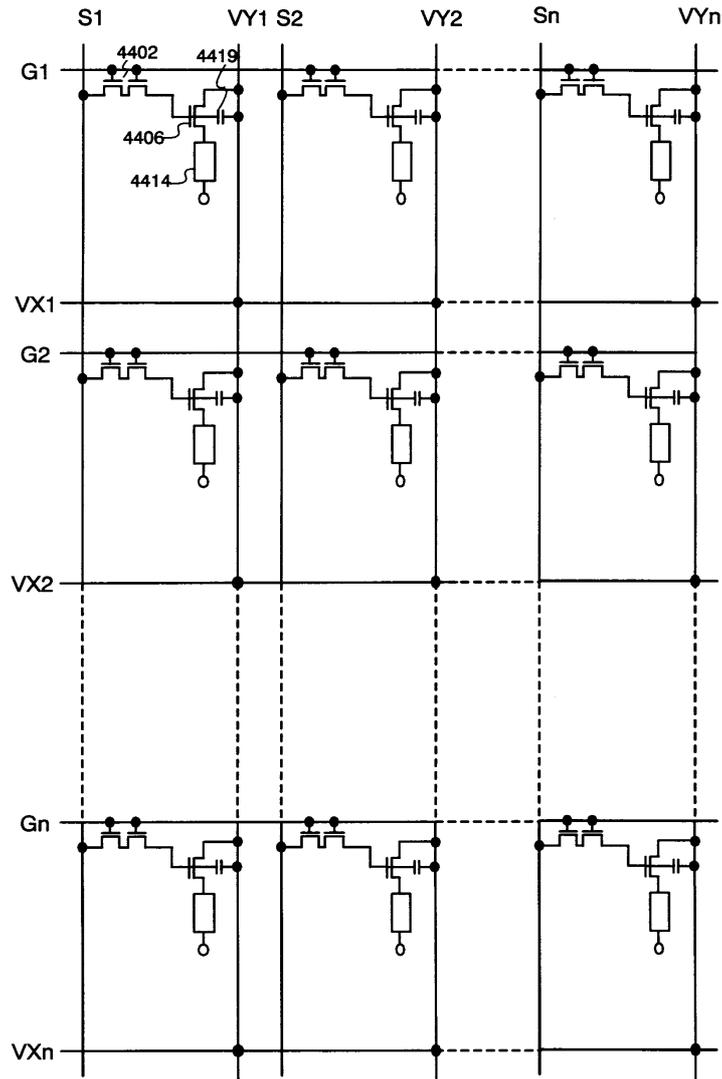


도면

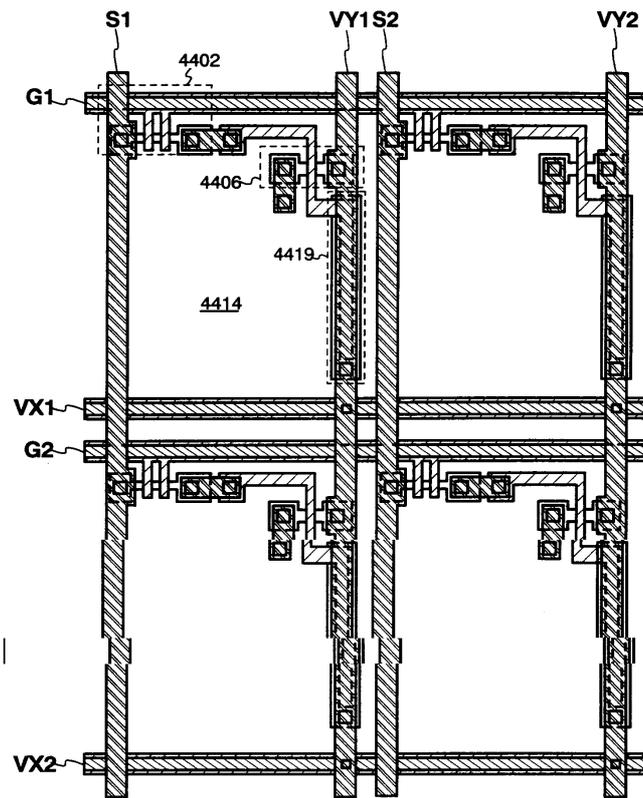
도면1



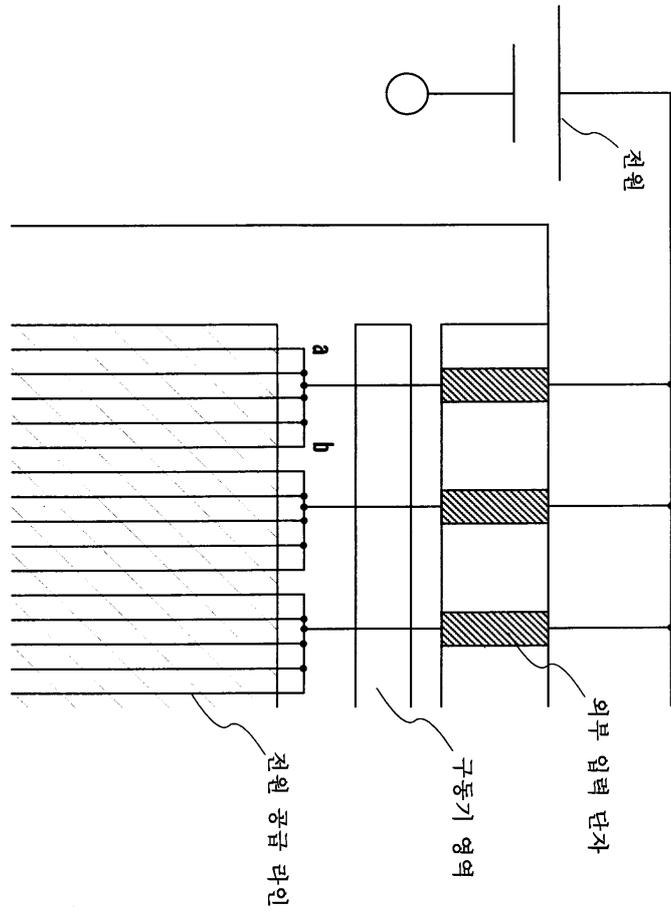
도면2



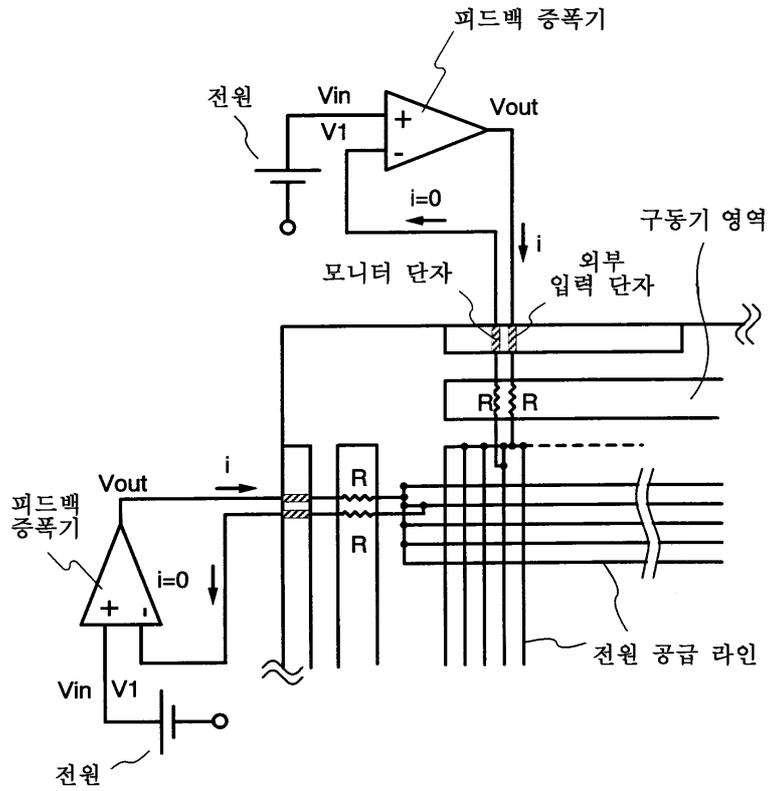
도면3



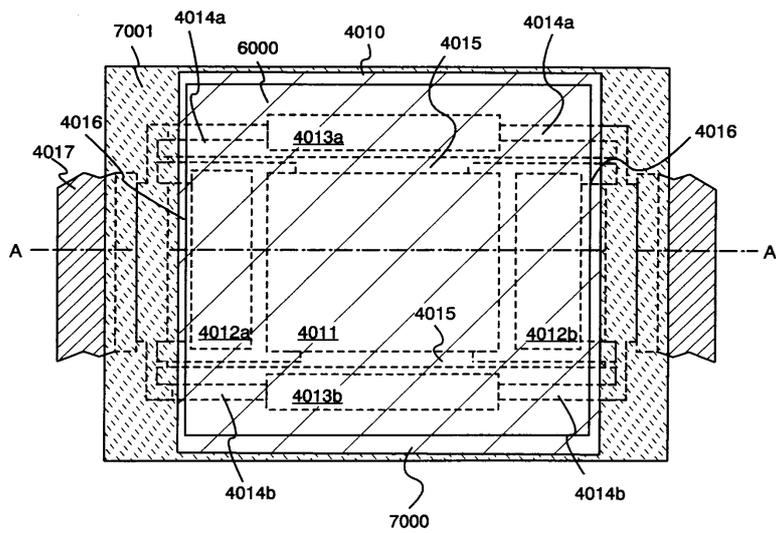
도면4



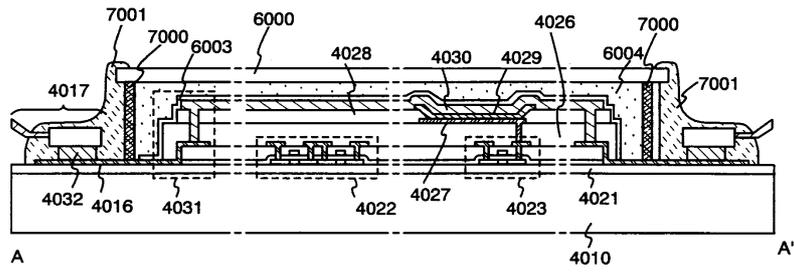
도면5



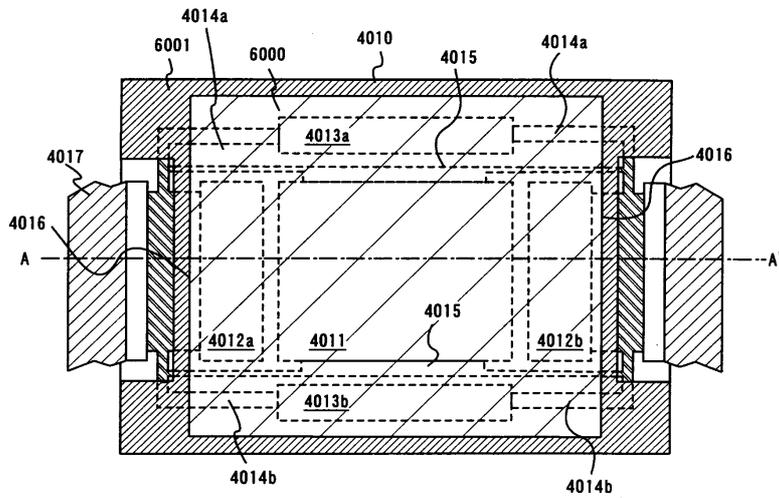
도면6a



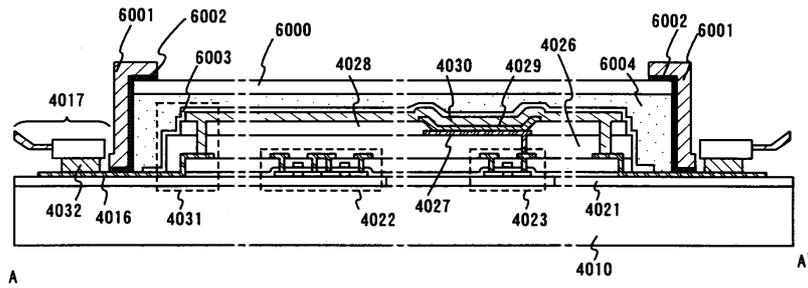
도면6b



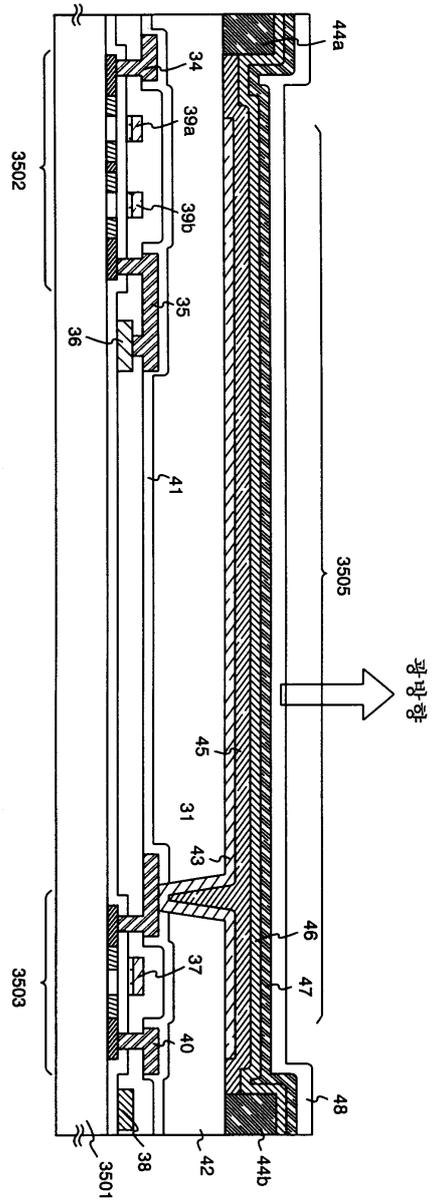
도면7a



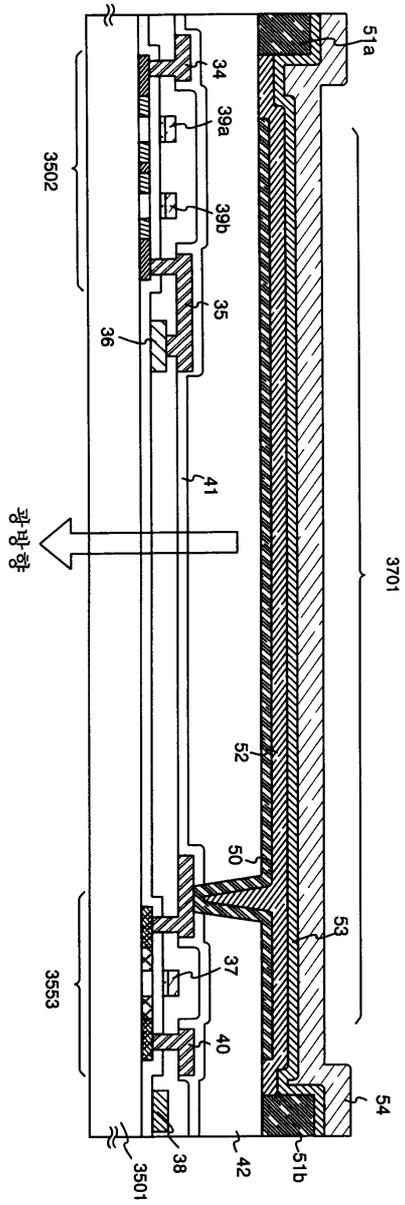
도면7b



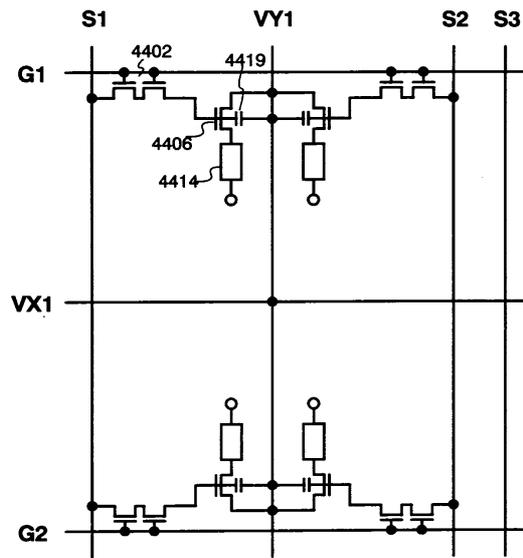
도면8



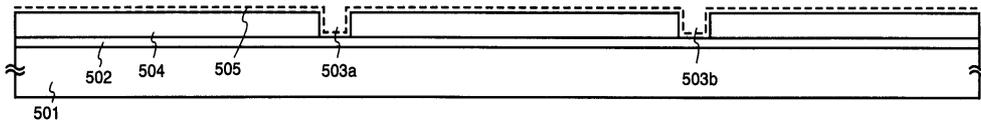
도면9



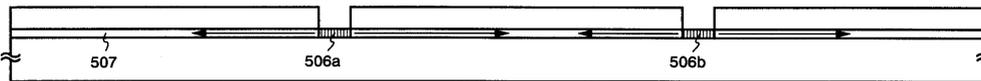
도면10



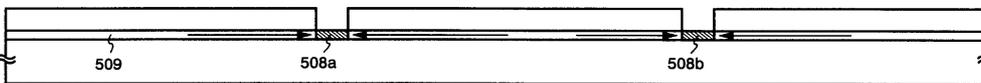
도면11a



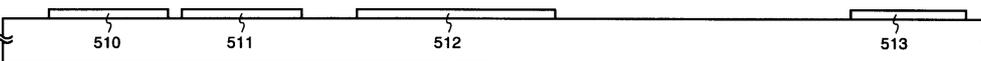
도면11b



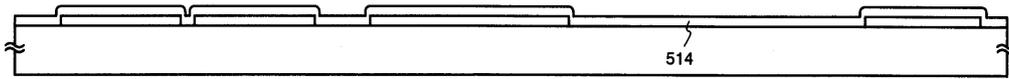
도면11c



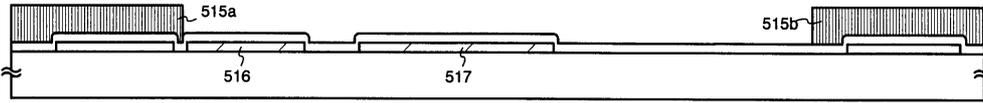
도면11d



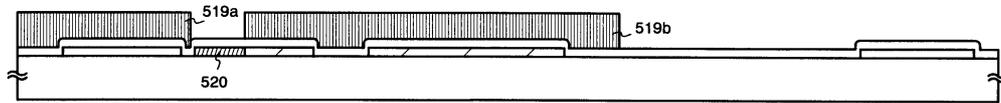
도면11e



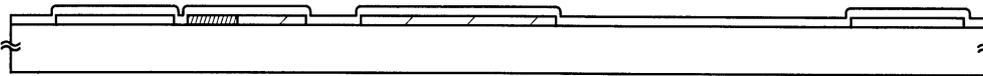
도면12a



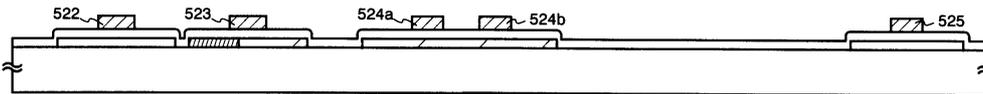
도면12b



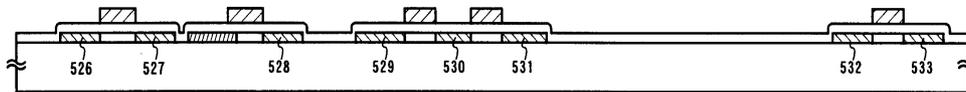
도면12c



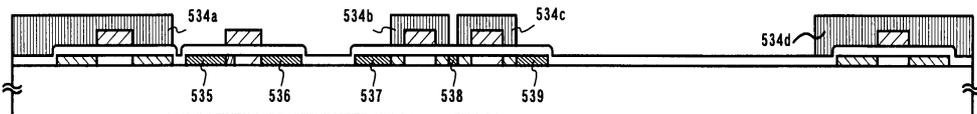
도면12d



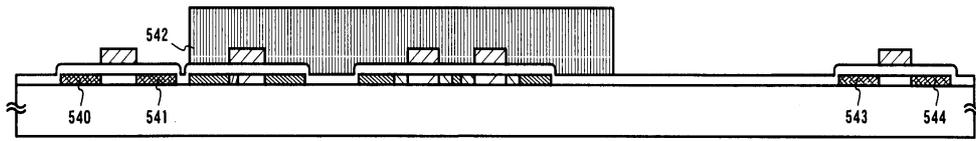
도면13a



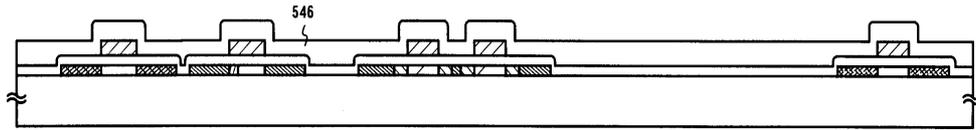
도면13b



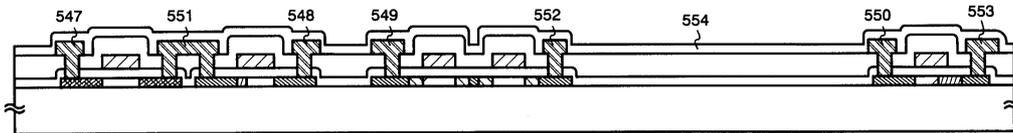
도면13c



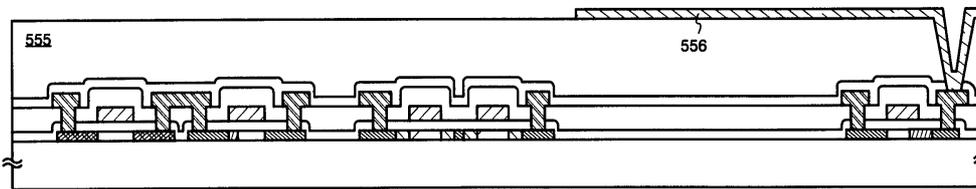
도면13d



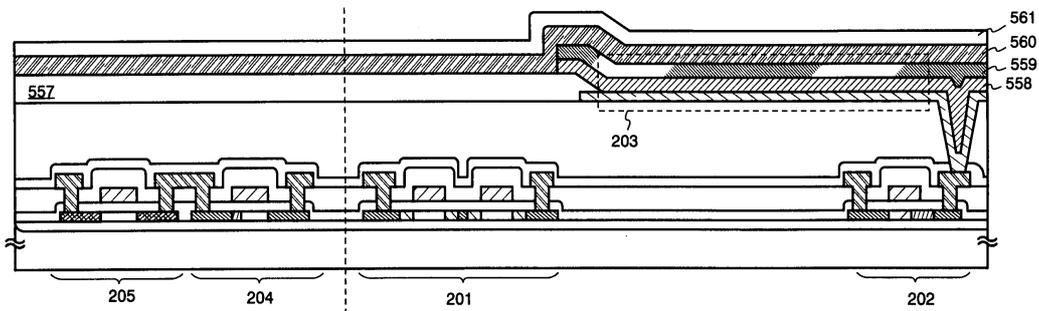
도면14a



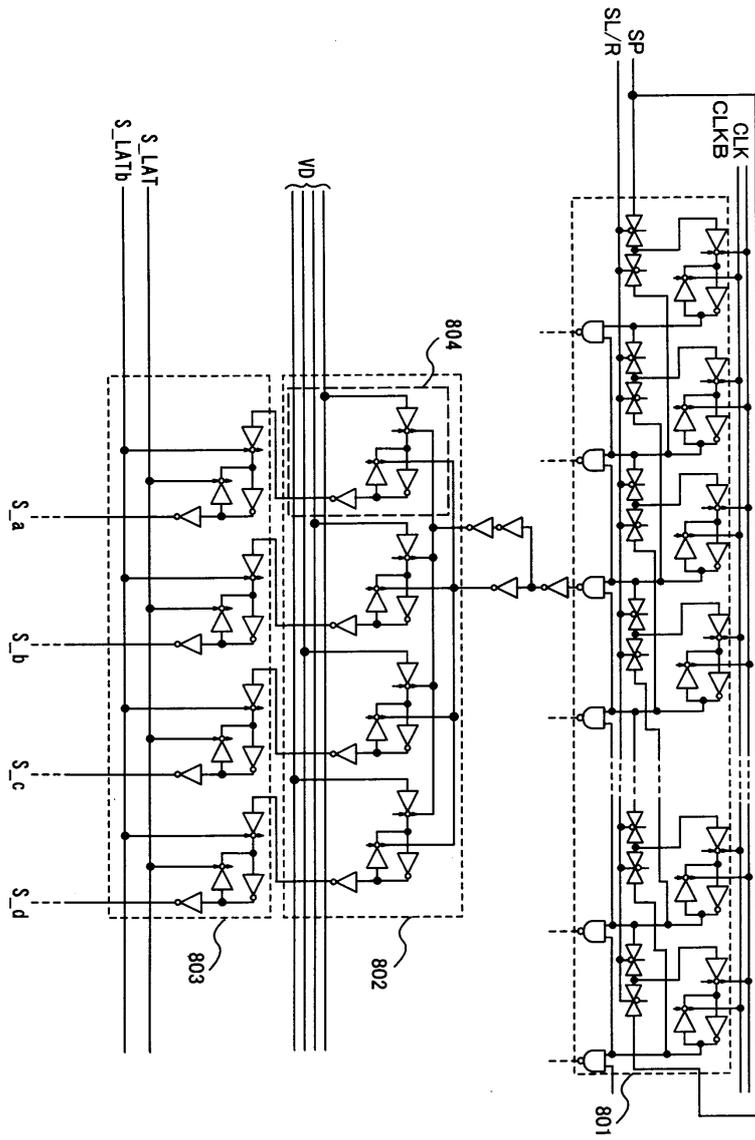
도면14b



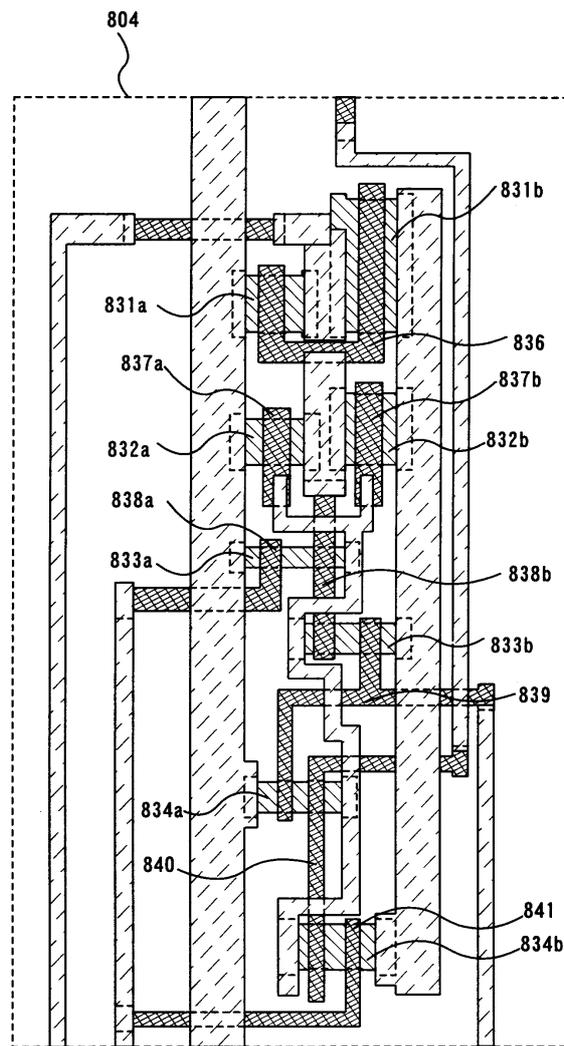
도면14c



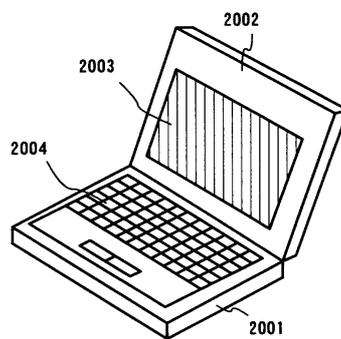
도면15



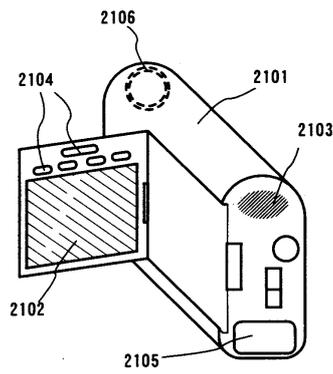
도면16



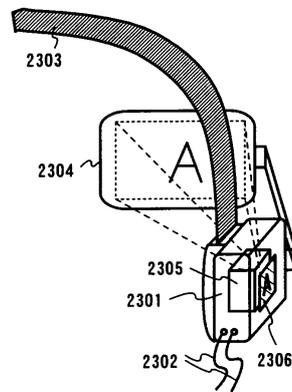
도면17a



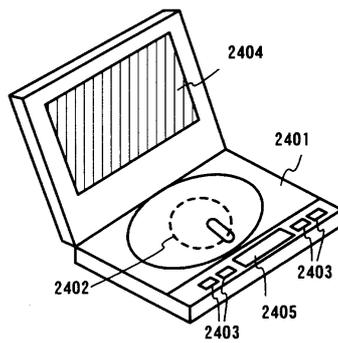
도면17b



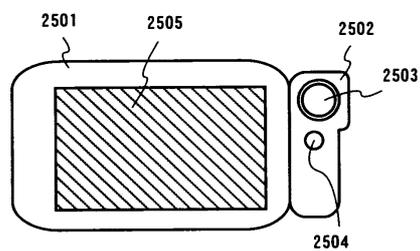
도면17c



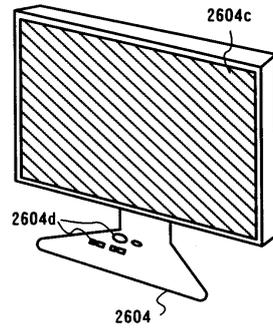
도면17d



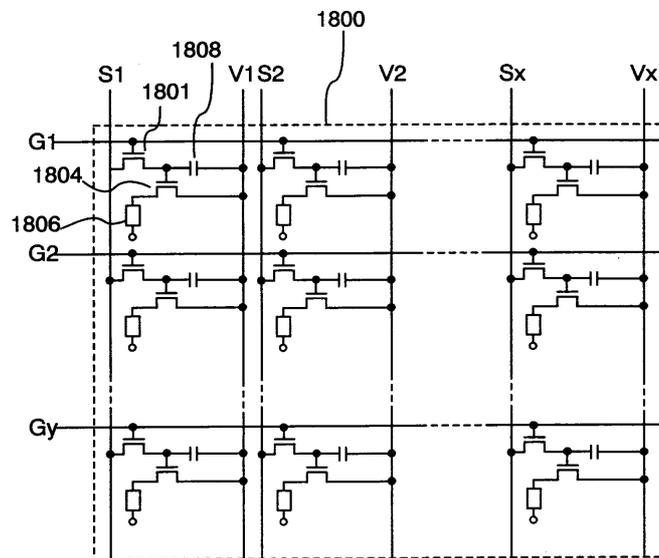
도면17e



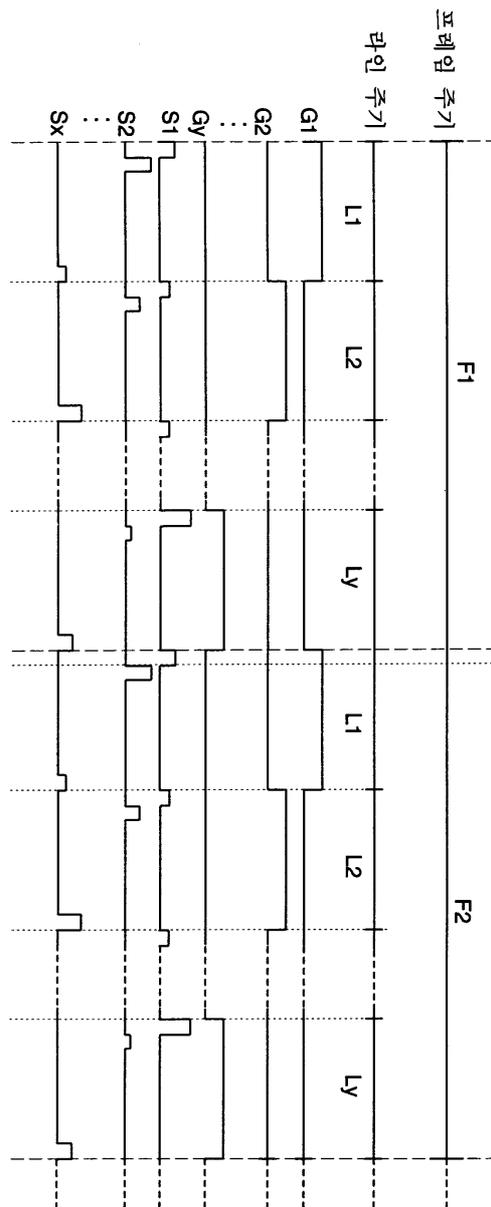
도면17f



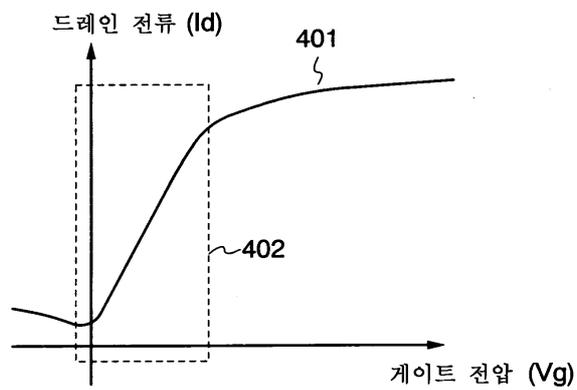
도면18



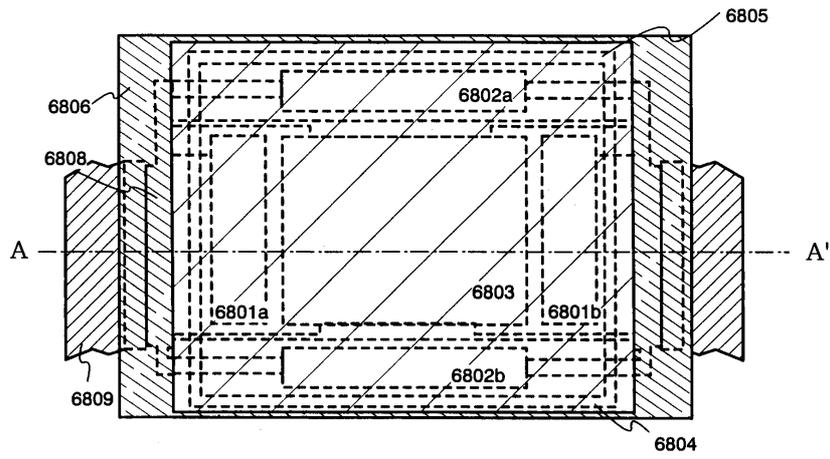
도면19



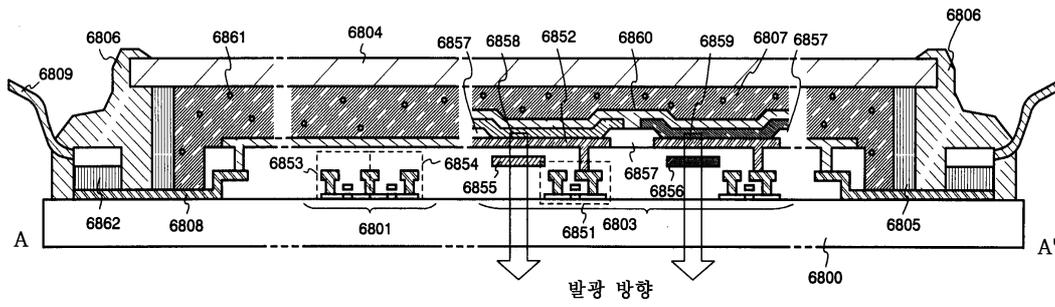
도면20



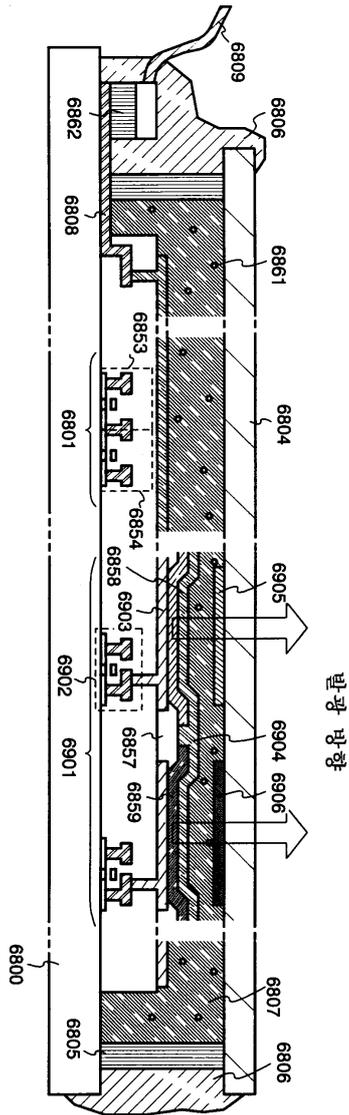
도면21a



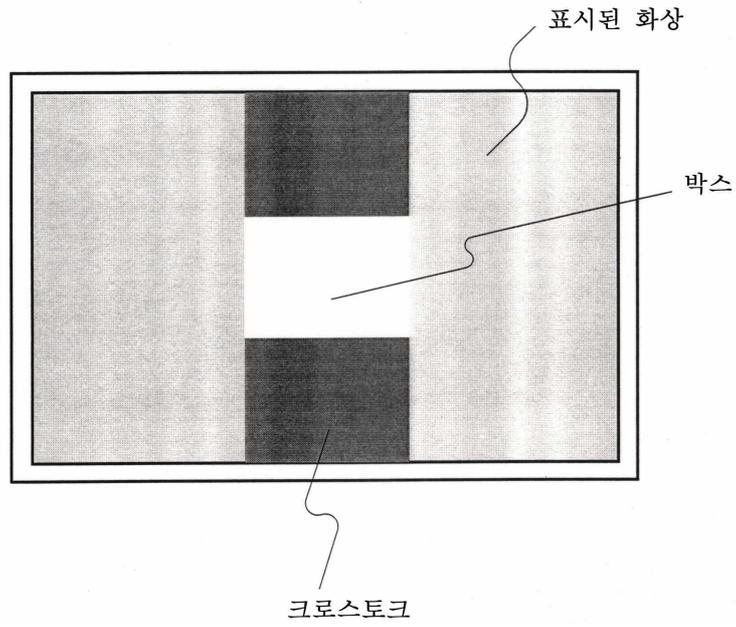
도면21b



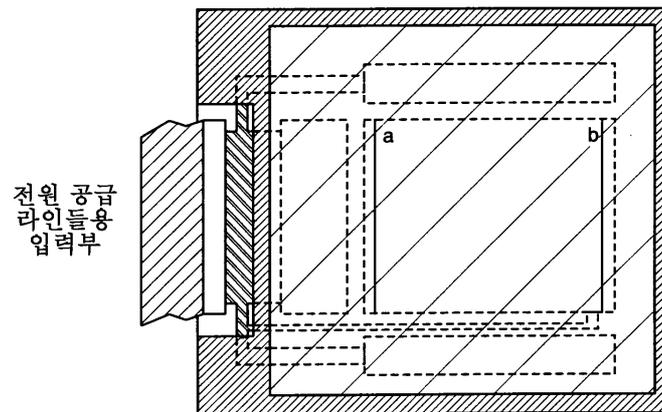
도면22



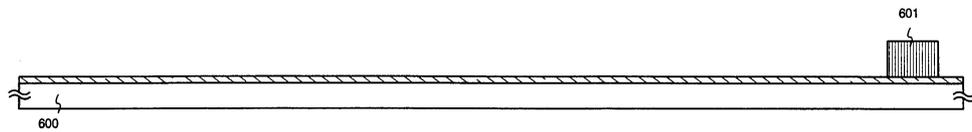
도면23



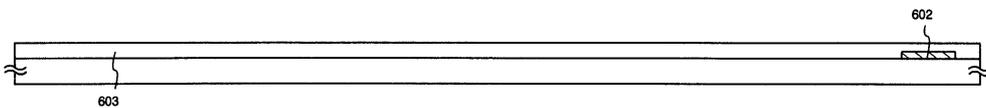
도면24



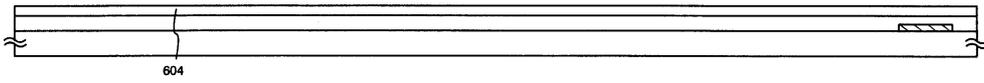
도면25a



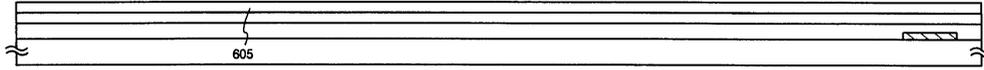
도면25b



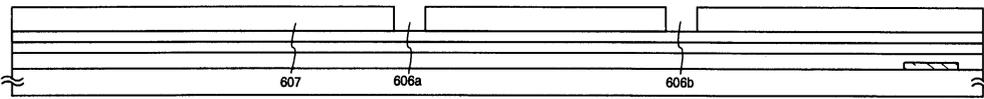
도면25c



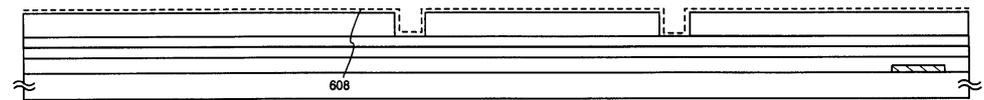
도면25d



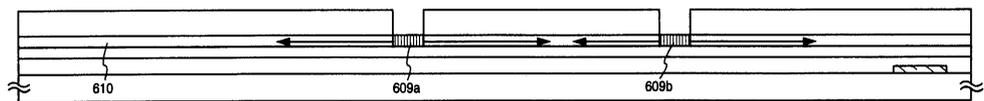
도면25e



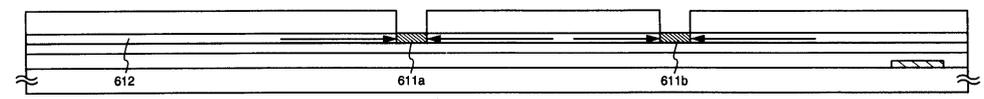
도면26a



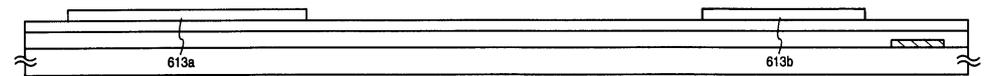
도면26b



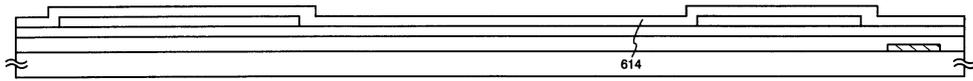
도면26c



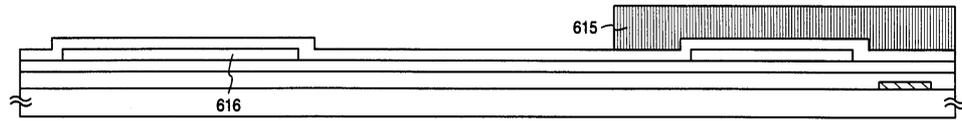
도면26d



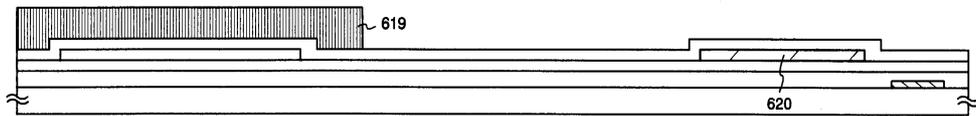
도면26e



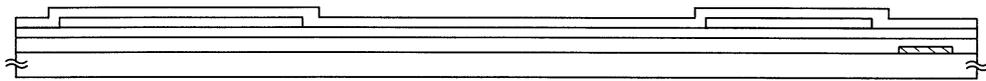
도면27a



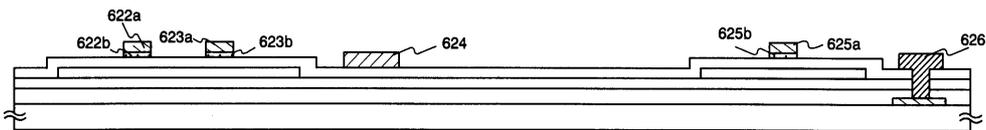
도면27b



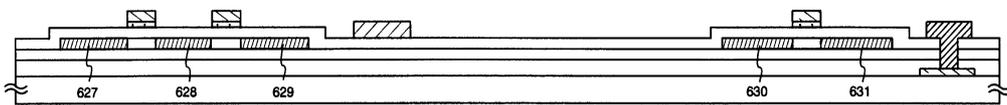
도면27c



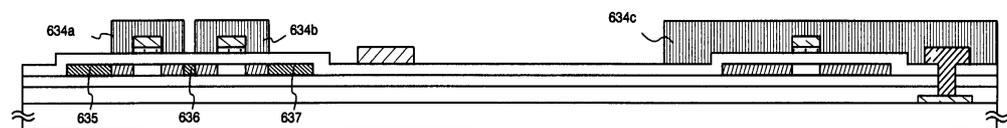
도면27d



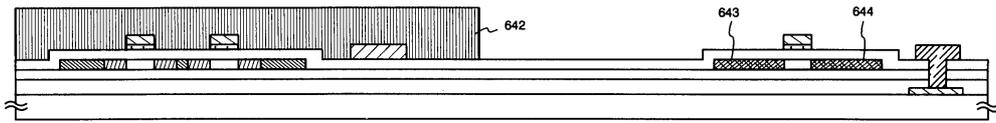
도면28a



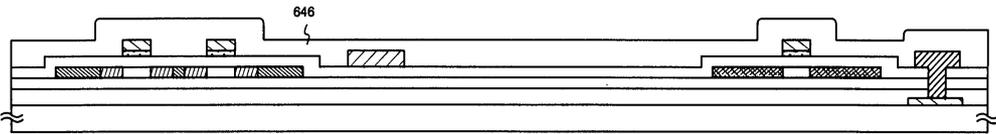
도면28b



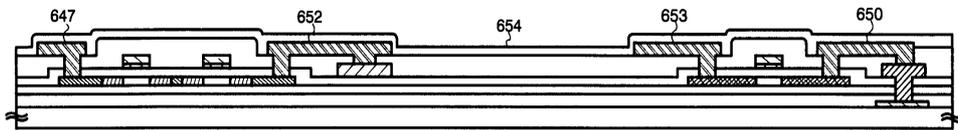
도면28c



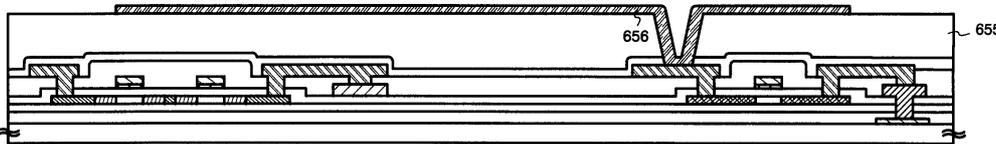
도면28d



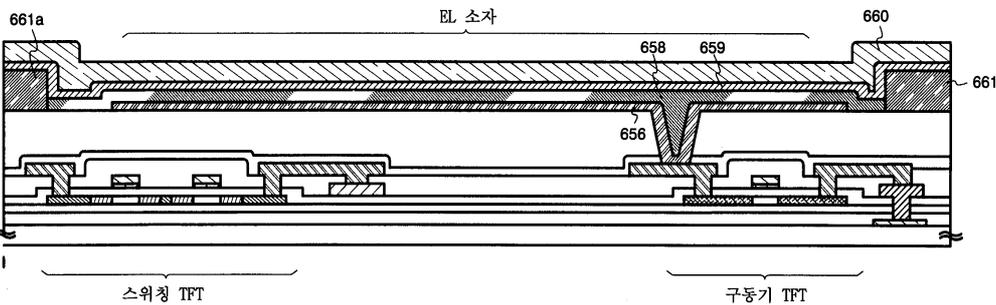
도면29a



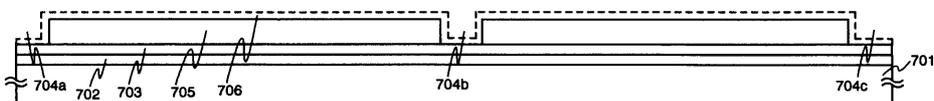
도면29b



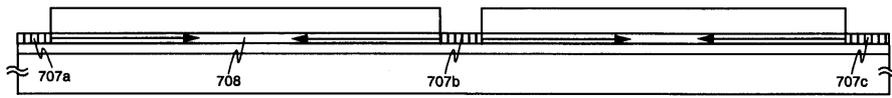
도면29c



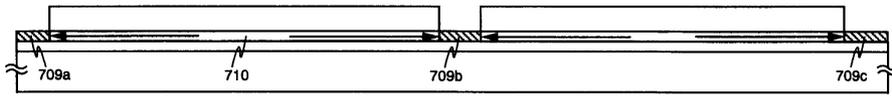
도면30a



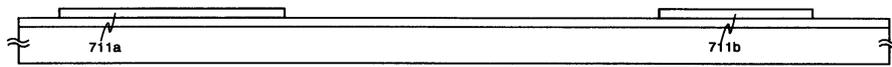
도면30b



도면30c



도면30d



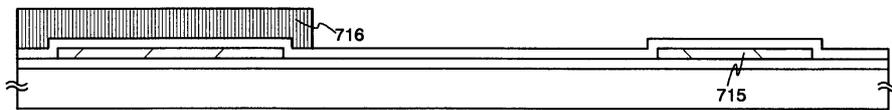
도면30e



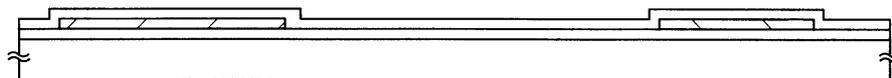
도면31a



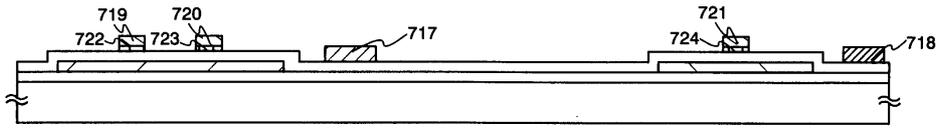
도면31b



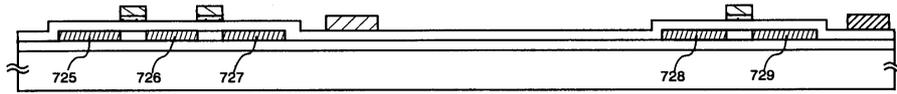
도면31c



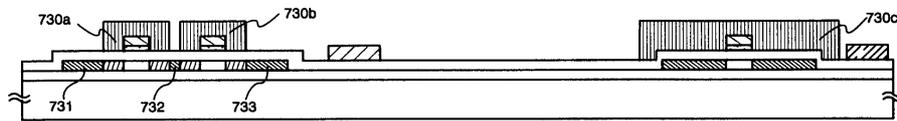
도면31d



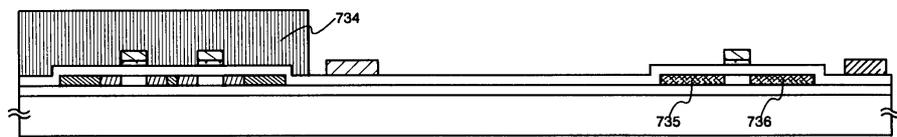
도면32a



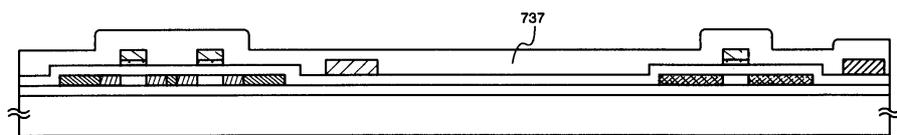
도면32b



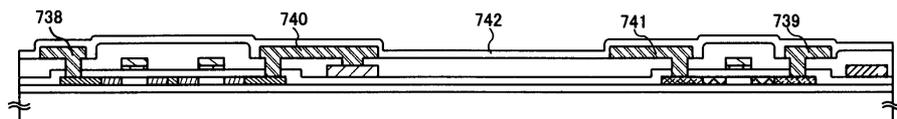
도면32c



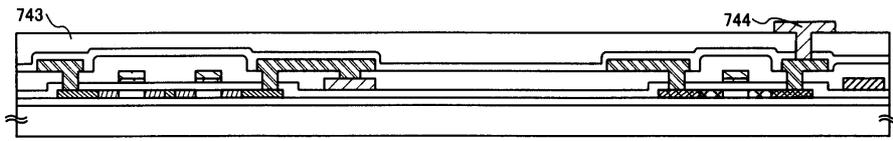
도면32d



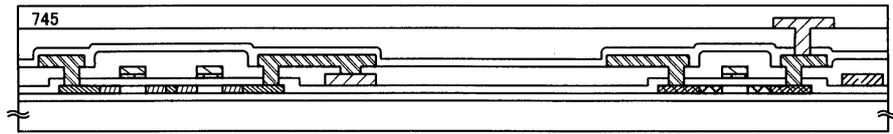
도면33a



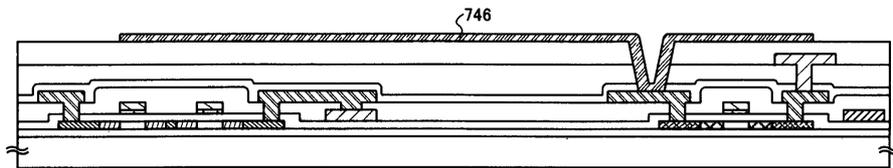
도면33b



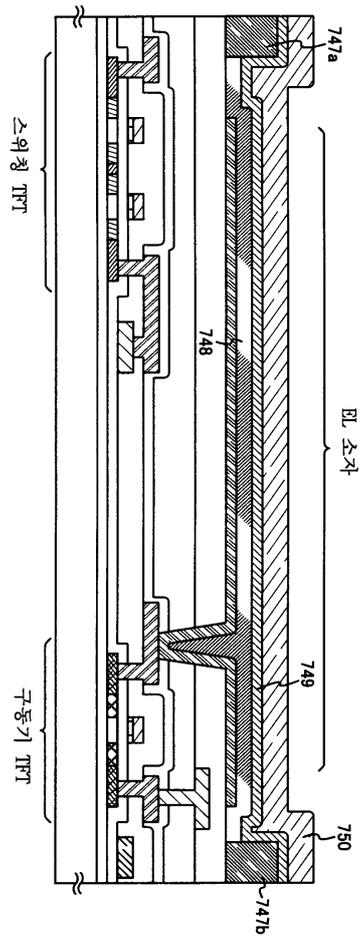
도면33c



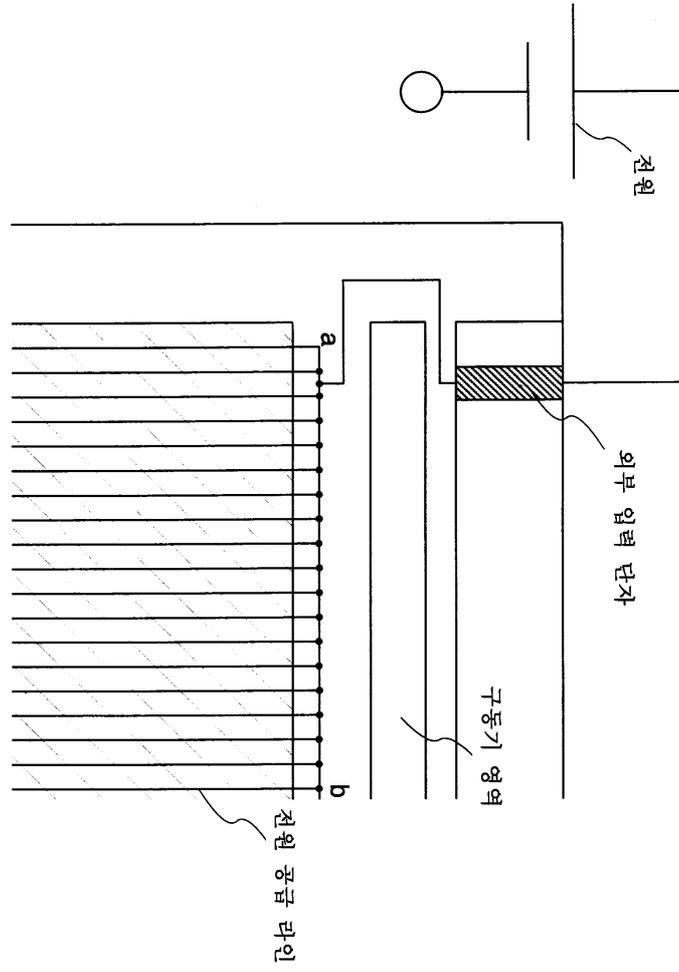
도면33d



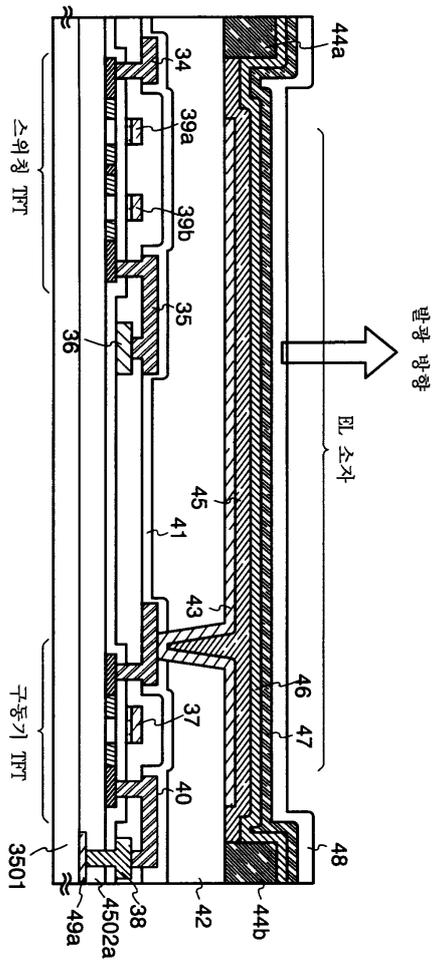
도면34



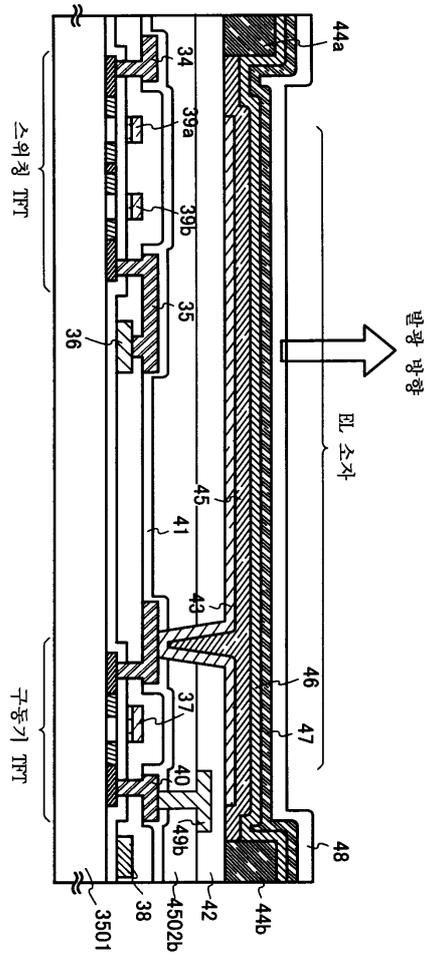
도면35



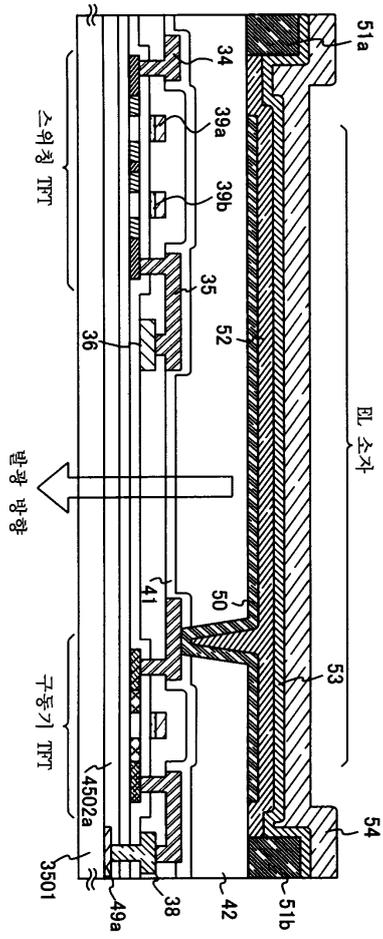
도면36



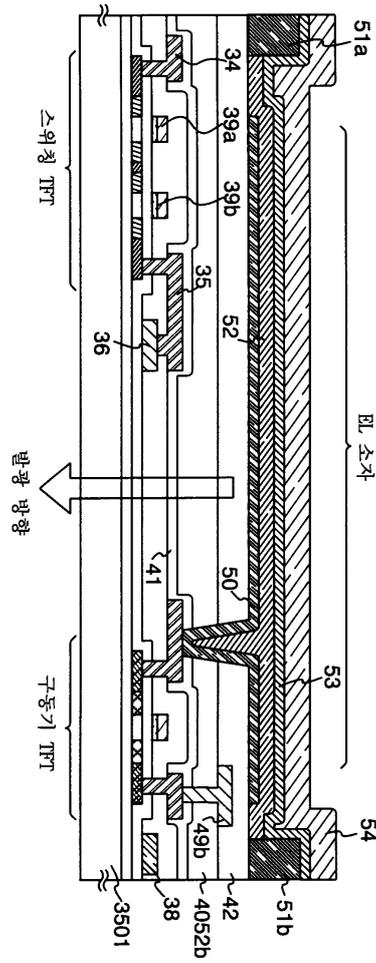
도면37



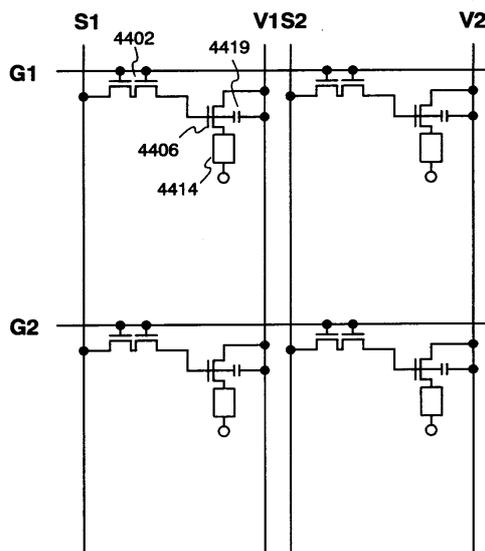
도면38



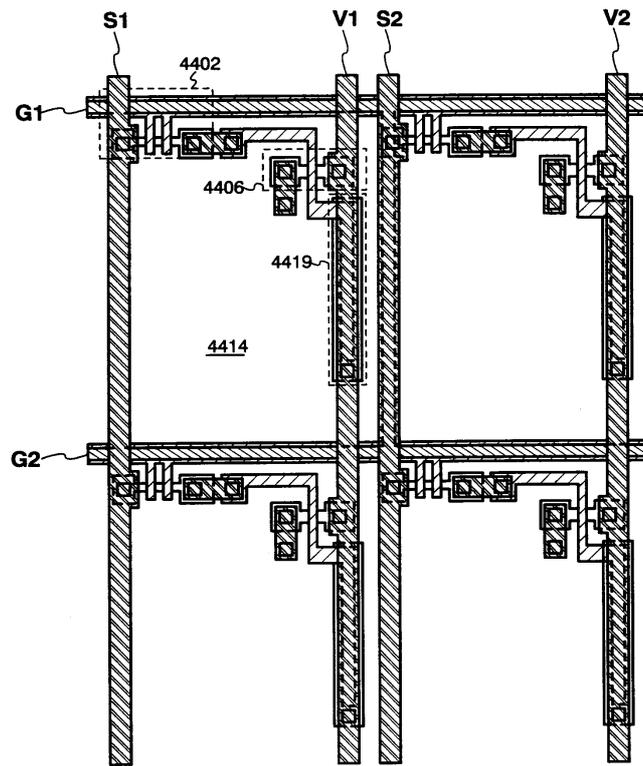
도면39



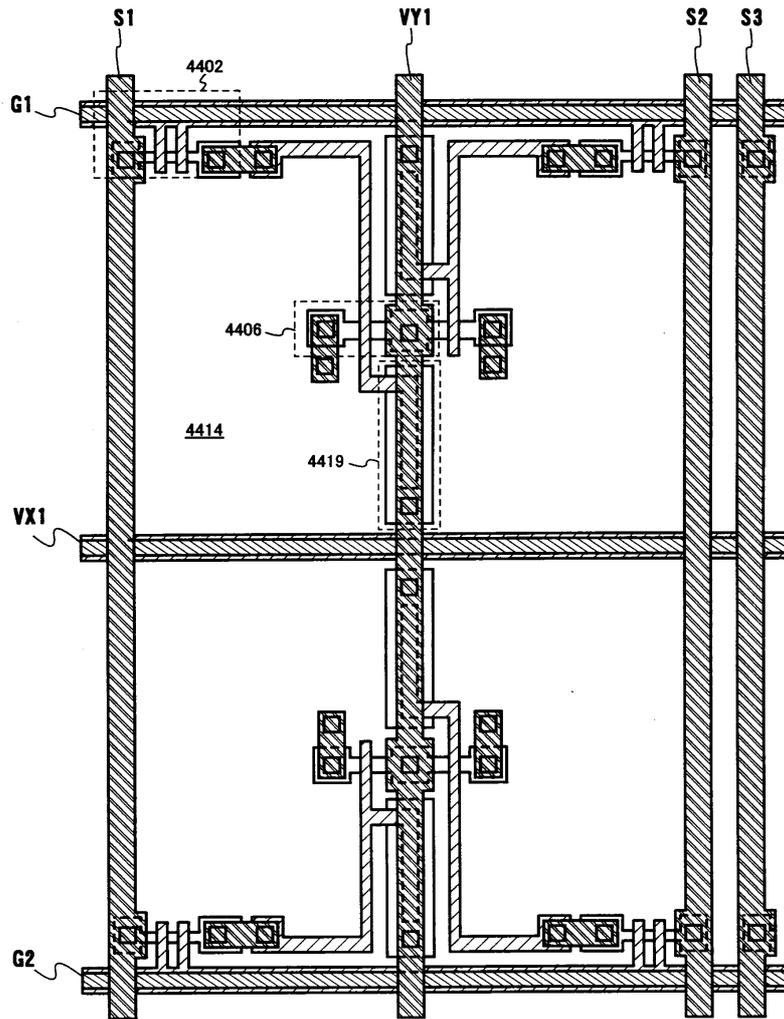
도면40



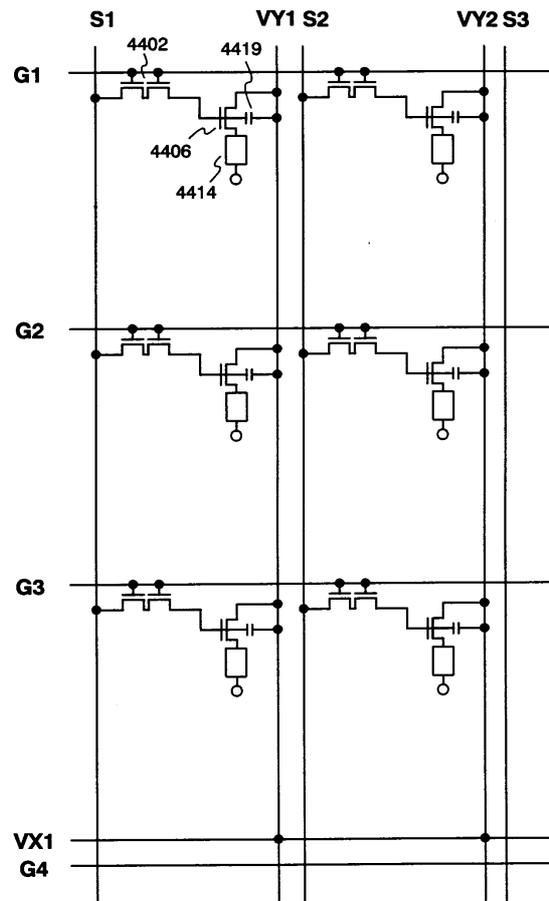
도면41



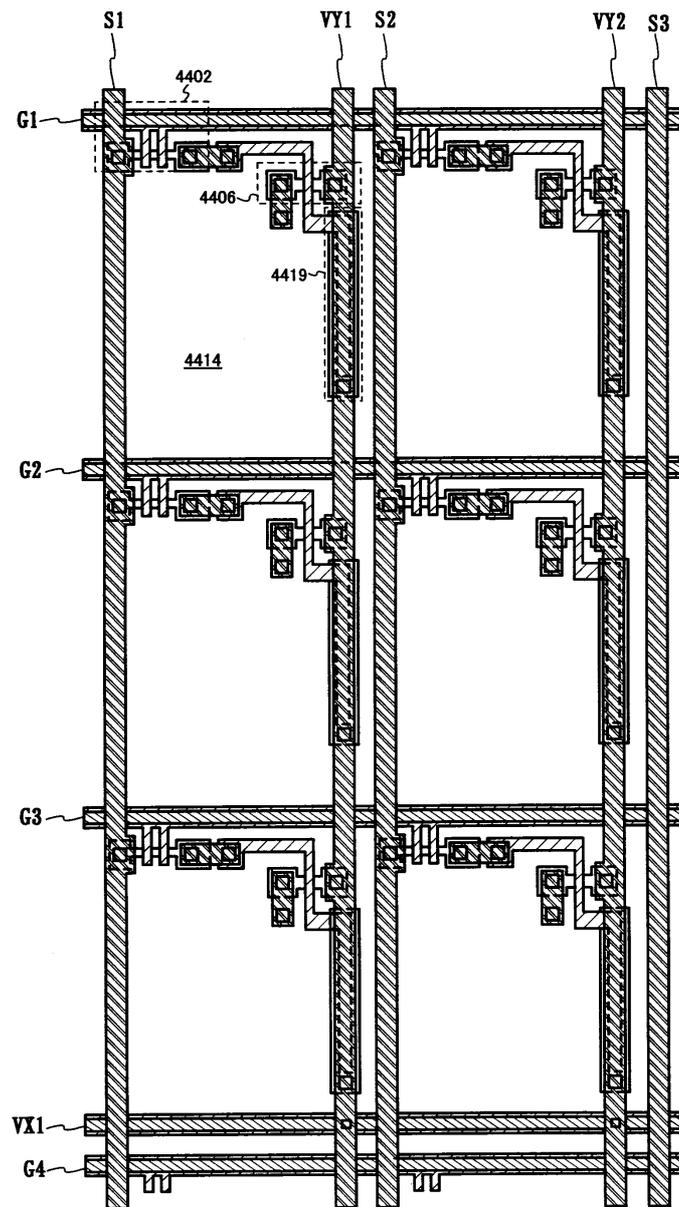
도면42



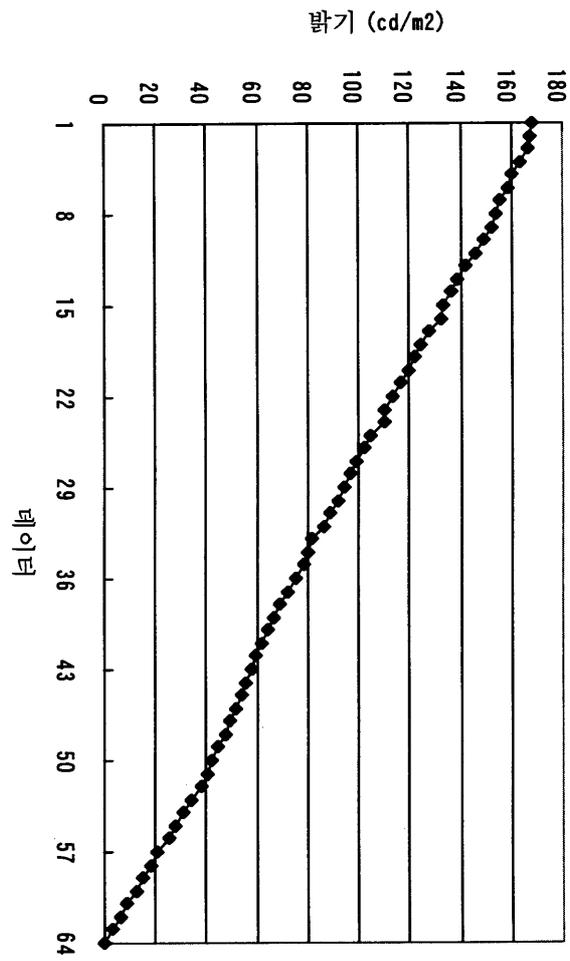
도면43



도면44



도면45



专利名称(译)	显示设备		
公开(公告)号	<a href="#">KR100831889B1</a>	公开(公告)日	2008-05-23
申请号	KR1020060042685	申请日	2006-05-11
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN 코야마준 KIMURA HAJIME 기무라하지메		
发明人	코야마,준 기무라,하지메		
IPC分类号	H05B33/26 G09G3/32 G09F9/30 G09G3/30 H01L27/32		
CPC分类号	H01L29/78627 G09G2300/0842 H01L27/3244 H01L27/3276 G09G2320/029 H01L29/78621 G09G3/3275 G09G3/3225 G09G2300/0417 G09G2330/02 G09G2300/0426 G09G2300/0465 G09G2320/0214 H01L27/1214 G09G3/3233 G09G2330/028 G09G2320/0233 G09G2320/0209 G09G2320/0223 H01L27/124		
代理人(译)	李贝尔 李昌勋		
优先权	2000140513 2000-05-12 JP		
其他公开文献	KR1020060063837A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供一种有源矩阵EL显示装置，其能够显示清晰的多灰度彩色显示，以减小由于电源线的布线电阻引起的电位下降引起的电位变化，从而减小显示区域的不均匀性。设置电源线的多个引出端子。此外，在外部输入端子和像素电源线之间的布线电阻中，通过反馈放大器将电势提供给电源线来执行电势补偿。除了上述配置之外，电源线可以以矩阵形式布置。

