



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월03일
(11) 등록번호 10-0809187
(24) 등록일자 2008년02월25일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)

G09G 3/20 (2006.01) H05B 33/08 (2006.01)

(21) 출원번호 10-2006-7019750

(22) 출원일자 2006년09월25일

심사청구일자 2006년09월25일

번역문제출일자 2006년09월25일

(65) 공개번호 10-2006-0135835

(43) 공개일자 2006년12월29일

(86) 국제출원번호 PCT/JP2005/005124

국제출원일자 2005년03월22일

(87) 국제공개번호 WO 2005/091266

국제공개일자 2005년09월29일

(30) 우선권주장

JP-P-2004-00087014 2004년03월24일 일본(JP)

(56) 선행기술조사문헌

JP15228333 A

JP15255880 A

JP15271097 A

JP15288045 A

전체 청구항 수 : 총 11 항

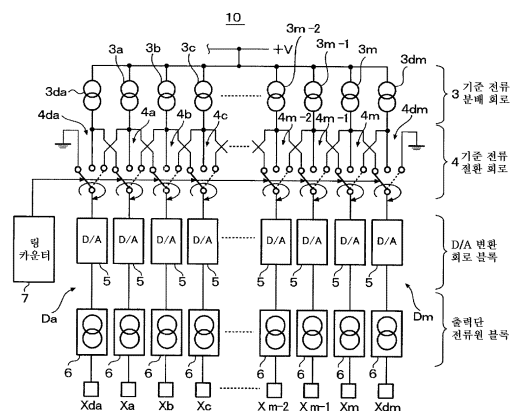
심사관 : 김남인

(54) 유기 EL 구동 회로 및 이것을 이용하는 유기 EL 표시장치

(57) 요약

드라이버(10)의 각 출력 단자(X)에 대응하여 설치된 각 전류 발생 회로(3)와 각 전류원(5, 6) 사이에 선택 회로(4)를 각각 설치하고, 각 상기 선택 회로(4b)에 대응하는 전류 발생 회로(3b)의 소정의 전류와 이것에 인접하는 전류 발생 회로(3a, 3c)로부터의 소정의 전류 중 어느 하나를 로우측 주사에 대응하여 선택함으로써, 각 전류 발생 회로(3)의 기준 전류에 변동이 있거나 또는 표시 데이터를 기준 전류에 따라서 변환하는 D/A(5)의 전류 변환 정밀도가 다소 나빠도, 회로 규모의 증가를 억제하면서 유기 EL 표시 장치의 휘도 변동이나 휘도 불균일을 저감한다.

대표도



특허청구의 범위

청구항 1

구동 전류 혹은 그 기초로 되는 전류를 유기 EL 패널의 다수의 컬럼 핀 혹은 단자 핀에 각각 접속되는 각 출력 단자 대응으로 발생하여 상기 유기 EL 패널을 전류 구동하는 유기 EL 구동 회로로서,

각 상기 출력 단자에 대응하여 설치되고 소정의 전류를 각 상기 출력 단자 대응으로 각각 발생하는 다수의 전류 발생 회로와,

각 상기 출력 단자에 대응하여 설치되고 각 상기 출력 단자 대응으로 각 상기 전류 발생 회로로부터 각각에 상기 소정의 전류를 받아 상기 구동 전류 혹은 그 기초로 되는 전류를 각 상기 출력 단자 대응으로 각각 발생하는 다수의 전류원과,

각 상기 출력 단자에 대응하여 설치된 각 상기 전류 발생 회로와 각 상기 전류원 사이에 각 상기 출력 단자에 대응으로 각각 설치된 다수의 선택 회로를 포함하고,

각 상기 선택 회로가 그 선택 회로에 할당된 상기 출력 단자에 대응하는 상기 전류 발생 회로의 상기 소정의 전류와, 이 전류 발생 회로에 인접하는 상기 출력 단자에 대응하는 상기 전류 발생 회로로부터의 상기 소정의 전류 중 어느 하나를 로우측 주사 혹은 주사선 주사에 대응하여 선택하는 유기 EL 구동 회로.

청구항 2

제1항에 있어서,

수평 1 라인의 상기 로우측 주사에 대응하여 소정의 제어 신호를 발생하여 상기 선택 회로의 선택을 전환하는 제어 회로를 더 갖고, 각 상기 선택 회로는, 그 선택 회로에 할당된 출력 단자와 이것에 인접하는 상기 출력 단자에 대응하는 각각의 상기 전류 발생 회로로부터 각각에 상기 소정의 전류를 받고 이들 받은 상기 소정의 전류 중 어느 하나를 상기 소정의 제어 신호에 따라 선택하여 상기 할당된 출력 단자에 대응하는 상기 전류원에 공급하는 유기 EL 구동 회로.

청구항 3

제2항에 있어서,

상기 유기 EL 구동 회로는 드라이버 IC로서, 각 상기 선택 회로는, 적어도 n 개의 입력(단 n 은 2 이상의 정수)과 1개의 출력을 갖고 상기 n 개의 입력의 각각이 상기 할당된 출력 단자와 상기 할당된 출력 단자에 인접하는 출력 단자에 대응하는 각각의 상기 전류 발생 회로로부터 각각에 상기 소정의 전류치를 받고, 상기 1개의 출력이 상기 n 개의 입력 중 어느 하나에 입력된 상기 소정의 전류를 상기 할당된 출력 단자에 대응하는 상기 전류원에 공급하는 것이며, 상기 소정의 제어 신호에 따라 상기 n 개의 입력 중의 1개를 선택하는 유기 EL 구동 회로.

청구항 4

제3항에 있어서,

상기 다수의 전류 발생 회로는, 기준 전류를 받고 이것과 동일하거나 혹은 이것을 전류 증폭한 전류를 각각의 각 상기 출력 단자 대응으로 분배하여 출력하는 1개의 전류 분배 회로로 구성되고, 상기 다수의 전류 발생 회로에서의 상기 소정의 전류는, 각 상기 출력 단자 대응으로 분배된 출력 전류인 유기 EL 구동 회로.

청구항 5

제4항에 있어서,

상기 전류 분배 회로는, 입력측 트랜지스터 수와 출력측 트랜지스터 수의 비가 1: n (단 n 은 각 상기 출력 단자의 수이거나 그 이상의 정수)의 커런트 미러 회로로 구성되고, 상기 다수의 전류 발생 회로가 다수의 상기 출력측 트랜지스터에 각각 할당되고, 상기 입력측 트랜지스터에 상기 기준 전류를 받아 상기 다수의 출력측 트랜지스터에 상기 소정의 전류를 각각에 발생하고, 각 상기 선택 회로의 상기 n 개의 입력 중 적어도 3개는, 상기 할당된 출력 단자와 이 출력 단자에 인접하는 양측의 상기 출력 단자에 각각 대응하여 설치된 상기 출력측 트랜지스터

로부터 출력되는 전류를 상기 소정의 전류치로서 각각 받는 유기 EL 구동 회로.

청구항 6

제5항에 있어서,

상기 기준 전류를 발생하는 기준 전류 발생 회로를 더 갖고, 각 상기 출력 단자 중의 최초의 출력 단자와 최후의 출력 단자에 각각 인접하여 상기 전류 발생 회로와 등가의 더미의 전류 발생 회로가 각각 설치되고, 각각의 상기 등가의 더미의 전류 발생 회로의 상기 소정의 전류가 상기 최초의 출력 단자와 상기 최후의 출력 단자에 대응하는 상기 선택 회로의 상기 n개의 입력의 1개에 각각 입력되는 유기 EL 구동 회로.

청구항 7

제6항에 있어서,

상기 n은 3이고, 상기 선택 회로는, 각 상기 출력 단자 대응으로 설치된 3입력-1출력의 멀티플렉서를 갖고, 상기 소정의 제어 신호는, 각 상기 멀티플렉서에 각각 송출되고, 수평 3 라인 분의 로우측 주사를 단위로 하여 반복하여 발생하는 유기 EL 구동 회로.

청구항 8

제7항에 있어서,

각 상기 전류원은, D/A 변환 회로와 상기 구동 전류를 출력하는 출력단 전류원으로 이루어지고, 상기 D/A 변환 회로는, 상기 할당된 출력 단자에 대응하는 상기 선택 회로에 의해 선택된 상기 소정의 전류와 표시 데이터를 받아 아날로그 변환 전류를 발생하여 이것에 의해 상기 출력단 전류원을 구동하는 유기 EL 구동 회로.

청구항 9

제5항에 있어서,

상기 n은 3이고, 상기 선택 회로는, 각 상기 출력 단자 대응으로 설치된 3입력-1출력의 멀티플렉서를 갖고, 상기 소정의 제어 신호는, 각 상기 멀티플렉서에 각각 송출되고, 수평 3 라인 분의 로우측 주사를 단위로 하여 반복하여 발생하는 유기 EL 구동 회로.

청구항 10

제6항에 있어서,

상기 제어 회로는, n단의 링 카운터를 갖고, 상기 n단의 첫단으로부터 최종단에 비트 “1” 혹은 비트 “0”을 시프트함으로써 상기 소정의 제어 신호를 발생하는 유기 EL 구동 회로.

청구항 11

제1항 내지 제10항 중 어느 한 항의 유기 EL 구동 회로와 상기 유기 EL 패널을 갖는 유기 EL 표시 장치.

명세서

기술 분야

- <1> 본 발명은, 유기 EL 구동 회로 및 이것을 이용하는 유기 EL 표시 장치에 관한 것으로, 자세한 것은, 유기 EL 패널의 컬럼 라인(유기 EL 소자의 양극측 드라이브 라인, 이하 동일함)을 구동하는 전류 구동 회로에서, 컬럼 라인에 대응하여 설치되는 드라이버의 각 출력 단자에 대응하여 각각 생성되는 각 기준 전류에 변동이 있거나 혹은 표시 데이터를 기준 전류에 따라서 변환하는 D/A의 전류 변환 정밀도가 다소 나빠도 표시 장치의 제품마다의 휘도 변동이나 표시 장치의 휘도 불균일을 저감할 수 있는 유기 EL 구동 회로에 관한 것이다.

배경 기술

- <2> 휴대 전화기, PHS, DVD 플레이어, PDA(휴대 단말 장치) 등에 탑재되는 유기 EL 표시 장치의 유기 EL 표시 패널에서는, 컬럼 라인의 수가 396개(132×3)인 단자 핀, 로우 라인이 162개인 단자 핀을 갖는 것이 제안되고, 컬럼

라인, 로우 라인의 단자 핀은 그 이상으로 증가하는 경향이 있다.

<3> 이러한 유기 EL 표시 패널의 구동 회로로서, 컬럼 핀 대응으로 D/A 변환 회로(이하 D/A)를 설치한 본 출원인의 일본 특개2003-234655호의 출원이 있다(특허 문헌1). 이것은, 컬럼 핀 대응으로 설치된 D/A가 표시 데이터와 기준 구동 전류를 받아, 기준 구동 전류에 따라서 표시 데이터를 D/A 변환하여 컬럼 핀 대응으로 컬럼 방향의 구동 전류 혹은 이 구동 전류의 근원으로 되는 전류를 생성한다.

<4> 특허 문헌1:일본 특개2003-234655호

<5> 소비 전력을 저감하기 위해, 상기의 D/A의 전원 전압은, 예를 들면, DC3V 정도로 낮게 억제되고, 최종단의 출력단 전류원의 전원 전압만을, 예를 들면 DC15V~20V로 하고, D/A가, 각 컬럼 핀(혹은 각 출력 단자) 대응으로 분배된 기준 전류를 받아 유기 EL 소자(이하 OEL 소자)의 구동 전류의 근원으로 되는 전류를 생성하여 출력단 전류원을 구동한다. 이에 따라 전류 구동 회로 전체의 소비 전력을 낮게 억제하고 있다.

<6> 그러나, 상기한 D/A는, IC화한 경우에 핀 대응으로 설치할 필요가 있으므로, 그 점유 면적을 억제하기 위해, 현재, 4비트~6비트 정도의 것으로 되어 있다. 각 D/A에 가해지는 상기한 기준 구동 전류는, 기준 전류 분배 회로에 의해 컬럼 드라이버의 각 출력 단자 대응으로 분배된 기준 전류이다. 기준 전류 분배 회로는, 입력측 트랜지스터 1에 대하여 출력측 트랜지스터 n(n은 출력 단자 수에 대응)의 커런트 미러 회로로 구성되고, 기준 전류 발생 회로로부터의 기준 전류를 커런트 미러 회로의 입력측 트랜지스터에서 받아, 드라이버 IC의 각 출력 단자 대응으로 설치된 출력측 트랜지스터에서 각 출력 단자 대응의 D/A에 전류 분배를 각각 한다. 또한, 드라이버 IC의 각 출력 단자는, 유기 EL 패널의 각 컬럼 핀에 각각 접속되므로 각 컬럼 핀에 대응하고 있다.

<7> [발명의 개시]

<8> <발명이 해결하고자 하는 과제>

<9> 유기 EL 패널의 드라이버 IC는, R, G, B의 컬러에서도 각각에 30핀 이상의 각 출력 단자가 설치되고, 이들 출력 단자에 대응하여 설치된 D/A에 대하여 기준 전류 분배 회로에서 다수의 출력 단자 수만큼의 기준 전류를 생성하여 분배하기 위해, 기준 전류 분배 회로의 출력측 트랜지스터의 특성의 상위와 그 배치의 관계 때문에, 분배하는 각 기준 전류에 변동이 발생하기 쉽다. 그것이 표시 장치의 제품마다의 휘도 변동이나 표시 장치의 휘도 불균일로 되어 나타난다.

<10> 유기 EL 패널의 구동 회로가 4비트~6비트 정도의 D/A를 사용하여 출력단 전류원을 구동하고, 각 컬럼 핀(각 출력 단자)을 통하여 OEL 소자를 각각에 구동하면, D/A의 전류 변환 정밀도가 나쁘기 때문에, 컬럼 핀 대응의 구동 전류에 변동을 발생시키기 쉽다. 이 변동은, 표시 장치의 제품마다의 휘도 변동이나 표시 장치의 휘도 불균일로 되어 나타난다.

<11> 그 때문에, 드라이버 IC는, 기준 전류를 조정하는 것 외에 추가로, D/A측에 기준 전류를 조정하는 조정 회로가 별도로 필요하게 되고, 그것이 출력 단자 대응으로 되는 것에 의한 점유 면적이 증가하는 문제가 있다.

<12> 한편, D/A 변환 정밀도를 향상시키기 위해, 6비트 이상의 D/A로 하면, 각 컬럼 핀 대응으로 D/A를 설치해야만 하는 관계상, 드라이버 IC에서 전류 구동 회로의 점유 면적이 커진다. 그만큼, 출력 단자 수를 많이 취할 수 없게 되는 문제가 생긴다.

발명의 상세한 설명

<13> 본 발명의 목적은, 이러한 종래 기술의 문제점을 해결하는 것으로서, 드라이버의 출력 단자 대응으로 생성되는 각 기준 전류에 변동이 있거나 혹은 표시 데이터를 기준 전류에 따라서 변환하는 D/A의 전류 변환 정밀도가 다소 나빠도 회로 규모의 증가를 억제하여 표시 장치의 휘도 변동이나 휘도 불균일을 저감할 수 있는 유기 EL 구동 회로 및 유기 EL 표시 장치를 제공하는 데 있다.

<14> <과제를 해결하기 위한 수단>

<15> 이러한 목적을 달성하기 위한 본 발명의 유기 EL 구동 회로 및 이것을 이용하는 유기 EL 표시 장치의 특징은, 구동 전류 혹은 그 기초로 되는 전류를 유기 EL패널의 다수의 컬럼 핀 혹은 단자 핀에 각각 접속되는 각 출력 단자 대응으로 발생하여 상기 유기 EL 패널을 전류 구동하는 유기 EL 구동 회로에 있어서,

<16> 각 상기 출력 단자에 대응하여 설치되고 소정의 전류를 각 상기 출력 단자 대응으로 각각 발생하는 다수의 전류 발생 회로와, 각 상기 출력 단자에 대응하여 설치되고 각 상기 출력 단자 대응으로 각 상기 전류 발생 회로로부

터 각각에 상기 소정의 전류를 받아 상기 구동 전류 혹은 그 근원으로 되는 전류를 각 상기 출력 단자 대응으로 각각 발생하는 다수의 전류원과, 각 상기 출력 단자에 대응하여 설치된 각 상기 전류 발생 회로와 각 상기 전류원 사이에 각 상기 출력 단자에 대응하여 각각 설치된 다수의 선택 회로를 구비하고 있고,

<17> 각 상기 선택 회로가 자기가 할당된 상기 출력 단자에 대응하는 상기 전류 발생 회로의 상기 소정의 전류나, 이 전류 발생 회로에 인접하는 상기 출력 단자에 대응하는 상기 전류 발생 회로로부터의 상기 소정의 전류 중 어느 하나를 로우측 주사 혹은 주사선 주사에 대응하여 선택하는 것이다.

<18> <발명의 효과>

<19> 이와 같이, 본 발명은, 드라이버의 각 상기 출력 단자에 대응하여 설치된 각 전류 발생 회로와 각 전류원 사이에 소정의 전류(기준 전류 혹은 기준 구동 전류)를 선택하는 선택 회로를 각각 설치하여, 자기가 할당된 출력 단자에 대응하는 전류 발생 회로의 소정의 전류나, 이것에 인접하는 전류 발생 회로로부터의 소정의 전류 중 어느 하나를 로우측 주사에 대응하여 선택하도록 하고 있다. 그리고, 예를 들면 이 선택을 수평 1 라인의 로우측 주사 혹은 주사선 주사에 따라 행하도록 한다.

<20> 이에 의해, 각 전류원에는 자기가 할당된 출력 단자에 대응하는 전류 발생 회로로부터의 소정의 전류(기준 전류 혹은 기준 구동 전류)와 이 전류 발생 회로에 인접하는 전류 발생 회로로부터의 소정의 전류(기준 전류 혹은 기준 구동 전류)가 시분할로 가해지게 된다. 이에 따라 각 출력 단자로부터 OEL 소자에 출력되는 각 구동 전류가 수평 1 라인의 로우측 주사 혹은 주사선 주사에 따라 시분할되어 서로 다른 기준 전류에 기초하여 발생하게 된다.

<21> 이와 같이 하면, 기준 전류치가 시간적으로 평균화됨으로써, OEL 소자의 휘도 불균일은, 시간 적분되어 휘도 불균일이 평균화된 것으로 된다.

<22> 이 기준 전류치의 시간적으로 평균화에 의해 표시 장치의 제품마다의 휘도 변동이나 표시 장치의 휘도 불균일이 억제된다.

<23> 또한, 각 선택 회로는, 각 상기 출력 단자에 대응하여 설치된 각 전류 발생 회로와 구동 전류 혹은 그 근원으로 되는 전류를 발생하는 각 전류원 사이에 설치되므로, OEL 소자에 출력되는 구동 전류보다 이전의 위치로 되어, 절환 대상으로 되는 전류를 작게 억제할 수 있다. 그 때문에, 각 선택 회로 전체로 이루어지는 회로의 회로 규모를 저감할 수 있다. 특히, 2 내지 3개 정도의 절환 회로가 설치되는 경우에도 본 발명에서의 휘도 변동이나 휘도 불균일에 대한 저감 효과는 크다.

<24> 그 결과, 본 발명은, 드라이버의 출력 단자 대응으로 생성되는 각 기준 전류에 변동이 있거나 혹은 표시 데이터를 기준 전류에 따라서 변환하는 D/A의 전류 변환 정밀도가 다소 나빠도 회로 규모의 증가를 억제하여 표시 장치의 휘도 변동이나 휘도 불균일을 저감할 수 있다.

실시예

<42> <발명을 실시하기 위한 최량의 형태>

<43> 도 1은, 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 유기 EL 패널의 컬럼 드라이버에서의 기준 전류 절환 회로를 중심으로 하는 블록도, 도 2는, 기준 전류 절환 회로에서의 멀티플렉서와 링 카운터와의 접속 관계의 설명도, 도 3은, 기준 전류 절환 처리의 타이밍 신호의 설명도, 그리고, 도 4는, 유기 EL 패널의 컬럼 드라이버를 중심으로 하는 전체적인 블록도이다.

<44> 도 4에서, 10은, 유기 EL 패널에서의 유기 EL 구동 회로로서의 컬럼 IC 드라이버(이하, 컬럼 드라이버)이다. 이 컬럼 드라이버(10)는, 기준 전류 발생 회로(1)와, 기준 전류 설정 회로(2), 전류 분배 회로(3), 기준 전류 절환 회로(4), D/A 변환 회로(D/A)(5), 출력단 전류원(6), 링 카운터(7), 레지스터(8) 등으로 이루어진다. D/A(5)와 출력단 전류원(6)은, 각각 각 출력 단자 $X_a \sim X_m$ 에 대응하여 설치되어 있다. 또한, 유기 EL 패널이 컬러 표시 장치인 경우에는, 기준 전류 설정 회로(2)와 전류 분배 회로(3)는, R(적), G(녹), 그리고 B(청)에 대응하여 각각 설치되고, D/A(5)와 출력단 전류원(6)도 각각 R, G, B의 각 출력 단자에 대응하여 설치된다.

<45> R, G, B의 각각의 회로 구성은, 마찬가지로이므로, 이하에서는 R, G, B의 구분을 하지 않고 실시예를 설명한다.

<46> 기준 전류 설정 회로(2)는, 4비트 정도의 D/A 변환 회로(D/A)(2a)가 설치되어 있고, 화이트 밸런스 조절을 위해 R, G, B 각각의 표시색에 대응하는 조정된 기준 전류 I_r 을 발생한다. 기준 전류 I_r 의 조절은, 각각의 D/A(2a)에 설정되는 변환 데이터와 기준 전류 I_{ref} 에 기초하여 행해진다. 기준 전류 설정 회로(2)는, 기준 전류 발생

회로(1)로부터의 기준 전류 I_{ref} 로 구동된다. 4비트의 데이터는, 장치 외부로부터 입력 데이터로서 MPU(11)에 공급되어 MPU(11)로부터 레지스터(2b)에 기억되어 각 D/A(2a)에 설정된다. D/A(2a)는, 레지스터(2b)에 기억된 데이터를 D/A 변환하여 소정의 기준 전류치의 전류를 기준 전류 I_r 로서 생성한다. 생성된 기준 전류 I_r 은, 커런트 미러 회로의 전류 분배 회로(3)(이하, 커런트 미러 회로(3))의 입력측의 트랜지스터 T_{ra} 에 공급된다. 이에 의해 출력측 트랜지스터 T_{rb} 로부터 T_{rn} 의 각각에 기준 전류 I_r 이 발생하여, 각 출력 단자 $X_a \sim X_m$ 대응으로 기준 전류 I_r 이 분배된다.

<47> 커런트 미러 회로(3)는, 입력측의 P채널 MOSFET 트랜지스터 T_{ra} 와, 이것과 커런트 미러 접속되는 출력측의 P채널 MOSFET 트랜지스터 $T_{rb} \sim T_{rn}$ 을 갖고 있고, 트랜지스터 $T_{ra} \sim T_{rn}$ 의 소스는, 전원 라인 +V(=+3V)에 접속되어 있다. 또한, 출력측의 각 트랜지스터 $T_{rb} \sim T_{rn}$ 은, 각각 각 출력 단자 $X_a \sim X_m$ 에 대응하여 설치되어 있다.

<48> 커런트 회로(3)는, 또한, 입력측의 트랜지스터 T_{ra} 에 커런트 미러 접속되는 출력측의 P채널 MOSFET 트랜지스터 T_{da} , T_{dm} 을 갖고 있다. 이들은, 더미 회로(D_a , D_m)를 구성하기 위한 트랜지스터이다. 이에 대해서는 후술한다. 트랜지스터 $T_{rb} \sim T_{rn}$ 의 드레인은, 기준 전류 절환 회로(4)를 통하여 각 출력 단자 $X_a \sim X_n$ 에 대응하여 각각이 각각에 대응하는 D/A(5)에 혹은 이것에 인접하는 D/A(5)의 1개에 선택적으로 접속된다. 각각의 드레인으로부터의 출력 전류 I_r (기준 전류 I_r)은, 접속된 D/A(5)의 기준 구동 전류로 된다. 이에 의해 각 출력 단자 $X_a \sim X_m$ 중 자기에게 할당된 출력 단자에 대응하는 D/A(5)에 입력되는 기준 전류 I_r 과 이것에 인접하는 출력 단자에 대응하는 D/A(5)에 입력되는 기준 전류 I_r 이 소정의 주기로 기준 전류 절환 회로(4)에 의해 선택되고, 선택된 기준 전류 I_r 의 1개가 자기에게 할당된 출력 단자에 대응하는 D/A(5)에 입력된다.

<49> 바꿔 말하면, 각 출력 단자 $X_a \sim X_m$ 중 자기에게 할당된 출력 단자에 대응하는 D/A(5)는, 자기에 할당된 출력 단자에 대응하는 기준 전류 I_r 뿐만 아니라, 자기에게 할당된 출력 단자에 인접하는 D/A(5)에 입력되는 기준 전류 I_r 도 받는다.

<50> 이에 의해, 자기에게 할당된 출력 단자에 대응하는 D/A(5)는, 자기에게 할당된 출력 단자에 대응하는 출력단 전류원(6)의 구동 전류를 소정의 주기에서 인접하는 출력 단자에 대응하는 다른 기준 전류 I_r 에 기초하여 시분할로 발생하게 된다.

<51> 그 결과, 기준 전류치가 시간적으로 평균화되어, OEL 소자의 구동 전류가 시간적으로 적분되어 휘도 불균일이 평균화된다.

<52> 각 D/A(5)는, MPU(11)로부터 레지스터(8)를 통하여 표시 데이터를 받아 기준 전류 설정 회로(2)에서 생성된 기준 전류 I_r 를 표시 데이터 값만큼 전류 증폭하여 그 때마다의 OEL 소자의 표시 휘도에 따른 구동 전류를 생성하고, 이 구동 전류에 따라 각각에 출력단 전류원(6)을 구동한다.

<53> 각 출력단 전류원(6)은, 각각 한 쌍의 트랜지스터로 이루어지는 커런트 미러 회로로 구성되고, 컬럼측의 출력 단자 $X_a \sim X_m$ 을 통하여 구동 전류 i 를 유기 EL 패널의 각 OEL 소자의 양극에 각각 출력한다.

<54> 스위치 회로(SWR1, SWR2, ..., SWR_m)는, 도 2에 도시하는 바와 같이, 출력 단자 $X_a \sim X_m$ 에 대응하여 설치된 리세트 스위치로서, 각 출력 단자를 정전압 V_{zR} 로 리세트 하는 것이다. 이들 리세트 스위치(SWR1, SWR2, ..., SWR_m)는, 리세트 컨트롤 펄스 RS(혹은, 리세트 펄스)를 컨트롤 회로(12)로부터 받고, 리세트 기간에 ON으로 된다. 이에 의해 OEL 소자의 양극측이 제너 다이오드 DZR가 갖는 정전압 V_{zR} 로 설정되어 OEL 소자가 프리차지(혹은 정전압 리세트)된다. 또한, 이때에는, OEL 소자의 음극측은, 소정의 타이밍에서 그라운드 GND에 접속된다.

<55> 여기에서, 기준 전류 절환 회로(4)는, 리세트 기간에서 링 카운터(7)로부터 기준 전류 절환 펄스 SEL를 받아 연속하는 3개의 기준 전류 I_r 의 1개를 순서대로 수평 주파수의 주기에 대응하여 선택하여 각 출력 단자 $X_a \sim X_m$ 중 자기에게 할당된 출력 단자에 대응하는 D/A(5)에 입력한다. 3개의 기준 전류 I_r 은, 전류 분배 회로(3)에서 분배된 자기에게 할당된 출력 단자에 대응하는 기준 전류 I_r , 이것에 인접하는 양측의 출력 단자에 대응하는 2개의 기준 전류 I_r 의 각각이다.

<56> 도 2에 도시하는 바와 같이, 링 카운터(7)는, 3단의 플립플롭 FF로 이루어지고, 입력과 출력이 접속된 것으로서, 컨트롤 회로(12)로부터의 로우 클럭 RCLK에 따라(혹은 리세트 컨트롤 펄스 RS)에 따라, 초단에 세트된 비트 "1"을 순차적으로 차단으로 시프트 하여, 최종단에 있는 비트는 초단으로 되돌리어 순차적으로 비트 "1"을 순환시킨다.

<57> 링 카운터(7)의 각 단의 출력은, 각 멀티플렉서(4a~4m, 4da, 4dm)(도 2 참조)에 기준 전류 절환 펄스 SEL로서 송출된다. 이 기준 전류 절환 펄스 SEL은, 3개의 단자 선택 펄스 SEL1, SEL2, SEL3으로 이루어진다.

- <58> 또한, 로우 클럭 RCLK(도 3(b) 참조)도 리셋 컨트롤 펄스 RS(도 3 참조)도 수평 주사를 위한 컨트롤 신호로서, 수평 1 라인의 주사 주파수에 대응하고 있다. 따라서, 링 카운터(7)는, 로우 클럭 RCLK에 따라 비트 "1"을 시프트시킨다.
- <59> 도 1로 되돌아가서, 도 1에 도시하는 전류원(3a~3m)은, 커런트 미러 회로(3)의 출력측 트랜지스터 Trb~Trn을 전류원으로서 각각 나타낸 것이다. 전류원(3a)이 출력측 트랜지스터 Trb에 대응하고, 전류원(3b)이 출력측 트랜지스터 Trc에 대응하고, 이하 순서대로 전류원(3m)이 출력측 트랜지스터 Trn에 대응한다.
- <60> 도 1, 도 4에 도시하는 바와 같이, 컬럼 드라이버(10)에는 출력 단자 Xa~Xm에 대응하는 출력 외에, 더미 출력 단자 Xda, Xdm을 갖는 더미 회로(Da, Dm)가 설치되어 있다. 더미 회로(Da, Dm)는, 최초의 멀티플렉서(4a)와 최후의 멀티플렉서(4m)에는 인접하는 출력 단자가 없으므로, 인접하는 것으로서 각각에 설치된다.
- <61> 기준 전류 절환 회로(4)는, 출력 단자 Xa~Xm에 각각 대응하는 멀티플렉서(4a~4m)와 더미 출력 단자 Xda~Xdm에 대응하여 설치된 멀티플렉서(4da, 4dm)로 이루어진다. 이 더미 출력 단자 Xda~Xdm은, 출력 단자 Xa~Xm에 대응하는 멀티플렉서(4a~4m)가, 각 출력 단자 Xa~Xm 중 자기에게 할당된 출력 단자에 대응하는 기준 전류 Ir과 이에 인접하는 양측의 출력 단자에 대응하는 2개의 기준 전류 Ir의 합계 3개 중 1개를 선택할 수 있도록 하기 위해서이다. 그 때문에, 출력 단자 Xa의 앞과 출력 단자 Xm의 뒤에 더미 출력 단자와 멀티플렉서(4da, 4dm)가 필요하게 된다.
- <62> 더미 회로(Da, Dm)는, 각각 커런트 미러 회로(3)의 출력측으로서 트랜지스터 Trb의 바로 앞에 더미의 출력측 트랜지스터 Tda가 설치되고, 트랜지스터 Tm의 뒤에 더미의 출력측 트랜지스터 Tdm가 설치되어 있다. 이들 트랜지스터의 각각을 전류원(3da, 3dm)으로서 나타내고 있다.
- <63> 또한, 도 4에서는, 더미 회로(Da, Dm)는, 설명의 형편상, 이러한 배치로는 되어 있지 않지만, 여기에서의 전류원(3a~3m)과 전류원(3da, 3dm)은, 각각에 커런트 미러 회로(3)의 출력측 트랜지스터로서, 각각 분배된 기준 전류 Ir을 발생하는 본 발명에서의 전류 발생 회로에 상당한다.
- <64> 이들 전류원(3da, 3dm)에 대응하여 D/A(5)와 출력단 전류원(6)이 마찬가지로 더미 회로로서 설치되고, 그리고, 더미 회로로서의 출력단 전류원(6)의 출력은, 더미의 출력 단자 Xda, Xdm에 각각 접속되어 있다.
- <65> 각 멀티플렉서(4a~4m)와 멀티플렉서(4da, 4dm)는, 각각 3입력-1출력의 선택 회로이다. 3개의 입력 단자는, 출력 단자 Xa~Xm에 각각 대응하는 커런트 미러 회로(3)의 출력측 트랜지스터 Trb~Trm의 출력(드레인)과 이들 트랜지스터의 최초와 최후의 트랜지스터의 양측에 배치되어 있는 더미 출력 단자 Xda, Xdm에 대응하는 출력측 트랜지스터 Tda, Tdm의 출력(드레인)과의 트랜지스터 배열에서 트랜지스터의 출력이 순차적으로 1개씩 어긋나서 3개 단위로 각 멀티플렉서의 3입력에 순차적으로 접속되어 있다. 각 멀티플렉서(4a~4m)의 출력은, 출력 단자 Xa~Xm 중 자기에게 할당된 출력 단자에 대응하는 D/A(5)의 입력에 각각 접속되어 있다.
- <66> 또한, 멀티플렉서(4da, 4dm)는, 최초의 입력 단자와 최후의 입력 단자가 접지되어 있다.
- <67> 멀티플렉서(4a)는, 링 카운터(7)로부터의 기준 전류 절환 펄스 SEL(단자 선택 펄스 SEL1, SEL2, SEL3)에 따라 순환적으로 순서대로 3개의 입력 단자 중의 1개를 선택하고, 각 출력 단자 Xa~Xm 중 자기에게 할당된 출력 단자에 대응하는 전류원(3a)과, 그 양측에 있는 출력 단자에 대응하는 전류원(3da)과 전류원(3b)으로부터 발생하는 각 기준 전류 Ir 중 1개를 자기의 출력 단자에 접속된 D/A(5)(자기에게 할당된 출력 단자에 대응하는 것)에 송출한다.
- <68> 마찬가지로, 멀티플렉서(4b)는, 링 카운터(7)로부터의 기준 전류 절환 펄스 SEL에 따라 순환적으로 순서대로 3개의 입력 단자 중의 1개를 선택하여, 자기에게 할당된 출력 단자에 대응하는 전류원(3b)과, 그 양측에 있는 출력 단자에 대응하는 전류원(3a)과 전류원(3c)으로부터 발생하는 각 기준 전류 Ir 중 1개의 자기의 출력 단자에 접속된 D/A(5)(자기에게 할당된 출력 단자에 대응하는 것)에 송출한다.
- <69> 이하, 마찬가지로 하여, 최후의 멀티플렉서(4m)는, 링 카운터(7)로부터의 기준 전류 절환 펄스 SEL에 따라 순환적으로 순서대로 3개의 입력 단자 중의 1개를 선택하여, 전류원(3m-1)과 전류원(3m)과 전류원(3dm)으로부터 발생하는 각 기준 전류 Ir 중 1개를 자기의 출력 단자에 접속된 D/A(5)(자기에게 할당된 출력 단자에 대응하는 것)에 송출한다.
- <70> 도 2는, 기준 전류 절환 회로(4)에서의 멀티플렉서와 링 카운터와의 접속 관계의 설명도이다.
- <71> 각 멀티플렉서(4a~4m)와 멀티플렉서(4da, 4dm)와의 각각과 링 카운터(7)와의 접속 관계는 동일하므로, 이들을

대표하여 1개의 멀티플렉서(40)로 하고, 멀티플렉서(40)와 링 카운터(7)와의 접속 관계를 도 2에 도시하고 있다.

- <72> 링 카운터(7)는, 도 2에 도시하는 바와 같이, 3단의 플립플롭의 최종단의 출력이 초단의 입력에 귀환하도록 접속된 것으로서, 그 초단의 출력으로부터 단자 선택 펄스 SEL1이 발생한다. 차단의 출력으로부터 단자 선택 펄스 SEL2가 발생한다. 그리고, 최종단의 출력으로부터 단자 선택 펄스 SEL3이 발생한다.
- <73> 링 카운터(7)는, 로우 클럭 RCLK(혹은 리셋 컨트롤 펄스 RS)를 받아 "1"을 차단에 비트 시프트하므로, 단자 선택 펄스 SEL1, SEL2, SEL3은, 그 중 1개가 순서대로 "1" 혹은 "H"(HIGH 레벨)로 되고, 나머지 2개의 단자 선택 펄스가 "0" 혹은 "L"(LOW 레벨)로 된다. 이에 의해, 3개의 입력 단자의 1개에 접속된 아날로그 스위치 SWA, SWB, SWC가 순서대로 ON으로 되고, 나머지 2개의 아날로그 스위치가 OFF로 된다.
- <74> 또한, 링 카운터(7)는, 수직 동기 신호에 해당하는 1프레임마다 발생하는 펄스인 로우 스캔 스타트 펄스 RSTP에 따라 기동된다(도 3(a) 참조).
- <75> 멀티플렉서(40)는, 3개의 입력 단자 A, B, C와 1개의 출력 단자 D를 가지고 있다. 입력 단자 A, B, C와 출력 단자 D 사이에는 입력 단자 A, B, C에 대응하여 각각에 트랜스미션 게이트 등의 아날로그 스위치 SWA, SWB, SWC가 각각 설치되어 있다. 출력 단자 D가 각 출력 단자 $X_a \sim X_m$ 중 자기에게 할당된 출력 단자에 대응하는 D/A(5)에 접속되고, 입력 단자 B가 자기에게 할당된 출력 단자에 대응하는 전류원(3i)에 접속되고, 입력 단자 A, C가 이것에 인접하는 출력 단자에 대응하는 도면에서의 좌우의 전류원(3i-1, 3i+1)에 각각 접속되어 있다.
- <76> 다음으로, 기준 전류 절환 회로(4)의 동작을 중심으로 한 전체적인 구동 동작에 대해 설명한다.
- <77> 도 3(a)에 도시하는 로우 스캔 스타트 펄스 RSTP에 따라 링 카운터(7)의 초단에는, 컨트롤 회로(12)(혹은 MPU(11))로부터 "1"이 세트된다. 이 "1"이 도 3(b)에 도시하는 로우 클럭 RCLK에 따라 순차적으로 각 단을 순환해 간다. 또한, 도 3(c)는, 리셋 컨트롤 펄스 RS이다.
- <78> 그 결과, 도 3(d)~(f)에 도시하는 바와 같이, 로우 클럭 RCLK의 상승에 따라 단자 선택 펄스 SEL1, SEL2, SEL3의 1개가 순차적으로 "H"로 되고, 나머지는 "L"로 된다.
- <79> 이에 의해 아날로그 스위치 SWA, SWB, SWC의 순으로 이들 중 1개가 로우 클럭 RCLK에 따라 순서대로 ON으로 되고, 나머지가 OFF로 된다. 도 3(g)에 도시하는 3개분의 로우 라인 출력(수평 방향 1 라인의 로우측의 주사)에 대응하여 각 멀티플렉서(40)의 3개의 입력 단자 A, B, C의 1개가 순서대로 선택되어 출력 단자 D에 접속된다.
- <80> 즉, 각 멀티플렉서(4a~4m)는, 단자 선택 펄스 SEL1, SEL2, SEL3에 의해 동시에 입력 단자 A, B, C 중의 동일한 입력 단자 측으로 한번에 절환된다. 이에 의해 각 멀티플렉서에서 동일한 입력 단자가 동시에 선택된다. 단자 선택 펄스 SEL1, SEL2, SEL3은, 예를 들면 각 멀티플렉서의 입력 단자를 A, B, C, A, B, C, ...의 순으로 절환한다고 하면, 이에 의해 각 멀티플렉서(4a~4m)가, 예를 들면 전류원(3i-1), 전류원(3i), 전류원(3i+1), 전류원(3i-1), 전류원(3i), 전류원(3i+1), ... (단, $i=a \sim m$, $3a-1=3da$, $3m+1=3dm$)의 순으로 입력측의 전류원을 순차적으로 선택하고, 이 선택이 반복되게 된다.
- <81> 그 결과, 기준 전류 절환 회로(4)는, 3개분의 수평 1 라인의 로우측 주사(수직 방향 주사)를 단위로 하여 각 출력 단자 $X_a \sim X_m$ 중 자기에게 할당된 출력 단자에 대응하는 전류원(3i)으로부터의 기준 전류 I_r 과, 그 양측에 있는 출력 단자에 대응하는 전류원(3i-1, 3i+1)으로부터의 각 기준 전류 I_r 의 3개 중 1개를 순서대로 선택하여 자기에게 할당된 출력 단자에 대응하는 D/A(5)에 선택한 기준 전류 I_r 을 수평 1 라인의 주사 기간+귀선 시간 동안, 송출한다.
- <82> 또한, 로우 라인 출력은, 수평 1 라인 분의 OEL 소자의 음극측을 소정의 전위에 동시에 접속하는 것으로서, 통상적으로, 이 출력에 의해, 수평 1 라인 분의 OEL 소자의 음극측이 그라운드 GND에 접속되고, 리셋 컨트롤 펄스 RS 혹은 리셋 펄스에 의한 각 출력 단자 $X_a \sim X_m$ 의 리셋 후에 각 전류원(3a~3m, 3da, 3dm)으로부터 구동 전류가 컬럼 라인의 각 출력 단자에 송출된다.
- <83> 또한, 수평 1 라인 분의 다수의 컬럼 핀에 각각 접속되는 각 출력 단자는, 컬럼 핀 수가 많으므로, 현재는 복수의 컬럼 드라이버(10)가 담당하게 된다.
- <84> 그런데, 이 실시예에서는, 로우 클럭 RCLK의 상승에 따라 단자 선택 펄스 SEL1, SEL2, SEL3의 1개가 순차적으로 "H"로 되고, 나머지는 "L"로 되는 절환이 행해진다. 그러나, 도 3(c)에 도시하는 바와 같이, 리셋 컨트롤 펄스 RS의 상승도 로우 클럭 RCLK와 동일하므로, 로우 클럭 RCLK로 바꿔, 리셋 컨트롤 펄스 RS의 상승에 따라

기준 전류 절환 펄스 SEL(SEL1, SEL2, SEL3)를 발생시켜도 된다.

- <85> 이와 같이, 각 D/A(5)는, 수직 방향 주사(로우측 주사)에서의 3개 단위의 로우 라인(수평 라인)의 주사에 따라 각 출력 단자 Xa~Xm 중 자기에게 할당된 출력 단자에 대응하는 전류원(3i)과 자기에 인접하는 좌우의 전류원(3i-1, 3i+1)으로부터 각각에 기준 전류 Ir을 받는다.
- <86> 그 결과, 각각의 출력 단자 Xa~Xm에는, 수직 방향 주사(로우측 주사)에서의 3개 단위의 로우 라인(수평 라인)의 주사에서 1 수평 라인을 단위로 하여 시분할로 선택된 기준 전류 Ir에 의해 발생한 구동 전류가 흐른다. 따라서, 기준 전류 Ir이 시간적으로 평균화되고, 출력 단자 Xa~Xm의 기준 전류 Ir에 의해 발생하는 구동 전류로 구동되는 OEL 소자의 휘도는, 수평 3 라인에서의 각각의 3개의 구동 전류에 의한 그때마다의 휘도 불균일이 시간적으로 적분되어 수평 3 라인을 단위로 하여 휘도 불균일이 평균된 휘도로 된다.
- <87> 이에 의해, 이 실시예에서는, 출력 단자에 대응하는 각 기준 전류에 변동이 있거나 혹은 D/A의 전류 변환 정밀도가 다소 나빠서 출력 단자 상호 간의 구동 전류에 변동이 발생해도 OEL 소자의 휘도 변동이나 휘도 불균일이 저감된다.
- <88> 특히, 이 실시예에서는, 기준 전류 절환 회로(4)가 커런트 미러 회로(3)와 D/A(5) 사이에 설치되어 있다. 이에 의해, 절환되는 전류치는, 기준 전류로서 μ A 정도의 작은 전류치로 되므로, 절환에 의한 노이즈는 거의 없고, 또한, 절환에 의해 발생하는 쓸데없는 전력 소비를 저감할 수 있다. 또한, 절환되는 전류치가 작음으로써, 트랜스미션 게이트 등의 아날로그 스위치 SWA, SWB, SWC의 회로 규모는 작게 된다.
- <89> 그 결과, 기준 전류 절환 회로(4)의 회로 규모를 억제할 수 있다.
- <90> 그런데, 실시예의 전류 분배 회로(3)는, 입력측의 기준 전류 Ir과 동일한 값의 기준 전류 Ir을 D/A의 기준 전류로서 분배하고 있지만, 각 출력 단자 대응으로 분배되는 기준 전류는, 기준 전류 Ir을 증폭한 것이어도 되고, 반드시 입력측의 기준 전류 Ir과 동일한 값일 필요는 없다.
- <91> 또한 실시예는, 3개의 로우측의 주사 라인(수평 1 라인)을 단위로 하여 3개의 기준 전류에 대해 멀티플렉서에서 선택하고 있지만, 선택하는 개수는, 3으로 한정되는 것이 아니고, 복수이면 기준 전류값 Ir이 시간적으로 평균화되고, 휘도 불균일이 시간적으로 적분되어 휘도 불균일을 평균화하는 것이 가능하다.
- <92> 또한, 실시예에서는, 멀티플렉서의 절환 타이밍을 수평 1 라인을 단위로 하고 있지만, 멀티플렉서의 절환은, 복수의 로우측의 주사 라인을 단위로서 $n \times$ 수평 1 라인의 기간(시간)마다 행해도 된다. 모든 로우 라인의 주사 기간(시간)을 단위로 하여 프레임 단위로 로우 스캔 스타트 펄스 RSTP에 따라 혹은 프레임 단위로 수직 동기 신호에 따라 멀티플렉서의 절환을 행할 수도 있다. 따라서, 멀티플렉서의 절환은, 적어도 수평 1 라인의 로우측 주사(수직 방향 주사)에서의 주사에 대응하여 절환되면 된다.
- <93> 또한, 실시예에서는, 링 카운터(7)는, 비트 "1"을 시프트하고 있지만, 링 카운터(7)의 각 단을 올 "1"로 리셋하여 비트 "0"을 시프트 하도록 해도 된다. 이 경우에는 "H", "L"이 반대이므로, 필요에 따라 인버터를 설치하여 아날로그 스위치 SWA, SWB, SWC를 순차적으로 ON으로 하면 된다.
- <94> 그런데, 실시예에서는, 컬럼 드라이버(10)는 1개만 도시되어 있지만, 수평 방향 1 라인 분의 수의 유기 EL 패널의 컬럼 핀은, 복수의 컬럼 드라이버(10)의 각 출력 단자에 할당되고, 복수의 컬럼 드라이버(10)에서 1개의 유기 EL 패널의 컬럼 방향의 구동을 담당하는 경우가 많다. 따라서, 본 발명은, 컬럼 드라이버(10)가 복수개 설치되어 있어도 되는 것은 물론이다.

산업상 이용 가능성

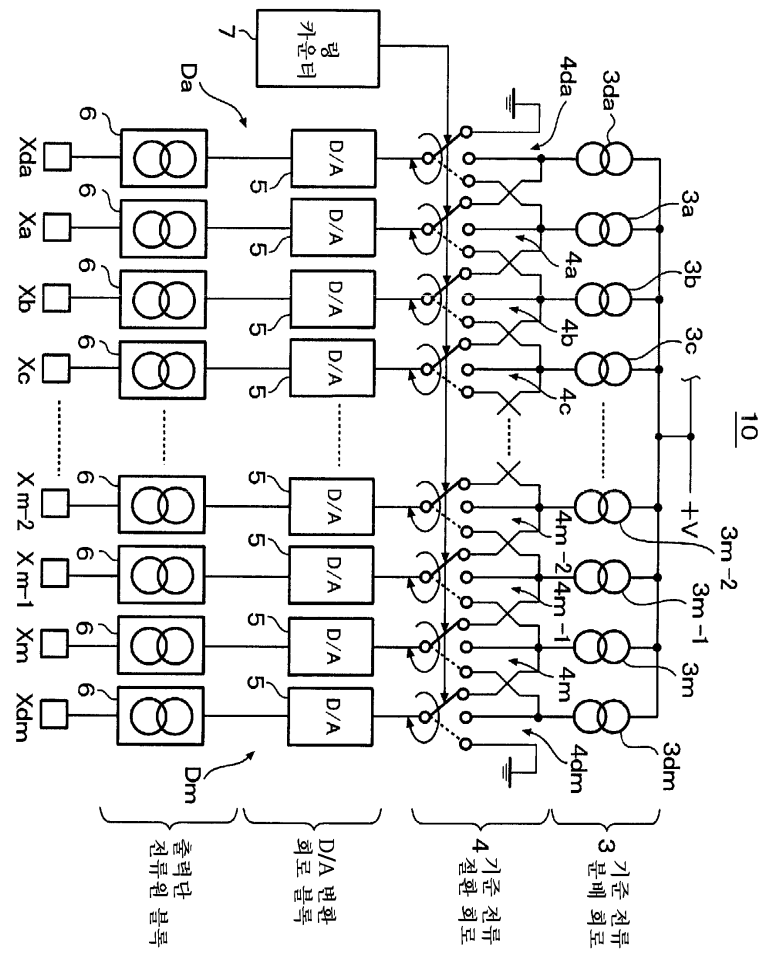
- <95> 이상 설명해 왔지만, 실시예에서는, R, G, B에 관한 회로는 기재하고 있지 않으나, 본 발명은, R, G, B에 대응하여 기준 전류 설정 회로(2), 전류 분배 회로(3), 기준 전류 절환 회로(4), D/A 변환 회로(D/A)(5), 출력단 전류원(6)이 설치되어 있어도 되는 것은 물론이다.
- <96> 또한, 본 발명은, 기준 전류에 대해 로우측 주사에 따라 시간적으로 평균화하는 것이므로, 패시브 매트릭스형의 유기 EL 패널에 한정되지 않고, 구동 전류로 픽셀 회로의 컨덴서를 충전하는 액티브 매트릭스형의 유기 EL 패널에 대해서도 적용할 수 있는 것은 물론이다.
- <97> 또한, 출력단 전류원은, 전류 토출형의 것에 한정되지 않고, 전류 싱크형의 것이어도 되는 것은 물론이다.

도면의 간단한 설명

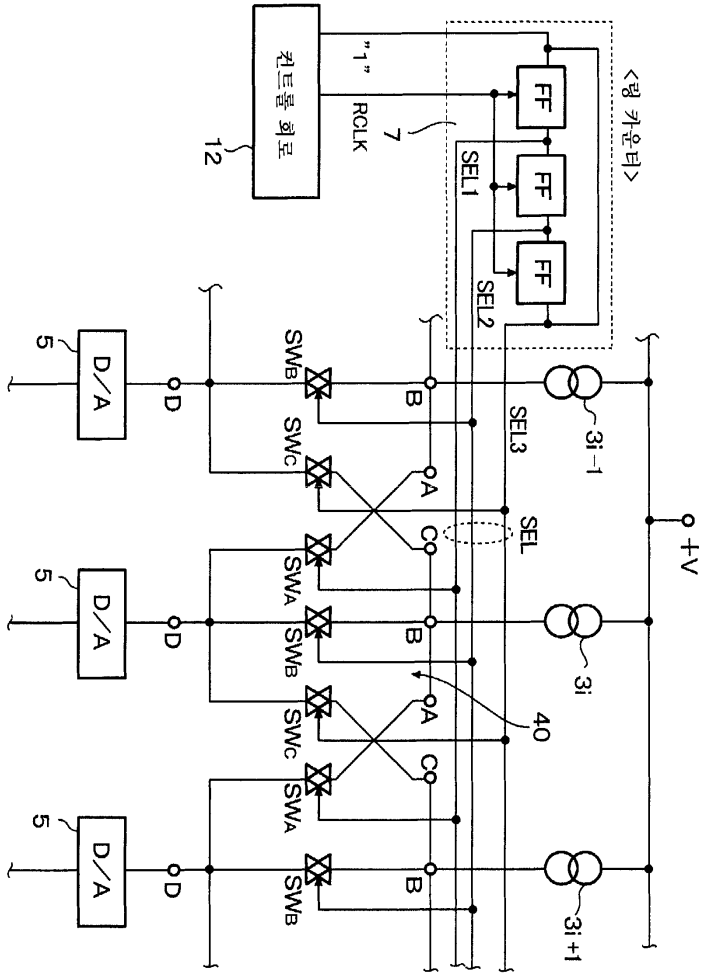
- <25> 도 1은, 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 유기 EL 패널의 컬럼 드라이버에서의 기준 전류 절환 회로를 중심으로 하는 블록도.
- <26> 도 2는, 기준 전류 절환 회로에서의 멀티플렉서와 링 카운터의 접속 관계의 설명도.
- <27> 도 3은, 기준 전류 절환 처리의 타이밍 신호의 설명도.
- <28> 도 4는, 유기 EL 패널의 컬럼 드라이버를 중심으로 하는 전체적인 블록도.
- <29> <도면의 주요부분에 대한 부호의 설명>
- <30> 1:기준 전류 발생 회로
- <31> 2:기준 전류 생성 회로
- <32> 3:전류 분배 회로
- <33> 4:기준 전류 절환 회로
- <34> 5:D/A 변환 회로(D/A)
- <35> 6:출력단 전류원
- <36> 7:링 카운터
- <37> 8:레지스터
- <38> 10:컬럼 IC 드라이버
- <39> 11:MPU
- <40> 12:컨트롤 회로
- <41> 4a~4m, 4da, 4dm, 40:멀티플렉서

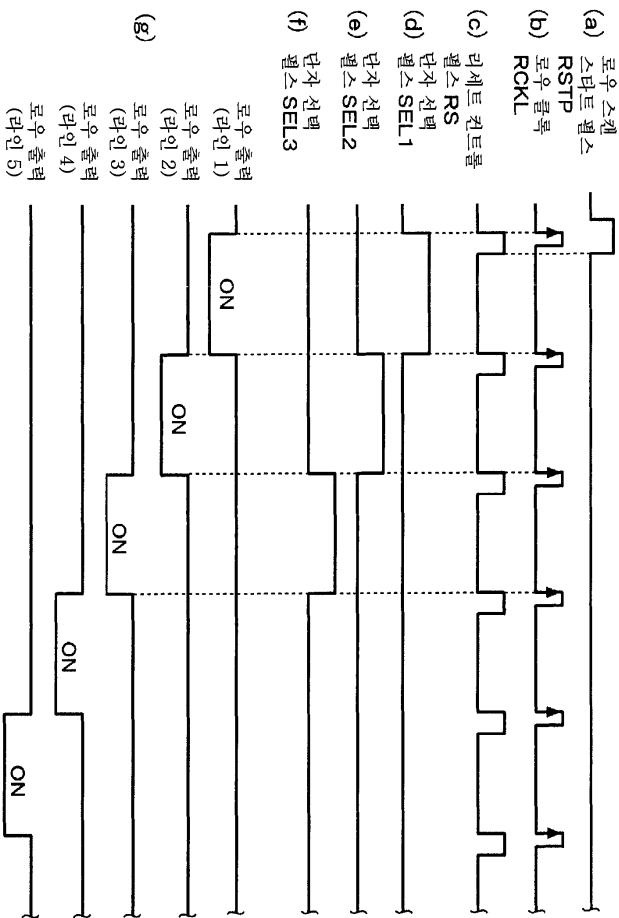
도면

도면1



도면2





도면3

专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	KR100809187B1	公开(公告)日	2008-03-03
申请号	KR1020067019750	申请日	2005-03-22
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	MAEDE JUN 마에데준 ABE SHINICHI 아베신이찌		
发明人	마에데,준 아베,신이찌		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/08		
CPC分类号	G09G3/3283 G09G2310/027 G09G2320/0233		
代理人(译)	Jangsugil Yijunghui		
优先权	2004087014 2004-03-24 JP		
其他公开文献	KR1020060135835A		
外部链接	Espacenet		

摘要(译)

选择电路 (4) 设置在相应于驱动器 (10) 的输出端子 (X) 和电流源 (5,6) 设置的电流产生电路 (3) 之间。根据行侧选择与每个选择电路 (4b) 对应的电流生成电路 (3b) 的预定电流或者与电流生成电路 (3b) 相邻的电流生成电路 (3a, 3c) 的预定电流扫描。结果,即使每个电流产生电路 (3) 的参考电流存在变化,或者即使用于根据参考电流转换显示数据的D / A (5) 的电流转换精度稍低,有机EL显示器的亮度变化和亮度不规则性降低,同时抑制电路规模的增加。©KIPO & WIPO 2007

