

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.
H05B 33/26 (2006.01)

(45) 공고일자 2006년06월15일
(11) 등록번호 10-0590249
(24) 등록일자 2006년06월08일

(21) 출원번호 10-2002-0062468
(22) 출원일자 2002년 10월 14일

(65) 공개번호 10-2004-0033395
(43) 공개일자 2004년04월28일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자

서창수
경기도수원시권선구권선동1188번지성지아파트105동605호

배성식
경기도수원시팔달구영통동황골마을주공1단지아파트황골1주공아파트
104-1603

정창용
경기도수원시팔달구영통동1043-8301호

(74) 대리인 박상수

심사관 : 최창락

(54) 유기전계 발광표시장치 및 그의 제조방법

요약

본 발명은 공정을 단순화하고 기생캐패시턴스를 감소시킬 수 있는 액티브 매트릭스 유기전계 발광표시장치 및 그의 제조 방법에 관한 것이다.

본 발명의 액티브 매트릭스 유기전계 발광표시장치는 절연기판상에 형성되어 소오스/드레인용 불순물영역을 구비한 반도체층과; 기판전면상에 형성된 게이트절연막과; 상기 게이트 절연막상에 형성된 게이트 전극 및 소오스/드레인전극과; 기판전면에 형성되고, 상기 소오스/드레인영역과 소오스/드레인전극을 각각 노출시키는 다수의 콘택홀을 구비한 절연막과; 상기 절연막상에 형성된 화소전극과; 상기 다수의 콘택홀을 통해 각각소오스/드레인용 불순물영역과 소오스/드레인전극을 각각 연결하기 위한 다수의 연결라인을 구비하며, 상기 연결라인중 하나는 상기 화소전극에 연결되어진다.

본 발명은 게이트전극과 소오스/드레인전극을 게이트절연막상에 동시에 형성하여 줌으로써 공정을 단순화하고, 소오스/드레인전극과 캐소드전극간의 기생 캐패시턴스를 감소시켜 줄 수 있다.

대표도

도 3e

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스 유기전계 발광표시장치의 단면구조를 도시한 도면,

도 2는 본 발명의 실시예에 따른 유기전계 발광표시장치의 평면구조를 도시한 도면,

도 3a 내지 도 3e는 본 발명의 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정단면도,

도면의 주요 부분에 대한 부호의 설명

200 : 구동 트랜지스터 300 : 스위칭 트랜지스터

400 : 캐패시터 220, 320 : 반도체층

500 : 게이트라인 510 : 데이터라인

520 : 전원공급라인 420, 430 : 캐패시터 하부 및 상부전극

230 : 게이트 231, 235 : 소오스/드레인전극

240 : 보호막 241 - 246, 251 - 255 : 콘택홀

250 : 애노드전극 255 : 개구부

251, 252 : 연결라인 260 : 평탄화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스형 평판표시장치에 관한 것으로서, 보다 상세하게는 공정을 단순화하고 기생 캐패시턴스를 감소시킬 수 있는 액티브 매트릭스 유기전계 발광표시장치 및 그의 제조방법에 관한 것이다.

도 1은 종래의 액티브 매트릭스 유기전계 발광표시장치의 단면구조를 도시한 것이다.

도 1을 참조하면, 절연기판(100)상에 버퍼층(110)을 형성하고, 상기 버퍼층(110)상에 제1마스크(도면상에는 도시되지 않음)를 이용하여 폴리실리콘막으로 된 반도체층(120)을 형성한다. 상기 반도체층(120)을 포함한 기판전면에 게이트 절연막(115)을 형성하고, 상기 게이트 절연막(115)상에 게이트전극물질을 증착한 다음 제2마스크(도면상에는 도시되지 않음)를 이용하여 패터닝하여 게이트(130)를 형성한다. 이때, 도면상에는 도시되지 않았으나, 게이트(130) 형성시, 캐패시터의 하부전극과 게이트라인이 동시에 형성되어진다.

상기 게이트(130)를 마스크로 하여 상기 반도체층(120)으로 소정 도전형을 갖는 불순물, 예를 들어 p형 불순물을 이온주입하여 고농도 소오스/드레인영역(121), (125)을 형성한다. 상기 게이트(130)를 포함한 게이트 절연막(115)상에 층간 절연막(140)을 증착하고, 제3마스크(도면상에는 도시되지 않음)를 이용하여 상기 층간 절연막(140)을 패터닝하여 상기 소오스/드레인영역(121), (125)을 각각 노출시키는 콘택홀(141), (145)을 형성한다.

기관전면에 소오스/드레인 전극물질을 증착한 다음 제4마스크(도면상에는 도시되지 않음)를 이용하여 패터닝하여 상기 콘택홀(141), (145)을 통해 상기 소오스/드레인 영역(121), (125)에 연결되는 소오스/드레인 전극(151), (155)을 형성한다. 이때, 도면상에는 도시되지 않았으나, 상기 소오스/드레인 전극(151), (155) 형성시, 전원전압(Vdd)을 제공하기 위한 전원공급선과 데이터라인이 동시에 형성되어진다.

다음, 기관전면에 보호막(160)을 증착한 다음, 제5마스크(도면상에는 도시되지 않음)를 이용하여 상기 보호막(160)을 식각하여 상기 소오스/드레인 전극(151), (155)중 하나, 예를 들어 드레인전극(155)을 노출시키는 비어홀(165)을 형성한다. 상기 보호막(160)상에 투명도전막, 예를 들어 ITO막을 증착한 다음 제6마스크(도면상에는 도시되지 않음)를 이용하여 상기 ITO막을 패터닝하여 상기 비어홀(165)을 통해 상기 드레인전극(155)과 연결되는 애노드전극(170)을 형성한다.

기관전면에 평탄화막(180)을 증착한 다음 제7마스크(도면상에는 도시되지 않음)를 이용하여 상기 평탄화막(180)을 식각하여 상기 애노드전극(170)의 일부분을 노출시키는 개구부(185)를 형성한다. 이어서, 상기 개구부(185)내의 애노드전극(170)상에 EL층(190)을 형성한 다음 캐소드전극(195)을 형성하면 종래의 액티브 매트릭스 유기전계 발광표시장치가 제조된다.

그러나, 상기한 바와같은 종래의 액티브 매트릭스 유기전계 발광표시장치는 총 7매의 마스크를 이용하여 제작하기 때문에 공정이 복잡할 뿐만 아니라 캐소드전극이 기관전면에 형성되므로 하부의 금속배선과의 기생 캐패시턴스가 발생하는 문제점이 있었다. 또한 종래의 방법을 이용하여 CMOS 박막 트랜지스터 유기전계 발광표시장치를 제조하는 경우에는 n-형 저농도 불순물영역과 n+ 형 고농도 불순물영역을 형성하기 위한 2매의 마스크공정이 추가되어 9매의 마스크공정을 수행하여야 하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와같은 종래기술의 문제점을 해결하기 위한 것으로서, 공정을 단순화한 액티브 매트릭스 유기전계 발광표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 금속배선간의 기생캐패시턴스를 감소시킬 수 있는 유기전계 발광표시장치를 제공하는 데 있다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 절연기관상에 형성되어 소오스/드레인용 불순물영역을 구비한 반도체층과; 기관전면상에 형성된 게이트절연막과; 상기 게이트 절연막상에 형성된 게이트 전극 및 소오스/드레인전극과; 기관전면에 형성되고, 상기 소오스/드레인영역과 소오스/드레인전극을 각각 노출시키는 다수의 콘택홀을 구비한 절연막과; 상기 절연막상에 형성된 화소전극과; 상기 다수의 콘택홀을 통해 각각소오스/드레인용 불순물영역과 소오스/드레인전극을 각각 연결하기 위한 다수의 연결라인을 구비하며, 상기 연결라인중 하나는 상기 화소전극에 연결되는 평판표시장치를 제공하는 것을 특징으로 한다.

상기 게이트전극과 상기 소오스/드레인 전극은 동일물질로 이루어지며, Mo, MoW, AlNd, AlMo, Al/MoW, Ti/Al/Ti, Cr, Al/Ta, Al 합금중 하나로 이루어진다. 상기 절연막으로 수분 또는 이동 불순물에 대해 강한 저항성을 갖는 물질로, SiNx, SiO₂/SiNx, SiON 중 하나로 이루어진다.

또한, 본 발명은 절연기관상에 반도체층을 형성하는 단계와; 기관전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막상에 게이트전극 및 소오스/드레인전극을 형성하는 단계와; 상기 반도체층에 소정 도전형의 소오스/드레인영역을 형성하는 단계와; 기관전면에 절연막을 형성하는 단계와; 상기 절연막을 식각하여 상기 소오스/드레인영역과 소오스/드레인전극을 노출시키는 다수의 콘택홀을 각각 형성하는 단계와; 상기 소오스/드레인전극중 하나와 연결되는 화소전극 및 상기 소오스/드레인영역과 소오스/드레인전극을 콘택홀을 통해 각각 연결하기 위한 다수의 연결라인을 형성하는 단계를 포함하며, 상기 화소전극은 다수의 연결라인중 하나와 연결되는 평판표시장치의 제조방법을 제공하는 것을 특징으로 한다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 2는 본 발명의 일 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치의 평면구조를 도시한 도면이다. 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 액티브 매트릭스 유기전계 발광표시장치의 제조방법을 설명하기 위한 단면구조를 도시한 것으로서, 도 2의 3A-3A' 선에 따른 단면도이다.

도 2를 참조하면, 본 발명의 실시예에 따른 유기전계 발광표시장치는 게이트라인(500), 데이터라인(510) 및 전원공급라인(520)에 의해 정해지는 화소영역에 2개의 트랜지스터(200), (300)와 하나의 캐패시터(400) 및 화소전극(250)을 구비한 단위화소가 형성되어진다.

상기 게이트라인(500), 데이터라인(510) 및 전원공급라인(520)은 동일 층상에 형성되고, 게이트라인(500)이 상기 데이터라인(510) 및 전원공급라인(520)과 교차하도록 형성되므로, 데이터라인(510)과 전원공급라인(520)은 각각 게이트라인(500)에 의해 제1라인과 제2라인(511, 512), (521, 522)으로 분리되어 각각의 연결라인(255), (253)에 의해 서로 연결되어진다.

스위칭 트랜지스터(300)의 소오스영역(321)은 소오스전극으로 작용하는 데이터라인(510)의 제1라인(511)과 콘택홀(344), (341)를 통해 연결라인(254)에 의해 연결되고, 드레인영역(325)은 드레인전극으로 작용하는 캐패시터(400)의 제2전극(430)과 콘택홀(342), (343)을 통해 연결라인(256)에 의해 연결된다.

구동 트랜지스터(200)의 소오스영역(221)은 소오스전극으로 작용하는 전원공급라인(520)의 제2라인(525)과 콘택홀(241), (242)을 통해 연결라인(251)에 의해 연결되어 캐패시터(400)의 하부전극(420)으로 전원전압(Vdd)을 공급하고, 드레인영역(225)은 드레인전극(244)과 콘택홀(243), (244)을 통해 연결라인(252)에 의해 연결되어 화소전극(250)에 연결되도록 한다.

이하 도2 및 도 3a 내지 도 3b를 참조하여 본 발명의 액티브 매트릭스 유기전계발광표시장치의 제조방법을 설명하면 다음과 같다.

도 3a를 참조하면, 절연기판(205)상에 기판으로부터 반도체층으로의 불순물이 침투하는 것을 차단하기 위한 버퍼층(210)을 1000 내지 3000 Å의 두께로 형성한다. 상기 버퍼층(210)으로 산화막 또는 산화막/질화막의 적층막을 사용한다. 상기 버퍼층(210)상에 비정질 실리콘막을 증착한 다음 고상결정화(SPC, solid phase crystallization) 또는 레이저어닐링(ELA, Eximer laser annealing) 등과 같은 방법으로 폴리실리콘막으로 결정화하고, 제1마스크(도면상에는 도시되지 않음)를 이용하여 상기 폴리실리콘막을 패터닝하여 반도체층(220)을 형성한다.

상기 구동 트랜지스터(200)의 반도체층(220)을 형성할 때, 상기 구동 트랜지스터(200)의 반도체층(220)과 연결되는 캐패시터(300)의 제1전극(420) 및 스위칭 트랜지스터(300)의 반도체층(320)이 동시에 형성되어진다.

도 3b를 참조하면, 기판전면에 산화막과 같은 게이트 절연막(215)을 형성한 다음, 그위에 게이트 및 소오스/드레인전극용 금속층을 증착한다. 상기 게이트 및 소오스/드레인 전극용 금속층을 제2마스크(도면상에는 도시되지 않음)를 이용하여 패터닝하여 구동 트랜지스터(200)의 게이트전극(230)과 소오스/드레인전극(231), (235)을 형성한다.

이때, 상기 구동 트랜지스터(200)의 상기 게이트전극(230)에 연결되는 캐패시터(400)의 제2전극(430)이 상기 제1전극(410)과 오버랩되도록 형성됨과 동시에, 게이트라인(500), 데이터라인(510) 및 전원공급라인(520)이 형성된다.

통상적인 유기전계 발광표시장치에서는 데이터라인(510)과 전원공급라인(520)이 게이트라인(500)과 교차하는 구조로 서로 다른 층상에 형성되어 이웃하는 화소간에 서로 연결구성되었으나, 본 발명에서는 동일층, 즉 게이트 절연막(215)상에 데이터라인(510) 및 전원공급라인(520)과 게이트 라인(500)이 서로 교차하도록 형성된다.

이에 따라, 도 2에 도시된 바와같이 데이터라인(510)과 전원공급라인(520)은 게이트라인(500)에 의해 서로 분리 형성되어진다. 즉, 데이터라인(510)으로 게이트라인(500)에 의해 분리된 제1 및 제2라인(511), (515)이 형성되고, 전원공급라인(520)으로 게이트라인(500)에 의해 분리된 제1 및 제2라인(521), (525)이 형성된다.

상기 전원공급라인(520)중 제2라인(525)이 상기 구동 트랜지스터(200)의 소오스전극(231)으로 작용하며, 게이트라인(500)중 상기 반도체층(320)과 오버랩되는 부분이 스위칭 트랜지스터(300)의 게이트전극으로 작용한다. 또한, 데이터라인(510)의 제1라인(511)이 스위칭 트랜지스터(300)의 소오스전극으로 작용하며, 캐패시터(400)의 제2전극(430)이 드레인전극으로 작용한다.

이때, 상기 게이트전극(230) 및 소오스/드레인전극(231), (235)용 금속층으로는 Mo, MoW, AlNd, AlMo, Cr, Al 합금 등의 단일층 또는 Al/MoW, Ti/Al/Ti, Al/Ta 등의 적층구조가 사용될 수도 있다.

도 3c를 참조하면, 상기 게이트전극(230)을 마스크로 하여 반도체층(220)으로 소정도전형의 불순물, 예를 들어 p형 고농도 불순물을 이온주입하여 구동 트랜지스터(200)의 소오스/드레인영역(221), (225)을 형성한다. 이때, 스위칭 트랜지스터(300)의 반도체층에도 소오스/드레인영역(321), (325)이 형성된다.

이어서, 기판전면에 보호막(240)을 4000 내지 8000Å의 두께로 증착한다. 상기 보호막(240)은 SiNx, SiO₂/SiNx, SiON, PSG(phospho silicate glass) 등과 같이 수분이나 이동 불순물(mobile impurities) 등에 강한 저항성을 갖는 절연막을 사용한다.

제3마스크(도면상에는 도시되지 않음)를 이용하여 상기 보호막(240)을 패터닝하여 구동 트랜지스터의 소오스/드레인영역(221), (225)을 각각 노출시키는 콘택홀(241), (243)과 소오스/드레인 전극(231), (235)을 각각 노출시키는 콘택홀(242), (244)을 형성한다.

이와 동시에 스위칭 트랜지스터(300)의 소오스/드레인영역(321), (325)을 각각 노출시키는 콘택홀(341), (342)을 형성하고, 캐패시터(400)의 제2전극(430)을 노출시키는 콘택홀(343)을 형성하며, 데이터라인(510)의 제1 및 제2라인(511), (515)을 각각 노출시키는 콘택홀(344), (345) 및 전원공급라인(520)의 제1 및 제2라인(521), (525)을 각각 노출시키는 콘택홀(245), (246)을 형성한다.

도 3d를 참조하면, 기판전면에 애노드전극용 도전물질을 증착한 다음 제4마스크(도면상에는 도시되지 않음)를 사용하여 패터닝하여 애노드전극(250)과 다수의 연결라인(251)-(256)을 형성한다. 이때, 애노드전극(250)은 콘택홀(244)을 통해 구동 트랜지스터(200)의 드레인전극(235)에 연결되고, 상기 애노드전극(250)중 일부분(252)은 상기 드레인전극(235)과 드레인영역(225)을 콘택홀(243), (244)을 통해 연결하는 연결라인으로 작용한다.

다수의 연결라인중 연결라인(251)은 구동 트랜지스터(200)의 소오스영역(221)과 소오스전극(231)으로 작용하는 전원공급라인(520)의 제2라인(525)을 콘택홀(241), (242)을 통해 연결하는 역할을 하며, 연결라인(253)은 게이트 라인(500)에 의해 분리된 전원공급라인(521), (522)을 콘택홀(245), (246)을 통해 서로 연결하는 역할을 하고, 연결라인(254)은 소오스전극으로 작용하는 상기 데이터라인(510)의 제1라인(511)과 스위칭 트랜지스터(300)의 소오스영역(321)을 콘택홀(344), (341)을 통해 연결하는 역할을 한다.

또한, 연결라인(255)은 게이트 라인(500)에 의해 분리된 데이터라인(511), (515)을 콘택홀(344), (345)을 서로 연결하는 역할을 하며, 연결라인(256)은 스위칭 트랜지스터(300)의 드레인영역(325)과 드레인전극으로 작용하는 캐패시터(400)의 상부전극(430)을 콘택홀(342), (343)을 통해 연결하는 역할을 한다.

도 3e를 참조하면, 기판전면에 평탄화막(260)으로 아크릴, 폴리이미드 또는 BCB(benzocyclobutene) 등을 1μm 이상의 두께로 증착한다. 제5마스크(도면상에는 도시되지 않음)를 사용하여 애노드전극(250)의 일부분이 노출되도록 상기 평탄화막(260)을 식각하여 개구부(265)를 형성한 다음 큐어링한다. 이어서, 상기 개구부(265)를 통해 노출된 애노드전극(250)상에 유기 발광층(270)을 형성한 다음 기판전면에 캐소드전극(280)을 형성하여 액티브 매트릭스 유기전계 발광표시장치를 제조한다.

본 발명의 실시예에 따른 유기전계 발광표시장치가 배면발광구조를 갖는 경우, 상기 애노드전극(250)으로 ITO 와 같은 투명도전막을 사용하고, 상기 캐소드전극(290)으로 일함수가 낮은 불투명한 금속을 사용한다. 저항감소를 위하여 애노드전극(250)으로 ITO와 금속의 적층구조를 사용할 수도 있다. 애노드전극(250)으로 ITO와 금속의 적층구조를 사용하는 경우에는, 애노드전극 패터닝시 제4마스크로 하프톤 마스크를 사용하여 상부의 금속을 식각하여 하부 ITO를 노출시켜준다.

한편, 전면발광구조를 갖는 경우에는, 애노드전극으로 일함수가 높고 반사도가 좋은 Ni을 사용하여 Ni/Al/Ni의 적층막을 형성하고, 캐소드전극으로 일함수가 낮은 Ca를 300Å 정도의 두께로 형성하거나 또는 MgAg를 100 내지 200Å의 두께로 형성한다.

상기한 바와같은 구조를 갖는 본 발명의 유기전계 발광표시장치에 있어서, 기생 캐패시턴스 감소효과를 설명하면 다음과 같다.

먼저, 도 1의 종래의 유기전계 발광표시장치에서와 같이 소오스/드레인전극, 데이터라인 및 전원공급라인을 게이트전극 및 게이트라인과 서로 다른 층상에 형성한 경우, 소오스/드레인 전극, 데이터 라인 및 전원공급라인과 캐소드전극사이의 기생 캐패시턴스(C1)은 하기의 식으로 표현된다. 이때, 평탄화막으로 사용되는 아크릴의 두께가 $1.3\mu\text{m}$ 이고, 유전율이 3.0 이라고 가정한다.

$$C1 = C_{\text{acryl}} = \frac{\epsilon}{d} \epsilon_0 = \frac{3.0}{1.3\mu\text{m}} \epsilon_0 = 2.3077 \epsilon_0 / \mu\text{m} = 2.043 \times 10^{-17} \text{F} / \mu\text{m}^2$$

한편, 본 발명에서와 같이 소오스/드레인 전극, 데이터라인 및 전원공급라인을 게이트전극 및 게이트라인과 동일층인 게이트 절연막상에 형성한 경우, 소오스/드레인전극, 데이터 라인 및 전원공급라인과 캐소드전극간의 기생 캐패시턴스(C2)는 다음과 같다. 이때, 보호막으로 2000Å의 SiO₂와 4000Å의 SiN_x의 적층막을 사용하고, SiO₂의 유전율이 3.9이고 SiN_x의 유전율이 6.5 라고 가정한다.

$$C2 = \frac{1}{C_{(\text{Acryl} + \text{SiO}_2/\text{SiN}_x)}} = \frac{1}{C_{\text{acryl}}} + \frac{1}{C_{(\text{SiO}_2/\text{SiN}_x)}} = \frac{(0.433 + 0.318)}{\epsilon_0} \mu\text{m}$$

그러므로, $C2 = C_{(\text{Acryl} + \text{SiO}_2/\text{SiN}_x)} = 1.548 \times 10^{-17} \text{F} / \mu\text{m}^2$ 이다.

만약, 본 발명의 실시예에서, 보호막으로 6000Å의 SiO₂를 사용하는 경우 소오스/드레인전극, 데이터 라인 및 전원공급라인과 캐소드전극간의 단위면적당 기생 캐패시턴스(C3)는 다음과 같다.

$$C3 = C_{(\text{Acryl} + \text{SiO}_2)} = 1.445 \times 10^{-17} \text{F} / \mu\text{m}^2 \text{ 이다.}$$

상기의 식으로부터 본 발명에서처럼 보호막으로 SiO₂/SiN_x의 적층막을 사용하는 경우에는 기생 캐패시턴스를 25% 정도 감소시킬 수 있다.

본 발명의 실시예에는 게이트전극과 소오스/드레인전극을 동일층상에 형성하여 줌으로써, 5매의 마스크공정으로 p형 박막 트랜지스터 유기전계 발광표시장치를 제조하는 방법에 관하여 설명하였으나, 본 발명의 실시예를 CMOS 트랜지스터 유기전계 발광표시장치에 적용하면 7매의 마스크로 제조가 가능하다.

CMOS 트랜지스터 유기전계 발광표시장치는 반도체층을 형성하기 위한 마스크, 게이트 및 소오스/드레인전극을 형성하기 위한 마스크, 콘택홀을 형성하기 위한 마스크 및 애노드전극 및 연결라인을 형성하기 위한 마스크 및 개구부형성을 위한 마스크의 5매 마스크외에 고농도 소오스/드레인영역을 형성하기 위한 2매의 마스크를 추가하여 7매의 마스크로 제조가 가능하다. 즉, 게이트를 마스크로 이용하여 저농도의 n형 불순물을 이온주입하여 저농도의 n-형 소오스/드레인영역을 형성한 다음, 추가의 2매의 마스크를 이용하여 고농도의 n+ 형 소오스/드레인영역 및 고농도의 p+ 형 소오스/드레인영역을 형성하여 제조한다.

발명의 효과

상기한 바와 같은 본 발명의 실시예에 따른 유기전계 발광표시장치는 게이트전극과 소오스/드레인전극을 동일층상에 하나의 마스크를 이용하여 형성하여 줌으로써, 마스크공정을 줄여 공정을 단순화할 수 있을 뿐만 아니라 소오스/드레인전극, 데이터 라인 및 전원공급라인과 캐소드전극간의 기생 캐패시턴스를 감소시켜 줄 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

절연기관상에 형성되어 소오스/드레인용 불순물영역을 구비한 반도체층과;

기관전면상에 형성된 게이트절연막과;

상기 게이트 절연막상에 형성된 게이트 전극 및 소오스/드레인전극과;

기관전면에 형성되고, 상기 소오스/드레인영역과 소오스/드레인전극을 각각 노출시키는 다수의 콘택홀을 구비한 절연막과;

상기 절연막상에 형성된 화소전극과;

상기 다수의 콘택홀을 통해 각각소오스/드레인용 불순물영역과 소오스/드레인전극을 각각 연결하기 위한 다수의 연결라인을 구비하며,

상기 연결라인중 하나는 상기 화소전극에 연결되는 것을 특징으로 하는 평판표시장치.

청구항 2.

제1항에 있어서, 상기 게이트전극과 상기 소오스/드레인 전극은 동일물질로 이루어지며, Mo, MoW, AlNd, AlMo, Al/MoW, Ti/Al/Ti, Cr, Al/Ta, Al 합금중 하나로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 3.

제1항에 있어서, 상기 절연막으로 수분 또는 이동 불순물에 대해 강한 저항성을 갖는 물질로 이루어지며, SiNx, SiO2/SiNx, SiON 중 하나로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 4.

절연기관상에 반도체층을 형성하는 단계와;

기관전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막상에 게이트전극 및 소오스/드레인전극을 형성하는 단계와;

상기 반도체층에 소정 도전형의 소오스/드레인영역을 형성하는 단계와;

기관전면에 절연막을 형성하는 단계와;

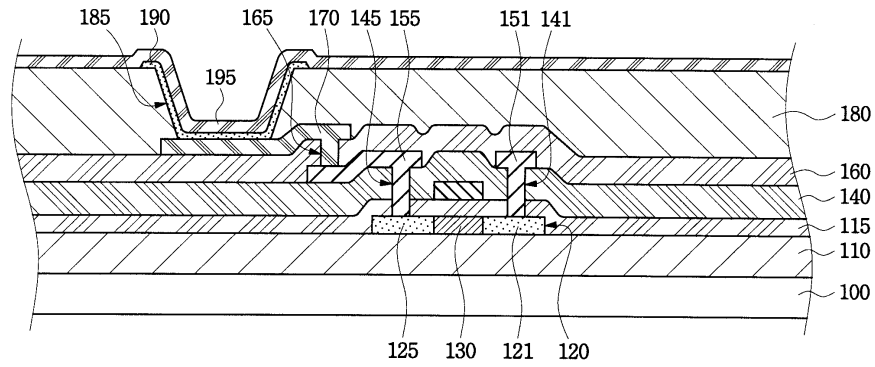
상기 절연막을 식각하여 상기 소오스/드레인영역과 소오스/드레인전극을 노출시키는 다수의 콘택홀을 각각 형성하는 단계와;

상기 소오스/드레인전극중 하나와 연결되는 화소전극 및 상기 소오스/드레인영역과 소오스/드레인전극을 콘택홀을 통해 각각 연결하기 위한 다수의 연결라인을 형성하는 단계를 포함하며,

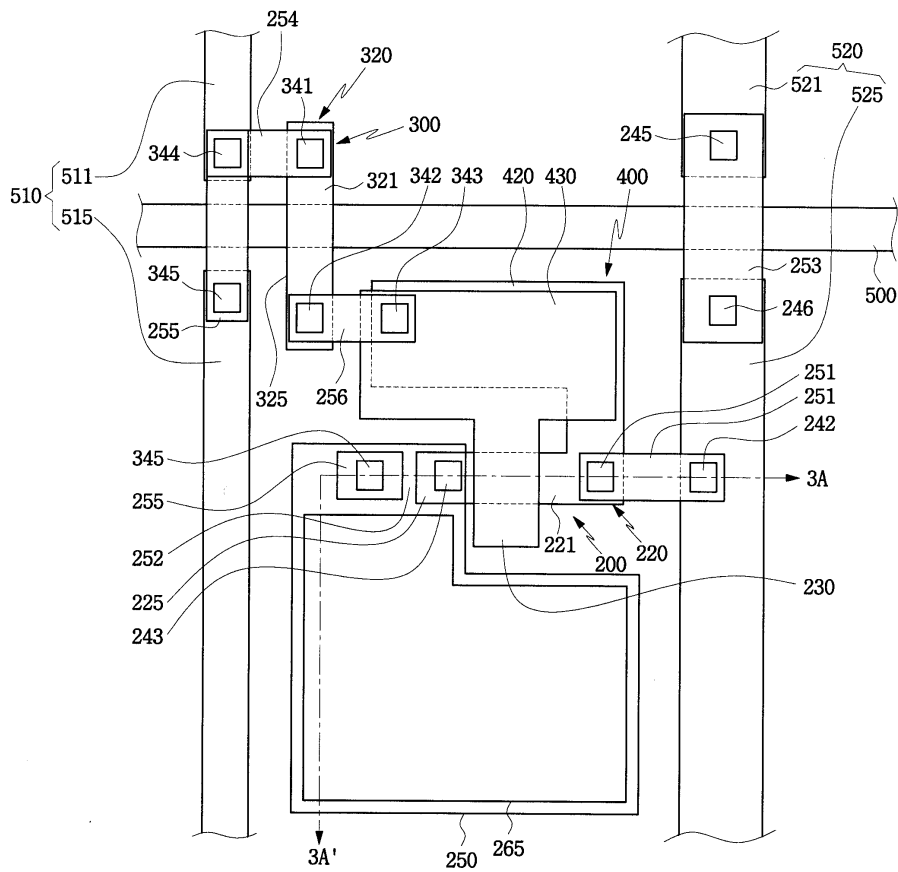
상기 화소전극은 다수의 연결라인중 하나와 연결되는 것을 특징으로 하는 평판표시장치의 제조방법.

도면

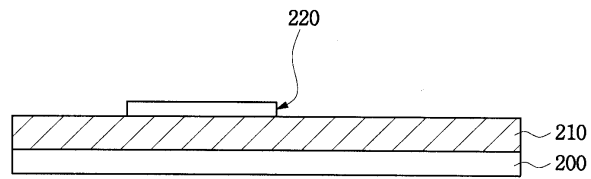
도면1



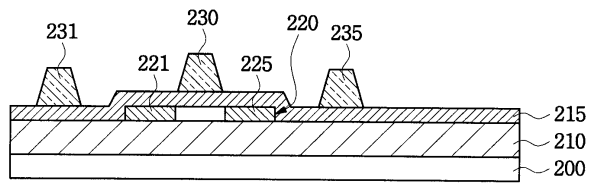
도면2



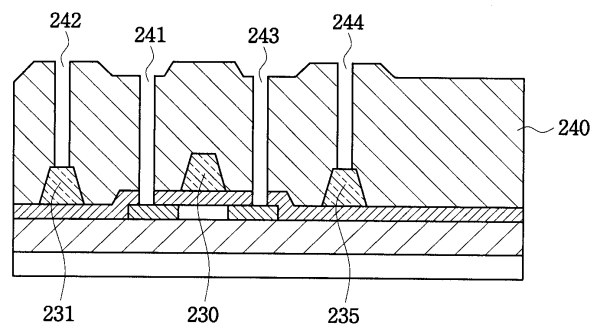
도면3a



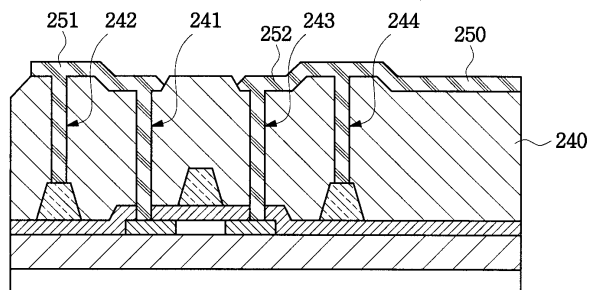
도면3b



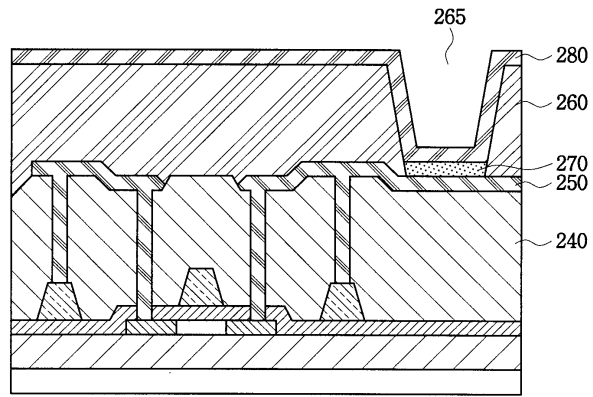
도면3c



도면3d



도면3e



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100590249B1	公开(公告)日	2006-06-15
申请号	KR1020020062468	申请日	2002-10-14
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SEO CHANGSU 서창수 BAE SUNGSKI 배성식 JEONG CHANGYONG 정창용		
发明人	서창수 배성식 정창용		
IPC分类号	H05B33/26		
CPC分类号	H01L27/3248 H01L51/56		
代理人(译)	PARK, 常树		
其他公开文献	KR1020040033395A		
外部链接	Espacenet		

摘要(译)

目的：因此，提供了一种有源矩阵有机场发射显示器及其制造方法，以简化工艺并减少金属布线之间的寄生电容。组成：一种平板显示器，包括：一个半导体层（220,320），其具有用于源极（221,321）/漏极（225,325）的杂质区；在板的前表面上形成的栅绝缘膜；栅电极（230）和源极/漏极电极形成在栅极绝缘膜上，绝缘膜形成在板的前表面上，并且具有多个接触孔（242,243,245,246,251,255,341-345），分别暴露出源极（221）/漏极区（225）和源极/漏电极，形成在绝缘膜上的像素电极（250），以及通过多个接触孔分别连接用于源/漏的杂质区域和源/漏电极的多条连接线（500,510,520）。连接线中的一个与像素电极连接。

