



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0074259
(43) 공개일자 2010년07월01일

(51) Int. Cl.

H01L 29/786 (2006.01) H01L 51/05 (2006.01)

H01L 51/40 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2010-7010077

(22) 출원일자(국제출원일자) 2008년10월09일

심사청구일자 없음

(85) 번역문제출일자 2010년05월07일

(86) 국제출원번호 PCT/JP2008/068810

(87) 국제공개번호 WO 2009/048167

국제공개일자 2009년04월16일

(30) 우선권주장

JP-P-2007-265860 2007년10월11일 일본(JP)

(71) 출원인

스미토모 가가꾸 가부시키키가이샤

일본국 도쿄도 주오구 신카와 2쥬메 27반 1고

(72) 발명자

가사하라, 겐지

일본 에히메켄 니이하마시 호시고에쵸 20-1-4-157

(74) 대리인

이석재, 장수길

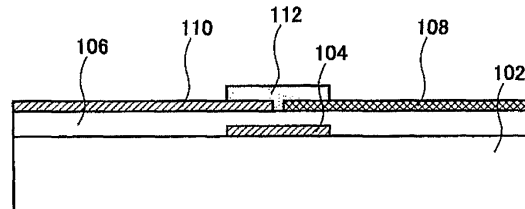
전체 청구항 수 : 총 19 항

(54) 박막 능동 소자, 유기 발광 장치, 표시 장치, 전자 디바이스 및 박막 능동 소자의 제조 방법

(57) 요약

본 발명은, 투광성 기관과, 기관 상에 형성된 차광성 소스/드레인 전극과, 차광성 소스/드레인 전극이 속하는 평면에 형성되며, 차광성 소스/드레인 전극 사이에 간극을 끼워 배치된 투광성 소스/드레인 전극과, 차광성 소스/드레인 전극과 투광성 소스/드레인 전극 사이의 간극에 형성된 채널층과, 간극에 형성된 채널층에 전계를 인가하는 게이트 전극을 구비하는 박막 능동 소자를 제공한다.

대표도 - 도1



101

특허청구의 범위

청구항 1

투광성 기관 상에 차광성 도전층을 형성하는 단계와,

상기 차광성 도전층에 인접하는 영역에 적어도 상기 차광성 도전층에서의 일부의 변 위에 걸쳐 투광성 도전층을 형성하는 단계와,

상기 투광성 도전층을 덮는 포토레지스트막을 형성하는 단계와,

상기 기관 방향으로부터 상기 차광성 도전층을 차광 마스크로 하여 상기 포토레지스트막을 노광하는 단계와,

노광된 상기 포토레지스트막 영역을 잔존시키도록 상기 포토레지스트막을 현상하여 마스크 패턴을 형성하는 단계와,

상기 마스크 패턴을 마스크로 하여 상기 마스크 아래에 에칭종이 돌아 들어갈 때까지 상기 투광성 도전층을 오버 에칭하여, 상기 차광성 도전층과 상기 투광성 도전층이 이격될 때까지 에칭하는 단계와,

이격된 상기 투광성 도전층과 상기 차광성 도전층의 간극에 능동 소자의 캐리어 영역으로서 기능하는 채널층을 형성하는 단계

를 구비한 박막 능동 소자의 제조 방법.

청구항 2

제1항에 있어서, 상기 차광성 도전층을 형성하기 전에, 상기 기관 상에 투광성 게이트 전극 및 투광성 게이트 절연막을 형성하는 단계

를 더 구비하는 박막 능동 소자의 제조 방법.

청구항 3

제1항에 있어서, 상기 채널층을 형성한 후에, 게이트 절연막 및 게이트 전극을 형성하는 단계를 더 구비하는 박막 능동 소자의 제조 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 차광성 도전층과 상기 투광성 도전층이 이격될 때까지 에칭하는 단계는, 습식 에칭법을 이용하여 상기 투광성 도전층을 오버 에칭하는 박막 능동 소자의 제조 방법.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 차광성 도전층과 상기 투광성 도전층이 이격될 때까지 에칭하는 단계는, 에칭종으로서 할로젠계 라디칼 또는 이온, 또는 산소계 라디칼 또는 이온을 생성하는 플라즈마 에칭법을 이용하여 상기 투광성 도전층을 오버 에칭하는 박막 능동 소자의 제조 방법.

청구항 6

투광성 기관과,

상기 기관 상에 형성된 차광성 소스/드레인 전극과,

상기 기관 상에서 상기 차광성 소스/드레인 전극이 속하는 평면에 형성되며 상기 차광성 소스/드레인 전극 사이에 간극을 끼워 배치된 투광성 소스/드레인 전극과,

상기 차광성 소스/드레인 전극과 상기 투광성 소스/드레인 전극 사이의 상기 간극에 형성된 채널층과,

상기 간극에 형성된 상기 채널층에 전계를 인가하는 게이트 전극

을 구비하는 박막 능동 소자.

청구항 7

제6항에 있어서, 상기 간극을 끼워 상기 차광성 소스/드레인 전극에 대향하는 상기 투광성 소스/드레인 전극의 상기 투광성 기관의 표면에 수직이며 상기 간극을 가로지르는 면으로 절단한 경우의 단면 형상은, 상기 투광성 소스/드레인 전극의 상기 투광성 기관과의 계면과 반대측 면쪽이 다른 면쪽보다 상기 간극 방향으로 돌출되는 역테이퍼 형상인 박막 능동 소자.

청구항 8

제6항에 있어서, 상기 간극을 끼워 상기 차광성 소스/드레인 전극에 대향하는 상기 투광성 소스/드레인 전극의 상기 투광성 기관의 표면에 수직이며 상기 간극을 가로지르는 면으로 절단한 경우의 단면 형상은, 상기 투광성 소스/드레인 전극의 상기 투광성 기관과의 계면측 면쪽이 다른 면쪽보다 상기 간극 방향으로 돌출되는 순테이퍼 형상인 박막 능동 소자.

청구항 9

제6항에 있어서, 상기 투광성 소스/드레인 전극은

투광성 기관 상에 차광성 도전층을 형성하고,

상기 차광성 도전층에 인접하는 영역에 적어도 상기 차광성 도전층에서의 일부의 변 위에 겹쳐 투광성 도전층을 형성하고,

적어도 상기 투광성 도전층을 덮는 포토레지스트막을 형성하고,

상기 기관 방향으로부터 상기 차광성 도전층을 차광 마스크로 하여 상기 포토레지스트막을 노광하고,

노광된 상기 포토레지스트막 영역을 잔존시키도록 상기 포토레지스트막을 현상하여 마스크 패턴을 형성하고,

상기 마스크 패턴을 마스크로 하여 상기 마스크 아래에 에칭종이 돌아 들어갈 때까지 상기 투광성 도전층을 오버 에칭하여, 상기 차광성 도전층과 상기 투광성 도전층이 이격될 때까지 에칭하는

것에 의해 형성된 것인 박막 능동 소자.

청구항 10

제6항 내지 제9항 중 어느 한 항에 있어서, 상기 투광성 소스/드레인 전극과 상기 채널층 사이, 또는 상기 차광성 소스/드레인 전극과 상기 채널층 사이 중 어느 한쪽에 캐리어 주입층을 더 구비하는 박막 능동 소자.

청구항 11

제6항 내지 제9항 중 어느 한 항에 있어서, 상기 투광성 소스/드레인 전극과 상기 채널층 사이에 형성된 투광성 전극측 캐리어 주입층과,

상기 차광성 소스/드레인 전극과 상기 채널층 사이에 형성된 차광성 전극측 캐리어 주입층

을 더 구비하고,

상기 투광성 전극측 캐리어 주입층과 상기 차광성 전극측 캐리어 주입층은 상이한 캐리어 주입 효율을 갖는 박막 능동 소자.

청구항 12

제6항 내지 제9항 중 어느 한 항에 있어서, 상기 투광성 소스/드레인 전극과 상기 채널층 사이, 또는 상기 차광성 소스/드레인 전극과 상기 채널층 사이 중 어느 한쪽 또는 양쪽에 캐리어 주입층을 더 구비하며,

상기 캐리어 주입층에 의해 상기 투광성 소스/드레인 전극과 상기 채널층 사이 및 상기 차광성 소스/드레인 전극과 상기 채널층 사이의 캐리어 주입 효율을 균등하게 하는 박막 능동 소자.

청구항 13

제9항에 있어서, 상기 채널층은 유기물인 박막 능동 소자.

청구항 14

제10항에 있어서, 상기 캐리어 주입층은 유기물인 박막 능동 소자.

청구항 15

제6항에 있어서, 상기 투광성 소스/드레인 전극은 금속 산화물을 포함하고,

상기 차광성 소스/드레인 전극은 금속을 포함하는 박막 능동 소자.

청구항 16

투광성 기판과,

상기 기판 상에 형성된 박막 능동 소자와,

상기 박막 능동 소자 위 또는 상기 기판과 상기 박막 능동 소자 사이에 형성되며 상기 박막 능동 소자에 의해 구동 또는 선택되는 유기 발광 소자

를 구비하며,

상기 박막 능동 소자는

상기 기판 상에 형성된 차광성 소스/드레인 전극과,

상기 기판 상에서 상기 차광성 소스/드레인 전극이 속하는 평면에 형성되며 상기 차광성 소스/드레인 전극 사이에 간극을 끼워 배치된 투광성 소스/드레인 전극과,

상기 차광성 소스/드레인 전극과 상기 투광성 소스/드레인 전극 사이의 상기 간극에 형성된 채널층과,

상기 간극에 형성된 상기 채널층에 전계를 인가하는 게이트 전극

을 구비하는 유기 발광 장치.

청구항 17

제16항에 있어서, 상기 유기 발광 소자가 갖는 투명 전극과, 상기 투광성 소스/드레인 전극은, 동일한 성막 공정으로 퇴적한 도전층을 가공한 유기 발광 장치.

청구항 18

투광성 기판과,

상기 기판 상에 형성된 박막 능동 소자와,

상기 박막 능동 소자 위 또는 상기 기판과 상기 박막 능동 소자 사이에 형성되며 상기 박막 능동 소자에 의해 구동 또는 선택되는 표시 소자

를 구비하며,

상기 박막 능동 소자는

상기 기판 상에 형성된 차광성 소스/드레인 전극과,

상기 기판 상에서 상기 차광성 소스/드레인 전극이 속하는 평면에 형성되며 상기 차광성 소스/드레인 전극 사이에 간극을 끼워 배치된 투광성 소스/드레인 전극과,

상기 차광성 소스/드레인 전극과 상기 투광성 소스/드레인 전극 사이의 상기 간극에 형성된 채널층과,

상기 간극에 형성된 상기 채널층에 전계를 인가하는 게이트 전극

을 구비하는 표시 장치.

청구항 19

투광성 기판과,

상기 기판 상에 형성된 차광성 배선과,

상기 기판 상에서 상기 차광성 배선이 속하는 평면에 형성되며 상기 차광성 배선 사이에 간극을 끼워 배치된 투광성 배선

을 구비하며,

상기 투광성 배선은

투광성 기판 상에 차광성 도전층을 형성하고,

상기 차광성 도전층에 인접하는 영역에 적어도 상기 차광성 도전층에서의 일부의 변 위에 겹쳐 투광성 도전층을 형성하고,

상기 투광성 도전층을 덮는 포토레지스트막을 형성하고,

상기 기판 방향으로부터 상기 차광성 도전층을 차광 마스크로 하여 상기 포토레지스트막을 노광하고,

노광된 상기 포토레지스트막 영역을 잔존시키도록 상기 포토레지스트막을 현상하여 마스크 패턴을 형성하고,

상기 마스크 패턴을 마스크로 하여 상기 마스크 아래에 에칭종이 돌아 들어갈 때까지 상기 투광성 도전층을 오버 에칭하여, 상기 차광성 도전층과 상기 투광성 도전층이 이격될 때까지 에칭하는

것에 의해 형성된 것인 전자 디바이스.

명세서

기술 분야

[0001] 본 발명은 박막 능동 소자, 유기 발광 장치, 표시 장치, 전자 디바이스 및 박막 능동 소자의 제조 방법에 관한 것이다. 본 발명은 특히 간편한 방법으로 미세 가공성이 우수한 박막 능동 소자, 유기 발광 장치, 표시 장치, 전자 디바이스 및 박막 능동 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 예를 들면 특허문헌 1에는, 배선을 마스크로 한 이면 노광에 의한 자기 정합으로 화소 전극을 형성하는 경우에, 이면 노광의 돌아 들어간 광에 의한 화소 인접 단락의 발생을 억제하는 기술이 기재되어 있다. 예를 들면 특허문헌 2에는, 채널 보호막을 형성하는 경우에 채널 보호막 형성용 막을 성막하여, 게이트 전극을 마스크로 한 이면 노광에 의해 채널 보호막 형성용 막 상에 유기 절연막을 형성하는 기술이 개시되어 있다. 예를 들면 특허문헌 3에는, 하부 전극을 포토마스크에 이용하여, 절연막 상에 하부 전극과 대략 동일한 패턴 형상의 발액 영역과 대략 반전 패턴 형상의 친액 영역을 형성하고, 친액 영역 내에 도전성 잉크를 도포 소성시키는 기술이 개시되어 있다. 상기 도전성 잉크의 도포 영역에는, 하부 전극에 대하여 대략 반전 패턴 형상의 상부 전극이 자기 정합으로 형성된다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 제2003-84305호 공보
(특허문헌 0002) 일본 특허 공개 (평)9-186335호 공보
(특허문헌 0003) 재공표 W02005/024956호 공보

발명의 내용

해결하려는 과제

[0004] 박막 트랜지스터의 구동 전류는 채널 길이에 역비례하여 커진다. 이 때문에 채널 길이를 단축하려는 요청은 강하다. 예를 들면, 고가의 스테퍼 노광 장치를 이용하여 박막 트랜지스터의 소스 및 드레인 사이를 미세하게 가

공하면 박막 트랜지스터의 채널 길이를 짧게 할 수는 있다. 그러나, 고가의 스테퍼 노광 장치를 이용하므로 제조 비용의 증가 요인이 된다.

[0005] 한편, 저가인 컨택트 노광 장치 또는 프록시미티 노광 장치를 이용하면, 제조 비용을 억제할 수는 있다. 그러나, 상기 저가인 노광 장치에 의한 가공 정밀도는 겨우 5 내지 10 μm 정도이므로, 채널 길이를 단축하려는 요청에 응할 수는 없다. 억제된 제조 비용에서의 소스·드레인 등 전극 사이 또는 배선 사이의 미세 가공을 실현하는 기술이 요망되고 있다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위해서, 본 발명의 제1 형태에서는, 투광성 기판 상에 차광성 도전층을 형성하는 단계와, 차광성 도전층에 인접하는 영역에 적어도 차광성 도전층에서의 일부의 변 위에 겹쳐 투광성 도전층을 형성하는 단계와, 투광성 도전층을 덮는 포토레지스트막을 형성하는 단계와, 기판 방향으로부터 차광성 도전층을 차광 마스크로 하여 포토레지스트막을 노광하는 단계와, 노광된 포토레지스트막 영역을 잔존시키도록 포토레지스트막을 현상하여 마스크 패턴을 형성하는 단계와, 마스크 패턴을 마스크로 하여 마스크 아래에 에칭종이 돌아 들어갈 때까지 투광성 도전층을 오버 에칭하여 차광성 도전층과 투광성 도전층이 이격될 때까지 에칭하는 단계와, 이격된 투광성 도전층과 차광성 도전층의 간극에 능동 소자의 캐리어 영역으로서 기능하는 채널층을 형성하는 단계를 구비한 박막 능동 소자의 제조 방법을 제공한다.

[0007] 또한, 본 발명의 제2 형태에서는, 투광성 기판과, 기판 상에 형성된 차광성 소스/드레인 전극과, 상기 기판 상에서 차광성 소스/드레인 전극이 속하는 평면에 형성되고, 차광성 소스/드레인 전극 사이에 간극을 끼워 배치된 투광성 소스/드레인 전극과, 차광성 소스/드레인 전극과 투광성 소스/드레인 전극 사이의 간극에 형성된 채널층과, 간극에 형성된 채널층에 전계를 인가하는 게이트 전극을 구비하는 박막 능동 소자를 제공한다.

도면의 간단한 설명

[0008] 도 1은 본 실시 형태의 박막 트랜지스터 (101)의 단면예를 나타낸다.
 도 2는 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 3은 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 4는 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 5는 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 6은 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 7은 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 8은 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 9는 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다.
 도 10은 도 9의 영역 (130)을 확대하여 나타낸 단면예를 나타낸다.
 도 11은 도 9의 영역 (130)을 확대하여 나타낸 단면예를 나타낸다.
 도 12는 본 실시 형태의 유기 발광 장치 (201)의 단면예를 나타낸다.
 도 13은 본 실시 형태의 전자 디바이스 (301)의 상면을 나타낸다.
 도 14는 도 13에서의 A-A선 단면을 나타낸다.

<부호의 설명>

101 박막 트랜지스터

102 기판

104 게이트 전극

106 게이트 절연막

- 108 소스 전극
- 110 드레인 전극
- 112 채널층
- 120 투광성 도전층
- 122 포토레지스트막
- 124 마스크 패턴
- 130 영역
- 201 유기 발광 장치
- 202 절연막
- 204 유기 발광층
- 206 백 전극
- 301 전자 디바이스
- 302 기관
- 304 차광성 배선
- 306 투광성 배선

발명을 실시하기 위한 구체적인 내용

- [0009] 도 1은 본 실시 형태의 박막 트랜지스터 (101)의 단면예를 나타낸다. 박막 트랜지스터 (101)은 기관 (102), 게이트 전극 (104), 게이트 절연막 (106), 소스 전극 (108), 드레인 전극 (110) 및 채널층 (112)를 구비한다. 소스 전극 (108)과 드레인 전극 (110)은 소스 또는 드레인의 기능이 반대로 될 수도 있다. 즉, 소스 전극 (108)은 소스로서 기능하는 것은 물론 드레인으로서 기능할 수도 있다. 드레인 전극 (110)은 드레인으로서 기능하는 것은 물론 소스로서 기능할 수도 있다.
- [0010] 상기한 대로, 소스 전극 (108)과 드레인 전극 (110)은 반대로 될 수도 있지만, 본 실시 형태에서는 소스·드레인 전극 중 어느 한쪽은 투광성이고 다른쪽은 차광성이 된다. 예를 들면, 소스 전극 (108)이 차광성인 경우에는, 드레인 전극 (110)은 투광성이 되고, 소스 전극 (108)이 투광성인 경우에는, 드레인 전극 (110)은 차광성이 된다.
- [0011] 박막 트랜지스터 (101)은 박막 능동 소자의 일례일 수 있다. 박막 능동 소자에는, 예를 들면 박막 트랜지스터 (101) 외, 박막 다이오드, 박막 태양 전지, 박막 센서 등이 포함된다. 기관 (102)는 투광성일 수 있다. 기관 (102)로서, 예를 들면 투명한 유리 등 투명 절연체를 예시할 수 있다.
- [0012] 게이트 전극 (104)는 투광성일 수 있다. 게이트 전극 (104)는 채널층 (112)에 전계를 인가한다. 게이트 전극 (104)는 기관 (102) 상에 형성된다. 게이트 전극 (104)는, 예를 들면 투광성의 인듐·주석·옥사이드(ITO), 인듐·아연·옥사이드(IZO), 인듐·텅스텐·옥사이드(IWO), 알루미늄 도핑 산화아연(AZO) 등 투광성 도전체를 예시할 수 있다. 투광성 도전체로서 그 외에, 갈륨 도핑 산화아연(GZO), 불소 도핑 산화아연(FZO), 안티몬 도핑 이산화주석(ATO), 불소 도핑 이산화주석(FTO), 산화마그네슘(MgO) 등을 예시할 수 있다.
- [0013] 게이트 전극 (104)는 상기 예시한 투광성 도전체의 단층막일 수 있고, 적층막일 수도 있다. 게이트 전극 (104)의 형성 방법으로서, 예를 들면 기관 (102)의 전체면에 투광성 도전층을 퇴적 후, 포토리소그래피법 및 에칭법을 이용하여 가공하는 방법을 예시할 수 있다.
- [0014] 게이트 절연막 (106)은 투광성일 수 있다. 게이트 절연막 (106)은 기관 (102) 상의 게이트 전극 (104)를 덮어 기관 (102) 및 게이트 전극 (104) 상에 형성된다. 게이트 절연막 (106)은, 예를 들면 투광성 규소 산화막 등 투광성 절연체를 예시할 수 있다.
- [0015] 게이트 절연막 (106)의 형성 방법으로서, 예를 들면 CVD(Chemical Vapor Deposition; 화학 증착)법, 스퍼터링법 등의 박막 퇴적법, 스핀 코팅법, 잉크젯 인쇄법, 인쇄법 등의 용액 도포법을 예시할 수 있다.

- [0016] 소스 전극 (108)은 차광성일 수 있고, 차광성 소스·드레인 전극의 일례일 수 있다. 소스 전극 (108)은 게이트 절연막 (106) 상에 형성된다. 또한, 게이트 절연막 (106)은 기판 (102) 상에 형성되므로, 소스 전극 (108)은 기판 상에 형성되는 것이 된다.
- [0017] 소스 전극 (108)은 금속을 포함할 수 있다. 금속으로서, 예를 들면 Au, Ag, Ge, Ni, Pd, Pt, Re, Si, Te, W, Al, Cu, Cr 또는 Mn을 예시할 수 있다. 소스 전극 (108)은 이들 금속의 단층막일 수 있고 또는 적층막일 수 있다. 또한, 소스 전극 (108)은 상기 예시한 금속의 단원소 금속막일 수 있고, 이들 금속을 주성분으로 하는 합금일 수도 있다.
- [0018] 드레인 전극 (110)은 투광성일 수 있고, 투광성 소스·드레인 전극의 일례일 수 있다. 드레인 전극 (110)은 게이트 절연막 (106) 상에 형성된다. 또한, 게이트 절연막 (106)은 기판 (102) 상에 형성되므로, 드레인 전극 (110)은 기판 상에 형성되는 것이 된다. 또한, 드레인 전극 (110)은 기판 (102) 상에서 소스 전극 (108)이 속하는 평면에 형성되고, 소스 전극 (108)과의 사이에 간극을 끼워 배치된다.
- [0019] 드레인 전극 (110)은 금속 산화물을 포함할 수 있다. 금속 산화물로서, 인듐·주석·옥시드(ITO), 인듐·아연·옥시드(IZO), 인듐·텅스텐·옥시드(IWO), 알루미늄 도핑 산화아연(AZO) 등을 예시할 수 있다. 금속 산화물로서 그 외에, 갈륨 도핑 산화아연(GZO), 불소 도핑 산화아연(FZO), 안티몬 도핑 이산화주석(ATO), 불소 도핑 이산화주석(FTO), 산화마그네슘(MgO) 등을 예시할 수 있다. 드레인 전극 (110)은 상기 예시한 금속 산화물의 단층막일 수 있고, 적층막일 수도 있다.
- [0020] 채널층 (112)에는, 소스 전극 (108)과 드레인 전극 (110) 사이에 트랜지스터의 채널 영역을 생성한다. 채널층 (112)는 소스 전극 (108)과 드레인 전극 (110) 사이의 간극에 적어도 형성된다. 채널층 (112)는, 도시하는 바와 같이, 소스 전극 (108)과 드레인 전극 (110) 사이의 간극을 비어져나와 형성될 수도 있다.
- [0021] 또한, 본 실시 형태에서 「투광성」 또는 「차광성」이라는 표현은 이하와 같은 기술적 의미에 이용한다. 즉, 「투광성」의 개념에는, 투광성 부재에 입사하는 광 전부가 투과하는 경우에 더하여, 부재를 투과한 광이 감광성 재료를 감광시키기에 충분한 광을 투과하는 경우를 포함한다. 즉, 투광성 부재에 입사하는 광 중 일부의 광을 투과하고 일부를 반사 또는 흡수하는 경우에도, 투과한 광이 감광 재료를 감광시키기에 충분한 광량인 경우에는 「투과성」에 포함된다. 또한, 「차광성」의 개념에는, 차광성 부재에 입사하는 광 전부를 차광하는 경우에 더하여, 차광성 부재를 간신히 투과한 광이 실질적으로 감광성 재료를 감광시키지 않는 경우를 포함한다. 즉, 차광성 부재에 입사하는 광 중 일부의 광이 부재를 투과한 경우에도, 투과한 광이 감광 재료를 실질적으로 감광시키지 않는 경우에는 「차광성」에 포함된다.
- [0022] 도 2 내지 도 9는 본 실시 형태의 박막 트랜지스터 (101)의 제조 과정에서의 단면예를 나타낸다. 도 2에 나타내는 바와 같이, 투광성 기판 (102)를 준비하여, 기판 (102) 상에 투광성 게이트 전극 (104)을 형성한다. 게이트 전극 (104)은, 예를 들면 기판 (102)의 전체면에 투광성 도전층을 퇴적 후, 포토리소그래피법 및 에칭법을 이용한 가공에 의해 형성할 수 있다.
- [0023] 또한, 게이트 전극 (104)을 덮는 게이트 절연막 (106)을 기판 (102) 상에 형성한다. 게이트 절연막 (106)은, 예를 들면 CVD법, 스퍼터링법 등의 박막 퇴적법, 스핀 코팅법, 잉크젯 인쇄법, 인쇄법 등의 용액 도포법을 이용하여 형성할 수 있다.
- [0024] 도 3에 나타내는 바와 같이, 게이트 전극 (104) 및 게이트 절연막 (106)을 형성한 기판 (102) 상에 소스 전극 (108)을 형성한다. 소스 전극 (108)은 기판 (102)의 전체면에 차광성 도전층을 형성하여, 상기 차광성 도전막을 에칭함으로써 형성할 수 있다. 차광성 도전막으로서, 예를 들면 Au, Ag, Ge, Ni, Pd, Pt, Re, Si, Te, W, Al, Cu, Cr 또는 Mn의 단원소막 또는 이들 금속을 주성분으로 하는 합금막을 예시할 수 있다.
- [0025] 차광성 도전막은 단층막 또는 적층막일 수 있다. 차광성 도전막의 퇴적 방법으로서, 스퍼터링법, CVD법, 증착법을 예시할 수 있다. 차광성 도전막의 막 두께로서, 10 nm 내지 2000 nm를 예시할 수 있다. 차광성 도전막의 막 두께 하한은 차광성을 담보할 수 있는 막 두께의 조건으로 규정되고, 막 두께 상한은 성막 시간, 에칭 시간의 상한, 또는 박리되지 않는 막 두께 등의 조건으로 규정된다.
- [0026] 도 4에 나타내는 바와 같이, 차광성 도전층인 소스 전극 (108)에 인접하는 영역에, 적어도 소스 전극 (108)에서의 일부의 변에 걸쳐 투광성 도전층 (120)을 형성한다. 투광성 도전층 (120)은, 예를 들면 인듐·주석·옥시드(ITO), 인듐·아연·옥시드(IZO), 인듐·텅스텐·옥시드(IWO), 알루미늄 도핑 산화아연(AZO) 등을 예시할 수 있다. 그 외에, 갈륨 도핑 산화아연(GZO), 불소 도핑 산화아연(FZO), 안티몬 도핑 이산화주석(ATO), 불소 도핑

이산화주석(FTO), 산화마그네슘(MgO) 등을 예시할 수 있다.

- [0027] 투광성 도전층 (120)의 형성 방법으로서, 예를 들면 스퍼터링법, CVD법을 예시할 수 있다. 투광성 도전층 (120)의 막 두께로서, 50 nm 내지 2000 nm를 예시할 수 있다. 투광성 도전층 (120)의 막 두께 하한은 시트 저항값을 확보할 수 있는 막 두께의 조건으로 규정되고, 막 두께 상한은 광의 투과율을 확보할 수 있는 막 두께, 성막 시간, 에칭 시간의 상한, 또는 박리되지 않는 막 두께 등의 조건으로 규정된다.
- [0028] 도 5에 나타내는 바와 같이, 적어도 투광성 도전층 (120)을 덮는 포토레지스트막 (122)을 형성한다. 포토레지스트막 (122)로서, 네가티브형 감응성 수지가 바람직하다. 포토레지스트막 (122)을 스핀 도포 등에 의해 형성하는 경우, 도포한 후에 프리베이킹을 실행한다.
- [0029] 도 6에 나타내는 바와 같이, 기판 (102)의 방향으로부터 차광성 도전층인 소스 전극 (108)을 차광 마스크로 하여 포토레지스트막 (122)을 노광한다. 상기 노광의 결과, 소스 전극 (108)이 형성되지 않은 영역의 포토레지스트막 (122)에 노광 영역이 형성된다. 노광 영역은 마스크 패턴 (124)가 된다.
- [0030] 도 7에 나타내는 바와 같이, 노광된 포토레지스트막 (122) 영역인 노광 영역을 잔존시키도록 포토레지스트막 (122)을 현상한다. 현상과 그 후의 포스트베이킹의 결과, 마스크 패턴 (124)을 형성한다. 또한, 마스크 패턴 (124)의 형성에는, 기판 (102)의 방향으로부터의 소스 전극 (108)을 차광 마스크로 한 노광, 즉 이면 노광을 이용하고 있기 때문에, 마스크 패턴 (124)은 소스 전극 (108)에 대하여 자기 정합으로 형성된다.
- [0031] 도 8에 나타내는 바와 같이, 마스크 패턴 (124)을 마스크로 하여 마스크 패턴 (124) 아래에 에칭층이 돌아 들어갈 때까지 투광성 도전층 (120)을 오버 에칭한다. 상기 오버 에칭에서는, 차광성 도전층인 소스 전극 (108)과 투광성 도전층 (120)이 이격될 때까지 에칭한다. 또한, 소스 전극 (108)과 투광성 도전층 (120)이 이격되기까지의 에칭에 의해 드레인 전극 (110)이 형성된다.
- [0032] 도 9에 나타내는 바와 같이, 마스크 패턴 (124)을 박리하여 드레인 전극 (110)을 노출시키고, 소스 전극 (108)과 드레인 전극 (110) 사이의 간극을 매립하도록 채널층 (112)을 형성하면, 도 1에 나타내는 박막 트랜지스터 (101)을 제조할 수 있다. 채널층 (112)가 유기 반도체인 경우, 채널층 (112)는, 예를 들면 도포에 의해 형성할 수 있다. 도포에 의한 채널층 (112)의 형성은 이후에 설명하는 전자 주입층, 전자 수송층, 정공 주입층 또는 정공 수송층의 경우와 동일할 수 있다.
- [0033] 본 실시 형태의 박막 트랜지스터 (101)에서는, 투광성 도전막인 드레인 전극 (110)이, 차광성 도전막인 소스 전극 (108)에 자기 정합하여 형성된 마스크 패턴 (124)을 마스크로 하여 에칭에 의해 형성된다. 또한, 상기 에칭에서는, 드레인 전극 (110)이 되는 투광성 도전층 (120)이 마스크 패턴 (124) 아래에 돌아 들어갈 때까지 오버 에칭된다. 이 때문에, 소스 전극 (108)과 드레인 전극 (110) 사이의 간극을 미세하게 가공할 수 있고, 박막 트랜지스터 (101)의 채널 길이를 미세하게 형성할 수 있다. 상기 가공은 고가의 스테퍼 노광 장치 등을 이용하지 않고, 저비용으로 가공할 수 있다.
- [0034] 또한, 상기한 실시 형태에서는, 차광성 도전층인 소스 전극 (108)을 형성하기 전에, 기판 (102) 상에 투광성 게이트 전극 (104) 및 투광성 게이트 절연막 (106)을 형성하는, 소위 하부 게이트의 예를 설명하였다. 그러나, 채널층 (112)를 형성한 후에, 게이트 절연막 및 게이트 전극을 형성하는, 소위 상부 게이트의 경우에도 상기 실시 형태의 소스 전극 (108) 및 드레인 전극 (110)의 형성 방법을 적용할 수 있다.
- [0035] 또한, 차광성 도전층인 소스 전극 (108)과 투광성 도전층 (120)이 이격될 때까지 에칭하는 에칭법에서는, 습식 에칭법을 사용할 수 있다. 상기 습식 에칭법을 이용하여 투광성 도전층 (120)을 오버 에칭할 수 있다. 또는, 차광성 도전층인 소스 전극 (108)과 투광성 도전층 (120)이 이격될 때까지 에칭하는 에칭법에서는, 에칭종으로서 할로젠계 라디칼 또는 이온, 또는 산소계 라디칼 또는 이온을 생성하는 플라즈마 에칭법을 이용하여 투광성 도전층 (120)을 오버 에칭할 수 있다.
- [0036] 도 10은 도 9의 영역 (130)을 확대하여 나타낸 단면예를 나타낸다. 소스 전극 (108)과 드레인 전극 (110) 사이의 간극을 끼워 소스 전극 (108)에 대향하는 드레인 전극 (110)이 형성되어 있다. 드레인 전극 (110)의 투광성 기판 (102)의 표면에 수직이며 간극을 가로지르는 면으로 절단한 경우의 단면 형상은, 드레인 전극 (110)의 투광성 기판 (102)와의 계면측 쪽이 다른면측보다 간극 방향으로 돌출되는 스텔라이드 형상으로 할 수 있다. 즉, 투광성 기판 (102)와의 계면측 간극의 폭 (Db)는 다른면측의 간극폭 (Dt)보다 작다. 이러한 단면 형상으로 함으로써, 간극 사이에 채널층 (112)를 확실하게 형성할 수 있다.
- [0037] 이러한 단면 형상은, 예를 들면 마스크 패턴 (124)을 조금씩 후퇴시키면서 투광성 도전층 (120)의 에칭 처리를

실행함으로써 얻을 수 있다. 예를 들면, 투광성 도전층 (120)을 에칭하여, 예를 들면 산소계 원료 가스를 이용한 에칭에 의해 마스크 패턴 (124)를 후퇴시키고, 추가로 투광성 도전층 (120)을 에칭한다고 하는 공정을 반복할 수 있다.

[0038] 도 11은 도 9의 영역 (130)을 확대하여 나타낸 단면예를 나타낸다. 소스 전극 (108)과 드레인 전극 (110) 사이의 간극을 끼워 소스 전극 (108)에 대향하는 드레인 전극 (110)이 형성되어 있다. 드레인 전극 (110)의 투광성 기관 (102)의 표면에 수직이며 간극을 가로지르는 면으로 절단한 경우의 단면 형상은, 드레인 전극 (110)의 투광성 기관 (102)와의 계면과 반대측 쪽이 다른면측보다 간극 방향으로 돌출되는 역테이퍼 형상으로 할 수 있다.

[0039] 즉, 투광성 기관 (102)와의 계면측의 간극폭 (Db)는 다른면측의 간극폭 (Dt)보다 크다. 이러한 단면 형상으로 함으로써, 예를 들면 게이트 전극 (104)로부터의 전계 분포에 의한 전기력선(전속)을 단면에 수직인 방향에 가깝게 할 수 있다. 이 결과, 채널 영역에서의 국부적인 전계 집중을 억제하여 트랜지스터의 특성을 안정화시킬 수 있다. 이러한 단면 형상은, 예를 들면 습식 에칭법에서 에칭제의 조성 및 처리 온도를 조정하여 실현할 수 있다.

[0040] 도 12는 본 실시 형태의 유기 발광 장치 (201)의 단면예를 나타낸다. 투광성 기관 (102) 상에 박막 능동 소자의 일례일 수 있는 박막 트랜지스터 (101)이 형성되어 있다. 박막 트랜지스터 (101)은 상기한 바와 동일하게, 기관 (102), 투광성 게이트 전극 (104), 투광성 게이트 절연막 (106), 차광성 소스 전극 (108), 투광성 드레인 전극 (110) 및 채널층 (112)을 구비한다.

[0041] 유기 발광 장치 (201)은 채널층 (112)를 덮는 절연막 (202)과 유기 발광 소자를 추가로 구비한다. 유기 발광 소자는 드레인 전극 (110)과 공통적인 투명 전극, 유기 발광층 (204), 유기 발광층 (204)를 덮는 백 전극 (206)을 갖는다. 유기 발광 장치 (201)에서는, 유기 발광 소자는 박막 트랜지스터 (101)에 의해 구동된다.

[0042] 또한, 유기 발광 소자가 갖는 투명 전극과, 투광성 소스/드레인 전극의 일례인 드레인 전극 (110)은, 동일한 성막 공정으로 퇴적한 도전층을 가공하여 형성된다. 이 때문에, 공정을 삭감시킬 수 있어서 제조 비용을 억제할 수 있다. 또한, 도 12에서는, 박막 트랜지스터 (101)이 구동하는 소자로서 유기 발광 소자를 예시하였지만, 액정 등의 표시 소자를 구동할 수도 있다.

[0043] 도 13은 본 실시 형태의 전자 디바이스 (301)의 상면을 나타낸다. 도 14는 도 13에서의 A-A선 단면을 나타낸다. 전자 디바이스 (301)은 투광성 기관 (302), 기관 (302) 상에 형성된 차광성 배선 (304), 및 기관 (302) 상에서 차광성 배선 (304)가 속하는 평면에 형성되며, 차광성 배선 (304) 사이에 간극을 끼워 배치된 투광성 배선 (306)을 구비한다.

[0044] 또한, 투광성 배선 (306)은 상기한 박막 트랜지스터 (101)의 드레인 전극 (110)과 동일하게 형성된다. 이러한 전자 디바이스 (301)에 따르면, 배선 간격을 미세하게 가공할 수 있다. 상기 가공은 고가의 스테퍼 노광 장치 등을 이용하지 않고, 저비용으로 배선을 가공할 수 있다.

[0045] 또한, 소스 전극 (108)과 채널층 (112) 사이, 또는 드레인 전극 (110)과 채널층 (112) 사이 중 어느 한쪽에 캐리어 주입층을 더 구비할 수 있다. 또한, 소스 전극 (108)과 채널층 (112) 사이에 형성된 차광성 전극측 캐리어 주입층과, 드레인 전극 (110)과 채널층 (112) 사이에 형성된 투광성 전극측 캐리어 주입층을 구비하여, 투광성 전극측 캐리어 주입층과 차광성 전극측 캐리어 주입층은 상이한 캐리어 주입 효율을 가질 수 있다. 이 경우, 캐리어 주입 효율을 균일하게 하도록 캐리어 주입층의 재료를 선택할 수 있다.

[0046] 또한, 소스 전극 (108)과 채널층 (112) 사이 또는 드레인 전극 (110)과 채널층 (112) 사이 중 어느 한쪽 또는 양쪽에 캐리어 주입층을 구비할 수 있다. 캐리어 주입층에 의해, 소스 전극 (108)과 채널층 (112) 사이 또는 드레인 전극 (110)과 채널층 (112) 사이의 캐리어 주입 효율을 균등하게 할 수 있다. 채널층 (112)는, 예를 들면 유기물, 특히 유기 반도체로 할 수 있고, 캐리어 주입층은, 예를 들면 유기물, 특히 유기 도전체로 할 수 있다.

[0047] 본 실시 형태에서의 발광 소자를 유기 전계 발광 소자로 하는 경우의 구성의 일례를 나타낸다. 이하, 유기 전계 발광 소자를 유기 EL 소자라 하는 경우가 있다.

[0048] 본 실시 형태의 유기 EL 소자는 양극, 발광층 및 음극을 갖는 것에 더하여, 상기 양극과 상기 발광층 사이 및/또는 상기 발광층과 상기 음극 사이에 다른 층을 더 가질 수 있다. 음극과 발광층 사이에 설치할 수 있는 층으로서, 전자 주입층, 전자 수송층, 정공 블록층 등을 들 수 있다. 전자 주입층 및 전자 수송층이 둘다 설치되는 경우, 음극에 가까운 층이 전자 주입층이 되고, 발광층에 가까운 층이 전자 수송층이 된다.

- [0049] 전자 주입층은 음극으로부터의 전자 주입 효율을 개선하는 기능을 갖는다. 전자 수송층은 음극, 전자 주입층 또는 음극에 의해 가까운 전자 수송층으로부터의 전자 주입을 개선하는 기능을 갖는다.
- [0050] 전자 주입층 또는 전자 수송층이 정공의 수송을 막는 기능을 갖는 경우에는, 이들 층이 정공 블록층을 겸하는 경우가 있다. 정공의 수송을 막는 기능을 갖는 것은, 예를 들면 홀 전류를 흐르게 하고 전자 전류를 흐르게 하지 않는 소자를 제조하여, 그 전류값의 감소로 막는 효과를 확인할 수 있다.
- [0051] 양극과 발광층 사이에 설치하는 것으로서는, 정공 주입층, 정공 수송층, 전자 블록층 등을 들 수 있다. 정공 주입층 및 정공 수송층이 둘다 설치되는 경우, 양극에 가까운 층이 정공 주입층이 되고, 발광층이 가까운 층이 정공 수송층이 된다.
- [0052] 정공 주입층은 양극으로부터의 정공 주입 효율을 개선하는 기능을 갖는다. 정공 수송층은 양극, 정공 주입층 또는 양극에 의해 가까운 정공 수송층으로부터의 정공 주입을 개선하는 기능을 갖는다.
- [0053] 정공 주입층 또는 정공 수송층이 전자의 수송을 막는 기능을 갖는 경우에는, 이들 층이 전자 블록층을 겸하는 경우가 있다. 전자의 수송을 막는 기능을 갖는 것은, 예를 들면 전자 전류를 흐르게 하고 홀 전류를 흐르게 하지 않는 소자를 제조하여, 그 전류값의 감소로 막는 효과를 확인할 수 있다.
- [0054] 본 실시 형태의 유기 EL 소자에 있어서, 발광층은 1층 설치되지만, 이것으로 한정되지 않고 2층 이상의 발광층을 설치할 수도 있다. 또한, 전자 주입층 및 정공 주입층을 총칭하여 전하 주입층이라 부르는 경우가 있고, 전자 수송층 및 정공 수송층을 총칭하여 전하 수송층이라고 부르는 경우가 있다. 더욱 구체적으로는, 본 실시 형태의 유기 EL 소자는 하기의 층 구성 중 어느 하나를 가질 수 있다.
- [0055] a) 양극/정공 수송층/발광층/음극,
- [0056] b) 양극/발광층/전자 수송층/음극,
- [0057] c) 양극/정공 수송층/발광층/전자 수송층/음극,
- [0058] d) 양극/전하 주입층/발광층/음극,
- [0059] e) 양극/발광층/전하 주입층/음극,
- [0060] f) 양극/전하 주입층/발광층/전하 주입층/음극,
- [0061] g) 양극/전하 주입층/정공 수송층/발광층/음극,
- [0062] h) 양극/정공 수송층/발광층/전하 주입층/음극,
- [0063] i) 양극/전하 주입층/정공 수송층/발광층/전하 주입층/음극,
- [0064] j) 양극/전하 주입층/발광층/전하 수송층/음극,
- [0065] k) 양극/발광층/전자 수송층/전하 주입층/음극,
- [0066] l) 양극/전하 주입층/발광층/전자 수송층/전하 주입층/음극,
- [0067] m) 양극/전하 주입층/정공 수송층/발광층/전하 수송층/음극,
- [0068] n) 양극/정공 수송층/발광층/전자 수송층/전하 주입층/음극,
- [0069] o) 양극/전하 주입층/정공 수송층/발광층/전자 수송층/전하 주입층/음극,
- [0070] (여기서, /는 각 층이 인접하여 적층되어 있는 것을 나타내며, 이하 동일하다.)
- [0071] 본 실시 형태의 유기 EL 소자는 2층 이상의 발광층을 가질 수도 있다. 2층의 발광층을 갖는 유기 EL 소자로서는, 구체적으로는
- [0072] p) 양극/전하 주입층/정공 수송층/발광층/전자 수송층/전하 주입층/전극/전하 주입층/정공 수송층/발광층/전자 수송층/전하 주입층/음극
- [0073] 의 층 구성을 갖는 것을 들 수 있다.
- [0074] 3층 이상의 발광층을 갖는 유기 EL 소자로서는, 구체적으로는 전극/전하 주입층/정공 수송층/발광층/전자 수송층/전하 주입층을 하나의 반복 단위로서,

- [0075] q) 양극/전하 주입층/정공 수송층/발광층/전자 수송층/전하 주입층/반복 단위/반복 단위 · · · /음극
- [0076] 과, 2층 이상의 상기 반복 단위를 포함하는 층 구성을 갖는 것을 들 수 있다.
- [0077] 상기 층 구성 p 및 q에서, 양극, 음극, 발광층 이외의 각 층은 삭제할 수 있다. 여기서, 전극은 전계를 인가함으로써 정공과 전자를 발생한다. 예를 들면, 산화바나듐, 인듐·주석·옥시드, 산화몰리브덴 등을 들 수 있다.
- [0078] 본 실시 형태의 유기 EL 소자는 추가로 기판을 가질 수 있고, 상기 기판 상에 상기 각 층을 설치할 수 있다. 본 실시 형태의 유기 EL 소자는, 추가로 상기 각 층을 끼워 기판과 반대측에 밀봉을 위한 부재를 가질 수 있다. 기판 및 상기 층 구성을 갖는 유기 EL 소자는 양극측에 기판을 갖지만, 본 실시 형태에서는 이것으로 한정되지 않고, 양극 및 음극 중 어느 쪽에 기판을 가질 수도 있다.
- [0079] 본 실시 형태의 유기 EL 소자는, 발광층으로부터의 광을 방출하는 것을 목적으로 발광층 중 어느 한쪽 층을 전부 투명한 것으로 한다. 구체적으로는 예를 들면, 기판/양극/전하 주입층/정공 수송층/발광층/전자 수송층/전하 주입층/음극/밀봉 부재라는 구성을 갖는 유기 EL 소자의 경우, 기판, 양극, 전하 주입층 및 정공 수송층을 모두 투명한 것으로 하고, 소위 배면 발광(bottom emission)형 소자로 할 수 있다. 또는 전자 수송층, 전하 주입층, 음극 및 밀봉 부재를 모두 투명한 것으로서, 소위 전면 발광(top emission)형 소자로 할 수 있다.
- [0080] 또한, 기판/음극/전하 주입층/전자 수송층/발광층/정공 수송층/전하 주입층/양극/밀봉 부재라는 구성을 갖는 유기 EL 소자의 경우, 기판, 음극, 전하 주입층 및 전자 수송층을 모두 투명한 것으로 하여, 소위 배면 발광형 소자로 할 수 있다.
- [0081] 또는, 정공 수송층, 전하 주입층, 양극 및 밀봉 부재를 모두 투명한 것으로 하여, 소위 전면 발광형 소자로 할 수 있다. 여기서 투명하다는 것은, 발광층으로부터 광을 방출하는 층까지의 가시광 투과율이 40 % 이상인 것이 바람직하다. 자외 영역 또는 적외 영역의 발광이 요구되는 소자의 경우에는, 상기 영역에서 40 % 이상의 투과율을 갖는 것이 바람직하다.
- [0082] 본 실시 형태의 유기 EL 소자는, 추가로 전극과의 밀착성 향상 또는 전극으로부터의 전하의 주입을 개선하는 것을 목적으로, 전극에 인접하여 상기 전하 주입층 또는 막 두께 2 nm 이하의 절연층을 설치할 수도 있고, 또한 계면의 밀착성 향상 또는 혼합의 방지 등을 목적으로 전하 수송층 또는 발광층의 계면에 얇은 완충층을 삽입할 수도 있다. 적층하는 층의 순서, 수 및 각 층의 두께에 대해서는, 발광 효율 또는 소자 수명을 감안하여 적절하게 사용할 수 있다.
- [0083] 다음에, 본 실시 형태의 유기 EL 소자를 구성하는 각 층의 재료 및 형성 방법에 대하여 보다 구체적으로 설명한다. 본 실시 형태의 유기 EL 소자를 구성하는 기판은 전극을 형성하고, 유기물의 층을 형성하는 경우에 변화되지 않는 것이면 되고, 예를 들면 유리, 플라스틱, 고분자 필름, 실리콘 기판, 이들을 적층한 것 등이 이용된다. 상기 기판으로서, 시판되는 것이 입수 가능하고, 또는 공지된 방법에 의해 제조할 수 있다.
- [0084] 본 실시 형태의 유기 EL 소자의 양극으로서, 투명 또는 반투명한 전극을 이용하는 것이, 양극을 통해서 발광하는 소자를 구성할 수 있기 때문에 바람직하다. 이러한 투명 전극 또는 반투명 전극으로서, 높은 전기 전도도의 금속 산화물, 금속 황화물 또는 금속의 박막을 이용할 수 있고, 고투과율의 것을 바람직하게 이용할 수 있으며, 이용되는 유기층에 의해 적절하게 선택하여 이용한다. 구체적으로는 산화인듐, 산화아연, 산화주석, 및 이들의 복합체인 인듐·주석·옥시드(ITO), 인듐·아연·옥시드 등을 포함하는 도전성 유리를 이용하여 제조된 막(NESA 등), 금, 백금, 은, 구리 등이 이용되고, ITO, 인듐·아연·옥시드, 산화주석이 바람직하다. 제조 방법으로서, 진공 증착법, 스퍼터링법, 이온 플레이팅법, 도금법 등을 들 수 있다. 또한, 상기 양극으로서, 폴리아닐린 또는 그의 유도체, 폴리티오펜 또는 그의 유도체 등의 유기 투명 도전막을 이용할 수도 있다.
- [0085] 양극에는, 광을 반사시키는 재료를 이용할 수도 있고, 상기 재료로서는 일함수 3.0 eV 이상의 금속, 금속 산화물, 금속 황화물이 바람직하다. 양극의 막 두께는, 광의 투과성과 전기 전도도를 고려하여 적절하게 선택할 수 있지만, 예를 들면 10 nm 내지 10 μ m이고, 바람직하게는 20 nm 내지 1 μ m이고, 더욱 바람직하게는 50 nm 내지 500 nm이다.
- [0086] 정공 주입층은 양극과 정공 수송층 사이 또는 양극과 발광층 사이에 설치할 수 있다. 본 실시 형태의 유기 EL 소자에 있어서, 정공 주입층을 형성하는 재료로서는, 페닐아민계, 스타버스트형 아민계, 프탈로시아닌계, 산화바나듐, 산화몰리브덴, 산화루테튬, 산화알루미늄 등의 산화물, 비정질 탄소, 폴리아닐린, 폴리티오펜 유도체 등을 들 수 있다.
- [0087] 정공 수송층을 구성하는 재료로서는, 폴리비닐카르바졸 또는 그의 유도체, 폴리실란 또는 그의 유도체, 측쇄 또

는 주쇄에 방향족 아민을 갖는 폴리실록산 유도체, 피라졸린 유도체, 아릴아민 유도체, 스틸벤 유도체, 트리페닐디아민 유도체를 예시할 수 있다. 그 밖에, 폴리아닐린 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 폴리아릴아민 또는 그의 유도체, 폴리피롤 또는 그의 유도체, 폴리(p-페닐렌비닐렌) 또는 그의 유도체, 또는 폴리(2,5-티에닐렌비닐렌) 또는 그의 유도체 등이 예시된다.

[0088] 이들 중에서, 정공 수송층에 사용되는 정공 수송 재료로서, 폴리비닐카르바졸 또는 그의 유도체, 폴리실란 또는 그의 유도체, 측쇄 또는 주쇄에 방향족 아민을 갖는 폴리실록산 유도체, 폴리아닐린 또는 그의 유도체, 폴리티오펜 또는 그의 유도체가 바람직하다. 그 밖에, 폴리아릴아민 또는 그의 유도체, 폴리(p-페닐렌비닐렌) 또는 그의 유도체, 또는 폴리(2,5-티에닐렌비닐렌) 또는 그의 유도체 등의 고분자 정공 수송 재료가 바람직하다. 더욱 바람직하게는 폴리비닐카르바졸 또는 그의 유도체, 폴리실란 또는 그의 유도체, 측쇄 또는 주쇄에 방향족 아민을 갖는 폴리실록산 유도체이다. 저분자의 정공 수송 재료의 경우에는, 고분자 결합체에 분산시켜 이용하는 것이 바람직하다.

[0089] 정공 수송층의 성막 방법에 제한은 없지만, 저분자 정공 수송 재료로서는, 고분자 결합체와의 혼합 용액으로부터의 성막에 의한 방법이 예시된다. 또한, 고분자 정공 수송 재료에서는, 용액으로부터의 성막에 의한 방법이 예시된다. 용액으로부터의 성막에 사용되는 용매로서는, 정공 수송 재료를 용해시키는 것이면 특별히 제한은 없다. 상기 용매로서, 클로로포름, 염화메틸렌, 디클로로에탄 등의 염소계 용매, 테트라히드로푸란 등의 에테르계 용매, 톨루엔, 크실렌 등의 방향족 탄화수소계 용매, 아세톤, 메틸에틸케톤 등의 케톤계 용매, 아세트산에틸, 아세트산부틸, 에틸셀로솔브아세테이트 등의 에스테르계 용매가 예시된다.

[0090] 용액으로부터의 성막 방법으로서, 용액으로부터의 스핀 코팅법, 캐스팅법, 마이크로그래비아 코팅법, 그라비아 코팅법, 바 코팅법, 롤 코팅법, 와이어 바 코팅법, 딥 코팅법을 사용할 수 있다. 그 밖에, 스프레이 코팅법, 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법, 잉크젯 인쇄법 등의 도포법을 사용할 수 있다.

[0091] 혼합하는 고분자 결합체로서는, 전하 수송을 극도로 저해하지 않는 것이 바람직하고, 또한 가시광에 대한 흡수가 강하지 않은 것이 바람직하게 이용된다. 상기 고분자 결합체로서, 폴리카보네이트, 폴리아크릴레이트, 폴리메틸아크릴레이트, 폴리메틸메타크릴레이트, 폴리스티렌, 폴리염화비닐, 폴리실록산 등을 예시할 수 있다.

[0092] 정공 수송층의 막 두께로서는, 사용되는 재료에 따라서 최적값이 다르고, 구동 전압과 발광 효율이 적절한 값이 되도록 선택할 수 있다. 적어도 핀 홀이 발생하지 않도록 하는 두께의 조건에서 최저 막 두께를 결정할 수 있다. 너무 두꺼우면 소자의 구동 전압이 높아져서 바람직하지 않다는 관점에서 최고 막 두께를 결정할 수 있다. 따라서, 상기 정공 수송층의 막 두께로서는, 예를 들면 1 nm 내지 1 μ m이고, 바람직하게는 2 nm 내지 500 nm이고, 더욱 바람직하게는 5 nm 내지 200 nm이다.

[0093] 발광층은 본 실시 형태에서는 유기 발광층인 것이 바람직하고, 주로 형광 또는 인광을 발광하는 유기물(저분자 화합물 및 고분자 화합물)과, 이것을 보조하는 도펀트로 형성된다. 본 실시 형태에서 사용할 수 있는 발광층을 형성하는 재료로서는, 예를 들면 이하의 것을 들 수 있다.

[0094] 색소계 재료로서는, 예를 들면 시클로펜타민 유도체, 테트라페닐부타디엔 유도체 화합물, 트리페닐아민 유도체, 옥사디아졸 유도체, 피라졸로퀴놀린 유도체, 디스티릴벤젠 유도체 등을 들 수 있다. 그 밖에, 디스티릴아릴렌 유도체, 피롤 유도체, 티오펜환 화합물, 피리딘환 화합물, 페리논 유도체, 페릴렌 유도체, 올리고티오펜 유도체, 트리푸마닐아민 유도체, 옥사디아졸 이량체, 피라졸린 이량체 등을 들 수 있다.

[0095] 금속 착체계 재료로서는, 예를 들면 중심 금속에 Al, Zn, Be 등 또는 Tb, Eu, Dy 등의 희토류 금속을 가짐과 동시에, 배위자에 옥사디아졸, 티아디아졸, 페닐피리딘, 페닐벤조이미다졸, 퀴놀린 구조 등을 갖는 금속 착체를 들 수 있다. 예를 들면, 이리듐 착체, 백금 착체 등의 삼중항 여기 상태에서부터의 발광을 갖는 금속 착체, 알루미늄퀴놀리놀 착체, 벤조퀴놀리놀베릴륨 착체, 벤조옥사졸릴아연 착체, 벤조티아졸아연 착체, 아조메틸아연 착체, 포르피린아연 착체, 유로퓸 착체 등을 들 수 있다.

[0096] 고분자계 재료로서는, 폴리파라페닐렌비닐렌 유도체, 폴리티오펜 유도체, 폴리파라페닐렌 유도체, 폴리실란 유도체 등을 들 수 있다. 그 밖에, 폴리아세틸렌 유도체, 폴리플루오렌 유도체, 폴리비닐카르바졸 유도체, 상기 색소계 또는 금속 착체계 발광 재료를 고분자화한 것 등을 들 수 있다.

[0097] 상기 발광성 재료 중, 청색으로 발광하는 재료로서는, 디스티릴아릴렌 유도체, 옥사디아졸 유도체, 및 이들의 중합체, 폴리비닐카르바졸 유도체, 폴리파라페닐렌 유도체, 폴리플루오렌 유도체 등을 들 수 있다. 그 중에서도 고분자 재료의 폴리비닐카르바졸 유도체, 폴리파라페닐렌 유도체, 폴리플루오렌 유도체 등이 바람직하다.

- [0098] 또한, 녹색으로 발광하는 재료로서는, 퀴나크리돈 유도체, 쿠마린 유도체, 및 이들의 중합체, 폴리파라페닐렌비닐렌 유도체, 폴리플루오렌 유도체 등을 들 수 있다. 그 중에서도 고분자 재료의 폴리파라페닐렌비닐렌 유도체, 폴리플루오렌 유도체 등이 바람직하다.
- [0099] 또한, 적색으로 발광하는 재료로서는, 쿠마린 유도체, 티오펜환 화합물, 및 이들의 중합체, 폴리파라페닐렌비닐렌 유도체, 폴리티오펜 유도체, 폴리플루오렌 유도체 등을 들 수 있다. 그 중에서도 고분자 재료의 폴리파라페닐렌비닐렌 유도체, 폴리티오펜 유도체, 폴리플루오렌 유도체 등이 바람직하다.
- [0100] 발광층 중에 발광 효율의 향상 또는 발광 과장을 변화시키는 등의 목적으로, 도펀트를 첨가할 수 있다. 이러한 도펀트로서는, 예를 들면 페틸렌 유도체, 쿠마린 유도체, 루브렌 유도체, 퀴나크리돈 유도체, 스쿠아름 유도체, 포르피린 유도체, 스티릴계 색소, 테트라센 유도체, 피라졸론 유도체, 데카시클렌, 페녹사존 등을 들 수 있다. 또한, 이러한 발광층의 두께는 2 내지 200 nm로 할 수 있다.
- [0101] 유기물을 포함하는 발광층의 성막 방법으로서, 발광 재료를 포함하는 용액을 기체(基體) 상 또는 상층에 도포하는 방법, 진공 증착법, 전사법 등을 사용할 수 있다. 용액으로부터의 성막에 이용되는 용매의 구체적인 예로서는, 상술한 용액으로부터 정공 수송층을 성막하는 경우에 정공 수송 재료를 용해시키는 용매와 동일한 용매를 들 수 있다.
- [0102] 발광 재료를 포함하는 용액을 기체 상 또는 상층에 도포하는 방법으로서, 코팅법을 사용할 수 있다. 코팅법으로서, 스핀 코팅법, 캐스팅법, 마이크로그래비아 코팅법, 그라비아 코팅법, 바 코팅법, 롤 코팅법, 와이어 바 코팅법, 딥 코팅법, 슬릿 코팅법, 모세관 코팅법, 스프레이 코팅법, 노즐 코팅법을 예시할 수 있다. 그 밖에, 그라비아 인쇄법, 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법, 반전 인쇄법, 잉크젯 인쇄법 등의 도포법을 사용할 수 있다.
- [0103] 패턴 형성 또는 다색의 분할 도포가 용이하다고 하는 점에서, 그라비아 인쇄법, 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법, 반전 인쇄법, 잉크젯 인쇄법 등의 인쇄법이 바람직하다. 또한, 승화성 저분자 화합물의 경우에는, 진공 증착법을 사용할 수 있다. 또한, 레이저에 의한 전사 또는 열 전사에 의해 소정의 영역에 발광층을 형성하는 방법도 사용할 수 있다.
- [0104] 전자 수송층으로서, 공지된 것을 사용할 수 있고, 옥사디아졸 유도체, 안트라퀴노디메탄 또는 그의 유도체, 벤조퀴논 또는 그의 유도체, 나프토퀴논 또는 그의 유도체, 안트라퀴논 또는 그의 유도체, 테트라시아노안트라퀴노디메탄 또는 그의 유도체, 플루오레논 유도체가 예시된다. 그 밖에, 디페닐디시아노에틸렌 또는 그의 유도체, 디페노퀴논 유도체, 또는 8-히드록시퀴놀린 또는 그의 유도체의 금속 착체, 폴리퀴놀린 또는 그의 유도체, 폴리퀴놀살린 또는 그의 유도체, 폴리플루오렌 또는 그의 유도체가 예시된다.
- [0105] 이들 중에서 옥사디아졸 유도체, 벤조퀴논 또는 그의 유도체, 안트라퀴논 또는 그의 유도체, 또는 8-히드록시퀴놀린 또는 그의 유도체의 금속 착체, 폴리퀴놀린 또는 그의 유도체, 폴리퀴놀살린 또는 그의 유도체, 폴리플루오렌 또는 그의 유도체가 바람직하다. 2-(4-비페닐릴)-5-(4-t-부틸페닐)-1,3,4-옥사디아졸, 벤조퀴논, 안트라퀴논, 트리스(8-퀴놀리닐)알루미늄, 폴리퀴놀린이 더욱 바람직하다.
- [0106] 전자 수송층의 성막법으로서 특별히 제한은 없지만, 저분자 전자 수송 재료에서는 분말로부터의 진공 증착법, 또는 용액 또는 용융 상태에서부터의 성막에 의한 방법이, 고분자 전자 수송 재료에서는 용액 또는 용융 상태에서부터의 성막에 의한 방법이 각각 예시된다. 용액 또는 용융 상태에서부터의 성막시에는 고분자 결합제를 병용할 수도 있다. 용액으로부터 전자 수송층을 성막하는 방법으로서, 상술한 용액으로부터 정공 수송층을 성막하는 방법과 동일한 성막법을 들 수 있다.
- [0107] 전자 수송층의 막 두께로서는, 사용되는 재료에 따라서 최적값이 다르고, 구동 전압과 발광 효율이 적절한 값이 되도록 선택할 수 있다. 적어도 핀 홀이 발생하지 않도록 하는 두께의 조건에서 최저 막 두께를 결정할 수 있다. 너무 두꺼우면 소자의 구동 전압이 높아져서 바람직하지 않은 관점에서 최고 막 두께를 결정할 수 있다. 따라서, 상기 전자 수송층의 막 두께로서는, 예를 들면 1 nm 내지 1 μ m이고, 바람직하게는 2 nm 내지 500 nm이고, 더욱 바람직하게는 5 nm 내지 200 nm이다.
- [0108] 전자 주입층은 전자 수송층과 음극 사이 또는 발광층과 음극 사이에 설치된다. 전자 주입층으로서, 발광층의 종류에 따라서 알칼리 금속, 알칼리 토류 금속, 또는 상기 금속을 1종 이상 포함하는 합금, 또는 상기 금속의 산화물, 할로겐화물 및 탄산화물, 또는 상기 물질의 혼합물 등을 들 수 있다. 알칼리 금속 또는 그의 산화물, 할로겐화물, 탄산화물의 예로서는, 리튬, 나트륨, 칼륨, 루비듐, 세슘, 산화리튬, 불화리튬 등을 들 수 있다.

그 밖에, 산화나트륨, 불화나트륨, 산화칼륨, 불화칼륨, 산화루비듐, 불화루비듐, 산화세슘, 불화세슘, 탄산리튬 등을 들 수 있다.

[0109] 또한, 알칼리 토류 금속 또는 그의 산화물, 할로겐화물, 탄산화물의 예로서는, 마그네슘, 칼슘, 바륨, 스트론튬, 산화마그네슘, 불화마그네슘, 산화칼슘, 불화칼슘 등을 들 수 있다. 그 밖에, 산화바륨, 불화바륨, 산화스트론튬, 불화스트론튬, 탄산마그네슘 등을 들 수 있다.

[0110] 전자 주입층은 2층 이상을 적층한 것일 수도 있다. 구체적으로는 LiF/Ca 등을 들 수 있다. 전자 주입층은 증착법, 스퍼터링법, 인쇄법 등에 의해 형성된다. 전자 주입층의 막 두께로서는, 1 nm 내지 1 μ m 정도가 바람직하다.

[0111] 본 실시 형태의 유기 EL 소자에서 사용되는 음극의 재료로서는, 일함수가 작으며 발광층에의 전자 주입이 용이한 재료 및/또는 고전기 전도도의 재료 및/또는 가시광 고반사율의 재료가 바람직하다. 금속으로서, 알칼리 금속 또는 알칼리 토류 금속, 전이 금속 또는 III-B족 금속을 사용할 수 있다. 예를 들면, 리튬, 나트륨, 칼륨, 루비듐, 세슘, 베릴륨, 마그네슘, 칼슘, 스트론튬, 바륨, 알루미늄, 스칸듐 등의 금속을 예시할 수 있다. 또한, 바나듐, 아연, 이트륨, 인듐, 세륨, 사마륨, 유로퓸, 테르븀, 이테르븀 등의 금속일 수 있다. 이들 금속, 또는 상기 금속 중 2개 이상의 합금, 또는 이들 중 1개 이상과, 금, 은, 백금, 구리, 망간, 티탄, 코발트, 니켈, 텅스텐, 주석 중 1개 이상과의 합금, 또는 흑연 또는 흑연 층간 화합물 등이 이용된다.

[0112] 합금의 예로서는, 마그네슘-은 합금, 마그네슘-인듐 합금, 마그네슘-알루미늄 합금, 인듐-은 합금, 리튬-알루미늄 합금, 리튬-마그네슘 합금, 리튬-인듐 합금, 칼슘-알루미늄 합금 등을 들 수 있다. 또한, 음극으로서 투명 도전성 전극을 사용할 수 있고, 예를 들면 도전성 금속 산화물 또는 도전성 유기물 등을 사용할 수 있다. 구체적으로는, 도전성 금속 산화물로서 산화인듐, 산화아연, 산화주석, 및 이들의 복합체인 인듐·주석·옥사이드(ITO) 또는 인듐·아연·옥사이드(IZO), 도전성 유기물로서 폴리아닐린 또는 그의 유도체, 폴리티오펜 또는 그의 유도체 등의 유기 투명 도전막을 이용할 수도 있다. 또한, 음극을 2층 이상의 적층 구조로 할 수도 있다. 또한, 전자 주입층이 음극으로서 사용되는 경우도 있다.

[0113] 음극의 막 두께는 전기 전도도 또는 내구성을 고려하여 적절하게 선택할 수 있지만, 예를 들면 10 nm 내지 10 μ m이고, 바람직하게는 20 nm 내지 1 μ m이고, 더욱 바람직하게는 50 nm 내지 500 nm이다. 음극의 제조 방법으로서, 진공 증착법, 스퍼터링법, 또한 금속 박막을 열 압착시키는 라미네이트법 등이 이용된다.

[0114] 본 실시 형태의 유기 EL 소자가 임의로 가질 수 있는, 막 두께 2 nm 이하의 절연층은 전하 주입을 용이하게 하는 기능을 갖는다. 상기 절연층의 재료로서는, 금속 불화물, 금속 산화물, 유기 절연 재료 등을 들 수 있다. 막 두께 2 nm 이하의 절연층을 설치한 유기 EL 소자로서는, 음극에 인접하여 막 두께 2 nm 이하의 절연층을 설치한 것, 양극에 인접하여 막 두께 2 nm 이하의 절연층을 설치한 것을 들 수 있다.

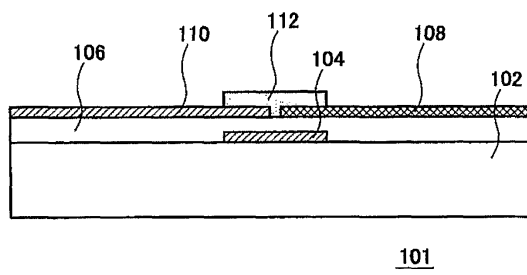
[0115] 본 실시 형태의 유기 EL 소자는 면상 광원, 세그먼트 표시 장치, 도트 매트릭스 표시 장치, 액정 표시 장치의 백 라이트로서 사용할 수 있다. 본 실시 형태의 유기 EL 소자를 이용하여 면상 광원을 얻기 위해서는, 면상의 양극과 음극이 서로 겹치도록 배치할 수 있다.

[0116] 또한, 패턴상의 광원을 얻기 위해서는, 상기 면상의 발광 소자 표면에 패턴상의 창을 설치한 마스크를 배치하는 방법, 비발광부의 유기물층을 극단적으로 두껍게 형성하여 실질적으로 비발광으로 하는 방법, 양극 또는 음극 중 어느 한쪽 또는 양쪽의 전극을 패턴조로 형성하는 방법이 있다. 이들 중 어느 방법으로 패턴을 형성하여, 몇개의 전극을 독립적으로 ON/OFF할 수 있도록 배치함으로써, 숫자, 문자, 간단한 기호 등을 표시할 수 있는 세그먼트 타입의 표시 소자가 얻어진다.

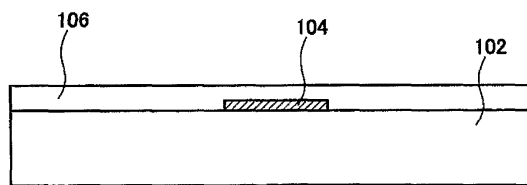
[0117] 또한, 도트 매트릭스 소자로 하기 위해서는, 양극과 음극을 모두 스트라이프상으로 형성하여 직교하도록 배치할 수 있다. 복수 종류의 발광색이 다른 발광 재료를 분할 도포하는 방법, 또는 컬러 필터 또는 형광 변환 필터를 이용하는 방법에 의해 부분 컬러 표시, 멀티 컬러 표시가 가능해진다. 도트 매트릭스 소자는 패시브 구동도 할 수 있고, TFT 등과 조합하여 액티브 구동할 수도 있다. 이들 표시 소자는 컴퓨터, 텔레비전, 휴대 단말, 휴대 전화, 카 내비게이션 시스템, 비디오 카메라의 뷰 파인더 등의 표시 장치로서 사용할 수 있다.

도면

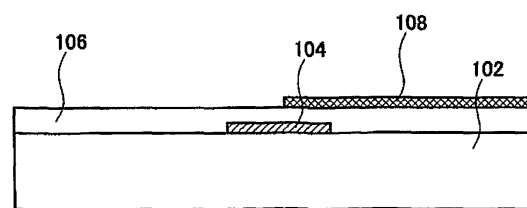
도면1



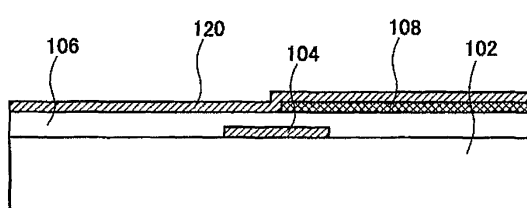
도면2



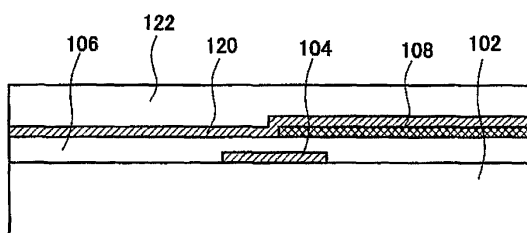
도면3



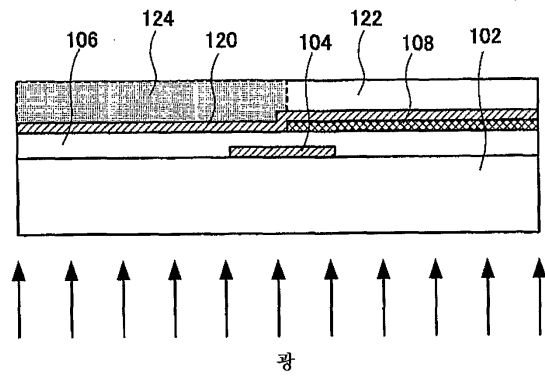
도면4



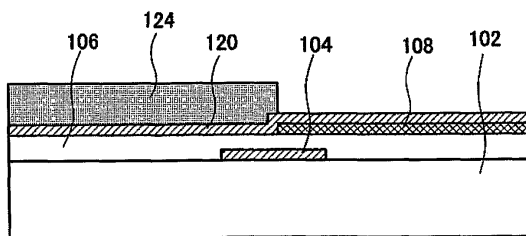
도면5



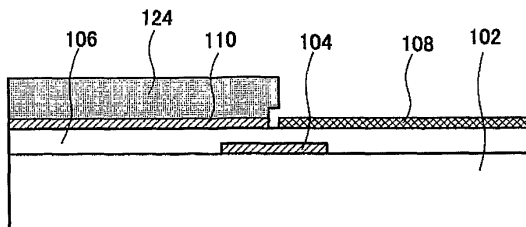
도면6



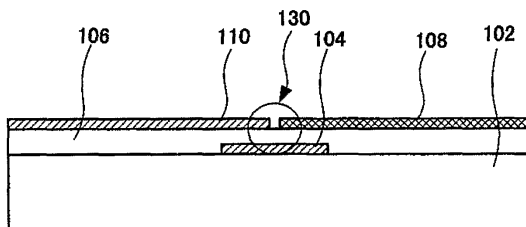
도면7



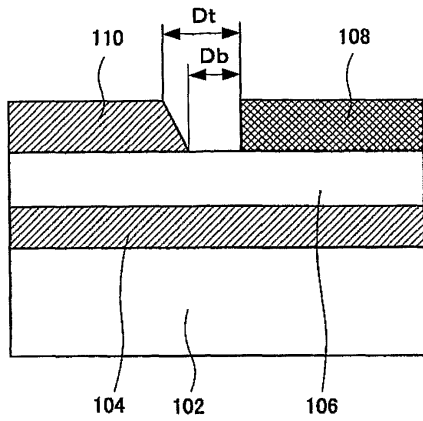
도면8



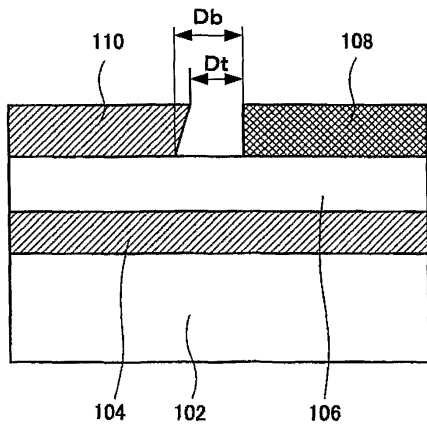
도면9



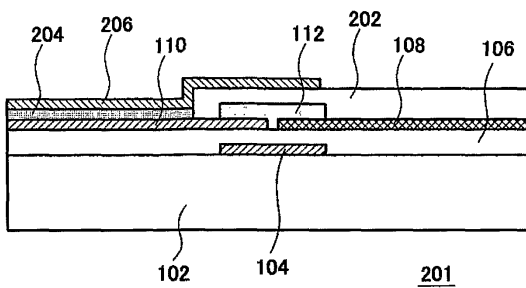
도면10



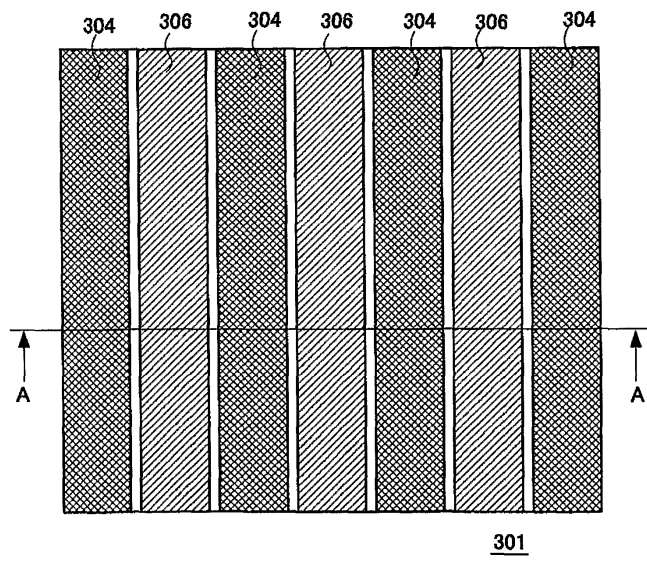
도면11



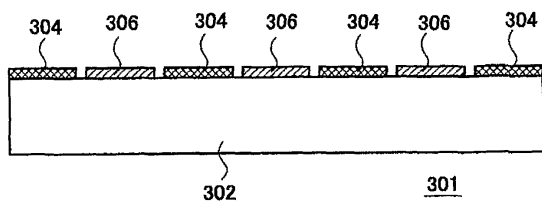
도면12



도면13



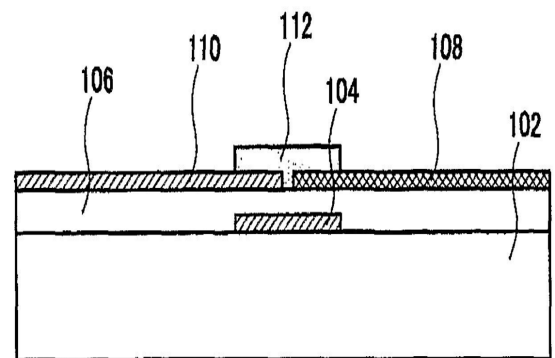
도면14



专利名称(译)	薄膜有源器件，有机发光器件，显示器件，电子器件和薄膜有源器件		
公开(公告)号	KR1020100074259A	公开(公告)日	2010-07-01
申请号	KR1020107010077	申请日	2008-10-09
[标]申请(专利权)人(译)	住友化学有限公司 另一位家长住友化学有限公司是分租		
申请(专利权)人(译)	住友化学 (株) 制		
当前申请(专利权)人(译)	住友化学 (株) 制		
[标]发明人	KASAHARA KENJI		
发明人	KASAHARA, KENJI		
IPC分类号	H01L51/05 H01L29/786 H01L H01L51/50 H01L51/40		
CPC分类号	H01L27/3262 H01L27/3248 H01L51/0545 H01L29/458 H01L29/78633 H01L29/66742 H01L21/0274 H01L51/102 H01L51/0023 H01L29/41733 H01L29/78603		
代理人(译)	CHANG, SOO KIL LEE, SEOK JAE		
优先权	2007265860 2007-10-11 JP		
外部链接	Espacenet		

摘要(译)

根据本发明，提供了一种发光装置，包括透光基板，形成在基板上的遮光源/漏电极，形成在光的平面上的透光源/漏电极。形成在遮光源/漏电极和透光源/漏电极之间的间隙中的沟道层；以及用于将电场施加到形成在间隙中的沟道层的栅电极。



101