



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

H05B 33/12 (2006.01)

G09G 3/32 (2006.01)

G09G 3/20 (2006.01)

(11) 공개번호 10-2007-0085515

(43) 공개일자 2007년08월27일

(21) 출원번호 10-2007-7012086

(22) 출원일자 2007년05월29일

심사청구일자 2007년05월29일

변역문 제출일자 2007년05월29일

(86) 국제출원번호 PCT/JP2005/021020

(87) 국제공개번호 WO 2006/057187

국제출원일자 2005년11월16일

국제공개일자 2006년06월01일

(30) 우선권주장 JP-P-2004-00338550 2004년11월24일 일본(JP)

(71) 출원인 로무 가부시기가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 아베, 신이찌
일본 615-8585 교토후 교토시 우교구 사이잉 미조사끼쵸 21 로무가부
시기가이샤 내
야구마, 히로시
일본 615-8585 교토후 교토시 우교구 사이잉 미조사끼쵸 21 로무가부
시기가이샤 내

(74) 대리인 양영준
이중희

전체 청구항 수 : 총 18 항

(54) 기준 전류 발생 회로, 유기 E L 구동 회로 및 이것을이용하는 유기 E L 표시 장치

(57) 요약

복수의 스위치 회로와 커런트 미러 회로의 복수의 출력측 트랜지스터로 구성되는 D/A 변환 블록(3)을 R, G, B에 대응시켜 3개 설치하고, 이들 D/A 변환 블록(3)에서 R, G, B에 대응하는 기준 전류를 생성하고, 그 후단에 각 단자 핀 대응으로 D/A 변환 블록(5)을 갖는 커런트 미러 회로를 설치하고, R, G, B에 대응하는 각각의 기준 전류를 제1, 제2, 제3 절환 회로(4)에 의해 선택적으로 절환하여, 각 단자 핀 대응의 D/A 변환 블록(5)에서 각 단자 핀 대응으로 구동 전류 혹은 이것의 기초로 되는 전류를, 유기 EL 패널 상의 R, G, B의 도트 배열에 대응하여 다이내믹하게 생성한다. 이와 같이, 변화되는 R, G, B의 도트 배열에 대응하는 컬럼 라인 구동 절환을, 기준 전류 발생 회로에 절환 회로(4)를 설치함으로써 용이하게 한다.

대표도

도 1

특허청구의 범위

청구항 1.

유기 EL 패널의 다수의 각 단자 핀 대응으로 구동 전류를 각각 생성하여 상기 유기 EL 패널을 전류 구동하는 유기 EL 구동 회로에서의 기준 전류 발생 회로로서,

복수의 스위치 회로와 커런트 미러 회로의 복수의 출력측 트랜지스터로 구성되며 표시 3원색인 R, G, B에 대응하여 설치되고 아날로그 변환 전류를 기준 전류로서 각각 발생하는 제1, 제2 및 제3 D/A 변환 블록과,

R, G, B에 대응하는 각 상기 기준 전류 중 1개를 선택하는 제1 절환 회로와,

R, G, B에 대응하는 각 상기 구동 전류 중 다른 1개를 선택하는 제2 절환 회로와,

R, G, B에 대응하는 각 상기 기준 전류 중 나머지 1개를 선택하는 제3 절환 회로와,

각 상기 단자 핀에 대응하여 발생하는 각 상기 구동 전류가 상기 유기 EL 패널의 R, G, B의 도트 배열에 대응하도록 상기 제1, 제2 및 제3 절환 회로에 의한 상기 기준 전류의 선택을 표시 화면에 대한 라인 주사에 따라서 순차적으로 절환하는 제어 회로

를 포함하는 기준 전류 발생 회로.

청구항 2.

제1항에 있어서,

상기 커런트 미러 회로는 1개이며, 상기 제1, 제2 및 제3 D/A 변환 블록은, 이 1개의 상기 커런트 미러 회로에 설치되어 있는 기준 전류 발생 회로.

청구항 3.

제2항에 있어서,

상기 커런트 미러 회로는, 상기 복수의 스위치 회로에 의해 상기 복수의 출력측 트랜지스터의 출력 전류를 스위칭하여 선택하는 D/A 변환 회로를 구성하고, 상기 제1, 제2 및 제3 D/A 변환 블록은, 각각 표시 화면 상에서의 R, G, B의 화이트 밸런스를 조정하는 R, G, B에 대응하여 설치된 화이트 밸런스 조정 회로인 기준 전류 발생 회로.

청구항 4.

제3항에 있어서,

상기 화이트 밸런스 조정 회로는, 각각에 설정 데이터를 받고, 이 설정 데이터를 D/A 변환하여 R, G, B에 대응하여 조정된 각각의 상기 기준 전류를 발생하는 것인 기준 전류 발생 회로.

청구항 5.

제4항에 있어서,

기준 전류원과 전류 반전 회로를 더 갖고, 상기 제1, 제2 및 제3 절환 회로는, 각각 상기 제어 회로로부터의 제어 신호에 의해 R, G, B에 대응하는 상기 기준 전류를 순차적으로 선택하기 위해 ON/OFF되는 3개의 스위치 트랜지스터로 이루어지며, 상기 커런트 미러 회로의 입력측 트랜지스터가 상기 전류 반전 회로를 통해서 상기 기준 전류원으로부터의 전류를 받는 기준 전류 발생 회로.

청구항 6.

제5항에 있어서,

상기 스위치 트랜지스터는 트랜스미션 게이트이며, 상기 제어 신호는, 상기 기준 전류를 선택하기 위해 수평 주사 주파수의 주기에 대하여 3배의 주기의 펄스인 기준 전류 발생 회로.

청구항 7.

제6항에 있어서,

상기 제1, 제2 및 제3 D/A 변환 블록의 각 상기 복수의 스위치 회로는, 상기 설정 데이터에 따라서 ON/OFF되며, 상기 커런트 미러 회로는, P채널 MOS 트랜지스터로 구성되어 있는 기준 전류 발생 회로.

청구항 8.

유기 EL 패널의 다수의 각 단자 핀 대응으로 구동 전류를 각각 생성하여 상기 유기 EL 패널을 전류 구동하는 유기 EL 구동 회로로서,

표시 3원색인 R, G, B에 대응하는 기준 전류를 각각 발생하는 기준 전류 발생 회로와,

제1, 제2 및 제3 커런트 미러 회로와,

복수의 제1 스위치 회로와 이들 제1, 제2 및 제3 커런트 미러 회로의 각각의 복수의 출력측 트랜지스터로 구성되며 아날로그 변환 전류를 상기 구동 전류 혹은 이것의 기초로 되는 전류로서 발생하고 다수의 각 단자 핀 대응으로 설치된 다수의 제1 D/A 변환 블록과,

R, G, B에 대응하는 각 상기 기준 전류 중 1개를 선택하여 상기 제1 커런트 미러 회로의 입력측 트랜지스터에 공급하는 제1 절환 회로와,

R, G, B에 대응하는 각 상기 기준 전류 중 다른 1개를 선택하여 상기 제2 커런트 미러 회로의 입력측 트랜지스터에 공급하는 제2 절환 회로와,

R, G, B에 대응하는 각 상기 기준 전류 중 나머지 1개를 선택하여 상기 제3 커런트 미러 회로의 입력측 트랜지스터에 공급하는 제3 절환 회로와,

상기 제1, 제2 및 제3 절환 회로에 의한 상기 기준 전류의 선택을 표시 화면에 대한 라인 주사에 따라서 순차적으로 절환하는 제어하는 제어 회로

를 포함하고,

각 상기 단자 핀에 대응하여 발생하는 각 상기 구동 전류가 상기 제어 회로의 절환 제어에 의해 상기 유기 EL 패널의 R, G, B의 도트 배열에 대응하도록 각 상기 단자 핀에 출력되는 유기 EL 구동 회로.

청구항 9.

제8항에 있어서,

상기 제1, 제2 및 제3 절환 회로는, 각각 상기 제어 회로로부터의 제어 신호에 의해 R, G, B에 대응하는 상기 기준 전류를 순차적으로 선택하기 위해 ON/OFF되는 3개의 스위치 트랜지스터로 이루어지고, 상기 기준 전류 발생 회로는, 복수의 제2 스위치 회로와 제4 커런트 미러 회로를 더 갖고, 상기 복수의 제2 스위치 회로와 상기 제4 커런트 미러 회로의 복수의 출력측 트랜지스터는 R, G, B 대응으로 제2, 제3 및 제4 D/A 변환 블록을 형성하는 유기 EL 구동 회로.

청구항 10.

제9항에 있어서,

상기 제4 커런트 미러 회로는, 상기 복수의 제2 스위치 회로에 의해 상기 제4 커런트 미러 회로의 상기 복수의 출력측 트랜지스터의 출력 전류를 스위칭하여 선택하는 D/A 변환 회로를 구성하고, 상기 제2, 제3 및 제4 D/A 변환 블록은, 각각 표시 화면 상에서의 R, G, B의 화이트 밸런스를 조정하는 R, G, B에 대응하여 설치된 화이트 밸런스 조정 회로인 유기 EL 구동 회로.

청구항 11.

제10항에 있어서,

상기 화이트 밸런스 조정 회로는, 각각에 설정 데이터를 받고, 이 설정 데이터를 D/A 변환하여 R, G, B에 대응하여 조정된 각각의 상기 기준 전류를 발생하는 것인 유기 EL 구동 회로.

청구항 12.

제11항에 있어서,

상기 제2, 제3 및 제4 D/A 변환 블록의 각 상기 복수의 제2 스위치 회로는, 상기 설정 데이터에 따라서 ON/OFF되는 기준 전류 발생 회로.

청구항 13.

제12항에 있어서,

상기 기준 전류 발생 회로는, 기준 전류원과 전류 반전 회로를 더 갖고, 상기 제4 커런트 미러 회로의 입력측 트랜지스터가 상기 전류 반전 회로를 통해서 상기 기준 전류원으로부터의 전류를 받고, 상기 제1, 제2 및 제3 절환 회로는, 각각 상기 제어 회로로부터의 제어 신호에 의해 R, G, B에 대응하는 상기 기준 전류를 순차적으로 선택하기 위해 ON/OFF되는 3개의 스위치 트랜지스터로 이루어지는 유기 EL 구동 회로.

청구항 14.

제13항에 있어서,

상기 스위치 트랜지스터는 트랜스미션 게이트이며, 상기 제어 신호는, 상기 기준 전류를 선택하기 위해 수평 주사 주파수의 주기에 대하여 3배의 주기의 펄스인 유기 EL 구동 회로.

청구항 15.

제14항에 있어서,

상기 제1 D/A 변환 블록은, 표시 데이터를 받아 상기 아날로그 변환 전류를 발생하고, 상기 유기 EL 패널은 액티브 매트릭스형이며, 상기 도트 배열은 다이애거널(diagonal) 도트 배열인 유기 EL 구동 회로.

청구항 16.

제15항에 있어서,

상기 제1, 제2 및 제3 커런트 미러 회로는, N채널 MOS 트랜지스터로 구성되며, 상기 제4 커런트 미러 회로는, P채널 MOS 트랜지스터로 구성되고, 각 상기 단자 핀은 제3 스위치 회로를 통해서 리셋 전압을 발생하는 정전압 회로에 접속되어 있는 유기 EL 구동 회로.

청구항 17.

제1항 내지 제7항 중 어느 한 항의 기준 전류 발생 회로를 갖는 유기 EL 구동 회로와 상기 유기 EL 패널을 갖는 유기 EL 표시 장치.

청구항 18.

제8항 내지 제16항 중 어느 한 항의 유기 EL 구동 회로와 상기 유기 EL 패널을 갖는 유기 EL 표시 장치.

명세서**기술분야**

본 발명은, 기준 전류 발생 회로, 유기 EL 구동 회로 및 이것을 이용하는 유기 EL 표시 장치에 관한 것으로, 상세하게는, R(적), G(녹), B(청)의 3원색의 화소 배열(도트 배열)이 표시 화면 상에서 다이애거널 배열, 델타 배열, 렉탱글 배열 등과 같이, 수평 1라인의 로우측의 라인 주사(수평 1라인의 수직 방향의 주사)에 따라서 수평 1라인의 R, G, B의 도트 배열 순서가 변화되는 경우에서, 변화되는 R, G, B의 도트 배열에 대응하는 컬럼 라인 구동 절환을 기준 전류 발생 회로에 절환 회로를 설치함으로써 용이하게 하는 것으로서, 이러한 절환 회로를 추가해도 IC에서의 전류 구동 회로의 점유 면적을 거의 증가시키지 않아도 되는 기준 전류 발생 회로에 관한 것이다. 또한, R, G, B의 도트 배열에 대응하는 컬럼 라인 구동 절환을 위한 절환 회로를 추가해도 IC에서의 전류 구동 회로의 점유 면적을 저감시킬 수 있는 컬러 표시에 적합한 유기 EL 구동 회로 및 유기 EL 표시 장치에 관한 것이다.

배경기술

휴대 전화기, PHS, DVD 플레이어, PDA(휴대 단말 장치) 등에 탑재되는 유기 EL 표시 장치의 유기 EL 표시 패널은, QVGA의 풀 컬러가 제안되어, 실용화의 단계에 들어가 있다. QVGA에서는, 컬럼 방향의 편수가 R, G, B 각 120핀의 360핀으로 되지만, TV용의 유기 EL 표시 장치 등에서는 더욱 단자 편수가 많아져, 고해상도의 유기 EL 패널로 된다. 또한, 휴대 전화기의 유기 EL 패널에서도 더욱 고해상도의 유기 EL 패널을 장치에 탑재하는 요청이 강하다.

풀 컬러 표시는, R, G, B의 3화소가 모노크롬의 1화소에 대응하고 있다. 고해상도에서 화질을 향상시키는 경우에는, 유기 EL 표시 장치는, R, G, B의 도트 배열(서브 픽셀 배열)을 현재와 같은 R, G, B를 각 컬럼 라인에 차례대로 할당하는 고정형의 스트라이프 배치가 아니라, 현재의 액정 모니터에서 행해지고 있는 다이애거널 배열, 델타 배열, 렉탱글 배열 등의 R, G, B의 도트 배열로 되고, 이에 따른 다이내믹한 전류 구동이 필요하게 된다(비특허 문헌1).

비특허 문헌1 : 액정 모니터 제조 장치 용어 사전(일본 반도체 제조 장치 협회편)

<발명의 개시>

<발명이 해결하고자 하는 과제>

R, G, B에 발광 감도차가 있기 때문에 다이애거널 배열, 델타 배열, 렉탱글 배열 등에서는, 유기 EL 소자의 발광 휘도 레벨이 동일하여도 동일한 컬럼 라인에 대해서는 도트 배열에 따라서 결정되는 R, G, B에 대응하는 구동 전류를 발생시키는 것이 필요하다. 그 구동 전류는, 수평 1라인의 로우측의 라인 주사(수평 1라인의 수직 방향에서의 주사)에 대응하여 다이내믹하게 발생시켜야만 한다.

그 때문에 생각되는 것은, 출력 핀의 바로 앞에 R, G, B 절환의 멀티플렉서를 설치하여 수평 1라인의 로우측 라인 주사에 따라서 R, G, B의 구동 전류를 절환하여 발생하는 것이다. 그러나, 그와 같이 하면, 각 출력 핀 대응으로 멀티플렉서가 필요하게 된다. 그 때문에, 전류 구동 회로의 점유 면적이 그 만큼 증가되어 IC 1개당의 구동 핀수를 많게 할 수 없게 되는 문제가 있다. 그와 같은 IC 드라이버를 고해상도화를 위해 사용하면 다수의 IC 드라이버가 필요하게 되는 문제가 있다.

본 발명의 목적은, 이와 같이 종래 기술의 문제점을 해결하는 것으로서, 변화되는 R, G, B의 도트 배열에 대응하는 컬럼 라인 구동 절환을 기준 전류 발생 회로에 절환 회로를 설치함으로써 용이하게 하는 것이며, 이와 같은 절환 회로를 추가해도 IC에서의 전류 구동 회로의 점유 면적을 대부분 증가시키지 않아도 되는 기준 전류 발생 회로를 제공하는 것에 있다.

본 발명의 다른 목적은, R, G, B의 도트 배열에 대응하는 컬럼 라인 구동 절환을 위한 절환 회로를 추가해도 IC에서의 전류 구동 회로의 점유 면적을 저감시킬 수 있는 고해상도의 풀 컬러 표시의 유기 EL 패널에 적합한 유기 EL 구동 회로 혹은 유기 EL 표시 장치를 제공하는 것에 있다.

<과제를 해결하기 위한 수단>

이와 같은 목적을 달성하기 위한 제1 발명의 기준 전류 발생 회로의 구성은, 복수의 스위치 회로와 커런트 미러 회로의 복수의 출력측 트랜지스터로 구성되며 표시 3원색의 R, G, B에 대응하여 설치되고 아날로그 변환 전류를 기준 전류로서 각각 발생하는 제1, 제2 및 제3 D/A 변환 블록과, R, G, B에 대응하는 각 기준 전류 중 1개를 선택하는 제1 절환 회로와, R, G, B에 대응하는 각 기준 전류 중 다른 1개를 선택하는 제2 절환 회로와, R, G, B에 대응하는 각 기준 전류 중 나머지 1개를 선택하는 제3 절환 회로와, 각 단자 핀에 대응하여 발생하는 구동 전류가 유기 EL 패널의 R, G, B의 도트 배열에 대응하도록 제1, 제2 및 제3 절환 회로에 의한 기준 전류의 선택을 표시 화면에 대한 라인 주사에 따라서 순차적으로 절환하는 제어를 하는 제어 회로를 구비하는 것이다.

제2 발명의 유기 EL 구동 회로 혹은 이것을 이용하는 유기 EL 표시 장치의 구성은, 유기 EL 패널의 다수의 각 단자 핀 대응으로 구동 전류를 각각 생성하여 유기 EL 패널을 전류 구동하는 유기 EL 구동 회로에 있어서,

표시 3원색의 R, G, B에 대응하는 기준 전류를 각각 발생하는 기준 전류 발생 회로와, 제1, 제2 및 제3 커런트 미러 회로와, 복수의 제1 스위치 회로와 이들 제1, 제2 및 제3 커런트 미러 회로의 각각의 복수의 출력측 트랜지스터로 구성되며 아날로그 변환 전류를 구동 전류 혹은 이것의 기초로 되는 전류로서 발생하고 다수의 각 단자 핀 대응으로 설치된 다수의 제1 D/A 변환 블록과, R, G, B에 대응하는 각 기준 전류 중 1개를 선택하여 제1 커런트 미러 회로의 입력측 트랜지스터에 공급하는 제1 절환 회로와, R, G, B에 대응하는 각 기준 전류 중 다른 1개를 선택하여 제2 커런트 미러 회로의 입력측 트랜지스터에 공급하는 제2 절환 회로와, R, G, B에 대응하는 각 기준 전류 중 나머지 1개를 선택하여 제2 커런트 미러 회로의 입

력측 트랜지스터에 공급하는 제3 절환 회로와, 제1, 제2 및 제3 절환 회로에 의한 기준 전류의 선택을 표시 화면에 대한 라인 주사에 따라서 순차적으로 절환하는 제어를 하는 제어 회로를 구비하고 있고, 각 단자 핀에 대응하여 발생하는 구동 전류가 제어 회로의 절환 제어에 의해 유기 EL 패널의 R, G, B의 도트 배열에 대응하도록 각 상기 단자 핀에 출력되는 것이다.

<발명의 효과>

제1 발명은, 1개의 커런트 미러 회로에서, 복수의 스위치 회로와 커런트 미러 회로의 복수의 출력측 트랜지스터로 구성되는 D/A 변환 블록을 R, G, B에 대응시켜 3개 설치하고 D/A 변환 블록이 R, G, B의 기준 전류를 각각에 발생한다. 발생시킨 그들의 기준 전류를 제1, 제2, 제3 절환 회로에서 선택하도록 하고, 제어 회로가 R, G, B의 도트 배열에 대응하도록, 표시 화면에 대한 라인 주사(1수평 라인에 대응하는 로우측의 라인 주사에 상당)에 따라서 제1, 제2, 제3 절환 회로를 절환 제어하여 기준 전류의 선택을 유기 EL 패널 상의 R, G, B의 도트 배열에 대응시켜 다이내믹하게 행하고, 이에 따라서 구동 전류를 생성한다.

또한, 구동 전류의 생성은, 예를 들면, R, G, B의 각 단자 핀 대응으로 각각 설치된 커런트 미러 회로 구성의 D/A 변환 회로에 제1, 제2, 제3 절환 회로에서 선택한 각각의 기준 전류를 공급하면 된다.

이 경우, 제1 발명에서는, 기준 전류 발생 회로로서 R, G, B에 대응으로 3개의 커런트 미러 회로에서 각각에 R, G, B의 각 기준 전류를 발생하는 것을 1개의 커런트 미러 회로의 3개의 D/A 변환 블록에서 처리하고 있다.

제1, 제2, 제3 절환 회로가 설치되지만, 이들은, 통상 각각 3개 정도의 복수의 스위치 트랜지스터(트랜스미션 게이트 혹은 그 밖의 아날로그 스위치)로 구성할 수 있다. 기준 전류는 미소한 전류이므로 스위치 트랜지스터의 점유 면적은 작아도 된다. 이들 복수의 스위치 트랜지스터의 점유 면적의 증가분은, 기준 전류 발생 회로를 1개의 커런트 미러 회로로 하여 커런트 미러 회로의 입력측 트랜지스터를 2개분 줄임으로써 실질적으로 상쇄할 수 있다.

왜냐하면, 미소한 기준 전류를 ON/OFF하는, 예를 들면, 9개분의 스위치 동작의 트랜지스터는, 채널 폭과 채널 길이가 짧아도 되기 때문이다. 이에 대하여 전류 출력의 트랜지스터는, 일반적으로 스위치 동작의 트랜지스터에 비해 채널 폭이 크고, 또한 채널 길이가 길기 때문이다. 스위치 동작의 트랜지스터보다도 전류 출력의 트랜지스터쪽이 점유 면적이 훨씬 크다.

그 결과, R, G, B의 기준 전류 발생 회로 전체로서는, 제1, 제2, 제3 절환 회로를 설치해도 실질적인 점유 면적의 증가가 거의 없어, 고해상도의 표시에 적합한 기준 전류 발생 회로를 실현할 수 있다.

제2 발명은, R, G, B의 기준 전류를 발생하는 기준 전류 발생 회로의 후단에 각 단자 핀 대응으로 D/A 변환 블록을 갖는 3개의 커런트 미러 회로의 D/A 변환 회로를 설치한다. 그리고, R, G, B에 대응하는 각각의 기준 전류를 상기의 제1, 제2, 제3 절환 회로에 의해 선택적으로 절환하여 제1, 제2 및 제3 커런트 미러 회로에 공급하여 각각에 구동하여 각 단자 핀 대응의 D/A 변환 블록에서 각 단자 핀 대응으로 구동 전류 혹은 이것의 기초로 되는 전류를 유기 EL 패널 상의 R, G, B의 도트 배열에 대응시켜 다이내믹하게 생성하는 것이다.

이 경우의 기준 전류 발생 회로는, R, G, B 대응으로 3개의 커런트 미러 회로를 각각에 설치하여 R, G, B의 기준 전류를 각각 발생하는 회로가 아니어도 된다. 상기와 같은 입력측 트랜지스터를 공통으로 한 1개의 커런트 미러 회로로 구성되어 있어도 된다. 다음에 설명하는 실시예는 후자의 경우의 예이다.

제2 발명에서는, 제1, 제2 및 제3 커런트 미러 회로에는, R, G, B 대응으로 각 단자 핀 대응으로 각각 제1 D/A 변환 블록이 설치되므로, D/A 변환 회로의 점유 면적을 저감시킬 수 있기 때문이다.

각 단자 핀 대응의 각 제1 D/A 변환 블록은, 이들 제1~제3 커런트 미러 회로에서의 각각의 복수의 출력측 트랜지스터와 복수의 제1 스위치 회로로 각각에 구성된다. 그리고, 각 제1 D/A 변환 블록으로부터 각각 구동 전류 혹은 이것의 기초로 되는 전류를 얻는다. 제어 회로는, 상기와 마찬가지로, R, G, B의 기준 전류의 선택을 유기 EL 패널의 R, G, B의 도트 배열에 대응하도록, 표시 화면에 대한 라인 주사에 따라서 상기의 절환 회로를 절환 제어한다.

이에 의해, 제1 및 제2 발명은, 절환 회로가 R, G, B의 도트 배열에 대응하도록 R, G, B의 기준 전류를 선택하는 만큼의 개수의 스위치 회로로 되므로, 각 단자 핀 대응으로 설치하는 경우보다도 점유 면적은 적어도 된다.

또한, 제2 발명에서는, 단자 핀 대응으로 커런트 미러 회로의 전류 스위칭형 D/A를 각각 설치하여 단자 핀 대응으로 아날로그 변환 전류를 발생해야만 하는 것을 R, G, B 대응의 3개의 커런트 미러 회로를 설치하고, 각 커런트 미러 회로의 각각에서 입력측 트랜지스터가 공통인 복수의 출력측 트랜지스터에 의한 D/A 변환 블록을 제1 D/A 변환 블록으로 하여 단자 핀 대응으로 설치하므로, 상기 제1 발명과 마찬가지로 이들 회로의 점유 면적을 저감할 수 있다.

그 결과, R, G, B의 도트 배열에 대응하는 R, G, B의 컬럼 라인의 절환을 용이하게 할 수 있고, IC에서의 전류 구동 회로의 점유 면적이 저감되어, 고해상도의 표시에 적합한 유기 EL 구동 회로 및 유기 EL 표시 장치를 실현할 수 있다.

<발명을 실시하기 위한 최량의 형태>

도 1은 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 다이애거널 도트 배열의 액티브 매트릭스형 유기 EL 패널의 컬럼 드라이버를 중심으로 하는 블록도, 도 2는 다이애거널 배열에서의 화소 배열(도트 배열)의 설명도, 그리고 도 3은 액티브 매트릭스형의 유기 EL 패널을 구동하는 경우의 컬럼 드라이버의 타이밍차트이다. 도 1에서, 참조 부호 10은, 유기 EL 패널을 구동하는 유기 EL 구동 회로로서의 컬럼 IC 드라이버(이하 컬럼 드라이버)이다. 이 컬럼 드라이버(10)는, R, G, B에 공통으로 설치된 기준 전류원(1)과, 전류 반전 회로(2), 화이트 밸런스 조정 회로(3), RGB 절환 회로(4), D/A 변환 회로(D/A)(5), 리셋 전압 발생 회로(6) 등으로 구성되어 있다. 그리고, 표시 장치는, 이 컬럼 드라이버(10)와 다이애거널 도트 배열의 액티브 매트릭스형 유기 EL 패널(11), 컨트롤 회로(12), 그리고 MPU(13) 등으로 구성되어 있다.

화이트 밸런스 조정 회로(3)는, 복수의 스위치 회로에 의해 복수의 출력측 트랜지스터의 출력 전류를 스위칭하여 선택하는 커런트 미러 회로로 구성되는 전류 스위칭형의 D/A이다. 이것은, R, G, B에 대응하여 설치된 기준 전류 발생 회로로 되어 있으며, R의 화이트 밸런스 조정 회로(3R)와, G의 화이트 밸런스 조정 회로(3G), B의 화이트 밸런스 조정 회로(3B)를 갖고 있다. 그리고, 기준 전류원(1)으로부터의 기준 전류 I_{ref} 를 전류 반전 회로(2)를 통해서 받아 화이트 밸런스 조정된 R, G, B에 대응하는 기준 전류 I_r , I_g , I_b 를 R, G, B에 대응하여 각각 발생한다.

또한, R, G, B의 기준 전류 발생 회로로서는, 이 화이트 밸런스 조정 회로(3)에 한정되지 않고, 기준 전류원(1)과 전류 반전 회로(2)와 화이트 밸런스 조정 회로(3)를 포함시킨 전체의 회로를 기준 전류 I_r , I_g , I_b 를 발생하는 기준 전류 발생 회로로 하여도 된다.

화이트 밸런스 조정 회로(3R)와, 화이트 밸런스 조정 회로(3G), 그리고 화이트 밸런스 조정 회로(3B)는, 각각 R, G, B에 대응하여 설치된 전류 스위칭형의 8비트의 D/A 변환 블록(30R, 30G, 30B)과 이들에 공통으로 설치된 레지스터(31)에 의해 구성되어 있다.

D/A 변환 블록(30R, 30G, 30B)은, 각각 1개의 커런트 미러 회로의 출력측 트랜지스터와 복수의 스위치 회로로 구성되며, 그 각각의 복수의 출력측 트랜지스터는, 복수의 P채널 출력측 트랜지스터 $Trb \sim Trn$, 복수의 P채널 출력측 트랜지스터 $Tgb \sim Tgn$, 복수의 P채널 출력측 트랜지스터 $Tbb \sim Tbn$ 으로 된다. 또한, D/A 변환 블록(30R, 30G, 30B)은, 각각에 출력측 트랜지스터의 전류를 스위칭하기 위한 스위치 회로 SW를 복수개 갖고 있다.

이들 D/A 변환 블록(30R, 30G, 30B)의 출력측 트랜지스터에 대하여 공통으로 설치된 커런트 미러 회로의 입력측 트랜지스터 Taa 는, 기준 전류 반전 회로(2)로부터 기준 전류 I_{ref} 를 받아 구동된다. 각 D/A 변환 블록(30R, 30G, 30B)은, 레지스터(31)에 설정된 R, G, B에 대응하는 각각의 설정 데이터와 기준 전류 I_{ref} 에 따라서 D/A 변환을 하고, 변환 아날로그 변환 전류로서 각각 기준 전류 I_r , I_g , I_b 를 각각의 출력 단자(32R, 32G, 32B)에 발생한다.

또한, 레지스터(31)에는, 장치의 전원이 ON으로 되었을 때에 R, G, B의 기준 전류값에 대한 설정 데이터가 MPU(13)로부터 송출되어 기억된다. 이에 의해 화이트 밸런스 조정된 소정의 값의 기준 전류 I_r , I_g , I_b 가 화이트 밸런스 조정 회로(3R)와, 화이트 밸런스 조정 회로(3G), 화이트 밸런스 조정 회로(3B)에 각각 발생한다.

전류 반전 회로(2)는, N채널의 입력측 MOS 트랜지스터 $TN1$ 과 출력측 MOS 트랜지스터 $TN2$ 로 이루어지는 커런트 미러 회로로 구성되어 있다. 다이오드 접속의 트랜지스터 $TN1$ 은, 그 드레인이 기준 전류원(1)의 출력에 접속되고, 이것으로부터 기준 전류 I_{ref} 를 받는다. 그 소스는 접지되어 있다. 트랜지스터 $TN2$ 는, 그 드레인이 화이트 밸런스 조정 회로(3)의 트랜지스터 Taa 의 드레인에 접속되고, 그 소스가 접지되어 있다. 기준 전류원(1)은, 디바이스의 전원 라인 + VDD에 접속되어 전력 공급을 받는다. 기준 전류원(1)으로부터 출력되는 기준 전류 I_{ref} 는, R, G, B에 대응하는 각각의 기준 전류를 발생하는 기초로 되는 전류이다.

이에 의해, 기준 전류원(1)으로부터 토출되는 기준 전류 I_{ref} 는, 전류 반전 회로(2)에 입력되어 전류 방향이 토출로부터 싱크로 되어, 미러 전류로서 화이트 밸런스 조정 회로(3)에 입력된다. 이 싱크 전류는, 커런트 미러 회로의 입력측 트랜지스터 T_{aa} 의 드레인에 공급되어, 입력측 트랜지스터 T_{aa} 가 기준 전류 I_{ref} 에 의해 구동된다.

RGB 절환 회로(4)는, 화이트 밸런스 조정 회로(3)와 D/A(5) 사이에 설치된 9개의 아날로그 스위치(트랜스미션 게이트)(41a, 41b, 41c, 42a, 42b, 42c, 43a, 43b, 43c)로 이루어진다.

D/A(5)는, 3개의 D/A(51), D/A(52), D/A(53)로 구성되어 있다. D/A(51), D/A(52), D/A(53)는, 각각 커런트 미러 회로로 구성되는 전류 스위칭형의 D/A이다. 이들 D/A의 D/A 변환 블록(51a, 52a, 53a)~D/A 변환 블록(51n, 52n, 53n)은, 각각 N채널의 입력측 MOS 트랜지스터 $T_{a1} \sim T_{a3}$ 에 대하여 각 출력 단자 핀 $X_a, X_b, \dots, X_n$ (각 출력 단자 핀은, 유기 EL 패널(11)의 컬럼측의 각 단자 핀 $X_a, X_b, \dots, X_n$ 에 대응하고 있어 각각 접속됨)에 각각 대응하여 설치된 출력측 트랜지스터 $T_b \sim T_n$ 으로 이루어지는 n개(단 n은 총 핀수)의 8비트의 D/A 변환 블록이다.

D/A 변환 블록(51a, 51b, ..., 51n)(도시 생략)의 각 출력측 트랜지스터 $T_b \sim T_n$ 은, 공통의 입력측 트랜지스터 T_{a1} 에 커런트 미러 접속되고, D/A 변환 블록(52a, 52b, ..., 52n)(도시 생략)의 각 출력측 트랜지스터 $T_b \sim T_n$ 은, 공통의 입력측 트랜지스터 T_{a2} 에 커런트 미러 접속되며, D/A 변환 블록(53a, 53b, ..., 53n)(도시 생략)의 각 출력측 트랜지스터 $T_b \sim T_n$ 은, 공통의 입력측 트랜지스터 T_{a3} 에 커런트 미러 접속되어 있다. 각 입력측 트랜지스터 $T_{a1} \sim T_{a3}$ 의 소스는 각각 접지되어 있다.

D/A 변환 블록(51a~51n)의 각 출력 단자(5a)는, 이에 대응하여 각각 설치된 아날로그 스위치(54)를 통해서 각 출력 단자 핀 $X_a \sim X_n$ (이하 단자 핀 $X_a \sim X_n$) 중 $3i+1$ (단 i 는 0부터 $n/3$ 까지의 정수)번째의 단자 핀에 차례로 접속되어 있다. D/A 변환 블록(52a~52n)의 각 출력 단자(5a)는, 마찬가지로 각각 설치된 아날로그 스위치(54)를 통해서 각 단자 핀 $X_a \sim X_n$ 중 $3i+2$ 번째의 단자 핀에 차례로 접속되고, D/A 변환 블록(53a~53n)의 각 출력 단자(5a)는, 마찬가지로 각각 설치된 아날로그 스위치(54)를 통해서 각 단자 핀 $X_a \sim X_n$ 중 $3i+3$ 번째의 단자 핀에 차례로 접속되어 있다.

즉, D/A 변환 블록(51a~51n)의 각 출력 단자(5a)는, 각각 2개 걸러 단자 핀 $X_a \sim X_n$ 에 교대로 접속된다.

D/A(5)의 D/A(51), D/A(52), D/A(53)의 각 D/A 변환 블록에는, MPU(13)로부터 표시 데이터 레지스터(56a~56n)의 각각에 송출되어 기억된 단자 핀 대응의 표시 데이터가 각각에 공급된다. 이에 의해 표시 데이터에 따른 아날로그 변환 전류가 각 D/A 변환 블록(51a, 52a, 53a)~D/A 변환 블록(51n, 52n, 53n)의 출력 단자(5a)에 발생한다.

또한, MPU(13)로부터 표시 데이터 레지스터(56a~56n)에의 표시 데이터의 전송은, 전원이 ON으로 되었을 때이다.

RGB 절환 회로(4)의 아날로그 스위치(41a, 41b, 41c)는, 일단이 공통으로 입력측 트랜지스터 T_{a1} 의 드레인에 접속되고, 타단이 화이트 밸런스 조정 회로(30R, 30B, 30G)의 각각의 출력 단자(32R, 32B, 32G)에 각각 접속되어 있다. 아날로그 스위치(42a, 42b, 42c)는, 일단이 공통으로 입력측 트랜지스터 T_{a2} 의 드레인에 접속되고, 타단이 출력 단자(32G, 32R, 32B)에 각각 접속되며, 아날로그 스위치(43a, 43b, 43c)는, 일단이 공통으로 입력측 트랜지스터 T_{a3} 의 드레인에 접속되고, 타단이 출력 단자(32B, 32G, 32R)에 각각 접속되어 있다.

도면 우측에 도시하는 리세트 전압 발생 회로(6)는, 프로그래머블 정전압 발생 회로로서, 전압형 D/A 변환 회로(60)와 레지스터(61)로 구성되어 있다. 레지스터(61)에 설정된 설정 데이터를 받아 이것을 D/A 변환하여 리세트 전압 V_r 을 리세트 전압 발생 회로(6)의 출력 단자(6a)에 발생한다. 출력 단자(6a)는, 각 단자 핀 $X_a \sim X_n$ 에 대응하여 설치된 각각의 아날로그 스위치(55)를 통해서 각 단자 핀 $X_a \sim X_n$ 에 접속되어 있다.

또한, 레지스터(61)에는, 장치의 전원이 ON으로 되었을 때에 리세트 전압 V_r 에 대해서 설정 데이터가 MPU(13)로부터 송출되어 기억된다. 이에 의해 소정의 값의 리세트 전압 V_r 이 리세트 전압 발생 회로(6)에 발생한다.

각 아날로그 스위치(54)와 각 아날로그 스위치(55)는, 각각 컨트롤 회로(12)로부터 기입 펄스 W_r (도 3의 (d) 참조)과 로우 클럭 RCKL(도 3의 (b) 참조)을 받아 ON/OFF된다.

RGB 절환 회로(4)의 각 아날로그 스위치(41a~43c)는, 컨트롤 회로(12)로부터 선택 펄스 SEL_a, SEL_b, SEL_c 를 각각 받아 ON/OFF된다(도 3의 (e)~(g) 참조).

또한, RGB 절환 회로(4)의 각 아날로그 스위치(트랜스미션 게이트)에 대한 각 제어 펄스는, 각각 클럭 ϕ 와 인버터를 통해서 생성되는 이것의 반전 클럭 $\ast\phi$ 가 있으며, 각 아날로그 스위치는 이들 펄스를 받아 ON/OFF된다. 그러나, 도면에서는 각 아날로그 스위치(41a~43c)에 대해서는 반전 클럭 $\ast\phi$ 측의 배선은 생략되어 있다.

도 2는 유기 EL 패널(11)의 각 픽셀 회로(7)의 R, G, B 발광을 하는 유기 EL 소자의 도트 배열(다이어거널 도트 배열)을 도시하는 것이다. 다이어거널 도트 배열에서는, 수직 방향에서 인접하는 3개의 수평 1라인의 R, G, B의 순번이 교체되고, 이 3개의 수평 1라인을 단위로 하여 수직 방향으로 각 수평 1라인이 반복하여 배열되어 있다.

이와 같은 도 2에 도시하는 유기 EL 패널(11)(다이어거널 도트 배열의 화소(도트))를 갖는 유기 EL 패널)에 대한 기준 전류 절환 동작을 중심으로 한 픽셀 회로의 구동 동작에 대해서 도 3의 타이밍차트를 참조하여 설명한다. 또한, 도 3의 각 제어 펄스는, 컨트롤 회로(12)에서 발생한다.

도 3의 (a)는 로우 스캔 스타트 펄스 RSTP이다. 이것의 상승에 따라서 도 3의 (b)에 도시하는 로우 클럭 RCKL이 비디오 신호의 수평 동기 신호에 대응하는 주기로 발생하고, 이에 따라서 로우측의 수평 1라인이 수직 방향으로 순차적으로 주사된다. 이에 의해, 수직 방향에서의 라인 주사가 행해져 간다. 도 3의 (c)는 수평 1라인에서의 주사 기간과 귀선 기간을 나누는 리세트 컨트롤 펄스 RS이다. 이것의 "H"가 리세트 기간 RT이며, "L"이 유기 EL 발광 기간 D이다.

아날로그 스위치(55)는, 로우 클럭 RCKL을 받아 이것의 상승 타이밍에서 ON으로 되어, 각 단자 핀 Xa~Xn을 리세트 전압 발생 회로(6)의 출력 단자(6a)에 접속하여 각 단자 핀 Xa~Xn을 통해서 접속되는 픽셀 회로(7)의 컨덴서 C를 리세트 전압 Vr로 설정하여 컨덴서 C의 충전 전압을 흑 레벨의 전압으로 설정한다.

리세트 기간 RT의 도중에서의 로우 클럭 RCKL의 하강 타이밍에서 아날로그 스위치(55)가 OFF로 되면, 기입 펄스 Wr이 발생한다(도 3의 (d) 참조). 아날로그 스위치(54)는, 이 기입 펄스 Wr의 상승 타이밍에서 ON으로 되어, D/A(5)의 각 D/A 변환 블록의 출력 단자(5a)를 각각 각 단자 핀 Xa~Xn에 접속한다. 이에 의해 각 단자 핀 Xa~Xn을 통해서 접속되는 픽셀 회로(7)의 컨덴서 C가 구동 전류값에 대응하는 전압으로 충전된다.

리세트 컨트롤 펄스 RS가 하강하여, 리세트 기간 RT가 종료되면, 기입 펄스 Wr이 하강하여, 아날로그 스위치(54)는 OFF로 된다. 리세트 컨트롤 펄스 RS의 하강 타이밍에서 픽셀 회로(7)의 컨덴서 C가 게이트에 접속되어, 유기 EL 소자(도시 생략)가 직렬로 접속된 구동 트랜지스터 Tr이 ON으로 되어, 리세트 컨트롤 펄스 RS의 "L" 기간에, 즉, 발광 기간 D에 각 픽셀 회로(7)의 유기 EL 소자가 구동된다.

도 3의 (e)~(g)는 로우 클럭 RCKL에 따라서 컨트롤 회로(12)로부터 출력되는 절환 신호로서, RGB 절환 회로(4)의 아날로그 스위치(41a~43c)를 각각 ON/OFF하는 3개의 선택 펄스 SELa, SELb, SELc를 도시하고 있다. 이들 선택 펄스 SELa, SELb, SELc는, 도 2의 R, G, B의 도트 배열에 대응하고 또한 로우측 라인 주사(수직 방향 주사)에 대응하여 수평 주사 주파수의 주기에 대하여 3배의 주기로 소정의 순서로 순차적으로 발생하고, D/A 변환 블록의 출력 단자(5a)로부터 출력되는 아날로그 변환 전류(유기 EL 소자의 구동 전류)의 R, G, B 대응의 절환을 행한다.

또한, 선택 펄스 SELa, SELb, SELc는, 컨트롤 회로(12)에 설치된 비트 "1"을 수평 주파수의 주기에 따라서 시프트하는 3비트의 링 카운터의 각 자릿수로부터 각각 얻어진다. 이들 펄스는, 3개분의 수평 주사 라인의 수직 방향 주사를 단위로 하여 로우 클럭 RCKL의 주기(수평 주사 기간)로 순차적으로 "H"로 되는 신호이다.

선택 펄스 SELa는, "H" 기간에 아날로그 스위치(41a, 42a, 43a)를 ON으로 하고, 선택 펄스 SELb는, "H" 기간에 아날로그 스위치(41b, 42b, 43b)를 ON으로 하고, 선택 펄스 SELc는, "H" 기간에 아날로그 스위치(41c, 42c, 43c)를 ON으로 한다.

이에 의해, 로우 라인1일 때에는, 선택 펄스 SELa가 최초의 수평 주사 기간+ 귀선 기간 동안 "H"로 되므로 화이트 밸런스 조정 회로(30R)가 D/A(51)에 접속되고, 화이트 밸런스 조정 회로(30G)가 D/A(52)에 접속되며, 화이트 밸런스 조정 회로(30B)가 D/A(53)에 접속된다. 그 결과, 각 기준 전류 Ir, Ig, Ib가 각 D/A(51~53)의 트랜지스터 Ta1~Ta3에 각각 공급되어 이들 트랜지스터 Ta1~Ta3이 각각으로 구동된다.

이 최초의 수평 1라인의 로우측의 라인 주사 시에는, 단자 핀 Xa~Xn에 출력되는 아날로그 변환 전류(유기 EL 소자의 구동 전류)를 위한 컨덴서에의 기입 전류는, 단자 핀 Xa~Xn에 대하여 R, G, B, R, G, B, ...의 순으로 배열(도 2의 최초의 수평 라인 참조)된 상태에서 출력된다. 이에 의해, 도 2의 최초의 수평 라인의 로우측 라인 주사에서는 R, G, B, R, G, B, ... 도트 배열에 대응하는 전류 구동이 컬럼 드라이버(10)로부터 유기 EL 패널(11)의 단자 핀 Xa~Xn에 출력된다.

마찬가지로, 로우 라인2일 때에는, 선택 펄스 SELb가 다음 수평 주사 기간+ 귀선 기간 동안 "H"로 되어, 화이트 밸런스 조정 회로(30B)가 D/A(51)에 접속되고, 화이트 밸런스 조정 회로(30R)가 D/A(52)에 접속되며, 화이트 밸런스 조정 회로(30G)가 D/A(53)에 접속된다. 그 결과, 각 기준 전류 Ib, Ir, Ig가 각 D/A(51~53)의 트랜지스터 Ta1~Ta3에 각각 공급되어 이들 트랜지스터 Ta1~Ta3이 각각으로 구동된다.

따라서, 이 2번째의 수평 1라인의 로우측 라인 주사 시에는, 단자 핀 Xa~Xn에 출력되는 아날로그 변환 전류는, 단자 핀 Xa~Xn에 대하여 B, R, G, B, R, G ...의 순으로 배열된다. 이에 의해, 도 2의 다음 수평 라인의 주사에서는 B, R, G, B, R, G ... 도트 배열(도 2의 2번째의 수평 라인 참조)에 대응하는 전류 구동이 컬럼 드라이버(10)로부터 유기 EL 패널(11)의 단자 핀 Xa~Xn에 출력되어, 구동 전류의 절환이 행하여진다.

마찬가지로, 로우 라인3일 때에는, 선택 펄스 SELc가 그 다음 수평 주사 기간+ 귀선 기간 동안 "H"로 되어, 화이트 밸런스 조정 회로(30G)가 D/A(51)에 접속되고, 화이트 밸런스 조정 회로(30B)가 D/A(52)에 접속되며, 화이트 밸런스 조정 회로(30R)가 D/A(53)에 접속된다. 그 결과, 각 기준 전류 Ig, Ib, Ir이 각 D/A(51~53)의 트랜지스터 Ta1~Ta3에 각각 공급되어, 이들 트랜지스터 Ta1~Ta3이 각각으로 구동된다. 이 제3번째의 수평 1라인의 로우측 라인 주사 시에는, 단자 핀 Xa~Xn에 출력되는 아날로그 변환 전류는, 단자 핀 Xa~Xn에 대하여 G, B, R, G, B, R ...의 순으로 배열(도 2의 3번째의 수평 라인 참조)된다. 이에 의해, 도 2의 최초의 수평 라인의 주사에서는 G, B, R, G, B, R ... 도트 배열에 대응하는 전류 구동이 컬럼 드라이버(10)로부터 유기 EL 패널(11)의 단자 핀 Xa~Xn에 출력되어, 구동 전류의 절환이 행하여진다.

이상의 라인1~라인3의 수평 라인의 구동 전류 절환 주사가 로우측 라인 주사에 따라서 수평 3라인 주사마다 반복된다.

그 결과, 3개분의 수평 주사 라인의 수직 방향의 주사를 단위로 하여 R, G, B와 B, R, G와 G, B, R의 순으로 기준 전류 Ir, Ig, Ib가 교체되어 순차적으로 선택되어 D/A(51), D/A(52), D/A(53)에 각각 가해지고, 수평 1라인마다의 수직 주사 에 따라서 도 2에 도시하는 유기 EL 패널(11)의 다이애거널 도트 배열의 유기 EL 소자의 R, G, B에 대응하여 각각에 대응하는 구동 전류가 발생하여 유기 EL 소자가 각각으로 구동된다.

그런데, 실시예에서는, R, G, B에 대하여 리세트 전압 발생 회로(6)는 공통으로 1개 설치되어 있지만, R, G, B에 대응하여 각각 설치되어 있어도 된다. 이 경우에는, R, G, B에 대응하여 3개의 리세트 전압 발생 회로를 설치하면 된다. 이들 3개의 리세트 전압 발생 회로는, 그 출력 단자가 RGB 절환 회로(4)와 마찬가지로의 절환 회로를 통해서 각각 2개 걸러 단자 핀 Xa~Xn에 교대로 접속된다. 그리고, R, G, B의 아날로그 변환 전류를 구동 전류(유기 EL 소자의 구동 전류를 위한 컨덴서 에의 기입 전류)로서 RGB 절환 회로(4)의 절환에 따라서 각 단자 핀 Xa~Xn의 리세트 전압이 그것에 대응하여 선택적으로 절환된다.

산업상 이용 가능성

이상 설명하였지만, 실시예에서는, R, G, B의 아날로그 변환 전류를 구동 전류(유기 EL 소자의 구동 전류를 위한 컨덴서 에의 기입 전류)로서 단자 핀 Xa~Xn에 직접 출력하고 있지만 출력단 전류원을 통해서 출력하도록 하여도 된다. 이 출력단 전류원은, 각각의 출력 단자(5a)와 아날로그 스위치(54) 사이 혹은 아날로그 스위치(54)와 단자 핀 Xa~Xn 사이에 설치할 수 있다. 또한, 이러한 출력단 전류원은, 통상적으로, 출력 전류가 토출 전류로 되므로 패시브 매트릭스형의 유기 EL 패널 에 적용하면 된다.

또한, 실시예의 단자 핀 Xa~Xn은, 컬럼 드라이버(10)를 복수개 설치하여 각각에 할당되어 구성되어 있어도 된다. 이 경우에는, 1개의 컬럼 드라이버(10)는, 단자 핀 Xa~Xn 중 일부인 다수의 단자를 맡게 된다.

또한, 실시예에서는, 표시 화면에서의 도트 배열이 다이애거널 배열인 예를 들고 있지만, 델타 배열, 렉탱글 배열 등이어 도, 이것에 대응하는 R, G, B의 기준 전류의 절환 회로를 설치하면 된다. 따라서, 델타 배열, 렉탱글 배열 등이어도 본원 발 명을 적용할 수 있는 것은 물론이다.

실시예의 각 트랜지스터는, MOS 트랜지스터로 구성하고 있지만, 바이폴라 트랜지스터로 구성해도 되는 것은 물론이다.

또한, 실시예에서는, 액티브 매트릭스형의 유기 EL 패널을 구동하는 실시예를 들고 있지만, 본 발명은, 패시브형의 유기 EL 패널을 구동하는 경우에도 적용할 수 있는 것은 물론이다.

도면의 간단한 설명

도 1은 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 다이애거널 도트 배열의 액티브 매트릭스형 유기 EL 패널의 컬럼 드라이버를 중심으로 하는 블록도.

도 2는 다이애거널 배열에서의 화소 배열(도트 배열)의 설명도.

도 3은 액티브 매트릭스형의 유기 EL 패널을 구동하는 경우의 컬럼 드라이버의 타이밍차트.

<부호의 설명>

1 : 기준 전류원

2 : 전류 반전 회로

3, 3R, 3B, 3G : 화이트 밸런스 회로

4 : RGB 절환 회로

5 : D/A 변환 회로(D/A)

6 : 리셋 전압 발생 회로

10 : 컬럼 IC 드라이버

11 : 액티브 매트릭스형 유기 EL 패널

12 : 컨트롤 회로

13 : MPU

30R, 30G, 30B : D/A 변환 블록

31 : 레지스터

32R, 32G, 32B : 기준 전류의 출력 단자

41a~41c, 42a~42c, 43a~43c, 51a~51n, 52a~52n, 53a~53n, 54, 55 : 아날로그 스위치

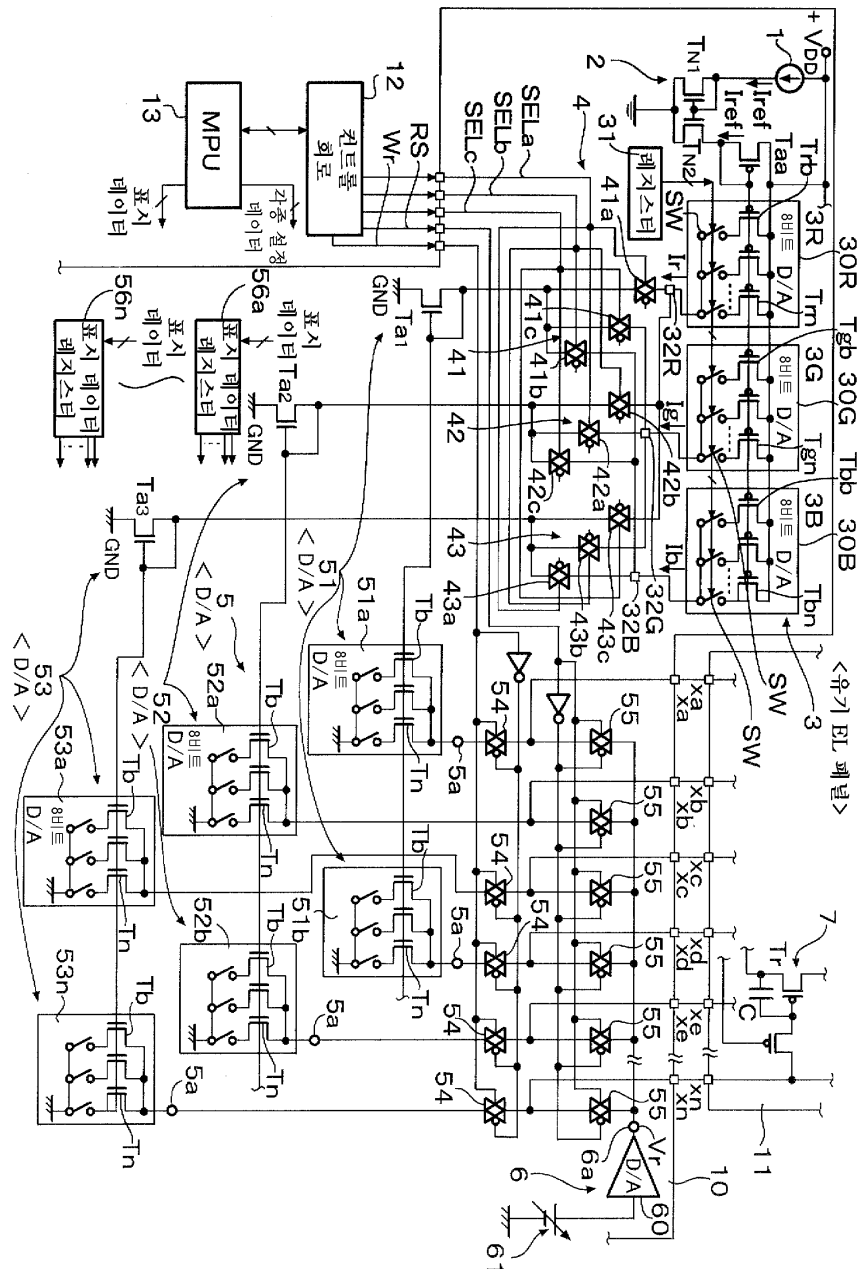
56a~56n : 표시 데이터 레지스터

T1~T5, Ta~Tm : N채널 MOS 트랜지스터

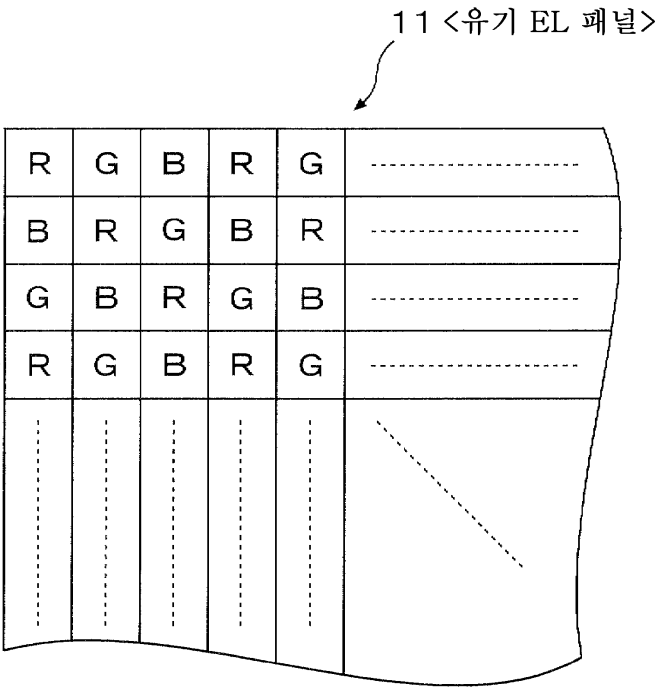
Taa, Trb~Trn, Tgb~Tgn, Tbb~Tbn : P채널 MOS 트랜지스터

도면

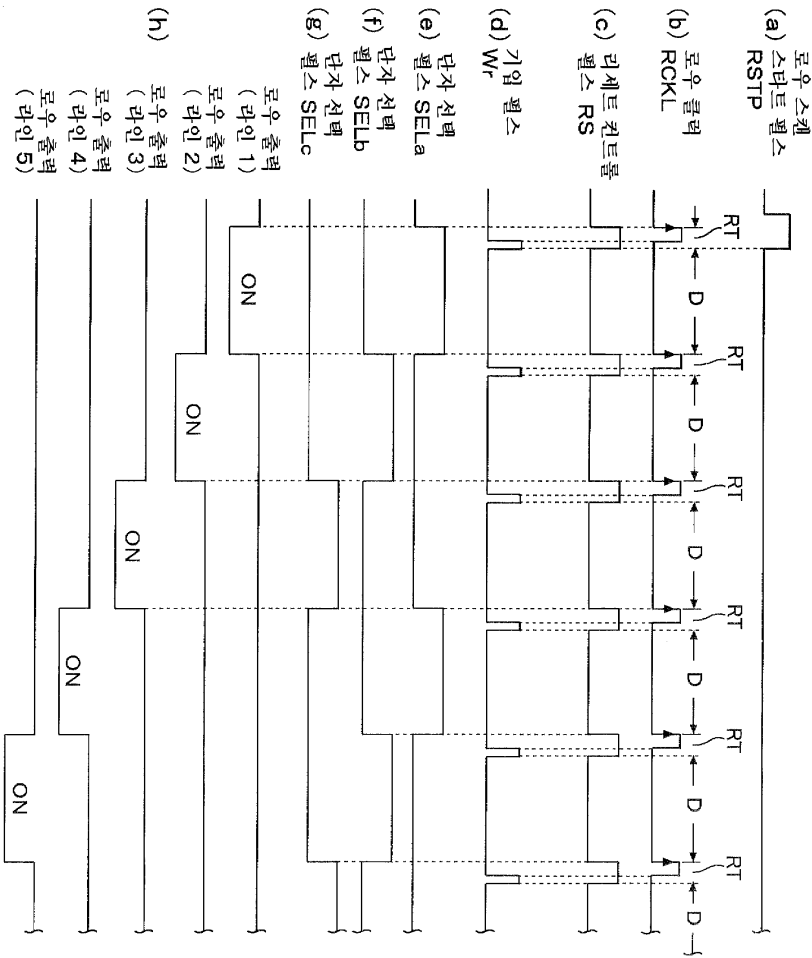
도면1



도면2



도면3



专利名称(译)	参考电流产生电路，有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	KR1020070085515A	公开(公告)日	2007-08-27
申请号	KR1020077012086	申请日	2005-11-16
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	ABE SHINICHI 아베신이찌 YAGUMA HIROSHI 야구마히로시		
发明人	아베, 신이찌 야구마, 히로시		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G3/3283 G09G2310/027 G09G2320/0242 G09G2330/028 H01L27/3211		
代理人(译)	Yangyoungjun Yijunghui		
优先权	2004338550 2004-11-24 JP		
其他公开文献	KR100865180B1		
外部链接	Espacenet		

摘要(译)

在R，G和B中提供三个D/A转换块（3），每个转换块包括多个开关电路中的多个输出侧晶体管和电流镜电路，并且产生对应于R，G和B的参考电流。来自这些D/A转换块（3）。在其后级，具有D/A转换块（5）的电流镜电路与每个端子引脚相关联地提供，并且对应于R，G和B的参考电流由第一，第二和第三开关电路选择性地切换。（4），从而在对应于每个端子引脚的D/A转换块（5）处动态地产生对应于每个端子引脚或其原始电流的驱动电流，与有机EL上的R，G和B的点布置相关联面板。通过在参考电流产生电路中提供开关电路（4），有助于切换对应于R，G和B的变化点布置的列线驱动。©KIPO & WIPO 2007

