



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0071412
H05B 33/10 (2006.01) (43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0134815
(22) 출원일자 2005년12월30일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정관욱
경기 수원시 영통구 영통동 벽적골9단지 벽적골 롯데아파트 945동610호
장영진
경기 용인시 기흥읍 서천리 SK아파트 서그내마을 104동 506호
심승환
경기 성남시 분당구 수내동 두산위브 센티움 102동 710호
김현대
경기 수원시 영통구 영통동 살구골7단지 현대아파트 728동 103호

(74) 대리인 박영우

전체 청구항 수 : 총 8 항

(54) 스위칭 소자의 제조 방법 및 표시 기판

(57) 요약

표시 화면의 세로줄 잔상을 개선하기 위한 스위칭 소자의 제조 방법 및 표시 기판이 개시된다. 스위칭 소자의 제조 방법은 베이스 기판 위에 게이트 전극을 형성하는 단계와, 게이트 전극에 대응하여 형성되며, 비정질 실리콘으로 이루어진 활성층 및 n+ 비정질 실리콘으로 이루어진 오믹 콘택층이 순차적으로 적층된 채널부를 형성하는 단계와, 채널부 위에 소스 전극 및 소스 전극으로부터 소정간격 이격된 드레인 전극을 형성하는 단계와, 소스 전극 및 드레인 전극의 이격부에 대응하는 활성층을 결정화 시키는 단계를 포함한다. 이에 따라, 스위칭 소자의 온/오프 구동 특성이 개선되므로, 누설 전류로 인한 표시 화면의 세로줄 잔상 발생을 개선 할 수 있다.

대표도

도 5

특허청구의 범위

청구항 1.

베이스 기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극에 대응하여 형성되며, 비정질 실리콘으로 이루어진 활성층 및 n+ 비정질 실리콘으로 이루어진 오믹 콘택층이 순차적으로 적층된 채널부를 형성하는 단계;

상기 채널부 위에 소스 전극 및 상기 소스 전극으로부터 소정간격 이격된 드레인 전극을 형성하는 단계;

상기 소스 전극 및 드레인 전극의 이격부에 대응하는 활성층을 결정화 시키는 단계를 포함하는 것을 특징으로 하는 스위칭 소자의 제조 방법.

청구항 2.

제1항에 있어서, 상기 활성층을 결정화시키는 단계는

상기 이격부에 대응하는 오믹 콘택층을 식각하여 상기 활성층을 노출시키는 단계;

상기 활성층이 노출된 베이스 기판 위에 촉매 금속을 도포하는 단계;

상기 촉매 금속이 도포된 베이스 기판을 열처리하는 단계를 포함하는 것을 특징으로 하는 스위칭 소자의 제조 방법.

청구항 3.

제2항에 있어서, 상기 열처리는 300도 내지 550도의 온도에서 진행되는 것을 특징으로 하는 스위칭 소자의 제조 방법.

청구항 4.

제2항에 있어서, 상기 촉매 금속은 니켈인 것을 특징으로 하는 스위칭 소자의 제조 방법.

청구항 5.

제2항에 있어서, 상기 촉매 금속은 10 내지 200 옴스트롱의 두께로 도포되는 것을 특징으로 하는 스위칭 소자의 제조 방법.

청구항 6.

제1 방향으로 연장된 게이트 배선과 상기 제1 방향과 교차하는 제2 방향으로 연장된 소스 배선에 연결된 스위칭 소자;

상기 소스 배선과 인접하고 상기 제2 방향으로 연장된 바이어스 전압 배선;

상기 바이어스 전압 배선과 연결된 소스 전극과 상기 스위칭 소자와 연결된 게이트 전극을 포함하는 구동 소자; 및

상기 구동 소자의 드레인 전극과 연결된 발광 소자를 포함하며,

상기 구동 소자의 제1 채널부는 상기 소스 및 드레인 전극에 대응하여 비정질 실리콘으로 이루어진 제1 영역과 상기 소스 및 드레인 전극의 이격부에 대응하여 다결정 실리콘으로 이루어진 제2 영역을 포함하는 것을 특징으로 하는 표시 기판.

청구항 7.

제6항에 있어서, 상기 스위칭 소자는 상기 게이트 배선과 연결된 게이트 전극과 상기 소스 배선과 연결된 소스 전극 및 상기 구동 소자와 연결된 드레인 전극을 포함하며,

상기 스위칭 소자의 제2 채널부는 상기 소스 및 드레인 전극에 대응하여 비정질 실리콘으로 이루어진 제1 영역과 상기 소스 및 드레인 전극의 이격부에 대응하여 다결정 실리콘으로 이루어진 제2 영역을 포함하는 것을 특징으로 하는 표시 기판.

청구항 8.

제6항에 있어서 상기 발광 소자는 상기 드레인 전극과 전기적으로 연결된 애노드 전극과, 상기 애노드 전극 위에 형성되어 발광 영역을 정의하는 발광층 및 상기 발광층 위에 형성된 캐소드 전극을 포함하는 것을 특징으로 하는 표시 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스위칭 소자의 제조 방법 및 표시 기판에 관한 것으로, 보다 상세하게는 표시 화면의 세로줄 잔상을 개선하기 위한 스위칭 소자의 제조 방법 및 표시 기판에 관한 것이다.

유기전계발광소자(Organic Light Emitting Diode)는 두 개의 전극과 상기 전극 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 상기 발광층에서 결합하여 여기자(exciton)를 형성하고, 상기 여기자가 에너지를 방출하면서 발광한다. 유기전계발광소자는 수동 매트릭스 방식과 능동 매트릭스 방식으로 분류된다.

현재 상용화되어 있는 제품은 대부분 수동 매트릭스 방식의 유기전계발광 소자(Passive Matrix Organic Light Emitting Diode)로, 직교하는 양극배선과 음극배선 사이에 유기물이 삽입되어 있는 단순한 구조이다. 그러나 소비전력이 높아 대면적화가 어렵고 고해상도 제작이 어렵다는 단점이 있다.

능동 매트릭스 방식 유기전계발광소자(Active Matrix Organic Light Emitting Diode, 이하 AMOLED)는 각 화소를 스위칭하는 소자(thin film transistor)를 가지며, 스위칭 소자를 이용하여 각각의 화소를 조절하므로 소비전력이 적고 우수한 화질을 얻을 수 있다는 장점이 있다.

한편, 유기전계발광소자는 전류량에 따라 휘도가 증가하는 특성을 갖기 때문에, AMOLED를 구동시키기 위해서는 최소한 두 개 이상의 TFT가 사용된다. 하나는 스위칭 TFT이며 다른 하나는 전류제어를 위한 구동 TFT이다. AMOLED의 트랜지스터로는 출력전류가 큰 다결정 실리콘 TFT를 개발중이다. 다결정 실리콘을 형성하기 위하여 사용되는 고상 결정화(Solid phase crystallization, 이하 SPC)법은 단순한 열처리만으로 다결정 실리콘 박막을 얻을 수 있지만, 열처리 온도가 600도 이상의 고온이고 열처리 시간도 너무 길어서 유리를 베이스 기판으로 사용하기 어렵다는 단점이 있다. 따라서, 다결정 실리콘(Poly-Si)TFT를 제조하기 위하여 저온에서 되도록 짧은 시간 내에 다결정 실리콘을 얻기 위한 여러 가지 결정화 방법(Low Temperature Poly-Si)이 연구되고 있다.

한편, AMOLED의 스위칭 소자는 게이트 배선으로부터 연장된 게이트 전극과, 소스 배선으로부터 연장된 소스 전극과, 소스 전극으로부터 소정간격 이격되며, 전계발광소자와 전기적으로 연결된 드레인 전극과, 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 형성된 채널부를 포함한다.

다결정 실리콘은 비정질 실리콘에 비해 밴드갭 에너지가 낮으므로, 채널부 전체를 다결정 실리콘으로 형성할 경우, 트랩에 의한 천이, 직접 천이 등의 문제가 발생한다. 이 때, 전자-정공쌍이 각각 드레인/소스 영역으로 이동하여 누설전류의 증가

를 유발한다. 또한, 게이트 전극과 드레인 전극의 중첩 영역에서 형성되는 높은 전기장에 의해 에너지 밴드가 크게 휘어짐으로써 밴드 간 천이(band to band tunneling)가 증가한다. 밴드간 천이의 증가는 게이트 유도 드레인 누설전류(GIDL-Gate induced drain leakage)의 증가를 유발시킨다. 이에 따라, 표시 화면에 세로줄 잔상이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 세로줄 잔상을 개선하기 위한 스위칭 소자의 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 상기한 스위칭 소자의 제조 방법을 이용하여 제조한 표시 기판을 제공하는 것이다.

발명의 구성

상기한 본 발명의 목적을 실현하기 위하여 일실시예에 따른 스위칭 소자의 제조 방법은 베이스 기판 위에 게이트 전극을 형성하는 단계와, 상기 게이트 전극에 대응하여 형성되며, 비정질 실리콘으로 이루어진 활성층 및 n+ 비정질 실리콘으로 이루어진 오믹 콘택층이 순차적으로 적층된 채널부를 형성하는 단계와, 상기 채널부 위에 소스 전극 및 상기 소스 전극으로부터 소정간격 이격된 드레인 전극을 형성하는 단계와, 상기 소스 전극 및 드레인 전극의 이격부에 대응하는 활성층을 결정화시키는 단계를 포함한다.

상기한 본 발명의 다른 목적을 실현하기 위하여 일실시예에 따른 표시 기판은, 게이트 배선, 소스 배선, 스위칭 소자, 바이어스 전압 배선, 구동소자 및 발광소자를 포함한다. 상기 게이트 배선은 제1 방향으로 연장된다. 상기 소스 배선은 상기 제1 방향과 교차하는 제2 방향으로 연장된다. 상기 스위칭 소자는 상기 게이트 배선과 상기 소스 배선에 연결된다. 상기 바이어스 전압 배선은 상기 소스 배선과 인접하고 상기 제2 방향으로 연장된다. 상기 구동소자는 상기 바이어스 전압 배선과 연결된 소스 전극과 상기 스위칭 소자와 연결된 게이트 전극을 포함한다. 상기 발광소자는 상기 구동 소자의 드레인 전극과 연결된다. 상기 구동 소자의 제1 채널부는 상기 소스 및 드레인 전극에 대응하여 비정질 실리콘으로 이루어진 제1 영역과 상기 소스 및 드레인 전극의 이격부에 대응하여 다결정 실리콘으로 이루어진 제2 영역을 포함한다.

이러한 스위칭 소자의 제조 방법 및 표시 기판에 의하면, 스위칭 소자의 온/오프 구동 특성이 개선되어 누설 전류가 감소하므로 표시 화면의 세로줄 잔상 발생을 개선 할 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도면에서 여러 층(또는 막) 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 전체적으로 도면 설명시 관찰자 관점에서 설명하였고, 층, 막, 영역, 관 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라, 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 의미한다.

도 1은 본 발명의 실시예에 따른 전계발광 표시기판에 대한 평면도이다.

도 1을 참조하면, 상기 전계발광 표시기판은 복수의 소스 배선(DL)들과, 복수의 게이트 배선(GL)들과, 복수의 바이어스 전압 배선(VL)들에 의해 정의되는 복수의 화소부(P)들을 포함한다.

상기 소스 배선(DL)들 및 바이어스 전압 배선(VL)들은 제1 방향으로 연장되고, 상기 게이트 배선(GL)들은 상기 제1 방향과 교차하는 제2 방향으로 연장된다.

각각의 화소부(P)에는 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 스토리지 캐패시터(CST) 및 전계발광소자(EL)들이 형성된다.

상기 제1 스위칭 소자(TFT1)는 상기 게이트 배선(GL)과 연결된 제1 게이트 전극(111), 상기 소스 배선(DL)과 연결된 제1 소스 전극(131), 상기 스토리지 캐패시터(CST) 및 제2 스위칭 소자(TFT2)와 공통으로 연결된 제1 드레인 전극(132)을 포함한다. 또한, 상기 제1 스위칭 소자(TFT1)는 상기 제1 게이트 전극(111)과, 상기 제1 소스 및 드레인 전극(131, 132) 사이에 형성된 제1 채널부(121)를 포함한다.

상기 제2 스위칭 소자(TFT2)는 상기 제1 드레인 전극(132)과 연결된 제2 게이트 전극(112), 상기 바이어스 전압 배선(VL)과 연결된 제2 소스 전극(133) 및 상기 전계발광소자(EL)와 연결된 제2 드레인 전극(134)을 포함한다. 또한, 상기 제2 스위칭 소자(TFT2)는 상기 제2 게이트 전극(112)과, 상기 제2 소스 및 드레인 전극(133, 134) 사이에 형성된 제2 채널부(122)를 포함한다. 상기 제2 스위칭 소자(TFT2)는 상기 전계발광소자(EL)를 구동하는 구동 소자이다.

상기 스토리지 캐패시터(CST)는 상기 제1 드레인 전극(132)과 제1 콘택홀(141)을 통해 전기적으로 접촉하고, 상기 제2 게이트 전극(112)과 연결된 제1 전극(113) 및 상기 바이어스 전압 배선(VL)과 연결된 제2 전극(135)을 포함한다.

상기 전계발광소자(EL)는 상기 제2 드레인 전극(134)과 연결되는 화소 전극(150)과, 공통 전극(미도시)과, 상기 화소 전극(150)과 공통 전극(미도시) 사이에 개재된 전계 발광층(170)을 포함한다.

상기 화소부(P)의 구동 방식은 다음과 같다. 상기 게이트 배선(GL)으로부터 게이트 신호가 인가되면 상기 제1 스위칭 소자(TFT1)는 턴-온 되어 상기 소스 배선(DL)으로부터 전달된 소스 신호는 상기 제1 스위칭 소자(TFT1)를 경유하여 상기 제2 스위칭 소자(TFT2)를 턴-온 시키고, 상기 스토리지 캐패시터(CST)에 충전된다.

상기 제2 스위칭 소자(TFT2)는 턴-온 됨에 따라, 상기 제1 스위칭 소자(TFT1)를 경유한 소스 전압은 상기 바이어스 전압 배선(VL)으로부터 전달된 바이어스 전압에 기초하여 상기 전계발광소자(EL)에 전달된다. 이에 의해 상기 전계발광소자(EL)는 소정 밝기의 광을 발광한다.

도 2는 도 1에 도시된 I-I' 라인을 따라 절단한 단면도이다.

도 1 및 도 2를 참조하면, 상기 전계발광 표시기판은 베이스 기판(101)을 포함한다. 상기 베이스 기판(101) 위에는 소스 배선(DL)들과, 게이트 배선(GL)들과, 바이어스전압 배선(VL)들, 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 스토리지 캐패시터(CST) 및 전계발광소자(EL)가 형성된다.

구체적으로, 상기 제2 스위칭 소자(TFT2)는 상기 베이스 기판(101)위에 형성된 제2 게이트 전극(112)과, 상기 제2 게이트 전극(112) 위에 형성된 제2 채널부(122)와, 상기 제2 채널부(122) 위에 형성된 제2 소스 및 드레인 전극(133, 134)을 포함한다.

상기 제2 채널부(122)는 상기 제2 소스 전극(133) 및 제2 드레인 전극(134)에 대응하는 제1 영역(123)과 상기 제2 소스 전극(133) 및 제2 드레인 전극(134)의 이격부에 대응하는 제2 영역(124)을 포함한다.

상기 제1 영역(123)은 비정질 실리콘으로 이루어진 활성층(122a)과 n+ 이온이 고농도로 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(122b)이 순차적으로 적층된 구조로 이루어진다. 상기 제2 영역(124)은 상기 제1 영역의 활성층(122a)과 연결되어 형성되며, 다결정 실리콘(Poly-Si)으로 이루어진다.

도 2에는 도시하지 않았으나, 상기 제1 스위칭 소자(TFT1)의 제1 채널부(121)도 상기 제2 채널부(122)와 동일한 구조로 형성된다.

상기 제2 게이트 전극(112)과 상기 제2 채널부(122) 사이에는 게이트 절연층(102)이 형성되고, 상기 제2 소스 및 드레인 전극(133, 134) 위에는 패시베이션층(103)이 형성된다.

상기 스토리지 캐패시터(CST)는 상기 베이스 기판(101)위에 형성된 제1 전극(113)과, 상기 제1 전극(113)위에 형성된 상기 게이트 절연층(102)과, 상기 게이트 절연층(102) 위에 형성된 제2 전극(135)으로 형성된다. 상기 제2 전극(135) 위에는 상기 패시베이션층(103)이 형성된다.

상기 전계발광소자(EL)는 상기 게이트 절연층(102)과 상기 패시베이션층(103)이 순차적으로 형성된 베이스 기판(101) 위에 화소 전극(150)이 형성되고, 상기 화소 전극(150) 위에 전계 발광층(170)이 형성되고, 상기 전계 발광층(170) 위에 공통 전극(180)이 형성된다. 상기 화소 전극(150)은 상기 전계발광소자(EL)의 양극(Anode)이며, 상기 공통 전극(180)은 상기 전계발광소자(EL)의 음극(Cathode)이다.

상기 전계 발광층(170)은 정공 주입층, 정공 수송층, 발광층, 전자 주입층 및 전자 수송층의 일부 또는 전부를 포함하며, 상기 화소 전극(150) 위에 बैं크층(160)으로 정의된 발광 영역에 형성된다.

도 3 내지 도 8은 도 2에 도시된 전계발광 표시기판의 제조 방법을 설명하기 위한 공정도들이다.

도 1 및 도 3을 참조하면, 상기 전계발광 표시기판은 베이스 기판(101)을 포함한다. 상기 베이스 기판(101)은 예를 들면, 유리(Glass), 사파이어(Sapphire) 또는 폴리에스테르(Polyester), 폴리아크릴레이트(Poly acrylate), 폴리카보네이트(Poly carbonate), 폴리에테르케톤(Poly ether ketone) 등의 투명한 합성 수지로 형성된다.

상기 베이스 기판(101) 위에 게이트 금속층을 증착 및 패터닝하여 게이트 금속패턴들을 형성한다. 상기 게이트 금속층은 예를 들면, 크롬, 알루미늄(Al), 탄탈륨(Ta), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu), 은(Ag) 등의 금속 또는 이들의 혼합물을 포함하는 합금을 포함하는 도전막으로 스퍼터링 공정에 의하여 증착한 후, 패터닝하여 게이트 금속패턴들을 형성한다.

상기 게이트 금속패턴들은 게이트 배선(GL)들, 제1 및 제2 스위칭 소자(TFT1, TFT2)의 제1 및 제2 게이트 전극(111, 112)과, 상기 스토리지 캐패시터(CST)의 제1 전극(113)을 포함한다.

상기 게이트 금속패턴들이 형성된 베이스 기판(101) 위에 게이트 절연층(102)을 형성한다. 상기 게이트 절연층(102)은 실리콘 산화막 또는 실리콘 질화막으로 형성된다.

이어서, 상기 게이트 절연층(102)이 형성된 베이스 기판(101)위에 비정질 실리콘으로 이루어진 활성층(122a)과 n+ 이온이 고농도로 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(122b)을 순차적으로 적층한다.

이어서, 사진 식각 공정으로 상기 활성층(122a) 및 오믹 콘택층(122b)을 패터닝하여 상기 제1 게이트 전극(111)이 위치한 부분의 상부에 제1 채널부(121)을 형성하고, 상기 제2 게이트 전극(112)이 위치한 부분의 상부에 제2 채널부(122)을 형성한다.

도 1 및 도 4를 참조하면, 상기 제1 및 제2 채널부(121, 122)이 형성된 베이스 기판(101) 위에 소스 금속층을 증착 및 패터닝하여 소스 금속패턴들을 형성한다. 상기 소스 금속층은 예를 들면, 몰리브덴(Mo), 구리(Cu), 은(Ag), 알루미늄(Al), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 혼합물을 포함하는 합금을 포함하는 도전층으로 스퍼터링 공정으로 증착한 후, 패터닝하여 상기 소스 금속패턴들을 형성한다.

상기 소스 금속패턴들은 상기 소스 배선(DL)들, 제1 및 제2 소스 전극(131, 133), 제1 및 제2 드레인 전극(132, 134), 스토리지 캐패시터(CST)의 제2 전극(135)을 포함한다. 상기 제1 드레인 전극(132)은 상기 제1 소스 전극(131)으로부터 소정간격 이격되어 형성되고, 상기 제2 드레인(134) 전극은 상기 제2 소스 전극(133)으로부터 소정간격 이격되어 형성된다. 이에 따라, 상기 제1 및 제2 소스 전극들(131,133)과 상기 제1 및 제2 드레인 전극들(132,134)의 이격부에는 상기 제1 및 제2 채널부(121,122)의 오믹 콘택층(122b)이 노출된다.

이어서, 상기 제1 및 제2 소스 전극들(131,133)과, 상기 제1 및 제2 드레인 전극들(132,134)을 식각 마스크로 하여 상기 오믹 콘택층(122b)을 식각한다. 따라서, 상기 이격부에는 비정질 실리콘으로 이루어진 활성층(122a)의 일부가 노출된다.

도 5는 도 4에 도시된 제2 스위칭 소자를 확대한 확대도이다.

도 5를 참조하면, 상기 소스 금속 패턴이 형성된 베이스 기판(110)위에 촉매 금속(CM)을 도포한다. 상기 촉매 금속(CM)은 일례로 니켈(Ni)로 이루어지며, 상기 비정질 실리콘의 결정화를 용이하게 하는 여타의 금속을 사용할 수도 있다. 상기 촉매 금속(CM)은 상기 베이스 기판(110) 위에 수십 옴스트롱의 두께로 도포된다.

이어서, 상기 촉매 금속(CM)이 도포된 베이스 기판을 300℃ 내지 500℃ 도의 퍼니스에서 열처리한다. 열처리가 진행되면, 상기 활성층(122a) 위에 도포된 촉매 금속 분자들이 확산 원리에 의해 상기 활성층(122a) 내로 확산되어 들어간다. 상기 활성층(122a)내의 비정질 실리콘 분자들은 상기 촉매 금속 분자들의 이동경로에 의해 재배열된다. 이에 따라, 300℃ 내지 500℃의 저온에서도 상기 비정질 실리콘의 결정화가 용이해진다.

상기 비정질 실리콘의 결정화는 상기 활성층(122a)위에 촉매 금속(CM)이 직접적으로 도포된 상기 이격부로부터 시작되며, 열처리 시간의 경과에 따라 결정화 영역이 확장된다. 따라서, 상기 열처리 시간을 조절함으로써 상기 제2 채널부(122)를 국부적으로 결정화시킬 수 있다.

일례로, 상기 열처리 공정은 상기 이격부에 대응하는 영역의 활성층(122a)만을 결정화 할 수 있는 시간 동안 진행된다. 즉, 열처리 공정이 종료되면 상기 이격부에 대응하는 활성층(122a)은 다결정 실리콘(Poly-Si)으로 이루어지고, 상기 소스 전극 및 드레인 전극에 대응하는 활성층(122a) 및 오믹 콘택층(122b)은 비정질 실리콘 상태로 유지된다.

이에 따라, 제2 채널부(122)는 비정질 실리콘으로 이루어진 활성층(122a) 및 n+ 이온이 고농도로 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(122b)이 순차적으로 적층된 제1 영역(123)과, 상기 제1 영역(123)의 활성층(122a)과 연결되어 형성되며, 다결정 실리콘(Poly-Si)으로 이루어진 제2 영역(124)을 포함하도록 형성된다. 도 5에서는 상기 제2 스위칭 소자(TFT2)의 제2 채널부(122)를 예로 들어 설명하였으나 상기 제1 스위칭 소자(TFT1)의 제1 채널부(121)도 동일한 방법으로 형성된다.

한편, 상기 촉매 금속(CM)은 매우 소량 도포되므로, 표시 화면의 휘도에는 영향을 미치지 않는다. 그러나, 필요에 따라서 상기 베이스 기판(110) 위에 잔류하는 촉매 금속(CM)을 제거하기 위한 세정 공정을 진행할 수도 있다. 일례로, 상기 세정 공정은 불산 수용액을 이용하여 진행할 수 있다.

도 5 및 도 6을 참조하면, 상기 결정화 공정이 종료된 베이스 기판(101) 위에 패시베이션층(103)을 형성한다. 이어서, 상기 패시베이션층(103)을 부분적으로 제거하여 상기 제2 드레인 전극(134) 위에 제2 콘택홀(142)을 형성한다.

상기 제2 콘택홀(142)이 형성된 베이스 기판(101) 위에 투명한 전도성 물질 또는, 불투명한 재질의 금속을 증착 및 패터닝하여 화소 전극(150)을 형성한다. 상기 투명한 전도성 물질로는 일례로써, 인듐-틴-옥사이드(ITO) 또는 인듐-아연-옥사이드(IZO)를 사용한다. 상기 화소 전극(150)은 상기 소스 배선(DL)과, 바이어스전압 배선(VL) 및 인접한 게이트 배선(GL)들에 의해 정의된 화소 영역(P)에 형성되도록 패터닝된다.

상기 화소 전극(150)은 상기 제2 콘택홀(142)을 통해 상기 제2 드레인 전극(134)과 전기적으로 연결되며, 상기 화소 전극(150)은 상기 전계발광소자(EL)의 양극 전극(Anode Electrode)이 된다.

도 1 및 도 7을 참조하면, 상기 제1 및 제2 스위칭 소자(TFT1, TFT2)와, 상기 화소 전극(150)이 형성된 베이스 기판(101) 위에 뱅크부(160)가 형성된다.

상기 뱅크부(160)는 SiO₂, TiO₂ 등의 무기막 재료를 스퍼터링, 코팅법, 화학기상증착법 등을 통해 형성한다. 또는, 아크릴 수지, 폴리이미드 수지 등의 내열성, 내용제성을 갖는 재료를 베이스 기판 위에 도포한 후 포토리소그래피 기술 등에 의해 패터닝하여 형성한다. 일례로, 상기 뱅크층(160)은 비발광 영역을 정의하는 개구 패턴(310)과 발광 영역을 정의하는 차광 패턴(320)이 형성된 마스크(300)를 통해 패터닝된다.

노광 공정에 의해 상기 개구 패턴(310)에 대응하는 뱅크층(160)은 경화되고, 상기 차광 패턴(320)에 대응하는 뱅크층(160)은 경화되지 않는다. 이 후, 현상 공정에 의해 상기 차광 패턴(320)이 대응하는 뱅크층(160)이 식각 됨으로써 상기 화소 영역(P) 내에 상기 발광 영역(LA)이 정의된다.

이후, 상기 뱅크층(160)의 표면은 플라즈마 처리 공정을 통해 친액성(액적에 대한 친화력)을 나타내는 영역과 발액성(액적에 대한 반발력)을 나타내는 영역으로 형성된다. 상기 친액성 영역은 상대적으로 표면에너지가 크고, 상기 발액성 영역은 상대적으로 표면에너지가 작다.

도 8을 참조하면, 상기 뱅크층(160)에 의해 정의된 발광 영역(LA)에는 용액 처리 공정(Solution Processing)으로 전계 발광층(170)을 형성한다. 상기 용액 처리 공정은 스핀 코팅(Spin Coating) 방식, 딥 코팅(Dip Coating) 방식 및 잉크젯 프린팅(Ink Jet Printing) 방식을 포함한다.

상기 전계 발광층(170)은 정공 수송층(HTL:Hole Transport Layer)과 발광층(ELM:Emitting Layer)을 포함하며, 별도의 전자 수송층(ETL:Electron Transport Layer), 전자 주입층(EIL : Electron Injecting Layer)과 정공 주입층(HIL:Hole Injecting Layer) 또는 정공 방지층(HBL : Hole Blocking Layer) 등 소자 특성 향상에 기여하는 1 이상의 층을 추가로 삽입할 수도 있다.

구체적으로 상기 발광 영역(LA) 내의 화소 전극(150) 위에 잉크젯 프린팅 방식으로, 정공 주입층/수송층(HIL/HTL)(171), 발광층(172) 및 전자 주입층/수송층(EIL/ETL)(173)을 순차적으로 형성한다.

상기 정공 수송층은 예를 들면, 폴리에틸렌 디옥시티오펜, 트리페닐 아닐 유도체(TPD), 피라졸린 유도체, 아릴 아민 유도체, 스틸벤 유도체, 트리페틸 디아민 유도체 등을 이용한다.

상기 정공 수송층 대신하여 정공 주입층을 형성할 수 있으며, 정공 주입층과 정공 수송층을 모두 형성할 수도 있다. 또한, 소자의 특성 향상을 위한 1 이상의 층을 상기 정공 수송층 또는 정공 주입층과 별도로 또는 동시에 형성할 수 있다.

상기 발광층은 저분자 유기 발광체 또는 고분자 유기 발광체, 즉 각종의 형광 물질이나 인광 물질로 된 발광 물질이 사용 가능하다.

도 9를 참조하면, 상기 전계 발광층(170)이 형성된 베이스 기판(101) 위에 공통 전극(180)을 형성한다. 상기 공통 전극(180)은 투명한 도전성 물질 또는 불투명한 재질의 금속 물질로 이루어 질 수 있다. 상기 공통 전극(180)은 일례로 ITO (Indium Tin Oxide), 또는 IZO(Indium Zinc Oxide)로 이루어진다. 상기 공통 전극(180)은 화학기상증착법, 스퍼터링법 등에 의해 형성된다.

상기 공통 전극(180)의 상부에는 수분 및/또는 산소의 침투를 방지하기 위한 보호층(190)이 형성될 수 있다. 보호층(190)은 유기전계발광층(170)으로부터 발생된 광이 투과될 수 있도록 투명한 물질로 형성된다.

보호층(190)은 산화 실리콘으로 이루어진 무기 보호막과, 투습성이 작은 에폭시를 도포하여 형성된 유기 보호막을 포함할 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따른 표시 기관의 채널부는 소스 전극 및 드레인 전극에 대응하여 형성된 제1 영역과, 상기 소스 전극 및 드레인 전극의 이격부에 대응하는 제2 영역을 포함한다. 상기 제1 영역은 비정질 실리콘으로 이루어진 활성층과, n+ 비정질 실리콘으로 이루어진 오믹 콘택층이 순차적으로 적층된 구조이고, 상기 제2 영역은 상기 활성층과 연결되어 형성되며, 다결정 실리콘으로 이루어진다. 따라서, 비정질 실리콘 스위칭 소자의 낮은 오프 누설 전류와, 다결정 실리콘 스위칭 소자의 높은 온 전류를 얻을 수 있다. 이에 따라, 스위칭 소자의 온/오프 구동 특성이 개선되어 누설 전류가 감소하므로 표시 화면의 세로줄 잔상 발생을 개선 할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 전계발광 표시 기관에 대한 평면도이다.

도 2는 도 1에 도시된 I-I' 라인을 따라 절단한 단면도이다.

도 3 내지 도 9은 도 2에 도시된 전계발광 표시기관의 제조 방법을 설명하기 위한 공정도들이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 전계발광 표시기관 112 : 제2 게이트 전극

122 : 제2 채널부 122a : 활성층

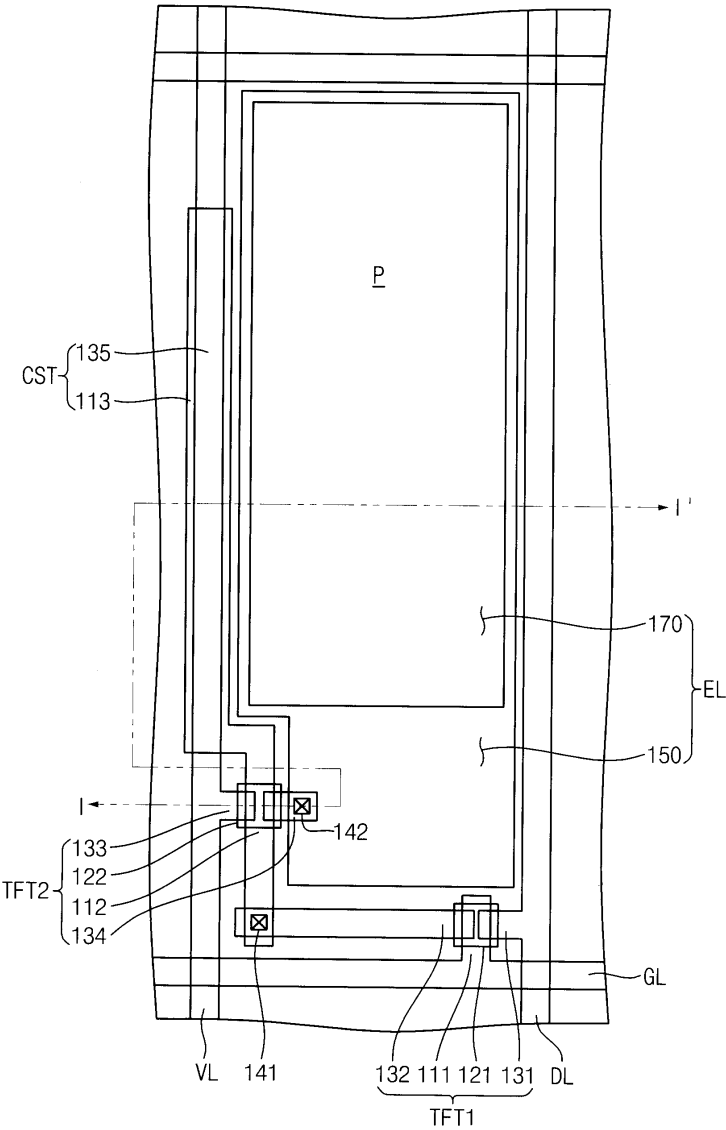
122b : 오믹 콘택층 123 : 제1 영역

124 : 제2 영역 150 : 화소 전극

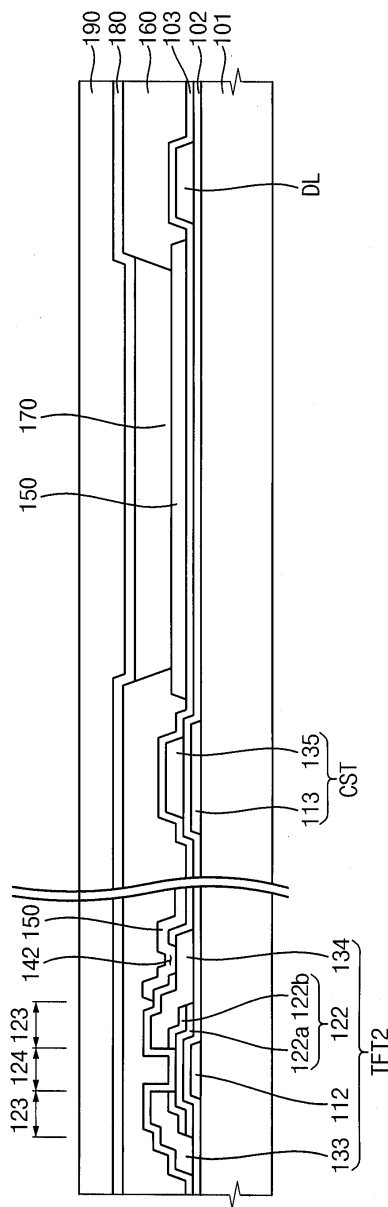
170 :전계 발광층 180 : 공통 전극

도면

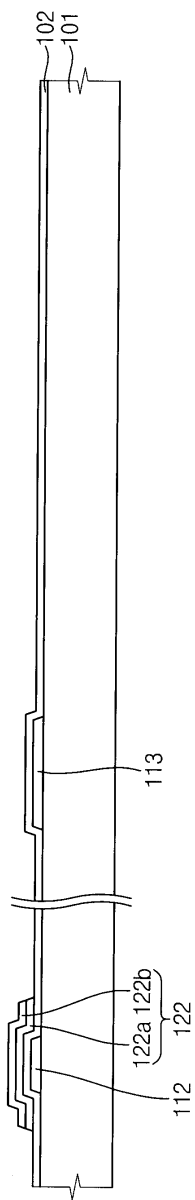
도면1



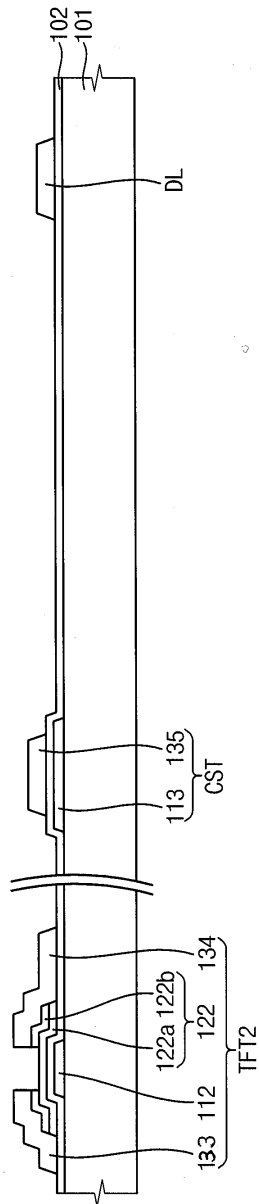
도면2



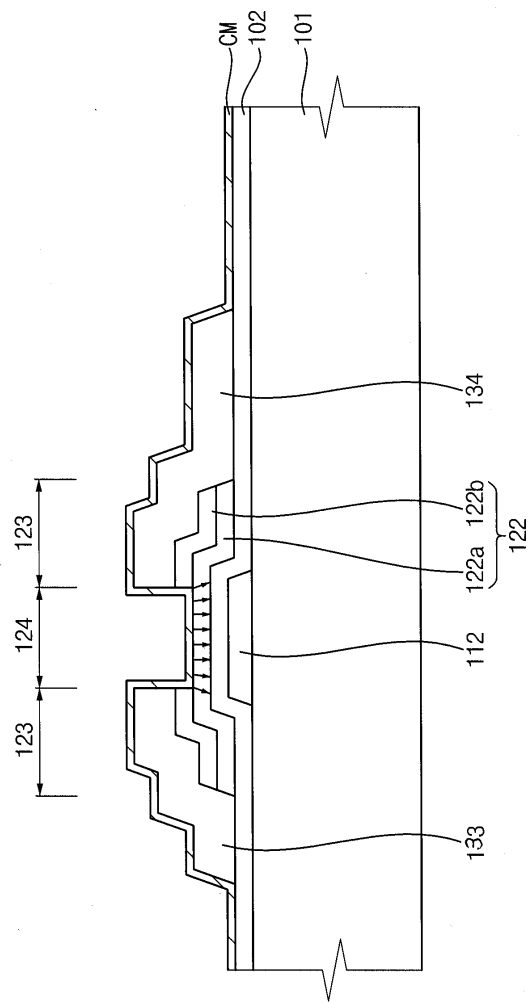
도면3



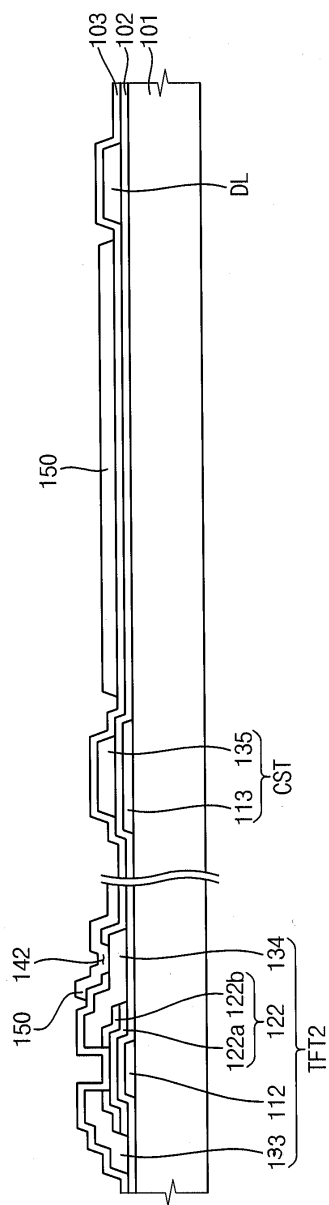
도면4



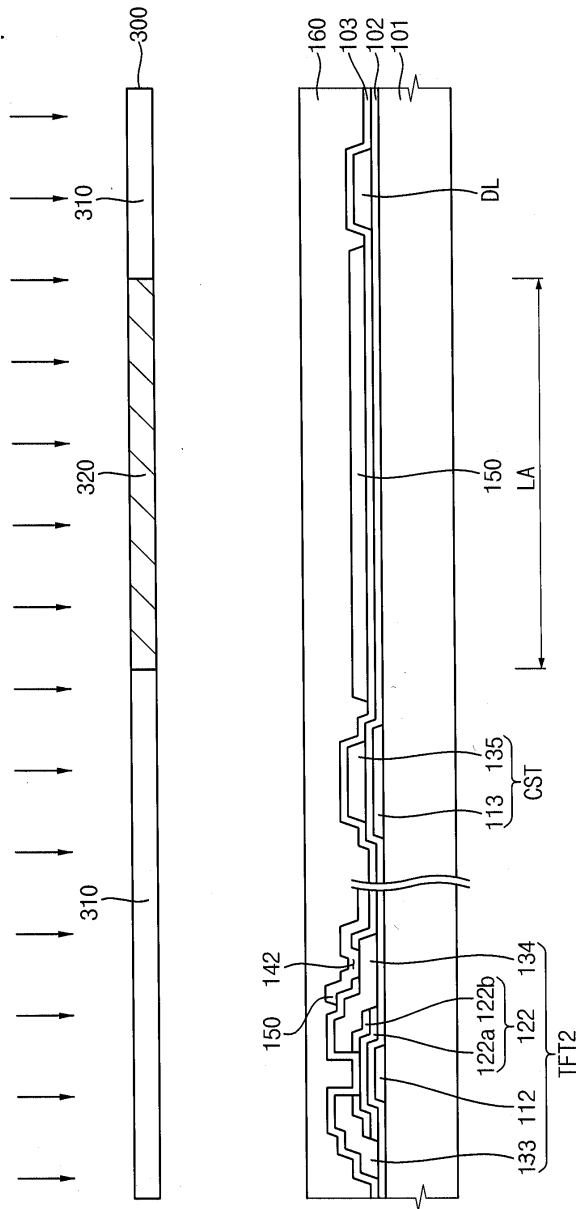
도면5



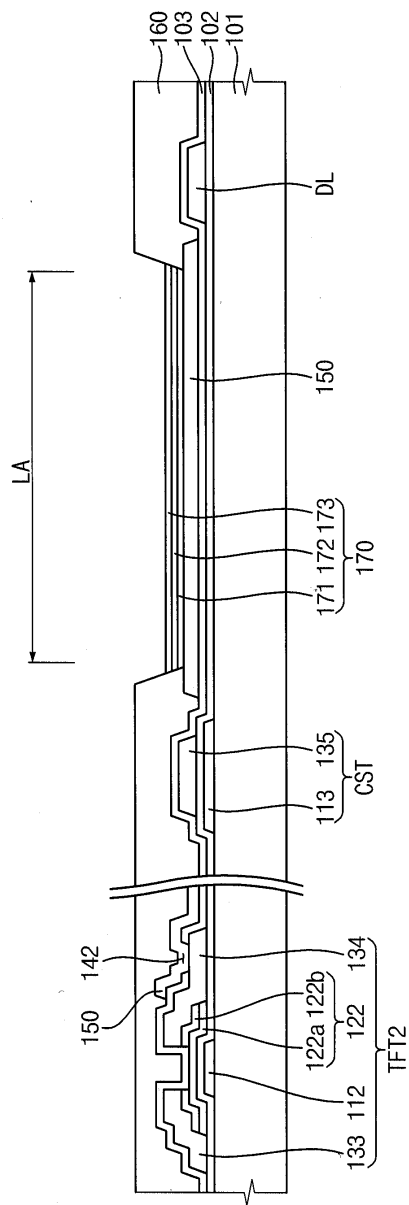
도면6



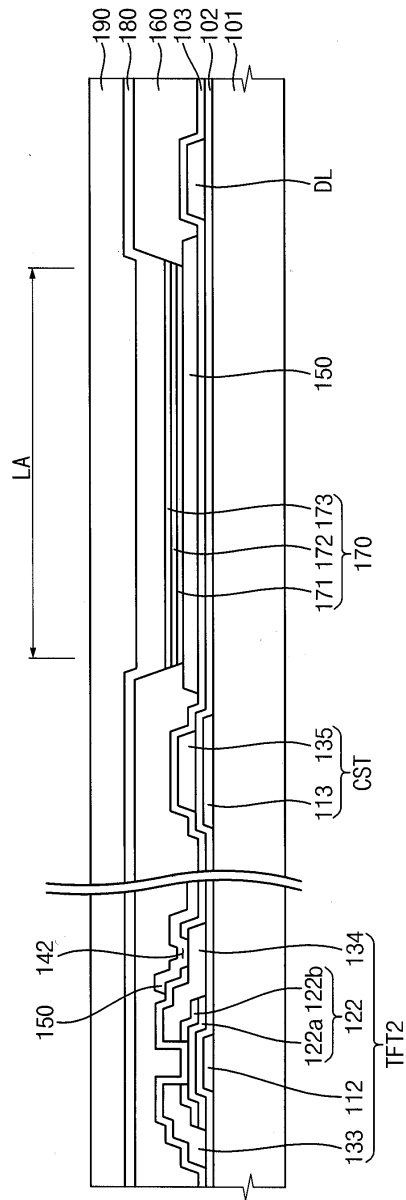
도면7



도면8



도면9



专利名称(译)	制造开关元件的方法和显示基板		
公开(公告)号	KR1020070071412A	公开(公告)日	2007-07-04
申请号	KR1020050134815	申请日	2005-12-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUNG KWAN WOOK 정관욱 CHANG YOUNG JIN 장영진 SHIM SEUNG HWAN 심승환 KIM HYUN DAE 김현대		
发明人	정관욱 장영진 심승환 김현대		
IPC分类号	H05B33/10		
CPC分类号	H01L51/56 G09G2320/0214 G09G2320/0257 H01L27/3262 H01L51/5203		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种用于改善显示屏和显示基板的柱余像的开关元件的制造方法。开关元件的制造方法包括使在基底上形成栅电极的步骤结晶的步骤，形成由对应于栅电极和栅电极的有源层组成的欧姆接触，并由非晶形成硅和n+非晶硅是形成连续层叠的沟道部分的步骤，在沟道部分上形成源电极的步骤和以固定间隔与源电极分开的漏电极，并且有源层对应于漏电极和源电极的间隙部分。因此，改善了开关元件的导通/截止驱动特性。因此，可以改善由漏电流引起的显示屏的列残像产生。金属诱导结晶，催化剂金属，多晶硅，电致发光器件。

