



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/02 (2006.01)
H05B 33/22 (2006.01)
H05B 33/22 (2006.01)

(11) 공개번호 10-2007-0017338
(43) 공개일자 2007년02월09일

(21) 출원번호 10-2006-7019487

(22) 출원일자 2006년09월21일

심사청구일자 없음

번역문 제출일자 2006년09월21일

(86) 국제출원번호 PCT/JP2005/004818

(87) 국제공개번호 WO 2005/091373

국제출원일자 2005년03월17일

국제공개일자 2005년09월29일

(30) 우선권주장 JP-P-2004-00083309 2004년03월22일 일본(JP)

(71) 출원인 로무 가부시킴가이샤
일본 교토시 우교구 사이잉 미조사키쵸 21

(72) 발명자 오쿠야마 수구루
일본 교토시 우교구 사이잉 미조사키쵸 21 로무 가부시킴가이샤내
시모지 노리유키
일본 교토시 우교구 사이잉 미조사키쵸 21 로무 가부시킴가이샤내

(74) 대리인 특허법인태평양

전체 청구항 수 : 총 12 항

(54) 유기 반도체 소자 및 이를 이용한 유기 EL 표시 장치

(57) 요약

채널 길이를 작게 제어할 수 있는 동시에, 단차부에 수반하는 접촉 저항이 상승되지 않게 하는 구조의 FET를 갖는 유기 반도체 소자, 및 그 유기 FET를 이용한 개구율이 큰 유기 발광 표시 장치를 제공한다. 기판(1)상에, 소스·드레인 전극의 일 방향으로 하는 제 1 도전층(2)이 설치되고, 그 제 1 도전층(2)상에 유기 반도체층(3) 및 소스·드레인 전극의 타방으로 하는 제 2 도전층(4)이 설치되어 있다. 그리고, 유기 반도체층의 측면 또는 제 2 도전층의 일부가 제거되어서 노출하는 유기 반도체층(3)의 표면 및 제 2 도전층의 측면에 절연층(5)을 통하여 게이트 전극(제 3 도전층)(6)이 설치되는 것에 의해 형성되는 FET를 갖고 있다. 또, 유기 EL 표시 장치는 유기 EL부상에 이 구조의 FET가 구동 소자로서 적층하여 설치되어 있다.

대표도

도 1

특허청구의 범위

청구항 1.

기관과,

상기 기관상에 설치되는 소스·드레인 전극의 일방(一方)으로 하는 제 1 도전층과,

상기 제 1 도전층의 위에 설치되는 유기 반도체층과,

상기 유기 반도체층의 위에 설치되는 소스·드레인 전극의 타방(他方)으로 하는 제 2 도전층과,

상기 유기 반도체층의 측면 또는 상기 제 2 도전층의 일부가 제거되어서 노출하는 상기 유기 반도체층의 표면 및 상기 제 2 도전층의 측면에 절연층을 통하여 설치되는 게이트 전극으로 이루어지는 FET

를 포함하는 것을 특징으로 하는 유기 반도체 소자.

청구항 2.

제1항에 있어서,

상기 제 1 도전층과 유기 반도체층과의 사이, 및/또는 상기 제 2 도전층과 상기 유기 반도체층과의 사이에 에너지 장벽(障壁)을 낮게 하는 유기 반도체층이 설치되어서 이루어지는 것을 특징으로 하는 유기 반도체 소자.

청구항 3.

제1항에 있어서,

상기 제 1 도전층이 넓은 범위에 걸쳐서 설치되고,

상기 제 1 도전층상에 상기 유기 반도체층 및 상기 제 2 도전층이 각각의 측면이 갖추어져서 노출하도록 설치되고,

상기 유기 반도체층과 제 2 도전층의 측면을 덮도록 상기 절연층을 통하여 상기 게이트 전극이 설치되어서 이루어지는 것을 특징으로 하는 유기 반도체 소자.

청구항 4.

제1항에 있어서,

상기 제 1 도전층, 상기 유기 반도체층 및 상기 제 2 도전층이 각각의 측면이 갖추어져서 노출하도록 설치되고,

상기 제 1 도전층, 유기 반도체층 및 제 2 도전층의 측면을 덮도록 상기 절연층을 통하여 상기 게이트 전극이 설치되어서 이루어지는 것을 특징으로 하는 유기 반도체 소자.

청구항 5.

제1항에 있어서,

상기 제 1 도전층 및 상기 유기 반도체층이 넓은 범위에 걸쳐서 설치되고, 상기 유기 반도체층상에 상기 제 2 도전층이 그 측면을 노출하도록 설치되고,

상기 제 2 도전층의 측면을 덮도록 상기 절연층 통하여 상기 게이트 전극이 설치되어서 이루어지는 것을 특징으로 하는 유기 반도체 소자.

청구항 6.

투광성 기관과,

상기 투광성 기관상에 설치되는 투광성 전극과,

상기 투광성 전극상에 설치되는 EL 유기층과,

상기 EL 유기층의 위에 적층하여 설치되는 구동 소자, 스위칭 소자 및 캐패시터로 이루어지고, 상기 구동 소자가 제 1 도전층과 유기 반도체층과 제 2 도전층과의 적층 구조로, 적어도 상기 제 2 도전층의 측면에 절연층을 통하여 게이트 전극이 설치되는 구조의 종형(縱型) FET에 의해 형성되어서 이루어지는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 7.

제6항에 있어서,

상기 EL 유기층과 상기 구동 소자와의 사이에, 유기 EL부의 상부 전극 및 상기 구동 소자의 소스·드레인 전극의 일방으로 하는 도전층이 공통의 도전층으로서 또는 별개의 도전층으로서 설치되어서 이루어지는 구조의 FET인 것을 특징으로 하는 유기 EL 표시 장치.

청구항 8.

제6항에 있어서,

상기 구동 소자가 상기 EL 유기층의 위에 설치되고,

상기 구동 소자의 상면에 형성되는 게이트 전극용의 제 3 도전층의 일부를 상기 스위칭 소자의 소스·드레인 전극의 일방으로 하고,

상기 제 3 도전층의 일부상에 유기 반도체층 및 소스·드레인 전극의 타방으로 하는 제 4 도전층이 적층되는 것에 의해 형성되는 종형 FET에 의해 상기 스위칭 소자가 형성되어서 이루어지는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 9.

제6항에 있어서,

상기 구동 소자 및 스위칭 소자가 상기 EL 유기층의 위에 평면적으로 구동 소자 영역과 스위칭 소자 영역으로 나누어서 설치되고,

상기 스위칭 소자는 스위칭 소자용 유기 반도체층이 상기 구동 소자의 유기 반도체층과 연속하거나, 또는 동시에 형성되고,

상기 유기 반도체층의 동일한 면에 접하고, 한 쌍의 소스·드레인 전극이 이간(離間)하여 설치되는 횡형(橫型) FET인 것을 특징으로 하는 유기 EL 표시 장치.

청구항 10.

제8항에 있어서,

상기 EL 유기층의 위에 상기 구동 소자용의 제 1 유기 반도체층이 설치되고,

상기 제 1 유기 반도체층상에 부분적으로 구동 소자용 소스·드레인 전극의 하나로 하는 제 2 도전층이 설치되고,

노출하는 표면에 상기 구동 소자용의 게이트 절연막으로 하는 제 1 절연층이 설치되고,

상기 제 1 절연층상에 상기 구동 소자용의 게이트 전극 및 상기 스위칭 소자용의 소스·드레인 전극의 일방으로 하는 제 3 도전층이 설치되고,

상기 스위칭 소자가 설치되는 스위칭 소자 영역에 있어서의 상기 제 3 도전층상에 상기 스위칭 소자용의 제 2 유기 반도체층이 설치되고,

상기 제 2 유기 반도체층상에 부분적으로 상기 스위칭 소자용의 소스·드레인 전극의 타방으로 하는 제 4 도전층이 설치되고,

상기 구동 소자가 설치되는 구동 소자 영역에 있어서의 상기 제 3 도전층상, 및 상기 스위칭 소자 영역에 있어서의 상기 제 2 유기 반도체층의 노출부 및 상기 제 4 도전층의 위에, 상기 캐패시터의 유전체층 및 상기 스위칭 소자용의 게이트 절연막으로 하는 제 2 절연층이 설치되고,

상기 스위칭 소자 영역에 있어서의 상기 제 2 절연층상에 상기 스위칭 소자용의 게이트 전극으로 하는 제 5 도전층, 및 상기 구동 소자 영역에 있어서의 상기 제 2 절연층상에 상기 캐패시터의 전극으로 하는 제 6 도전층이 각각 설치되어서 이루어지는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 11.

제9항에 있어서,

상기 스위칭 소자 영역에 있어서의 상기 EL 유기층의 위에 제 3 절연층이 설치되고,

상기 제 3 절연층상 및 상기 구동 소자 영역에 있어서의 상기 EL 유기층의 위에, 상기 구동 소자용 및 스위칭 소자용의 제 1 유기 반도체층이 설치되고,

상기 구동 소자 영역에 있어서의 상기 제 1 유기 반도체층상에 부분적으로 구동 소자용 소스·드레인 전극의 타방으로 하는 제 2 도전층이 설치되는 동시에,

상기 스위칭 소자 영역에 있어서의 상기 제 1 유기 반도체층상에 상기 스위칭 소자용의 소스 전극 및 드레인 전극으로 하는 제 7 및 제 8의 도전층이 분리하여 설치되고,

상기 구동 소자 영역에 있어서의 상기 제 1 유기 반도체층의 노출부 및 상기 제 2 도전층상에 상기 구동 소자용의 게이트 절연막으로 하는 제 1 절연층이 설치되는 동시에,

상기 스위칭 소자 영역에 있어서의 상기 제 1 유기 반도체층의 노출부 및 상기 제 7 및 제 8의 도전층상에 상기 스위칭 소자용의 게이트 절연막인 제 4 절연층이 상기 제 7 또는 제 8의 도전층의 어느 한 쪽의 일부가 노출하도록 설치되고,

상기 제 1 절연층상에 상기 구동 소자용의 게이트 전극으로 하는 제 3 도전층이 상기 제 7 또는 제 8의 도전층의 노출부와 전기적으로 접속되도록 설치되는 동시에,

상기 제 4 절연층상에 상기 스위칭 소자용의 게이트 전극으로 하는 제 5 도전층이 설치되고,

상기 제 3 도전층상에 상기 캐패시터의 유전체층으로 하는 제 2 절연층이 설치되고,

상기 제 2 절연층상에 상기 캐패시터의 전극으로 하는 제 6 도전층이 각각 설치되어서 이루어지는 것을 특징으로 하는 유기 EL 표시 장치.

청구항 12.

제10항 또는 제11항에 있어서,

상기 EL 유기층과 상기 제 1 반도체층과의 사이에 유기 EL부의 상부 전극 및 상기 구동 소자의 소스·드레인 전극의 일방으로 하는 도전층이 공통의 도전층으로서 또는 다른 도전층으로서 설치되어서 이루어지는 것을 특징으로 하는 유기 EL 표시 장치.

명세서

기술분야

본 발명은 유기 반도체를 이용한 전계 효과형 트랜지스터(이하, FET 라고 함) 등을 포함하는 유기 반도체 소자 및 그것을 이용한 유기 EL 표시 장치에 관한 것이다. 보다 상세하게는, 유기 반도체를 이용하면서, 채널 길이를 매우 짧게 하는 것이 가능한 동시에, 유기 EL부와 적층하는 것만으로 표시 장치를 구성하는 것이 가능한 구조의 유기 반도체 소자 및 이를 이용한 유기 EL 표시 장치에 관한 것이다.

배경기술

종래의 유기 반도체층을 이용한 FET의 구조는 도 9a ~ 9c에 나타나는 구조가 알려져 있다. 즉, 도 9a에 나타나는 구조는 보텀 컨택트(BC)형으로 불리는 것으로, 예를 들어 실리콘 기판으로 이루어지는 게이트 전극(31)상의 절연막(32)의 위에 한 쌍의 소스·드레인 전극(33, 34)이 설치되고, 그 표면에 유기 반도체층(35)이 설치되는 것으로, 소스·드레인 전극(33, 34) 사이의 유기 반도체층(35)을 채널 영역으로 하는 것이다. 이 구조는 소스·드레인 전극을, 포토리소그래피(photoolithography) 기술을 이용하여 형성할 수 있기 때문에, 어느 정도의 세밀한 패턴으로 형성할 수 있지만, 소스·드레인 전극의 단차(段差) 부분에 유기 반도체층(35)을 설치하므로, 유기 반도체층(35)의 커버리지(coverage)가 나쁘고, 채널 영역으로 되는 유기 반도체층(35)과 양 전극(33, 34)의 저면 코너부와의 사이에 공극(空隙)(36)이 생기기 쉽고, 접촉 저항이 높아진다고 하는 문제가 있다.

또, 도 9b에 나타나는 구조는 탑 컨택트(TC)형으로 불리는 것으로, 게이트 전극(31)상의 절연막(32)상에 유기 반도체층(35)이 설치되고, 그 위에 소스·드레인 전극(33, 34)이 형성되는 것으로, 소스·드레인 전극(33, 34)의 아래로 그 사이에 있는 유기 반도체층(35)을 채널 영역으로 하는 것이다. 이 구조는 유기 반도체층(35)의 커버리지의 문제는 없지만, 유기 반도체층(35)을 형성한 후에 전극을 형성할 필요가 있다. 그러나, 유기 반도체 재료는 용매나 알칼리 수용액에 노출되어 버리는 포토리소그래피 기술에서는 패턴 형성을 할 수 없고, 금속판으로 이루어지는 웨도우 마스크(메탈 마스크)를 이용하여 유기 반도체층(35)을 형성할 필요가 있다. 웨도우 마스크에서 해상도는 25 μ m 정도이며, 세밀한 패턴을 형성하는 것을 할 수 없고, 채널 길이를 단축할 수 없다고 하는 문제가 있다.

더욱, 도 9c에 나타나는 구조는 탑 앤드 보텀 컨택트(TBC)형으로 불리는 것으로, 절연막(32)상에 소스·드레인 전극의 일방(一方)(33)이 부분적으로 설치되고, 그 위에 및 노출하는 절연막(32)상에 반도체층(35)이 설치되고, 추가로 그 위에 소스·드레인 전극의 타방(他方)(34)이 설치되는 것으로, 소스·드레인 전극의 일방(33)의 측면과 타방(34)의 단차 부분과의 사이의 유기 반도체층(35)을 채널 영역으로 하는 것이다(예를 들어 특허 문헌 1 참조). 이 구조에서는 채널 길이를 유기

반도체층(35)의 두께로 제어할 수 있기 때문에, 채널 길이의 단축은 용이하지만, 최초의 BC 형과 동일하게, 유기 반도체층이 소스·드레인 전극(33)의 단차부에 형성되기 때문에, 그 커버리지가 나쁘고, 접촉 저항이 상승한다고 하는 문제가 있다.

특허 문헌 1 : 일본 특개 2003-258265호 공보(예를 들어 도 4)

상술과 같이 종래의 유기 반도체를 이용한 FET는 유기층에 단차부를 가지면 커버리지가 나쁘기 때문에 접촉 저항이 높고, 평평한 유기 반도체층을 이용하고자 하면, 세밀한 소스·드레인 전극을 형성하는 것이 가능하지 않기 때문에, 채널 길이의 단축을 도모하지 못하고, 어떤 구조로 해도 저저항의 채널을 형성할 수 없다고 하는 문제가 있다.

또, 이와 같은 상황에 기인하여, 예를 들어 유기 EL 반도체를 이용한 액티브 표시 장치에 있어서도, 그 구동 소자로서 유기 반도체 소자를 이용하지 못하고, 구동 소자로서는 폴리실리콘 등의 실리콘계 반도체가 이용되고 있다. 그 때문에, 유기 반도체와 실리콘계 반도체의 양쪽 모두를 이용하지 않으면 안된다. 또, 실리콘계 반도체를 이용하여 구동 소자를 형성하는 경우, 포토리소그래피 기술을 이용하는 것이 불가결하지만, 상술과 같이 유기 반도체를 성막한 후에 포토리소그래피 기술을 이용하는 것은 가능하지 않기 때문에, 유기 EL부상에 구동 소자를 형성할 수 없다. 한편, 구동 소자를 기판측에 형성하면, 표면측으로부터 광을 추출하지 않으면 안되지만, 그러기 위해서는 상부에 배치되는 전극은 투광성 전극이 아니면 안된다. 한편, 유기 EL 반도체층을 적층한 후에는 고온 열처리를 할 수 없다. 그러나, 저저항의 투광성 전극은 일반적으로 고온 처리가 필요하게 되기 때문에, 이것을 표면측에 형성할 수 없다. 그 때문에, 후술하는 도 5d에 평면 설명도가 나타낸 바와 같이, 발광부 L과 구동 소자부(Tr 및 캐패시터 CAPA)를 평면적으로 분리하여 형성하지 않으면 안되고, 표시부의 면적이 작아져서 개구율이 저하한다고 하는 문제가 있다.

발명의 상세한 설명

본 발명은 이와 같은 문제를 해결하기 위하여 이루어진 것으로, 채널 길이를 작게 제어할 수 있는 동시에, 단차부에 수반하는 접촉 저항의 상승을 일으키지 않는 구조의 FET를 갖는 유기 반도체 소자를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 액티브형의 유기 발광 표시 장치를 반도체층으로서는 모두 유기 반도체층에서 구성하면 동시에 발광부와 구동 소자나 캐패시터 부분을 적층 구조로 하여 개구율이 큰 표시부로서 얻은 유기 EL 표시 장치를 제공하는 것이다.

본 발명에 의한 유기 반도체 소자는 기판과, 상기 기판상에 설치되는 소스·드레인 전극의 일방으로 하는 제 1 도전층과, 제 1 도전층의 위에 설치되는 유기 반도체층과, 상기 유기 반도체층의 위에 설치되는 소스·드레인 전극의 타방으로 하는 제 2 도전층과, 상기 유기 반도체층의 측면 또는 상기 제 2 도전층의 일부가 제거되어서 노출하는 상기 유기 반도체층의 표면 및 상기 제 2 도전층의 측면으로 절연층을 통하여 설치되는 게이트 전극으로 이루어지는 FET를 갖고 있다.

상기 제 1 도전층과 유기 반도체층과의 사이, 및/또는 상기 제 2 도전층과 상기 유기 반도체층과의 사이에 에너지 장벽(障壁)을 낮게 하는 유기 반도체층이 설치되는 것으로, 낮은 동작 전압으로 전류를 흐르기 쉽게 할 수 있기 때문에 바람직하다. 본 발명의 구조에서는 유기 반도체층이 소스·드레인 전극에 의해 샌드위치되는 구조로, 유기 반도체층의 양면으로 소스·드레인 전극과 접촉하는 구조이기 때문에 특히 그 효과가 크다.

본 발명에 의한 유기 EL 표시 장치는 투광성 기판과, 상기 투광성 기판상에 설치되는 투광성 전극과, 상기 투광성 전극상에 설치되는 EL 유기층과, 상기 EL 유기층의 위에 적층하여 설치되는 구동 소자, 스위칭 소자 및 캐패시터 이루어지고, 상기 구동 소자가 제 1 도전층과 유기 반도체층과 제 2 도전층과의 적층 구조로, 적어도 상기 제 2 도전층의 측면에 절연층을 통하여 게이트 전극이 설치되는 구조의 종(縱)형 FET로 구성되어 있다. 여기에 EL 유기층은 유기 EL부(발광부를 형성하도록 전극과 유기 반도체층이 적층되는 부분)를 형성하도록 적층되는 유기 반도체층의 부분을 의미한다. 또, 구동 소자를 구성하는 제 1 도전층은 유기 EL부와 적층되는 경우에는 유기 EL부의 전극과 공용하는 것도 가능하고, 유기 EL부의 EL 유기층에서 대용할 수도 있다.

상기 구동 소자가 상기 EL 유기층의 위에 설치되고, 상기 구동 소자의 상면에 형성되는 게이트 전극용의 제 3 도전층의 일부를 상기 스위칭 소자의 소스·드레인 전극의 일방으로 하고, 상기 제 3 도전층의 일부상에 유기 반도체층 및 소스·드레인 전극의 타방으로 하는 제 4 도전층이 적층되는 것에 의해 형성되는 종형 FET에 의해 상기 스위칭 소자가 형성되어도 된다. 또, 상기 구동 소자 및 스위칭 소자가 상기 EL 유기층의 위에 평면적으로 구동 소자 영역과 스위칭 소자 영역으로 나

누어서 설치되고, 상기 스위칭 소자는 스위칭 소자용 유기 반도체층이 상기 구동 소자의 유기 반도체층과 연속하거나 또는 동시에 형성되고, 상기 유기 반도체층의 동일한 면에 접하고, 한 쌍의 소스·드레인 전극이 이간(離間)하여 설치되는 횡(橫)형 FET이어도 된다.

구체적 구조로서는 상기 EU 유기층의 위에 상기 구동 소자용의 제 1 유기 반도체층이 설치되고, 상기 제 1 유기 반도체층 상에 부분적으로 구동 소자용 소스·드레인 전극의 하나로 하는 제 2 도전층이 설치되고, 노출하는 표면에 상기 구동 소자용의 게이트 절연막으로 하는 제 1 절연층이 설치되고, 상기 제 1 절연층상에 상기 구동 소자용의 게이트 전극 및 상기 스위칭 소자용의 소스·드레인 전극의 일방으로 하는 제 3 도전층이 설치되고, 상기 스위칭 소자가 설치되는 스위칭 소자 영역에 있어서의 상기 제 3 도전층상에 상기 스위칭 소자용의 제 2 유기 반도체층이 설치되고, 상기 제 2 유기 반도체층상에 부분적으로 상기 스위칭 소자용의 소스·드레인 전극의 타방으로 하는 제 4 도전층이 설치되고, 상기 구동 소자가 설치되는 구동 소자 영역에 있어서의 상기 제 3 도전층상, 및 상기 스위칭 소자 영역에 있어서의 상기 제 2 유기 반도체층의 노출부 및 상기 제 4 도전층의 위에, 상기 캐패시터의 유전체층 및 상기 스위칭 소자용의 게이트 절연막으로 하는 제 2 절연층이 설치되고, 상기 스위칭 소자 영역에 있어서의 상기 제 2 절연층상에 상기 스위칭 소자용의 게이트 전극으로 하는 제 5 도전층, 및 상기 구동 소자 영역에 있어서의 상기 제 2 절연층상에 상기 캐패시터의 전극으로 하는 제 6 도전층이 각각 설치되는 구조로 하는 것이 가능하다.

이 구조로 하는 것으로, 구동 소자의 게이트 전극과 스위칭 소자의 소스·드레인 전극을 동시에 연속하여 형성하는 것이 가능하게 차례로 적층하는 것만으로 모든 소자를 형성할 수 있고, 매우 간단한 제조 공정으로 형성할 수 있는 동시에, 캐패시터의 전극과 구동 소자의 게이트 전극을 공용할 수 있다.

더욱 다른 구체적 구조로서는 상기 스위칭 소자 영역에 있어서의 상기 EL 유기층의 위에 제 3 절연층이 설치되고, 상기 제 3 절연층상 및 상기 구동 소자 영역에 있어서의 상기 EL 유기층의 위에, 상기 구동 소자용 및 스위칭 소자용의 제 1 유기 반도체층이 설치되고, 상기 구동 소자 영역에 있어서의 상기 제 1 유기 반도체층상에 부분적으로 구동 소자용 소스·드레인 전극의 타방으로 하는 제 2 도전층이 설치되는 동시에, 상기 스위칭 소자 영역에 있어서의 상기 제 1 유기 반도체층상에 상기 스위칭 소자용의 소스 전극 및 드레인 전극으로 하는 제 7 및 제 8의 도전층이 분리하여 설치되고, 상기 구동 소자 영역에 있어서의 상기 제 1 유기 반도체층의 노출부 및 상기 제 2 도전층상에 상기 구동 소자용의 게이트 절연막으로 하는 제 1 절연층이 설치되는 동시에, 상기 스위칭 소자 영역에 있어서의 상기 제 1 유기 반도체층의 노출부 및 상기 제 7 및 제 8의 도전층상에 상기 스위칭 소자용의 게이트 절연막인 제 4 절연층이 상기 제 7 또는 제 8의 도전층의 어느 한 쪽의 일부가 노출하도록 설치되고, 상기 제 1 절연층상에 상기 구동 소자용의 게이트 전극으로 하는 제 3 도전층이 상기 제 7 또는 제 8의 도전층의 노출부 전기적으로 접속되도록 설치되는 동시에, 상기 제 4 절연층상에 상기 스위칭 소자용의 게이트 전극으로 하는 제 5 도전층이 설치되고, 상기 제 3 도전층상에 상기 캐패시터의 유전체층으로 하는 제 2 절연층이 설치되고, 상기 제 2 절연층상에 상기 캐패시터의 전극으로 하는 제 6 도전층이 설치되는 구조로 하는 것이 가능하다.

이 구조로 하면, 구동 소자용 유기 반도체층과 스위칭 소자용 유기 반도체층을 연속적으로 동시에 형성할 수 있기 때문에, 키오 이루어지는 유기 반도체층의 형성 공정을 1 회로 끝낼 수 있다. 이 경우, 스위칭 소자가 횡형의 FET로 되지만, 스위칭 소자는 채널 길이가 그만큼 미세하지 않아도 되기 때문에, 웨도우 마스크를 이용하여 소스·드레인 전극을 형성할 수 있다.

상기 EL 유기층과 상기 제 1 유기 반도체층과의 사이에 유기 EL부의 상부 전극 및 상기 구동 소자의 소스·드레인 전극의 일방으로 하는 도전층이 공통의 도전층으로서 또는 다른 도전층으로서 설치되는 것으로, 저저항의 제 1 도전층에 의해 전류가 확산하고, 유기 EL 표시부의 전체에 걸쳐서 전류를 확산시킬 수 있고, 스위칭 소자의 하부에서도 발광하고, 전체로 밝게 발광시킬 수 있기 때문에 바람직하다.

본 발명의 유기 반도체 소자의 구조로 하는 것으로, 채널 영역은 유기 반도체층의 측면, 또는 제 2 도전층의 측면 근방의 게이트 전극과 제 1 도전층이 대향하는 부분의 유기 반도체층에 형성되고, 채널 길이는 유기 반도체층의 두께로 정해지기 때문에, 채널 길이를 나노 미터 단위로 매우 양호한 정밀도로 제어할 수 있다. 또, 유기 반도체층은 소스·드레인 전극과 함께 평탄한 적층 구조로 형성되어 있고, 단차에 의한 커버리지의 문제는 생기지 않는다. 그 결과, 접촉 저항이 경감하는 동시에, 정확한 치수로 원하는 채널 길이의 FET를 형성할 수 있다. 그 때문에, 드레인 전류의 증가, 동작 전압의 저감 등 트랜지스터 특성을 큰 폭으로 향상시킬 수 있다.

또, 게이트 전극이 상면에 형성되기 때문에, 예를 들어 표시 장치의 구동 소자의 게이트 전극에 스위칭 소자의 소스·드레인을 접속하는 경우나, 구동 소자의 게이트에 캐패시터를 접속하는 제어 회로를 형성하는 경우에도, 차례로 상면측에 적층함으로써 간단하게 형성할 수 있고, 특히 유기 발광(EL) 표시 장치에 적용하면, 유기 EL부(발광부)와 함께 적층하는 것으로 형성할 수 있다.

그 결과, 유기 반도체를 이용하여 매우 단채널 길이인 FET를 갖는 반도체 소자가 얻어지고, 또 유기 반도체층의 막 두께로 채널 길이를 제어할 수 있기 때문에, 포토리소그래피 기술을 이용하는 일 없이, 나노미터 단위의 매우 엄밀한 채널 길이의 FET를 형성할 수 있고, 유기 발광(EL) 표시 장치의 구동 소자로서 이용할 수 있다. 또, 단순한 층 구조만으로 형성할 수 있기 때문에, 또 채널 부분도 자기 정합(自己整合)적으로 형성되기 때문에, 프로세스 비용을 낮추는 것이 가능하고, 매우 엄가로 얻을 수 있다.

또, 본 발명의 유기 EL 표시 장치의 구조로 하는 것으로, 구동 소자가 포토리소그래피 기술을 이용하지 않아도, 채널 길이가 짧고, 접촉 저항이 매우 낮은 FET가 얻어지기 때문에, 또, 유기 EL부상에 단순한 적층 구조만으로 구동 소자나 캐패시터를 형성할 수 있고, 구동 소자 등을 표시부와 병렬로 배치할 필요가 없기 때문에, 각 화소 면적의 대부분을 유기 EL부로 구성할 수 있다. 그 결과, 매우 개구율을 향상시킬 수 있고, 선명한 표시를 하는 것이 가능한 유기 EL 표시 장치가 매우 엄가로 얻어진다. 또, 구동 소자가 중형 구조로 중 방향으로 전류가 흐르기 때문에, 유기 EL부와 연속적으로 전류가 흐른다. 그 때문에, 쓸데없는 경로가 없고, 저저항으로 전류를 흘릴 수 있는 동시에, 유기 EL부의 상면 전극이나 구동 소자용 하면층의 소스·드레인 전극이 없어도, 구동 소자로부터 유기 EL부에 전류를 흘릴 수 있다. 그 결과, 고성능인 액티브 매트릭스형 유기 발광(EL) 표시 장치를 엄가로 얻을 수 있고, 화상 표시 장치의 새로운 발전에 크게 기여한다.

실시예

다음에, 도면을 참조하여 본 발명의 유기 반도체 소자 및 그것을 이용한 유기 EL 표시 장치에 대하여 설명을 한다. 본 발명에 의한 유기 반도체 소자는 도 1에 그 일 실시 형태의 단면 설명도가 나타난 바와 같이, 기판(1)상에, 소스·드레인 전극의 일방으로 하는 제 1 도전층(2)이 설치되고, 그 제 1 도전층(2)의 위에 유기 반도체층(3) 및 소스·드레인 전극의 타방으로 하는 제 2 도전층(4)이 설치되어 있다. 도 1에 나타나는 예에서는 유기 반도체층(3) 및 제 2 도전층(4)이 제 1 도전층(2)보다 작게 형성되고, 제 1 도전층(2)의 일부가 노출하는 구조에 형성되어 있다. 그리고, 그 표면에 게이트 절연막으로 하는 절연층(5)을 통하여 게이트 전극(제 3 도전층)(6)이 설치되는 것으로 형성되는 FET를 갖고 있다. 또, 기판(1)은 다른 층에 비해 매우 두껍지만, 이하의 도면도 포함하여 도면에서는 두께의 관계에 대해서 나타나고 있지 않다.

기판(1)은 유리, 알루미늄 소결체 등의 무기 재료, 폴리이미드 필름, 폴리에스테르 필름, 폴리에틸렌 필름, 폴리페닐렌술퍼드막, 폴리파라키실렌막 등의 각종 절연성 플라스틱 등의 외에, 이러한 무기물과 유기물과의 하이브리드 재료, 제 1 도전층과 결합 반도체 기판 등의 도전성 기판 등에서도 좋고, 목적에 따라 이 유기 반도체 소자의 각 막을 적층하고, 디바이스를 홀딩(holding)하는데 충분한 강도를 갖는 것이면 된다. 후술하는 유기 EL 표시 장치로서 이용하는 경우에는 유기 발광부가 형성된 기판의 전체를 의미한다. 유기 반도체 소자만을 제작하는 경우에는 플라스틱 기판을 이용하면, 경량으로 플렉시블인 유기 TFT를 제작할 수 있다.

소스·드레인 전극으로 하는 제 1 도전층(2) 및 제 2 도전층(4)은 도전성이 뛰어나면서, 기판이나 유기 반도체층과의 밀착성이 좋고, 접촉 저항이 낮은 금속, 또는 도전성 유기(무기) 재료, 또는 이러한 착체(錯體) 재료가 이용된다. 구체적으로는 p형의 유기 반도체층과 오믹 접촉을 취하기 위해서는 일 함수가 큰 금속이 바람직하고, 금, 백금 등을 이용하는 것이 바람직하다. 그러나, 이러한 재료에는 한정되지 않는다. 또, 반도체층 표면에 불순물(dopant)이 고밀도로 도핑되어 있는 경우에는 금속·반도체 사이를 캐리어가 터널(tunnel)하는 것이 가능해지고, 금속의 재질에 의하지 않게 되기 때문에, 후술하는 게이트 전극 재료로서 드는 금속 재료를 이용할 수도 있다. 이러한 도전층(2, 4)은 저저항층으로서 이용할 수 있는 20 ~ 200nm 정도, 바람직하게는 50 ~ 100nm 정도의 두께로 형성된다.

유기 반도체층(3)으로서는 온·오프비가 높고, 캐리어 수송(輸送)성이 뛰어나고, 절연층이나 전극 재료와 밀착성이 좋은 것이 이용되고, π 전자 공역계의 방향족 화합물, 지방족 화합물, 유기 안료, 유기 규소 화합물 등을 이용할 수 있다. 구체적으로는 펜타센, 테트라센, 티오펜올리고머 유도체, 페닐렌 유도체, 프타로시아닌 화합물, 폴리아세틸렌 유도체, 폴리티오펜 유도체, 시아닌 색소 등을 이용할 수 있으나, 이러한 재료로 한정되는 것은 아니다. 이 유기 반도체층(3)은 원하는 채널 길이에 따른 50 ~ 5000nm 정도, 바람직하게는 100 ~ 1000nm 정도의 두께로 형성된다.

게이트 절연막으로 하는 절연층(5)으로서는 도포법이 가능한 폴리클로로필렌, 폴리에틸렌 테레프탈레이트, 폴리옥시메틸렌, 폴리비닐클로라이드, 폴리옥화 비닐리덴, 시아노에틸플루렌, 폴리메틸 메타클리레이트, 폴리실폰, 폴리카보네이트, 폴리이미드 등의 유기 재료가 바람직하다. 또, 기존의 패턴 프로세스를 이용하는 것이 가능한 SiO_2 , SiN_x , Al_2O_3 등의 무기 재료를 이용할 수도 있다. 물론 이러한 재료로 한정되는 것은 아니고, 이들 재료에서도 2종 이상 병용할 수도 있다. 이 절연층(5)은 절연성이 뛰어나 게이트 전극에 인가될 수 있는 전압에 견딜 수 있는 내압을 확보하기 때문에, 10 ~ 100nm 정도, 바람직하게는 50 ~ 100nm 정도의 두께로 형성된다.

게이트 전극(제 3 도전층)(6)으로서는 전극 형성 프로세스가 간단한 도포법을 이용할 수 있는 폴리머닐린, 폴리티오펜 등의 유기 재료, 또는 도전성 잉크가 바람직하다. 또, 금, 백금, 크롬, 팔라듐, 알루미늄, 인듐, 몰리브덴, 니켈 등의 금속이나, 이것들 금속을 이용한 합금이나, 주석 산화물, 산화 인듐, 인듐·주석 산화물(ITO) 등의 무기 재료에서도 웨도우 마스크를 이용한 스페터법이나 진공 증착법 등에 의해 이용하는 것도 가능하다. 또, 실리콘, 폴리 실리콘, 아몰퍼스(amorphous) 실리콘을 이용할 수도 있다. 또, 이것의 재료를 2 종 이상 병용해도 상관없다.

이 유기 반도체를 제조하는 방식의 일례에 대하여, 도 2a ~ 2d에 나타나는 공정도를 참조하여 구체적인 예에 의해 설명한다. 우선, 도 2a에 나타낸 바와 같이, 소스·드레인 전극의 일방으로 하는 제 1 도전층(2)을 진공 증착법 등에 의해 형성한다. 이 제 1 도전층(2)은 예를 들어 도전성 유기 재료상정을 도포법에 의해 형성할 수도 있다. 다음에, 웨도우 마스크를 설치하고, 도 2b에 나타내는 바와 같이, 제 1 도전층(2)이 일부 노출하도록, 유기 반도체층(3)을 형성한다. 따라서, 동일한 마스크를 이용하여 도 2c에 나타낸 바와 같이, 유기 반도체층(3)의 위에, 소스·드레인 전극의 타방으로 하는 제 2 도전층(4)을 형성한다. 그 후, 표면 전면에 절연층(5)을 형성한다. 그 다음에, 그 표면에 게이트 전극(6)을 형성한다. 그 결과, 도 1에 나타나는 단면 구조를 갖는 FET가 형성된다. 또, 이상의 방법에서는 진공 증착법에 의해 각층을 형성하였으나, 도포법에 의해 형성할 수도 있다.

본 발명의 유기 반도체 소자에 의하면, 소스·드레인 전극으로 하는 제 1 및 제 2 도전층(2, 4)의 사이에 샌드위치된 유기 반도체층(3)의 측면으로 절연층(5)을 통하여 게이트 전극(6)이 위치하도록 형성되어 있다. 그 때문에, 유기 반도체층(3)의 게이트 전극(6)과 대향하는 유기 반도체층(3)의 측면이 채널 영역으로 되고, 게이트 전극(6)에 의한 제어에 의해, 채널이 온 오프 하여 FET 동작을 한다.

이 구조에서는 유기 반도체층(3)과 소스·드레인 전극으로 되는 제 1 및 제 2 도전층(2, 4)의 어느 하나의 계면(界面)도 평탄하고, 밀착성이 높기 때문에, 접촉 저항은 매우 낮다. 또, 절연층(5) 및 게이트 전극(6)이 유기 반도체층(3)과 제 1 도전층(2)과의 단차부에 형성되기 때문에, 커버리지가 나쁘고, 코너부에 절연층이 충분히 충전되지 않을 가능성은 있으나, 원래 절연층(5)은 전류를 흘리는 것은 아니기 때문에, 접촉 저항은 문제로 되지 않는다.

또, 채널 길이는 유기 반도체층(3)의 두께로 정해지기 때문에, 성막 두께를 제어하는 것에 의해, 원하는 채널 길이로 형성할 수 있다. 이 유기 반도체층(3)의 두께는 나노미터 단위로 형성할 수 있고, 채널 길이도 그 단위로 제어할 수 있다. 또, 단순한 적층 구조로, 또 채널 부분은 자기 정합적으로 만들어지기 때문에, 제조가 간단하고, 프로세스 비용을 큰 폭으로 내릴 수 있다. 그 결과, 낮은 동작 전압으로, 큰 드레인 전류를 얻을 수 있고, 고티성의 FET가 염가로 얻어진다. 그 때문에, 전류 구동인 유기 발광 표시 장치의 구동 소자로서도 충분히 이용할 수 있고, 유기 EL부와 연속적으로 적층하여 유기 EL 표시 장치를 구성할 수 있다.

도 1 및, 2a ~ 2d에 나타나는 구조는 유기 반도체층(3)과 제 2 도전층(4)이 일부 결핍하도록 성막되고, 그 측면에 절연층을 통하여 게이트 전극이 형성되어 있었지만, 반드시 이 구조가 아니어도, 도 3a ~ 3b에 나타나는 변형예의 구조로 해도 동일하게 유기 반도체층(3)의 두께를 채널 길이로 하는 FET 동작을 시킬 수 있다.

즉, 도 3a에 나타나는 구조는 제 1 도전층(2)도 전면에 형성되는 것이 아니라, 일부 결핍한 형상으로 형성된 것으로, 이 구조로 하면 보다 한층 완전하게 게이트 전극(6)이 유기 반도체층(3)의 측면과 대응하기 때문에, 낮은 게이트 전압으로 채널 영역의 온 오프를 제어할 수 있다. 또, 다른 부분은 도 1에 나타나는 예와 동일하므로, 동일한 부분에는 동일한 부호를 부여하여 그 설명을 생략한다.

또, 도 3b에 나타나는 구조는 반대로 유기 반도체층도 전면에 설치되고, 제 2 도전층(4)만을 일부 결핍한 상태로 형성하고, 그 측면 및 유기 반도체층의 노출면에 절연층(5)을 통하여 게이트 전극(6)이 설치된 것이다. 이 구조에서도, 제 2 도전층(4)의 측면 근방의 유기 반도체층(3)이 채널 영역으로 되고, 게이트 전극(6)에 의해 온 오프 제어를 할 수 있다. 이 예에서도, 다른 부분은 도 1에 나타나는 예와 동일하고, 동일한 부분에는 동일한 부호를 부여하여 그 설명을 생략한다. 이 구조로 하는 것으로, 구동 소자를 몇 개 병렬로 형성하는 경우에 제 2 도전층(4)만을 패턴 형성하면 되기 때문에, 제조 프로세스가 간단하게 된다고 하는 이점이 있다.

도 4는 본 발명에 의한 유기 반도체 소자의 다른 실시 형태를 나타내는 도 1과 동일한 단면 설명도에서, 드레인 전류의 주입, 인출(引出)을 더욱 개선한 것이다. 즉, 유기 반도체층(3)의 제 1 도전층(2) 및 제 2 도전층(4)과의 계면에, 소스·드레인층(캐리어 주입층)(3a, 3b)이 형성되었다는 것이다. 이 소스·드레인층(3a, 3b)은 소스·드레인 전극(2, 4)과 유기 반도체

채층(3)과의 사이의 에너지 장벽을 작게 하는 유기 반도체층에서, 유기 반도체층(3)과 소스·드레인 전극(2, 4)과의 사이의 에너지 장벽이 작아지는 것에 의해, 캐리어의 주입, 인출이 용이해져서, 보다 낮은 접촉 저항이 얻어지고, 낮은 구동 전압으로 큰 드레인 전류를 얻기 쉬워진다.

본 발명의 유기 FET에서는 유기 반도체층(3)의 상하 양면에 소스·드레인 전극(2, 4)이 설치되는 구조이기 때문에, 채널 영역의 양 단측에 전류를 흐르기 쉽게 하는 소스·드레인층(3a, 3b)이 설치되는 것에 의해, 실리콘계의 반도체층으로, 소스·드레인 영역을 고불순물 농도로 하여 전류를 흐르기 쉽게 하는 것과 동일한 효과를 얻을 수 있다. 즉, 종래의 유기 반도체층의 일면측에 소스·드레인 전극이 설치되는 구조에서는 전류 통로가 유기 반도체층 표면측의 횡 방향이기 때문에, 채널 영역을 제외하여 소스·드레인층(3a, 3b)을 설치하는 것은 곤란하지만, 본 발명에서는 단순한 적층 구조이기 때문에, 소스·드레인층(3a, 3b)을 설치하는 것이 용이하다.

소스·드레인층(캐리어 주입층)(3a, 3b)으로서는 예를 들어 CuPc(동(銅) 프탈로시아닌), PANI(폴리아닐린), PEDOT(폴리-3, 4-에틸렌디옥시-티오펜) 등을 이용할 수 있다.

도 5a ~ 5c는 상술한 FET를 이용한 본 발명의 유기 EL 표시 장치의 개략 구성을 나타내는 도면이다. 즉, 본 발명에 의한 유기 EL 표시 장치는 투광성 기판(1a)상에 투광성 전극(21)이 설치되고, 그 투광성 전극(21)상에 유기 EL부(20)가 설치되고, 그 유기 EL부(20)상에 구동 소자 Tr_1 , 스위칭 소자 Tr_2 및 캐패시터 C가 각각 유기 EL부(20)상에 적층하여 설치되고, 이 구동 소자 Tr_1 이 상술한 구조의 중형 FET로 구성되어 있는 것에 특징이 있다. 즉, 이런 종류의 표시 장치로 섬세한 화상을 표시하려면, 도 5b에 1 화소분의 등가 회로도가 나타낸 바와 같이, 유기 EL부(20)가 구동 소자 Tr_1 을 통하여 전원 라인 V_{cc} 와 어스와의 사이에 접속되고, 구동 소자 Tr_1 의 게이트에 스위칭 소자 Tr_2 가 접속되고, 워드 라인 WL과 비트 라인 BL로 매트릭스가 조성되고, 각 화소를 선택할 수 있는 액티브 형태로 구성되어 있다.

본 발명에서는 구동 소자 Tr_1 로서, 상술한 구조의 유기 FET가 이용되는 것에 의해, 포토리소그래피 기술을 이용하지 않아도, 채널 길이가 짧은 FET를 유기 반도체로 형성할 수 있고, 유기 EL부(20)상에 적층하여 형성하는 것이 할 수 있게 되었다. 그 때문에, 도 5c에 1 화소분의 평면 설명도가 나타낸 바와 같이, 화소의 거의 전면을 발광부 L로 할 수 있고, 도 5d에 나타나는 종래의 트랜지스터 Tr 이나 캐패시터 CAPA의 면적을 확보할 필요가 없고, 발광부 L의 면적을 종래 구조보다 큰 폭으로 향상시킬 수 있다.

기판(1a)으로서는 그 비관측으로부터 취출하기 위하여, 투광성인 유리 기판이나 플라스틱 필름이 이용된다. 또, 투광성 전극(21)은 진공 증착법이나 스퍼터법 등에 의해 설치되는 ITO(Indium Tin Oxide), 산화 인듐 등이 이용된다.

유기 EL부(20)은 예를 들어 도 6에 나타낸 바와 같이, 예를 들어 유리 기판 Sub(1a)상의 투광성 전극(21)상에, 정공 수송층(23), 발광층(24) 및 전자 수송층(25)으로 이루어지는 EL 유기층(27)이 설치되고, 그 위에 타방의 전극(상면 전극)(26)이 차례로 적층함으로써 형성되어 있지만, EL 유기층(27)은 이 3층 구조로 제한되는 것이 아니고, 적어도 발광층이 형성되어 있으면 되고, 또 각각의 층도 추가로 복층으로 할 수 있다.

정공 수송층(23)은 일반적으로는 발광층(24)에의 정공 주입성의 향상과 정공의 안정한 수송 향상을 위해, 이온화 에너지가 어느 정도 작고, 발광층(24)에의 전자의 폐입(에너지 장벽)이 가능하다는 것이 구해지고, 아민계의 재료, 예를 들어 트리페닐디아민 유도체, 스티릴 아민 유도체, 방향족 축합환을 갖고 아민 유도체 등이 이용되어서 10 ~ 100nm, 바람직하게는 20 ~ 50nm 정도의 두께로 설치된다. 또, 도면에는 나타나지 않고 있으나, 정공 수송층(23)과 양극 전극(21)과의 사이에 정공 주입 층을 설치하고, 정공 수송층(23)에의 캐리어의 주입성을 더욱 향상시키는 것도 행해진다. 이 경우도, 양극 전극(21)으로부터의 정공의 주입성을 향상시키기 위해, 이온화 에너지의 정합성이 좋은 재료가 이용되고, 대표예로서 아민계나 프타로시아닌계가 이용된다. 도 6에 나타나는 예에서는 정공 수송층(23)으로서 NPB가 35nm의 두께로 설치되어 있다.

발광층(24)으로서는 발광 파장에 따라 선택되지만, Alq3을 모재(母材)로서 유기물 형광 재료를 도핑함으로써, 도핑 재료 고유의 발광색을 얻을 수 있고, 또 발광 효율이나 안정성을 향상시킬 수 있다. 이 도핑은 발광 재료에 대하여 수증량(wt)% 정도(0.1 ~ 20wt%)로 행해진다.

형광성 물질로서는 키너클리든, 루블린, 스티릴계 색소 등을 이용하는 것이 가능하다. 또, 키놀린 유도체, 테트라페닐 부타디엔, 안트라센, 페릴렌, 코로넨, 12-프타로페리논 유도체, 페닐란도라센 유도체, 테트라아릴에텐 유도체 등을 이용할 수

있다. 또, 그 자체로 발광이 가능한 호스트 물질과 조합시켜서 사용하는 것이 바람직하고, 호스트 물질로서는 키노리노라트 착체가 바람직하고, 8-키노리놀 또는 그 유도체를 배위자(配位子)로 하는 알루미늄 착체가 바람직하고, 그 외에 페닐안트라센 유도체나 테트라아릴에텐 유도체 등을 이용할 수 있다.

전자 수송층(25)은 음극 전극(26)으로부터의 전자의 주입성을 향상시키는 기능 및 전자를 안정하게 수송하는 기능을 갖는 것으로, 도 6에 나타나는 예에서는 Alq3(트리스(8-키노리노라트)알루미늄)이 25nm 정도의 두께로 설치되어 있다. 이 층이 남아서 두꺼워지면, 직렬 저항 성분이 크게 되기 때문에, 남은 두께는 행하지 않고, 통상은 10 ~ 80nm, 바람직하게는 20 ~ 50nm 정도의 두께로 설치된다. 전자 수송층(25)으로서는 상기 재료 외에, 키노린 유도체, 8-키노리놀 내지 그 유도체를 배위자로 하는 금속 착체, 페닐안트라센 유도체, 테트라아릴에텐 유도체 등을 이용할 수 있다. 이 전자 수송층(25)과 음극 전극(26)과의 사이에서 갭이 큰 경우에는 정공층과 동일하게, LiF 등으로 이루어지는 전자 주입층(26a)이 설치된다.

음극 전극(26)으로서는 전자 주입성을 향상시키기 위해, 일 함수가 작은 금속이 주로 이용된다. 대표예로서는 Mg, K, Li, Na, Ca, Sr, Ba, Al, Ag, In, Sn, Zn, Zr 등이 일반적으로는 이용되고 있다. 또, 산화 인듐과 같은 투광성 도전막을 이용할 수도 있다. 이러한 금속의 산화 등을 방지하여 안정화시키기 위해, 다른 금속과의 합금화를 시키는 일이 많고, 도 6에 도시되어 있는 예도, LiF층(26a)을 통하여 Al 층이 110nm 정도 성막되는 것으로, 음극 전극(26)이 형성되어 있다.

구동 소자 Tr_1 은 유기 EL부(20)와 직렬로 접속되어 있기 때문에, 채널 길이가 길어지면 저항이 증대하고, 유기 EL부(20)에 공급하는 전류가 감소한다. 그 때문에, 채널 길이가 짧은 FET인 것이 바람직하고, 상술한 도 1 또는 도 3a ~ 3b에 나타나는 구조의 종형 유기 FET가 사용된다. 이 FET는 종형이기 때문에, 도 1 또는 도 3a ~ 3b에 나타나는 소스·드레인 전극으로서의 제 1 도전층(2) 및 상술한 도 6에 나타나는 유기 EL부(20)의 전극(26)이 없어도, 유기 EL부(20)에 직접 전류가 흘러서 발광시킬 수 있다. 그러나, 양쪽의 전극을 공용한 제 1 도전층이 설치되는 것에 의해, 구동 소자 Tr_1 을 통과한 전류가 제 1 도전층에 의해 전면에서 확산되기 때문에, 유기 EL부(20)의 전체에 전류를 공급할 수 있고, 넓은 면적에서의 발광에는 바람직하다.

한편, 스위칭 소자 Tr_2 는 그 만큼 전류를 필요로 하지 않기 때문에, 상술한 도 1 또는 도 3a ~ 3b에 나타나는 구조의 유기 FET를 사용해도 되지만, 이 구조가 아니라, 종래의 횡형 구조의 FET를 웨도우 마스크를 이용하여 형성해도 된다. 캐패시터 C는 구동 소자가 온 상태를 일정 시간 홀딩하기 위한 것으로, 데이터를 홀딩할 수 있는 용량으로 형성된다.

따라서, 구체적인 구조에 더 상세하게 설명을 한다. 도 7은 구동 소자 Tr_1 및 스위칭 소자 Tr_2 의 양쪽 모두에 상술한 종형 구조의 유기 FET를 사용한 예이다. 즉, 예를 들어 유리 등 투광성 기판(1a)상에, 예를 들어 ITO로 이루어지는 투광성 전극(21)이 형성되고, 상술한 도 6에 나타나는 구조의 유기 EL부(20)가 적층되어 있다. 그리고, 그 표면에, 유기 EL부의 상부 전극 및 구동 소자의 소스·드레인 전극의 일방과 공용하는 제 1 도전층(2)이 형성되어 있다. 또, 상술과 같이 상기 제 1 도전층(2)은 없어도 된다. 그 표면의 구동 소자 영역 A에 유기 반도체층(3)이 적층되고, 추가로 그 표면에 부분적으로(도 7에서는 2개소) 소스·드레인 전극의 타방으로 하는 제 2 도전층(4)이 설치되고, 그 표면 전체에 게이트 절연막으로 하는 제 1 절연층(5)이 추가로 그 표면에 게이트 전극으로 하는 제 3 도전층(6)이 각각 설치되는 것으로, 상술한 구조의 유기 FET가 구동 소자 Tr_1 로서 형성되어 있다.

스위칭 소자 영역 B에서는 제 3 도전층(6)을 소스·드레인 전극의 일방으로 하고, 그 표면에 스위칭 소자용의 제 2 유기 반도체층(7)이 적층되고, 그 표면에 부분적으로 소스·드레인 전극의 타방으로 하는 제 4 도전층(8)이 설치되고, 그 표면 및 구동 소자 영역 A의 제 3 도전층(6)상에, 스위칭 소자용 게이트 절연막 및 캐패시터용의 절연막으로 하는 제 2 절연층(9)이 설치되어 있다. 그리고, 스위칭 소자 영역 B에 있어서의 제 2 절연층(9)상에 스위칭 소자용 게이트 전극으로 하는 제 5 도전층(10)이, 또 구동 소자 영역 A에 있어서의 제 2 절연층상에 캐패시터 전극으로 하는 제 6 도전층(11)이 동일한 재료로 동시에 형성되어 있다. 그리소, 이 표면에 보호막(19)(도 5a 참조)이 형성되는 것으로, 도 5a에 개략도로 나타난 구조의 유기 발광 표시 장치가 얻어진다.

이 구조로, 제 2 도전층(4)의 측단부와 제 1 도전층(2)이 대향하는 부분 D의 제 1 유기 반도체층(3)에 구동 소자 Tr_1 의 채널 영역이 형성되고, 채널이 온 할 때는 D의 부분에서 종 방향으로 전류가 흐르고, 그 아래의 유기 EL부(20)에 전류를 흘려서 발광한다.

그 때문에, 제 2 도전층(4)의 폭은 가능한 한 작게 하고, 많은 수를 형성하는 것이 채널 영역의 수를 늘릴 수 있고, 채널 폭을 크게 하여 전류를 많이 흐리기 쉽게 하기 때문에 바람직하다. 또, 지면과 수직 방향으로의 띠 형상으로 제 2 도전층(4)이 연속적으로 형성되는 것이 바람직하다.

도 7에 나타나는 예에서는 제 2 도전층(4)이 2 개 형성되어 있으나, 예를 들어 1 화소의 크기가 $300\mu\text{m} \times 300\mu\text{m}$ 의 표시 장치를 구성하는 경우, 1 화소를 R, G, B의 3 색으로 구성하면, 1 화소의 R, G, B 각각의 크기는 $100\mu\text{m} \times 300\mu\text{m}$ 로 되고, 더 수많은 제 2 도전층(4)을 형성하는 것이 가능하다($300\mu\text{m}$ 방향 또는 $100\mu\text{m}$ 방향으로는 띠 형상으로 연속하여 형성된다).

또, 도 7에 나타나는 예에서는 스위칭 소자 Tr_2 의 하측에는 구동 소자 Tr_1 이 형성되어 있지 않으나, 제 3 도전층(6)은 구동 소자 Tr_1 의 최상면이기 때문에, 약간 높이는 높게 되지만, 구동 소자 Tr_1 이 형성된 위에 스위칭 소자 Tr_2 를 형성할 수 있고, 도 7에 나타낸 바와 같이 구동 소자 영역 A와 스위칭 소자 영역 B가 평면적으로 분리될 필요는 없다.

또, 도 7에 나타나는 예에서는 제 1 유기 반도체층(3) 및 제 1 도전층(2)이 구동 소자 영역의 거의 전면에 설치되는 구조(상술한 도 3b에 나타나는 유기 반도체 소자의 구조)이지만, 상술한 도 1 또는 도 3a에 나타나는 유기 반도체 소자의 구조에서도 종형 FET를 형성할 수 있고, 제 1 유기 반도체층(3) 또는 제 1 도전층(2)도 제 2 도전층(4)의 패턴에 맞추어서 형성할 수 있다.

또, 도 7에 나타나는 예에서는 스위칭 소자 Tr_2 도 종형 구조의 FET이며, 구동 소자 Tr_1 의 예와 동일하게, 제 4 도전층(8)의 측단부 근방의 제 2 유기 반도체층(7)에 채널 영역이 형성되지만, 이 스위칭 소자 Tr_2 는 그 만큼 전류를 필요로 하지 않고, 제 4 도전층(8)은 1 개 형성되면 되고, 그 뒤측(지면과 수직 방향)에는 구동 소자를 형성할 수 있다. 이와 같이 구동 소자 Tr_1 이 화소의 거의 전면에 형성되면, 구동 소자 Tr_1 로부터 직접 유기 EL부(20)의 거의 전면에 전류를 공급할 수 있기 때문에, 제 1 도전층(2)이 없어도 동작에 지장을 초래하지 않는다.

도 8은 스위칭 소자 Tr_2 를 상술한 종형 구조의 FET으로가 아니라, 종래의 횡형 구조의 FET로 구성된 예이다. 스위칭 소자 Tr_2 는 전류량을 그 만큼 필요로 하지 않기 때문에, 채널 길이가 짧지 않아도 그 만큼 문제는 생기지 않는다. 그 때문에, 웨도우 마스크를 이용한 종래 구조의 FET에서도 지장은 없다. 도 8에 나타나는 예는 제 1 도전층(2)까지 도 7에 나타나는 예와 동일하고, 제 1 도전층(2)의 형성 후에, 스위칭 소자 영역 B에 제 3 절연층(12)이 설치되고, 제 3 절연층(12) 및 구동 소자 영역 A의 제 1 도전층(2)상에, 구동 소자 및 스위칭 소자용의 제 1 유기 반도체층(3)이 적층되고, 그 위에 구동 소자 영역 A에서는 상술과 같이 제 2 도전층(4)이 스위칭 소자 영역 B에서는 제 2 도전층(4)과 동일한 재료로, 동시에 스위칭 소자용 소스·드레인 전극으로 하는 제 7 및 제 8의 도전층(13, 14)이 소정 간격만큼 떨어져서 형성되어 있다.

그리고, 스위칭 소자용 소스·드레인 전극의 일반이며, 예를 들어 제 8 도전층(14)의 일부가 노출하도록, 절연막이 성막되고, 구동 소자용 게이트 절연막으로 하는 제 1 절연층(5) 및 스위칭 소자용 게이트 절연막으로 하는 제 4 절연층(15)이 설치되어 있다. 또, 제 1 절연층(5)과 제 4 절연층(15)과는 연속하여 형성되어 있어도 되지만, 제 8 도전층(14)의 일부는 노출하도록 형성된다. 그리고, 구동 소자 영역 A의 제 1 절연층(5)상에 구동 소자용 게이트 전극으로 하는 제 3 도전층(6)이 상기 제 8 도전층(14)과 콘택트하도록 설치되고, 스위칭 소자 영역 B의 제 4 절연층(15)상의 소스·드레인 전극(13, 14) 사이에 스위칭 소자용 게이트 전극으로 하는 제 5 도전층(10)이 설치되어 있다. 구동 소자 영역 A의 제 3 도전층(6)상에 추가로 제 2 절연층(9)을 통하여 캐패시터의 전극으로 하는 제 6 도전층(11)이 설치되는 것에 의해, 유기 발광 표시 장치가 형성되어 있다. 또, 도 8에서, 도 7과 대응하는 부분에는 도 7과 동일한 부호를 부여하였다.

이 구조에서는 구동 소자측은 도 7에 나타나는 구조와 동일하지만, 스위칭 소자측의 FET가 횡형으로 형성되어 있기 때문에, 양 소자의 유기 반도체층이 제 1 유기 반도체층(3)의 1 층에서 동시에 형성되어 있는 것에 특징이 있다. 단, 상술한 도 7에 나타나는 구조에서는 구동 소자의 게이트 전극과 스위칭 소자의 소스·드레인 전극의 일방이 동일한 제 3 도전층(6)에서 동시에 형성되었으나, 도 8에 나타나는 구조에서는 스위칭 소자 Tr_2 의 소스·드레인 전극(13, 14)의 양쪽이 구동 소자 Tr_1 의 소스·드레인 전극의 타방(4)과 동시에 형성되기 때문에, 구동 소자의 게이트 전극(6)이 스위칭 소자의 소스·드레인 전극의 타방(14)과 콘택트하도록 형성되어 있다. 이 구조에 의하면, 키로 되는 양 소자의 유기 반도체층(3)을 동일한 층에서 동시에 형성할 수 있는 것, 및 제조 공정을 줄이는 것이 가능하다고 하는 이점이 있다. 물론, 동일 층, 동시 형성으로 안해도 된다.

도 8에 나타나는 예에서는 구동 소자용 유기 반도체층 및 스위칭 소자용 유기 반도체층을 1 층에서 연속하도록 형성되어 있었지만, 분리하도록 형성되어도 된다. 그러나, 동시에 동일한 재료로 형성할 수 있고, 한 공정으로 형성할 수 있다. 또, 도 8에 나타나는 구조에서는 스위칭 소자용 소스·드레인 전극으로 하는 제 7 및 제 8 도전층(13, 14)이 제 1 유기 반도체층

(3)의 상층에 형성되어 있었으나, 유기 반도체층(3)의 하층에 형성할 수도 있고, 또 소스·드레인 전극으로 하는 제 7 및 제 8 도전층(13, 14)은 유기 반도체층(3)의 상층에서 게이트 전극으로 하는 제 5 도전층(10)을 유기 반도체층(3)의 하층에 형성할 수도 있다.

도 7 및 8에 나타난 바와 같이, 본 발명에 의한 유기 EL 표시 장치에 의하면, 유기 EL부상에 구동 소자용 FET가 설치되어 있기 때문에, 유기 EL부와 구동 소자와의 접속부에 있어서의 양쪽의 전극을 공용하거나, 양쪽의 전극 모두 생략할 수 있다. 또, 캐패시터도 구동 소자의 게이트 전극상에 형성되어 있기 때문에, 양쪽의 전극을 공용할 수 있다. 또, 스위칭 소자 구동 소자의 게이트 전극상에 적층하여 형성되지만, 구동 소자의 각 층과 동시에 형성되어 있기 때문에, 단순하게 적층하고 있지만 하므로 액티브 매트릭스형 유기 발광 표시 장치가 얻어진다.

또, 구동 소자, 스위칭 소자 및 캐패시터 모두가 유기 EL부상에 형성되어 있기 때문에, 구동 소자 등에 의해 표시부의 면적이 감소되는 일이 없고, 개구율을 크게 향상시킬 수 있다. 또, 유기 EL부가 발광면층의 ITO 전극상에 먼저 형성되기 때문에, 투광성 전극의 충분히 내릴 수 있고, 발광 효율을 향상시킬 수 있다.

산업상 이용 가능성

본 발명의 유기 반도체 소자는 휴대 디스플레이나 전자 가격표, 전자 꼬리표 등의 전자 태그 등과 같이 저가격으로 공급되는 전자 기기의 집적 회로에 이용할 수 있고, 또, 본 발명의 유기 EL 표시 장치는 휴대 전화기, 휴대 단말기, 박형 텔레비전 등의 디스플레이 등에 이용할 수 있다.

도면의 간단한 설명

도 1은 본 발명에 의한 유기 반도체 소자의 일 실시 형태를 나타내는 단면 구조의 설명도.

도 2a ~ 2d는 도 1에 나타나는 유기 반도체 소자의 제조 공정을 단면 설명도를 나타내는 도면.

도 3a 및 3b는 본 발명에 의한 유기 반도체 소자의 다른 실시 형태를 나타내는 단면 설명도.

도 4는 본 발명에 의한 유기 반도체 소자의 또다른 실시 형태를 나타내는 단면 설명도.

도 5a ~ 5d는 본 발명에 의한 유기 EL 표시 장치의 일 실시 형태의 개요 구성을 설명하는 도면.

도 6은 도 1의 유기 EL부의 구성예를 설명하는 도면.

도 7은 본 발명에 의한 유기 EL 표시 장치의 구체적인 구성예를 나타내는 단면 설명도.

도 8은 본 발명에 의한 유기 EL 표시 장치의 구체적인 구성예를 나타내는 단면 설명도.

도 9a ~ 9c는 종래의 유기 반도체 소자의 단면 설명도.

<부호의 설명>

1 기판

2 제 1 도전층

3 유기 반도체층(제 1 유기 반도체층)

4 제 2 도전층

5 절연층(제 1 절연층)

6 게이트 전극(제 3 도전층)

7 제 2 유기 반도체층

8 제 4 도전층

9 제 2 절연층

10 제 5 도전층

11 제 6 도전층

12 제 3 절연층

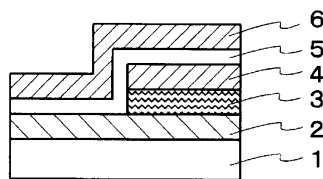
13 제 7 도전층

14 제 8 도전층

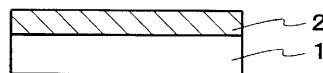
15 제 4 절연층

도면

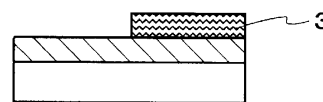
도면1



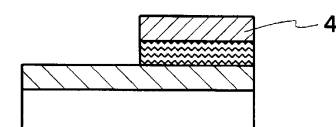
도면2a



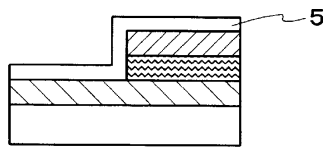
도면2b



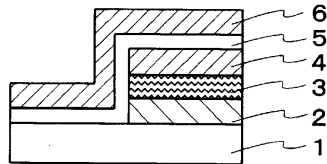
도면2c



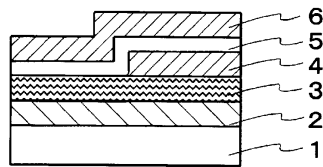
도면2d



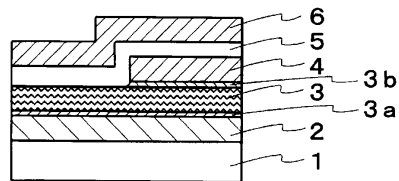
도면3a



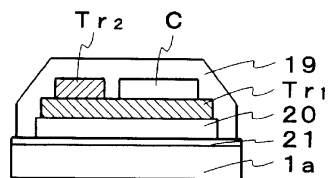
도면3b



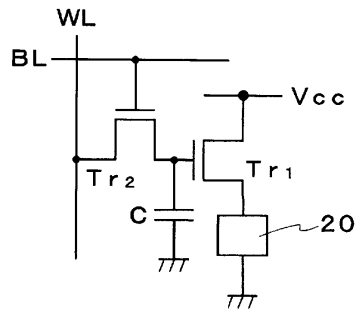
도면4



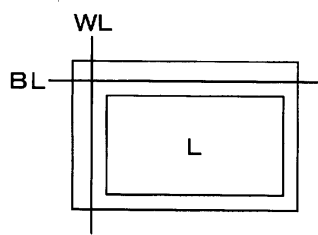
도면5a



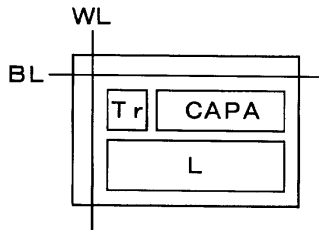
도면5b



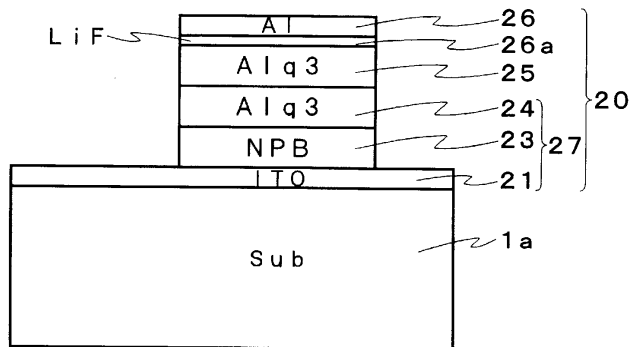
도면5c



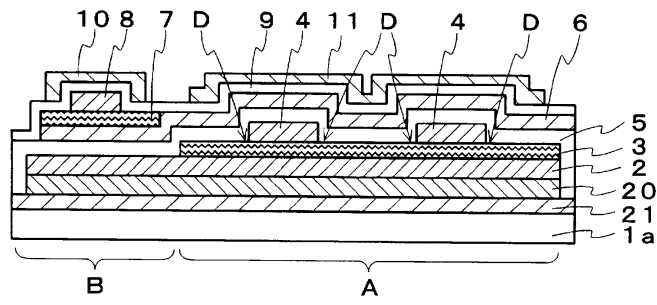
도면5d



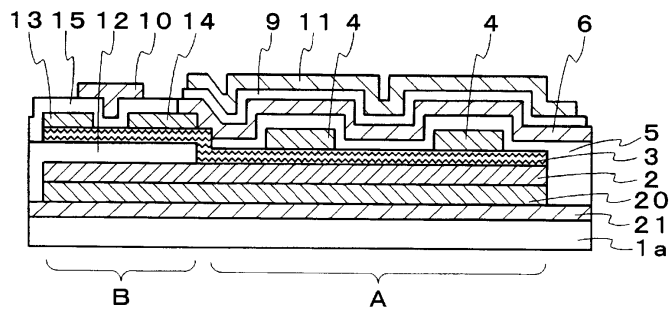
도면6



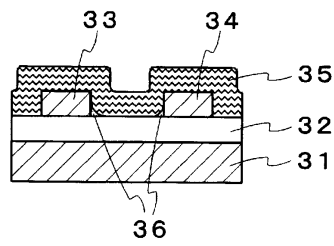
도면7



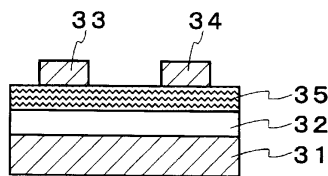
도면8



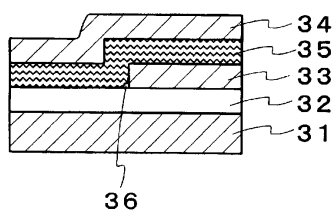
도면9a



도면9b



도면9c



专利名称(译)	有机半导体器件和使用其的有机EL显示器件		
公开(公告)号	KR1020070017338A	公开(公告)日	2007-02-09
申请号	KR1020067019487	申请日	2005-03-17
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	OKUYAMA SUGURU 오쿠야마수구루 SHIMOJI NORIYUKI 시모지노리유키		
发明人	오쿠야마수구루 시모지노리유키		
IPC分类号	H05B33/02 H05B33/22		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/3265 H01L27/3274 H01L51/0541 H01L51/0545 H01L51/057		
优先权	2004083309 2004-03-22 JP		
外部链接	Espacenet		

摘要(译)

其中由于台阶部分所需的恒定电阻可以很小地控制沟道长度的孔径比使用有机半导体器件和具有该结构的上升FET的有机场效应晶体管提供了大的有机发光显示器件。通过源·漏电极的单向完成的第一导电层(2)安装在基板(1)上。由源极-漏极电极和有机半导体层(3)的另一侧完成的第二导电层(4)安装在第一导电层(2)上。并且它具有形成在有机半导体层(3)的表面中的FET,其去除了有机半导体层或第二导电层的一部分,并且暴露出第二导电层的侧面,并且其结果是栅电极(第三导电层)(6)穿过绝缘层(5)安装。并且,将该结构的FET层叠作为驱动器部件,并将有机EL显示装置安装在有机EL浮选中。

