

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G09G 3/30

(11) 공개번호 특2001 - 0110324
(43) 공개일자 2001년12월13일

(21) 출원번호 10 - 2001 - 0031340
(22) 출원일자 2001년06월05일

(30) 우선권주장 2000 - 168331 2000년06월06일 일본(JP)

(71) 출원인 가부시킴가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마준
일본국가나가와켄아쓰기시하세398가부시킴가이샤한도오따이에네루기켄큐쇼내

(74) 대리인 황의만

심사청구 : 없음

(54) 표시장치

요약

디지털 신호 샘플링 회로, 기억회로, 기억회로, 및 정전류 회로를 포함하는 본 발명에 따른 신호선 구동회로는 화소부 기관과 동일한 기관으로 된 절연 기관 상에 TFT로 제조될 수 있다. 따라서, 패시브형 EL 표시장치에서는 신호선 구동 회로를 화소부 기관 상에 접합 경우에 일그러짐의 문제점이 제거될 수 있게 된다. 또한, 액티브형 EL 표시장치에서는 각각의 화소가 1개의 트랜지스터와 EL 소자로 이루어진다. 따라서, EL 표시장치의 개구율이 커지게 된다.

대표도

도 1

색인어

EL 표시장치, 디지털 신호 샘플링 회로, 기억회로, 기억회로

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구조를 나타낸 블록 선도;

- 도 2는 선행 기술의 패시브형 EL 표시장치의 화소부의 등가 회로도;
- 도 3은 선행 기술의 액티브형 EL 표시장치의 화소의 회로도;
- 도 4는 선행 기술의 액티브형 EL 표시장치의 화소부의 회로도;
- 도 5는 선행 기술의 액티브형 EL 표시장치의 구동 방법을 나타낸 타이밍 차트;
- 도 6A 및 도 6B는 각각 TFT의 Id - Vg 특성 곡선을 나타낸 그래프;
- 도 7은 본 발명을 실시한 EL 표시장치의 소스 신호선 구동회로의 구조를 나타낸 블록 선도;
- 도 8은 본 발명을 실시한 EL 표시장치의 소스 신호선 구동회로의 회로도;
- 도 9는 본 발명을 실시한 EL 표시장치의 소스 신호선 구동회로의 회로도;
- 도 10은 본 발명을 실시한 EL 표시장치의 소스 신호선 구동회로의 구동 방법을 나타낸 타이밍 차트;
- 도 11은 본 발명을 실시한 EL 표시장치의 소스 신호선 구동회로의 회로도;
- 도 12는 본 발명에 따른 EL 표시장치의 화소의 구조를 나타낸 도면;
- 도 13은 본 발명을 실시한 EL 표시장치의 화소부의 구조를 나타낸 회로도;
- 도 14A 내지 도 14C는 각각 본 발명을 실시한 EL 표시장치의 제조 단계를 나타낸 단면도;
- 도 15A 내지 도 15C는 각각 본 발명을 실시한 EL 표시장치의 제조 단계를 나타낸 단면도;
- 도 16A 및 도 16B는 각각 본 발명을 실시한 EL 표시장치의 제조 단계를 나타낸 단면도;
- 도 17A 및 도 17B는 각각 본 발명을 실시한 EL 표시장치의 화소부의 평면도 및 수직 단면도;
- 도 18A 및 도 18B는 각각 본 발명을 실시한 EL 표시장치의 화소부의 평면도 및 수직 단면도;
- 도 19는 본 발명을 실시한 EL 표시장치의 화소부의 단면도;
- 도 20은 본 발명을 실시한 EL 표시장치의 화소부의 단면도
- 도 21A 및 도 21B는 각각 본 발명을 실시한 EL 표시장치의 화소부의 평면도 및 수직 단면도;
- 도 22는 본 발명을 실시한 EL 표시장치의 화소부의 수직 단면도;
- 도 23A 및 도 23B는 각각 본 발명을 실시한 EL 표시장치의 화소부의 평면도 및 수직 단면도;
- 도 24A 내지 도 24E는 각각 본 발명에 따른 EL 표시장치를 실시한 전자 장치를 나타낸 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 소스 신호선 구동회로 101, 201 : 디지털 신호 샘플링 회로

102, 202 : 기억회로103, 207 : 기억회로

104, 208 : 정전류 회로203 : 시프트 레지스터

204 : 래치 회로205 : 래치 펄스 라인

206 : 신호선209 : 대응 신호선

210 : 초기 입력 라인 1101 : 스위칭용 TFT

1102 : EL 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기관 상에 EL(electroluminescent; 전기장 발광) 소자가 형성된 전자 표시장치에 관한 것이다. 더욱 구체적으로, 본 발명은 반도체 소자(반도체 박막을 포함한 소자)를 채용한 표시장치에 관한 것이다. 또한, 본 발명은 그 표시부가 EL 표시장치를 포함하는 전자 장치에 관한 것이다.

근년에 들어, 자기 발광형 소자로서의 EL 소자를 각각 구비한 EL 표시장치들이 활발하게 개발되었다. EL 표시장치는 "유기 EL 표시장치(organic EL display; OLED)" 또는 "유기 발광 다이오드(organic light emitting diode; OLED)"로서 지칭되기도 한다.

액정 표시장치와는 달리, EL 표시장치는 자기 발광형의 것이다. EL 소자는 한 쌍의 전극(양극과 음극) 사이에 통상 다층 구조인 EL 층이 개재된 구조로 된다. 대표적으로, "Eastman Kodak Company"의 "Tang" 등에 의해 제안된 "홀 이송 층/발광 층/전자 이송 층"의 다층 구조를 들 수 있다. 다층 구조는 매우 높은 발광 효율을 보이고, 현재 연구 개발 중인 대부분의 EL 표시장치가 그러한 구조를 채택하고 있다.

선택적으로, 다층 구조는 양극이 홀 주입 층/홀 이송 층/발광 층/전자 이송 층 또는 홀 주입 층/홀 이송 층/발광 층/전자 이송 층/전자 주입 층으로 연이어 겹쳐 놓여지도록 형성될 수 있다. 발광 층은 형광 색소체 등으로 도핑되어도 좋다.

본 명세서에서는 음극과 양극과의 사이에 개재된 모든 층을 전체적으로 "EL 층"으로서 지칭하기로 한다. 따라서, 전술된 홀 주입 층, 홀 이송 층, 발광 층, 전자 이송 층, 및 전자 주입 층이 모두 "EL 층"에 포함된다.

여기에서, 전술된 구조의 EL 층에는 한 쌍의 전극에 의해 미리 정해진 전압이 인가되는데, 발광 층에서 일어나는 캐리어의 재결합에 의해 발광이 이루어지게 된다. 본 명세서에서는 EL 소자의 발광을 "EL 소자의 구동"으로서 지칭하기로 한다. 또한, 본 명세서에서는 양극, EL 층, 및 음극으로 구성된 발광 소자를 "EL 소자"로서 지칭하기로 한다.

여기 본 명세서에서는 "EL 소자"가 1중항 엑시톤으로부터의 발광(형광)과 3중항 엑시톤으로부터의 발광(인광)을 모두 포괄하는 것으로 한다.

EL 표시장치의 구동 시스템은 패시브 시스템과 액티브 시스템을 포함한다.

패시브형 EL 표시장치는 절연 기관 상에 형성된 스트라이프형 양극(투명 전극), 유기 EL 층, 및 양극과 직교하도록 형성된 스트라이프형 음극이 연이어 적층된 구조로 된다. 패시브형 EL 표시장치의 등가 회로는 도 2에 도시되어 있다. 패시브 시스템에 따르면, 주사선 중의 하나가 선택되고, 선택된 주사선 상에 놓인 화소 중에서 그 신호선이 "온(ON)" 상태에 있는 화소만이 발광을 하게 된다.

신호선에 입력되는 신호는 외부로부터 입력된 데이터 신호(비디오 신호)가 신호선 구동회로에 의해 편집되도록 생성된다. 한편, 패시브형 EL 표시장치에서는 IC 칩이 TAB(Tape Automated Bonding)에 의해 표시장치 상에 장착되거나 IC 칩이 직접 화소 기판 상에 접합됨으로써 표시장치에 조립되도록 신호선 구동회로가 배치된다. IC 칩은 회로가 실리콘 칩과 같은 반도체 기판 상에 형성되도록 구성된다. 따라서, IC 칩을 직접 화소 기판 상에 접합할 경우에는 반도체 기판이 화소 기판으로서 사용된 절연 기판 상에 접합된다.

한편, 액티브형 EL 표시장치는 EL 소자와, 절연 기판 사이에 형성된 게이트 신호선, 소스 신호선, 전원공급선, 트랜지스터, 및 커패시터로 구성된다. 표시장치의 각각의 화소에는 커패시터 중의 1개와 트랜지스터 중의 2개가 배치된다.

일반적으로, 액티브형 EL 표시장치는 각각의 화소에 2개 이상의 트랜지스터가 배치된 구조로 된다.

액티브형 EL 표시장치에서는 트랜지스터가 반도체 박막을 채용하여 절연 기판 상에 제작되도록 화소가 형성된다. 여기에서, 반도체 박막을 채용하여 형성된 트랜지스터를 "박막 트랜지스터(이후로 "TFT"로 약칭함)"라고 지칭한다.

액티브 EL 표시장치의 회로도 도 3에 도시되어 있다.

스위칭용 TFT의 게이트 전극은 게이트 신호선에 접속된다. 스위칭용 TFT의 소스 영역과 드레인 영역 중의 하나는 소스 신호선에 접속되는 반면에, 다른 하나는 EL 구동용 TFT의 게이트 전극 및 커패시터의 하나의 전극에 접속된다. EL 구동용 TFT의 소스 영역과 드레인 영역 중의 하나는 EL 소자의 양극 또는 음극에 접속되는 반면에, 다른 하나는 전원공급선에 접속된다. 스위칭용 TFT에 접속되지 않는 커패시터의 전극은 전원공급선에 접속된다.

게이트 신호선과 소스 신호선의 모두에 대해 "온"으로 켜진 화소에서는 스위칭용 TFT를 통해 커패시터에 전하가 축적된다. 커패시터가 EL 구동용 TFT의 게이트 전극에 계속 전압을 인가하는 시간 기간 동안에는 전원공급선으로부터 EL 구동용 TFT를 통해 EL 소자로 계속 전류가 흘러서 EL 소자가 발광을 계속하게 된다.

소스 신호선에 입력되는 신호는 외부로 입력된 데이터 신호가 소스 신호선 구동회로에 의해 편집되도록 생성된다. 액티브형 EL 표시장치에서는 소스 신호선 구동회로가 표시장치의 화소부의 회로와 더불어 절연 기판 상의 TFT로 제조될 수 있다.

액티브형 EL 표시장치의 구동 방법으로서 아날로그 구동 방법(아날로그 구동)을 들 수 있다. 도 4 및 도 5를 참조하여 아날로그 구동에 관해 설명하기로 한다.

도 4는 아날로그 구동에 따르는 액티브형 EL 표시장치의 화소부의 구조를 나타낸 것이다. 게이트 신호선 구동회로로부터의 선택 신호가 각각 입력되는 게이트 신호선(G1 내지 Gy)은 개개의 화소에 포함된 스위칭용 TFT(1801)의 게이트 전극에 접속된다. 또한, 개개의 화소에 포함된 스위칭용 TFT(1801)의 소스 신호 영역과 게이트 영역 중의 어느 하나의 영역은 아날로그 신호가 각각 입력되는 소스 신호선("데이터 신호선"으로서도 지칭됨)에 접속되는 반면에, 다른 하나의 영역은 개개의 화소에 포함된 EL 구동용 TFT(1804)의 게이트 전극에 접속되는 외에 개개의 화소에 포함된 커패시터(1808)에 접속된다.

개개의 화소에 포함된 EL 구동용 TFT의 소스 영역과 드레인 영역 중의 어느 하나의 영역은 전원공급선(V1 내지 Vx)에 접속되는 반면에, 다른 하나의 영역은 EL 소자(1806)에 접속된다. 전원공급선(V1 내지 Vx)의 전위를 "전원 전위"라고 지칭한다. 또한, 전원공급선(V1 내지 Vx)은 개개의 화소에 포함된 커패시터(1808)에 접속된다.

각각의 EL 소자(1806)는 양극, 음극, 및 양극과 음극과의 사이에 개재된 EL 층을 포함한다. EL 소자(1806)의 양극이 EL 구동용 TFT(1804)의 소스 영역 또는 드레인 영역에 접속될 경우에는 EL 소자(1806)의 양극이 화소 전극으로서

의 역할을 하고 그 음극이 대향 전극으로서의 역할을 하게 된다. 반면에, EL 소자(1806)의 음극이 EL 구동용 TFT(1804)의 소스 영역 또는 드레인 영역에 접속될 경우에는 EL 소자(1806)의 양극이 대향 전극으로서의 역할을 하고 그 음극이 화소 전극으로서의 역할을 하게 된다.

여기 본 명세서에서는 대향 전극의 전위를 "대향 전위"로서 지칭하기로 한다. 또한, 대향 전극에 대향 전위를 인가하기 위한 전원을 "대향 전원"으로서 지칭하기로 한다. 화소 전극의 전위와 대향 전극의 전위와의 사이의 전위 차는 EL 층에 걸쳐 작용하는 "EL 구동 전압"이 된다.

도 5는 도 4에 도시된 액티브형 EL 표시장치가 아날로그 구동 방법에 의해 구동되는 경우의 타이밍 차트이다. 게이트 신호선 중의 하나를 선택할 때부터 다음 하나를 선택할 때까지의 시간 기간을 "1 라인 기간(L)"이라고 지칭한다. 또한, 하나의 상을 표시할 때부터 다음 상을 표시할 때까지의 시간 기간은 "1 프레임 기간(F)"에 해당한다. 도 4에 도시된 액티브형 EL 표시장치의 경우에는 게이트 신호선이 개수y로 놓여 있으므로, 1 프레임 기간 중에y라인 기간(L1 내지 Ly)이 제공된다.

표시장치의 해상도가 점차 높아짐에 따라, 1 프레임 기간 중의 라인 기간의 수가 점차 커지게 되어 구동회로가 고주파로 구동되어야만 한다.

우선, 전원공급선(V1 내지 Vx)이 미리 정해진 전원 전위로 유지된다. 또한, 각각의 대향 전극의 전위인 대향 전위도 미리 정해진 전위로 유지된다. 대향 전위는 EL 소자가 발광하게 되는 정도의 전원 전위로부터의 전위 차를 수반한다.

제1 라인 기간(L1) 중에는 게이트 신호선 구동회로로부터의 선택 신호가 게이트 신호선 G1에 입력된다. 또한, 아날로그 신호가 연이어 소스 신호선(S1 내지 Sx)에 입력된다. 게이트 신호선(G1)에 접속된 모든 스위칭용 TFT가 "온" 상태로 되기 때문에, 소스 신호선에 입력된 아날로그 신호가 해당 스위칭용 TFT를 통해 EL 구동용 TFT의 게이트 전극에 각각 입력되게 된다.

여기에서, 각각의 TFT의 "온" 상태란 TFT의 소스-드레인 경로가 TFT의 게이트 전압에 의해 도전 상태로 되었음을 의미하는 것이다.

EL 구동용 TFT의 채널 형성 영역을 통해 흐르는 전류의 양은 그 TFT의 게이트 전극에 입력되는 전위(전압)의 크기에 의해 제어된다. 따라서, EL 소자의 화소 전극에 작용하는 전위는 EL 구동용 TFT의 게이트 전극에 입력되는 아날로그 신호의 전위의 크기에 의해 결정된다. 즉, EL 소자는 아날로그 신호의 전위에 의한 제어를 받으면서 발광하게 된다.

전술된 동작을 반복하여 모든 소스 신호선(S1 내지 Sx)에 아날로그 신호가 입력되고 나면, 제1 라인 기간(L1)이 종료된다. 부연하면, 1 라인 기간은 아날로그 신호가 모든 소스 신호선(S1 내지 Sx)에 입력되는 시간 기간에 수평 리트레이스 기간(horizontal retrace period)을 더함으로써 얻어진 합으로 설정되어도 좋다. 이어서, 제2 라인 기간(L2)이 시작되어 선택 신호가 게이트 신호선 G2에 입력된다. 또한, 제1 라인 기간(L1)에서와 같이 아날로그 신호가 연이어 소스 신호선(S1 내지 Sx)에 입력된다.

그러한 형식으로 진행되어 모든 게이트 신호선(G1 내지 Gy)에 선택 신호가 입력되고 나면, 모든 라인 기간(L1 내지 Ly)이 종료된다. 모든 라인 기간(L1 내지 Ly)이 종료되었을 때에 1 프레임 기간이 종료된다. 1 프레임 기간 중에는 존재하는 모든 화소가 표시를 하여 하나의 상이 형성된다. 부연하면, 1 프레임 기간은 모든 라인 기간(L1 내지 Ly)에 수직 리트레이스 기간을 더함으로써 얻어진 합으로 설정되어도 좋다.

그와 같이 하여, EL 소자의 발광량이 아날로그 신호에 의해 제어되어 그 발광량의 제어에 의해 계조 표시가 제공된다. 본 방법에서는 계조 표시가 소스 신호선에 입력된 아날로그 신호의 전위의 변화에 의해 제공되게 된다.

도 6A는 EL 구동용 TFT의 트랜지스터 특성 곡선을 나타낸 그래프이다. 트랜지스터 특성 곡선(401)은 " $I_d - V_g$ 특성 곡선(또는 " $I_d - V_g$ 곡선")으로서 지칭된다. 여기에서, 부호 " I_d "는 드레인 전류를, 그리고 부호 " V_g "는 게이트 전압을 각각 지시하고 있다. 임의의 게이트 전압에 대해 흐르는 전류의 양을 그래프로부터 알 수 있다.

통상, 점선으로 지시된 $I_d - V_g$ 특성 곡선의 영역이 EL 소자의 구동에 사용된다. 점선으로 둘러싸인 영역(402)의 확대도가 도 6b에 도시되어 있다.

도 6B에서, 빗금 친 영역은 "한계 이하 영역"으로서 지칭된다. 실제로, 한계 이하 영역이란 한계 전압(V_{th}) 이하의 게이트 전압에 해당하는 영역을 의미한다. 그러한 영역에서는 드레인 전류가 게이트 전압의 변화에 대해 지수 함수적으로 변하게 된다. 게이트 전압에 의거한 전류 제어는 그러한 영역을 사용하여 실행된다.

스위칭용 TFT가 "온"으로 켜짐으로써 화소에 입력된 아날로그 신호가 EL 구동용 TFT의 게이트 전압이 된다. 그 경우, 드레인 전류는 도 6A에 도시된 $I_d - V_g$ 특성 곡선에 따라 게이트 전압과 일대일 대응되어 결정된다. 더욱 구체적으로, 드레인 영역의 전위("온" 상태에서의 EL 구동 전위)는 EL 구동용 TFT의 게이트 전극에 입력된 아날로그 신호의 전압과 대응되어 결정되고, 그와 같이 미리 정해진 전류가 EL 소자를 통해 흐르게 되며, EL 소자는 그러한 전류의 양에 대응하는 발광량으로 발광하게 된다.

전술된 바와 같이, EL 소자의 발광량이 아날로그 신호에 의해 제어되어 계조 표시가 제공된다.

패시브형 EL 표시장치에서는 신호선 구동회로를 조립하는데 TAB를 채용할 경우에 TAB에 필요한 면적을 작게 하기 곤란하여 표시장치의 크기를 감소시키기 어렵다는 문제점이 있다. 한편, IC 칩이 화소부로 형성된 기판 상에 직접 접합될 경우, IC 칩의 반도체 기판과 화소부의 절연 기판과의 사이의 접합 표면은 상이한 종류의 물질이 접합되는 계면이 된다. 그것은 물질의 열 팽창 계수간의 차이로 인한 온도 변화에 의해 계면에서 일그러짐이 생긴다는 문제점을 일으킨다. 그러한 일그러짐은 구동회로의 구조를 교란시켜 패시브형 EL 표시장치의 신뢰성을 열악하게 하는 하나의 원인을 이룬다.

한편, 액티브형 EL 표시장치에서는 소스 신호선 구동회로가 화소부의 회로와 더불어 절연 기판 상에 형성될 수 있다. 따라서, 액티브형 EL 표시장치는 소스 신호선 구동회로를 조립할 경우에 일어나는 패시브형 EL 표시장치의 문제점이 없게 된다. 그러나, 화소부의 구조와 관련하여 2개의 트랜지스터가 화소마다 배치된다. 그것은 화소가 점차 작아짐에 따라 화소 내에서의 트랜지스터의 점유율이 점차 커져서 화소의 개구율, 다시 말해서 표시장치의 개구율이 작아지게 된다는 문제점을 일으킨다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 패시브형 EL 표시장치의 제조 시에 IC 칩의 형태의 신호선 구동회로를 조립할 경우에 일어나는 문제점인 IC 칩과 화소부 기판과의 사이의 계면의 일그러짐이라는 문제점을 제거하는 것이다.

본 발명의 다른 목적은 개구율이 큰 액티브형 EL 표시장치를 제조하는 것이다.

발명의 구성 및 작용

종래, 패시브형 EL 표시장치에서는 반도체 기판 상에 형성된 신호선 구동회로가 화소부 기판 상에 접합되는 것이 표시장치의 신뢰성을 열악하게 하는 하나의 원인이었다. 따라서, 신호선 구동회로는 화소부 기판의 물질과 동일한 물질로 된 절연 기판 상에 제조된다. 즉, 신호선 구동회로가 화소부 기판 상에 접합될 경우에 그들 사이의 계면이 동일한 물질로 되어 동일한 열 팽창 계수를 보이는 기판들 사이의 접합 계면이 되고, 그에 따라 일그러짐의 문제점이 제거될 수 있다.

또한, 종래의 액티브형 EL 표시장치에서는 2개의 트랜지스터가 화소마다 배치되는 것이 표시장치의 개구율을 감소시키는 하나의 원인이었다. 따라서, 각각의 화소는 1개의 트랜지스터와 EL 소자로 이루어진다. 즉, EL 표시장치의 개구율이 커지게 된다.

이하, 본 발명의 특징을 요약하여 설명하기로 한다.

본 발명에 따르면, 다수의 신호선 및 신호선 구동회로를 구비하고, 신호선 구동회로는 1 라인 기간에 걸쳐 입력된 디지털 신호를 샘플링하는 디지털 신호 샘플링 회로, 1 라인 기간 동안 샘플링된 디지털 신호를 그 속에 기억하는 기억회로, 기억된 디지털 신호를 상응하는 지속 시간의 펄스로 변환하는 기억회로, 및 펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로로 이루어지는 것을 특징으로 하는 표시장치가 제공된다.

또한, 본 발명에 따르면, 다수의 소스 신호선 및 소스 신호선 구동회로를 구비하고, 소스 신호선 구동회로는 1 라인 기간에 걸쳐 입력된 디지털 신호를 샘플링하는 디지털 신호 샘플링 회로, 1 라인 기간 동안 샘플링된 디지털 신호를 그 속에 기억하는 기억회로, 기억된 디지털 신호를 상응하는 지속 시간의 펄스로 변환하는 기억회로, 및 펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로로 이루어지는 것을 특징으로 하는 액티브형 표시장치가 제공된다.

표시장치는 신호선 구동회로가 TFT를 사용하여 이루어지는 것을 특징으로 하여도 좋다.

표시장치는 소스 신호선 구동회로가 TFT를 사용하여 이루어지는 특징으로 하여도 좋다.

또한, 본 발명에 따르면, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 화소, 다수의 소스 신호선에 신호를 입력하기 위한 소스 신호선 구동회로, 및 다수의 게이트 신호선에 신호를 입력하기 위한 게이트 신호선 구동회로를 구비하고, 다수의 화소는 각각 EL 소자, 및 하나의 스위칭용 TFT를 포함하며; 스위칭용 TFT의 게이트 전극은 다수의 게이트 신호선 중의 하나에 접속되고; 스위칭용 TFT의 소스 영역과 드레인 영역 중의 하나는 다수의 소스 신호선 중의 하나에 접속되며; 스위칭용 TFT의 다른 하나의 영역은 EL 소자에 포함된 음극과 양극 중의 하나에 접속되는 것을 특징으로 하는 표시장치가 제공된다.

표시장치는 소스 신호선 구동회로가 1 라인 기간에 걸쳐 입력된 디지털 신호를 샘플링하는 디지털 신호 샘플링 회로, 1 라인 기간 동안 샘플링된 디지털 신호를 그 속에 기억하는 기억회로, 기억된 디지털 신호를 상응하는 지속 시간의 펄스로 변환하는 기억회로, 및 펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로로 이루어지는 것을 특징으로 하여도 좋다.

표시장치는 EL 소자가 단색 광을 발광하고 컬러 변환 층과 협력하여 컬러 표시를 제공할 수 있는 EL 층을 포함하는 것을 특징으로 하여도 좋다.

표시장치는 EL 소자가 백색 광을 발광하고 컬러 필터와 협력하여 컬러 표시를 제공할 수 있는 EL 층을 포함하는 것을 특징으로 하여도 좋다.

표시장치는 EL 층이 저분자 유기물 또는 고 중합체형 유기물로 이루어지는 것을 특징으로 하여도 좋다.

표시장치는 저분자 유기물이 Alq_3 (tris - 8 - quinolinolato - aluminum; 트리스 - 8 - 퀴놀리노라토 - 알루미늄) 또는 TPDP(triphenylamine derivative; 트리페닐아민 유도체)인 것을 특징으로 하여도 좋다.

표시장치는 고 중합체형 유기물이 PPV(polyphenylene vinylene; 폴리페닐렌 비닐렌), PVK(polyvinyl carbazole; 폴리비닐 카르바졸), 또는 폴리카보네이트(polycarbonate)인 것을 특징으로 하여도 좋다.

표시장치는 EL 층이 무기물로 이루어지는 것을 특징으로 하여도 좋다.

컴퓨터, 비디오 카메라, 또는 DVD 플레이어는 전술된 표시장치를 포함하는 것을 특징으로 하여도 좋다.

이하, 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구조 및 구동 방법에 관해 설명하기로 한다. 도 1은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구조를 나타낸 것이다.

소스 신호선 구동회로(100)는 디지털 신호 샘플링 회로(101), 기억회로(102), 기억회로(103), 및 정전류 회로(104)로 이루어진다.

디지털 신호(디지털 계조 신호)는 디지털 신호 샘플링 회로(101)에 입력된다. 디지털 계조 신호는 1 라인 기간에 걸쳐 샘플링되고, 1 라인 기간 동안 샘플링된 디지털 계조 신호는 기억회로(102) 속에 보존된다. 기억회로(102) 속에 보존되는 샘플링된 디지털 계조 신호는 래치 신호에 따라 기억회로(102)로부터 기억회로(103)로 출력된다. 기억회로(103)에 입력되는 샘플링된 디지털 계조 신호는 대응 신호와의 그 비교에 의해 그 신호에 상응하는 길이의 펄스로 변환된다. 그러한 펄스는 정전류 회로(104)에 입력된다. 입력된 펄스의 길이에 따르는 시간 기간 동안 소스 신호선에 전류가 출력된다.

본 발명에 따른 EL 표시장치의 소스 신호선 구동회로는 TFT를 채용하여 절연 기판 상에 제조될 수 있다. 즉, 절연 기판 상에 제조된 전류 출력형 소스 신호선 구동회로가 얻어질 수 있다.

그러한 소스 신호선 구동회로가 도 2에 도시된 전술된 신호선 구동회로에 적용된다면, 패시브형 EL 표시장치에서의 기판의 일그러짐에 기인한 어떠한 단점도 해결될 수 있게 된다.

다음으로, 본 발명에 따른 액티브형 EL 표시장치의 각각의 화소의 구조에 관해 설명하기로 한다. 도 12는 본 발명에 따른 액티브형 EL 표시장치의 화소의 구조를 나타낸 것이다. 화소는 스위칭용 TFT(1101)와 EL 소자(1102)로 이루어진다. 표시장치의 도시된 부분에는 게이트 신호선(G1)과 소스 신호선(S1)이 놓여져 있다. 게이트 신호선(G1)은 스위칭용 TFT(1101)의 게이트 전극에 접속된다. 또한, 스위칭용 TFT(1101)의 소스 영역과 드레인 영역 중의 하나는 소스 신호선(S1)에 접속되는 반면에, 다른 하나는 EL 소자(1102)에 접속된다.

화소에서는 게이트 신호선(G1)에 신호가 입력되었을 때에 스위칭용 TFT(1101)가 "온"으로 켜진다. 그럴 경우에 소스 라인 구동회로로부터 소스 신호선(S1)에 전류가 입력되면, 전류는 계조 신호에 따르는 시간 기간 동안 스위칭용 TFT(1101)를 통해 EL 소자(1102)로 흘러서 EL 소자(1102)가 발광하게 된다. 그와 같이 하여, EL 소자(1102)의 발광이 소스 신호선에 입력된 전류에 의해 제어되어 계조 표시를 제공하게 된다.

본 발명에 따른 액티브형 EL 표시장치에서는 각각의 화소가 1개의 TFT와 EL 소자로 이루어진다. 즉, 액티브형 EL 표시장치의 개구율이 커질 수 있게 된다.

이제, 본 발명의 실시예에 관해 설명하기로 한다.

[실시예 1]

도 7은 본 발명을 실시한 EL 표시장치의 소스 신호선 구동회로의 구조 및 구동 방법을 나타낸 것이다.

본 실시예에서는 소스 신호선에 신호를 출력하는 소스 신호선 구동회로에 관해 설명하기로 한다.

디지털 신호 샘플링 회로(210) 및 기억회로(202)는 시프트 레지스터(203), 래치 회로 1(204a), 및 래치 회로 2(204b)로 이루어진다.

디지털 계조 신호(VD)는 디지털 신호 샘플링 회로(201)에 입력된다. 여기 본 실시예에서는 4 비트의 디지털 계조 신호에 상응하는 소스 신호선 구동회로를 예시하기로 한다. 그러나, 본 발명은 그러한 예에 한정되는 것은 아니고, 6 비트, 8 비트, 또는 기타의 비트의 디지털 계조 신호에도 적용될 수 있다.

디지털 신호 샘플링 회로(201)에 의해 샘플링된 디지털 계조 신호(VD)의 비트 신호는 연이어 래치 회로 1(래치 LAT 1,1 내지 LAT1,x)에 입력된다. 래치 회로 2(래치 LAT2,1 내지 LAT2,x)는 래치 회로 1의 래치(LAT1,1 내지 LAT 1,x)로부터 전송된 데이터를 래치 펄스 라인(205)에 입력된 래치 펄스에 의거하여 동시에 기억한다. 소스 라인(206)은 래치 회로 2의 래치(LAT2,1 내지 LAT2,x)로부터 전송된 신호를 하위 스테이지에 공급한다.

본 실시예에서는 4 비트의 디지털 계조 신호를 다루므로, 래치 회로 2의 각각의 래치(LAT2,1 내지 LAT2,x)로부터 4 개에 달하는 신호선(206)이 인도된다.

일반적으로, n비트의 디지털 비디오 신호를 다룰 경우에 래치 회로 2의 각각의 래치(LAT2,1 내지 LAT2,x)로부터 n개에 달하는 신호선(206)이 인도된다.

부연하면, 신호선(206)에는 4개에 연이어 도면 부호가 배정되어야 하겠지만, 도 7로부터는 그것을 생략하기로 한다.

여기에서, 디지털 계조 신호(VD)를 입력할 때로부터 샘플링된 신호를 래치 회로 2의 래치(LAT2,1 내지 LAT2,x)로부터 출력할 때까지의 소스 신호선 구동회로의 동작에 관해 제1 소스 신호선(S1)에 출력하는 것과 대응하는 래치(LAT 1,1 내지 LAT2,1)에 주목하여 설명하기로 한다.

도 8은 디지털 신호 샘플링 회로(201) 및 도 7의 제1 소스 신호선(S1)에 출력하기 위한 래치(LAT1,1 내지 LAT2,1)의 일부를 나타낸 것이다. 도면 부호 " L1,1 내지 L1,4" 는 신호선(206)에 배정된 것임을 알아야 할 것이다. 각각의 신호선(206)을 지시하는 도면 부호 " La,b" 에서, 문자 "a" 는 래치 회로 2의 래치의 번호를, 그리고 문자 "b" 는 가장 높은 비트(숫자 " 1") 내지 가장 낮은 비트(숫자 " 4") 중의 하나를 각각 지시하는 것이다.

시프트 레지스터(203)를 포함한 샘플링 회로(201)에 의해 샘플링된 디지털 계조 신호(VD)의 샘플링된 비트 신호는 래치(LAT1,1)에 기억되고, 래치 펄스 라인(205)으로부터 전송된 래치 펄스에 의거하여 래치(LAT2,1)에 보존된다. 보존된 비트 신호는 신호선(L1,1 내지 L1,4)을 통해 하위 스테이지로 전송된다.

마찬가지로, 모든 신호선(206)에 도면 부호 " L1,1 내지 Lx,4" 가 배정된다. 그러한 비트 신호는 신호선(L1,1 내지 Lx,4)으로부터 동시에 하위 스테이지로 전송된다. 그러한 동작이 모든 게이트 신호선에 대해 반복되고 나면, 1 프레임이 종료된다.

도 7을 다시 참조하면, 래치 회로 2의 래치(LAT2,1 내지 LAT2,x)로부터 출력된 데이터가 기억회로(207)(구성 회로 Ta 내지 Tx)에 입력된다. 기억회로(207)(구성 회로 T1 내지 Tx)에 입력된 신호는 역시 기억회로(207)(구성 회로 T1 내지 Tx)에 입력된 대응 신호선(209)의 신호(비트 신호)와 비교된다. 양자의 신호가 일치할 경우에만 정전류 회로(208)(정전류원 I1 내지 Ix)에 신호가 전송된다.

여기에서, 래치 회로 2의 래치(LAT2,1 내지 LAT2,x)로부터 출력된 데이터가 기억회로에 출력되는 소스 신호선 구동회로의 동작에 관해 제1 소스 신호선(S1)에 출력하는 것과 대응하는 구성 회로(T1)에 주목하여 설명하기로 한다.

도 9는 도 7의 제1 소스 신호선(S1)에 출력하는 것과 대응하는 기억회로(T1)를 나타낸 것이다. 그러한 회로(T1)는 대응 신호선(비트 라인 209_1 내지 209_4), " ex.or" 회로(ex.or1 내지 ex.or4), " nor" 회로(nor1 내지 nor4), 및 초기 입력 라인(210)으로 이루어진다.

한편, 본 실시예에서는 4 비트의 디지털 계조 신호를 다루므로, 대응 신호선(209)은 4 비트 라인(209_1 내지 209_4)으로 구성된다. 각각의 대응 비트 신호선을 지시하는 도면 부호 " 209_a" 에서, 문자 "a" 는 가장 높은 비트(숫자 " 1") 내지 가장 낮은 비트(숫자 " 4") 중의 하나를 지시하는 것이다.

일반적으로, n비트의 디지털 비디오 신호를 다룰 경우에 대응 비트 신호선은 n개에 달한다.

여기에서, 문자 "m" 은 대응 비트 신호선(209_1)에 출력되는 펄스의 기간을 나타내고, 대응 비트 신호선(209_2)에 출력되는 펄스는 m/2의 기간을, 대응 비트 신호선(209_3)에 출력되는 펄스는 m/4의 기간을, 그리고 대응 비트 신호선(209_4)에 출력되는 펄스는 m/8의 기간을 각각 수반한다.

래치(LAT2,1)로부터 신호선(L1,1 내지 L1,4)에 출력된 신호는 기억회로(T1)에 입력된다. 여기에서, 그러한 신호가 대응 신호선(209_1 내지 209_4)의 신호와 각각 일치하는 경우, 즉 ex.or 회로(ex.or1 내지 ex.or 4)에 동일한 신호가 각각 입력되는 경우에 nor 회로(nor1)로부터 nor 회로(nor2 및 nor 3)로 이루어진 래치(LAT3,1)에 신호가 입력된다.

여기에서, 1 라인 기간의 시작 시에 초기 입력 라인(210)을 통해 신호가 래치(LAT3,1)에 입력된다. 초기 입력 신호로 인해, 래치(LAT3,1)로부터 TP1로 신호가 출력된다. 부연하면, 초기 입력 신호는 다음 신호가 래치(LAT3,1)에 입력될 때까지 계속하여 출력된다.

이어서, 전술된 바와 같이 LAT2,1로부터 출력된 신호에 의해 nor 회로(nor1)로부터 래치(LAT3,1)에 신호가 입력되면, 초기 입력 신호가 TP1에 출력되는 것이 저지된다.

여기에서, 기억회로(T1)의 동작에 관해 도 10의 타이밍 차트를 참조하여 설명하기로 한다.

라인 기간(L1) 중에 신호 "1", "0", "0" 및 "1" 이 래치(LAT2,1)로부터 신호선(L1,1 내지 L1,4)을 통해 기억회로(T1)에 입력된 경우를 예로 들어 설명하기로 한다(신호 "0" 은 신호가 입력되지 않는 경우에 해당함).

라인 기간(L1)의 초기 시간 기간(t0) 동안 초기 입력 라인(210)으로부터 래치(LAT3,1)로 초기 신호가 입력된다. 이어서, 대응 신호선(209_1)의 신호가 신호선(L1,1)의 신호와 일치할 때, 대응 신호선(209_2)의 신호가 신호선(L1,2)의 신호와 일치할 때, 대응 신호선(209_3)의 신호가 신호선(L1,3)의 신호와 일치할 때, 및 대응 신호선(209_4)의 신호가 신호선(L1,4)의 신호와 일치할 때에 다시 래치(LAT3,1)에 신호가 입력된다. 타이밍 차트에서, 도면 부호 "t1001" 은 라인 기간(L1)의 시작 시에 래치(LAT3,1)에 초기 신호가 입력될 때부터 래치(LAT3,1)에 nor 회로(nor1)의 신호가 입력될 때까지의 시간 기간을 지시하고 있다. 신호는 시간 기간(T1001) 동안 TP1에 출력된다.

다음으로, 라인 기간(L2) 중에 신호 "0", "1", "0" 및 "1" 이 래치(LAT2,1)로부터 신호선(L1,1 내지 L1,4)을 통해 기억회로(T1)에 입력된 경우를 예로 들어 설명하기로 한다(신호 "0" 은 신호가 입력되지 않는 경우에 해당함).

라인 기간(L1)의 경우에서와 같이, 초기 시간 기간(t0) 동안 초기 입력 라인(210)으로부터 래치(LAT3,1)로 초기 신호가 입력된다. 이어서, 대응 신호선(209_1)의 신호가 신호선(L1,1)의 신호와 일치할 때, 대응 신호선(209_2)의 신호가 신호선(L1,2)의 신호와 일치할 때, 대응 신호선(209_3)의 신호가 신호선(L1,3)의 신호와 일치할 때, 및 대응 신호선(209_4)의 신호가 신호선(L1,4)의 신호와 일치할 때에 다시 래치(LAT3,1)에 신호가 입력된다. 타이밍 차트에서, 도면 부호 "t0101" 은 라인 기간(L2)의 시작 시에 래치(LAT3,1)에 초기 신호가 입력될 때부터 래치(LAT3,1)에 nor 회로(nor1)의 신호가 입력될 때까지의 시간 기간을 지시하고 있다. 펄스 신호는 시간 기간(t0101) 동안 TP1에 출력된다.

타이밍 차트의 라인 기간(L1 및 L2)을 비교해 본다면, 라인 기간(L1)의 출력 기간(t1001)과 라인 기간(L2)의 출력 기간(t0101)과의 사이의 비가 9 : 5로 된다. 여기에서, 라인 기간(L1 및 L2)에 각각 입력된 4 비트 신호 "1001" 및 "0101" 로 표현되는 값 사이의 비가 9 : 5라고 할 수 있다. 즉, 기억회로(T1)는 입력되어 샘플링된 디지털 계조 신호의 값에 대응하는 펄스 신호를 출력하게 된다.

입력된 디지털 계조신호가 작은 경우 일수록, 그 신호가 입력된 라인 기간의 시간설정회로부터의 출력 펄스 신호는 짧게 된다.

도 7을 다시 참조하면, 전술된 동작은 1 라인 기간 중에 모든 기억회로(T1 내지 Tx)에 대해 동시에 실행되어 입력된 신호에 대응하는 지속 시간의 펄스 신호가 출력된다.

그러한 동작은 모든 라인 기간에서 반복된다.

기억회로(207)(구성 회로 T1 내지 Tx)로부터 출력된 신호는 정전류 회로(208)(정전류원 I1 내지 Ix)에 입력된다. 전류는 신호가 입력되는 시간 기간 동안에만 정전류원으로부터 신호선(S1 내지 Sx)으로 흐르게 된다.

기억회로(207)(구성 회로 T1 내지 Tx)로부터 출력된 펄스 신호가 정전류 회로(208)(정전류원 I1 내지 Ix)를 통해 소스 신호선(S1 내지 Sx)에 입력되는 그러한 소스 신호선 구동회로의 동작에 관해 제1 소스 신호선(S1)에 출력하는 것과 대응하는 정전류원(I1)에 주목하여 설명하기로 한다. 도 11은 도 7의 제1 소스 신호선(S1)에 출력하는 것과 대응하는 정전류원(I1)을 나타낸 것이다.

기억회로(T1)로부터 출력된 신호가 TP1에 입력되는 동안의 시간 기간 중에는 스위치(SW1)가 "온"으로 켜지고 스위치(SW2)가 "오프"로 꺼져서 정전류원으로부터 소스 신호선(S1)으로 정전류 "I"가 입력된다. 이어서, TP1로부터 신호가 입력되지 않게 되면, 스위치(SW1)가 "오프"로 꺼지고 스위치(SW2)가 "온"으로 켜져서 정전류 "I"가 더 이상 소스 신호선(S1)으로 흐르지 않게 된다.

도 7을 다시 참조하면, 전술된 동작은 1 라인 기간 중에 모든 정전류원(I1 내지 Ix)에 대해 동시에 실행되어 펄스 신호가 입력되는 시간 기간 동안 정전류 "I"가 입력되게 된다.

그러한 동작은 모든 라인 기간에서 반복된다.

그와 같이 하여, 1 라인 기간 중에 입력되어 샘플링된 디지털 계조 신호에 대응하는 시간 기간 동안 각각의 화소에 전류가 입력되게 된다.

전술된 구조로 인해, 입력되어 샘플링된 디지털 계조 신호에 대응하는 시간 기간 동안 소스 신호선에 정전류를 출력하는 소스 신호선 구동회로가 얻어지게 된다.

[실시예 2]

도 13은 본 발명을 실시한 액티브형 EL 표시장치의 화소부의 구조를 나타낸 것이다.

게이트 신호선 구동회로로부터의 선택 신호가 각각 입력되는 게이트 신호선(G1 내지 Gy)은 개개의 화소에 포함된 스위칭용 TFT의 게이트 전극에 접속된다. 또한, 개개의 화소에 포함된 스위칭용 TFT의 소스 영역과 드레인 영역 중의 하나는 전류가 각각 입력되는 소스 신호선(S1 내지 Sx)에 접속되는 반면에, 다른 하나의 영역은 개개의 화소에 포함된 EL 소자에 접속된다.

한편, 본 발명에서는 각각의 스위칭용 TFT가 n채널형 TFT로 될 수도 있고 p채널형 TFT로 될 수도 있다.

본 실시예의 액티브형 EL 표시장치의 구동 방법에 관해 설명하기로 한다. 게이트 신호선 "G1"이 선택되면, 그에 접속된 모든 스위칭용 TFT가 그 게이트 전극에 인가된 전압을 수반하여 "온"상태로 되게 된다. 그러할 경우에 전류가 소스 신호선(S1 내지 Sx)으로부터 스위칭용 TFT를 통해 EL 소자로 동시에 흐르면, EL 소자는 전류의 양에 대응되어 발광하게 된다.

모든 게이트 신호선(G1 내지 Gy)에 대해 유사한 동작이 실행되면, 하나의 상이 표시된다.

[실시예 3]

본 실시예에서는 실시예 1의 소스 신호선 구동회로가 실시예 2의 액티브형 EL 표시장치에 채용되는 경우에 관해 설명하기로 한다.

즉, 입력되어 샘플링된 디지털 계조 신호에 대응하는 시간 기간 동안 소스 신호선에 정전류를 출력하는 실시예 1에 설명된 소스 신호선 구동회로가 1개의 TFT와 1개의 EL 소자로 각각의 화소가 이루어진 실시예 2에 설명된 바와 같은 액티브형 EL 표시장치에 적용되는 경우에 관해 설명하기로 한다.

실시예 2의 액티브형 EL 표시장치의 각각의 소스 신호선에 입력되는 전류는 실시예 1에 설명된 소스 신호선 구동회로에 의해 발생된다.

전술된 바와 같이, 본 발명에 따른 소스 신호선 구동회로로부터 출력되는 전류는 외부로부터 입력된 디지털 계조 신호의 샘플링된 신호에 대응하는 지속 시간을 수반한 전류 펄스이다. 선택된 게이트 신호선에 접속된 화소는 전류 펄스가 소스 신호선에 입력되어 스위칭용 TFT를 통해 EL 소자에 흐르는 시간 기간 동안에만 발광하게 된다.

실시예 2에 설명된 액티브형 EL 표시장치의 각각의 화소에서의 EL 소자의 발광량은 발광의 시간 기간에 의해 제어되어 계조가 표현되게 된다.

여기 본 명세서에서는 EL 소자의 발광량이 그 발광 기간의 제어에 의해 제어되는 형식으로 계조를 표현하는 기술을 "시간에 기초한 계조 방법"으로서 지칭하기로 한다.

[실시예 4]

본 실시예에서는 실시예 1의 소스 신호선 구동회로가 패시브형 EL 표시장치에 채용되는 경우에 관해 설명하기로 한다.

본 발명의 제1 목적은 실시예 1의 소스 신호선 구동회로를 도 2의 신호선 구동회로에 적용함으로써 달성될 수 있다.

패시브형 EL 표시장치의 각각의 신호선에 입력되는 전류는 실시예 1에 설명된 소스 신호선 구동회로에 의해 발생된다.

전술된 바와 같이, 본 발명에 따른 소스 신호선 구동회로로부터 입력되는 전류는 외부로부터 입력된 디지털 계조 신호의 샘플링된 신호에 대응하는 지속 시간을 수반한 전류 펄스이다.

선택된 주사선에 접속된 화소는 전류 펄스가 신호선에 입력되어 EL 소자로 흐르는 시간 기간 동안에만 발광하게 된다.

패시브형 EL 표시장치의 각각의 화소에서의 EL 소자의 발광량은 발광의 시간 기간에 의해 제어되어 계조 표시가 표현되게 된다. EL 소자는 시간에 기초한 계조 방법에 의해 구동된다.

본 실시예의 패시브형 EL 표시장치는 도 23A 및 도 23B에 도시되어 있다.

도 23A는 평면도이고, 도 23B는 도 23A에 지시된 A-A' 선을 따른 수직 단면도이다.

도 23A를 참조하면, 패시브형 EL 표시장치는 절연 기판(880), FPC(Flexible Printed Circuit; 가요성 인쇄 회로), 주사선 구동회로, 신호선 구동회로(881), 및 화소부를 포함한다.

도 23B를 참조하면, 신호선 구동회로(881)는 TFT 기판 상에 형성된 TFT로 이루어진다.

TFT로 형성된 신호선 구동회로(881)는 절연 기판(880) 상에 접합된다.

여기에서, 신호선 구동회로(881)는 도 23B에 도시된 바와 같이 범프를 통해 절연 기판(880) 상에 접합된다.

[실시예 5]

본 실시예에서는 본 발명을 사용하여 액티브 EL 표시장치를 제조하는 예에 관해 설명하기로 한다.

도 17A는 본 발명을 사용한 액티브 EL 표시장치의 평면도이다. 도 17A에서, 도면 부호 "4010"은 기판을, 도면 부호 "4011"은 화소부를, 도면 부호 "4012"는 소스 신호선 구동회로를, 그리고 도면 부호 "4013"은 게이트 신호선 구동회로를 각각 지시하고 있고, 각각의 구동회로는 배선(4014 내지 4016)을 통해 FPC(4017)로 인도되어 외부 장치에 접속된다.

그 경우, 커버 부재(6000), 밀봉 부재(하우징 부재로서도 지칭됨)(7000), 및 밀봉재(제2 밀봉 부재)(7001)를 마련하여 적어도 화소부를, 바람직하게는 구동회로와 화소부를 둘러싸게 된다.

도 17B는 본 실시예의 EL 표시장치의 단면 구조를 나타낸 것이다. 구동회로 TFT(여기에서는 n채널형 TFT와 p채널형 TFT의 결합체인 CMOS 회로가 도시됨)(4022)와 화소부 TFT(4023)는 기판(4010)과 막(4021) 상에 형성된다. 그러한 TFT는 공지의 구조(탑 게이트 구조 또는 바텀 게이트 구조)를 사용하여 형성될 수 있다.

구동회로 TFT(4022)와 화소부 TFT(4023)를 완성하게 되면, 화소부 TFT(4023)의 드레인에 전기 접속되고 투명 도전막으로 된 화소 전극(4027)을 수지 재료로 된 층간 절연막(평탄화 막) 상에 형성한다.

투명 도전막으로서는 산화인듐과 산화주석의 화합물(ITO로서 지칭됨) 또는 산화인듐과 산화아연의 화합물을 사용할 수 있다. 화소 전극(4027)을 형성된 후에는 절연막(4028)을 형성하고, 화소 전극(4027) 상에 개구부를 형성한다.

다음으로, EL 층(4029)을 형성한다. EL 층(4029)으로서는 공지의 EL 재료를 자유롭게 조합함으로써 적층 구조 또는 단층 구조를 채택할 수 있다(홀 주입 층, 홀 이송 층, 발광 층, 전자 이송 층, 및 전자 주입 층). 그러한 구조를 결정하는 데는 공지의 기술을 사용할 수 있다. EL 재료 중에는 저분자 재료와 고분자(중합체) 재료가 포함된다. 저분자 재료를 사용하는 경우에는 증발 기법을 사용한다. 고분자 재료를 사용하는 경우에는 스핀 코팅 기법, 인쇄 기법, 또는 잉크젯 기법과 같은 간단한 방법을 사용할 수 있다.

본 실시예에서는 EL 층을 색도 마스크를 사용한 증발 기법에 의해 형성한다. 색도 마스크를 사용하여 각각의 화소에 상이한 파장으로 발광할 수 있는 발광 층(적색 광 발광 층, 노색 광 발광 층, 및 청색 광 발광 층)을 형성함으로써 컬러 표시가 가능하게 된다. 또한, 컬러 변환 층(CCM)과 컬러 필터가 결합된 시스템 및 백색 광 발광 층과 컬러 필터가 결합된 시스템이 있는데, 어느 시스템이라도 사용할 수 있다. 물론, 단색 광을 발광하는 EL 표시장치를 사용할 수도 있다.

EL 층(4029)을 형성한 후에는 그 위에 음극(4030)을 형성한다. 음극(4030)과 EL 층(4029)과의 사이의 계면에 존재하는 수분과 산소를 최대한으로 제거하는 것이 바람직하다. 즉, EL 층(4029)과 음극(4030)을 진공 중에서 연속적으로 형성하거나, EL 층(4029)을 불활성 가스 분위기 중에서 형성하고 음극(4030)을 대기에 노출시킴이 없이 형성하도록 도모하는 것이 필요하다. 본 실시예에서는 다챔버 시스템(클러스터 톨 시스템)의 막 형성 장치를 사용함으로써 전술된 막 형성이 가능하도록 한다.

부연하면, 본 실시예에서는 LiF(불화리튬) 막과 Al(알루미늄) 막의 적층 구조를 음극(4030)에 사용한다. 특히, 두께가 1 nm인 LiF(불화 리튬) 막을 증발 기법에 의해 EL 층(4029) 상에 형성하고, 두께가 300 nm인 알루미늄 막을 그 위에 형성한다. 물론, 공지의 음극 재료의 MgAg 전극을 사용할 수도 있다. 도면 부호 "4031"로 지시된 영역에서 음극(4030)을 배선(4016)에 접속한다. 배선(4016)은 음극(4030)에 미리 정해진 전압을 부여하기 위한 전원공급선으로서, 전도 페이스트 재료(4032)를 통해 FPC(4017)에 접속된다.

지시된 영역(4031)에서 음극(4030)을 배선(4016)에 접속하기 위해, 층간 절연막(4026)과 절연막(4028)에 콘택트 홀을 형성하는 것이 필요하다. 그러한 콘택트 홀을 층간 절연막(4026)의 에칭 시(화소 전극용 콘택트 홀의 형성 시)에, 그리고 절연막(4028)의 에칭 시(EL 층의 형성 전의 개구부의 형성 시)에 각각 형성할 수 있다. 절연막(4028)을 에칭할 때에 층간 절연막(4026)을 함께 에칭할 수도 있다. 그 경우, 층간 절연막(4026)과 절연막(4028)이 수지 재료로 된다면 콘택트 홀의 형상이 우수하게 될 수 있다.

그와 같이 형성된 EL 소자의 표면에는 패시베이션 막(6003), 충전재(6004), 및 커버 부재(6000)를 형성하여 그 표면을 덮도록 한다.

또한, 커버 부재(6000)와 기판(4010)의 내부에는 밀봉 부재(7000)를 마련하여 EL 소자부를 덮도록 할뿐만 아니라, 밀봉 부재(7000)의 외부에는 밀봉재(제2 밀봉 부재)(7001)를 형성한다.

그 경우, 충전재(6004)는 커버 부재(6000)를 접합하기 위한 접착제로서의 기능도 한다. 충전재(6004)로서는 PVC(polyvinylchloride; 폴리비닐클로라이드), 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral; 폴리비닐 부티랄), 또는 EVA(ethylene - vinyl acetate; 에틸렌 - 비닐 아세테이트)를 사용할 수 있다. 수분 흡수 효과가 유지될 수 있기 때문에 그 충전재(6004)의 내부에 건조제를 마련하는 것이 바람직하다.

충전재(6004)에는 스페이서가 포함될 수 있다. 그 경우, 스페이서는 BAO 등의 입상 재료로 될 수 있고, 스페이서 자체가 수분 흡수 특성을 보유하도록 될 수도 있다.

스페이서를 마련할 경우에는 패시베이션 막(6003)이 스페이서 압력을 경감시킬 수 있다. 패시베이션 막 이외에 스페이서 압력을 경감시키기 위한 수지 막 등을 마련할 수도 있다.

커버 부재(6000)로서는 유리 판, 알루미늄 판, 스테인리스 판, FRP(Fiberglass - Reinforced Plastics; 섬유 유리 강화 플라스틱) 판, PVF(polyvinyl fluoride; 폴리비닐 플루오라이드) 막, Mylar 막, 폴리에스터 막, 또는 아크릴 막을 사용할 수 있다. PVB 또는 EVA를 충전재(6004)에 사용할 경우에는 수십 mm의 알루미늄 포일이 PVF 막과 Mylar 막과의 사이에 놓인 구조의 시트를 사용하는 것이 바람직하다.

그러나, EL 소자로부터의 발광 방향(광의 방사 방향)에 따라 커버 부재(6000)를 투명하게 하는 것이 필요하다.

기판(4010)과 밀봉 부재(7000) 또는 밀봉재(7001)와의 사이의 틈새를 통해 배선(4016)을 FPC(4017)에 전기 접속한다. 부연하면, 여기에서는 배선 라인 "4016"에 대해 설명이 이루어지지만, 다른 배선 라인 "4014" 및 "4017"도 역시 밀봉 부재(7000)와 밀봉재(7001)의 아래의 공간을 통해 마찬가지로 FPC(4017)에 전기 접속한다.

실시예 5에서는 커버 부재(6000)를 충전재(6004)를 형성한 후에 접합하고, 밀봉 부재(7000)를 충전재(6004)의 측면(노출 면)을 덮도록 부착하지만, 충전재(6004)를 커버 부재(6000)와 밀봉 부재(7000)를 부착한 후에 형성할 수도 있음을 유의해야 할 것이다. 그 경우에는 기판(4010), 커버 부재(6000), 및 밀봉 부재(7000)에 의해 형성된 틈새를 통과하는 충전재 주입구를 형성한다. 이어서, 틈새를 진공 상태(10^{-2} Torr 이하)로 두고, 주입구를 충전재를 담은 탱크 중에 담근 후에 틈새의 외부의 압력을 틈새 내의 압력보다 더 높게 하여 충전재를 공간에 충전시킨다.

[실시예 6]

본 실시예에서는 본 발명을 사용하여 실시예 5와는 상이한 EL 표시장치를 제조하는 예에 관해 도 18A 및 도 18B를 참조하여 설명하기로 한다. 도 17A 및 도 17B의 도면 부호와 동일한 도면 부호는 동일한 부분을 지시하기 때문에, 그 설명에 관해서는 생략하기로 한다.

도 18A는 본 실시예의 EL 표시장치의 평면도이고, 도 18B는 도 18A의 A - A' 선을 따른 단면도이다.

실시에 5에 따라 EL 소자의 표면을 덮는 패시베이션 막(6003)을 형성할 때까지의 단계를 실행한다.

또한, 충전재(6004)를 마련하여 EL 소자를 덮도록 한다. 그러한 충전재(6004)는 커버 부재(6000)를 접합하기 위한 접착제로서의 기능도 한다. 충전재로서는 PVC(폴리비닐클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌 - 비닐 아세테이트)를 사용할 수 있다.

또한, 수분 흡수 효과가 유지될 수 있기 때문에 그러한 충전재의 내부에 건조제를 마련하는 것이 바람직하다.

충전재(6004)에는 스페이서가 포함될 수 있다. 그 경우, 스페이서는 BAO 등의 입상 재료로 될 수 있고, 스페이서 자체가 수분 흡수 특성을 보유하도록 될 수도 있다.

스페이서를 마련할 경우에는 패시베이션 막(6003)이 스페이서 압력을 경감시킬 수 있다. 패시베이션 막 이외에 스페이서 압력을 경감시키기 위한 수지 막 등을 마련할 수도 있다.

커버 부재(6000)로서는 유리 판, 알루미늄 판, 스테인리스 판, FRP(섬유 유리 강화 플라스틱) 판, PVF(폴리비닐 플루오라이드) 막, Mylar 막, 폴리에스터 막, 또는 아크릴 막을 사용할 수 있다. PVB 또는 EVA를 충전재(6004)에 사용할 경우에는 수십 mm의 알루미늄 포일이 PVF 막과 Mylar 막과의 사이에 놓인 구조의 시트를 사용하는 것이 바람직하다.

그러나, EL 소자로부터의 발광 방향(광의 방사 방향)에 따라 커버 부재(6000)를 투명하게 하는 것이 필요하다.

다음으로, 충전재(6004)를 사용하여 커버 부재(6000)를 접합한 후에 프레임 부재(6001)를 부착하여 충전재(6004)의 측면(노출 면)을 덮도록 한다. 그러한 프레임 부재(6001)를 밀봉 부재(접착제로서의 기능을 함)(6002)에 의해 접합한다. 그 경우, 밀봉 부재(6002)로서는 비록 광 경화성 수지를 사용하는 것이 바람직하지만, EL 층의 열 저항이 허용하는 한에는 열 경화성 수지를 사용할 수도 있다. 부연하면, 밀봉 부재(6002)는 가능한 한 수분과 산소에 대해 불 투과성인 재료인 것이 바람직하다. 밀봉 부재(6002)의 내부에는 건조제가 첨가될 수 있다.

밀봉 부재(6002)와 기판(4010)과의 사이의 틈새를 통해 배선(4016)을 FPC(4017)에 전기 접속한다. 여기에서는 배선 "4016"에 관해 설명이 이루어지지만, 다른 배선 "4014"도 역시 밀봉 부재(6002)와 기판(4010)과의 사이의 틈새를 통해 마찬가지로 FPC(4017)에 전기 접속한다.

실시에 6에서는 커버 부재(6000)를 충전재(6004)를 형성한 후에 접합하고, 프레임 부재(6001)를 충전재(6004)의 측면(노출 면)을 덮도록 부착하지만, 충전재(6004)를 커버 부재(6000)와 프레임 부재(6001)를 부착한 후에 형성할 수도 있음을 유의해야 할 것이다. 그 경우에는 기판(4010), 커버 부재(6000), 및 프레임 부재(6001)에 의해 형성된 틈새를 통과하는 충전재 주입구를 형성한다. 이어서, 틈새를 진공 상태(10^{-2} Torr 이하)로 두고, 주입구를 충전재를 담은 탱크 중에 담근 후에 틈새의 외부의 압력을 틈새 내의 압력보다 더 높게 하여 충전재를 공간에 충전시킨다.

[실시에 7]

여기에서는 EL 표시장치의 화소부의 더욱 상세한 단면 구조가 도 19에 도시되어 있다. 도 19에서는 기판(3501) 상에 마련되는 스위칭용 TFT(3502)를 공지의 방법에 의해 형성된 n채널형 TFT를 사용하여 형성하게 된다. 본 실시예에는 2개의 게이트 전극(39a, 39b)을 사용한 2중 게이트 구조가 채용된다. 여기에서, 2개의 게이트 전극(39a, 39b)은 서로 전기 접속된다. 2중 게이트 구조를 채용함으로써 2개의 TFT가 실질적으로 서로 직렬 접속된 구조가 얻어지기 때문에, 오프 전류 값이 감소될 수 있는 장점이 있다. 부연하면, 본 실시예에는 2중 게이트 구조가 채용되지만, 3중 게이트 구조 또는 그 이상의 게이트를 구비한 다중 게이트 구조가 채용될 수도 있다. 또한, 공지의 방법에 의해 형성된 p채널형 TFT를 사용하여 스위칭용 TFT(3502)를 형성할 수도 있다.

스위칭용 TFT(3502) 상에는 패시베이션 막(41)을 형성하고, 그 위에는 절연막으로 된 평탄화 막(42)을 형성한다. 평탄화 막(42)을 사용하여 TFT로 인해 단이 진 부분을 평탄화하는 것이 매우 중요하다. 추후에 형성될 EL 층은 매우 얇기 때문에, 단이 진 부분의 존재로 인해 발광 결함이 생기는 경우가 있다. 따라서, 화소 전극을 형성하기 전에 평탄화를 실행하여 평탄한 표면 상에 EL 층이 형성될 수 있도록 하는 것이 바람직하다.

도면 부호 "43"은 반사율이 높은 도전막으로 된 화소 전극(EL 소자의 음극)을 지시하고 있는데, 그러한 화소 전극(43)은 스위칭용 TFT(3502)의 드레인 영역에 전기 접속된다. 화소 전극으로서는 알루미늄 합금 막, 구리 합금 막, 또는 은 합금 막이나 그 적층 막과 같은 저항이 낮은 도전막을 사용하는 것이 바람직하다. 물론, 다른 도전막으로 적층된 막을 채용할 수도 있다.

절연막(바람직하게는 수지)으로 형성된 बैं크(44a, 44b)에 의해 형성되는 홈(화소에 대응함) 속에 발광 층(45)을 형성한다. 여기에서는 하나의 화소만이 도시되어 있지만, R(적색), G(녹색), 및 B(청색)의 컬러에 해당하는 발광 층을 형성할 수 있다. 발광 층에 사용되는 유기 EL 재료로서는 p-적 중합체 재료를 사용한다. 그러한 중합체 재료의 전형적인 예 중에는 폴리파라페닐렌 비닐렌(polyparaphenylene vinylene)(PPV), 폴리비닐카르바졸(polyvinyl carbazole)(PVK), 및 폴리플루오렌(polyfluorene)이 포함된다.

PPV형 유기 EL재료로서는 각종의 유형의 것이 존재하지만, 예컨대 "H. Shenk, H. Becker, O. Gledsen, E. Kluge, W. Kreuder, and H. Spreizer, '발광 다이오드용 중합체(Polymer for Light Emitting Diodes)', Euro Display, Proceedings, 1999, p.33 - 37" 또는 일본 특허 출원 공개 평성10년 제92576호에 개시된 재료를 사용할 수 있다.

특정의 발광 층으로서는 시아노폴리페닐렌비닐렌을 적색 광을 발광하는 발광 층에, 폴리페닐렌비닐렌을 녹색 광을 발광하는 발광 층에, 그리고 폴리페닐렌비닐렌 또는 폴리알킬페닐렌을 청색 광을 발광하는 발광 층에 각각 사용하는 것이 적합하다. 막 두께는 30 내지 150 nm(바람직하게는 40 내지 100 nm)인 것이 적절하다.

그러나, 전술된 예는 발광 층에 사용할 수 있는 유기 EL 재료의 예에 불과하고, 본 발명을 그에 한정할 필요는 없다. EL 층(발광 및 그를 위한 캐리어의 이동이 실행되는 층)은 발광 층, 전하 이송 층, 및 전하 주입 층을 자유롭게 결합시켜 형성될 수도 있다.

예컨대, 본 실시예는 발광 층에 중합체 재료를 사용하는 예를 예시하고 있지만, 저분자 유기 EL 재료를 사용할 수도 있다. 또한, 탄화규소와 같은 무기 재료를 전하 이송 층 또는 전하 주입 층으로서 사용하는 것도 가능하다. 유기 EL 재료 또는 무기 재료로서는 공지의 재료를 사용할 수 있다.

본 실시예는 PEDOT(polythiophen; 폴리티오펜) 또는 PANi (polyaniline; 폴리아닐린)으로 이루어진 홀 주입 층(46)이 발광 층(45) 상에 마련되는 적층 구조로 된 EL 층을 채용하고 있다. 홀 주입 층(46) 상에는 투명 도전막으로 된 양극(47)을 마련한다. 본 실시예의 경우, 발광 층(45)에서 발생하는 광이 상면 측(TFT의 상측)으로 방사되기 때문에, 양극이 투명해야 한다. 투명 도전막으로서는 산화인듐과 산화주석의 화합물 또는 산화인듐과 산화아연의 화합물을 사용할 수 있다. 그러나, 열 저항이 낮은 발광 층과 홀 주입 층을 형성한 후에 막을 형성하기 때문에, 최대한으로 낮은 온도에서 막을 형성할 수 있도록 하는 것이 바람직하다.

양극(47)을 형성한 시점에서 EL 소자(3505)가 완성된다. 부연하면, 여기에서의 양극 소자(3505)란 화소 전극(음극)(43)으로 형성된 커패시터, 발광 층(45), 홀 주입 층(46), 및 양극(47)을 지시하는 것이다. 화소 전극(43)은 화소의 면적과 거의 부합되기 때문에, 전체의 화소가 EL 소자로서의 기능을 하게 된다. 즉, 발광의 사용 효율이 매우 높아 밝은 상의 표시가 가능하게 된다.

본 실시예에서는 양극(47) 상에 제2 패시베이션 막(48)을 추가로 마련한다. 제2 패시베이션 막(48)으로서는 질산화 규소 막과 같은 질화규소 막이 바람직하다. 그러한 제2 패시베이션 막(48)의 목적은 EL 재료를 외부로부터 절연한다는 것으로서, 유기 재료의 산화로 인한 열화를 방지하고 유기 EL 재료로부터의 가스 제거를 억제한다는 2가지 의미를 지닌 것이다. 그와 같이 함으로써, EL 표시장치의 신뢰성이 개선되게 된다.

전술된 바와 같이, 본 발명의 EL 표시장치는 도 19에 도시된 바와 같은 구조로 된 화소로 이루어진 화소부를 포함하고, 오프 전류 값이 충분히 낮은 스위칭용 TFT를 포함한다. 따라서, 신뢰성이 높고 탁월한 상 표시를 할 수 있는 EL 표시장치를 얻을 수 있게 된다.

[실시예 8]

본 실시예에서는 실시예 7에 예시된 화소부에서 EL 소자(3505)의 구조가 반전된 구조에 관해 설명하기로 한다. 도 20은 그러한 설명에 사용하기 위한 것이다. 부연하면, 도 19의 구조와 상이한 점은 단지 EL 소자와 스위칭용 TFT의 부분뿐이므로, 기타의 설명에 관해서는 생략하기로 한다.

도 20에서는 스위칭용 TFT(3502)를 공지의 방법에 의해 형성된 p채널형 TFT를 사용하여 형성한다.

본 실시예에서는 화소 전극(양극)(50)으로서 투명 도전막을 사용한다. 특히, 산화인듐과 산화아연의 화합물로 된 도전막을 사용한다. 물론, 산화인듐과 산화주석의 화합물로 된 도전막을 사용할 수도 있다.

절연막으로 된 बैं크(51a, 51b)를 형성한 후에 폴리비닐카르바졸로 된 발광 층(52)을 용액 도포에 의해 형성한다. 그 위에는 포타슘 아세틸아세토네이트(potassium acetylacetonate)(acacK로서 표현됨)로 된 전자 주입 층(53) 및 알루미늄 합금으로 된 음극(54)을 형성한다. 그 경우, 음극(54)은 패시베이션 막으로서의 기능도 한다. 그와 같이 하여, EL 소자(3701)를 형성한다.

실시예 8에서는 발광 층(52)에 의해 발생된 광이 화살표로 지시된 바와 같이 TFT가 형성된 기판 쪽으로 방사된다.

[실시예 9]

실시예 9에서는 본 발명의 액티브형 EL 표시장치에서의 화소부 및 그 주변에 형성된 구동회로부(소스 신호선 구동회로 및 게이트 신호선 구동회로)의 TFT의 제조 방법을 동시에 설명하기로 한다. 설명을 간략히 하기 위해 베이스 회로인 CMOS 회로가 구동회로부로서 예시되어 있음을 유의해야 할 것이다.

우선, 도 14A에 도시된 바와 같이 붕규산바륨 유리 또는 붕규산알루미늄 유리와 같은 유리, 전형적으로 "Corning Corp."의 #7059 유리 또는 #1737 유리와 같은 유리로 이루어진 기판(5001) 상에 산화규소 막, 질화규소 막, 또는 질산화규소 막과 같은 절연막으로 된 베이스 막(5002)을 형성한다. 예컨대, 플라즈마 CVD에 의해 SiH_4 , NH_3 , 및 N_2O 로 된 질산화규소 막을 10 내지 200 nm(바람직하게는 50 내지 100 nm)의 두께로 형성하고, 마찬가지로 SiH_4 및 N_2O 로 된 수화된 질산화규소 막을 50 내지 200 nm(바람직하게는 100 내지 150 nm)의 두께로 형성하여 적층시킨다. 실시예 9에서는 베이스 막(5002)이 2층 구조로서 예시되지만, 절연막의 단층 구조로서 형성될 수도 있고 2층 이상이 적층된 적층 구조로 형성될 수도 있다.

비정질 구조로 된 반도체 막의 레이저 결정화 방법 또는 공지의 열 결정화 방법을 사용하여 제조되는 결정성 반도체 막에 의해 섬 형상의 반도체 층(5003 내지 5005)을 형성한다. 섬 형상의 반도체 층(5003 내지 5005)의 두께는 25 내지 80 nm(바람직하게는 30 내지 60 nm)의 두께로 형성될 수 있다. 결정성 반도체 막의 재료에 대한 한정이 있는 것은 아니지만, 규소 또는 규소 게르마늄(SiGe) 합금으로 그 막을 형성하는 것이 바람직하다.

결정성 반도체 막을 제조하는 레이저 결정화 방법에는 펄스 방출형 또는 연속 방출형 엑시머 레이저, YAG 레이저, 또는 YVO_4 레이저와 같은 레이저를 사용할 수 있다. 그러한 유형의 레이저를 사용할 때에는 레이저 발진기로부터 방출되는 레이저 광을 광학 시스템에 의해 선형 형상으로 집속한 후에 그 광을 반도체 막에 조사하는 방법을 사용할 수 있다. 결정화 조건은 조작자에 의해 적절히 선택될 수 있지만, 엑시머 레이저를 사용할 때에는 펄스 방출 주파수를 300 Hz로 설정하고 레이저 에너지 밀도를 100 내지 400 mJ/cm^2 (전형적으로 200 내지 300 mJ/cm^2)로 설정한다. 또한, YAG 레이저를 사용할 때에는 제2 고조파를 사용하고, 펄스 방출 주파수를 1 내지 10 kHz로 설정하며, 레이저 에너지 밀도를 300 내지 600 mJ/cm^2 (전형적으로 350 내지 500 mJ/cm^2)로 설정할 수도 있다. 이어서, 100 내지 1000 mm의 폭의 선형 형상으로 집속된 레이저 광을 기판의 전 표면에 걸쳐 조사한다. 그것은 선형 형상의 레이저 광에 대해 80 내지 98 %의 오버랩 비율로 실행된다.

게이트 절연막(5007)을 형성하여 반도체 층(5002 내지 5005)을 덮는다. 플라즈마 CVD 또는 스퍼터링에 의해 두께가 40 내지 150 nm인 규소 함유 절연막으로 게이트 절연막(5007)을 형성한다. 실시예 9에서는 두께가 120 nm인 질산화규소 막을 형성한다. 물론, 게이트 절연막(5007)은 그러한 유형의 질산화규소 막에 한정되지는 않고, 다른 규소 함유 절연막을 단층 또는 적층 구조로 사용할 수도 있다. 예컨대, 산화규소 막을 사용할 때에는 그것을 TEOS(tetraethyl orthosilicate; 테트라에틸 올쏘실리케이트)와 O_2 와의 혼합물을 대상으로 40 Pa의 반응 압력에서 기판 온도를 300 내지 400°C로 설정한 채로 0.5 내지 0.8 W/cm^2 의 고주파(13.56 MHz) 전력 밀도로 방전함으로써 플라즈마 CVD에 의해 형성할 수 있다. 그와 같이 제조된 산화규소 막을 후속적으로 400 내지 500°C로 열 어닐링함으로써 게이트 절연막으로서의 우수한 특성을 얻을 수 있다.

이어서, 게이트 절연막(5007) 상에 제1 도전막(5008) 및 제2 도전막(5009)을 형성하여 게이트 전극을 형성한다. 실시예 9에서는 두께가 50 내지 100 nm인 Ta(탄탈)로 제1 도전막(5008)을 형성하고, 두께가 100 내지 300 nm인 W(텅스텐)로 제2 도전막(5009)을 형성한다.

Ta 타깃을 Ar로 스퍼터링함으로써 Ta 막을 형성한다. 적절한 양의 Xe 및 Kr을 Ar에 첨가하면, Ta 막의 내부 응력이 완화되어 막의 박리가 방지될 수 있다. α 상 Ta 막의 저항률은 20 $\mu\Omega cm$ 정도로서 게이트 전극에 사용될 수 있지만, β 상 Ta 막의 저항률은 180 $\mu\Omega cm$ 정도로서 게이트 전극용으로는 부적합하다. 그 결정 구조가 α 상 Ta의 그것과 유사한 질화탄탈 막을 α 상 Ta의 형성을 위해 Ta의 베이스로서 10 내지 50 nm의 두께로 형성한다면, α 상 Ta 막이 용이하게 얻어질 수 있다.

W 타깃으로 스퍼터링함으로써 W 막을 형성하는데, 육불화텅스텐(WF_6)을 사용한 열 CVD에 의해서도 W 막을 형성할 수 있다. 어느 것을 사용하든지 간에, 게이트 전극으로서 사용하려면 막의 저항이 낮게 되도록 하는 것이 필요하고, W 막의 저항률을 20 $\mu\Omega cm$ 이하로 하는 것이 바람직하다. W 막의 결정립을 크게 함으로써 저항률을 낮출 수 있지만, W 막 중에 산소와 같은 다수의 불순물 원소가 존재할 경우에는 결정화가 억제됨으로써 막의 저항이 높아지게 된다. 따라서, 순도가 99.9999 %인 W 타깃을 스퍼터링에 사용한다. 또한, 막 형성 시에 가스 상의 내부로부터 불순물이 도입되지 않도록 충분히 주의를 기울이면서 W 막을 형성함으로써 9 내지 20 $\mu\Omega cm$ 의 저항률을 얻을 수 있다.

실시예 9에서는 제1 도전막(5008)이 Ta이고 제2 도전막(5009)이 W이지만, 양자의 도전막은 그에 한정되는 것은 아니고, Ta, W, Ti, Mo, Al, 및 Cu로 이루어진 군으로부터 선택된 원소, 이들 원소 중의 하나가 주성분인 합금 재료, 또는 화학 화합물 재료로 양자의 도전막을 형성할 수도 있음을 유의해야 할 것이다. 또한, 반도체 막, 전형적으로 예컨대 인과 같은 불순물 원소가 그 중에 도핑된 다결정 규소 막도 역시 사용할 수 있다. 실시예 9에 사용된 것 이외의 바람직한 결합체의 예 중에는 질화탄탈(TaN)로 제1 도전막(5008)을 형성하여 그것을 W로 형성된 제2 도전막(5009)과 결합시키는 것; 질화탄탈(TaN)로 제1 도전막(5008)을 형성하여 그것을 Al로 형성된 제2 도전막(5009)과 결합시키는 것; 및 질화탄탈(TaN)로 제1 도전막(5008)을 형성하여 그것을 Cu로 형성된 제2 도전막(5009)과 결합시키는 것이 포함된다.

이어서, 레지스트로 마스크(5010)를 형성하고, 제1 에칭 처리를 실행하여 전극 및 배선을 형성한다. 실시예 9에서는 ICP(inductively coupled plasma ; 유도 결합 플라즈마) 에칭 방법을 사용한다. CF_4 와 Cl_2 의 가스 혼합물을 에칭 가스로서 사용하고, 1 Pa의 압력에서 500 W RF 전력(13.56 MHz)을 코일 형상의 전극에 인가함으로써 플라즈마를 발생시킨다. 기판 측(시편 스테이지)에도 역시 500 W RF 전력(13.56 MHz)을 인가하여 효과적으로 부정(negative) 자기 바이어스 전압을 인가하도록 한다. CF_4 와 Cl_2 가 결합된 경우에는 W 막과 Ta 막의 양자가 동일한 정도로 에칭된다.

적절한 레지스트 마스크 형상을 사용함으로써 전술된 에칭 조건 하에서 기판 측에 인가된 바이어스 전압의 영향에 따라 제1 전도 층과 제2 전도 층의 에지부가 테이퍼 형상으로 되게 된다. 테이퍼부의 각도는 15 내지 45°이다. 에칭 시간을 약 10 내지 20 % 증가시켜 게이트 절연막 상에 잔류물을 전혀 남김이 없이 에칭을 실행할 수도 있다. W 막에 대한 질산화규소 막의 선택도는 2 내지 4(전형적으로 3)이므로, 그러한 과도 에칭 공정에 의해 질산화규소 막의 노출 표면 중의 약 20 내지 50 nm가 에칭된다. 그와 같이 하여, 제1 에칭 공정에 따라 제1 전도 층 및 제2 전도 층(제1 전도 층(5011a 내지 5014a) 및 제2 전도 층(5011b 내지 5014b))으로부터 제1 형상 전도 층(5011 내지 5014)이 형성되게 된다. 그 경우, 제1 형상 전도 층(5011 내지 5014)에 의해 덮이지 않는 게이트 절연막(5007)의 영역은 약 20 내지 50 nm만큼 보다 더 얇아지게 된다.

이어서, 제1 도핑 공정을 실행하여 n형 전도성을 부여하는 불순물 원소를 첨가한다. 이온 도핑 또는 이온 주입에 의해 도핑을 실행할 수 있다. 선량(dose amount)이 1×10^{13} 내지 5×10^{14} 이고 가속 전압이 60 내지 100 keV인 조건 하에서 이온 도핑을 실행한다. n형 전도성을 부여하는 불순물 원소로서는 주기율표 제15 족 원소, 전형적으로 인(P) 또는 비소(Ar)를 사용하는데, 여기에서는 인(P)을 사용한다. 그 경우, 전도 층(5011 내지 5014)은 n형 전도성을 부여하는 불순물 원소에 대한 마스크가 되어 자기 배향 형식으로 제1 불순물 영역(5017 내지 5023)이 형성된다. n형 전도성을 부여하는 불순물 원소는 1×10^{20} 내지 1×10^{21} atoms/cm²의 농도로 제1 불순물 영역(5017 내지 5023)에 첨가된다.(도 14B)

다음으로, 도 14C에 도시된 바와 같이 레지스트 마스크를 제거하지 않고서 제2 에칭 공정을 실행한다. CF_4 , Cl_2 , 및 O_2 의 혼합물을 에칭 가스로서 사용하여 W 막을 선택적으로 에칭한다. 그 시점에, 제2 에칭 공정에 의해 제2 형상 전도 층(5026 내지 5029)(제1 전도 층(5026a 내지 5029a) 및 제2 전도 층(5026b 내지 5029b))이 형성된다. 제2 형상 전도 층(5026 내지 5029)에 의해 덮이지 않는 게이트 절연막(5007)의 영역은 에칭에 의해 약 20 내지 50 nm만큼 보다 더 얇아지게 된다.

CF_4 와 Cl_2 의 혼합 가스에 의한 W 막 또는 Ta 막의 에칭 반응은 생성된 라디칼 또는 이온 종으로부터, 그리고 반응 생성물의 증기압으로부터 평가될 수 있다. W와 Ta의 불화물과 염화물의 증기압을 서로 비교하면, W의 불화물인 WF_6 의 증기압이 극히 높고, 기타의 WCl_5 , TaF_5 , 및 $TaCl_5$ 의 증기압은 거의 동일하다. 즉, W 막과 Ta 막의 양자가 모두 CF_4 와 Cl_2 의 가스 혼합물 중에서 에칭된다. 그러나, 그러한 혼합 가스에 적절한 양의 O_2 를 첨가하면, CF_4 와 O_2 가 서로 반응하여 CO와 F를 형성하고, 다량의 F 라디칼 또는 F 이온이 생성된다. 그 결과, 불화물의 증기압이 높은 W 막의 에칭 속도가 증대된다. 다른 한편으로, F가 증가됨에도 불구하고 Ta의 에칭 속도의 증대는 상대적으로 작게 된다. 또한, Ta는 W에 비해 쉽게 산화되기 때문에, Ta의 표면은 O_2 의 첨가에 의해 산화된다. Ta 막의 에칭 속도는 Ta의 산화물이 불소 또는 염소와 반응하지 않기 때문에 더욱 감소된다. 따라서, W 막과 Ta 막의 에칭 속도간에 차이를 둘 수 있게 되어 W 막의 에칭 속도를 Ta 막의 그것보다 더 높게 되도록 할 수 있다.

이어서, 도 15A에 도시된 바와 같이 제2 도핑 공정을 실행한다. 그 경우, 선량을 제1 도핑 공정의 그것보다 더 낮게 하고, 높은 가속 전압의 조건 하에서 n형 전도성을 부여하는 불순물 원소를 도핑한다. 예컨대, 70 내지 120 keV로 설정된 가속 전압 및 1×10^{13} atoms/cm²의 선량으로 도핑 공정을 실행하여 도 14B의 섬 형상의 반도체 층 중에 형성된 제1 불순물 영역의 내부에 새로운 불순물 영역을 형성한다. 제2 형상 전도 층(5026 내지 5029)을 불순물 원소에 대한 마스크로서 사용하여 제2 전도 층(5026a 내지 5029a)의 아래의 구역으로도 불순물 원소가 첨가되도록 도핑을 실행한다. 그와 같이 하여, 제3 불순물 영역(5032 내지 5035)이 형성된다. 제3 불순물 영역(5032 내지 5035)에 첨가된 인(P)의 농도는 제1 전도 층(5026a 내지 5029a)의 테이퍼부의 두께에 따라 완전한 농도 구배로 된다. 제1 전도 층(5026a 내지 5029a)의 테이퍼부와 중첩되는 반도체 층에서는 불순물 농도가 제1 전도 층(5026a 내지 5029a)의 테이퍼부의 단부로부터 내부 쪽으로 다소 떨어지게 되지만, 그러한 농도는 거의 동일한 수준으로 유지됨을 유의해야 할 것이다.

도 15B에 도시된 바와 같이, CHF_6 의 에칭 가스를 사용하여 제3 에칭 공정을 실행하는데, 반응성 이온 에칭(reactive ion etching; RIE 방법)을 사용한다. 제3 에칭 공정에 의해 제1 전도 층(5026a 내지 5029a)의 테이퍼부가 부분적으로 에칭되어 제1 전도 층과 반도체 층과의 중첩 영역을 감축시키게 된다. 제3 에칭 공정에 의해 제3 형상 전도 층(5037 내지 5040)(제1 전도 층(5037a 내지 5040a) 및 제2 전도 층(5037b 내지 5040b))이 형성된다. 제2 전도 층(5037 내지 5040)에 의해 덮이지 않는 게이트 절연막(5007)의 영역은 에칭에 의해 약 20 내지 50 nm만큼 보다 더 얇아지게 된다.

제3 에칭 공정에 의해 제3 불순물 영역(5032 내지 5035)에는 제1 전도 층(5037a 내지 5040a)과 중첩되는 제3 불순물 영역(5032a 내지 5040a) 및 제1 불순물 영역과 제3 불순물 영역과의 사이의 제2 불순물 영역(5032b 내지 5040b)이 형성되게 된다.

이어서, 도 15C에 도시된 바와 같이, p채널형 TFT를 형성하는 섬 형상의 반도체 층(5004)에 제1 전도성 유형과는 상반된 전도성 유형으로 된 제4 불순물 영역(5043 내지 5048)을 형성한다. 제3 형상 전도 층(5038b)을 불순물 원소에 대한 마스크로서 사용하여 자기 배향 형식으로 불순물 영역을 형성한다. n채널형 TFT를 형성하는 섬 형상의 반도체 층(5003, 5005)을 그 전 표면적에 걸쳐 레지스트 마스크(5200)로 덮는다. 불순물 영역(5043 내지 5048)에 상이한 농도로 인을 첨가하고, 여기에서는 디보란(diborane; B_2H_6)을 사용하여 이온 도핑을 실행함으로써 그 영역에서의 불순물 농도가 2×10^{20} 내지 2×10^{21} atoms/ cm^2 가 되도록 한다.

전술된 공정에 의해 각각의 섬 형상의 반도체 층에 불순물 영역이 형성된다. 섬 형상의 반도체 층과 중첩되는 제3 형상 전도 층(5037 내지 5040)은 게이트 전극으로서의 기능을 하게 된다.

이어서, 마스크(5200)를 제거한 후에 전도성 유형을 제어할 목적으로 각각의 섬 형상의 반도체 층에 첨가된 불순물 원소를 활성화시키는 공정을 실행한다. 그러한 목적으로 어닐링 노를 사용한 열 어닐링을 실행한다. 또한, 레이저 어닐링 및 급속 열 어닐링(rapid thermal annealing; RTA)을 적용할 수도 있다. 400 내지 700°C, 전형적으로 500 내지 600°C의 질소 분위기 중에서 1 ppm 이하, 바람직하게는 0.1 ppm 이하의 산소 농도로 열 어닐링을 실행한다. 실시예 9에서는 4 시간 동안 500°C로 열처리를 실행한다. 그러나, 제3 전도 층(5037 내지 5040)에 사용된 배선 재료가 열에 취약할 경우에는 배선 등을 보호하기 위해 층간 절연막(규소를 주성분으로 함)을 형성한 후에 활성화를 실행하는 것이 바람직하다.

또한, 3 내지 100%의 수소를 함유한 분위기 중에서 1 내지 12 시간 동안 300 내지 450°C로 열 처리를 실행하여 섬 형상의 반도체 층에 수소를 첨가한다. 그러한 공정은 열로 여기된 수소에 의해 반도체 층에 있는 땀글링 본드(dangling bond)를 종결 처리하는 공정 중의 하나이다. 수소 첨가의 다른 수단으로서 플라즈마 수소 첨가(플라즈마에 의해 활성화된 수소를 사용함)를 실행할 수도 있다.

이어서, 도 16A에 도시된 바와 같이 두께가 100 내지 200 nm인 질산화규소 막으로 제1 층간 절연막(455)을 형성한다. 제1 층간 절연막 상에서는 각각의 화소에 대해 컬러 필터(R), 컬러 필터(G), 또는 컬러 필터(B)를 패터닝한다. 도 16에서, 도면 부호 "5064"는 컬러 필터를 나타내고 있다. 여기에서, "컬러 필터(R)"란 백색 광으로부터 적색 광을 추출하는 컬러 필터이고, "컬러 필터(G)"란 백색 광으로부터 녹색 광을 추출하는 컬러 필터이며, "컬러 필터(B)"란 백색 광으로부터 청색 광을 추출하는 컬러 필터이다. 또한, 그 위에 유기 절연 재료로 된 제2 층간 절연막을 형성한 후에 제1 층간 절연막(5055), 제2 층간 절연막(5056), 및 게이트 절연막(5007)에 콘택트 홀을 형성한다. 패터닝에 의해 각각의 배선(5057 내지 5061)을 형성한 후에 패터닝에 의해 배선(5061)과 접촉하는 화소 전극(5063)을 형성한다.

제2 층간 절연막(5056)에는 유기 수지 재료를 사용한다. 폴리이미드(polyimide), 폴리아미드(polyamide), 아크릴, 및 BCB(benzocyclobutene; 벤조시클로부텐)과 같은 유기 수지를 사용할 수 있다. 특히, 제2 층간 절연막(5056)은

평탄화와 밀접하게 연관되어 형성되기 때문에 평탄성이 우수한 아크릴을 제2 층간 절연막(5056)에 사용하는 것이 바람직하다. 실시예 9에서는 TFT에 의해 형성된 단을 충분히 평탄화시키는 막 두께로 아크릴 막을 형성한다. 그러한 막 두께는 바람직하게는 1 내지 5 mm(더욱 바람직하게는 2 내지 4 mm)이다.

다음으로, 건식 에칭 또는 습식 에칭을 사용하여 콘택트 홀을 형성함으로써 n형 불순물 영역(5017, 5018, 5021, 5023) 또는 p형 불순물 영역(5043 내지 5048)에 도달하기 위한 콘택트 홀 및 게이트 전극(도면에 도시를 생략함)에 도달하기 위한 콘택트 홀을 형성한다.

또한, 스퍼터링에 의해 두께가 100 nm인 Ti 막, 두께가 300 nm인 Ti 함유 Al 막, 및 두께가 150 nm인 Ti 막을 형성한 후에 미리 정해진 형상으로 패터닝 한 3층 구조의 적층 막을 형성하여 배선(5057 내지 5061)으로 사용한다. 물론, 다른 도전막을 사용할 수도 있다.

실시예 9에서는 산화인듐/산화주석(ITO) 막을 110 nm의 두께로 형성한 후에 패터닝을 실행하여 화소 전극(5063)을 형성한다. 화소 전극(5063)이 접속 배선(5061)과 중첩되어 접촉하도록 함으로서 접촉을 이루게 된다. 또한, 2 내지 20 % 사이에서 산화아연(ZnO)이 산화인듐과 혼합된 투명 도전막을 사용할 수도 있다. 그러한 화소 전극(5063)은 EL 소자의 양극이 된다(도 16A).

다음으로, 도 16B에 도시된 바와 같이, 규소 함유 절연막(실시예 9에서는 산화규소 막)을 500 nm의 두께로 형성하고, 화소 전극(5063) 및 뱅크로서 기능하는 제3 층간 절연막에 대응하는 지점에 개구부를 형성한다. 개구부를 형성할 때에는 습식 에칭을 사용함으로써 측벽을 용이하게 테이퍼 형상으로 형성할 수 있다. 개구부의 측벽이 충분히 완만하지 않으면, 단으로 인해 EL 층이 열화되는 심각한 문제점이 있게 된다.

다음으로, EL 층(5066)과 음극(MgAg 전극)(5067)을 진공 증발에 의해 대기에 노출시킴이 없이 연속적으로 형성한다. EL 층(5066)의 막 두께는 80 내지 200 nm(전형적으로 100 내지 120 nm)로 설정될 수 있고, 음극(5067)의 막 두께는 180 내지 300 nm(전형적으로 200 내지 250 nm)로 설정될 수 있음을 유의해야 할 것이다. 또한, 실시예 9에서는 컬러 필터를 사용하지만, EL 층은 백색 광만을 발광하는 층으로 될 수도 있다. 즉, 화소를 분할적으로 채색할 필요가 없다.

공지의 재료를 EL 층(5066)에 사용할 수 있음을 유의해야 할 것이다. 구동 전압을 고려하여 공지의 재료로서 유기 재료를 사용하는 것이 바람직할 수도 있다. 예컨대, 홀 주입 층, 홀 이송 층, 발광 층, 및 전자 주입 층의 4층 구조를 사용할 수 있다. 이어서, 음극(5067)을 형성한다. 실시예 9에서는 MgAg 전극을 사용하는 것을 예시하지만, 본 발명은 그에 한정되는 것은 아니다. 다른 공지의 재료를 음극(5067)에 사용하는 것도 역시 가능하다.

끝으로, 절화규소 막으로 두께가 300 nm인 패시베이션 막(5068)을 형성한다. 패시베이션 막(5068)을 형성함으로써 EL 층(5066)이 수분 등으로부터 보호될 뿐만 아니라, EL 소자의 신뢰성이 추가로 향상될 수 있게 된다.

그와 같이 하여 도 16B에 도시된 바와 같은 구조의 EL 표시장치가 완성된다. 실시예 9의 EL 표시장치의 제조 공정에서는 소스 영역과 드레인 영역을 형성하는데 사용된 배선 재료인 Al에 의해 게이트 신호선이 형성됨을 유의해야 할 것이다. 그러나, 상이한 재료를 사용할 수도 있다.

실시예 9의 EL 표시장치는 신뢰성이 매우 높고, 적절한 구조로 된 TFT를 배치함으로써 화소부에서는 물론 구동회로부에서 동작 특성이 개선되기까지 한다. 결정화 단계에서는 Ni와 같은 금속 촉매를 첨가하여 결정화도를 증대시키는 것도 가능하다. 따라서, 소스 신호선 구동회로의 구동 주파수를 10 MHz 이상으로 설정하는 것이 가능하게 된다.

무엇보다도, 동작 속도를 조금도 감소시킴이 없이 핫 캐리어 주입이 감소되는 구조로 된 TFT가 구동회로부를 형성하는 CMOS 회로의 n채널형 TFT로서 사용된다. 여기에서 언급된 구동회로는 라인 순차 구동 형식의 시프트 레지스터, 버퍼, 레벨 시프터, 및 래치를 포함함을 유의해야 할 것이다.

실시에 9에서는 n채널형 TFT의 활성 층이 소스 영역, 드레인 영역, 게이트 절연막을 개재하여 게이트 전극과 중첩된 중첩 LDD 영역(Lov 영역), 게이트 절연막을 개재하여 게이트 전극과 중첩되지 않는 오프셋 LDD 영역(Loff 영역), 및 채널 형성 구역을 포함한다.

또한, CMOS 회로의 p채널형 TFT에서 핫 캐리어 주입으로 인한 열화에 대해 크게 걱정할 필요가 없으므로, LDD 영역을 특별히 형성할 필요가 없게 된다. 물론, 핫 캐리어에 대비한 조치로서 n채널형 TFT의 LDD 영역과 유사한 LDD 영역을 형성하는 것도 가능하다.

특히, 도 16B의 상태까지 완료하였을 때에 기밀 특성이 높고 가스를 제거하는 성질이 적은 보호 막(적층 막 또는 자외선 경화 수지 막) 및 투명 밀봉 재료로 대기와의 노출이 없는 패키징(밀봉)을 실행하는 것이 바람직함을 유의해야 할 것이다. 그 경우, 밀봉 재료의 내부를 불활성 분위기로 하고 밀봉 재료의 내부에 건조제(예컨대, 산화바륨)를 배치하면, 발광 소자의 신뢰성이 향상된다.

또한, 패키징 공정 등에 따라 기밀 특성을 향상시킨 후에는 커넥터(가요성 인쇄 회로, FPC)를 부착하여 기판 상에 형성된 소자 및 회로로부터 인출된 단자를 외부 신호 단자에 접속하고, 그와 같이 하여 제품을 완성시킨다.

실시에 9에 예시된 공정에 따르면, 표시장치의 제조에 필요한 포토 - 마스크의 수를 줄이는 것이 가능하다. 결과적으로, 그것은 제조 단계의 단축, 제조 비용의 절감, 및 수율의 향상에 기여하게 된다.

[실시에 10]

실시에 1에 설명된 소스 신호선 구동회로는 실시에 9의 공정에 따라 TFT를 채용하여 절연 기판 상에 형성될 수 있다. 즉, 소스 신호선 구동회로는 액티브형 EL 표시장치는 물론 패시브형 EL 표시장치에서도 소스 신호선 구동회로로 제조될 수 있게 된다.

[실시에 11]

본 발명에 따른 EL 표시장치에서는 EL 소자에 포함된 EL 층의 재료가 유기 EL 재료에 한정되는 것이 아니라, 무기 EL 재료로 되어도 무방하다. 그러나, 현 시대의 무기 EL 재료는 매우 높은 구동 전압을 필요로 하기 때문에, 그러한 구동 전압을 견딜 수 있는 저항 전압 특성을 수반한 TFT가 채용되어야 한다.

환언하면, 장래에 보다 더 낮은 구동 전압의 무기 EL 재료가 개발된다면, 그것은 본 발명에 손쉽게 적용될 수 있을 것이다.

또한, 본 실시예의 구조는 실시에 1 내지 실시에 9 중의 임의의 구조와 선택적으로 결합될 수 있다.

[실시에 12]

본 발명에서는 EL 층에 사용되는 유기 재료가 저분자 유기물 또는 고 중합체형(고분자) 유기물 중의 어느 것으로 되어도 좋다. 저분자 유기물로서 공지된 재료 중에는 주로 Alq_3 (트리스 - 8 - 퀴놀리노라토 - 알루미늄) 또는 TPD(트리페닐아민 유도체) 등이 포함된다. 고 중합체형 유기물로서는 p - 짝 중합체형 물질을 들 수 있다. 그것에는 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 폴리카보네이트 등이 포함된다.

고 중합체형(고분자) 유기물의 박막은 스핀 코팅(즉, " 용액 코팅 "), 디핑, 디스펜싱, 인쇄, 또는 잉크젯과 같은 간단한 방법에 의해 형성될 수 있고, 저분자 유기물의 박막에 비해 열 저항 특성이 우수하다.

본 발명에 따른 EL 표시장치에 포함된 EL 소자에서 EL 소자의 EL 층이 전자 이송 층과 홀 이송 층을 포함하는 경우에는 전자 이송 층과 홀 이송 층은 각각 무기 재료, 예컨대 비정질 Si 또는 비정질 $Si_{1-x}C_x$ 와 같은 비정질 반도체로 되어도 좋다.

비정질 반도체 중에는 다량의 트랩 레벨이 존재하고, 다른 층과 접촉되어 놓인 비정질 반도체의 계면에는 다량의 중간 상태 밀도부가 형성된다. 따라서, EL 소자는 저전압에 의해 발광할 수 있고, 그 휘도가 높아질 수 있게 된다.

유기 EL 층은 도핑제(불순물)로 도핑되어 유기 EL 층의 발광 색을 변화하도록 하여도 좋다. 도핑제로서는 DCM1, 나일 레드(Nile red), 쿠마린(coumarine)6, TPB, 퀴나크리돈(quinacridon) 등을 들 수 있다.

[실시예 13]

본 실시예에서는 본 발명에 따른 EL 표시장치에 관해 도 21A 및 도 21B를 참조하여 설명하기로 한다. 도 21A는 EL 소자가 밀봉된 EL 소자로 형성된 TFT 기판의 상태를 나타내는 평면도이다. 점선으로 지시된 블록 "6801"은 소스 신호 측 구동회로이고, 유사하게 지시된 블록 "6802"는 게이트 신호 측 구동회로이며, 유사하게 지시된 블록 "6803"은 화소부이다. 또한, 도면 부호 "6804"는 커버 부재를, 도면 부호 "6805"는 제1 밀봉 부재를, 그리고 도면 부호 "6806"은 제2 밀봉 부재를 각각 지시하고 있다. TFT 기판(6800)과 제1 밀봉 부재(6805)로 둘러싸인 커버 부재(6804)의 내부와의 사이에는 충전재(6807)(도 21B를 참조)가 개재된다.

부연하면, 도면 부호 "6808"은 소스 신호 측 구동회로(6801), 게이트 신호 측 구동회로(6802), 및 화소부(6803)에 입력된 신호를 전송하는 역할을 하는 접속 배선을 지시하고 있다. 접속 배선(6808)은 외부 장치와의 접속 단자로서의 역할을 하는 FPC(가요성 인쇄 회로)(6809)로부터 비디오 신호 및 클록 신호를 수신한다.

여기에서, 도 21B에는 도 21A의 A-A' 선을 따른 수직 단면도가 도시되어 있다. 한편, 도 21A 및 도 21B에서는 동일한 도면 부호가 동일한 부분에 배정되어 있다.

도 21b에 도시된 바와 같이, 화소부(6803)와 소스 신호 측 구동회로(6801)는 기판(6800) 상에 형성된다. 화소부(6803)는 EL 소자를 통해 흐르는 전류를 제어하기 위한 TFT("스위칭용 TFT")(6851) 및 스위칭용 TFT(6851)의 드레인에 전기 접속된 화소 전극(6802)을 각각 포함하는 다수의 화소로 형성된다. 본 실시예에서는 스위칭용 TFT(6801)가 p채널형 TFT로 된다. 또한, 소스 신호 측 구동회로(6801)는 그 각각에 n채널형 TFT(6853)와 p채널형 TFT(6854)가 상보적으로 결합되어 있는 CMOS 회로를 사용하여 형성된다.

각각의 화소는 화소 전극(6852)의 아래에 컬러 필터(R)(6855), 컬러 필터(G)(6856), 및 컬러 필터(B)(6857)(도시를 생략함)를 포함하고 있다. 여기에서, "컬러 필터(R)"란 백색 광으로부터 적색 광을 추출하는 컬러 필터이고, "컬러 필터(G)"란 백색 광으로부터 녹색 광을 추출하는 컬러 필터이며, "컬러 필터(B)"란 백색 광으로부터 청색 광을 추출하는 컬러 필터이다.

컬러 필터는 사진 인쇄에 의해 제조될 수 있기 때문에 약 3mm의 정밀도로 형성될 수 있다. 컬러 필터를 채용할 경우에는 발광 층이 백색 광만을 발광하는 것으로도 충분하다. 즉, 화소는 금속 마스크를 사용하여 분할적으로 채색될 필요가 없다. 따라서, 화소를 더욱 미세하게 하는 것이 가능하게 된다.

또한, 컬러 필터를 채용하지 않는 종래의 구조는 외부로부터 EL 표시장치로 들어온 가시 광선이 EL 소자의 발광 층을 여기시켜 원하는 컬러가 현상되지 않게 하는 문제점을 일으킬 수도 있다. 그 반면에, 본 실시예에서와 같이 컬러 필터를 배치하면, 특정 파장의 광만이 EL 소자에 들어오게 된다. 환언하면, 본 실시예는 EL 소자가 외부 광에 의해 여기되는 단점을 방지할 수 있다.

다음으로, 화소 전극(6852)은 투명 도전막으로 형성되어 EL 소자의 양극으로서의 기능을 한다. 또한, 화소 전극(6852)의 단부에 절연막(6857)이 형성되고, 백색으로 발광하는 발광 층(6858)이 형성된다.

부연하면, 발광 층(6858)의 재료로서는 유기 재료뿐만 아니라 무기 재료가 사용될 수 있다. 발광 층이 전자 주입 층, 전자 이송 층, 홀 이송 층, 또는 홀 주입 층과 결합된 다층 구조를 채용하는 것도 역시 가능하다.

또한, 각각의 발광 층은 차광 특성이 있는 도전막으로 형성된 EL 소자의 음극(6860)에 의해 겹쳐 놓여진다. 음극(6860)은 모든 화소에 공통된 것으로서, 접속 배선(6808)을 경유하여 FPC(6809)에 전기 접속된다.

이어서, 디스펜서 등에 의해 제1 밀봉 부재(6805)가 형성되고, 스페이서(도시를 생략함)의 살포에 의해 커버 부재(6804)가 그에 접합된다. 다음으로, TFT 기판, 커버 부재(6804), 및 제1 밀봉 부재(6805)로 둘러싸인 영역으로의 진공 주입에 의해 충전재(6807)가 패킹된다.

또한, 본 실시예에서는 전술된 흡습성 물질로서 산화바륨이 충전재(6807) 중에 첨가된다. 부연하면, 본 실시예에서는 흡습성 물질이 충전재 중에 첨가되지만, 그것은 덩어리로 투여됨으로써 충전재 중에 포함될 수도 있다. 또한, 도시를 생략하였지만, 스페이서의 재료로서 흡습성 물질이 채용될 수도 있다.

이어서, 자외선 조사 또는 가열에 의해 충전재(6807)가 경화되고, 그에 입각하여 제1 밀봉 부재(6805)에 형성된 개구(도시를 생략함)가 폐쇄되게 된다. 제1 밀봉 부재(6805)의 개구를 폐쇄한 후에는 전도 재료(6862)를 사용하여 접속 배선(6808)과 FPC(6809)가 전기 접속된다. 또한, 제2 밀봉 부재(6806)가 제1 밀봉 부재(6805)의 노출 부분과 FPC(6809)의 일부를 덮도록 배치된다. 제1 밀봉 부재(6806)에는 제1 밀봉 부재(6805)의 재료와 유사한 재료가 채용되어도 좋다.

전술된 방법에 의해 EL 소자가 충전재(6807)로 밀봉되고 나면, EL 소자는 완전히 차폐되어 물과 산소와 같이 유기물의 산화를 촉진하는 물질이 외부로부터 침입하는 것이 방지될 수 있다. 따라서, 신뢰성이 높은 EL 표시장치가 제조될 수 있게 된다.

또한, 본 발명을 채용함으로써 기존의 액정 표시장치용 생산라인을 전용하여 설비 투자의 비용을 현격히 절감할 수 있고, 가용도가 높은 고정에 의해 단일 기판으로부터 다수의 발광 장치를 제조하여 제조 비용을 현격히 절감할 수 있게 된다.

[실시예 14]

본 실시예에서는 실시예 13에 설명된 EL 표시장치에서 각각의 EL 소자로부터의 광의 방사 방향 및 컬러 필터의 배치가 상이하게 되는 경우에 관해 예시하기로 한다. 상이한 부분에 새로운 도면 부호가 배정되어 있는 도 22가 참조될 것이고, 본 실시예의 기본 구조는 도 21B에서와 동일하기 때문에 주로 그러한 상이한 부분에 관해 설명하기로 한다.

본 실시예에서는 화소부(6901)의 각각의 스위칭용 TFT(6902)로서 n채널형 TFT가 채용된다. 또한, 스위칭용 TFT(6902)의 드레인에는 화소 전극(6903)이 전기 접속되고, 그 화소 전극(6903)은 차광 특성이 있는 도전막으로 형성된다. 본 실시예에서는 화소 전극(6903)이 EL 소자의 음극으로서의 역할을 하게 된다.

또한, 백색으로 발광하고 본 발명을 채용함으로써 형성된 발광 층(6858) 상에는 화소부의 모든 화소에 공통된 투명 도전막(6904)이 형성된다. 그러한 투명 도전막(6904)은 EL 소자의 양극으로서의 역할을 하게 된다.

또한, 본 실시예는 컬러 필터(R)(6905), 컬러 필터(G)(6906), 및 컬러 필터(B)(도시를 생략함)가 커버 부재(6804)에 형성되는 것을 특징으로 한다. 도 22에 도시된 본 실시예의 EL 소자의 구조에서는 발광 층(6858)으로부터 발광되는 광이 커버 부재(6804) 쪽으로 방사되므로, 컬러 필터가 광로에 배치될 수 있게 된다.

본 실시예에서와 같이 컬러 필터(R)(6905), 컬러 필터(G)(6906), 및 컬러 필터(B)(도시를 생략함)가 커버 부재(6804)에 배치되면, TFT 기판의 처리 단계의 수가 감소될 수 있고, 제품의 가용도 및 단위 처리량이 증대될 수 있는 장점이 있게 된다.

[실시예 15]

본 발명을 적용함으로써 제조된 전자 표시장치, 특히 EL 표시장치는 각종의 전자 장치에 사용될 수 있다. 이하, 본 발명을 적용함으로써 제조된 전자 표시장치를 표시 매체로서 통합하고 있는 전자 장치에 관해 설명하기로 한다.

그러한 전자 장치는 비디오 카메라, 디지털 카메라, 헤드 장착형 표시장치(고글형 표시장치), 게임기, 차량 항법 시스템, PC, 휴대 정보 터미널(이동 컴퓨터, 휴대 전화, 전자 수첩 등) 등을 포함한다. 그러한 전자 장치의 예는 도 24에 도시되어 있다.

도 24A는 본체(2001), 케이싱(2002), 표시부(2003), 키보드(2004) 등을 포함하는 PC를 나타낸 것이다. 본 발명의 EL 표시장치는 PC의 표시부(2003)에 사용될 수 있다.

도 24B는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 수상부(2106) 등을 포함하는 비디오 카메라를 나타낸 것이다. 본 발명의 EL 표시장치는 비디오 카메라의 표시부(2102)에 사용될 수 있다.

도 24C는 본체(2301), 신호 케이블(2302), 헤드 고정 밴드(2303), 표시부(2304), 광학계(2305), 표시부(2306) 등을 포함하는 헤드 장착형 EL 표시장치의 일부(우측 부분)를 나타낸 것이다. 본 발명의 EL 표시장치는 헤드 장착형 EL 표시장치의 표시부(2306)에 사용될 수 있다.

도 24D는 녹화 매체를 구비하고, 본체(2401), 녹화 매체(CD, LD, 또는 DVD와 같은)(2402), 조작 스위치(2403), 표시부(a)(2404), 표시부(b)(2405) 등을 포함하는 화상 재생 장치(특히, DVD 재생 장치)를 나타낸 것이다. 표시부(a)(2404)는 주로 화상 정보를 표시하는데 사용되고, 표시부(b)(2405)는 주로 문자 정보를 표시하는데 사용된다. 본 발명의 EL 표시장치는 녹화 매체를 구비한 화상 재생 장치의 표시부(a)(2404) 및 표시부(b)(2405)에 사용될 수 있다. 본 발명은 CD 재생 장치 및 녹화 매체를 구비한 화상 재생 장치로서의 게임기와 같은 장치에 적용될 수 있음을 유의해야 할 것이다.

도 24E는 본체(2501), 카메라부(2502), 수상부(2503), 조작 스위치(2504), 표시부(2505) 등을 포함하는 이동 컴퓨터를 나타낸 것이다. 본 발명의 EL 표시장치는 이동 컴퓨터의 표시부(2402)에 사용될 수 있다.

또한, 장래에 유기 화합물 재료의 휘도가 증대된다면, 본 발명의 EL 표시장치는 전방형 또는 후방형 프로젝터에 사용될 수도 있을 것이다.

전술된 바와 같이, 본 발명의 적용 가능 범위는 매우 광범위하여 본 발명을 제반 분야의 전자 장치에 적용하는 것이 가능하다. 또한, 본 실시예의 전자 장치는 실시예 1 내지 실시예 14가 자유롭게 결합된 구성을 사용하여 실현될 수 있다.

발명의 효과

선행 기술의 패시브형 EL 표시장치에서는 반도체 기판 상에 단일 라인 구동회로가 제조된다. 따라서, 구동회로를 절연 기판 상에 제조된 화소에 접속할 경우에 불리하게도 기판 재료의 불일치로 인해 열에 의한 일그러짐이 생기게 된다. 또한, 선행 기술의 액티브형 EL 표시장치에서는 각각의 화소의 크기를 작게 할 경우에 화소 내에서 트랜지스터가 점유하는 비율이 커져서 개구율을 감소시키게 된다.

그와는 대조적으로, 본 발명은 전술된 구조에 의해 신호선 구동회로를 절연 기판 상에 형성할 수 있다. 또한, 본 발명은 액티브형 EL 표시장치의 개구율을 증대시킬 수 있다. 따라서, 본 발명은 신뢰성이 높은 패시브형 EL 표시장치를 제공할 수 있을 뿐만 아니라, 상 품질이 높은 액티브형 EL 표시장치를 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1.

다수의 신호선 및 신호선 구동회로를 구비하고,

신호선 구동회로는

1 라인 기간에 걸쳐 입력된 디지털 신호를 샘플링하는 디지털 신호 샘플링 회로;

1 라인 기간 동안 샘플링된 디지털 신호를 그 속에 기억하는 기억회로;

기억된 디지털 신호를 상응하는 지속 시간의 펄스로 변환하는 기억회로; 및

펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로로 이루어지는 것을 특징으로 하는 표시장치.

청구항 2.

제 1 항에 있어서, 신호선 구동회로는 TFT를 사용하여 이루어지는 것을 특징으로 하는 표시장치.

청구항 3.

제 1 항에 따른 표시장치를 포함하는 컴퓨터.

청구항 4.

제 1 항에 따른 표시장치를 포함하는 비디오 카메라.

청구항 5.

제 1 항에 따른 표시장치를 포함하는 DVD 플레이어.

청구항 6.

다수의 소스 신호선 및 소스 신호선 구동회로를 구비하고,

소스 신호선 구동회로는

1 라인 기간에 걸쳐 입력된 디지털 신호를 샘플링하는 디지털 신호 샘플링 회로;

1 라인 기간 동안 샘플링된 디지털 신호를 그 속에 기억하는 기억회로;

기억된 디지털 신호를 상응하는 지속 시간의 펄스로 변환하는 기억회로; 및

펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로로 이루어지는 것을 특징으로 하는 액티브형 표시장치.

청구항 7.

제 6 항에 있어서, 소스 신호선 구동회로는 TFT를 사용하여 이루어지는 것을 특징으로 하는 표시장치.

청구항 8.

제 6 항에 따른 표시장치를 포함하는 컴퓨터.

청구항 9.

제 6 항에 따른 표시장치를 포함하는 비디오 카메라.

청구항 10.

제 6 항에 따른 표시장치를 포함하는 DVD 플레이어.

청구항 11.

다수의 소스 신호선;

다수의 게이트 신호선;

다수의 화소;

다수의 소스 신호선에 신호를 입력하기 위한 소스 신호선 구동회로; 및

다수의 게이트 신호선에 신호를 입력하기 위한 게이트 신호선 구동회로를 구비하고, 다수의 화소는 각각 EL 소자, 및 하나의 스위칭용 TFT를 포함하며, 스위칭용 TFT는

다수의 게이트 신호선 중의 하나에 접속된 게이트 전극; 및

그 하나가 다수의 소스 신호선 중의 하나에 접속되는 반면에, 다른 하나가 EL 소자에 포함된 음극과 양극 중의 하나에 접속되는 소스 영역과 드레인 영역을 구비하는 것을 특징으로 하는 표시장치.

청구항 12.

제 11 항에 있어서, 소스 신호선 구동회로는

1 라인 기간에 걸쳐 입력된 디지털 신호를 샘플링하는 디지털 신호 샘플링 회로;

1 라인 기간 동안 샘플링된 디지털 신호를 그 속에 기억하는 기억회로;

기억된 디지털 신호를 상응하는 지속 시간의 펄스로 변환하는 기억회로; 및

펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로로 이루어지는 것을 특징으로 하는 표시장치.

청구항 13.

제 11 항에 있어서, EL 소자는 단색 광을 발광하고 컬러 변환 층과 협력하여 컬러 표시를 제공할 수 있는 EL 층을 포함하는 것을 특징으로 하는 표시장치.

청구항 14.

제 13 항에 있어서, EL 층은 저분자와 고 중합체형 유기물로 이루어진 군으로부터 선택된 원소로 되는 것을 특징으로 하는 표시장치.

청구항 15.

제 14 항에 있어서, 저분자 유기물은 Alq_3 (트리스 - 8 - 퀴놀리노라토 - 알루미늄) 및 TPD(트리페닐아민 유도체)로 이루어진 군으로부터 선택된 원소로 되는 것을 특징으로 하는 표시장치.

청구항 16.

제 14 항에 있어서, 고 중합체형 유기물은 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 및 폴리카보네이트로 이루어진 군으로부터 선택된 원소로 되는 것을 특징으로 하는 표시장치.

청구항 17.

제 13 항에 있어서, EL 층은 무기물로 되는 것을 특징으로 하는 표시장치.

청구항 18.

제 11 항에 있어서, EL 소자는 단색 광을 발광하고 컬러 변환 층과 협력하여 컬러 표시를 제공할 수 있는 EL 층을 포함하는 것을 특징으로 하는 표시장치.

청구항 19.

제 18 항에 있어서, EL 층은 저분자와 고 중합체형 유기물로 이루어진 군으로부터 선택된 원소로 되는 것을 특징으로 하는 표시장치.

청구항 20.

제 19 항에 있어서, 저분자 유기물은 Alq_3 (트리스 - 8 - 퀴놀리노라토 - 알루미늄) 및 TPD(트리페닐아민 유도체)로 이루어진 군으로부터 선택된 원소로 되는 것을 특징으로 하는 표시장치.

청구항 21.

제 19 항에 있어서, 고 중합체형 유기물은 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 및 폴리카보네이트로 이루어진 군으로부터 선택된 원소로 되는 것을 특징으로 하는 표시장치.

청구항 22.

제 18 항에 있어서, EL 층은 무기물로 되는 것을 특징으로 하는 표시장치.

청구항 23.

제 11 항에 따른 표시장치를 포함하는 컴퓨터.

청구항 24.

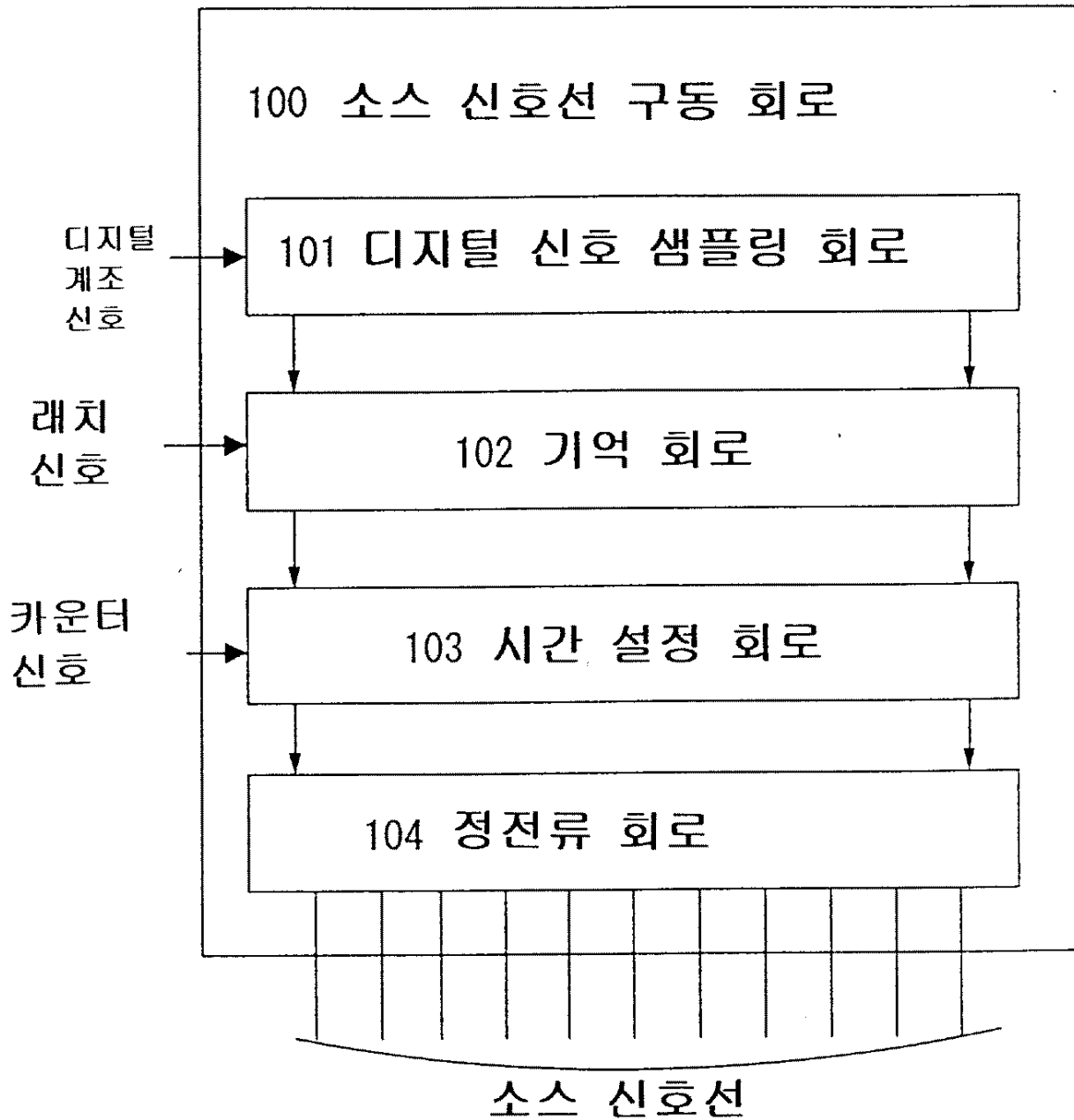
제 11 항에 따른 표시장치를 포함하는 비디오 카메라.

청구항 25.

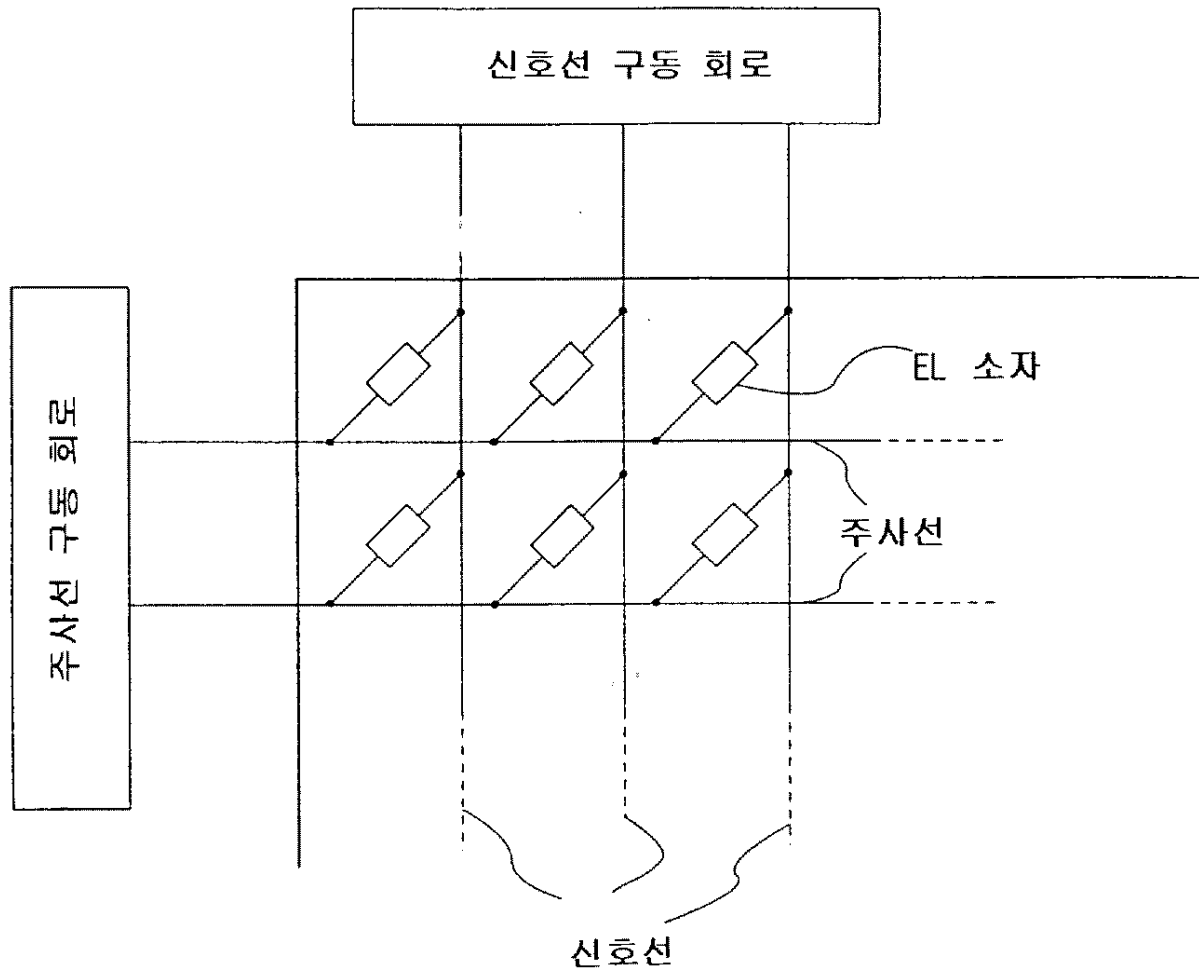
제 11 항에 따른 표시장치를 포함하는 DVD 플레이어.

도면

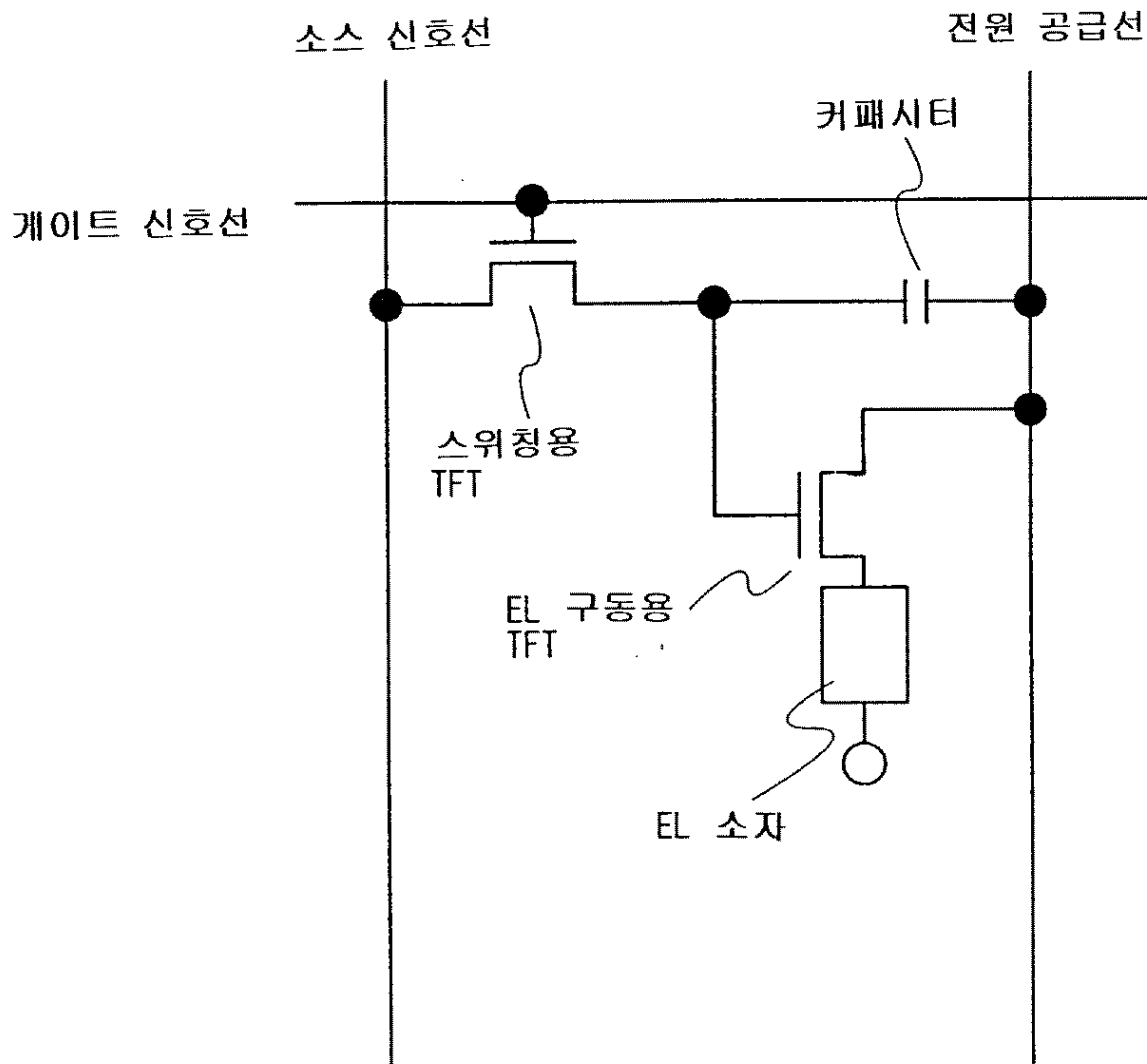
도면 1



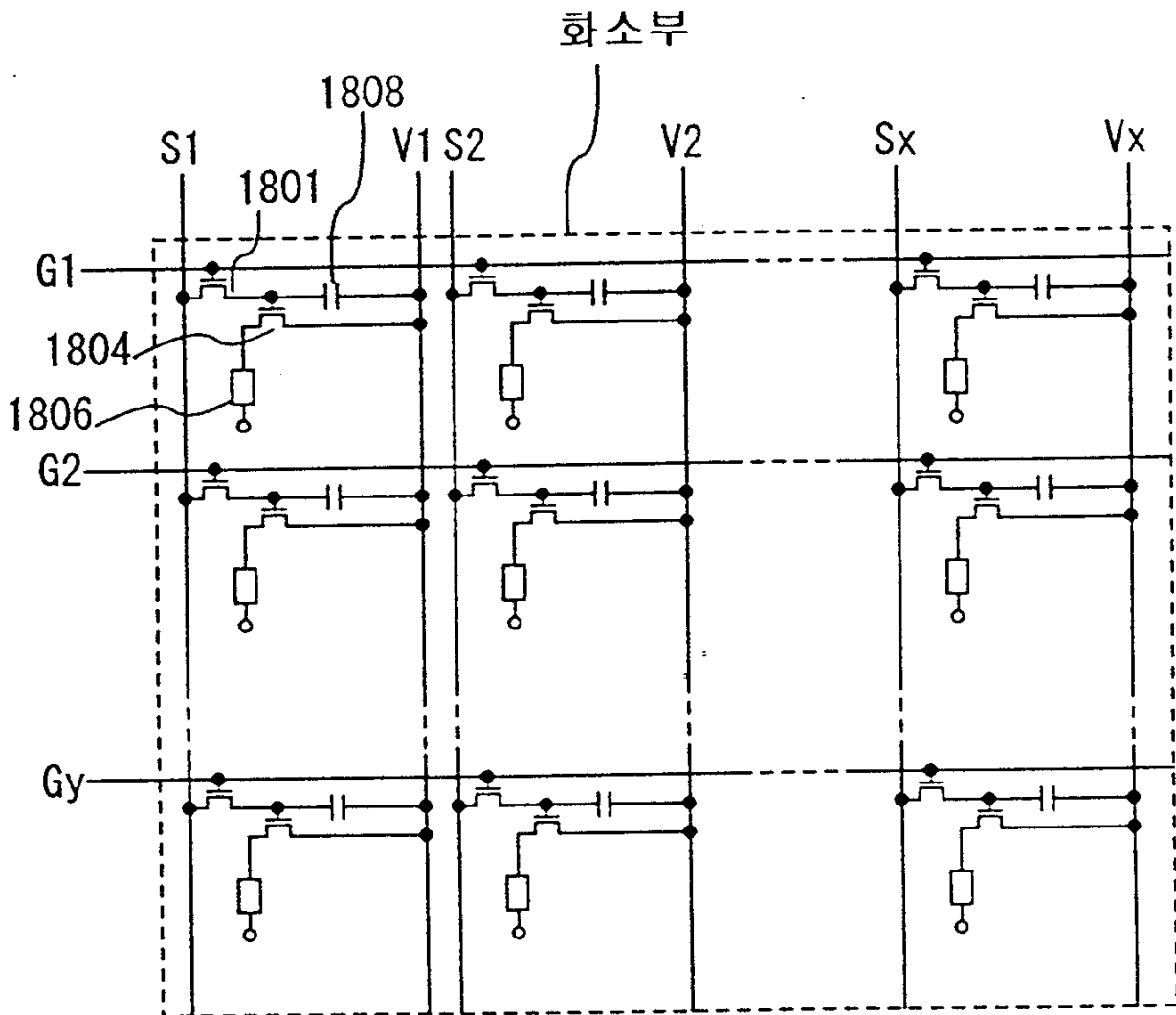
도면 2



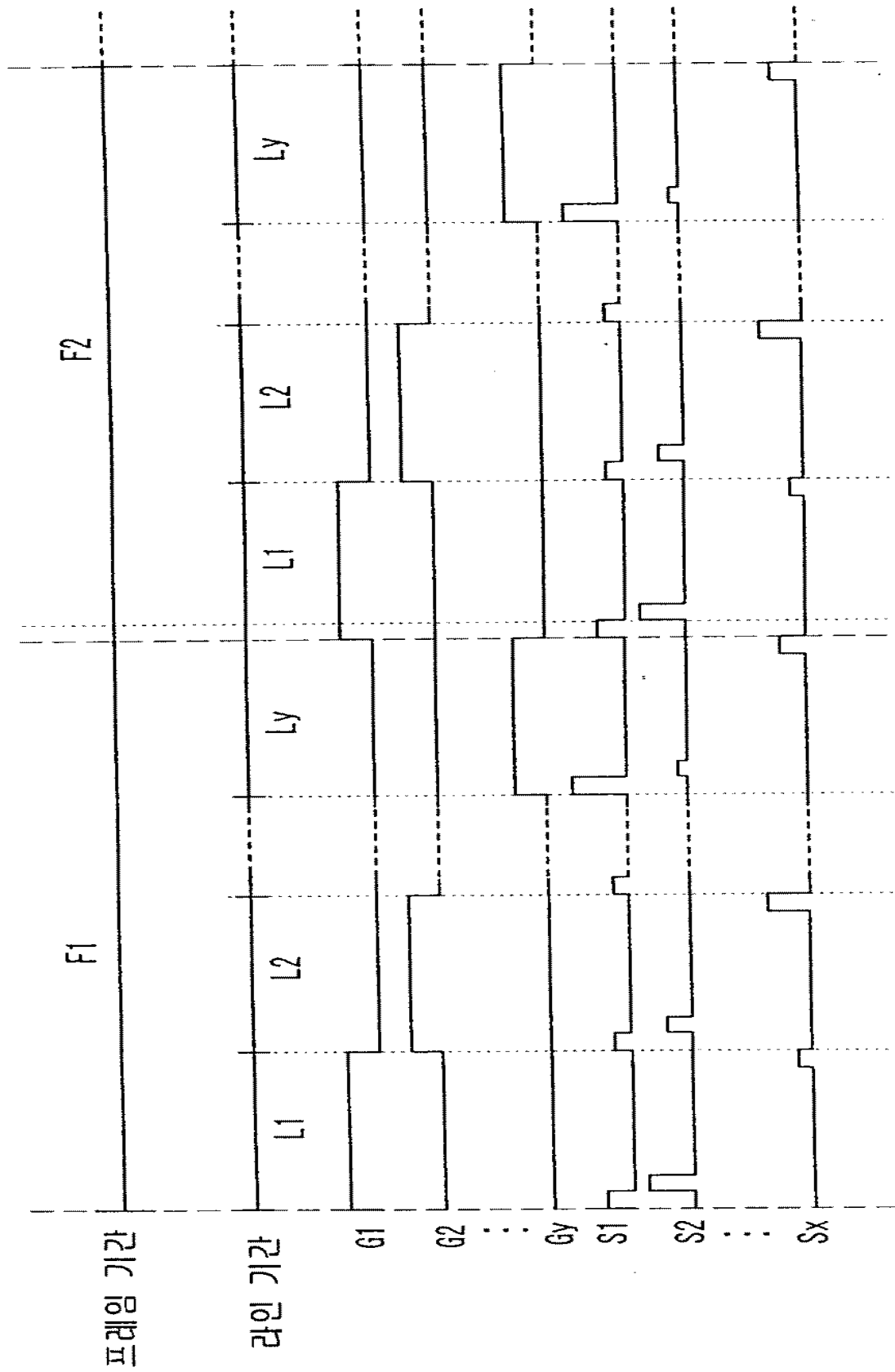
도면 3



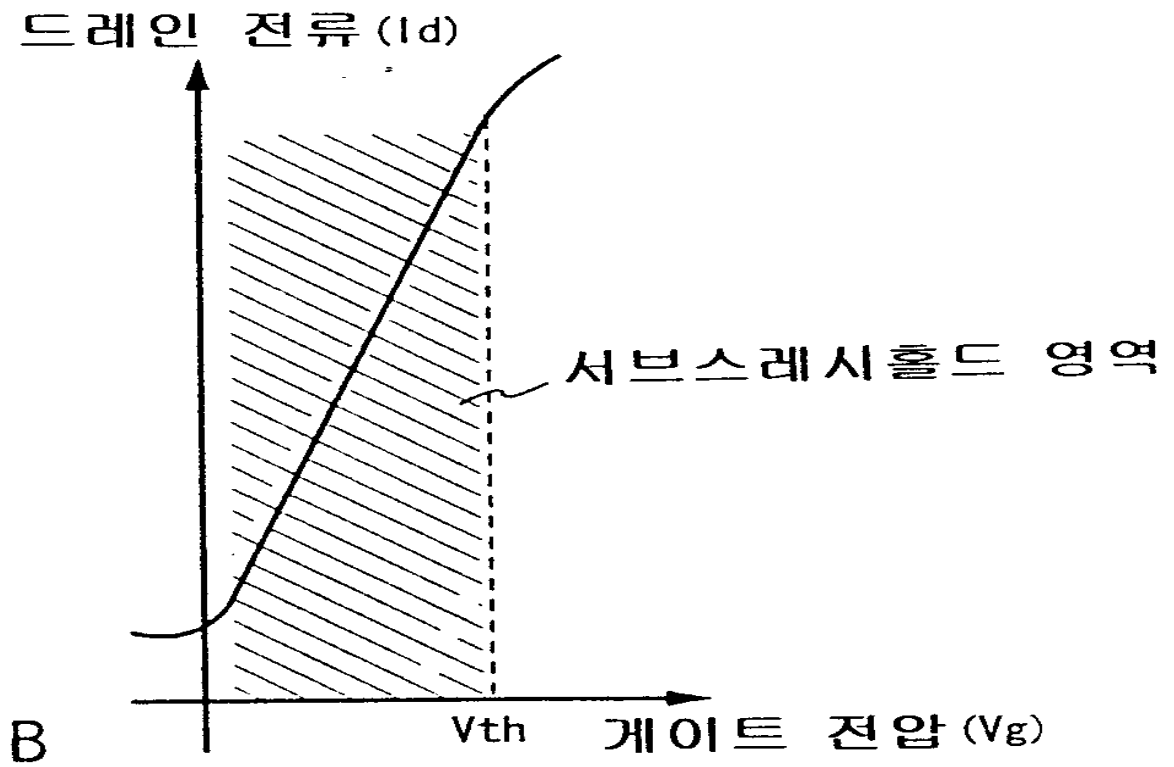
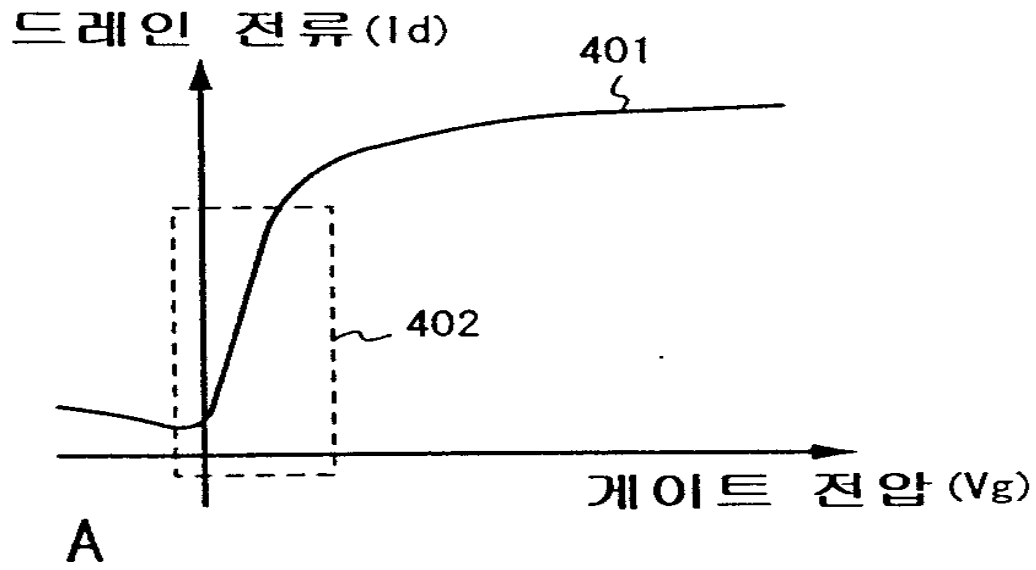
도면 4



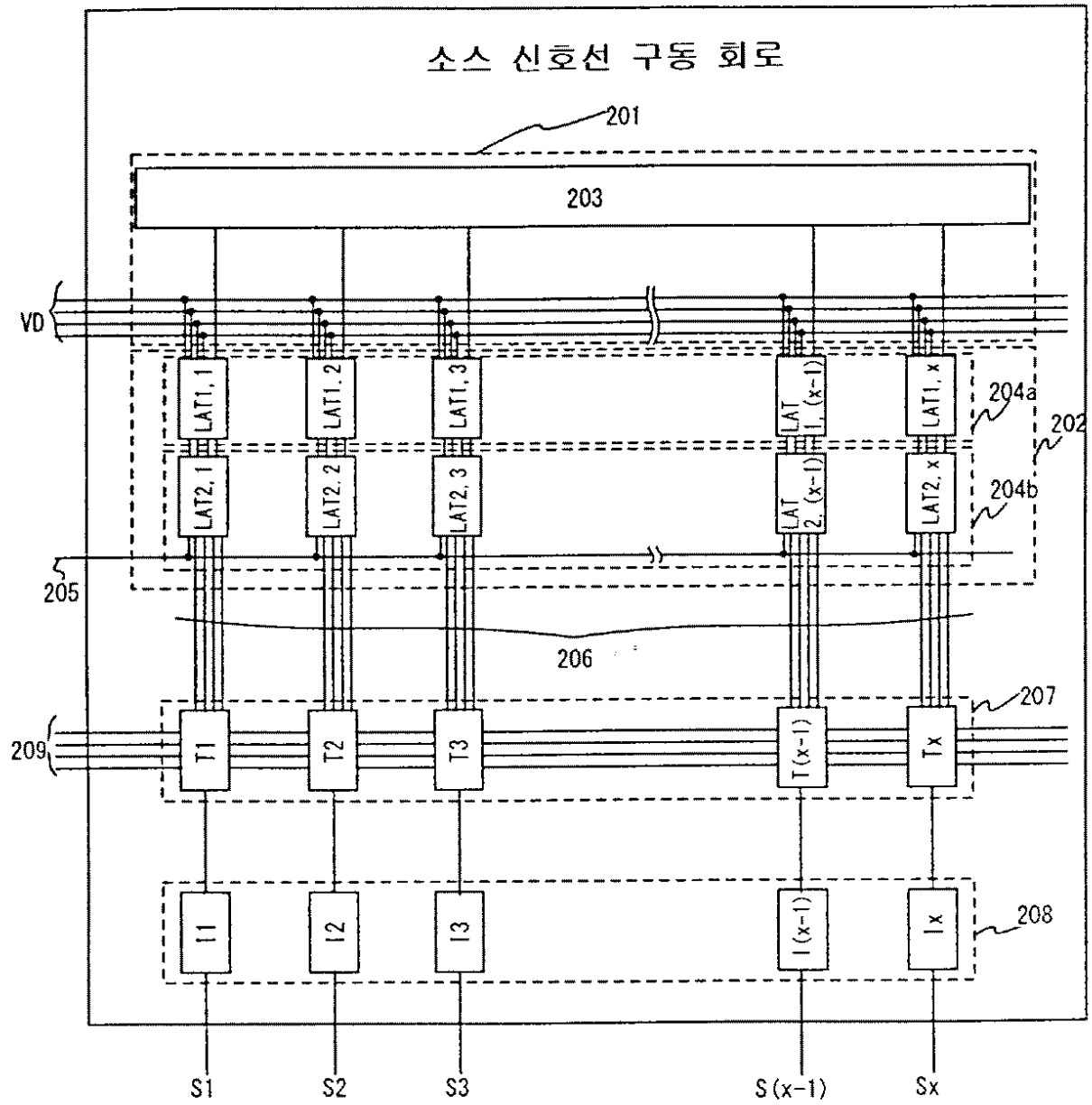
도면 5



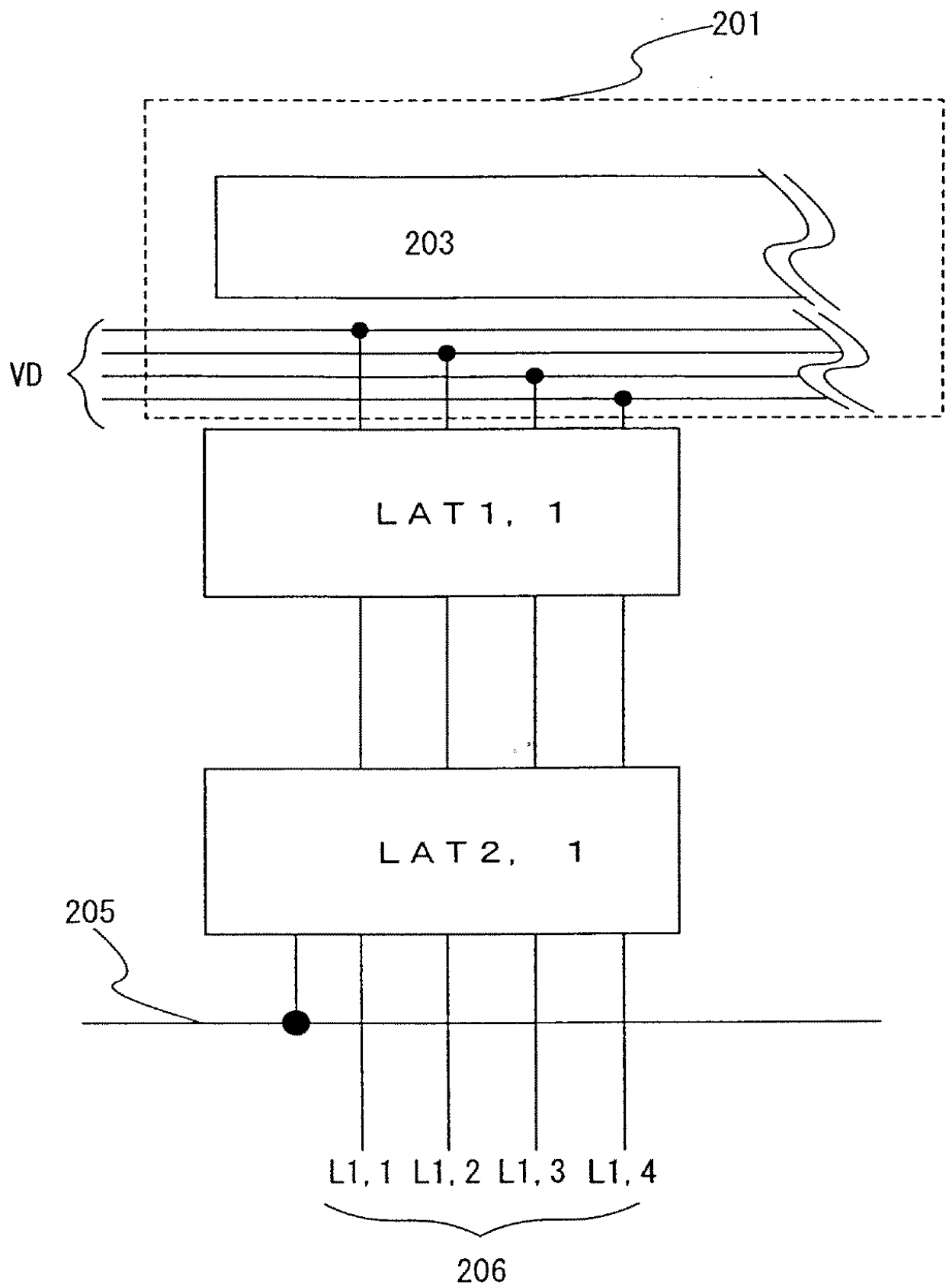
도면 6



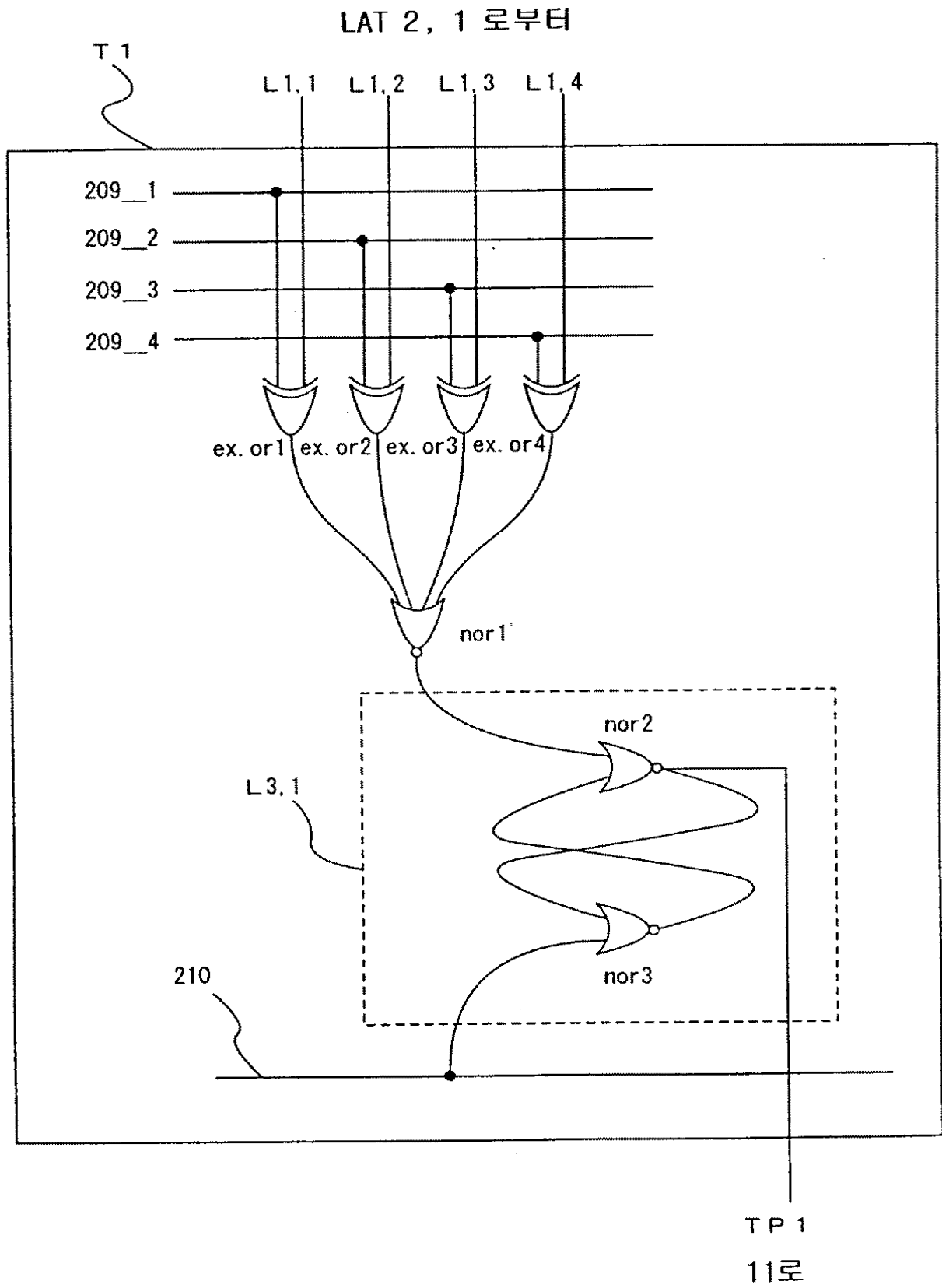
도면 7



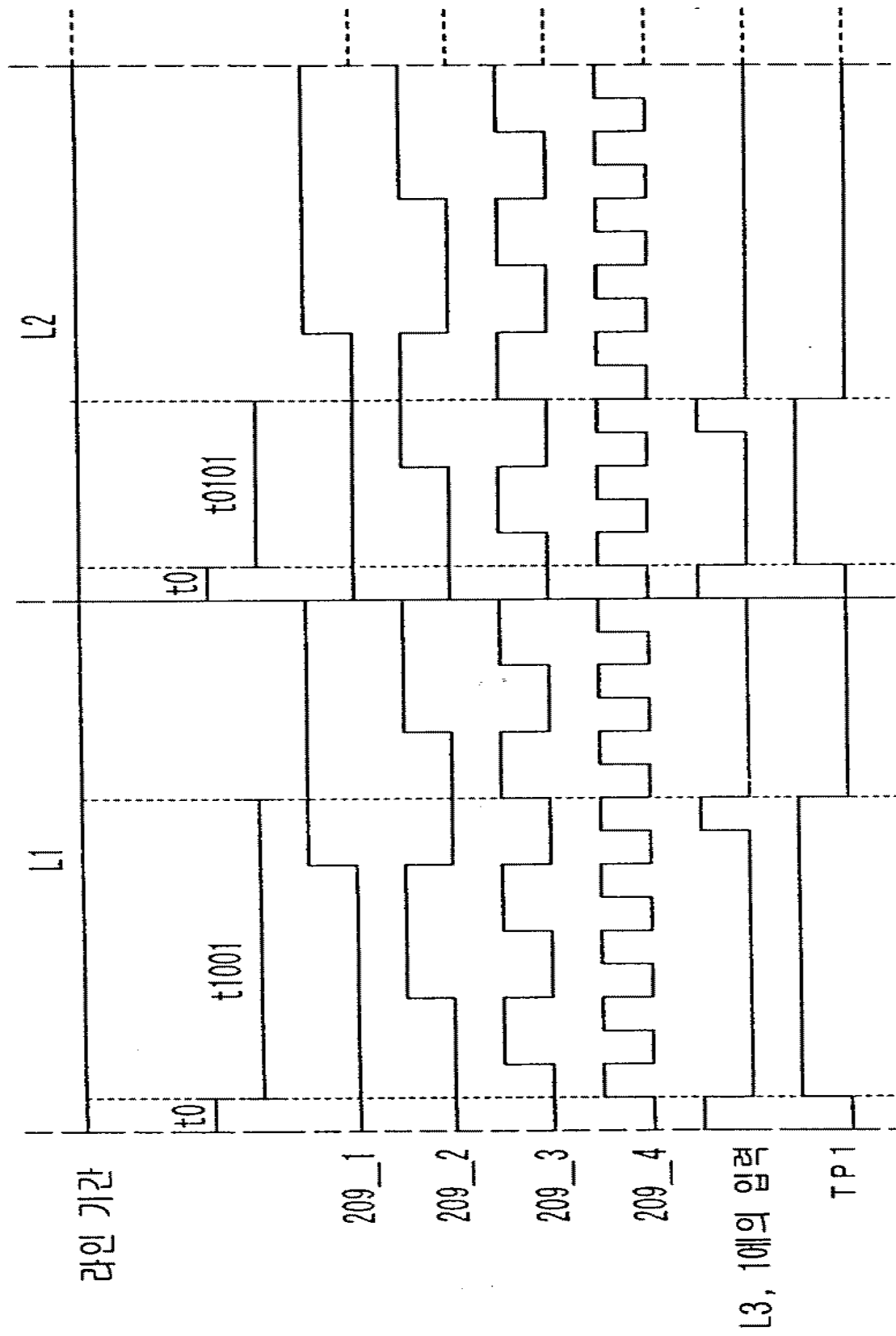
도면 8



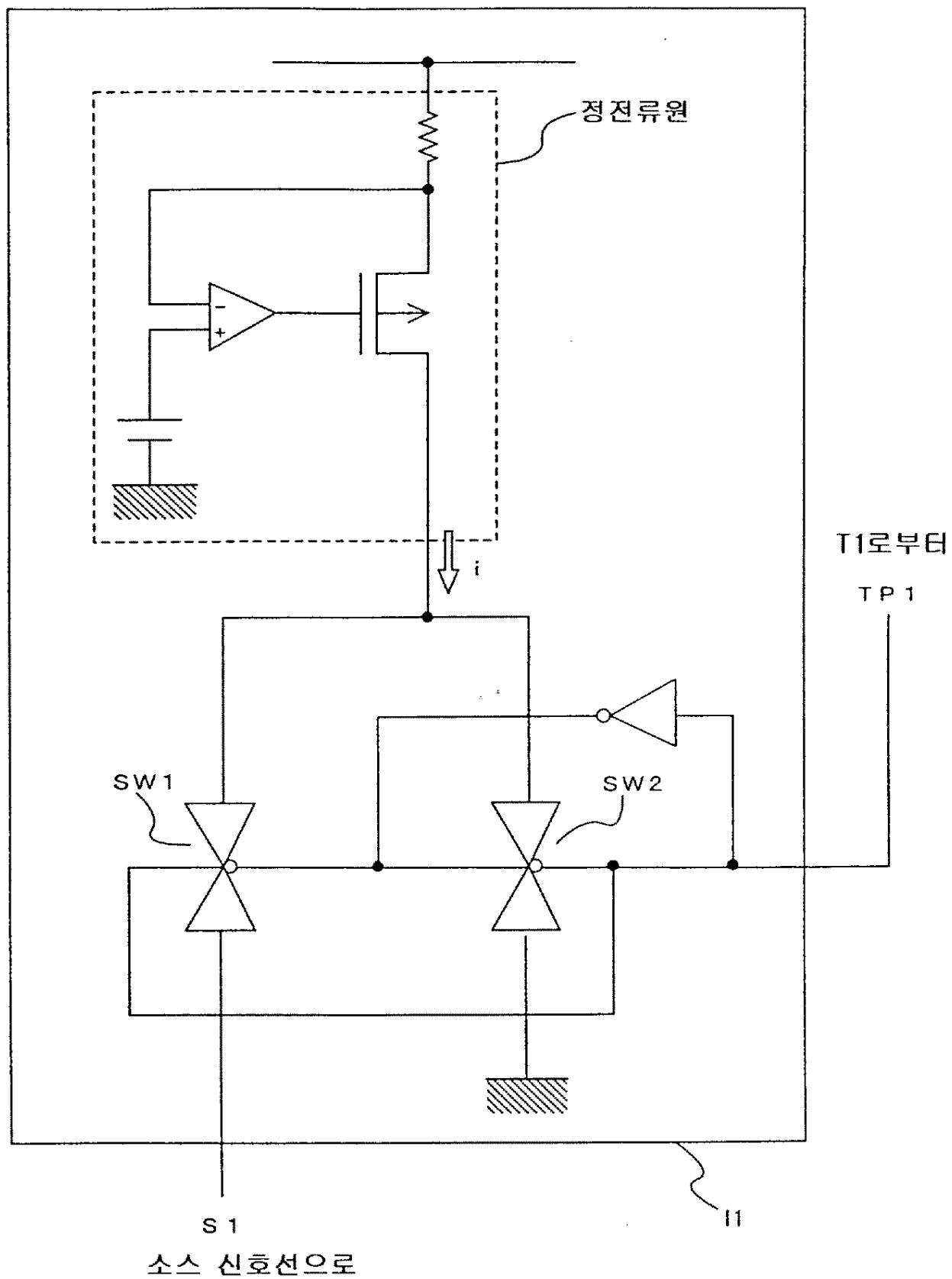
도면 9



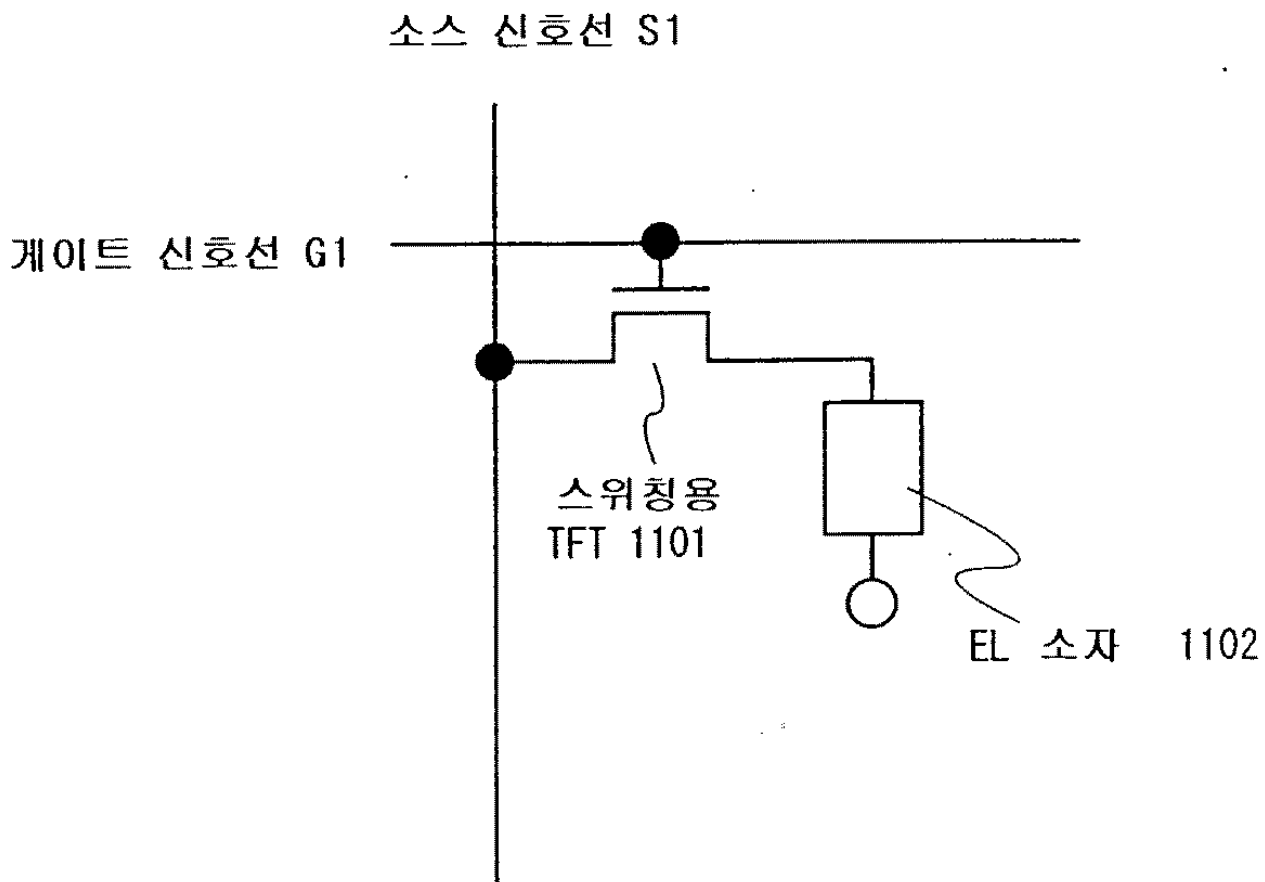
도면 10



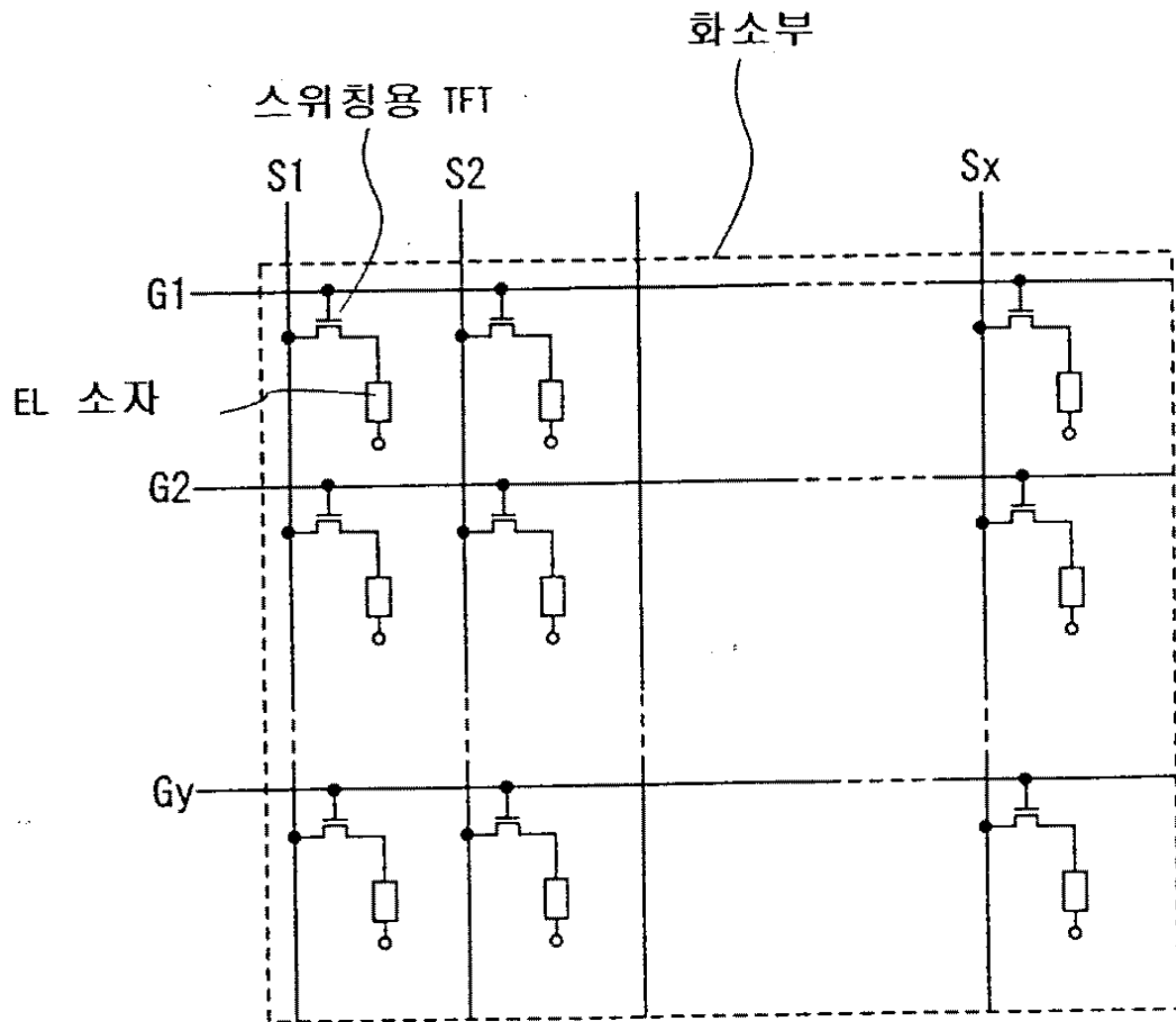
도면 11



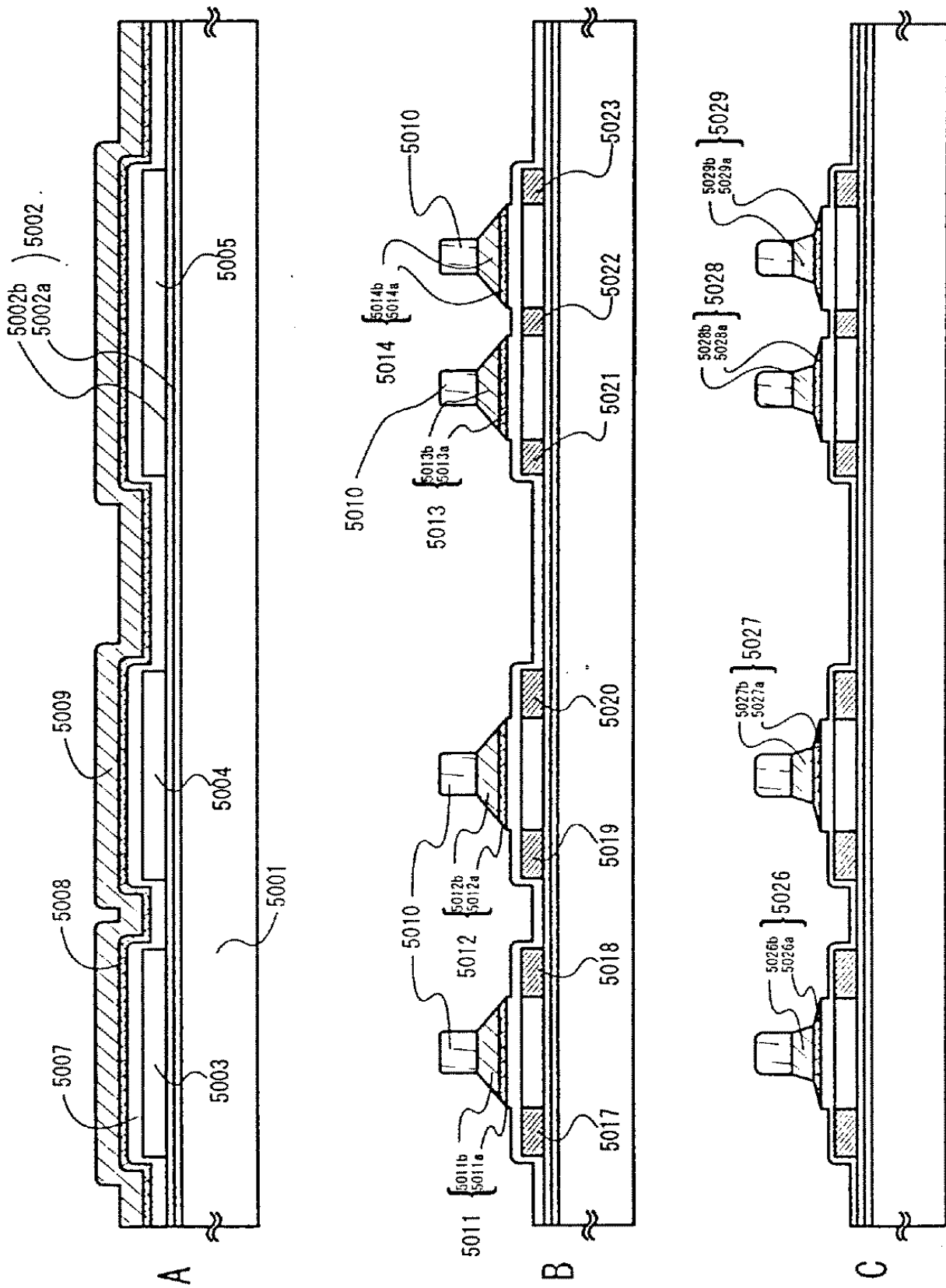
도면 12



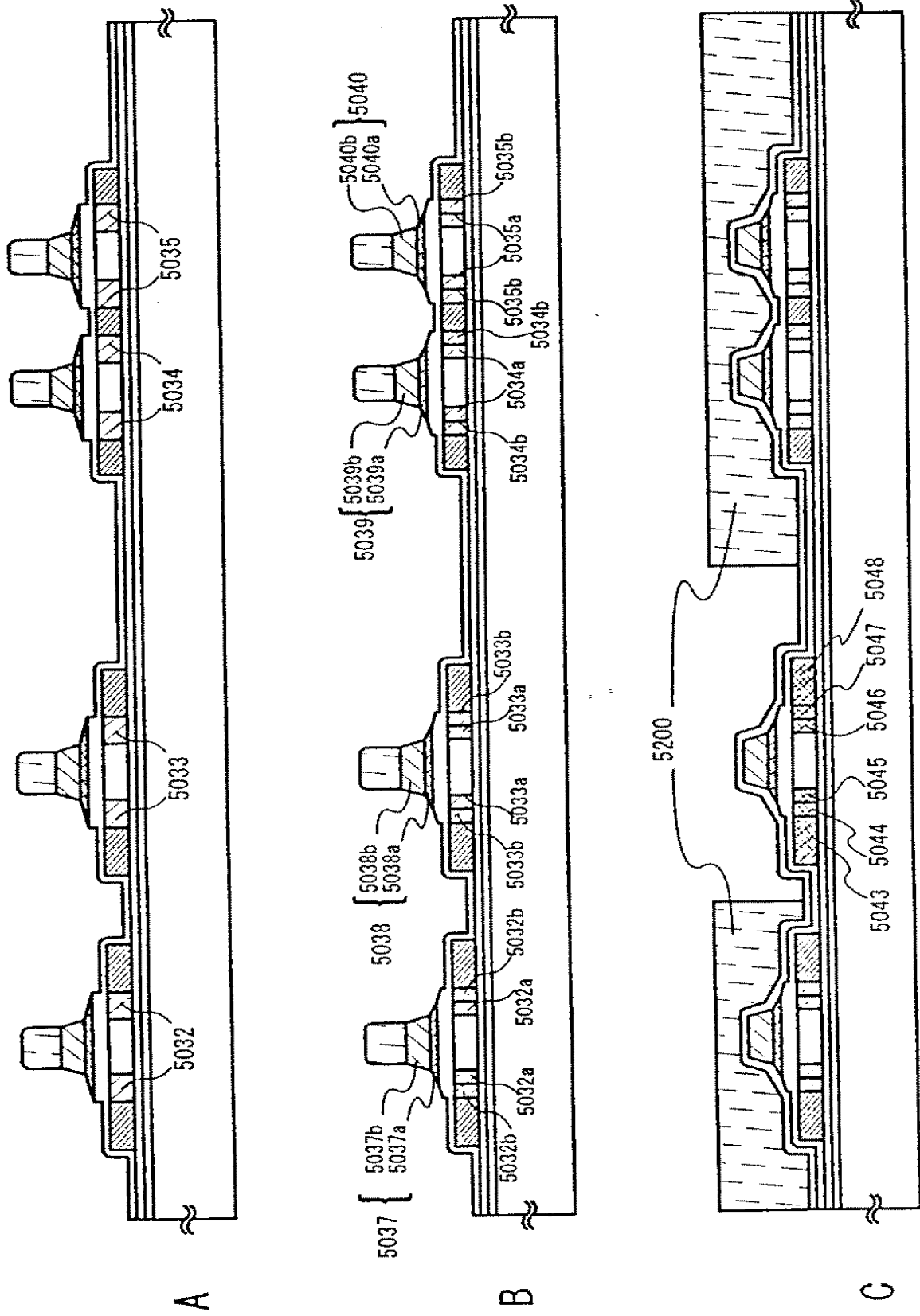
도면 13



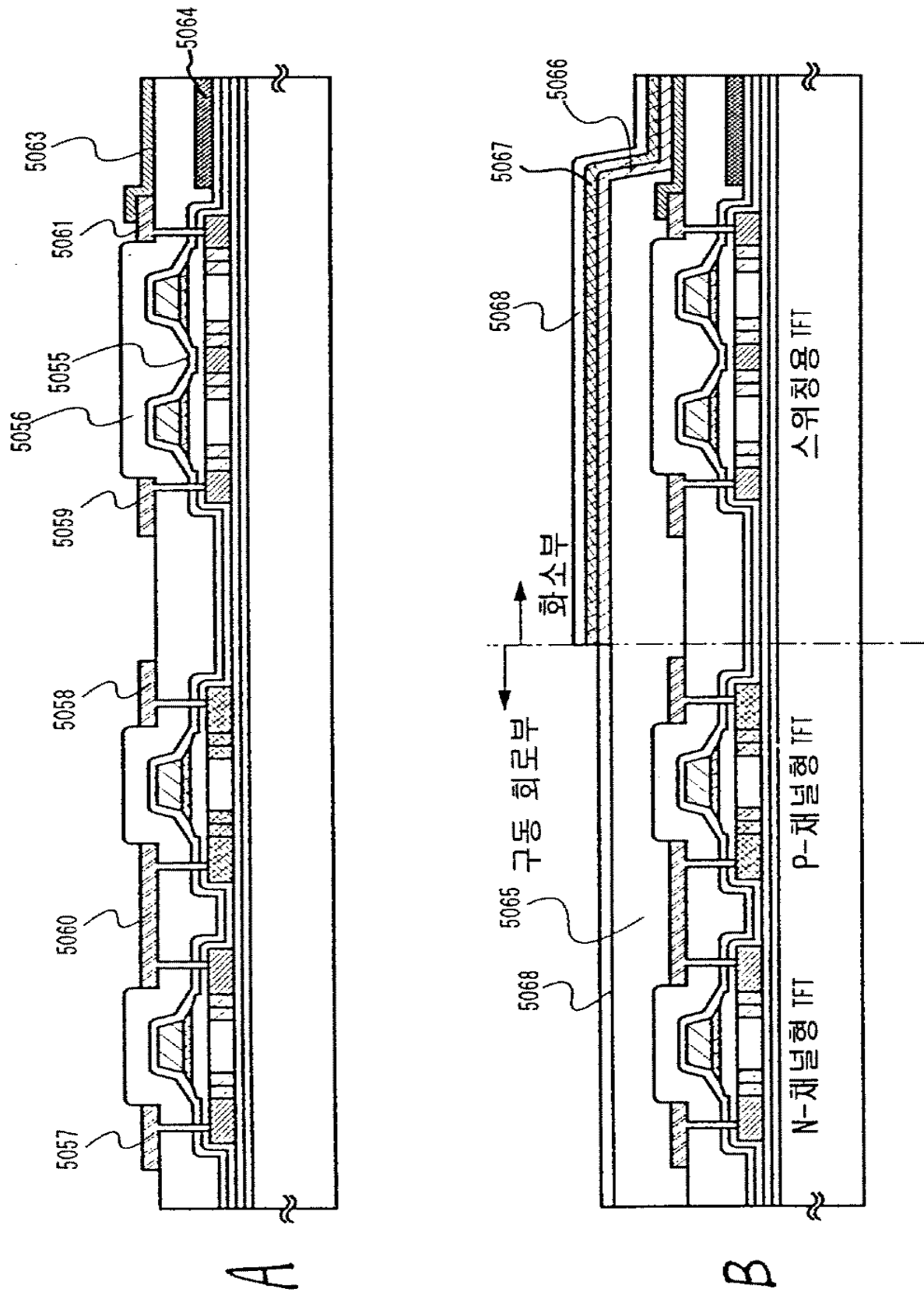
도면 14



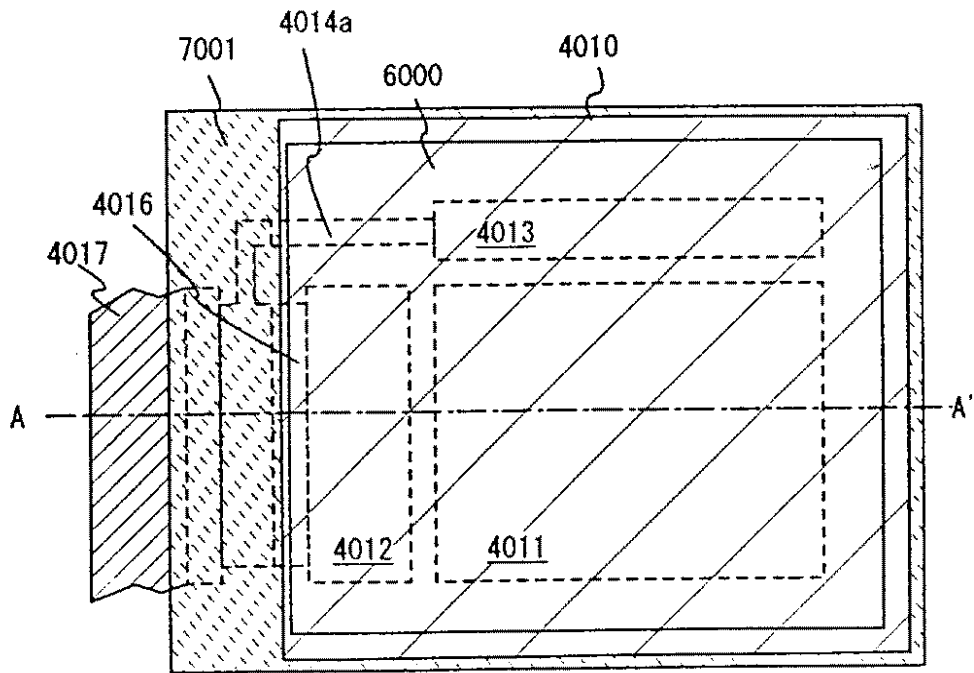
도면 15



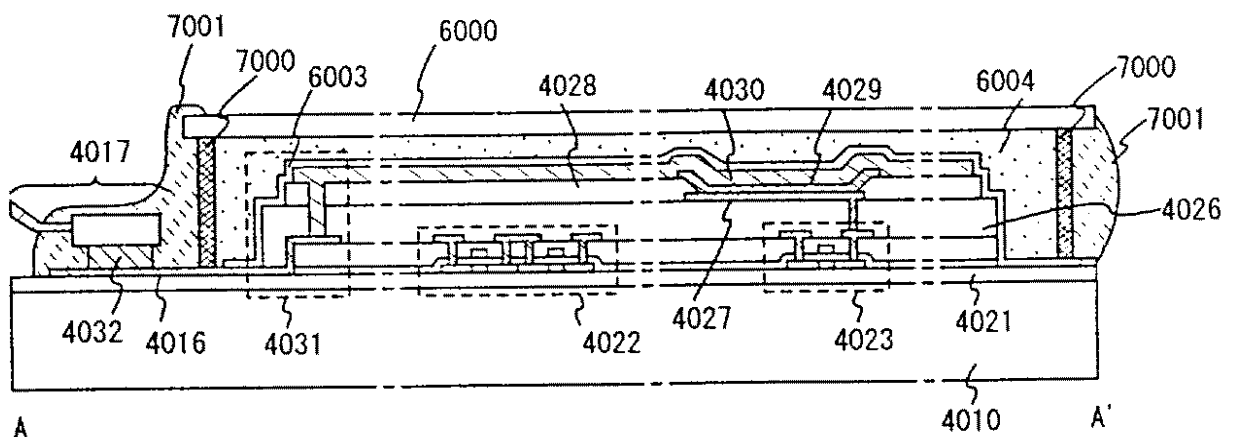
도면 16



도면 17

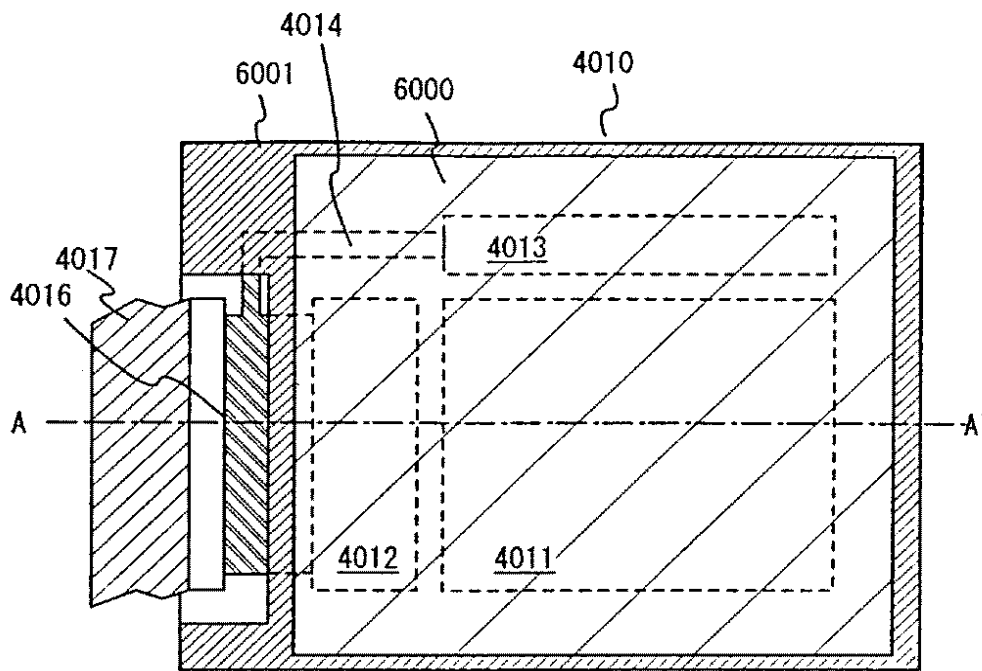


A

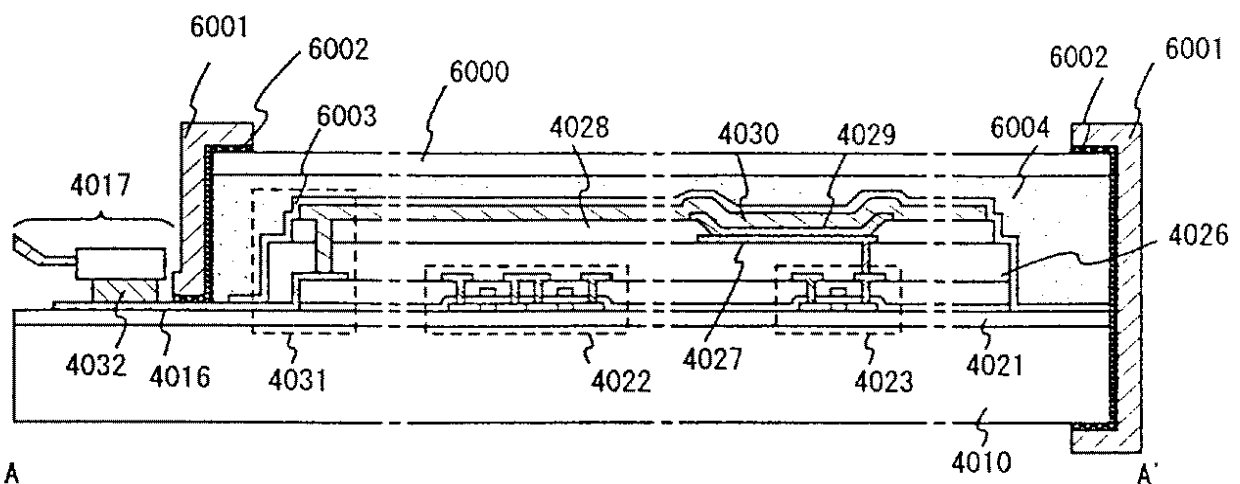


B

도면 18

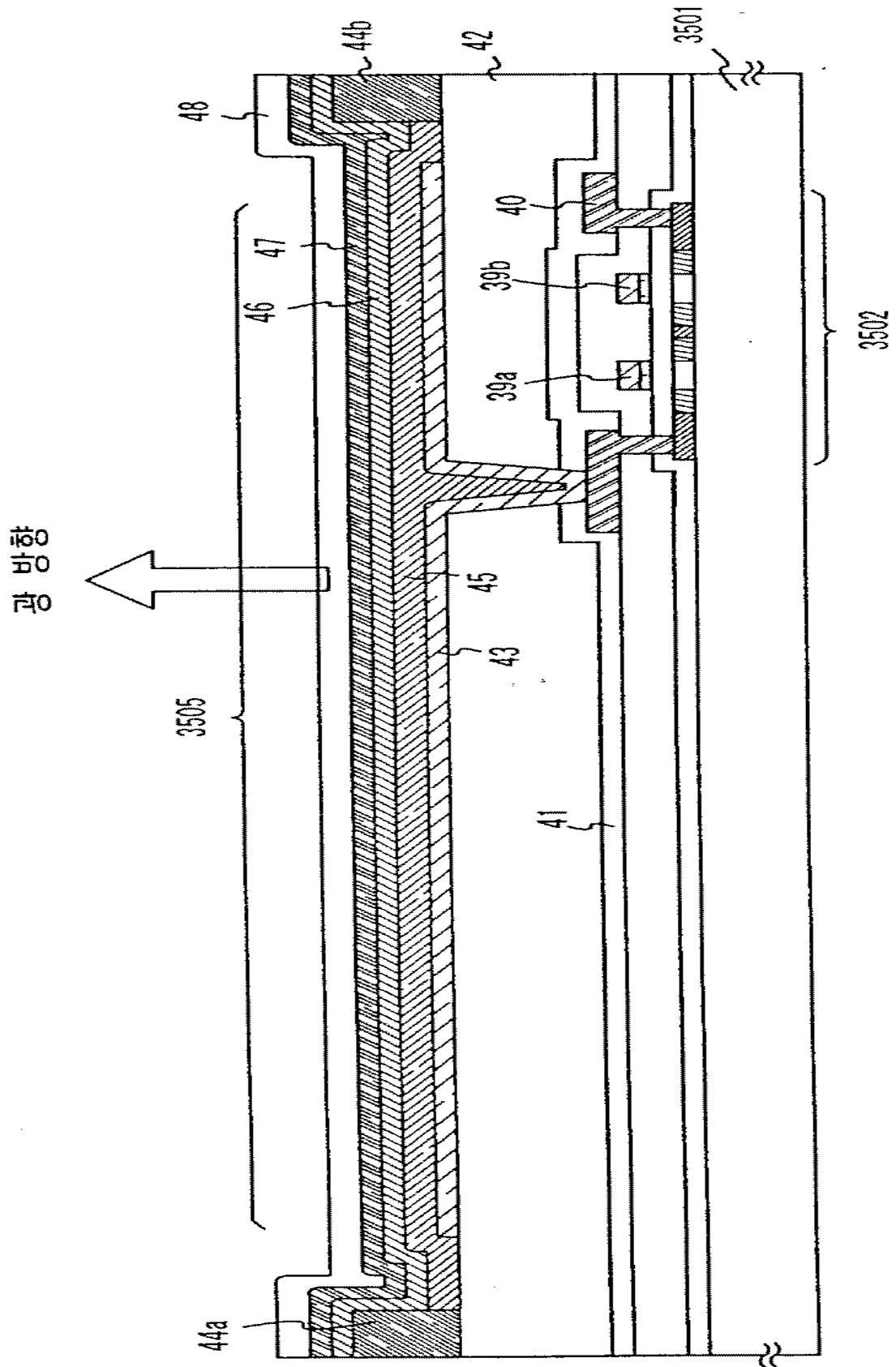


A

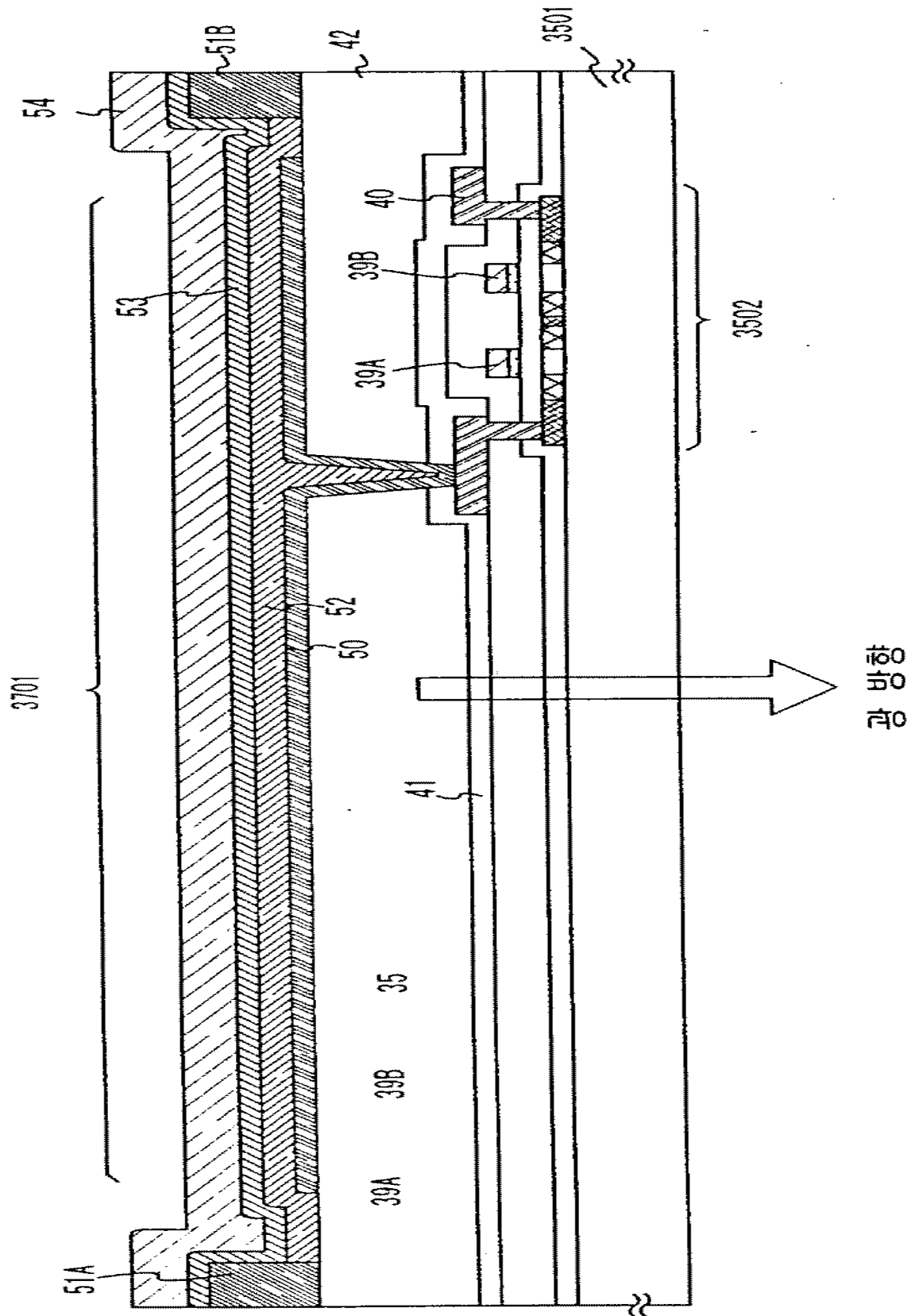


B

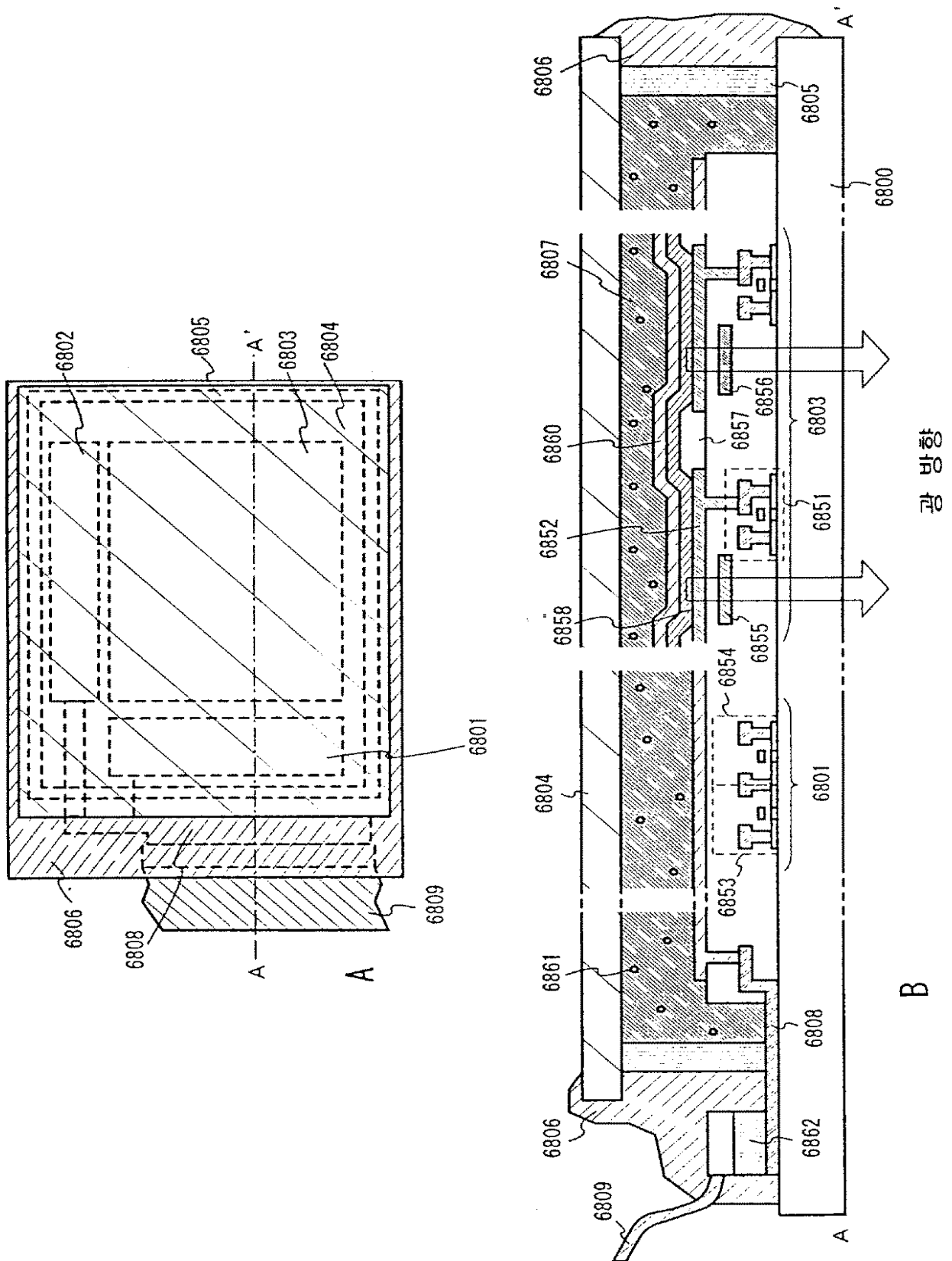
도면 19



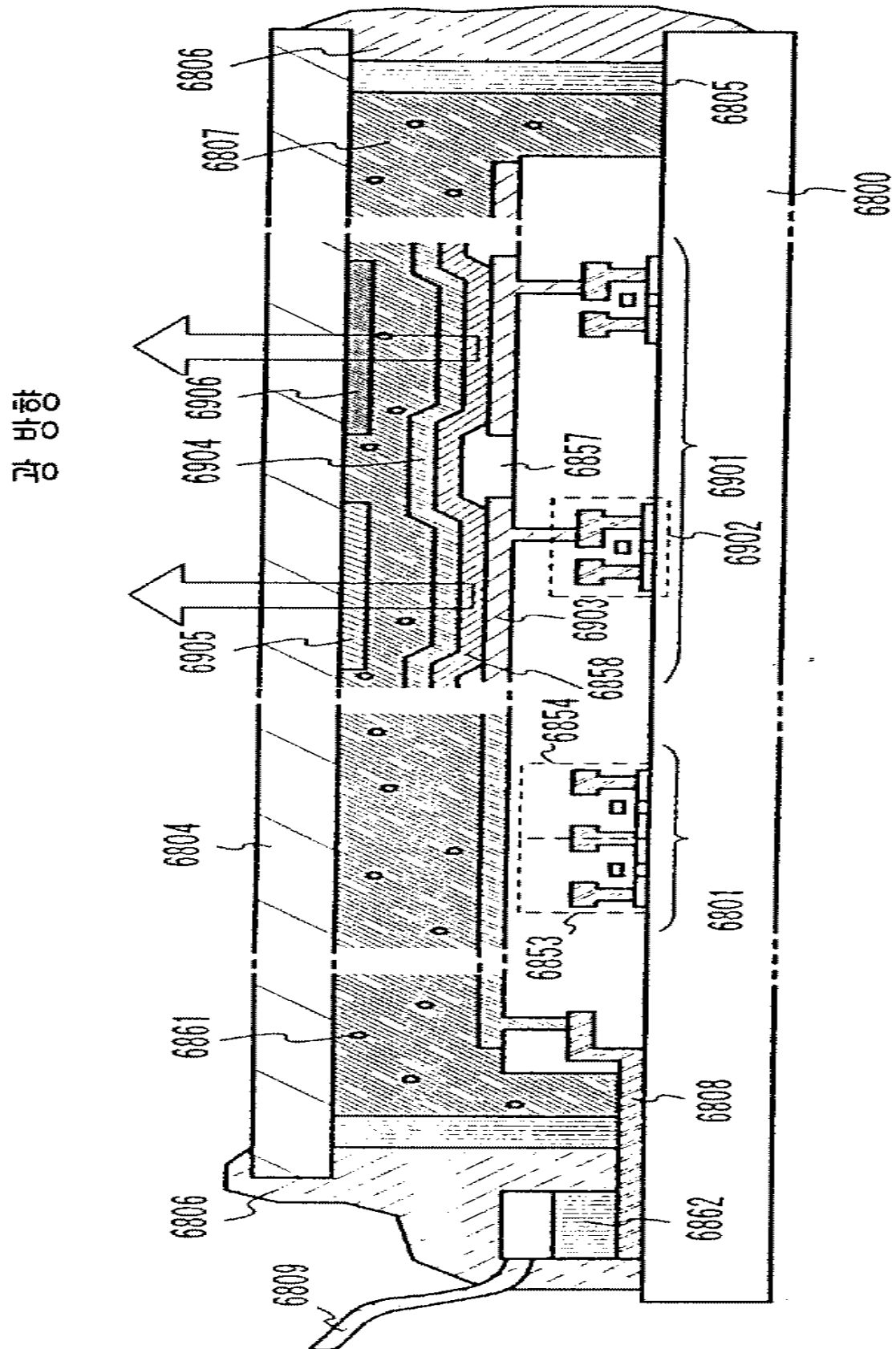
도면 20



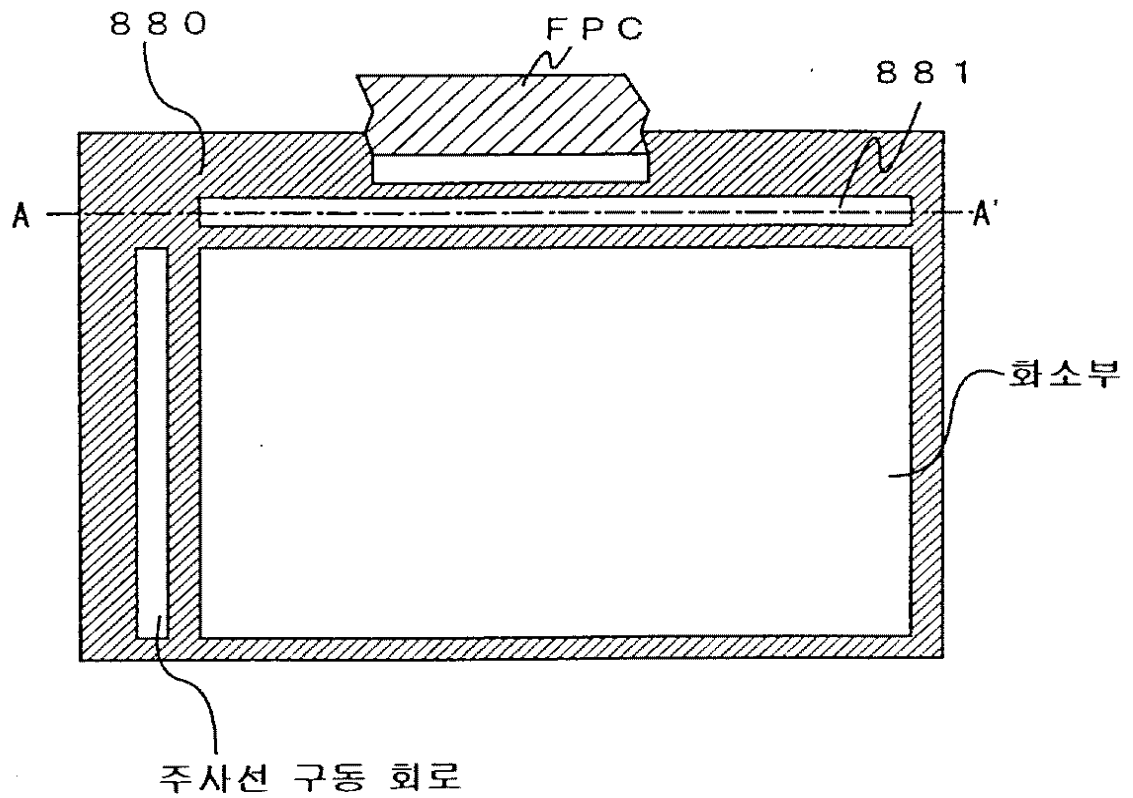
도면 21



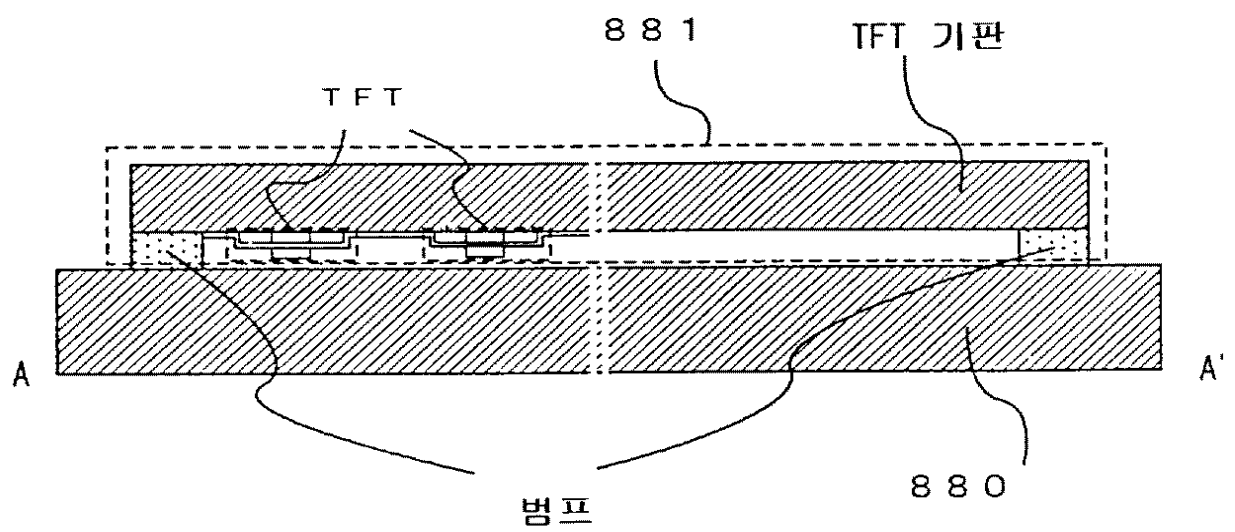
도면 22



도면 23

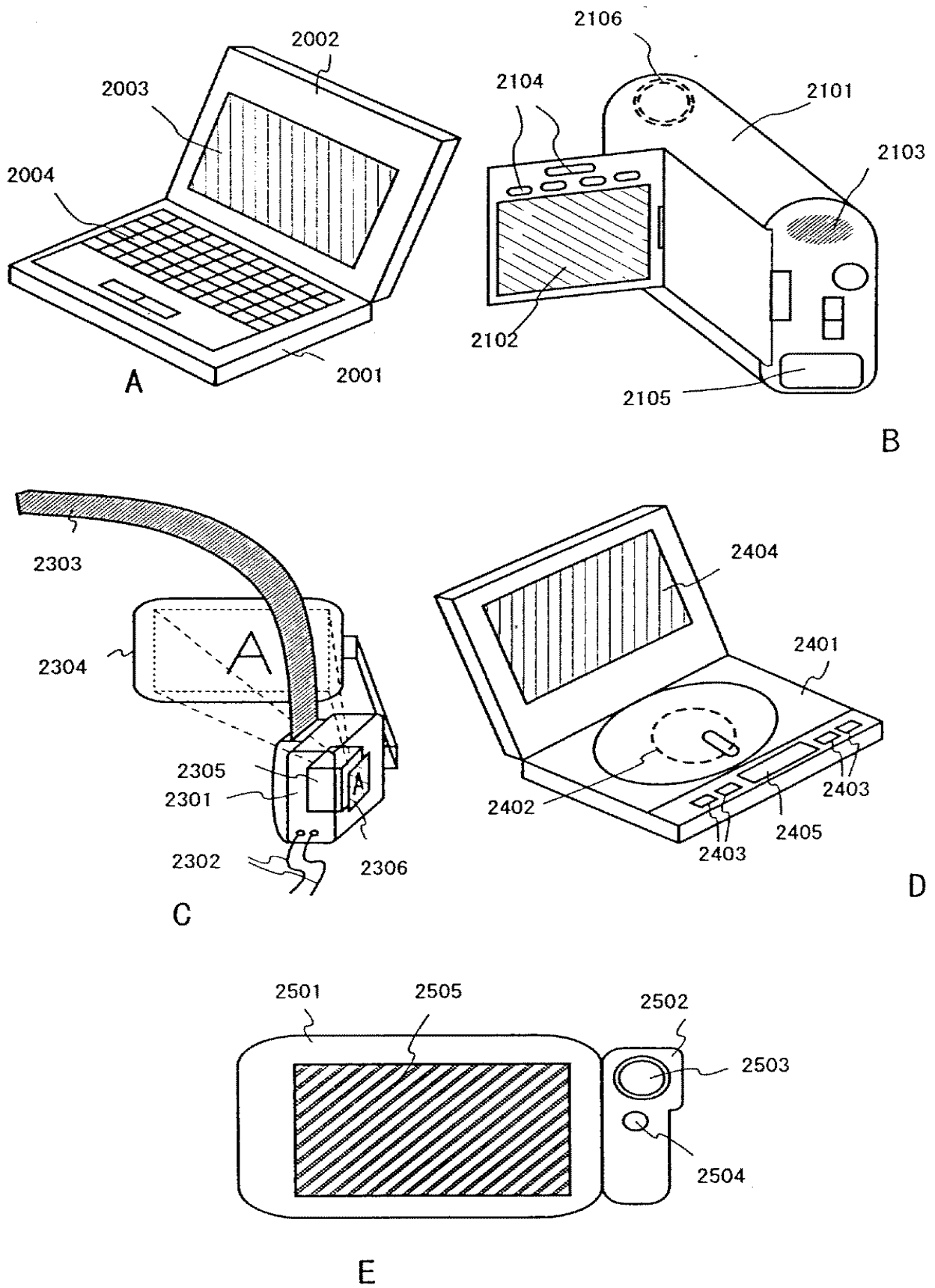


A



B

도면 24



专利名称(译)	显示设备		
公开(公告)号	KR1020010110324A	公开(公告)日	2001-12-13
申请号	KR1020010031340	申请日	2001-06-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN		
发明人	KOYAMA,JUN		
IPC分类号	G09G3/20 G09G3/30 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	G09G3/2014 G09G3/30 G09G2300/08 G09G2310/027 H01L27/12 H01L27/1214 H01L27/1259 H01L27/127 H01L29/66757 H01L29/78621 H01L29/78645 H01L2029/7863		
优先权	2000168331 2000-06-06 JP		
其他公开文献	KR100707886B1		
外部链接	Espacenet		

摘要(译)

包括数字信号采样电路，存储电路，时间设置电路和恒流电路的信号线驱动电路由绝缘基板上的TFT制成，该绝缘基板由与像素部分基板相同的物质制成。因此，在无源型EL显示装置中，可以消除将信号线驱动电路接合到像素部基板上时的变形问题。此外，在有源型EL显示装置中，每个像素由一个晶体管和一个EL元件构成。因此，EL显示装置的开口率增大。

