

특허청구의 범위

청구항 1

유기 EL 패널의 컬럼측의 수평 방향 1라인분의 단자 핀의 각각에 대응하여 구동 전류를 출력하여 상기 유기 EL 패널을 전류 구동하는 유기 EL 구동 회로로서,

상기 수평 방향 1라인분의 각 상기 단자 핀에 대응하는 각각의 상기 구동 전류에 대한 전압 중 최대 전압값을 검출하는 최대 전압값 검출 회로와,

상기 최대 전압값을 받아서 적어도 유기 EL 소자의 발광 시에 있어서 상기 최대 전압값에 대응하는 전압을 홀드하는 홀드 회로와,

입력 전력을 받아서 홀드된 상기 전압보다도 소정값만큼 높은 전압의 전력을 전원 전압으로서 발생하는 전원 회로와,

각 상기 단자 핀에 대응하여 각각 설치되고 상기 전원 전압을 받아서 동작하여 상기 구동 전류를 발생하는 출력단 전류원

을 포함하고,

상기 소정값은, 상기 출력단 전류원이 상기 유기 EL 소자를 전류 구동하는 것이 가능한 전압이거나, 그 이상이고,

상기 전원 회로는, 전지로부터 전력을 받아서 그 전력의 전압을 소정의 전압까지 승압한 출력 전압을 발생하는 스위칭 레귤레이터와 상기 전원 전압보다 상기 소정값만큼 낮은 전압을 발생하는 출력 전압 검출 회로를 갖고, 상기 출력 전압 검출 회로의 검출 전압에 따라 상기 전원 전압의 전력을 발생하는 유기 EL 구동 회로.

청구항 2

제1항에 있어서,

상기 소정값은, 상기 유기 EL 소자를 소정의 최소 휘도부터 최대 휘도까지의 범위에서 상기 출력단 전류원이 상기 구동 전류를 발생하는 데 필요로 되는 전압에 대응하고 있는 유기 EL 구동 회로.

청구항 3

제2항에 있어서,

상기 최대 전압값 검출 회로는, 각 상기 출력단 전류원의 출력 단자에 각각 접속되는 다수의 입력 단자를 갖고, 다수의 각 상기 입력 단자는, 고입력 임피던스인 유기 EL 구동 회로.

청구항 4

삭제

청구항 5

제3항에 있어서,

상기 홀드 회로는, 상기 수평 방향 1라인의 주사 기간과 상기 수평 방향 1라인의 귀선 기간에서도 상기 최대 전압값에 대응하는 전압을 계속 홀드하고, 상기 귀선 기간에는 홀드된 전압이 방전되는 유기 EL 구동 회로.

청구항 6

제5항에 있어서,

상기 홀드 회로는 피크 홀드 회로이고, 상기 피크 홀드 회로에 의하여 홀드된 전압을 방전시키는 시상수 회로를 더 갖고, 상기 시상수는, 상기 유기 EL 소자의 평균적인 표시 휘도에서 임의의 수평 1라인의 주사가 종료되고 나서 다음 수평 1라인의 주사에서 상기 유기 EL 소자가 발광할 때까지의 기간에 상기 임의의 수평 1라인의 주사에서 홀드한 최대 전압값의 방전에 의한 전압 저하가 상기 최소 휘도 레벨에 대응하는 상기 단자 핀의 최대 전

압이거나, 그 이하로 떨어지지 않는 값으로 선택되는 유기 EL 구동 회로.

청구항 7

제6항에 있어서,

상기 스위칭 레귤레이터는, 오차 증폭기와 스위칭 트랜지스터를 갖고, 상기 오차 증폭기는, 상기 홀드된 전압과 상기 검출 전압의 오차 신호를 발생하고, 상기 스위칭 트랜지스터는, 상기 오차 신호에 따라서 스위칭되는 유기 EL 구동 회로.

청구항 8

제3항에 있어서,

상기 홀드 회로에 홀드된 전압은, 상기 유기 EL 소자의 구동 전류 중 피크 전류를 발생한 후에 홀드되어 갱신되는 유기 EL 구동 회로.

청구항 9

제5항 또는 제8항에 있어서,

상기 최대 전압값 검출 회로는, 상기 수평 방향 1라인분의 상기 단자 핀에 대응하여 설치된 다수의 MOS 트랜지스터를 갖고, 이들 MOS 트랜지스터의 게이트가 각각 상기 단자 핀에 접속되고, 이들 MOS 트랜지스터의 소스측의 논리합 출력에 기초하여 상기 최대 전압값이 검출되는 유기 EL 구동 회로.

청구항 10

제9항에 있어서,

상기 최소 휘도 레벨에 대응하는 각 상기 단자 핀에서의 최대 전압을 클램프 전압으로서 발생하는 클램프 전압 발생 회로를 더 갖고, 상기 홀드된 전압이 상기 클램프 전압보다 낮아졌을 때에는 상기 홀드 전압이 상기 클램프 전압으로 클램프되는 유기 EL 구동 회로.

청구항 11

제1항의 유기 EL 구동 회로를 갖는 유기 EL 표시 장치.

명세서

기술분야

- <1> 본 발명은, 유기 EL 구동 회로 및 유기 EL 표시 장치에 관한 것으로, 자세하게는, 출력단 전류원에서의 소비 전력을 낮춤으로써 유기 EL 표시 장치의 소비 전력을 저감할 수 있도록 하는 유기 EL 구동 회로 및 유기 EL 표시 장치의 개량에 관한 것이다.

배경기술

- <2> 최근, 유기 EL 표시 장치의 구동 핀 수는 고해상도화의 요청에 의하여 증가하는 경향이 있다. 그 때문에, 구동 주파수도 높게 되어, 소비 전력도 증가하는 경향이 있다.
- <3> 현재 개발되고 있는 유기 EL 표시 장치의 QVGA의 풀 컬러는, R, G, B 각 120핀의 360핀이나 되므로, 현재는 3드라이버는 필요하게 되어 있다. 이러한, 유기 EL 패널의 단자 핀 수의 증가는, 컬럼 드라이버 IC의 소비 전력을 증가시킨다. 그 때문에, 소비 전력의 저감이 요구되고 있다.
- <4> 그런데, DC/DC 컨버터를 이용하여 유기 EL 소자를 저소비 전력에서 전류 구동하는 기술이 공지이다(특허 문헌 1).
- <5> 특허 문헌1 : 일본 특개2001-143867호 공보
- <6> 한편, 출원인은, R, G, B의 발광 효율의 상위를 주목하여, 일본 특원2003-166067호 「유기 EL 구동 회로 및 이것을 이용하는 유기 EL 표시 장치」에서, 다음과 같은 기술을 발명으로서 출원하고 있다.

- <7> 그 발명은, R, G, B의 유기 EL 소자의 발광 효율에 따라 전압이 높은 제1 전원 라인 및 이것보다 전압이 낮은 제2 전원 라인을 각각 설치하고, R, G, B의 유기 EL 소자를 구동하는 전류원 전압을 상이한 것으로 한다. 그리고, 발광 효율이 높은 유기 EL 소자는, 제2 전원 라인으로 하고, 이것에 대한 전력은, 발광 효율이 낮은 유기 EL 소자의 제1 전원 라인으로부터 스위칭 레귤레이터를 통하여 공급하고, 스위칭 레귤레이터에 의하여 제2 전원 라인의 전압을 소정의 전압으로 안정화한다.
- <8> <발명의 개시>
- <9> <발명이 해결하고자 하는 과제>
- <10> 일본 특원2003-166067호의 발명은, 스위칭 레귤레이터 등의 DC/DC 컨버터 외에 별도 스위칭 레귤레이터가 전원 회로로서 필요하게 되기 때문에, 유기 EL 구동 회로를 IC화한 경우에, IC의 수가 증가하는 문제가 있다.
- <11> 또한, 일본 특원2003-166067호의 발명은, 제1 전원 라인과 제2 전원 라인의 차의 전압을 정전압으로서 확보하고, 출력측의 전원 전압을 일정 전압으로서 안정화하므로, 표시 휘도가 낮을 때에는 낮은 휘도일 때에 필요한 만큼의, 전원 전압으로부터의 전압 강하분은, 구동 전류원측에서 전압 강하시켜 유기 EL 소자를 구동 하게 된다. 유기 EL 패널의 단자 핀 수가 증가하면, 표시 휘도가 낮을 때의 전압 강하에 의한 전력 소비가 커져, 그것을 무시할 수 없게 된다.
- <12> 본 발명의 목적은, 이러한 종래 기술의 문제점을 해결하는 것으로, 출력단 전류원에서의 소비 전력을 낮춤으로써 소비 전력을 저감할 수 있는 유기 EL 구동 회로를 제공하는 것에 있다.
- <13> 본 발명의 다른 목적은, 출력단 전류원에서의 소비 전력을 낮춤으로써 소비 전력을 저감할 수 있는 유기 EL 구동 회로 및 유기 EL 표시 장치를 제공하는 것에 있다.
- <14> <과제를 해결하기 위한 수단>
- <15> 이러한 목적을 달성하기 위한 본 발명의 유기 EL 구동 회로 혹은 유기 EL 표시 장치의 구성은, 유기 EL 패널의 컬럼측의 수평 방향 1라인분의 단자 핀의 각각에 대응하여 구동 전류를 출력하여 유기 EL 패널을 전류 구동하는 유기 EL 구동 회로에 있어서, 수평 방향 1라인분의 각 단자 핀에 대응하는 각각의 구동 전류에 대한 전압 중 최대 전압값을 검출하는 최대 전압값 검출 회로와, 최대 전압값을 받아서 적어도 유기 EL 소자의 발광 시에서의 최대 전압값에 대응하는 전압을 홀드하는 홀드 회로와, 입력 전력을 받아서 홀드된 전압보다도 소정값만큼 높은 전압의 전력을 전원 전압으로서 발생하는 전원 회로와, 각 단자 핀에 대응하여 각각 설치되어 전원 전압을 받아서 동작하여 구동 전류를 발생하는 출력단 전류원을 포함하고 있으며, 상기한 소정값은, 출력단 전류원이 유기 EL 소자를 전류 구동할 수 있는 전압이거나, 그 이상으로 설정되어 있는 것이다.
- <16> <발명의 효과>
- <17> 이와 같이 본 발명에 있어서는, 적어도 유기 EL 소자의 발광 시에서의 각 단자 전압 중의 최대 전압값에 대응하는 전압을 홀드하는 홀드 회로를 설치하고, 이 홀드 회로에서 상기한 전압을 홀드해 두고, 홀드된 전압보다도 소정값만큼 높은 전압의 전력을 전원 전압으로서 발생하는 전원 회로를 더 설치한다. 이들 회로에 의해, 유기 EL 소자의 발광 시의 각 단자 전압 중의 최대 전압값에 대응하여 전원 전압을 추종하여 변화시킨다. 이 전원을 출력단 전류원의 전원으로 한다. 또한, 이 전원의 전원 전압과 최대 전압값과의 차전압에서 각 출력단 전류원을 동작할 수 있게 하기 위하여 이 차전압이거나, 그 이상 높은 전압으로 상기한 소정값을 설정한다.
- <18> 이에 의해, 각 출력단 전류원이 차전압의 범위에서 구동 전류를 발생하게 되므로, 각 출력단 전류원에서의 전압 강하가 억제되어, 여기에서 소비되는 전력을 저감할 수 있다.
- <19> 그 결과, DC/DC 컨버터 외에 스위칭 레귤레이터 등의 복수의 전원 회로를 설치하지 않고, 유기 EL 구동 회로 및 유기 EL 표시 장치의 소비 전력을 저감할 수 있다.
- <20> <발명을 실시하기 위한 최량의 형태>
- <21> 도 1은, 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 유기 EL 패널의 전원 전압 제어 회로를 갖는 전원 회로를 중심으로 하는 블록도이고, 도 2는, 도 1의 실시예에서의 최대 전압값 검출 회로와 피크 홀드 회로의 구 체예를 중심으로 한 설명도이고, 도 3은, 그 전원 전압의 제어와 단자 핀 구동 파형의 설명도이며, 그리고 도 4는, 승압형 스위칭 레귤레이터를 이용하는 실시예에서의 승압형 스위칭 레귤레이터의 일례의 설명도이다.
- <22> 도 1에서, 참조 부호 10은, 유기 EL 패널에서의 유기 EL 구동 회로로서의 컬럼 IC 드라이버(이하 컬럼

드라이버)이며, 참조 부호 1은, 컬럼 드라이버(10)에 전력을 공급하는 DC/DC 컨버터이다. DC/DC 컨버터(1)는, 예를 들면, 입력 단자 Vin을 통하여 전지(9)로부터의 전력(예를 들면, 그 전압 3.6V)을 받아서 승압 회로(1c)에서 승압하여 DC 24V의 전압의 전력을 발생한다. 그 전력을 강압형 스위칭 레귤레이터 외에 여기서 전압을 내려 출력 단자 Vout에는 6V~22V 정도의 범위의 정전압을 발생한다. 그 전력은, 출력 단자 Vout로부터 컬럼 드라이버(10)의 전원 라인(11)(+Vcc)에 출력된다. 전원 라인(11)에 출력하는 전압은, 여기에서는, 전원 전압 제어 회로(2)에 의하여 유기 EL 소자의 발광 휘도에 따라 추종 제어되어, 6V~22V 정도의 범위에서 가변으로 된다.

- <23> 또한, 승압 회로(1e)는, 전지(9)로부터의 전력으로 동작하고, 컨트롤러(12)로부터 구동 펄스를 받아서 전지(9)의 전압으로부터 DC 24V의 승압된 전압의 전력을 발생한다.
- <24> 전원 전압 제어 회로(2)는, 컬럼 드라이버(10)의 수평 1라인분의 컬럼측 출력 단자(10a, 10b, ..., 10n)의 단자 전압을 각각 받고, 그 중 최대 전압값을 검출하는 최대 전압값 검출 회로(3)(이 회로는 컬럼 드라이버(10)의 내부에 설치되어 있음)를 갖고 있다. 전원 전압 제어 회로(2)는, 또한, 최대 전압값 검출 회로(3)에서 검출된 최대 전압값을 홀드하는 피크 홀드 회로(4)와, 방전 회로(5), 그리고 클램프 전압 발생 회로(6)로 이루어진다. 또한, 수평 1라인분의 출력 단자를 갖는 컬럼 드라이버(10)는, 설명의 형편상, 이 실시예에서는 1개의 IC로서 설명하지만, 이것은 복수개의 IC이어도 된다.
- <25> DC/DC 컨버터(1)는, 승압 회로(1e), 여기에서 승압한 전압을 안정화하는 강압형 스위칭 레귤레이터, 그리고 출력 전압 검출 회로(8)로 이루어진다. 강압형 스위칭 레귤레이터는, 오차 증폭기(1a), PWM 펄스 구동 회로(1b), P 채널의 스위칭 MOS 트랜지스터(1c), 그리고 승압 전압에 대한 안정화 회로(1d)(코일 L, 플라이휠 다이오드 D, 컨덴서 C로 이루어짐)로 이루어진다. DC/DC 컨버터(1)의 출력 전력은, 이 안정화 회로(1d)를 통하여 출력 전원 전압값 Vo로 하여 전원 라인(11)에 출력된다.
- <26> 오차 증폭기(1a)는, 출력 전압 검출 회로(8)의 검출 전압과 전원 전압 제어 회로(2)로부터 송출될 수 있는 전압을 비교하여 오차 신호(통상은 전압 신호)를 발생한다.
- <27> PWM 펄스 구동 회로(1b)는, 컨트롤 회로(12)로부터 삼각파의 신호를 받아서 오차 신호(전압 신호)에 따라서 삼각파를 슬라이스하여 오차가 발생하지 않게 되는 방향의 듀티비의 PWM 펄스를 생성한다.
- <28> 또한, PWM 펄스 구동 회로(1b)는, 승압 회로(1e)에 의하여 승압되어 전원 라인으로부터의 전력을 받는다. 또한, 상기한 삼각파의 신호는, 클럭 CLK 등을 컨트롤 회로(12)로부터 받아서 PWM 펄스 구동 회로(1b)의 내부에서 생성되어도 된다.
- <29> 스위칭 MOS 트랜지스터(1c)는, PWM 펄스 구동 회로(1b)로부터 PWM 펄스를 받고, 이것에 따라 스위칭되어 안정화 회로(1d)에 소정의 전압의 전력을 공급한다.
- <30> 최대 전압값 검출 회로(3)는, 출력 단자(10a~10n)의 각각의 구동 전류에 대한 각 단자 전압 중의 최대 전압을 검출하는 고입력 임피던스의 회로로서, 출력 단자(10a~10n)의 전류 출력 동작에는 영향을 주지 않고 전압 검출 동작을 한다.
- <31> 최대 전압값 검출 회로(3)에서 검출된 전압값(최대 단자 전압값) Vm은, 피크 홀드 회로(4)에 입력되어, 홀드된다. 피크 홀드 회로(4)에서 홀드된 전압값 Vm은, 방전 회로(5)를 통하여 DC/DC 컨버터(1)의 오차 증폭기(1a)의 (-)입력측에 비교 기준 전압으로서 입력되어 출력 전압 검출 회로(8)로부터의 검출 전압과 비교된다.
- <32> 출력 전압 검출 회로(8)의 검출 전압은, 출력 단자 Vout와 그라운드 GND 사이에 설치된 3개의 다이오드 D1, D2, D3과 저항 R의 직렬 회로로 이루어지는 레벨 시프트 회로이며, 다이오드 D3과 저항 R의 접속점 N의 전압이 검출 전압으로서 취출된다. 이에 의해 출력 전원 전압값 Vo로부터 3개 다이오드를 통하여 ΔV만큼 낮은 방향으로 레벨 시프트된 전압으로서 검출 전압이 발생하고, DC/DC 컨버터(1)의 목표 전압값(Vo)-3Vf(단, Vf=0.7V, 다이오드의 순방향 강하 전압)로서 오차 증폭기(1a)의 (+)입력측에 입력된다.
- <33> 그 결과, 오차 증폭기(1a)의 오차 출력에 따라 PWM 펄스 구동 회로(1b)가 PWM 변조한 구동 펄스를 발생하여 스위칭 트랜지스터(1c)를 ON/OFF 제어하여, 출력 전원 전압값 Vo가 Vm+3Vf의 전압값으로 되도록 제어된다.
- <34> 이에 의해, 전원 전압+Vcc(전압값 Vo)는, 수평 1라인분의 컬럼측 출력 단자의 전압 중의 수직 주사마다 그 때의 1수평 라인 중에서 표시 휘도로서 최대 휘도를 발생하는 유기 EL 소자(14)에 대응하는 컬럼측의 단자 전압에 따르는 전압으로 된다. 이러한 전원 전압+Vcc(전압값 Vo)의 전력이 발생하여 전원 라인(11)에 공급되고, 컬럼 드라이버(10)의 각 출력단 전류원(7a~7n)에 공급된다.

- <35> 여기에서, $3V_f = \Delta V (=2.1V)$ 는, 각 출력 단자($10a \sim 10n$)에 대하여 각 출력단 전류원($7a \sim 7n$)이 유기 EL 소자(14)를, 표시 회도에서 소정의 최소 회도부터 소정의 최대 회도까지 정전류의 구동 전류를 생성하기 위하여 필요하게 되는 각 출력단 전류원($7a \sim 7n$)에 대한 바이어스 전압이다. 이 바이어스 전압 ΔV 는, 후술하는 클램프 전압 VCL에 대하여 $VCL + \Delta V$ 이거나, 그 이상의 출력 전원 전압값 V_o 의 발생을 보증한다. 이것은, 구동 전류에 대한 각 단자 전압 중의 최대 전압에 대하여 출력 전원 전압값 V_o 를 추종시키는 차전압으로 되어 있다.
- <36> 따라서, 각 출력단 전류원($7a \sim 7n$)은, 출력 전원 전압값 V_o 가 변화되어도 표시 데이터에 따른 구동 전류를 ΔV 의 동작 전압을 받아서 각 출력 단자($10a \sim 10n$)에 발생할 수 있다. 또한, 이 때, 출력 전원 전압값 V_o 의 변화 범위는, 클램프 전압 $VCL + \Delta V = V_o \leq V_{max} + \Delta V$ 이다. 단, V_{max} 는, 유기 EL 소자(14)가 표시 회도로서 최대 회도로 되는 정전류에 의해 구동되었을 때의 출력 단자($10a \sim 10n$)의 단자 전압 중의 최대 전압이다(도 3의 (e) 참조). 그것은, 예를 들면, $V_o = 22V$ 정도이다.
- <37> 방전 회로(5)는, 피크 홀드 회로(4)에서 홀드된 전압값 V_m 을 긴 시상수로 천천히 방전시켜 간다. 이것은, 미소 전류에 의해 방전하는 방전 시상수가 큰 정전류 방전 회로이다.
- <38> 클램프 전압 발생 회로(6)는 클램프 전압 VCL를 발생한다. 이 클램프 전압 VCL은, 유기 EL 소자(14)가 표시 회도로서의 최소 회도에서 정전류에 의해 구동되었을 때의 출력 단자($10a \sim 10n$) 단자 전압 중의 최대 전압(최소로 되는 최대 전압) V_{min} 에 대응하고 있다. 그것은, 예를 들면, $V_o = 6V$ 정도이다.
- <39> 여기에서, 도 3의 (b)의 리셋 컨트롤 펄스 RS를 참조한다. 도 3의 (b)의 표시 기간 DT는, 수평 1라인의 주사 기간에 대응하고, 리셋 기간 RT는, 수평 1라인의 주사의 귀선 기간에 대응하고 있다. 이 실시예에서는, 피크 홀드 회로(4)에 홀드된 전압값 V_m 은, 수평 방향 1라인의 주사 기간과 이것의 귀선 기간에서도 홀드가 계속되고, 이 기간에는 홀드된 전압이 방전 회로(5)에 의하여 방전된다.
- <40> 따라서, 상기한 방전 회로(5)의 시상수는, 유기 EL 소자(14)의 평균적인 표시 회도(유기 EL 소자의 최대 회도와 최소 회도의 중간값)에서 임의의 수평 1라인의 주사가 종료되고나서 다음 수평 1라인의 주사에서 상기한 유기 EL 소자(14)가 다음에 발광할 때까지의 기간(리셋 기간 RT+피크 전류 발생 기간 PT의 기간, 도 3의 (b), 도 3의 (c) 참조)에 1개 전의 상기한 임의의 수평 1라인의 주사에서 홀드한 전압값(최대 단자 전압값) V_m 의 방전에 의한 전압 저하가 상기 클램프 전압 $VCL (=V_{min})$ 이거나, 그 이하까지 떨어지지 않도록 하는 큰 시상수로 설정되어 있다(도 3의 (a)의 후반의 일점쇄선의 파형 참조). 이에 의해, 출력 전원 전압값 V_o 는, 평균적인 표시 상태에서는, 클램프 전압 VCL에 의하여 설정되는 출력 전원 전압값 $V_o = VCL + \Delta V$ 까지 떨어지고나서 추종하도록 하는 상태로 되지 않아도 된다.
- <41> 또한, 상기한 평균적인 표시 회도는, 설계상 혹은 사용 상태에서의 유기 EL 소자의 회도의 평균값이어도 된다. 방전 회로(5)의 시상수가 평균적인 표시 회도에서 다음에 유기 EL 소자(14)가 발광할 때까지의 기간에 클램프 전압 VCL까지 떨어지는 한계값으로 설정된 경우에는, 전원 전압 제어 회로(2)는, 클램프 전압 발생 회로(6)에 의하여 클램프 전압 VCL를 발생하여 출력 전원 전압값 V_o 를 클램프한다. 그 결과, 클램프 전압 $VCL + \Delta V$ 에 대응한 전원 전압+ V_{cc} 까지 출력 전원 전압값 V_o 가 떨어져 클램프된다. 출력 전원 전압값 V_o 는, 그 후에 출력단 전류원($7a \sim 7n$)의 구동에 따라 상승한 출력 단자의 전압에 추종하게 된다.
- <42> 전원 전압 투입 시에는, 클램프 전압 발생 회로(6)는, 파워 온 리셋 회로(도시하지 않음)의 기동 신호를 받아서 동작하고, 이 클램프 전압 발생 회로(6)의 출력 전압 VCL은, 오차 증폭기(1a)의 (-)입력측에 기준 전압으로서 공급되어 있으므로, DC/DC 컨버터(1)의 추종 제어 동작이 출력 전압값 $V_o = VCL + \Delta V (=3V_f)$ 부터 스타트한다.
- <43> 따라서, 만약, 피크 홀드 회로(4)에서 홀드된 전압값 V_m 이 출력 전압 VCL이하인 경우에는, 오차 증폭기(1a)의 (-)입력측의 기준 전압은, 클램프 전압 VCL로 되고, DC/DC 컨버터(1)로부터 출력되는 전원 라인(11)의 전원 전압+ V_{cc} (전압값 V_o)은, 출력 전압 $VCL + \Delta V (=3V_f)$ 의 전압에서 클램프되어, 출력 전원 전압 V_o 는, 그 이상은 저하하지 않는다.
- <44> 그 결과, 도 3의 (a)에 도시한 바와 같이, 임의의 수직 방향의 라인 주사에서 그 때의 수평 1라인분의 컬럼측 출력 단자 중 표시 회도로서 최대 회도를 발생하는 단자 전압이 표시 기간 DT에서 그래프 A와 같이 시프트했을 때에, 전원 라인(11)에의 출력 전원 전압값 V_o 는, $\Delta V = 2.1V$ 위의 전압에서 추종하는 일점쇄선으로 나타낸 바와 같은 그래프로 된다.
- <45> 또한, 도 3의 (a)~(e)에서, 종축은, 전압[V]이며, 횡축은 시간이다. ST는, 전원 투입 시의 스타트 시간이며, 클램프 전압 발생 회로(6)의 출력 전압 VCL에 의하여 출력 전원 전압값 V_o 가 발생하는 시간이다. DT가 유기 EL

소자(14)가 발광하고 있는 표시 기간, 그리고 RT가 리세트 기간이다.

- <46> 이 도 3의 (a)에 도시한 바와 같이, 전원 라인(11)의 전원 전압+Vcc(전압값 Vo)는, 유기 EL 소자(14)가 고휘도로부터 저휘도로 변화되었을 때에는, 주사 중인 수평 1라인 중의 다수의 유기 EL 소자 중의 발광 휘도가 최대로 되는 유기 EL 소자의 최대 휘도가 저하한다. 이 때에는, 방전 회로(5)의 시상수에 따라 피크 홀드 회로(4)에서 홀드된 전압값 Vm이 그 수평 라인의 주사에 따라 저하되어 간다(도 3의 (a)의 후반의 일점쇄선의 파형 참조). 그것은, 느린 추종으로 된다. 반대로, 유기 EL 소자(14)가 저휘도로부터 고휘도로 변화되었을 때에는, 전원 전압+Vcc(전압값 Vo)는, 주사 중인 수평 1라인 중의 임의의 유기 EL 소자의 최대 휘도가 상승하므로 그 전압에 따라 빠른 추종으로 된다(도 3의 (a)의 최후의 일점쇄선의 파형 참조).
- <47> 또한, 이 때, ΔV 만큼 레벨 시프트한 전원 전압값 Vo는, 다이오드의 수에 의하여 조정 가능하여, 제너 다이오드 이면, 1개로 필요한 전압값 ΔV 를 확보할 수 있다. 또한, 컬럼 드라이버(10)의 출력단 전류원의 내부 임피던스가 낮고 또한 구동 능력이 크면, 추종하는 차전압 ΔV 는, 다이오드 1개수분의 0.7V 정도이어도 이론적으로는 가능하다. 이것은, 각 출력단 전류원(7a~7n)이 ON했을 때의 유기 EL 소자(14)에 대한 전류 구동 능력(ON 저항)에 의한다.
- <48> 도 2는, 최대 전압값 검출 회로(3)와 피크 홀드 회로(4)를 중심으로 한 구체예의 설명도이다. 설명의 형편상, 출력 단자의 수가 4개인 경우를 도시하고 있지만, 출력 단자의 수는, 실제로는 100개 이상이다. 컬럼 드라이버가 복수의 IC로 되는 경우에는, 각각에 최대 전압값 검출 회로(3)가 설치되어 있어도 된다. 이 경우에는, 복수의 IC의 최대 전압값 검출 회로(3) 사이에서 최대 전압값을 더 검출하게 된다.
- <49> 최대 전압값 검출 회로(3)는, 출력 단자(10a~10d)에 각각 접속된 N 채널 MOS 트랜지스터 Qa~Qd의 입력단 트랜지스터와, 이들 트랜지스터의 소스에 공통으로 소스가 접속된 다이오드 접속의 N 채널 MOS 트랜지스터 Qo로 이루어진다. 각 트랜지스터 Qa~Qd의 드레인측은, 각각 전지(9)의 전원 라인 +VDD에 접속되고, 트랜지스터 Qo의 드레인, 전류값 I의 정전류원(21)을 통하여 전지(9)의 전원 라인+VDD에 접속되어 있다. 또한, 도 1에서는, 최대 전압값 검출 회로(3)와 피크 홀드 회로(4) 등에 대한 전지(9)의 접속은 생략되어 있다.
- <50> 각 트랜지스터 Qa~Qd와 다이오드 접속의 트랜지스터 Qo의 각각의 소스가 공통으로 접속된 공통 소스와 그라운드 GND 사이에는, 전류값 $2 \times I$ 의 정전류원(22)이 설치되어 있다. 그리고, 트랜지스터 Qo의 드레인, 출력 단자(23)에 접속되어, 출력 단자(23)에 최대 전압값에 관한 검출 전압을 발생하고, 발생한 전압이 피크 홀드 회로(4)에 입력된다.
- <51> 피크 홀드 회로(4)는, 오피앰프(OP)(41)와 다이오드(42), 컨덴서(43), 볼테지 폴로어(44)로 구성되어 있다. 오피앰프(OP)의 출력은, 다이오드(42)를 통하여 (-) 입력측(반전 입력 단자)으로 귀환되고, (+) 입력(비반전 입력 단자)이 최대 전압값 검출 회로(3)의 출력 단자(23)에 접속되어 있다. 이에 의해, (+)입력은, 하이 임피던스 입력으로 되고, 출력 단자(23)가 전압 출력으로 된다.
- <52> 또한, 방전 회로(5)로서, 이 구체예에서는, 컨덴서(43)에 병렬로 방전 저항 Rd가 설치되어 있다.
- <53> 여기에서, 최대 전압값 검출 회로(3)의 출력 단자(23)에 대한 오피앰프(OP)(41)의 입력 임피던스는, 높은 것으로 되므로, 실질적으로 출력 단자(23)는, 전압 출력으로 되고, 최대 전압값 검출 회로(3)의 트랜지스터 Qa~Qd의 공통 소스측은, 가장 전압이 높은 게이트 전압의 것만이 ON으로 된다.
- <54> 즉, 트랜지스터 Qa~Qd의 공통 소스측은, 정전류원(22)과의 바이어스 관계에서 트랜지스터 Qa~Qd의 모두가 ON 상태로 되도록 설정되어 있고, 그 중 게이트 전압이 높은 1개의 트랜지스터가 ON하면, 공통의 소스 전압이 그것에 따라 1Vf 낮은 값에서 올라가게 되므로, 그 이외의 다른 트랜지스터의 소스 전압이 상승하고 게이트 전압이 낮은 다른 트랜지스터가 OFF로 된다. 그 결과, 트랜지스터 Qa~Qd 중 게이트에 최대 단자 전압이 가해진 트랜지스터만이 ON으로 되어, 그 게이트 전압에 따른 전압이 소스측에 발생하여, 검출된다.
- <55> 한편, 정전류원(22)은, 정전류원(21)으로부터 다이오드 접속의 트랜지스터 Qo를 거쳐 전류값 I의 전류를 상류로부터 받는다. 따라서, 남은 I의 전류를 ON하고 있는 트랜지스터 Qa~Qd 중 1개로부터 받는다. 이 때, 트랜지스터 Qa~Qd의 공통 소스측은, 출력 단자(10a~10n) 중의 최대 단자 전압으로부터 1Vf 낮은 전압으로 되므로, 다이오드 접속의 트랜지스터 Qo의 드레인에 접속된 출력 단자(23)는, 공통의 소스로부터 1Vf 높게 되어, 출력 단자(23)에 출력 단자(10a~10n) 중의 최대 단자 전압의 값이 출력된다.
- <56> DZ는, 제너 다이오드로서, 리세트 전압 VR(도 3의 (d) 참조)에 대응하고 있다. 스위치 SW는, 도 3의 (b)에 도시하는 리세트 컨트롤 펄스 RS를 받고, 이것이 "H"(HIGH 레벨)일 때에 ON으로 된다. 그 결과, 출력 단자(10a~

10n)에는, 도 3의 (d)에 도시한 바와 같은 출력 전압 파형과 구동 전류 파형이 발생한다. 실선이 그 전압 파형이며, 점선이 그 구동 전류 파형이다.

<57> 또한, 도 3의 (c)는, 피크 발생 펄스 P_p 이며, 도 3의 (b)에 도시하는 PT는, 피크 전류 발생 기간에 대응하고 있다. 리셋 컨트롤 펄스 RS, 피크 발생 펄스 P_p 는, 도 1에 도시하는 컨트롤 회로(12)로부터 공급된다. 참조 부호 13은, 로우측 주사 회로로서, 리셋 컨트롤 펄스 RS, 로우 스캔 펄스 RSTP 등의 펄스를 받아서 로우측의 라인 주사(1수평 라인의 수직 방향 주사)를 한다.

<58> 도 3의 (d)의 전압 파형과 구동 전류 파형은, 휘도 표시를 위한 표시 데이터에 따라 변화되고, 그것에 따라서 유기 EL 소자(14)의 발광 휘도가 변화된다. 그것에 따라, 유기 EL 소자(14)의 단자 전압이 변화된다. 그 상태를 나타내는 것이, 도 3의 (e)이다.

<59> 최대 전압값 검출 회로(3)에서 검출된 최대 전압값(=홀드된 전압값) V_m 은, 다이오드(42)를 통하여 컨덴서(43)를 충전하여 홀드되고, 그 전압이 볼테지 폴로어(44)를 통하여 오차 증폭기(1a)의 (-)입력측에 기준 전압으로서 입력된다.

<60> 그 결과, 유기 EL 소자(14)의 최대 단자 전압값에 따라, 출력 전원 전압값 V_o 가 변화되어 전원 라인(11)의 전압 + V_{cc} 가 도 3의 (e)에 도시한 바와 같은 관계에서 $V_{CL} + \Delta V(V_{min} + \Delta V)$ 부터 $V_{max} + \Delta V$ 까지 변화된다. 이 경우의 ΔV 가 출력단 전류원(7a~7d)의 동작 전압으로 된다.

<61> 그리고, 임의의 수평 주사 기간(발광 기간)에서, 최대에 되는 발광 휘도가 저하하여, 최대 전압값 검출 회로(3)가 검출하는 최대 단자 전압값이 낮아졌을 때에는, 컨덴서(43)와 방전 저항 R_d 에 의한 시상수에 따라, 홀드 전압값 V_m 이 저하하고, 각 출력 단자의 단자 전압 중의 낮아진 최대 전압값으로 서서히 추종하여 간다. 반대의 경우에는, 피크 홀드 회로(4)에서 홀드된 전압값 V_m 이 바로 변화되므로, 전원 전압+ V_{cc} 의 전압은, DC/DC 컨버터(1)의 제어 속도에 따라 추종하여 가게 된다.

<62> 도 1의 실시예의 DC/DC 컨버터(1)는, 승압 회로(1e)와 강압형 스위칭 레귤레이터에 의하여 출력 전원 전압값 V_o 를 추종 제어하도록 하고 있다. 그러나, 이것은, 1개의 승압형 스위칭 레귤레이터가 이용되어도 된다. 도 4는, 그 승압형 스위칭 레귤레이터(11)의 일례이다.

<63> 도 4에서는, 도 1의 승압 회로(1e)와 다이오드 D가 삭제되고, 코일 L과 컨덴서 C 사이에 다이오드 D_a 가 들어간다. 도 1의 P채널의 스위칭 MOS 트랜지스터(1c)를 N 채널의 MOS 트랜지스터(11)로 바꾸고, 이 트랜지스터(1f)가 코일 L과 다이오드 D_a 의 접속점 N_a 와 그라운드 GND 사이에 설치되어 있다. 코일 L의 다른 쪽의 단자는, V_{in} 을 통하여 전지(9)의 정극에 접속되어 있다. 그 밖의 구성은, 도 1과 마찬가지로, 동작의 상세 내용에 대해서는 생략한다.

<64> 또한, PWM 펄스 구동 회로(1b)의 전원은, 전지(9)로 되고, 그 전원 전압은 낮다. 따라서, 전지(9)의 전압은, 가능한 한 높은 전압이 바람직하다.

산업상 이용 가능성

<65> 이상 설명했지만, 본 발명에서는, 수평 1라인분의 컬럼측의 유기 EL 패널의 단자에 대하여 복수의 드라이버 IC가 사용되는 경우에는, 수평 1라인분은, 이들 복수의 드라이버 IC에 할당된다. 따라서, 최대 전압값 검출 회로는, 이들 IC의 검출 전압으로부터 최대값을 채용하는 것이 더욱 필요하게 된다. 이 경우에는, 다이오드의 논리합 회로를 통하여 피크 홀드 회로가 각각의 드라이버 IC의 각 출력 단자의 단자 전압 중의 최대 전압값을 얻게 된다.

<66> 또한, 이 경우, 최대 전압값 검출 회로는, 각 드라이버 IC의 외부에 설치되어 있어도 된다. 이러한 경우에는, 다이오드의 논리합 회로를 통하지 않고, 복수의 드라이버 IC의 단자 전압을 받아서 최대값을 검출할 수 있다.

<67> 또한, 실시예에서는, 피크 홀드 회로를 설치하고, 최대 단자 전압값(홀드 전압값) V_m 을 큰 시상수로 방전하도록 구성하고 있지만, 본 발명은, 피크 홀드 회로가 아니며, 단순히 최대 단자 전압값 V_m 의 전압을 홀드하는 홀드 회로를 설치하여도 된다. 이 경우의 홀드 회로는, 수평 1라인의 주사마다, 유기 EL 소자의 구동 전류 중 피크 전류를 발생한 후의 유기 EL 소자의 발광이 안정된 시점에서 홀드하도록 할 수 있다. 이것은, 수평 1라인의 주사마다 홀드한 1개 전의 최대 전압값 V_m 을 리셋하여 새로운 최대 전압값 V_m 을 갱신 홀드하는 것이다.

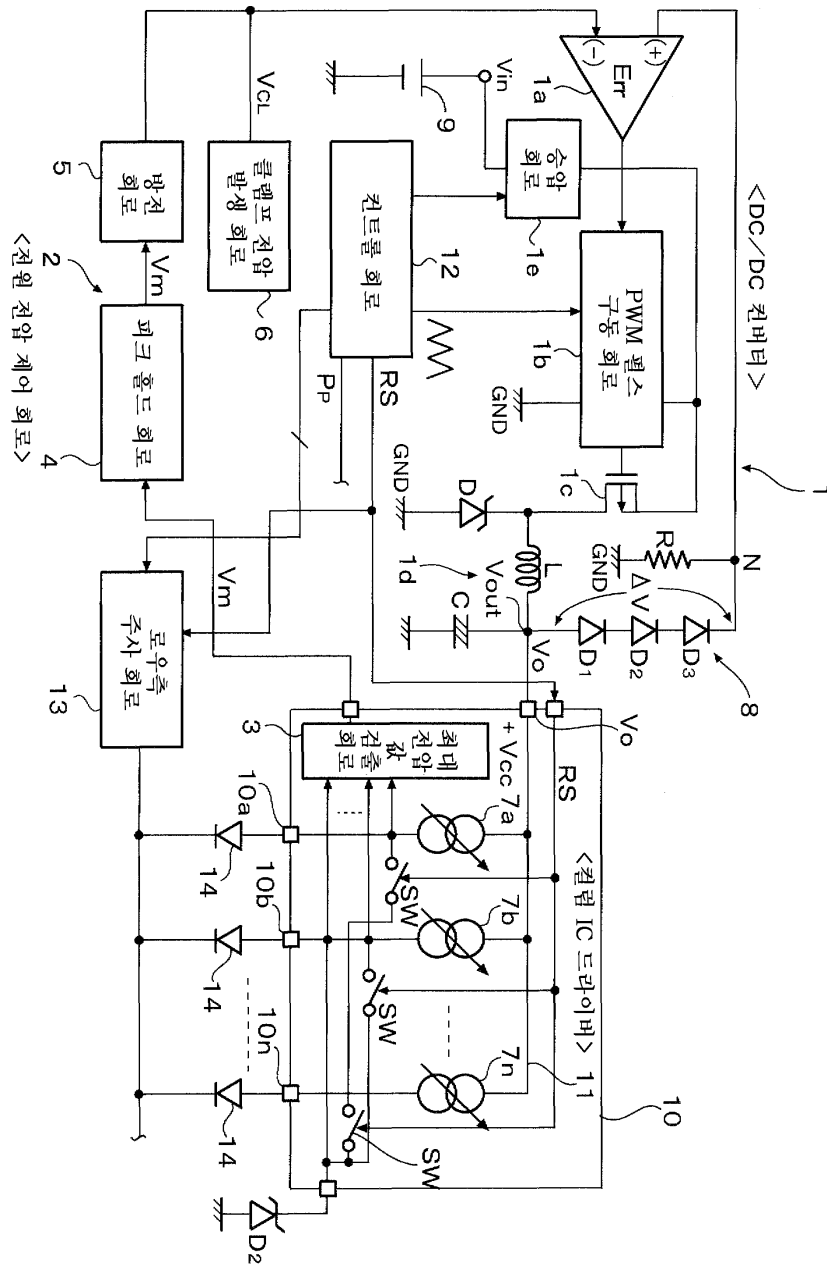
<68> 또한, 전원 전압을 추종시키기 위한 차전압 ΔV 는, 출력 단자의 최대 단자 전압값에 대하여 출력단 전류원이 동작 가능한 소정의 전위차가 있으면 된다.

도면의 간단한 설명

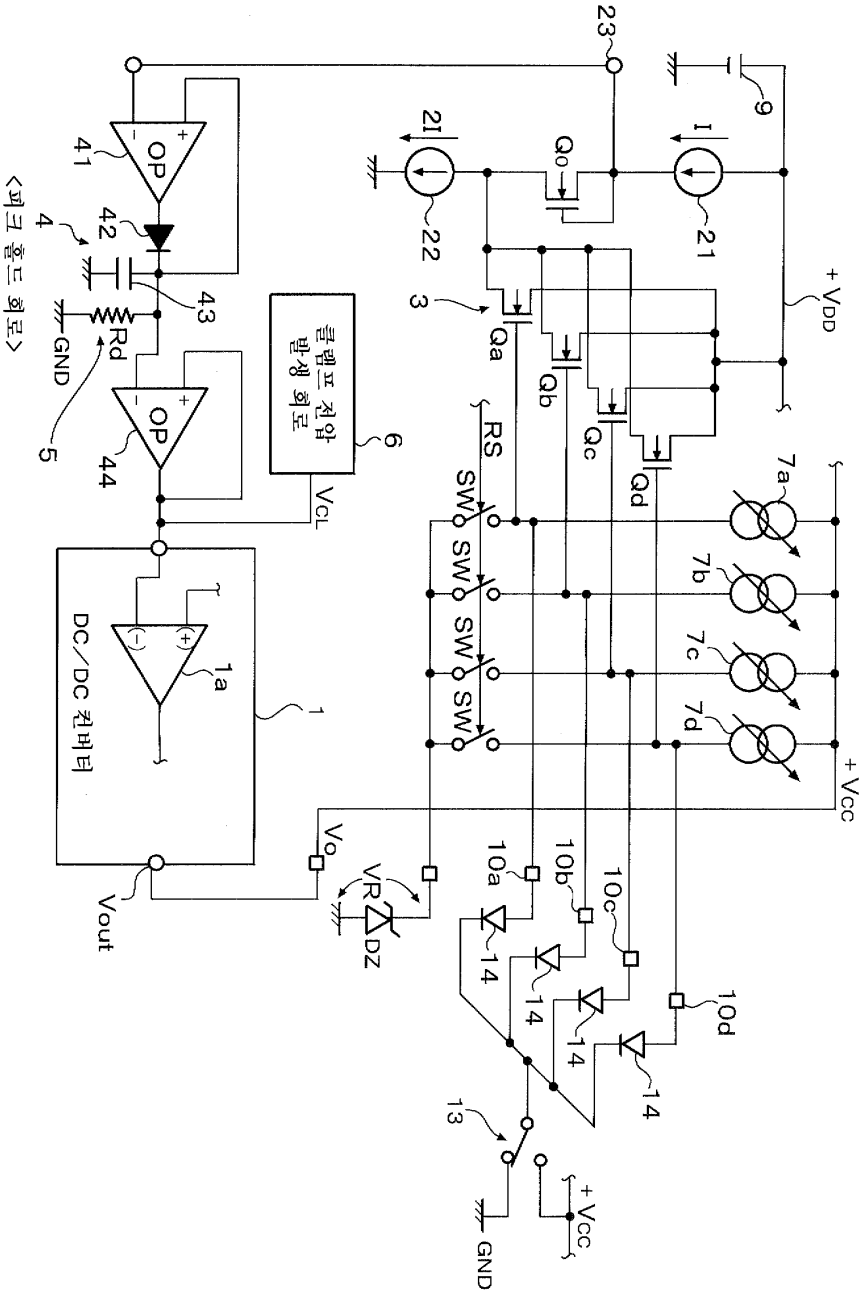
- <69> 도 1은, 본 발명의 유기 EL 구동 회로를 적용한 일 실시예의 유기 EL 패널의 전원 전압 제어 회로를 갖는 전원 회로를 중심으로 하는 블록도.
- <70> 도 2는, 도 1의 실시예에서의 최대 전압값 검출 회로와 피크 홀드 회로의 구체 예를 중심으로 한 설명도.
- <71> 도 3은, 그 전원 전압의 제어와 단자 핀 구동 파형의 설명도.
- <72> 도 4는, 승압형 스위칭 레귤레이터를 이용하는 실시예에서의 승압형 스위칭 레귤레이터의 일례의 설명도.
- <73> <부호의 설명>
- <74> 1 : DC/DC 컨버터
- <75> 1a : 오차 증폭기
- <76> 1b : PWM 펄스 구동 회로
- <77> 1c : 스위칭 트랜지스터
- <78> 1d : 승압 전압 안정화 회로
- <79> 2 : 전원 전압 제어 회로
- <80> 3 : 최대 전압값 검출 회로
- <81> 4 : 피크 홀드 회로
- <82> 5 : 방전 회로
- <83> 6 : 클램프 전압 발생 회로
- <84> 7a~7n : 출력단 전류원
- <85> 8 : 출력 전압 검출 회로
- <86> 9 : 전지
- <87> 10 : 컬럼 드라이버
- <88> 10a~10n : 출력단 전류원의 출력 단자
- <89> 11 : 전원 라인
- <90> 12 : 컨트롤 회로
- <91> 13 : 로우측 주사 회로
- <92> 14 : 유기 EL 소자

도면

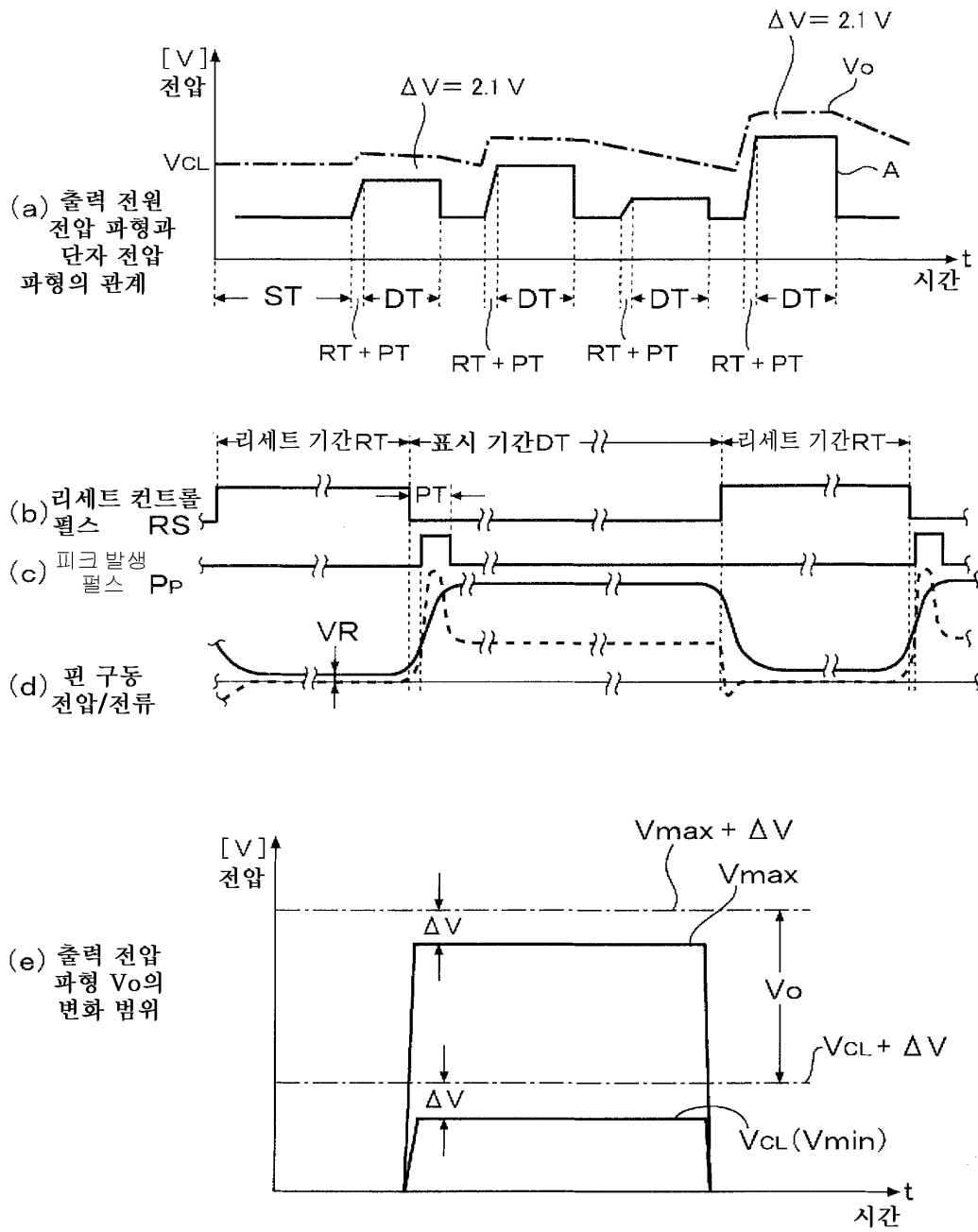
도면1



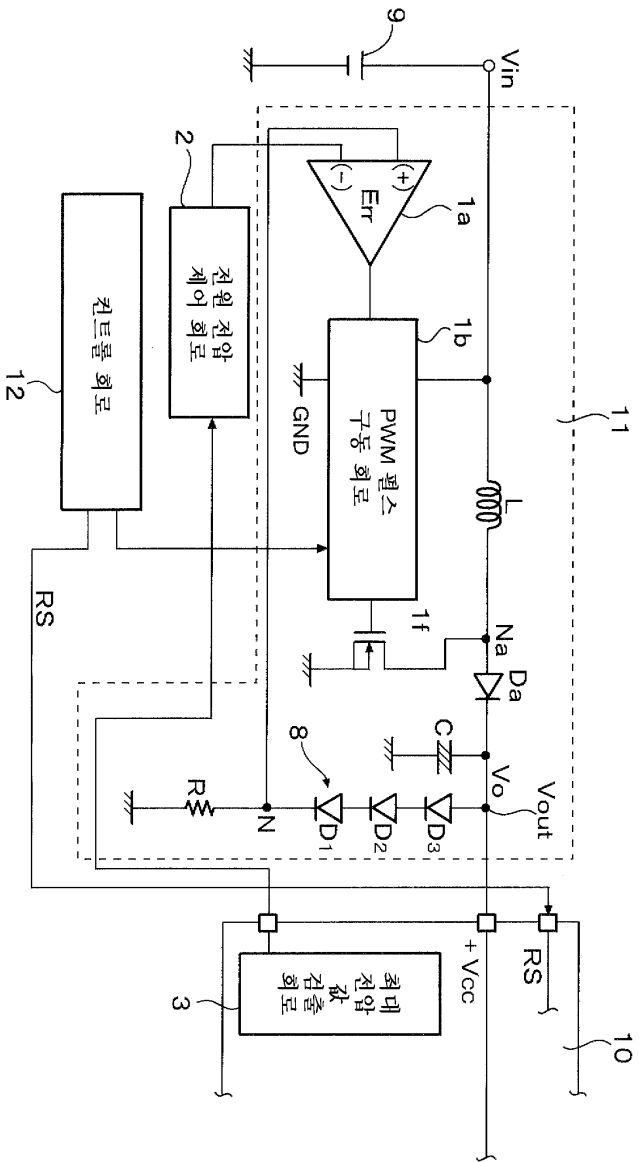
도면2



도면3



도면4



专利名称(译)	有机EL驱动电路和使用其的有机EL显示装置		
公开(公告)号	KR100855131B1	公开(公告)日	2008-08-28
申请号	KR1020077012093	申请日	2005-11-21
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	KOBAYASHI MASATO 고바야시마사토		
发明人	고바야시, 마사토		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G3/3208 G09G3/3216 G09G3/3275 G09G3/3283 G09G2330/021		
代理人(译)	Yangyoungjun Yijunghui		
优先权	2004343382 2004-11-29 JP		
其他公开文献	KR1020070085521A		
外部链接	Espacenet		

摘要(译)

[问题]提供一种有机EL驱动电路和有机EL显示装置，其能够通过降低输出级电流供应时的功耗来降低功耗。[解决问题的手段]提供一种电源电路，用于至少在保持电路中的有机EL元件的发光期间保持与各个端子电压中的最大电压值对应的电压，并且产生高于保持电压的电压的电力。通过预定值作为电源电压。因此，可以改变电源电压以跟随有机EL元件的发光期间各个端子电压中的最大电压值，并使其成为输出级电流源的电源电压。此外，上述预定值被设置为电源电压和最大电压值之间的电压差或高于输出级电流源的这种使能操作的电压。©KIPO & WIPO 2007

