



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월16일 10-0707886 2007년04월09일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0031340 2001년06월05일 2006년05월09일	(65) 공개번호 (43) 공개일자	10-2001-0110324 2001년12월13일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 2000-168331 2000년06월06일 일본(JP)

(73) 특허권자 가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마준
일본국가나가와켄아쓰기시하세398가부시킴가이샤한도오따이에네루기
켄큐쇼내

(74) 대리인 황의만

(56) 선행기술조사문헌
kr 1019990077568A kr 1020000006024A
* 심사관에 의하여 인용된 문헌

심사관 : 최정윤

전체 청구항 수 : 총 25 항

(54) 표시장치

(57) 요약

디지털 신호 샘플링 회로, 기억회로, 시간 설정 회로, 및 정전류 회로를 포함하는 신호선 구동회로를 화소부 기관과 동일한 물질로 된 절연 기관 상에 TFT로 제조한다. 그리하여, 패시브형 EL 표시장치에서는, 신호선 구동회로를 화소부 기관 상에 접합하는 경우에 있어서의 왜곡 문제가 해소될 수 있다. 또한, 액티브형 EL 표시장치에서는, 각 화소가 1개의 트랜지스터와 EL 소자로 구성된다. 그리하여, EL 표시장치의 개구율이 증대된다.

대표도

도 1

특허청구의 범위

청구항 1.

다수의 신호선 및 신호선 구동회로를 구비한 표시장치로서,

상기 신호선 구동회로는,

입력된 디지털 신호를 1 라인 기간에 걸쳐 샘플링하는 디지털 신호 샘플링 회로;

1 라인 기간분의 샘플링된 디지털 신호를 기억하는 기억회로;

기억된 디지털 신호를 대응하는 지속 시간의 펄스로 변환하는 시간 설정 회로; 및

펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로를 포함하는 것을 특징으로 하는 표시장치.

청구항 2.

제 1 항에 있어서, 상기 신호선 구동회로가 TFT를 사용하여 구성된 것을 특징으로 하는 표시장치.

청구항 3.

제 1 항에 따른 표시장치를 구비한 컴퓨터.

청구항 4.

제 1 항에 따른 표시장치를 구비한 비디오 카메라.

청구항 5.

제 1 항에 따른 표시장치를 구비한 DVD 플레이어.

청구항 6.

다수의 소스 신호선 및 소스 신호선 구동회로를 구비한 액티브형 표시장치로서,

상기 소스 신호선 구동회로는,

입력된 디지털 신호를 1 라인 기간에 걸쳐 샘플링하는 디지털 신호 샘플링 회로;

1 라인 기간분의 샘플링된 디지털 신호를 기억하는 기억회로;

기억된 디지털 신호를 대응하는 지속 시간의 펄스로 변환하는 시간 설정 회로; 및

펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로를 포함하는 것을 특징으로 하는 액티브형 표시장치.

청구항 7.

제 6 항에 있어서, 상기 소스 신호선 구동회로가 TFT를 사용하여 구성된 것을 특징으로 하는 액티브형 표시장치.

청구항 8.

제 6 항에 따른 액티브형 표시장치를 구비한 컴퓨터.

청구항 9.

제 6 항에 따른 표시장치를 구비한 비디오 카메라.

청구항 10.

제 6 항에 따른 표시장치를 구비한 DVD 플레이어.

청구항 11.

다수의 소스 신호선;

다수의 게이트 신호선;

다수의 화소;

상기 다수의 소스 신호선에 신호를 입력하기 위한 소스 신호선 구동회로; 및

상기 다수의 게이트 신호선에 신호를 입력하기 위한 게이트 신호선 구동회로를 구비한 표시장치로서,

상기 다수의 화소 각각은 EL 소자와, 게이트 전극과 소스 영역 및 드레인 영역을 가진 하나의 스위칭용 TFT를 포함하고,

상기 스위칭용 TFT의 게이트 전극은 상기 다수의 게이트 신호선 중의 하나에 접속되고, 상기 스위칭용 TFT의 소스 영역과 드레인 영역 중 어느 한쪽이 상기 다수의 소스 신호선 중의 하나에 접속되고, 다른 한쪽이 상기 EL 소자에 포함된 음극과 양극 중의 하나에 접속되어 있는 것을 특징으로 하는 표시장치.

청구항 12.

제 11 항에 있어서, 상기 소스 신호선 구동회로가,

입력된 디지털 신호를 1 라인 기간에 걸쳐 샘플링하는 디지털 신호 샘플링 회로;

1 라인 기간분의 샘플링된 디지털 신호를 기억하는 기억회로;

기억된 디지털 신호를 대응하는 지속 시간의 펄스로 변환하는 시간 설정 회로; 및

펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로를 포함하는 것을 특징으로 하는 표시장치.

청구항 13.

제 11 항에 있어서, 상기 EL 소자가, 단색 광을 발광하고 색 변환층과 조합하여 컬러 표시를 행할 수 있는 EL 층을 포함하는 것을 특징으로 하는 표시장치.

청구항 14.

제 13 항에 있어서, 상기 EL 층이 저분자계 유기 물질과 폴리머계 유기 물질로 이루어진 군에서 선택된 물질로 된 것을 특징으로 하는 표시장치.

청구항 15.

제 14 항에 있어서, 상기 저분자계 유기 물질이 Alq_3 (트리스-8-퀴놀리노라토-알루미늄) 및 TPD(트리페닐아민 유도체)로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 표시장치.

청구항 16.

제 14 항에 있어서, 상기 폴리머계 유기 물질이 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 및 폴리카보네이트로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 표시장치.

청구항 17.

제 13 항에 있어서, 상기 EL 층이 무기 물질로 된 것을 특징으로 하는 표시장치.

청구항 18.

제 11 항에 있어서, 상기 EL 소자가, 백색 광을 발광하고 컬러 필터와 조합하여 컬러 표시를 행할 수 있는 EL 층을 포함하는 것을 특징으로 하는 표시장치.

청구항 19.

제 18 항에 있어서, 상기 EL 층이 저분자계 유기 물질과 폴리머계 유기 물질로 이루어진 군에서 선택된 물질로 된 것을 특징으로 하는 표시장치.

청구항 20.

제 19 항에 있어서, 상기 저분자계 유기 물질이 Alq_3 (트리스-8-퀴놀리노라토-알루미늄) 및 TPD(트리페닐아민 유도체)로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 표시장치.

청구항 21.

제 19 항에 있어서, 상기 폴리머계 유기 물질이 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 및 폴리카보네이트로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 표시장치.

청구항 22.

제 18 항에 있어서, 상기 EL 층이 무기 물질로 된 것을 특징으로 하는 표시장치.

청구항 23.

제 11 항에 따른 표시장치를 구비한 컴퓨터.

청구항 24.

제 11 항에 따른 표시장치를 구비한 비디오 카메라.

청구항 25.

제 11 항에 따른 표시장치를 구비한 DVD 플레이어.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기관 상에 EL(electroluminescence; 전계 발광) 소자가 형성된 전자 표시장치에 관한 것이다. 구체적으로는, 본 발명은 반도체 소자(반도체 박막을 포함하는 소자)를 이용한 표시장치에 관한 것이다. 또한, 본 발명은 표시부에 EL 표시장치를 사용한 전자 장치에 관한 것이다.

최근, 자기 발광형 소자로서 EL 소자를 구비한 EL 표시장치가 활발하게 개발되고 있다. EL 표시장치는 "유기 EL 디스플레이(OELD)" 또는 "유기 발광 다이오드(OLED)"라 불리기도 한다.

액정 표시장치와는 달리, EL 표시장치는 자기 발광형이다. EL 소자는 한 쌍의 전극(양극과 음극) 사이에 EL 층이 끼여진 구조로 되어 있고, EL 층은 통상 적층 구조로 되어 있다. 대표적으로는, Eastman Kodak Company의 Tang 등에 의해 제안된 "정공 수송층/발광층/전자 수송층"의 적층 구조를 들 수 있다. 이 적층 구조는 매우 높은 발광 효율을 나타내고, 현재 연구 개발 중인 대부분의 EL 표시장치가 이 구조를 채택하고 있다.

또는, 양극 상에 정공 주입층/정공 수송층/발광층/전자 수송층 또는 정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층의 순서로 적층한 구조로 될 수도 있다. 발광층에 형광성 색소 등을 도핑하여도 좋다.

본 명세서에서, 음극과 양극과의 사이에 끼여진 모든 층을 총칭하여 "EL 층"이라 부른다. 따라서, 상기한 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 모두 "EL 층"에 포함된다.

여기서, 한 쌍의 전극에 의해 상기 구조의 EL 층에 소정의 전압이 인가되고, 이것에 의해, 발광층에서 일어나는 캐리어의 재결합에 의해 발광이 이루어진다. 본 명세서에서, EL 소자가 발광하는 것을 "EL 소자가 구동되는 것"이라 부른다. 또한, 본 명세서에서, 양극, EL 층, 및 음극으로 구성되는 발광 소자를 "EL 소자"라 부른다.

본 명세서에서는, "EL 소자"가 1중항 여기자로부터의 발광(형광)과 3중항 여기자로부터의 발광(인광) 모두를 포함한다.

EL 표시장치의 구동방식으로서, 패시브 방식과 액티브 방식이 있다.

패시브형 EL 표시장치는, 절연 기판 상에 형성된 줄무늬 형상의 양극(투명 전극), 유기 EL 층, 및 양극과 직교하도록 형성된 줄무늬 형상의 음극을 차례로 적층한 구조를 가진다. 패시브형 EL 표시장치의 구동방식의 등가 회로가 도 2에 도시되어 있다. 이 패시브 방식에서는, 주사선이 하나씩 선택되고, 선택된 주사선 상에 있는 화소들 중, 신호선이 온(ON)으로 되어 있는 화소만이 발광한다.

신호선에 입력되는 신호는 외부로부터 입력된 데이터 신호(비디오 신호)가 신호선 구동회로에 의해 편집되어 생성된다. 여기서, 패시브형 EL 표시장치에서, 이 신호선 구동회로는, IC 칩을 TAB(Tape Automated Bonding)에 의해 표시장치 상에 장착하거나 IC 칩을 직접 화소 기판 상에 접합함으로써 표시장치에 조립되어 배치된다. IC 칩은 실리콘 칩과 같은 반도체 기판 상에 회로가 형성되도록 구성되어 있다. 따라서, IC 칩을 직접 화소 기판 상에 접합하는 경우에는, 반도체 기판이 화소 기판으로서 사용되는 절연 기판 상에 접합되는 것으로 된다.

한편, 액티브형 EL 표시장치는, EL 소자와, 절연 기판 상에 형성된 게이트 신호선, 소스 신호선, 전원 공급선, 트랜지스터, 및 커패시터로 구성된다. 표시장치의 각 화소에는, 1개의 커패시터와 2개의 트랜지스터가 배치된다.

일반적으로, 액티브형 EL 표시장치는 각 화소에 2개 이상의 트랜지스터가 배치된 구조를 가진다.

액티브형 EL 표시장치에서는, 화소는 트랜지스터가 반도체 박막을 사용하여 절연 기판 상에 제조되어 형성된다. 여기서, 반도체 박막을 사용하여 형성된 트랜지스터를 "박막트랜지스터(이하, TFT라 약칭함)"라 부른다.

액티브 EL 표시장치의 화소의 회로도가 도 3에 도시되어 있다.

스위칭용 TFT의 게이트 전극이 게이트 신호선에 접속되어 있다. 스위칭용 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 소스 신호선에 접속되고, 다른 한쪽 영역이 EL 구동용 TFT의 게이트 전극 및 커패시터의 한쪽 전극에 접속되어 있다. EL 구동용 TFT의 소스 영역과 드레인 영역 중 한쪽 영역이 EL 소자의 양극 또는 음극에 접속되고, 다른 한쪽 영역이 전원 공급선에 접속되어 있다. 커패시터 중, 스위칭용 TFT에 접속되지 않은 전극이 전원 공급선에 접속되어 있다.

게이트 신호선과 소스 신호선 모두가 온으로 된 화소에서는, 스위칭용 TFT를 통해 커패시터에 전하가 축적된다. 이 커패시터가 EL 구동용 TFT의 게이트 전극에 계속 전압을 인가하는 동안, 전원 공급선으로부터 EL 구동용 TFT를 통해 EL 소자로 전류가 계속 흘러 EL 소자가 계속 발광한다.

소스 신호선에 입력되는 신호는 외부로 입력된 데이터 신호가 소스 신호선 구동회로에 의해 편집되어 생성된다. 액티브형 EL 표시장치에서는, 소스 신호선 구동회로가 표시장치의 화소부의 회로와 동시에 절연 기판 상의 TFT로 제조될 수 있다.

액티브형 EL 표시장치의 구동방법으로서 아날로그 방식의 구동방법(아날로그 구동)을 들 수 있다. 이 아날로그 구동에 대하여 도 4 및 도 5를 참조하여 설명한다.

도 4는 아날로그 구동의 액티브형 EL 표시장치의 화소부의 구성을 나타낸다. 게이트 신호선 구동회로부터의 선택 신호가 각각 입력되는 게이트 신호선(G1~Gy)은 개개의 화소에 포함된 스위칭용 TFT(1801)의 게이트 전극에 접속되어 있다. 또한, 개개의 화소에 포함된 스위칭용 TFT(1801)의 소스 영역과 드레인 영역 중 어느 한쪽 영역은 아날로그 신호가 각각 입력되는 소스 신호선("데이터 신호선"이라고도 함)(S1~Sy)에 접속되고, 다른 한쪽 영역은 개개의 화소에 포함된 EL 구동용 TFT(1804)의 게이트 전극 및 개개의 화소에 포함된 커패시터(1808)에 접속되어 있다.

개개의 화소에 포함된 EL 구동용 TFT(1804)의 소스 영역과 드레인 영역 중 어느 한쪽 영역은 전원 공급선(V1~Vx)에 접속되고, 다른 한쪽 영역은 EL 소자(1806)에 접속되어 있다. 전원 공급선(V1~Vx)의 전위를 "전원 전위"라 부른다. 또한, 전원 공급선(V1~Vx)은 개개의 화소에 포함된 커패시터(1808)에 접속되어 있다.

각각의 EL 소자(1806)는 양극, 음극, 및 양극과 음극 사이에 끼여진 EL 층을 포함한다. EL 소자(1806)의 양극이 EL 구동용 TFT(1804)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우에는, EL 소자(1806)의 양극이 화소 전극으로서 기능하고, 음극이 대향 전극으로서 기능한다. 반대로, EL 소자(1806)의 음극이 EL 구동용 TFT(1804)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우에는, EL 소자(1806)의 양극이 대향 전극으로서 기능하고, 음극이 화소 전극으로서 기능한다.

본 명세서에서는, 대향 전극의 전위를 "대향 전위"라 부른다. 또한, 대향 전위를 대향 전극에 인가하는 전원을 "대향 전원"이라 부른다. 화소 전극의 전위와 대향 전극의 전위와의 전위차가 EL 층에 걸리는 "EL 구동 전압"이다.

도 5는 도 4에 도시된 액티브형 EL 표시장치가 아날로그 구동방식으로 구동되는 경우의 타이밍 차트를 나타낸다. 게이트 신호선들 중의 하나가 선택되고부터 그 다음에 다른 게이트 신호선이 선택되기까지의 기간을 "1 라인 기간(L)"이라 부른다. 또한, 하나의 화상이 표시되고부터 다음의 화상이 표시되기때까지의 기간이 "1 프레임 기간(F)"에 해당한다. 도 4에 도시된 액티브형 EL 표시장치의 경우, 게이트 신호선이 y개 배치되어 있으므로, 1 프레임 기간 중에 y개의 라인 기간(L1~Ly)이 제공된다.

표시장치의 해상도가 높게 됨에 따라, 1 프레임 기간 중의 라인 기간의 수도 증가하게 되고, 구동회로가 높은 주파수로 구동되어야 한다.

먼저, 전원 공급선(V1~Vx)은 소정의 전원 전위로 유지되어 있다. 그리고, 대향 전극의 전위인 대향 전위도 소정의 전위로 유지되어 있다. 대향 전위는 EL 소자가 발광하는 정도로 전원 전위와의 사이에 전위차를 가진다.

제1 라인 기간(L1)에서, 게이트 신호선(G1)에는 게이트 신호선 구동회로부터의 선택 신호가 입력된다. 그리고, 소스 신호선(S1~Sx)에 아날로그 신호가 차례로 입력된다. 게이트 신호선(G1)에 접속된 모든 스위칭용 TFT가 온 상태로 되기 때문에, 소스 신호선에 입력된 아날로그 신호는 대응하는 스위칭용 TFT를 통해 EL 구동용 TFT의 게이트 전극에 입력된다.

여기서, 각 TFT의 "온 상태"란 TFT의 소스-드레인 경로가 TFT의 게이트 전압에 의해 도통(導通) 상태로 되었음을 의미한다.

EL 구동용 TFT의 채널 형성 영역을 통해 흐르는 전류의 양은 그 TFT의 게이트 전극에 입력되는 신호의 전위의 크기(전압)에 의해 제어된다. 따라서, EL 소자의 화소 전극에 작용하는 전위는 EL 구동용 TFT의 게이트 전극에 입력되는 아날로그 신호의 전위의 크기에 의해 결정된다. 즉, EL 소자는 아날로그 신호의 전위에 의한 제어되어 발광을 행한다.

상기한 동작을 반복하여 모든 소스 신호선(S1~Sx)에 아날로그 신호가 입력된 때, 제1 라인 기간(L1)이 종료된다. 또한, 1 라인 기간은 아날로그 신호가 모든 소스 신호선(S1~Sx)에 입력되는 기간에 수평 귀선(歸線) 기간을 더하여 얻어진 합으로서 설정될 수도 있다. 이어서, 제2 라인 기간(L2)이 시작되어, 게이트 신호선(G2)에 선택 신호가 입력된다. 그리고, 제1 라인 기간(L1)에서와 같이, 소스 신호선(S1~Sx)에 아날로그 신호가 차례로 입력된다.

그렇게 하여, 모든 게이트 신호선(G1~Gy)에 선택 신호가 입력되면, 모든 라인 기간(L1~Ly)이 종료된다. 모든 라인 기간(L1~Ly)이 종료되면, 1 프레임 기간이 종료된다. 1 프레임 기간 중에는, 모든 화소가 표시를 행하여, 하나의 화상이 형성된다. 또한, 1 프레임 기간은 모든 라인 기간(L1~Ly)에 수직 귀선 기간을 더하여 얻어진 합으로서 설정될 수도 있다.

이렇게 하여, EL 소자의 발광량이 아날로그 신호에 의해 제어되고, 그 발광량의 제어에 의해 계조 표시가 제공된다. 이 방식에서는, 소스 신호선에 입력되는 아날로그 신호의 전위의 변화에 의해 계조 표시가 행해진다.

도 6(A)는 EL 구동용 TFT의 트랜지스터 특성을 나타내는 그래프이다. 트랜지스터 특성(401)은 "Id-Vg 특성"(또는 "Id-Vg 곡선")으로 불린다. 여기서, 기호 Id는 드레인 전류를 나타내고, 기호 Vg는 게이트 전압을 나타낸다. 이 그래프로부터, 임의의 게이트 전압에 대하여 흐르는 전류의 양을 알 수 있다.

통상, 점선(402)으로 나타낸 Id-Vg 특성의 영역이 EL 소자의 구동에 사용된다. 그 점선으로 둘러싸인 영역의 확대도가 도 6(B)에 도시되어 있다.

도 6(B)에서, 빗금 친 영역이 "서브스레시홀드(subthreshold) 영역"이라 불린다. 실제에는, 서브스레시홀드 영역이란 스레시홀드 전압(Vth) 이하의 게이트 전압에 대응하는 영역을 가리키고, 이 영역에서는, 드레인 전류가 게이트 전압의 변화에 대하여 지수함수적으로 변화한다. 이 영역을 사용하여 게이트 전압에 의거한 전류 제어가 행해진다.

스위칭용 TFT가 "온" 상태로 됨으로써 화소에 입력된 아날로그 신호는 EL 구동용 TFT의 게이트 전압이 된다. 이때, 드레인 전류는 도 6A에 도시된 Id-Vg 특성에 따라 게이트 전압과 1 대 1로 대응하여 결정된다. 구체적으로는, 드레인 영역의 전위(온 상태에서의 EL 구동 전위)는 EL 구동용 TFT의 게이트 전극에 입력되는 아날로그 신호의 전압에 대응하여 결정되고, 소정의 드레인 전류가 EL 소자를 통해 흐르고, 그 전류량에 대응하는 발광량으로 EL 소자가 발광한다.

상기한 바와 같이, EL 소자의 발광량이 아날로그 신호에 의해 제어되고, 계조 표시가 제공된다.

패시브형 EL 표시장치에서는, 신호선 구동회로를 조립하는데 TAB를 이용하는 경우, TAB에 필요한 면적을 작게 하는 것이 어려워, 표시장치를 소형화하는 것이 어렵다는 문제가 있다. 한편, IC 칩이 화소부가 형성된 기판 상에 직접 접합되는 경우에는, IC 칩의 반도체 기판과 화소부의 절연 기판과의 사이의 접합 표면은 상이한 종류의 물질이 접합된 계면이 된다. 그 때문에, 물질의 열 팽창 계수의 차이로 인한 온도 변화에 의해 계면에서 왜곡(distortion)이 발생하는 문제가 있다. 그러한 왜곡은 구동회로의 구조를 교란시키고, 패시브형 EL 표시장치의 신뢰성을 손상시키는 원인들 중 하나가 된다.

한편, 액티브형 EL 표시장치에서는, 소스 신호선 구동회로가 화소부의 회로와 동시에 절연 기판 상에 제조될 수 있기 때문에, 액티브형 EL 표시장치는 소스 신호선 구동회로를 조립하는 경우에 있어서의 패시브형 EL 표시장치에서와 같은 문제가 없다. 그러나, 화소부의 구성을 고려하면, 화소마다 2개의 트랜지스터가 배치되어 있고, 그 때문에, 화소가 작게 될수록 화소 내의 트랜지스터의 점유율이 커져서 화소의 개구율의 저하를 초래하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 패시브형 EL 표시장치의 제조에 있어서 IC 칩 형태의 신호선 구동회로를 조립하는 경우에 일어나는 문제인, IC 칩과 화소부 기판과의 사이의 계면의 왜곡의 문제를 해결하는데 있다.

본 발명의 다른 목적은, 개구율이 큰 액티브형 EL 표시장치를 제조하는데 있다.

발명의 구성

이제까지, 패시브형 EL 표시장치에서는, 반도체 기판 상에 형성된 신호선 구동회로를 화소부 기판 상에 접합하는 것이 표시장치의 신뢰성을 손상시키는 원인들 중 하나이었다. 그래서, 신호선 구동회로를 화소부 기판의 물질과 동일한 물질로 된 절연 기판 상에 제조한다. 이것에 의해, 신호선 구동회로를 화소부 기판 상에 접합한 때, 그들 사이의 계면이 동일한 물질로 되어 동일한 열 팽창 계수를 보이는 기판들 사이의 접합 계면이 되어, 왜곡의 문제가 해소될 수 있다.

또한, 이제까지, 액티브형 EL 표시장치에서는, 화소마다 2개의 트랜지스터를 배치하는 것이 표시장치의 개구율을 감소시키는 원인들 중 하나이었다. 그래서, 각 화소를 1개의 트랜지스터와 EL 소자로 구성하여, EL 표시장치의 개구율을 증대시킨다.

이하, 본 발명의 특징을 요약한다.

본 발명에 따르면, 다수의 신호선 및 신호선 구동회로를 가지는 표시장치로서, 상기 신호선 구동회로는 입력된 디지털 신호를 1 라인 기간에 걸쳐 샘플링하는 디지털 신호 샘플링 회로, 1 라인 기간분의 샘플링된 디지털 신호를 기억하는 기억회로, 기억된 디지털 신호를 대응하는 지속 시간의 펄스로 변환하는 시간 설정 회로, 및 이 펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로를 포함하는 것을 특징으로 하는 표시장치가 제공된다.

또한, 본 발명에 따르면, 다수의 소스 신호선 및 소스 신호선 구동회로를 가지는 표시장치로서, 상기 소스 신호선 구동회로는 입력된 디지털 신호를 1 라인 기간에 걸쳐 샘플링하는 디지털 신호 샘플링 회로, 1 라인 기간분의 샘플링된 디지털 신호를 기억하는 기억회로, 기억된 디지털 신호를 대응하는 지속 시간의 펄스로 변환하는 시간 설정 회로, 및 펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로를 포함하는 것을 특징으로 하는 표시장치가 제공된다.

표시장치는, 상기 신호선 구동회로가 TFT를 사용하여 구성되는 것을 특징으로 할 수도 있다.

표시장치는, 상기 소스 신호선 구동회로가 TFT를 사용하여 구성되는 것을 특징으로 할 수도 있다.

또한, 본 발명에 따르면, 다수의 소스 신호선, 다수의 게이트 신호선, 다수의 화소, 상기 다수의 소스 신호선에 신호를 입력하기 위한 소스 신호선 구동회로, 및 상기 다수의 게이트 신호선에 신호를 입력하기 위한 게이트 신호선 구동회로를 가지는 표시장치로서, 상기 다수의 화소 각각은 EL 소자, 및 하나의 스위칭용 TFT를 포함하고, 상기 스위칭용 TFT의 게이트 전극은 상기 다수의 게이트 신호선 중의 하나에 접속되고, 상기 스위칭용 TFT의 소스 영역과 드레인 영역 중의 어느 한쪽 영역은 상기 다수의 소스 신호선 중의 하나에 접속되고, 상기 스위칭용 TFT의 소스 영역과 드레인 영역 중의 다른 한쪽 영역은 상기 EL 소자에 포함된 음극과 양극 중의 어느 하나에 접속되어 있는 것을 특징으로 하는 표시장치가 제공된다.

표시장치는, 상기 소스 신호선 구동회로가 입력된 디지털 신호를 1 라인 기간에 걸쳐 샘플링하는 디지털 신호 샘플링 회로, 1 라인 기간분의 샘플링된 디지털 신호를 기억하는 기억회로, 기억된 디지털 신호를 대응하는 지속 시간의 펄스로 변환하는 시간 설정 회로, 및 펄스의 지속 시간 동안 일정 값의 전류를 신호선에 출력하는 정전류 회로를 포함하는 것을 특징으로 할 수도 있다.

표시장치는, 상기 EL 소자가, 단색 광을 발광하고 색 변환층과 조합하여 컬러 표시를 제공할 수 있는 EL 층을 포함하는 것을 특징으로 할 수도 있다.

표시장치는, 상기 EL 소자가, 백색 광을 발광하고 컬러 필터와 조합하여 컬러 표시를 제공할 수 있는 EL 층을 포함하는 것을 특징으로 할 수도 있다.

표시장치는, 상기 EL 층이 저분자계 유기 물질 또는 폴리머계 유기 물질로 된 것을 특징으로 할 수도 있다.

표시장치는, 상기 저분자계 유기 물질이 Alq₃(트리스-8-퀴놀리노라토-알루미늄) 또는 TPD(트리페닐아민 유도체)인 것을 특징으로 할 수도 있다.

표시장치는, 상기 폴리머계 유기 물질이 PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 또는 폴리카보네이트인 것을 특징으로 할 수도 있다.

표시장치는, 상기 EL 층이 무기 물질로 된 것을 특징으로 할 수도 있다.

컴퓨터, 비디오 카메라, 또는 DVD 플레이어가 상기한 표시장치를 포함하는 것을 특징으로 할 수도 있다.

이하, 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구조 및 구동 방법에 대하여 설명한다. 도 1은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구성을 나타낸다.

소스 신호선 구동회로(100)는 디지털 신호 샘플링 회로(101), 기억회로(102), 시간 설정 회로(103), 및 정전류 회로(104)로 구성되어 있다.

디지털 신호 샘플링 회로(101)에 디지털 신호(디지털 계조 신호)가 입력된다. 이 디지털 계조 신호는 1 라인 기간에 걸쳐 샘플링되고, 1 라인 기간분의 샘플링된 디지털 계조 신호는 기억회로(102)에 보유된다. 이 기억회로(102)에 보유된 샘플링된 디지털 계조 신호는 래치 신호에 따라 기억회로(102)로부터 시간 설정 회로(103)로 출력된다. 시간 설정 회로(103)에 입력된 샘플링된 디지털 계조 신호는 카운터 신호와의 비교에 의해 그 신호에 대응하는 길이의 펄스로 변환된다. 이 펄스는 정전류 회로(104)에 입력된다. 입력된 펄스의 길이에 대응한 기간 동안 소스 신호선에 전류가 출력된다.

본 발명에 따른 EL 표시장치의 소스 신호선 구동회로는 TFT를 사용하여 절연 기판 상에 제조될 수 있다. 그리하여, 절연 기판 상에 제조된 전류 출력형의 소스 신호선 구동회로가 얻어질 수 있다.

이 소스 신호선 구동회로를 앞에서 참조된 도 2에 도시된 신호선 구동회로에 적용하면, 패시브형 EL 표시장치에서 기판의 왜곡에 기인한 단점을 해결할 수 있다.

다음에, 본 발명에 따른 액티브형 EL 표시장치의 각 화소의 구성에 대하여 설명한다. 도 12는 본 발명에 따른 액티브형 EL 표시장치의 화소의 구성을 나타낸다. 화소는 스위칭용 TFT(1101)와 EL 소자(1102)로 구성되어 있다. 표시장치의 도시된 부분에서는, 게이트 신호선(G1)과 소스 신호선(S1)이 배치되어 있다. 게이트 신호선(G1)은 스위칭용 TFT(1101)의 게이트 전극에 접속되어 있다. 또한, 스위칭용 TFT(1101)의 소스 영역과 드레인 영역 중의 어느 한쪽 영역은 소스 신호선(S1)에 접속되고, 다른 한쪽 영역은 EL 소자(1102)에 접속되어 있다.

이 화소에서, 게이트 신호선(G1)에 신호가 입력된 때 스위칭용 TFT(1101)가 온(ON) 상태로 된다. 이때, 소스 라인 구동 회로로부터 소스 신호선(S1)에 전류가 입력되면, 계조 신호에 대응한 전류가 스위칭용 TFT(1101)를 통해 EL 소자(1102)로 흘러 EL 소자(1102)가 발광한다. 이와 같이, 소스 신호선에 입력되는 전류에 의해 EL 소자(1102)의 발광이 제어되어, 계조 표시를 행하게 된다.

본 발명에 따른 액티브형 EL 표시장치에서는, 각 화소가 1개의 TFT와 EL 소자로 구성되어 있어, 액티브형 EL 표시장치의 개구율이 증대될 수 있다.

다음에, 본 발명의 실시예를 설명한다.

[실시예 1]

도 7은 본 발명의 EL 표시장치의 소스 신호선 구동회로의 구성 및 구동방법을 나타낸다.

본 실시예에서는, x개의 소스 신호선에 신호를 출력하는 소스 신호선 구동회로에 대하여 설명한다.

디지털 신호 샘플링 회로(210) 및 기억회로(202)는 시프트 레지스터(203), 래치 회로 1(204a), 및 래치 회로 2(204b)로 구성되어 있다.

디지털 신호 샘플링 회로(201)에 디지털 계조 신호(VD)가 입력된다. 본 실시예에서는, 4 비트의 디지털 계조 신호에 대응하는 소스 신호선 구동회로를 예로 들고 있지만, 본 발명은 이것에 한정되는 것은 아니고, 6 비트, 8 비트, 또는 그 외의 비트의 디지털 계조 신호에 대해서도 적용될 수 있다.

디지털 신호 샘플링 회로(201)에 의해 샘플링된 디지털 계조 신호(VD)는 래치 회로 1(래치(LAT1,1~LAT1,x))에 차례로 입력된다. 래치 회로 2(래치(LAT2,1~LAT2,x))는 래치 펄스선(205)에 입력되는 래치 펄스에 의거하여, 래치 회로 1의 래치(LAT1,1~LAT1,x)로부터 동시에 전송된 데이터를 기억한다. 신호선(206)은 래치 회로 2의 래치(LAT2,1~LAT2,x)로부터 전송된 신호를 하위 스테이지에 공급한다.

본 실시예에서는, 4 비트의 디지털 계조 신호를 취급하므로, 래치 회로 2의 래치(LAT2,1~LAT2,x) 각각으로부터 4개의 신호선(206)이 인출되어 있다.

일반적으로, n 비트의 디지털 비디오 신호를 취급하는 경우에는, 래치 회로 2의 래치(LAT2,1~LAT2,x) 각각으로부터 n 개의 신호선(206)이 인출되어 있다.

또한, 신호선(206)에는 차례로 부호가 부여되지만, 도 7에서는 생략하였다.

여기서, 디지털 계조 신호(VD)의 입력 후 래치 회로 2의 래치(LAT2,1~LAT2,x)로부터 샘플링된 신호가 출력되기까지의 소스 신호선 구동회로의 동작에 대하여 제1 소스 신호선(S1)에의 출력에 대응하는 래치(LAT1,1~LAT2,1)에 주목하여 상세히 설명한다.

도 8은 도 7의 제1 소스 신호선(S1)에의 출력에 대한 디지털 신호 샘플링 회로(201)의 일부와 래치(LAT1,1~LAT2,1)를 나타낸다. 신호선(206)에 부호 L1,1~L1,4가 부여되어 있는 것이 보인다. 각각의 신호선(206)을 나타내는 부호 "La,b"에서, 문자 a는 래치 회로 2의 래치의 번호를 나타내고, 문자 b는 최상위 비트(숫자 1)~최하위 비트(숫자 4) 중의 하나를 나타낸다.

시프트 레지스터(203)를 포함하는 샘플링 회로(201)에 의해 샘플링된 디지털 계조 신호(VD)의 샘플링된 비트 신호가 래치(LAT1,1)에 기억되고, 래치 펄스선(205)으로부터 전송된 래치 펄스에 의거하여 래치(LAT2,1)에 보유된다. 이 보유된 비트 신호는 신호선(L1,1~L1,4)을 통해 하위 스테이지로 보내진다.

마찬가지로, 모든 신호선(206)에 부호 L1,1~Lx,4가 부여되어 있다. 그러한 비트 신호는 신호선(L1,1~Lx,4)으로부터 동시에 하위 스테이지로 전송된다. 그러한 동작이 모든 게이트 신호선에 대하여 반복되면, 1 프레임이 종료된다.

도 7을 다시 참조하면, 래치 회로 2의 래치(LAT2,1~LAT2,x)로부터 출력된 데이터는 시간 설정 회로(207)(구성 회로(Ta~Tx))에 입력된다. 이 시간 설정 회로(207)(구성 회로(T1~Tx))에 입력된 신호는 시간 설정 회로(207)(구성 회로(T1~Tx))에 입력되는 카운터 신호선(209)의 신호(비트 신호)와 비교된다. 양 신호가 일치할 때에만 정전류 회로(208)(정전류원(I1~Ix))에 신호가 보내진다.

여기서, 래치 회로 2의 래치(LAT2,1~LAT2,x)로부터 출력된 데이터가 시간 설정 회로로부터 출력되기까지의 소스 신호선 구동회로의 동작에 대하여 제1 소스 신호선(S1)에의 출력에 대응하는 구성 회로(T1)에 주목하여 상세히 설명한다.

도 9는 도 7의 제1 소스 신호선(S1)에의 출력에 대응하는 시간 설정 회로(T1)를 나타낸다. 이 시간 설정 회로(T1)는 카운터 신호선(비트선(209_1~209_4)), "ex.or" 회로(ex.or1~ex.or4), "nor" 회로(nor1~nor4), 및 초기 입력선(210)을 포함한다.

한편, 본 실시예에서는, 4 비트의 디지털 계조 신호를 취급하므로, 카운터 신호선(209)은 4개의 비트선(209_1~209_4)으로 구성된다. 각각의 카운터 비트 신호선을 나타내는 부호 "209_a"에서, 문자 a는 최상위 비트(숫자 1)~최하위 비트(숫자 4) 중의 하나를 나타낸다.

일반적으로, n 비트의 디지털 비디오 신호를 취급하는 경우, 카운터 비트 신호선은 n개이다.

여기서, 문자 m은 카운터 비트 신호선(209_1)으로 출력되는 펄스의 주기를 나타내고, 카운터 비트 신호선(209_2)으로 출력되는 펄스는 m/2의 주기를 가지고, 카운터 비트 신호선(209_3)으로 출력되는 펄스는 m/4의 주기를 가지고, 카운터 비트 신호선(209_4)으로 출력되는 펄스는 m/8의 주기를 가진다.

래치(LAT2,1)로부터 신호선(L1,1~L1,4)으로 출력된 신호는 시간 설정 회로(T1)에 입력된다. 여기서, 이들 신호가 카운터 신호선(209_1~209_4)의 신호와 각각 일치하는 경우, 즉, ex.or 회로(ex.or1~ex.or 4)에 동일한 신호가 각각 입력되는 경우, nor 회로(nor1)로부터 신호가 nor 회로(nor2, nor 3)로 이루어진 래치(LAT3,1)에 입력된다.

여기서, 1 라인 기간의 시작 시에, 초기 입력선(210)을 통해 래치(LAT3,1)에 신호가 입력된다. 이 초기 입력 신호로 인해, 래치(LAT3,1)로부터 TP1로 신호가 출력된다. 또한, 이 초기 입력 신호는 다음 신호가 래치(LAT3,1)에 입력될 때까지 계속하여 출력된다.

그후, 상기한 바와 같이 LAT2,1로부터 출력된 신호에 의해 nor 회로(nor1)로부터 래치(LAT3,1)에 신호가 입력되면, 초기 입력 신호가 TP1로 출력되지 않게 된다.

여기서, 시간 설정 회로(T1)의 동작을 도 10의 타이밍 차트를 참조하여 설명한다.

라인 기간(L1)에서, 신호 "1", "0", "0", "1"이 래치(LAT2,1)로부터 신호선(L1,1 ~ L1,4)을 통해 시간 설정 회로(T1)에 입력된 경우를 예로 든다(신호 "0"은 신호가 입력되지 않는 경우에 해당한다).

라인 기간(L1)의 초기 기간(t0)에, 초기 입력선(210)으로부터 래치(LAT3,1)에 초기 신호가 입력된다. 그후, 카운터 신호선(209_1)의 신호가 신호선(L1,1)의 신호와 일치할 때, 카운터 신호선(209_2)의 신호가 신호선(L1,2)의 신호와 일치할 때, 카운터 신호선(209_3)의 신호가 신호선(L1,3)의 신호와 일치할 때, 및 카운터 신호선(209_4)의 신호가 신호선(L1,4)의 신호와 일치할 때, 다시 래치(LAT3,1)에 신호가 입력된다. 타이밍 차트에서, 부호 t1001은 라인 기간(L1)의 시작 시에 래치(LAT3,1)에 초기 신호가 입력되고부터 다시 래치(LAT3,1)에 nor 회로(nor1)의 신호가 입력되기까지의 기간을 나타낸다. 이 기간(T1001) 중에 TP1로 신호가 출력된다.

다음에, 라인 기간(L2)에서, 신호 "0", "1", "0", "1"이 래치(LAT2,1)로부터 신호선(L1,1~L1,4)을 통해 시간 설정 회로(T1)에 입력된 경우를 예로 든다(신호 "0"은 신호가 입력되지 않는 경우에 해당한다).

라인 기간(L1)의 경우와 같이, 초기 기간(t0)에 초기 입력선(210)으로부터 래치(LAT3,1)로 초기 신호가 입력된다. 그후, 카운터 신호선(209_1)의 신호가 신호선(L1,1)의 신호와 일치할 때, 카운터 신호선(209_2)의 신호가 신호선(L1,2)의 신호와 일치할 때, 카운터 신호선(209_3)의 신호가 신호선(L1,3)의 신호와 일치할 때, 및 카운터 신호선(209_4)의 신호가 신호선(L1,4)의 신호와 일치할 때, 다시 래치(LAT3,1)에 신호가 입력된다. 타이밍 차트에서, 부호 t0101은 라인 기간(L2)의 시작 시에 래치(LAT3,1)에 초기 신호가 입력되고부터 래치(LAT3,1)에 nor 회로(nor1)의 신호가 입력되기까지의 기간을 나타낸다. 이 기간(t0101) 중에 TP1로 펄스 신호가 출력된다.

이 타이밍 차트의 라인 기간(L1)과 라인 기간(L2)을 비교한다. 라인 기간(L1)에서의 출력 기간(t1001)과 라인 기간(L2)에서의 출력 기간(t0101)의 비는 9 : 5로 되어 있다. 여기서, 라인 기간(L1, L2)에 각각 입력된 4 비트 신호 "1001" 및 "0101"로 표현되는 값의 비는 9 : 5이다. 즉, 시간 설정 회로(T1)는 입력된 샘플링된 디지털 계조 신호의 값에 대응하는 펄스 신호를 출력한다.

입력된 샘플링된 디지털 계조신호가 작을 수록, 이 신호가 입력된 라인 기간에서의 시간 설정 회로의 출력 펄스 신호는 짧게 된다.

도 7을 다시 참조하면, 상기한 동작은 1 라인 기간에 모든 시간 설정 회로(T1~Tx)에 대해 동시에 행해지고, 입력된 신호에 대응하는 지속 시간의 펄스 신호가 출력된다.

그러한 동작은 모든 라인 기간에서 반복된다.

시간 설정 회로(207)(구성 회로(T1~Tx))로부터 출력된 신호는 정전류 회로(208)(정전류원(I1~Ix))에 입력된다. 신호가 입력되는 기간에만 정전류원으로부터 신호선(S1~Sx)으로 전류가 흐른다.

시간 설정 회로(207)(구성 회로(T1~Tx))로부터 출력된 펄스 신호가 정전류 회로(208)(정전류원(I1~Ix))를 통해 소스 신호선(S1~Sx)에 입력되기까지의 소스 신호선 구동회로의 동작에 대하여 제1 소스 신호선(S1)으로의 출력에 대응하는 정전류원(I1)에 주목하여 상세히 설명한다. 도 11은 도 7의 제1 소스 신호선(S1)으로의 출력에 대응하는 정전류원(I1)을 나타낸다.

시간 설정 회로(T1)로부터 출력된 신호가 TP1로부터 입력되는 기간 중에, 스위치(SW1)가 "온"으로 되고, 스위치(SW2)가 "오프"로 되어, 정전류원으로부터 소스 신호선(S1)으로 일정 전류 "i"가 입력된다. 그후, TP1로부터 신호가 입력되지 않게 되면, 스위치(SW1)가 "오프"로 되고, 스위치(SW2)가 "온"으로 되어, 일정 전류 "i"가 더 이상 소스 신호선(S1)으로 흐르지 않는다.

도 7을 다시 참조하면, 상기한 동작은 1 라인 기간 중에 모든 정전류원(I1~Ix)에 대해 동시에 행해지고, 펄스 신호가 입력되는 기간 중에 일정 전류 "i"가 출력된다.

그러한 동작은 모든 라인 기간에서 반복된다.

이렇게 하여, 1 라인 기간에, 각 화소에서 입력된 샘플링된 디지털 계조 신호에 대응하는 기간 동안 소스 신호선에 전류가 입력된다.

상기한 구조로 인해, 입력된 샘플링된 디지털 계조 신호에 대응하는 기간 동안 소스 신호선에 일정 전류를 출력하는 소스 신호선 구동회로가 얻어진다.

[실시예 2]

도 13은 본 발명의 액티브형 EL 표시장치의 화소부의 구성을 나타낸다.

게이트 신호선 구동회로로부터의 선택 신호가 각각 입력되는 게이트 신호선(G1~Gy)이 개개의 화소에 포함된 스위칭용 TFT의 게이트 전극에 접속되어 있다. 또한, 개개의 화소에 포함된 스위칭용 TFT의 소스 영역과 드레인 영역 중 어느 한 쪽 영역은 전류가 각각 입력되는 소스 신호선(S1~Sx)에 접속되고, 다른 한쪽 영역은 개개의 화소에 포함된 EL 소자에 접속되어 있다.

한편, 본 발명에서, 각각의 스위칭용 TFT는 n채널형 TFT이어도 좋 p채널형 TFT이어도 좋다.

본 실시예의 액티브형 EL 표시장치의 구동방법에 대하여 설명한다. 게이트 신호선(G1)이 선택되면, 그것에 접속된 모든 스위칭용 TFT는 그의 게이트 전극에 전압이 인가되어, "온" 상태로 된다. 이때, 소스 신호선(S1~Sx)으로부터 스위칭용 TFT를 통해 EL 소자로 전류가 동시에 흐르면, EL 소자는 이 전류의 양에 대응하여 발광한다.

모든 게이트 신호선(G1~Gy)에 대해 유사한 동작이 행해지면, 하나의 화상이 표시된다.

[실시예 3]

본 실시예에서는, 실시예 1의 소스 신호선 구동회로를 실시예 2의 액티브형 EL 표시장치에 사용한 경우에 대하여 설명한다.

즉, 입력된 샘플링된 디지털 계조 신호에 대응하는 기간 동안 소스 신호선에 일정 전류를 출력하는 실시예 1에서 설명된 바와 같은 소스 신호선 구동회로를, 각 화소가 1개의 TFT와 1개의 EL 소자로 이루어진 실시예 2에서 설명된 바와 같은 액티브형 EL 표시장치에 적용한 경우에 대하여 설명한다.

실시예 2의 액티브형 EL 표시장치의 각 소스 신호선에 입력되는 전류는 실시예 1에서 설명된 소스 신호선 구동회로에 의해 발생된다.

앞에서 설명된 바와 같이, 본 발명에 따른 소스 신호선 구동회로로부터 출력되는 전류는 외부로부터 입력된 디지털 계조 신호의 샘플링된 신호에 대응하는 지속 시간을 가지는 전류 펄스이다. 선택된 게이트 신호선에 접속된 화소는 전류 펄스가 소스 신호선에 입력되어 스위칭용 TFT를 통해 EL 소자로 흐르는 기간에만 발광한다.

이 발광 기간에 의해, 실시예 2에서 설명된 액티브형 EL 표시장치의 각 화소의 EL 소자의 발광량이 제어되고, 계조가 표현된다.

본 명세서에서는, EL 소자의 발광량이 그의 발광 기간을 제어함으로써 제어되어 계조를 표현하는 기술을 "시간 계조 방식"이라 부른다.

[실시예 4]

본 실시예에서는, 실시예 1의 소스 신호선 구동회로를 패시브형 EL 표시장치에 사용한 경우에 대하여 설명한다.

본 발명의 제1 목적은 실시예 1의 소스 신호선 구동회로를 도 2의 신호선 구동회로에 적용함으로써 달성될 수 있다.

패시브형 EL 표시장치의 각 신호선에 입력되는 전류는 실시예 1에서 설명된 소스 신호선 구동회로에 의해 발생된다.

앞에서 설명된 바와 같이, 본 발명에 따른 소스 신호선 구동회로로부터 출력되는 전류는 외부로부터 입력된 디지털 계조 신호의 샘플링된 신호에 대응하는 지속 시간을 가진 전류 펄스이다.

선택된 주사선에 접속된 화소는 전류 펄스가 신호선에 입력되어 EL 소자로 흐르는 기간에만 발광한다.

이 발광 기간에 의해, 패시브형 EL 표시장치의 각 화소의 EL 소자의 발광량이 제어되고, 계조가 표현된다. EL 소자는 시간 계조 방식에 의해 구동된다.

본 실시예의 패시브형 EL 표시장치가 도 23(A) 및 도 23(B)에 도시되어 있다.

도 23(A)는 상면도이고, 도 23(B)는 도 23(A)의 A-A'선에 따른 수직 단면도이다.

도 23(A)를 참조하면, 패시브형 EL 표시장치는 절연 기판(880), FPC(가요성 인쇄 회로), 주사선 구동회로, 신호선 구동회로(881), 및 화소부를 포함한다.

도 23(B)를 참조하면, 신호선 구동회로(881)는 TFT 기판 상에 형성된 TFT로 구성되어 있다.

TFT로 형성된 신호선 구동회로(881)는 절연 기판(880)에 접합되어 있다.

여기서, 신호선 구동회로(881)는 도 23(B)에 도시된 바와 같이 범프(bump)를 통해 절연 기판(880)에 접합되어 있다.

[실시예 5]

본 실시예에서는, 본 발명을 사용하여 액티브 EL 표시장치를 제조하는 예에 대하여 설명한다.

도 17(A)는 본 발명을 사용한 액티브 EL 표시장치의 상면도이다. 도 17(A)에서, 부호 4010은 기관, 부호 4011은 화소부, 부호 4012는 소스 신호선 구동회로, 부호 4013은 게이트 신호선 구동회로를 나타내고, 각 구동회로는 배선(4014~4016)을 통해 FPC(4017)로 이르고 외부 장치에 접속된다.

이때, 적어도 화소부, 바람직하게는 구동회로와 화소부를 둘러싸도록 커버재(6000), 밀봉재(하우징재라고도 함)(7000), 및 봉지(封止)재(제2 밀봉재)(7001)가 제공되어 있다.

도 17(B)는 본 실시예의 EL 표시장치의 단면 구조를 나타내는 도면이다. 기관(4010) 및 막(4021)상에 구동회로용 TFT(여기서는, n채널형 TFT와 p채널형 TFT의 조합으로 된 CMOS 회로가 도시됨)(4022)와 화소부용 TFT(4023)가 형성되어 있다. 이들 TFT는 공지의 구조(탑 게이트 구조 또는 보텀 게이트 구조)를 사용하여 형성될 수 있다.

구동회로용 TFT(4022)와 화소부용 TFT(4023)가 완성된 때, 수지 재료로 된 층간절연막(평탄화 막)(4026)상에, 화소부용 TFT(4023)의 드레인에 전기적으로 접속되고 투명 도전막으로 된 화소 전극(4027)이 형성된다.

투명 도전막으로서, 산화인듐과 산화주석의 화합물(ITO로 불림) 또는 산화인듐과 산화아연의 화합물이 사용될 수 있다. 화소 전극(4027)이 형성된 후에, 절연막(4028)이 형성되고, 화소 전극(4027) 상에 개구부가 형성된다.

그 다음, EL 층(4029)이 형성된다. EL 층(4029)으로서는, 공지의 EL 재료들(정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층)을 자유롭게 조합하여 적층 구조 또는 단층 구조로 할 수도 있다. 어떤 구조로 할 것인가는 공지의 기술을 사용하여 결정할 수 있다. EL 재료에는 저분자계 재료와 고분자계(폴리머계) 재료가 있다. 저분자계 재료를 사용하는 경우에는 증착법을 사용하고, 고분자계 재료를 사용하는 경우에는 스핀 코팅법, 인쇄법, 또는 잉크젯법과 같은 간단한 방법을 사용할 수 있다.

본 실시예에서는, EL 층을 색도 마스크를 사용한 증착법에 의해 형성한다. 색도 마스크를 사용하여 화소마다 상이한 파장으로 발광할 수 있는 발광층(적색 발광층, 녹색 발광층, 및 청색 발광층)을 형성함으로써 컬러 표시가 가능하게 된다. 또한, 색 변환층(CCM)과 컬러 필터를 조합한 방식과, 백색 발광층과 컬러 필터를 조합한 방식이 있는데, 어느 방식이라도 사용될 수 있다. 물론, 단색 광을 발광하는 EL 표시장치로 할 수도 있다.

EL 층(4029)이 형성된 후, 그 위에 음극(4030)이 형성된다. 음극(4030)과 EL 층(4029)과의 계면에 존재하는 수분과 산소를 극력 제거하는 것이 바람직하다. 그래서, EL 층(4029)과 음극(4030)을 진공 중에서 연속적으로 형성하거나, EL 층(4029)을 불활성 가스 분위기 중에서 형성하고, 음극(4030)을 대기 중의 노출 없이 형성하도록 도모하는 것이 필요하다. 본 실시예에서는, 멀티체임버 방식(클러스터 톨 방식)의 성막 장치를 사용함으로써, 상기한 성막이 가능하게 된다.

또한, 본 실시예에서는, 음극(4030)에 LiF(불화리튬) 막과 Al(알루미늄) 막의 적층 구조를 사용한다. 구체적으로는, 두께 1 nm의 LiF(불화리튬) 막을 증착법에 의해 EL 층(4029)상에 형성하고, 그 위에 두께 300 nm의 알루미늄 막을 형성한다. 물론, 공지의 음극 재료인 MgAg 전극을 사용할 수도 있다. 부호 4031로 나타난 영역에서 음극(4030)이 배선(4016)에 접속된다. 이 배선(4016)은 음극(4030)에 소정의 전압을 가하기 위한 전원 공급선이고, 도전성 페이스트 재료(4032)를 통해 FPC(4017)에 접속된다.

영역(4031)에서 음극(4030)을 배선(4016)에 전기적으로 접속하기 위해, 층간절연막(4026)과 절연막(4028)에 콘택트 홀들을 형성하는 것이 필요하다. 이들 콘택트 홀은 층간절연막(4026)을 에칭할 때(화소 전극용 콘택트 홀을 형성할 때)와, 절연막(4028)을 에칭할 때(EL 층의 형성 전 개구부를 형성할 때) 형성될 수 있다. 절연막(4028)이 에칭될 때 층간절연막(4026)까지 함께 에칭될 수도 있다. 이 경우, 층간절연막(4026)과 절연막(4028)이 동일한 수지 재료이면, 콘택트 홀의 형상이 양호하게 될 수 있다.

이렇게 하여 형성된 EL 소자의 표면을 덮도록 패시베이션 막(6003), 충전재(6004), 및 커버재(6000)가 형성된다.

또한, 커버재(6000)와 기관(4010)의 내측에 EL 소자부를 덮도록 밀봉재(7000)가 제공되고, 이 밀봉재(7000)의 외측에 봉지재(제2 밀봉재)(7001)가 형성된다.

이때, 충전재(6004)는 커버재(6000)를 접합하기 위한 접착제로도 기능한다. 충전재(6004)로서는, PVC(폴리비닐클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌-비닐 아세테이트)가 사용될 수 있다. 이 충전재(6004)의 내부에 건조제를 제공하면, 흡습 효과가 유지될 수 있기 때문에 바람직하다.

충전재(6004)에는 스페이서가 함유될 수도 있다. 이때, 스페이서는 BaO 등의 입상(粒狀) 재료로 될 수 있고, 스페이서 자체가 흡습성을 가지도록 될 수도 있다.

스페이서가 제공되는 경우, 패시베이션 막(6003)이 스페이서 압력을 완화시킬 수 있다. 패시베이션 막에 추가하여, 스페이서 압력을 완화시키는 수지 막 등이 제공될 수도 있다.

커버재(6000)로서는, 유리 판, 알루미늄 판, 스테인리스 판, FRP(섬유유리 강화 플라스틱) 판, PVF(폴리비닐 플루오라이드) 필름, Mylar 필름, 폴리에스터 필름, 또는 아크릴 필름이 사용될 수 있다. PVB 또는 EVA가 충전재(6004)에 사용되는 경우에는, 수십 μm 의 알루미늄 포일을 PVF 필름들 또는 Mylar 필름들 사이에 끼운 구조의 시트를 사용하는 것이 바람직하다.

그러나, EL 소자로부터의 발광 방향(광의 방사 방향)에 따라서는, 커버재(6000)가 투광성을 가지는 것이 필요하다.

기관(4010)과 밀봉재(7000) 또는 봉지재(7001)와의 사이의 간극을 통해 배선(4016)이 FPC(4017)에 전기적으로 접속된다. 또한, 여기서는, 배선(4016)에 대하여 설명하지만, 다른 배선(4014, 4017)도 마찬가지로 밀봉재(7000)와 봉지재(7001) 아래의 공간을 통해 FPC(4017)에 전기적으로 접속된다.

본 실시예에서는, 충전재(6004)를 형성한 후에 커버재(6000)를 접합하고, 충전재(6004)의 측면(노출된 면)을 덮도록 밀봉재(7000)를 부착하지만, 커버재(6000)와 밀봉재(7000)를 부착한 후에 충전재(6004)를 형성할 수도 있다. 이 경우, 기관(4010), 커버재(6000), 및 밀봉재(7000)에 의해 형성된 간극을 통과하는 충전재 주입구를 형성한다. 이어서, 그 간극을 진공 상태(10^{-2} Torr 이하)로 하고, 주입구를 충전재가 들어 있는 탱크 내에 담근 후에 간극 외측의 압력을 간극 내의 압력보다 높게 하여 간극 내에 충전재를 충전시킨다.

[실시예 6]

본 실시예에서는, 본 발명을 사용하여 실시예 5와는 상이한 EL 표시장치를 제조하는 예에 대하여 도 18(A) 및 도 18(B)를 참조하여 설명한다. 도 17(A) 및 도 17(B)의 것과 동일한 부호는 동일한 부분을 나타내지 때문에, 그의 설명은 생략한다.

도 18(A)는 본 실시예의 EL 표시장치의 상면도이고, 도 18(B)는 도 18(A)의 A-A'선에 따른 단면도이다.

EL 소자의 표면을 덮는 패시베이션 막(6003)을 형성하기까지를 실시예 5에 따라 행한다.

또한, EL 소자를 덮도록 충전재(6004)가 제공된다. 이 충전재(6004)는 커버재(6000)를 접합하기 위한 접착제로도 기능한다. 충전재로서는, PVC(폴리비닐클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 또는 EVA(에틸렌-비닐 아세테이트)가 사용될 수 있다.

또한, 이 충전재의 내측에 건조제를 제공면, 흡습 효과가 유지될 수 있기 때문에 바람직하다.

충전재(6004)에는 스페이서가 함유될 수도 있다. 이때, 스페이서는 BaO 등의 입상 재료로 될 수 있고, 스페이서 자체가 흡습성을 가지도록 될 수도 있다.

스페이서가 제공되는 경우, 패시베이션 막(6003)이 스페이서 압력을 완화시킬 수 있다. 패시베이션 막에 추가하여, 스페이서 압력을 완화시키는 수지 막 등이 제공될 수도 있다.

커버재(6000)로서는, 유리 판, 알루미늄 판, 스테인리스 판, FRP(섬유유리 강화 플라스틱) 판, PVF(폴리비닐 플루오라이드) 필름, Mylar 필름, 폴리에스터 필름, 또는 아크릴 필름이 사용될 수 있다. PVB 또는 EVA가 충전재(6004)에 사용되는 경우에는, 수십 μm 의 알루미늄 포일을 PVF 필름들 또는 Mylar 필름들 사이에 끼운 구조의 시트를 사용하는 것이 바람직하다.

그러나, EL 소자로부터의 발광 방향(광의 방사 방향)에 따라, 커버재(6000)가 투광성을 가지는 것이 필요하다.

그 다음, 충전재(6004)를 사용하여 커버재(6000)를 접합한 후에, 충전재(6004)의 측면(노출된 면)을 덮도록 프레임재(6001)가 부착된다. 이 프레임재(6001)는 밀봉재(접착체로서 기능함)(6002)에 의해 접합된다. 이때, 밀봉재(6002)로서는, 광 경화성 수지를 사용하는 것이 바람직하지만, EL 층의 내열성이 허용하면 열 경화성 수지를 사용할 수도 있다. 또한, 밀봉재(6002)는 가능한 한 수분과 산소를 투과하지 않는 재료인 것이 바람직하다. 밀봉재(6002)의 내측에 건조제가 첨가될 수도 있다.

밀봉재(6002)와 기관(4010) 사이의 간극을 통해 배선(4016)이 FPC(4017)에 전기적으로 접속된다. 여기서는 배선(4016)에 대하여 설명하지만, 다른 배선(4014)도 마찬가지로 밀봉재(6002)와 기관(4010) 사이의 간극을 통해 FPC(4017)에 전기적으로 접속된다.

본 실시예에서는, 충전재(6004)를 형성한 후에 커버재(6000)가 접합되고, 충전재(6004)의 측면(노출된 면)을 덮도록 프레임재(6001)가 부착되지만, 커버재(6000)와 프레임재(6001)를 부착한 후에 충전재(6004)를 형성할 수도 있다. 이 경우, 기관(4010), 커버재(6000), 및 프레임재(6001)에 의해 형성된 간극을 통과하는 충전재 주입구가 형성된다. 이어서, 이 간극을 진공 상태(10^{-2} Torr 이하)로 하고, 주입구를 충전재가 들어 있는 탱크 내에 담근 후에, 간극 외측의 압력을 간극 내의 압력보다 높게 하여 간극 내에 충전재를 충전시킨다.

[실시예 7]

여기서는, EL 표시장치의 화소부의 더 상세한 단면 구조를 도 19에 나타낸다. 도 19에서, 기관(3501)상에 제공된 스위칭용 TFT(3502)는 공지의 방법에 의해 형성된 n채널형 TFT를 사용한다. 본 실시예에서는, 2개의 게이트 전극(39a, 39b)이 사용되는 2중 게이트 구조가 채용된다. 여기서, 2개의 게이트 전극(39a, 39b)이 서로 전기적으로 접속되어 있다. 2중 게이트 구조를 채용함으로써 2개의 TFT가 실질적으로 서로 직렬로 접속된 구조가 얻어지기 때문에, 오프 전류값이 감소될 수 있는 이점(利點)이 있다. 또한, 본 실시예에서는 2중 게이트 구조가 채택되지만, 단일 게이트 구조가 채택될 수도 있고, 또는 3중 게이트 구조 또는 그 이상의 게이트를 가진 멀티게이트 구조가 채택될 수도 있다. 또한, 공지의 방법에 의해 형성된 p채널형 TFT를 사용하여 스위칭용 TFT(3502)를 형성할 수도 있다.

스위칭용 TFT(3502)상에는 패시베이션 막(41)이 제공되고, 그 위에 절연막으로 된 평탄화 막(42)이 형성된다. 평탄화 막(42)을 사용하여 TFT로 인한 단차를 평탄화하는 것이 매우 중요하다. 후에 형성되는 EL 층은 매우 얇기 때문에, 단차의 존재로 인해 발광 불량이 일어나는 경우가 있다. 따라서, EL 층이 평탄한 표면 상에 형성될 수 있도록, 화소 전극의 형성 전에 평탄화를 행하는 것이 바람직하다.

부호 43은 반사성이 높은 도전막으로 된 화소 전극(EL 소자의 음극)을 나타내고, 이 화소 전극(43)은 스위칭용 TFT(3502)의 드레인 영역에 전기적으로 접속되어 있다. 화소 전극으로서, 알루미늄 합금막, 구리 합금막, 또는 은 합금막과 같은 저저항 도전막이나 이들의 적층막을 사용하는 것이 바람직하다. 물론, 다른 도전막과의 적층 구조가 채용될 수도 있다.

절연막(바람직하게는 수지)으로 형성된 뱅크(44a, 44b)에 의해 형성된 홈(화소에 대응함) 속에 발광층(45)이 형성된다. 여기서는 하나의 화소만을 나타내지만, R(적색), G(녹색), 및 B(청색)의 각 색에 대응하는 발광층이 형성될 수도 있다. 발광층에 사용되는 유기 EL 재료로서는, π -공역 폴리머계 재료가 사용된다. 그러한 폴리머계 재료의 대표적인 예로서는, 폴리파라페닐렌 비닐렌(PPV)계, 폴리비닐카르바졸(PVK)계, 및 폴리플루오렌계를 들 수 있다.

PPV계 유기 EL 재료로서는, 각종 타입의 것이 있지만, 예를 들어, "H. Shenk, H. Becker, O. Gledsen, E. Kluge, W. Kreuder, and H. Spreizer, '발광 다이오드용 폴리머(Polymer for Light Emitting Diodes)', Euro Display, Proceedings, 1999, p.33-37" 또는 일본 공개특허공고 평10-92576호 공보에 개시된 바와 같은 재료가 사용될 수도 있다.

구체적인 발광층으로서, 적색으로 발광하는 발광층에는 시아노폴리페닐렌비닐렌을 사용하고, 녹색으로 발광하는 발광층에는 폴리페닐렌비닐렌을 사용하고, 청색으로 발광하는 발광층에는 폴리페닐렌비닐렌 또는 폴리알킬페닐렌을 사용하는 것이 좋다. 막 두께는 30~150 nm(바람직하게는 40~100 nm)로 하는 것이 좋다.

그러나, 상기한 예는 발광층에 사용될 수 있는 유기 EL 재료의 예에 불과하고, 그것에 한정할 필요는 없다. 발광층, 전하 수송층, 및 전하 주입층을 자유롭게 조합하여 EL 층(발광 및 그 발광을 위한 캐리어의 이동이 행해지는 층)을 형성할 수도 있다.

예를 들어, 본 실시예에서는 발광층에 폴리머계 재료를 사용하는 예를 나타내지만, 저분자계 유기 EL 재료를 사용할 수도 있다. 또한, 전하 수송층 또는 전하 주입층으로서 탄화규소와 같은 무기 재료를 사용하는 것도 가능하다. 이들 유기 EL 재료 또는 무기 재료로서는, 공지의 재료를 사용할 수 있다.

본 실시예에서는 발광층(45)상에 PEDOT(폴리티오펜) 또는 PAni(폴리아닐린)으로 된 정공 주입층(46)이 제공된 적층 구조의 EL 층을 채택하고 있다. 정공 주입층(46)상에 투명 도전막으로 된 양극(47)이 제공된다. 본 실시예의 경우, 발광층(45)에서 발생된 광이 상면 측(TFT의 상측)으로 방사되기 때문에, 양극이 투광성이어야 한다. 투명 도전막으로서는, 산화인듐과 산화주석의 화합물 또는 산화인듐과 산화아연의 화합물이 사용될 수 있다. 그러나, 내열성이 낮은 발광층과 정공 주입층을 형성한 후에 막을 형성하기 때문에, 가능한 한 낮은 온도에서 성막할 수 있는 것이 바람직하다.

양극(47)까지 형성된 시점에서, EL 소자(3505)가 완성된다. 또한, 여기서 말하는 EL 소자(3505)는 화소 전극(음극)(43), 발광층(45), 정공 주입층(46), 및 양극(47)으로 형성된 커패시터를 가리킨다. 화소 전극(43)이 화소의 면적과 거의 일치하기 때문에, 화소 전체가 EL 소자로서 기능한다. 따라서, 발광의 이용 효율이 매우 높고, 밝은 화상 표시가 가능하게 된다.

본 실시예에서는, 양극(47)상에 제2 패시베이션 막(48)이 추가로 제공된다. 제2 패시베이션 막(48)으로서는, 질화규소막 또는 질화산화규소막이 바람직하다. 이 목적은 EL 재료를 외부로부터 차단하는 것이고, 유기 EL 재료의 산화로 인한 열화를 방지하는 의미와, 유기 EL 재료로부터의 탈가스를 억제하는 의미의 2가지 의미를 가진다. 이렇게 함으로써, EL 표시장치의 신뢰성이 향상된다.

상기한 바와 같이, 본 발명의 EL 디스플레이는 도 19에 도시된 바와 같은 구조의 화소로 이루어진 화소부를 포함하고, 오프 전류값이 충분히 낮은 스위칭용 TFT를 포함한다. 따라서, 신뢰성이 높고 우수한 화상 표시가 가능한 EL 디스플레이가 얻어질 수 있다.

[실시예 8]

본 실시예에서는, 실시예 7에서 나타난 화소부에서 EL 소자(3505)의 구조를 반전시킨 구조에 대하여 설명한다. 설명에는 도 20을 사용한다. 또한, 도 19의 구조와 다른 점은 EL 소자의 부분과 스위칭용 TFT뿐이므로, 다른 설명은 생략한다.

도 20에서, 스위칭용 TFT(3502)는 공지의 방법에 의해 형성된 p채널형 TFT를 사용한다.

본 실시예에서는, 화소 전극(양극)(50)으로서 투명 도전막을 사용한다. 구체적으로는, 산화인듐과 산화아연의 화합물로 된 도전막을 사용한다. 물론, 산화인듐과 산화주석의 화합물로 된 도전막을 사용할 수도 있다.

절연막으로 된 बैं크(51a, 51b)가 형성된 후, 폴리비닐카르바졸로 된 발광층(52)이 용액 도포법에 의해 형성되고, 그 위에, 칼륨 아세틸아세토네이트(acacK로서 표기됨)로 된 전자 주입층(53) 및 알루미늄 합금으로 된 음극(54)이 형성된다. 이 경우, 음극(54)이 패시베이션 막으로도 기능한다. 이렇게 하여, EL 소자(3701)가 형성된다.

본 실시예에서는, 발광층(52)에서 발생된 광이 화살표로 나타난 바와 같이 TFT가 형성된 기관 쪽으로 방사된다.

[실시예 9]

본 실시예에서는, 본 발명의 액티브형 EL 표시장치의 화소부 및 그 화소부의 주변에 형성되는 구동회로부(소스 신호선 구동회로 및 게이트 신호선 구동회로)의 TFT를 동시에 제조하는 방법을 설명한다. 설명을 간단하게 하기 위해, 구동회로부에 대해서는 기본 단위인 CMOS 회로를 나타내는 것으로 한다.

먼저, 도 14(A)에 도시된 바와 같이, 코닝사의 #7059 유리 또는 #1737 유리로 대표되는 바륨 붕규산 유리 또는 알루미늄 붕규산 유리와 같은 유리로 된 기관(5001)상에 산화규소막, 질화규소막, 또는 산화질화규소막과 같은 절연막으로 된 하지막(5002)을 형성한다. 예를 들어, 플라즈마 CVD법에 의해 SiH_4 , NH_3 , 및 N_2O 로 된 산화질화규소막(5002a)을 10~200

nm(바람직하게는 50~100 nm)의 두께로 형성하고, 마찬가지로 SiH_4 및 N_2O 로 된 수소화 산화질화규소막(5002b)을 50~200 nm(바람직하게는 100~150 nm)의 두께로 적층 형성한다. 본 실시예에서는, 하지막(5002)을 2층 구조로 나타내지만, 상기 절연막의 단층막 또는 2층 이상이 적층된 적층 구조로 형성될 수도 있다.

비정질 구조를 가진 반도체막을 레이저 결정화 방법 또는 공지의 열 결정화 방법에 의해 결정화하여 제조되는 결정성 반도체막에 의해 섬 형상의 반도체층(5003~5005)을 형성한다. 섬 형상의 반도체층(5003~5005)의 두께는 25~80 nm(바람직하게는 30~60 nm)의 두께로 형성된다. 결정성 반도체막의 재료에 한정은 없으나, 규소 또는 규소 게르마늄(SiGe) 합금으로 형성하는 것이 바람직하다.

레이저 결정화 방법으로 결정성 반도체막을 제조하는 데는, 펄스 발진형 또는 연속 발광형 엑시머 레이저, YAG 레이저, 또는 YVO_4 레이저와 같은 레이저를 사용할 수 있다. 이들 레이저를 사용하는 경우에는, 레이저 발진기로부터 방사된 레이저 광을 광학계에 의해 선형으로 집광하여 반도체막에 조사하는 방법을 사용하면 좋다. 결정화 조건은 실시자에 의해 적절히 선택될 수 있지만, 엑시머 레이저를 사용하는 경우에는, 펄스 발진 주파수를 300 Hz로 하고, 레이저 에너지 밀도를 100~400 mJ/cm^2 (대표적으로는 200~300 mJ/cm^2)로 한다. 또한, YAG 레이저를 사용하는 경우에는 그의 제2 고조파를 사용하고, 펄스 발진 주파수를 1~10 kHz로 하고, 레이저 에너지 밀도를 300~600 mJ/cm^2 (대표적으로는 350~500 mJ/cm^2)로 하면 좋다. 이어서, 폭 100~1000 nm, 예를 들어, 400 nm의 선형으로 집광된 레이저광을 기판의 전면(全面)에 걸쳐 조사한다. 이때의 선형 레이저광의 오버랩 비율을 80~98%로 하여 행한다.

그 다음, 섬 형상의 반도체층(5002~5005)을 덮도록 게이트 절연막(5007)을 형성한다. 게이트 절연막(5007)은 플라즈마 CVD법 또는 스퍼터링법에 의해 두께 40~150 nm의 규소 함유 절연막으로 형성된다. 본 실시예에서는, 두께 120 nm의 산화질화규소막으로 형성한다. 물론, 게이트 절연막(5007)은 이러한 산화질화규소막에 한정되지 않고, 다른 규소 함유 절연막을 단층 또는 적층 구조로 하여 사용할 수도 있다. 예를 들어, 산화규소막을 사용하는 경우에는, 플라즈마 CVD법에 의해 TEOS(테트라에틸 오르토실리케이트)와 O_2 를 혼합하고, 반응 압력을 40 Pa로 하고, 기판 온도를 300~400°C로 하고, 0.5~0.8 W/cm^2 의 고주파(13.56 MHz) 전력 밀도로 방전시킴으로써 산화규소막을 형성할 수 있다. 이렇게 하여 제조된 산화규소막은 그 후의 400~500°C의 열 어닐에 의해 게이트 절연막으로서 우수한 특성을 얻을 수 있다.

그 다음, 게이트 절연막(5007)상에 게이트 전극을 형성하기 위한 제1 도전막(5008) 및 제2 도전막(5009)을 형성한다. 본 실시예에서는 제1 도전막(5008)을 Ta(탄탈)로 50~100 nm의 두께로 형성하고, 제2 도전막(5009)을 W(텅스텐)으로 100~300 nm의 두께로 형성한다.

Ta 막은 Ta 타깃을 Ar에서 스퍼터링함으로써 형성된다. 이 경우, 적절한 양의 Xe 및 Kr을 Ar에 첨가하면, Ta 막의 내부 응력이 완화되어, 막의 벗겨짐이 방지될 수 있다. α 상(相) Ta 막의 저항율은 20 $\mu\Omega\text{cm}$ 정도이고, 게이트 전극에 사용될 수 있지만, β 상 Ta 막의 저항율은 180 $\mu\Omega\text{cm}$ 정도이고, 게이트 전극에는 부적합하다. α 상 Ta의 형성을 위해, 결정 구조가 α 상 Ta의 것과 유사한 질화탄탈막을 10~50 nm의 두께로 Ta의 하지에 형성하면 α 상 Ta 막이 용이하게 얻어질 수 있다.

W 막을 형성하는 경우에는, W를 타깃으로 한 스퍼터링법에 의해 형성한다. 그 외에, 6불화 텅스텐(WF_6)을 사용한 열 CVD법에 의해 형성될 수도 있다. 어느 방법을 사용하든, 게이트 전극으로서 사용하기 위해서는 막을 저저항화할 필요가 있고, W 막의 저항율을 20 $\mu\Omega\text{cm}$ 이하로 하는 것이 바람직하다. W 막의 결정립을 크게 함으로써 저항율을 낮출 수 있지만, W 막 중에 산소와 같은 불순물 원소가 많이 존재하는 경우에는, 결정화가 저해되어, 막이 고저항화한다. 따라서, 스퍼터링법에 의한 경우, 순도 99.9999%의 W 타깃을 사용한다. 또한, 성막 시에 기상(氣相) 내로부터의 불순물이 혼입되지 않도록 충분히 주의 기울이면서 W 막을 형성함으로써, 9~20 $\mu\Omega\text{cm}$ 의 저항율을 실현할 수 있다.

본 실시예에서는, 제1 도전막(5008)이 Ta이고, 제2 도전막(5009)이 W이지만, 이들에 특별히 한정되지 않고, 양 도전막이 Ta, W, Ti, Mo, Al, 및 Cu로 이루어진 군에서 선택된 원소, 또는 이들 원소 중의 하나를 주성분으로 하는 합금 재료, 또는 이들 원소의 화합물 재료로 형성될 수도 있다. 또한, 인과 같은 불순물 원소가 도핑된 다결정 규소막으로 대표되는 반도체막도 사용될 수 있다. 본 실시예에서 사용된 것 이외의 바람직한 조합의 예로서는, 질화탄탈(TaN)로 제1 도전막(5008)을 형성하고 그것을 W으로 형성된 제2 도전막(5009)과 조합시키는 것; 질화탄탈(TaN)로 제1 도전막(5008)을 형성하고 그것을 Al으로 형성된 제2 도전막(5009)과 조합시키는 것; 및 질화탄탈(TaN)로 제1 도전막(5008)을 형성하고 그것을 Cu로 형성된 제2 도전막(5009)과 조합시키는 것을 들 수 있다.

그 다음, 레지스트로 마스크(5010)를 형성하고, 전극 및 배선을 형성하기 위한 제1 에칭 처리를 행한다. 본 실시예에서는, ICP(유도 결합형 플라즈마) 에칭법을 사용한다. 에칭 가스로서 CF_4 와 Cl_2 의 가스 혼합물을 사용하고, 1 Pa의 압력에서

500 W의 RF(13.56 MHz) 전력을 코일형 전극에 인가함으로써 플라즈마를 발생시킨다. 기관측(시료 스테이지)에도 500 W의 RF(13.56 MHz) 전력을 인가하여 실질적으로 부(負)의 자기 바이어스 전압을 인가한다. CF_4 와 Cl_2 를 혼합한 경우에는 W 막과 Ta 막 모두가 동일한 정도로 에칭된다.

상기 에칭 조건에서는, 레지스트 마스크의 형상을 적절한 것으로 함으로써 기관 측에 인가된 바이어스 전압의 효과에 의해 제1 도전층과 제2 도전층의 엣지(edge)부가 테이퍼 형상으로 된다. 테이퍼부의 각도는 $15\sim 45^\circ$ 이다. 게이트 절연막 상에 잔사(殘渣)를 전혀 남기지 않고 에칭하기 위해서는, 에칭 시간을 약 10~20% 증가시킬 수도 있다. W 막에 대한 산화질화 규소막의 선택비는 2~4(대표적으로는 3)이므로, 이 오버에칭 처리에 의해 산화질화규소막의 노출된 표면의 약 20~50 nm가 에칭된다. 이렇게 하여, 제1 에칭 처리에 의해 제1 도전층 및 제2 도전층으로 된 제1 형상의 도전층(5011~5014)(제1 도전층(5011a~5014a) 및 제2 도전층(5011b~5014b))이 형성된다. 이때, 게이트 절연막(5007) 중, 제1 형상의 도전층(5011~5014)에 의해 덮이지 않은 영역은 약 20~50 nm만큼 에칭되어 얇게 된다.

그 다음, 제1 도핑 처리를 행하여, n형 도전형을 부여하는 불순물 원소를 첨가한다. 이 도핑은 이온 도핑법 또는 이온 주입법에 의해 행해질 수 있다. 이온 도핑법의 조건은, 도즈량을 $1\times 10^{13}\sim 5\times 10^{14}$ 로 하고, 가속 전압을 60~100 keV로 하여 행한다. n형 도전형을 부여하는 불순물 원소로서는 주기율표 15족에 속하는 원소, 전형적으로는 인(P) 또는 비소(Ar)를 사용하는데, 여기서는, 인(P)을 사용한다. 이 경우, 도전층(5011~5014)이 n형 도전형을 부여하는 불순물 원소에 대한 마스크가 되어, 자기정합적으로 제1 불순물 영역(5017~5023)이 형성된다. 제1 불순물 영역(5017~5023)에는 n형 도전형을 부여하는 불순물 원소가 $1\times 10^{20}\sim 1\times 10^{21}$ 원자/cm²의 농도로 첨가된다.(도 14(B))

그 다음, 도 14(C)에 도시된 바와 같이, 레지스트 마스크를 제거하지 않은 채 제2 에칭 처리를 행한다. 에칭 가스로서 CF_4 , Cl_2 , 및 O_2 의 혼합물을 사용하여 W 막을 선택적으로 에칭한다. 이때, 제2 에칭 처리에 의해 제2 형상의 도전층(5026~5029)(제1 도전층(5026a~5029a) 및 제2 도전층(5026b~5029b))이 형성된다. 이때, 게이트 절연막(5007) 중, 제2 형상의 도전층(5026~5029)에 의해 덮이지 않은 영역은 약 20~50 nm만큼 에칭되어 얇게 된다.

CF_4 와 Cl_2 의 혼합 가스에 의한 W 막 또는 Ta 막의 에칭 반응은 생성되는 라디칼 또는 이온 종(種)으로부터 그리고 반응 생성물의 증기압으로부터 추측될 수 있다. W와 Ta의 불화물과 염화물의 증기압을 서로 비교하면, W의 불화물인 WF_6 의 증기압이 극히 높고, 다른 WCl_5 , TaF_5 , $TaCl_5$ 의 증기압은 거의 동일하다. 그리하여, CF_4 와 Cl_2 의 혼합 가스에서는, W 막과 Ta 막 모두가 에칭된다. 그러나, 이 혼합 가스에 적절한 양의 O_2 를 첨가하면, CF_4 와 O_2 가 서로 반응하여 CO와 F를 형성하고, 다량의 F 라디칼 또는 F 이온이 생성된다. 그 결과, 불화물의 증기압이 높은 W 막의 에칭 속도가 증가한다. 한편, F가 증가하여도 Ta의 에칭 속도의 증가는 상대적으로 작다. 또한, Ta는 W에 비해 쉽게 산화되기 때문에, O_2 의 첨가에 의해 Ta의 표면이 산화된다. Ta의 산화물은 불소 또는 염소와 반응하지 않기 때문에, Ta 막의 에칭 속도가 더 감소된다. 따라서, W 막과 Ta 막의 에칭 속도 사이에 차이를 둘 수 있고, W 막의 에칭 속도를 Ta 막의 것보다 높게 할 수 있다.

그 다음, 도 15(A)에 도시된 바와 같이, 제2 도핑 처리를 행한다. 이 경우, 도즈량을 제1 도핑 처리의 것보다 낮게 하고, 높은 가속 전압의 조건 하에서 n형 도전형을 부여하는 불순물 원소를 도핑한다. 예를 들어, 가속 전압을 70~120 keV로 하고, 도즈량을 1×10^{13} 원자/cm²로 하여 도핑 처리를 행함으로써, 도 14(B)의 섬 형상의 반도체층에 형성된 제1 불순물 영역의 내측에 새로운 불순물 영역이 형성된다. 도핑은, 제2 형상의 도전층(5026~5029)을 불순물 원소에 대한 마스크로 사용하고 제1 도전층(5026a~5029a) 아래의 영역에도 불순물 원소가 첨가되도록 행한다. 이렇게 하여, 제3 불순물 영역(5032~5035)이 형성된다. 이 제3 불순물 영역(5032~5035)에 첨가된 인(P)의 농도는 제1 도전층(5026a~5029a)의 테이퍼부의 두께에 따라 완전한 농도 구배를 가진다. 제1 도전층(5026a~5029a)의 테이퍼부와 접치는 반도체층에서는, 불순물 농도가 제1 도전층(5026a~5029a)의 테이퍼부의 단부로부터 내측으로 갈수록 약간 낮게 되어 있지만, 이 농도는 거의 동일한 수준을 유지한다.

도 15(B)에 도시된 바와 같이, CHF_3 의 에칭 가스를 사용한 반응성 이온 에칭(RIE)법에 의해 제3 에칭 처리를 행한다. 제3 에칭 처리에 의해, 제1 도전층(5026a~5029a)의 테이퍼부가 부분적으로 에칭되어 제1 도전층과 반도체층과의 접침 영역이 축소된다. 제3 에칭 처리에 의해, 제3 형상의 도전층(5037~5040)(제1 도전층(5037a~5040a) 및 제2 도전층(5037b~5040b))이 형성된다. 이때, 게이트 절연막(5007) 중, 제2 도전층(5037~5040)에 의해 덮이지 않은 영역은 약 20~50 nm만큼 에칭되어 얇게 된다.

제3 에칭 처리에 의해, 제1 도전층(5037a~5040a)과 겹치는 제3 불순물 영역(5032a~5040a) 및 제1 불순물 영역과 제3 불순물 영역과의 사이의 제2 불순물 영역(5032b~5040b)이 제3 불순물 영역(5032~5035)에 형성된다.

그 다음, 도 15(C)에 도시된 바와 같이, p채널형 TFT를 형성하는 섬 형상의 반도체층(5004)에 제1 도전형과는 반대의 도전형을 가지는 제4 불순물 영역(5043~5048)을 형성한다. 제3 형상의 도전층(5038b)을 불순물 원소에 대한 마스크로 사용하여 자기정합적으로 불순물 영역을 형성한다. 이때, n채널형 TFT를 형성하는 섬 형상의 반도체층(5003, 5005)을 전면에 걸쳐 레지스트 마스크(5200)로 덮는다. 불순물 영역(5043~5048)에는 각각 다른 농도로 인이 첨가되어 있는데, 여기서는 디보란(B_2H_6)을 사용한 이온 도핑법을 행함으로써, 그 어느 영역에서도 불순물 농도가 $2 \times 10^{20} \sim 2 \times 10^{21}$ 원자/ cm^3 가 되도록 한다.

상기한 처리들에 의해 각각의 섬 형상의 반도체층에 불순물 영역이 형성된다. 섬 형상의 반도체층과 겹치는 제3 형상의 도전층(5037~5040)이 게이트 전극으로서 기능한다.

그 다음, 마스크(5200)를 제거한 후, 도전형을 제어할 목적으로, 각각의 섬 형상의 반도체층에 첨가된 불순물 원소를 활성화하는 공정을 행한다. 이 공정은 어닐 노를 사용한 열 어닐법으로 행한다. 또한, 레이저 어닐법 및 급속 열 어닐(RTA)법을 적용할 수도 있다. 열 어닐법에서는, 산소 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하인 질소 분위기 중에서 $400 \sim 700^\circ C$, 대표적으로는 $500 \sim 600^\circ C$ 로 열 어닐을 행하는 것이고, 본 실시예에서는, $500^\circ C$ 로 4시간 열처리를 행한다. 그러나, 제3 형상의 도전층(5037~5040)에 사용된 배선 재료가 열에 약한 경우에는, 배선 등을 보호하기 위해 층간절연막(규소를 주성분으로 함)을 형성한 후에 활성화를 행하는 것이 바람직하다.

또한, 3~100%의 수소를 함유한 분위기 중에서 $300 \sim 450^\circ C$ 로 1~12시간 열처리를 행하여, 섬 형상의 반도체층을 수소화하는 공정을 행한다. 이 공정은 열적으로 여기된 수소에 의해 반도체층 중의 땀글링 본드(dangling bond)를 중단시키는 공정이다. 수소화의 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용함)를 행할 수도 있다.

그 다음, 도 16(A)에 도시된 바와 같이, 제1 층간절연막(455)을 산화질화규소막으로부터 $100 \sim 200$ nm의 두께로 형성한다. 제1 층간절연막 상에, 각각의 화소에 대하여 컬러 필터(R), 컬러 필터(G), 또는 컬러 필터(B)를 패터닝한다. 도 16에서, 부호 5064는 컬러 필터를 나타낸다. 여기서, 컬러 필터(R)은 백색 광으로부터 적색 광을 추출하는 컬러 필터이고, 컬러 필터(G)는 백색 광으로부터 녹색 광을 추출하는 컬러 필터이고, 컬러 필터(B)는 백색 광으로부터 청색 광을 추출하는 컬러 필터이다. 또한, 그 위에, 유기 절연 재료로 된 제2 층간절연막(5056)을 형성한 후, 제1 층간절연막(5055), 제2 층간절연막(5056), 및 게이트 절연막(5007)에 콘택트 홀을 형성한다. 패터닝에 의해 각각의 배선(5057~5061)을 형성한 후, 패터닝에 의해 드레인 배선(5061)에 접하는 화소 전극(5063)을 형성한다.

제2 층간절연막(5056)에는 유기 수지 재료를 사용한다. 그 유기 수지로서는, 폴리이미드, 폴리아미드, 아크릴, 및 BCB(벤조시클로부텐) 등이 사용될 수 있다. 특히, 제2 층간절연막(5056)은 평탄화의 의미가 강하기 때문에, 제2 층간절연막(5056)에 평탄성이 우수한 아크릴을 사용하는 것이 바람직하다. 본 실시예에서는, TFT에 의해 형성되는 단차를 충분히 평탄화시키는 막 두께로 아크릴 막을 형성한다. 이 막 두께는 바람직하게는 $1 \sim 5$ μm (더 바람직하게는 $2 \sim 4$ μm)이다.

그 다음, 건식 에칭법 또는 습식 에칭법을 사용한 콘택트 홀의 형성을 행한다. n형 불순물 영역(5017, 5018, 5021, 5023) 또는 p형 불순물 영역(5043~5048)에 도달하는 콘택트 홀 및 게이트 전극(도시되지 않음)에 도달하는 콘택트 홀을 형성한다.

또한, 배선(5057~5061)으로서, 두께 100 nm의 Ti 막, 두께 300 nm의 Ti 함유 Al 막, 및 두께 150 nm의 Ti 막을 스퍼터링법에 의해 연속적으로 형성한 3층 구조의 적층막을 소망의 형상으로 패터닝한 것을 사용한다. 물론, 다른 도전막을 사용할 수도 있다.

본 실시예에서는, 화소 전극(5063)으로서, 산화인듐/산화주석(ITO) 막을 110 nm의 두께로 형성한 다음, 패터닝을 행한다. 화소 전극(5063)이 접속 배선(5061)과 접하여 겹치도록 배치함으로써 콘택트가 얻어진다. 또한, 산화인듐에 2~20%의 산화아연(ZnO)을 혼합한 투명 도전막을 사용할 수도 있다. 이 화소 전극(5063)은 EL 소자의 양극이 된다.(도 16(A))

그 다음, 도 16(B)에 도시된 바와 같이, 규소를 함유하는 절연막(본 실시예에서는 산화규소막)을 500 nm의 두께로 형성하고, 화소 전극(5063)에 대응하는 위치에 개구부를 형성하고, 뱅크로서 기능하는 제3 층간절연막(5065)을 형성한다. 개구부를 형성할 때 습식 에칭법을 사용함으로써 측벽을 테이퍼 형상으로 용이하게 형성할 수 있다. 개구부의 측벽이 충분히 완만하지 않으면, 단차에 기인하는 EL 층의 열화가 현저한 문제가 있기 때문에, 주의가 필요하다.

그 다음, EL 층(5066)과 음극(MgAg 전극)(5067)을 진공 증착법에 의해 대기에의 노출 없이 연속적으로 형성한다. EL 층(5066)의 막 두께는 80~200 nm(전형적으로는 100~120 nm)로 할 수 있고, 음극(5067)의 막 두께는 180~300 nm(전형적으로는 200~250 nm)로 할 수 있다. 또한, 본 실시예에서는, 컬러 필터를 사용하기 때문에, EL 층은 백색 광만을 발광하는 층일 수도 있다. 즉, 화소마다 나누어 칠할 필요는 없다.

EL 층(5066)로서는 공지의 재료를 사용할 수 있다. 공지의 재료로서는, 구동 전압을 고려하면 유기 재료를 사용하는 것이 바람직할 수 있다. 예를 들어, 정공 주입층, 정공 수송층, 발광층, 및 전자 주입층의 4층 구조를 사용할 수 있다. 그 다음, 음극(5067)을 형성한다. 본 실시예에서는, 음극(5067)으로서 MgAg 전극을 사용하는 예를 나타내지만, 본 발명은 이것에 한정되는 것은 아니다. 음극(5067)으로서 다른 공지의 재료를 사용하는 것도 가능하다.

마지막으로, 질화규소막으로 된 패시베이션 막(5068)을 300 nm의 두께로 형성한다. 이 패시베이션 막(5068)을 형성함으로써, EL 층(5066)이 수분 등으로부터 보호될 뿐만 아니라, EL 소자의 신뢰성이 추가로 향상될 수 있다.

이렇게 하여, 도 16(B)에 도시된 바와 같은 구조를 가지는 EL 표시장치가 완성된다. 본 실시예의 EL 표시장치의 제조 공정에서는, 소스 영역과 드레인 영역을 형성하는데 사용되는 배선 재료인 Al에 의해 게이트 신호선을 형성하고 있으나, 다른 재료를 사용할 수도 있다.

본 실시예의 EL 표시장치는, 화소부 뿐만 아니라 구동회로부에도 최적의 구조를 가진 TFT를 배치함으로써, 신뢰성이 매우 높고 동작 특성이 개선된다. 또한, 결정화 공정에서 Ni과 같은 금속 촉매를 첨가하여 결정성을 더욱 증가시키는 것도 가능하다. 따라서, 소스 신호선 구동회로의 구동 주파수를 10 MHz 이상으로 하는 것이 가능하게 된다.

먼저, 동작 속도를 조금이라도 감소시키지 없이 핫 캐리어 주입을 감소시키는 구조를 가지는 TFT가 구동회로부를 형성하는 CMOS 회로의 n채널형 TFT로서 사용된다. 여기서 말하는 구동회로는 시프트 레지스터, 버퍼, 레벨 시프터, 및 선순차 구동에서의 래치와 같은 회로들을 포함한다.

본 실시예에서는, n채널형 TFT의 활성층이 소스 영역, 드레인 영역, 게이트 절연막을 사이에 두고 게이트 전극과 겹치는 오버랩 LDD 영역(Lov 영역), 게이트 절연막을 사이에 두고 게이트 전극과 겹치지 않는 오프셋 LDD 영역(Loff 영역), 및 채널 형성 구역을 포함한다.

또한, CMOS 회로의 p채널형 TFT에서는 핫 캐리어 주입으로 인한 열화에 대해 거의 걱정할 필요가 없으므로, LDD 영역을 특별히 형성할 필요가 없다. 물론, n채널형 TFT의 LDD 영역과 마찬가지로 LDD 영역을 형성하여, 핫 캐리어 대책을 강구하는 것도 가능하다.

실제에는, 도 16(B)의 상태까지 완성한 후, 기밀성이 양호하고 탈가스가 적은 보호 필름(라미네이트 필름 또는 자외선 경화 수지 필름 등) 및 투광성 밀봉재를 사용하여 대기에 노출되지 않도록 패키징(봉입)하는 것이 바람직하다. 이때, 밀봉재의 내부를 불활성 분위기로 하거나, 밀봉재의 내부에 건조제(예를 들어, 산화바륨)를 배치함으로써, EL 소자의 신뢰성이 증가된다.

또한, 패키징 등의 처리에 의해 기밀성을 향상시킨 후에, 기관 상에 형성된 소자 및 회로로부터 인출된 단자를 외부 신호 단자에 접속하기 위한 커넥터(가요성 인쇄 회로, FPC)를 부착하여, 제품을 완성한다.

본 실시예에서 나타난 공정에 따르면, 표시장치의 제조에 필요한 포토 마스크의 수를 줄이는 것이 가능하다. 그 결과, 제조 공정의 단축, 제조 비용의 절감, 및 수율의 향상에 기여한다.

[실시예 10]

실시에 1에서 설명된 소스 신호선 구동회로가 실시예 9의 공정에 따라 TFT를 사용하여 절연 기판 상에 형성될 수 있다. 즉, 이 소스 신호선 구동회로는 액티브형 EL 표시장치 뿐만 아니라, 패시브형 EL 표시장치에서도 소스 신호선 구동회로로 제조될 수 있다.

[실시예 11]

본 발명에 따른 EL 표시장치에서, EL 소자에 포함된 EL 층의 재료는 유기 EL 재료에 한정되는 것이 아니고, 무기 EL 재료일 수도 있다. 그러나, 현재의 무기 EL 재료는 매우 높은 구동 전압을 필요로 하기 때문에, 그러한 구동 전압에 견딜 수 있는 내압 특성을 가지는 TFT가 사용되어야 한다.

즉, 장래에 낮은 구동 전압의 무기 EL 재료가 개발된다면, 본 발명에 용이하게 적용될 수 있을 것이다.

또한, 본 실시예의 구성은 실시예 1~실시예 9 중의 어느 구성과도 자유롭게 조합될 수 있다.

[실시예 12]

본 발명에서는, EL 층에 사용되는 유기 재료가 저분자계 유기 물질 또는 폴리머계(고분자계) 유기 물질 중의 어느 것이어도 좋다. 저분자계 유기 물질로서는, 주로 Alq_3 (트리스-8-퀴놀리노라토-알루미늄) 또는 TPD (트리페닐아민 유도체) 등을 포함하는 재료가 알려져 있다. 폴리머계 유기 물질로서는, π -공역 폴리머계 물질을 들 수 있다. 대표적으로는, PPV(폴리페닐렌 비닐렌), PVK(폴리비닐 카르바졸), 폴리카보네이트 등을 들 수 있다.

폴리머계(고분자계) 유기 물질의 박막은 스핀 코팅법(즉, 용액 도포법), 디핑(dipping)법, 디스펜싱(dispensing)법, 인쇄법, 또는 잉크젯법과 같은 간단한 방법에 의해 형성될 수 있고, 저분자계 유기 물질의 박막보다 우수한 내열성을 가진다.

본 발명에 따른 EL 표시장치에 포함된 EL 소자에서, 그 EL 소자의 EL 층이 전자 수송층과 정공 수송층을 포함하는 경우에는, 전자 수송층과 정공 수송층 각각을 무기 재료, 예를 들어, 비정질 Si 또는 비정질 $Si_{1-x}C_x$ 와 같은 비정질 반도체로 구성할 수도 있다.

비정질 반도체 중에는 다량의 트랩 준위가 존재하고, 또한, 비정질 반도체가 다른 층과 접하는 계면에 다량의 계면 준위가 형성된다. 따라서, EL 소자는 낮은 전압에 의해 발광할 수 있고, 그의 휘도가 높아질 수 있다.

유기 EL 층의 발광 색을 변경시키도록 유기 EL 층에 도펀트(불순물)가 도핑될 수도 있다. 도펀트로서는, DCM1, 나일 레드(Nile red), 루브렌, 쿠마린 6, TPB, 퀴나크리돈 등을 들 수 있다.

[실시예 13]

본 실시예에서는, 본 발명에 따른 EL 표시장치에 대하여 도 21(A) 및 도 21(B)를 참조하여 설명한다. 도 21(A)는 EL 소자가 형성된 TFT 기판에서 EL 소자의 봉입까지 행한 상태를 나타내는 상면도이다. 점선으로 나타낸 6801은 소스 신호 측 구동회로이고, 6802는 게이트 신호 측 구동회로이고, 6803은 화소부이다. 또한, 부호 6804는 커버재, 부호 6805는 제1 밀봉재, 부호 6806은 제2 밀봉재를 나타낸다. 제1 밀봉재(6805)로 둘러싸인 내측의 커버재(6804)와 TFT 기판(6800)과의 사이에는 충전재(6807)(도 21(B) 참조)가 설치된다.

또한, 부호 6808은 소스 신호 측 구동회로(6801), 게이트 신호 측 구동회로(6802), 및 화소부(6803)에 입력되는 신호를 전송하기 위한 접속 배선을 나타낸다. 이 접속 배선(6808)은 외부 장치와의 접속 단자가 되는 FPC(가요성 인쇄 회로)(6809)로부터 비디오 신호 및 클록 신호를 받는다.

여기서, 도 21(A)의 A-A'선에 따른 수직 단면도가 도 21(B)에 도시되어 있다. 한편, 도 21(A) 및 도 21(B)에서, 동일한 부호는 동일한 부분을 나타낸다.

도 21(B)에 도시된 바와 같이, 기판(6800)상에는 화소부(6803)와 소스 신호 측 구동회로(6801)가 형성되어 있다. 화소부(6803)는 EL 소자를 통해 흐르는 전류를 제어하기 위한 TFT(스위칭용 TFT)(6851) 및 그 스위칭용 TFT(6851)의 드레

인에 전기적으로 접속된 화소 전극(6802)을 각각 포함하는 다수의 화소로 형성된다. 본 실시예에서는, 스위칭용 TFT(6801)가 p채널형 TFT로 되어 있다. 또한, 소스 신호 측 구동회로(6801)는 n채널형 TFT(6853)와 p채널형 TFT(6854)가 상보적으로 조합된 CMOS 회로를 사용하여 형성된다.

각 화소는 화소 전극(6852) 아래에 컬러 필터(R)(6855), 컬러 필터(G)(6856), 및 컬러 필터(B)(도시되지 않음)를 가지고 있다. 여기서, "컬러 필터(R)"은 백색 광으로부터 적색 광을 추출하는 컬러 필터이고, "컬러 필터(G)"는 백색 광으로부터 녹색 광을 추출하는 컬러 필터이고, "컬러 필터(B)"는 백색 광으로부터 청색 광을 추출하는 컬러 필터이다.

이 컬러 필터는 포토리소그래피 공정에 의해 제조되기 때문에, 약 3 μm 의 정밀도로 형성될 수 있다. 컬러 필터를 사용한 경우에는, 발광층이 백색 광만을 발광하는 것으로 충분하다. 즉, 화소는 금속 마스크를 사용하여 나누어 칠할 필요가 없다. 따라서, 더욱 미세한 화소를 제조하는 것이 가능하다.

또한, 컬러 필터를 사용하지 않는 종래의 구조에서는, 외부로부터 EL 표시장치로 들어온 가시광이 EL 소자의 발광층을 여기시켜, 소망의 색이 얻어지지 않는 문제가 일어날 수 있다. 대조적으로, 본 실시예에서와 같이 컬러 필터를 배치함으로써, 특정 파장의 광만이 EL 소자에 들어온다. 즉, 본 실시예는 EL 소자가 외부 광에 의해 여기되는 단점을 방지할 수 있다.

그 다음, 화소 전극(6852)은 투명 도전막으로 형성되고, EL 소자의 양극으로서 기능한다. 또한, 화소 전극(6852)의 양 단부에 절연막(6857)이 형성되고, 백색으로 발광하는 발광층(6858)이 형성된다.

또한, 발광층(6858)의 재료로서는, 유기 재료뿐만 아니라 무기 재료도 사용될 수 있다. 발광층이 전자 주입층, 전자 수송층, 정공 수송층, 또는 정공 주입층과 조합된 적층 구조를 사용하는 것도 가능하다.

또한, 각 발광층은 차광성을 가진 도전막으로 형성된 EL 소자의 음극(6860)과 겹쳐 있다. 이 음극(6860)은 모든 화소에 공통이고, 접속 배선(6808)을 경유하여 FPC(6809)에 전기적으로 접속되어 있다.

이어서, 디스펜서 등에 의해 제1 밀봉재(6805)를 형성하고, 스페이서(도시되지 않음)를 산포하여 커버재(6804)를 그 제1 밀봉재에 접합한다. 그 후, TFT 기판, 커버재(6804), 및 제1 밀봉재(6805)로 둘러싸인 영역 내에 진공 주입법에 의해 충전재(6807)가 충전된다.

또한, 본 실시예에서는, 흡습성 물질(6861)로서 산화바륨이 충전재(6807) 내에 미리 첨가된다. 또한, 본 실시예에서는, 흡습성 물질이 충전재 내에 첨가되지만, 그것은 덩어리로 분산되어 충전재 중에 포함될 수도 있다. 또한, 도시되지 않았지만, 스페이서의 재료로서 흡습성 물질이 사용될 수도 있다.

이어서, 자외선 조사 또는 가열에 의해 충전재(6807)가 경화되고, 제1 밀봉재(6805)에 형성된 개구(도시되지 않음)가 폐쇄된다. 제1 밀봉재(6805)의 개구를 폐쇄한 후, 도전성 재료(6862)를 사용하여 접속 배선(6808)과 FPC(6809)가 전기적으로 접속된다. 또한, 제1 밀봉재(6805)의 노출된 부분과 FPC(6809)의 일부를 덮도록 제2 밀봉재(6806)가 배치된다. 제2 밀봉재(6806)에는 제1 밀봉재(6805)의 재료와 유사한 재료가 사용될 수 있다.

상기한 방법에 의해 EL 소자가 충전재(6807)로 봉입됨으로써, EL 소자가 외부로부터 완전히 차단될 수 있어, 수분 및 산소와 같은, 유기 재료의 산화를 조장하는 물질이 외부로부터 침입하는 것이 방지될 수 있다. 따라서, 신뢰성이 높은 EL 표시장치가 제조될 수 있다.

또한, 본 발명을 사용함으로써, 기존의 액정 표시장치용 제조 라인을 전용할 수 있어, 설비 투자의 비용을 대폭 절감할 수 있고, 수율이 높은 공정에 의해 단일 기판으로부터 다수의 발광장치를 제조할 수 있어, 제조 비용을 대폭 절감할 수 있다.

[실시예 14]

본 실시예에서는, 실시예 13에서 설명된 EL 표시장치에서, 각 EL 소자로부터의 광의 방사 방향 및 컬러 필터의 배치를 다르게 한 경우의 예를 나타낸다. 도 22가 참조되고, 이 도면에서, 상이한 부분에 새로운 부호가 부여되어 있고, 본 실시예의 기본적인 구조는 도 21(B)에서와 동일하기 때문에, 주로 상이한 부분에 대하여 설명한다.

본 실시예에서는, 화소부(6901)의 각 스위칭용 TFT(6902)로서 n채널형 TFT가 사용된다. 또한, 스위칭용 TFT(6902)의 드레인에는 화소 전극(6903)이 전기적으로 접속되고, 그 화소 전극(6903)은 차광성을 가진 도전막으로 형성되어 있다. 본 실시예에서는, 화소 전극(6903)이 EL 소자의 음극이 된다.

또한, 백색으로 발광하고 본 발명을 사용하여 형성된 발광층(6858) 상에는, 화소부의 모든 화소에 공통인 투명 도전막(6904)이 형성된다. 이 투명 도전막(6904)은 EL 소자의 양극이 된다.

또한, 본 실시예에서는, 컬러 필터(R)(6905), 컬러 필터(G)(6906), 및 컬러 필터(B)(도시되지 않음)가 커버재(6804)에 형성되어 있는 점에 특징이 있다. 도 22에 도시된 바와 같은 본 실시예의 EL 소자의 구조에서는, 발광층(6858)으로부터 발광되는 광이 커버재(6804) 쪽으로 방사되므로, 컬러 필터가 광로에 배치될 수 있다.

본 실시예에서와 같이 컬러 필터(R)(6905), 컬러 필터(G)(6906), 및 컬러 필터(B)(도시되지 않음)가 커버재(6804)에 배치되면, TFT 기판의 공정의 수가 감소될 수 있고, 수율 및 스루풋(throughput)이 향상될 수 있는 이점이 있다.

[실시예 15]

본 발명을 적용함으로써 제조된 전자 표시장치, 특히 EL 표시장치는 각종 전자 장치에 사용될 수 있다. 이하에, 본 발명을 적용함으로써 제조된 전자 표시장치를 표시 매체로서 구비하는 전자 장치에 대하여 설명한다.

그러한 전자 장치로는, 비디오 카메라, 디지털 카메라, 헤드 장착형 디스플레이(고글형 디스플레이), 게임기, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 전자 책 등) 등을 들 수 있다. 이들 전자 장치의 예를 도 24에 나타낸다.

도 24(A)는 본체(2001), 케이싱(2002), 표시부(2003), 키보드(2004) 등을 포함하는 퍼스널 컴퓨터를 나타낸다. 본 발명의 EL 표시장치는 퍼스널 컴퓨터의 표시부(2003)에 사용될 수 있다.

도 24(B)는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 수상(受像)부(2106) 등을 포함하는 비디오 카메라를 나타낸다. 본 발명의 EL 표시장치는 비디오 카메라의 표시부(2102)에 사용될 수 있다.

도 24(C)는 본체(2301), 신호 케이블(2302), 헤드 고정 밴드(2303), 화면 모니터(2304), 광학계(2305), 표시부(2306) 등을 포함하는 헤드 장착형 EL 표시장치의 일부(우측 부분)를 나타낸다. 본 발명의 EL 표시장치는 헤드 장착형 EL 표시장치의 표시부(2306)에 사용될 수 있다.

도 24(D)는 본체(2401), 기록 매체(CD, LD, 또는 DVD 등)(2402), 조작 스위치(2403), 표시부(a)(2404), 표시부(b)(2405) 등을 포함하는, 기록 매체를 구비한 화상 재생 장치(구체적으로는, DVD 재생 장치)를 나타낸다. 표시부(a)(2404)는 주로 화상 정보를 표시하는데 사용되고, 표시부(b)(2405)는 주로 문자 정보를 표시하는데 사용된다. 본 발명의 EL 표시장치는 기록 매체를 구비한 화상 재생 장치의 표시부(a)(2404) 및 표시부(b)(2405)에 사용될 수 있다. 본 발명은 기록 매체를 구비한 화상 재생 장치로서 CD 재생 장치 및 게임기와 같은 장치에 적용될 수 있다.

도 24(E)는 본체(2501), 카메라부(2502), 수상부(2503), 조작 스위치(2504), 표시부(2505) 등을 포함하는 모바일 컴퓨터를 나타낸다. 본 발명의 EL 표시장치는 모바일 컴퓨터의 표시부(2505)에 사용될 수 있다.

또한, 장래에 EL 재료의 발광 휘도가 향상되면, 이 EL 재료가 프론트형 또는 리어형 프로젝터에 사용될 수도 있을 것이다.

상기한 바와 같이, 본 발명의 적용 범위는 매우 넓고, 본 발명은 모든 분야의 전자 장치에 적용될 수 있다. 또한, 본 실시예의 전자 장치는 실시예 1~실시예 14를 자유롭게 조합한 구성을 사용하여 실현될 수 있다.

발명의 효과

종래 기술의 패시브형 EL 표시장치에서는, 신호선 구동회로가 반도체 기판 상에 제조되므로, 그 구동회로를 절연 기판 상에 제조된 화소에 접속하는 경우, 그 기판들의 재료의 불일치로 인해 열적으로 왜곡이 일어나는 결점이 있었다. 또한, 종래 기술의 액티브형 EL 표시장치에서는, 각 화소의 크기를 작게 한 경우, 화소 내의 트랜지스터의 점유율이 커져서 개구율을 감소시키게 된다.

대조적으로, 본 발명은, 상기한 구성에 의해, 신호선 구동회로를 절연 기판 상에 형성할 수 있다. 또한, 본 발명은 액티브형 EL 표시장치의 개구율을 증대시킬 수 있다. 따라서, 본 발명은 신뢰성이 높은 패시브형 EL 표시장치를 제공할 수 있고, 또한, 화질이 높은 액티브형 EL 표시장치를 제공할 수 있다.

도면의 간단한 설명

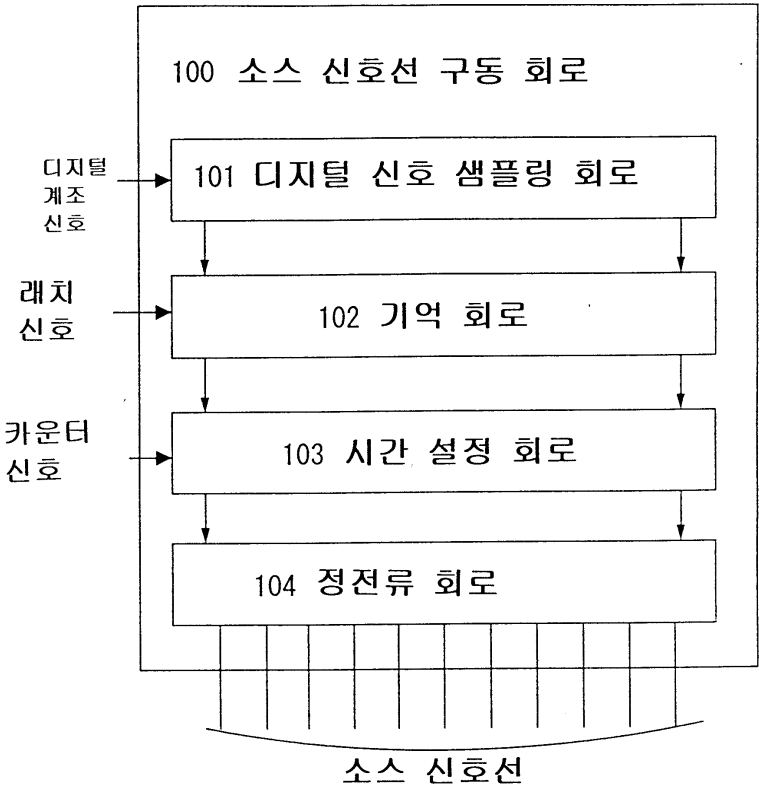
- 도 1은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구성을 나타내는 블록도.
- 도 2는 종래 기술의 패시브형 EL 표시장치의 화소부의 등가 회로도.
- 도 3은 종래 기술의 액티브형 EL 표시장치의 화소의 회로도.
- 도 4는 종래 기술의 액티브형 EL 표시장치의 화소부의 회로도.
- 도 5는 종래 기술의 액티브형 EL 표시장치의 구동방법을 나타내는 타이밍 차트.
- 도 6(A) 및 도 6(B)는 TFT의 Id-Vg 특성을 나타내는 그래프.
- 도 7은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구성을 나타내는 블록도.
- 도 8은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 회로도.
- 도 9는 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 회로도.
- 도 10은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 구동방법을 나타내는 타이밍 차트.
- 도 11은 본 발명에 따른 EL 표시장치의 소스 신호선 구동회로의 회로도.
- 도 12는 본 발명에 따른 EL 표시장치의 화소의 구성을 나타내는 도면.
- 도 13은 본 발명에 따른 EL 표시장치의 화소부의 구성을 나타내는 회로도.
- 도 14(A)~도 14(C)는 본 발명에 따른 EL 표시장치의 제작공정을 나타내는 단면도.
- 도 15(A)~도 15(C)는 본 발명에 따른 EL 표시장치의 제작공정을 나타내는 단면도.
- 도 16(A) 및 도 16(B)는 본 발명에 따른 EL 표시장치의 제작공정을 나타내는 단면도.
- 도 17(A) 및 도 17(B)는 본 발명에 따른 EL 표시장치의 화소부의 상면도 및 수직 단면도.
- 도 18(A) 및 도 18(B)는 본 발명에 따른 EL 표시장치의 화소부의 상면도 및 수직 단면도.
- 도 19는 본 발명에 따른 EL 표시장치의 화소부의 단면도.
- 도 20은 본 발명에 따른 EL 표시장치의 화소부의 단면도.
- 도 21(A) 및 도 21(B)는 본 발명에 따른 EL 표시장치의 화소부의 상면도 및 수직 단면도.
- 도 22는 본 발명에 따른 EL 표시장치의 화소부의 수직 단면도.
- 도 23(A) 및 도 23(B)는 본 발명에 따른 EL 표시장치의 화소부의 상면도 및 수직 단면도.
- 도 24(A)~도 24(E)는 본 발명에 따른 EL 표시장치를 이용한 전자 장치를 나타내는 도면.

<도면의 주요 부분에 대한 부호의 설명>

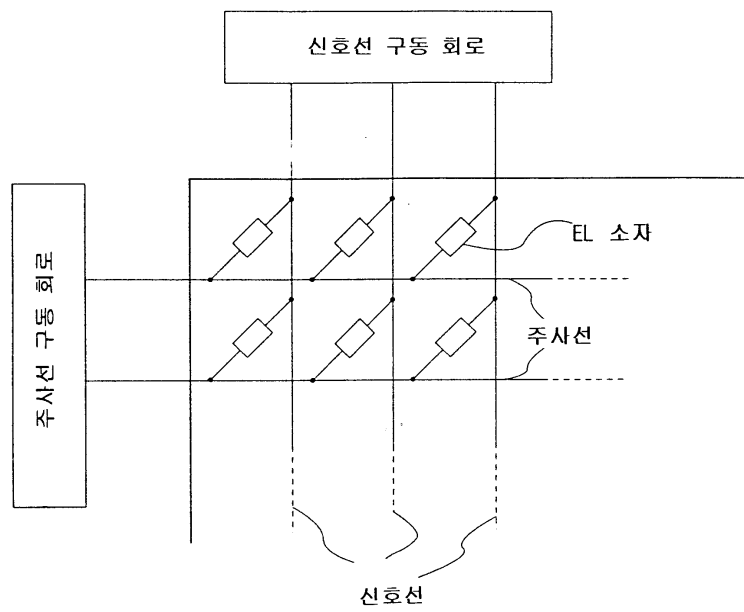
100 : 소스 신호선 구동회로 101, 201 : 디지털 신호 샘플링 회로
102, 202 : 기억회로 103, 207 : 시간 설정 회로
104, 208 : 정전류 회로 203 : 시프트 레지스터
204 : 래치 회로 205 : 래치 펄스 라인
206 : 신호선 209 : 대응 신호선
210 : 초기 입력 라인 1101 : 스위칭용 TFT
1102 : EL 소자

도면

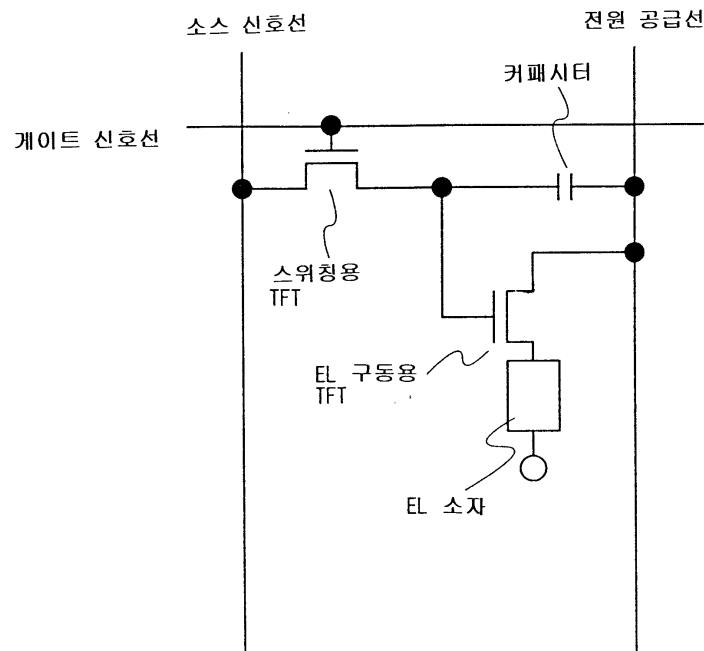
도면1



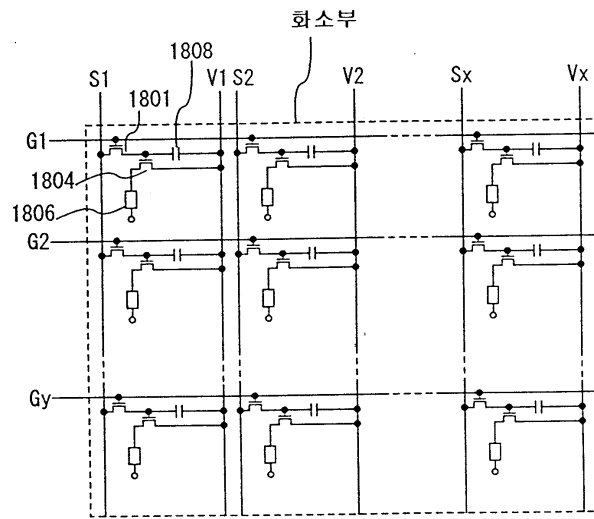
도면2



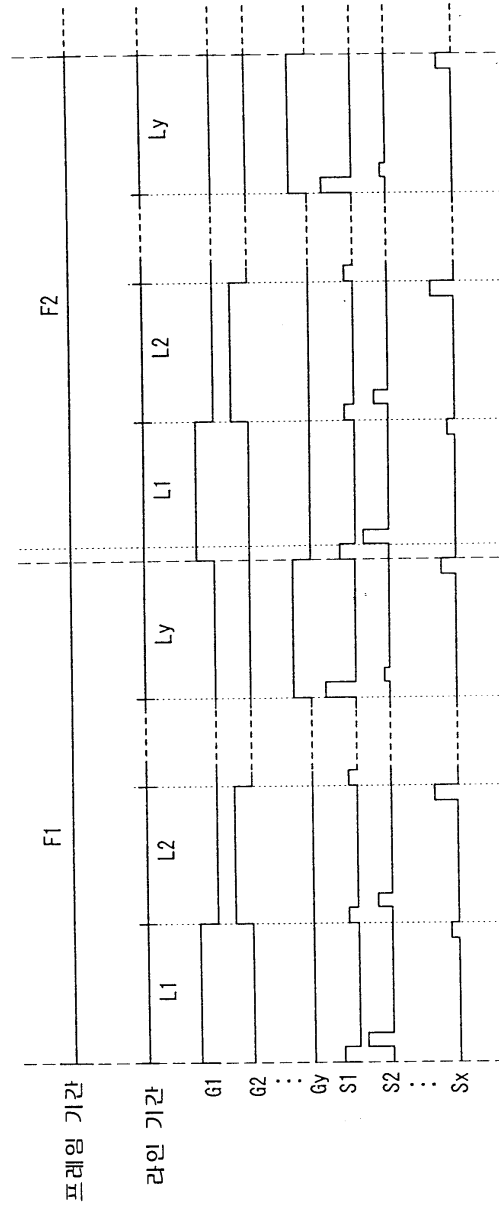
도면3



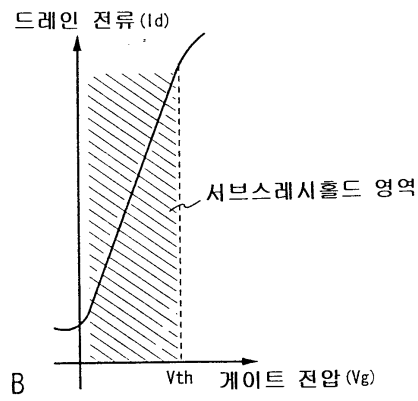
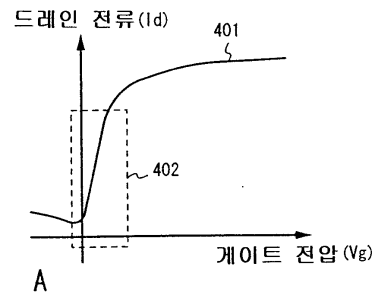
도면4



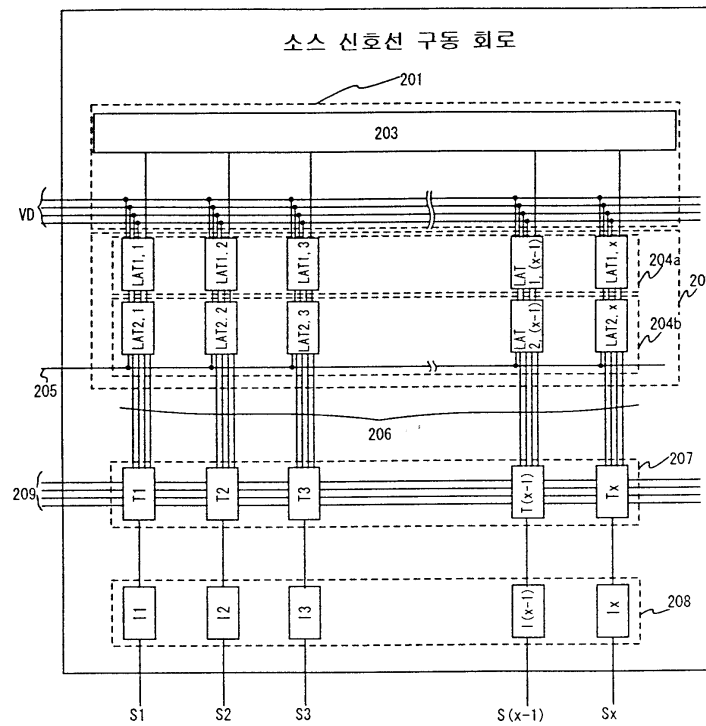
도면5



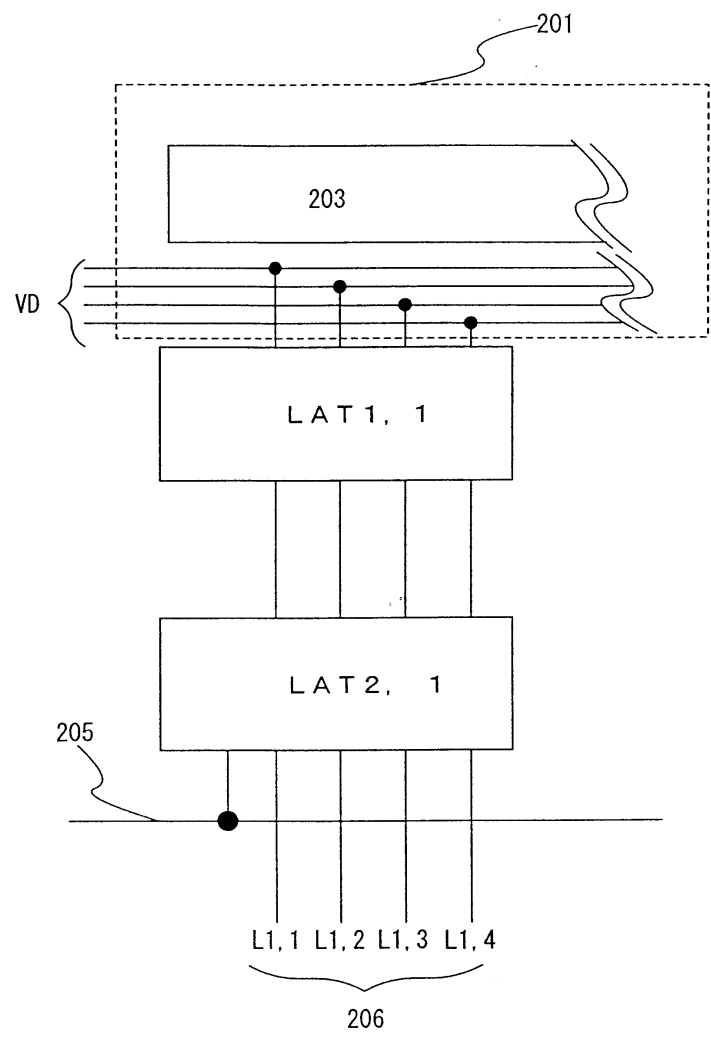
도면6



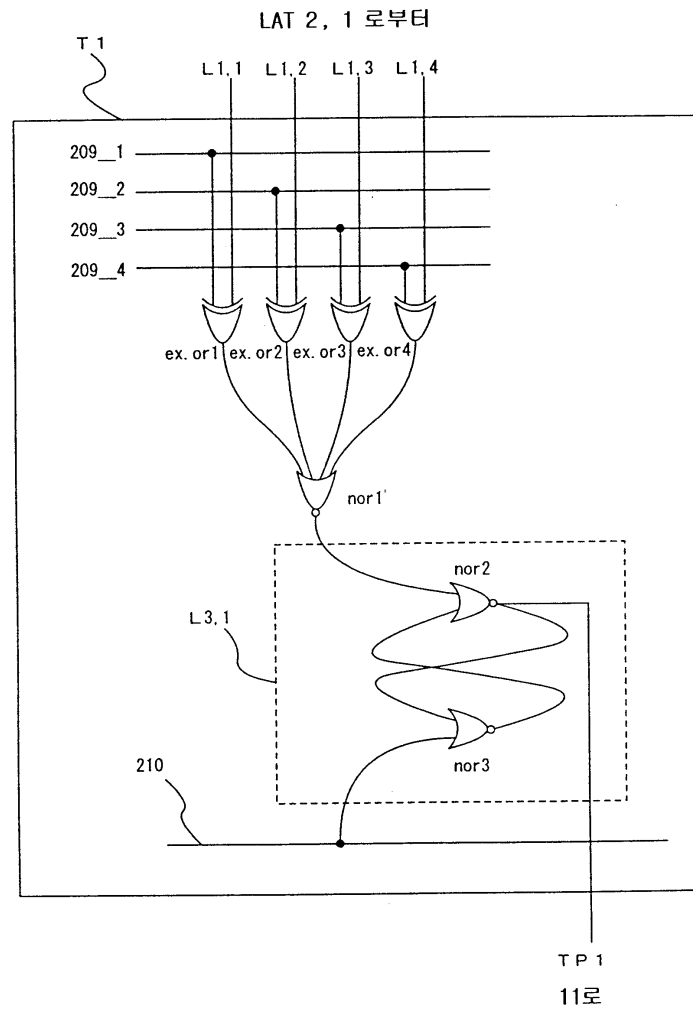
도면7



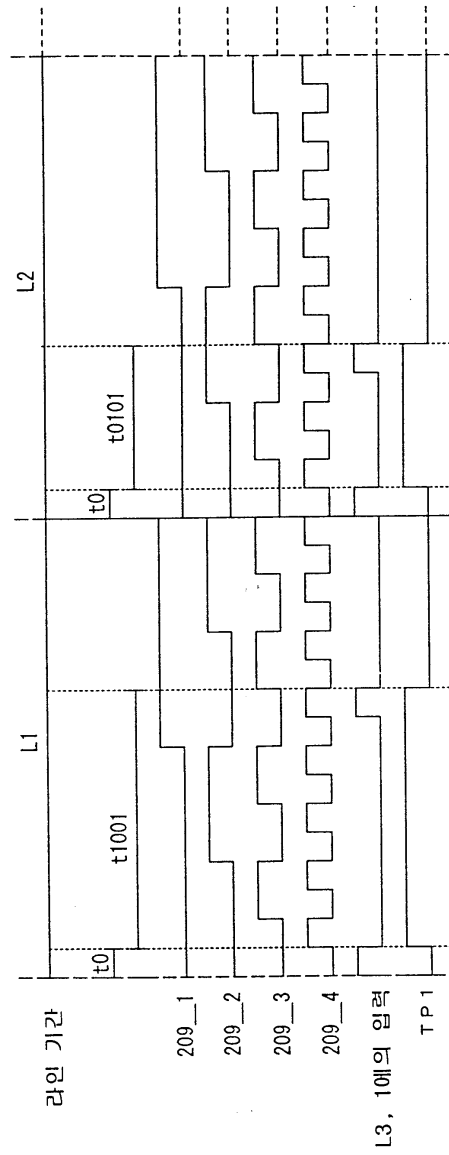
도면8



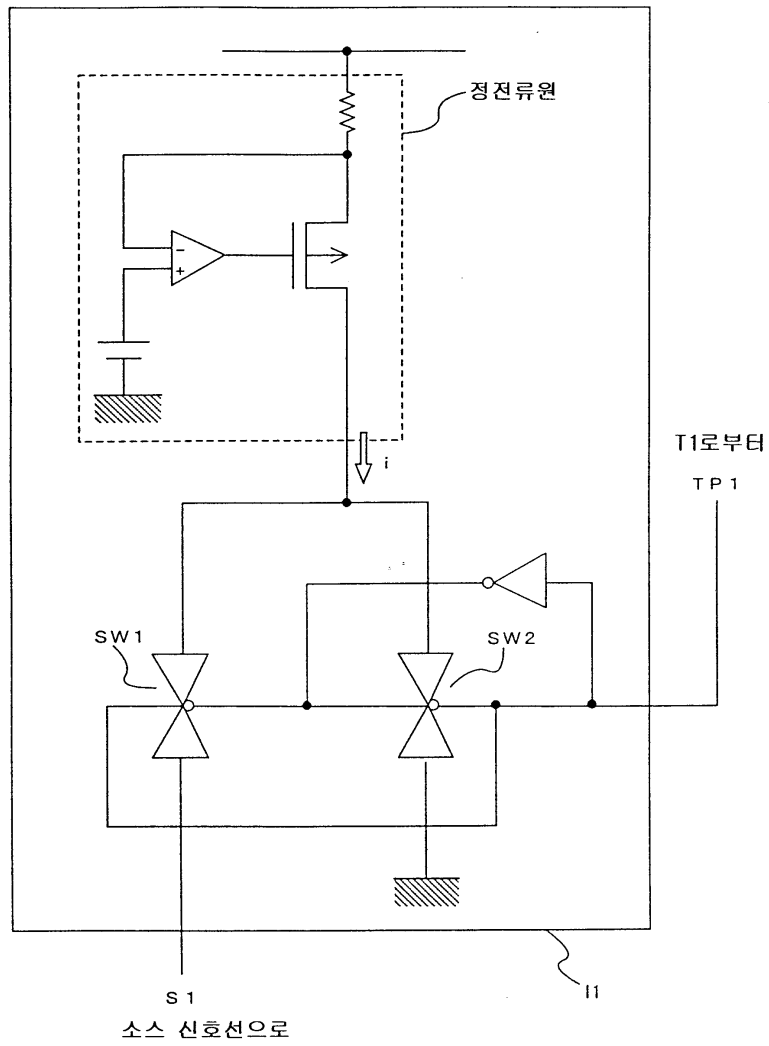
도면9



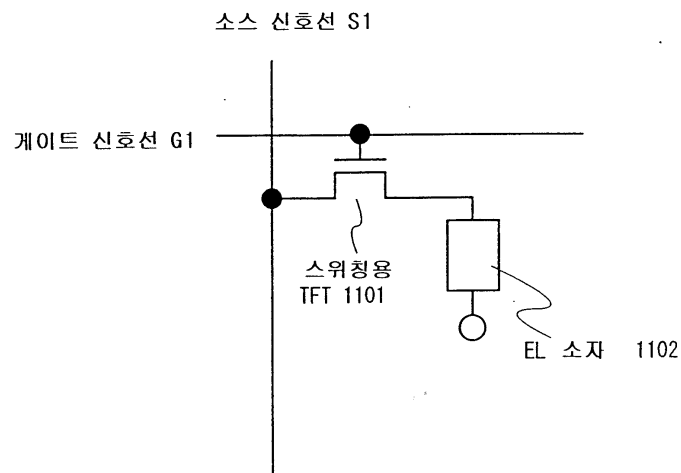
도면10



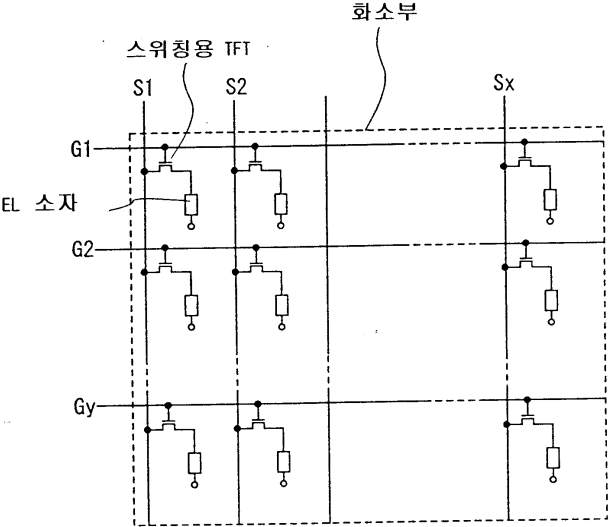
도면11



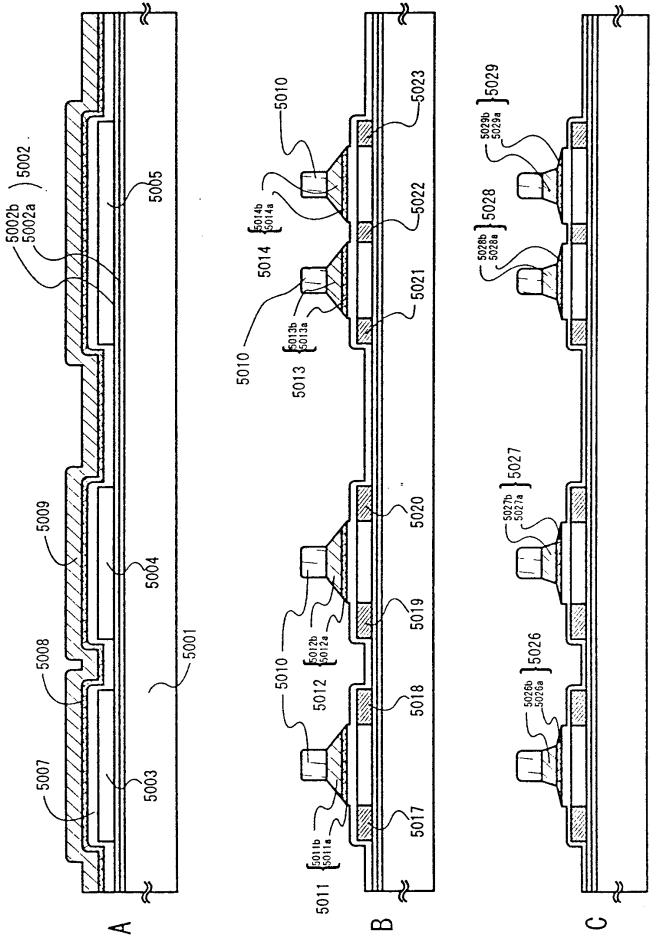
도면12



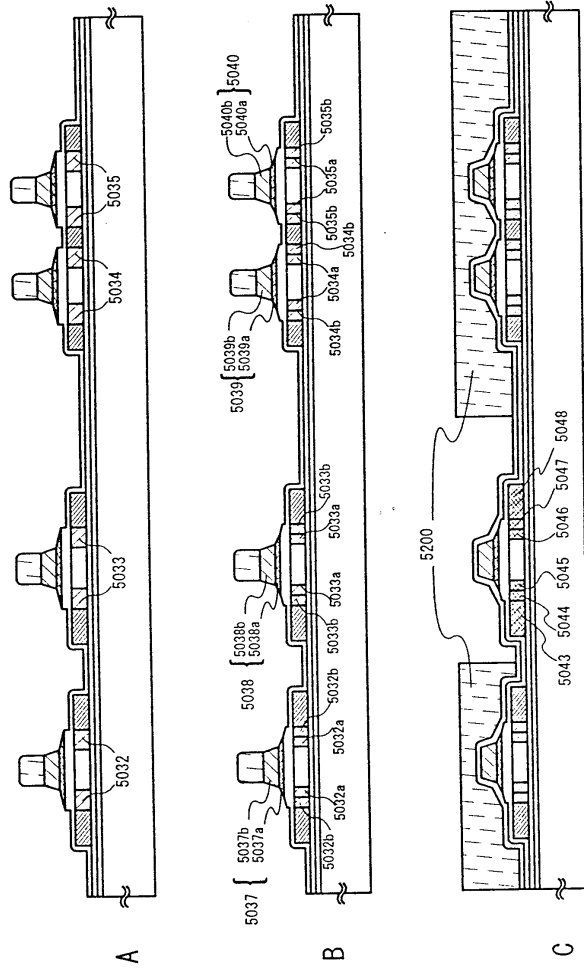
도면13



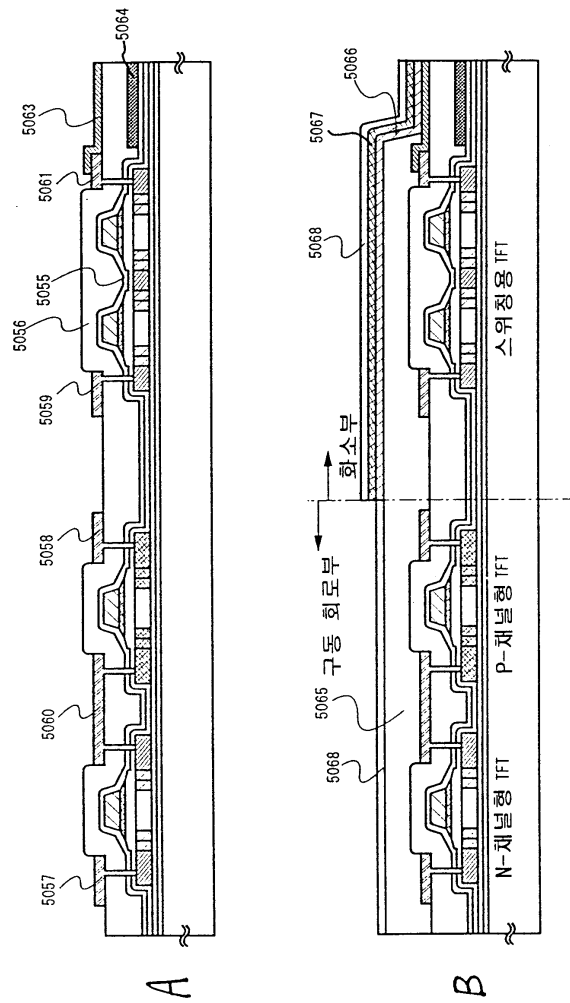
도면14



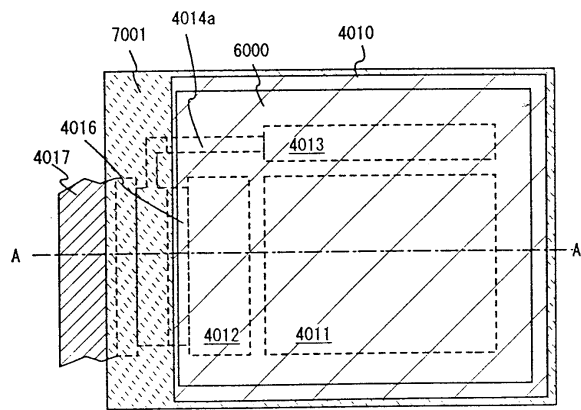
도면15



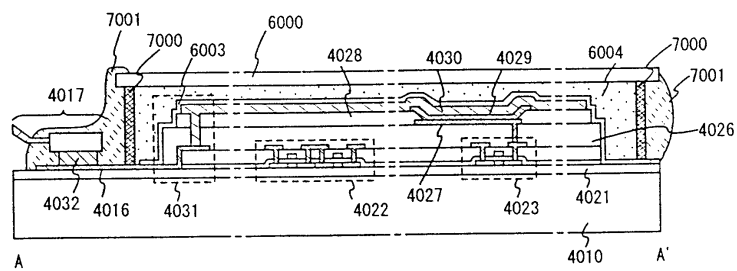
도면16



도면17

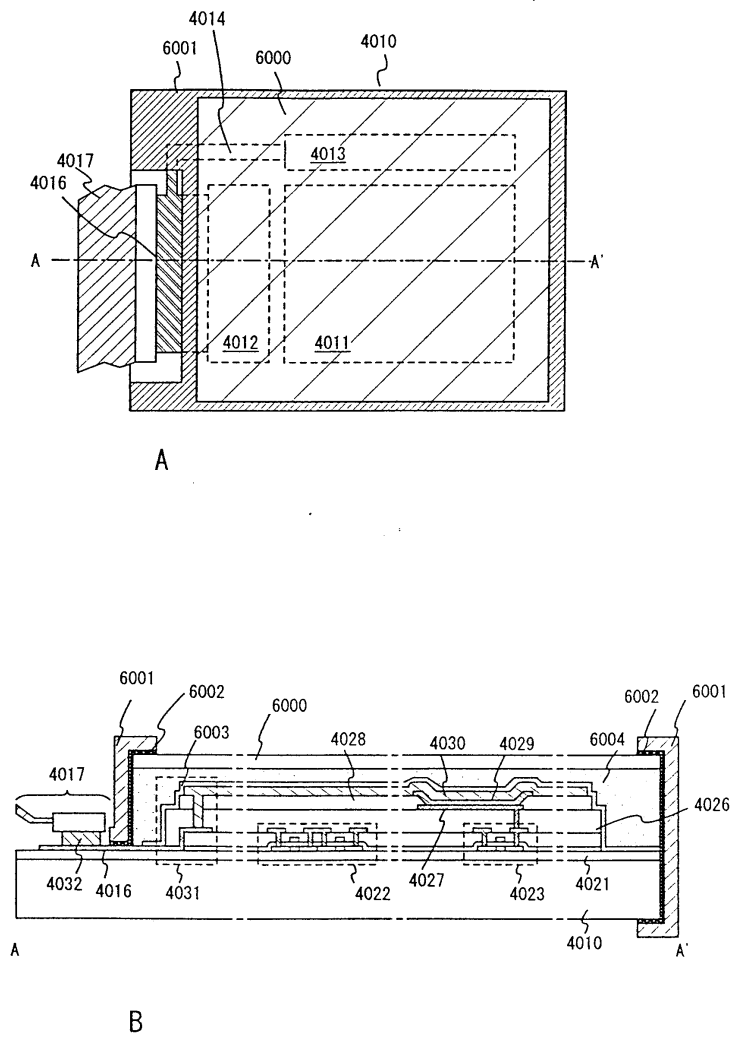


A

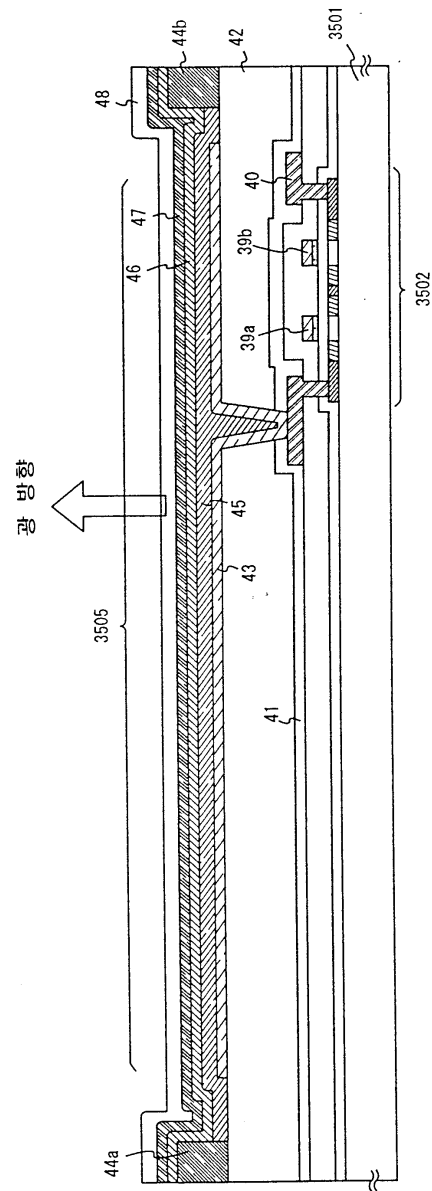


B

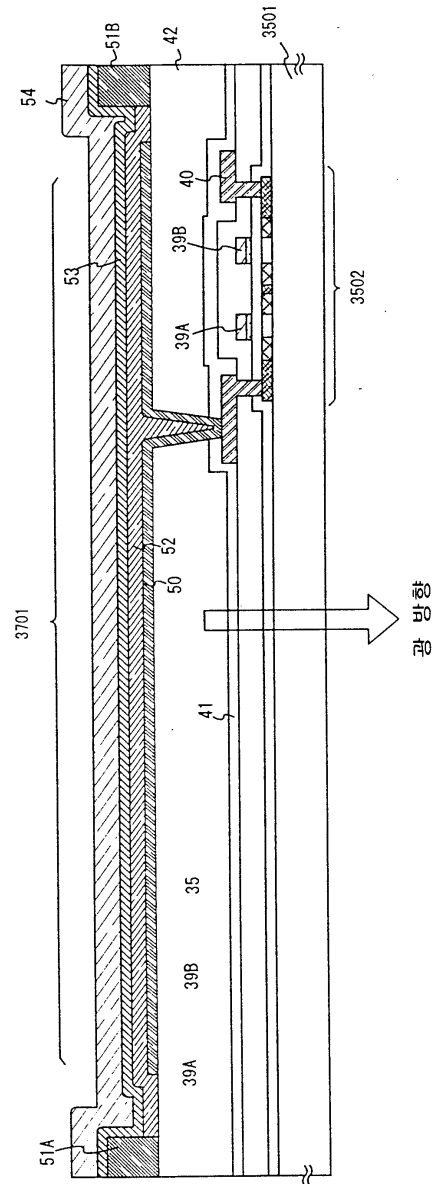
도면18



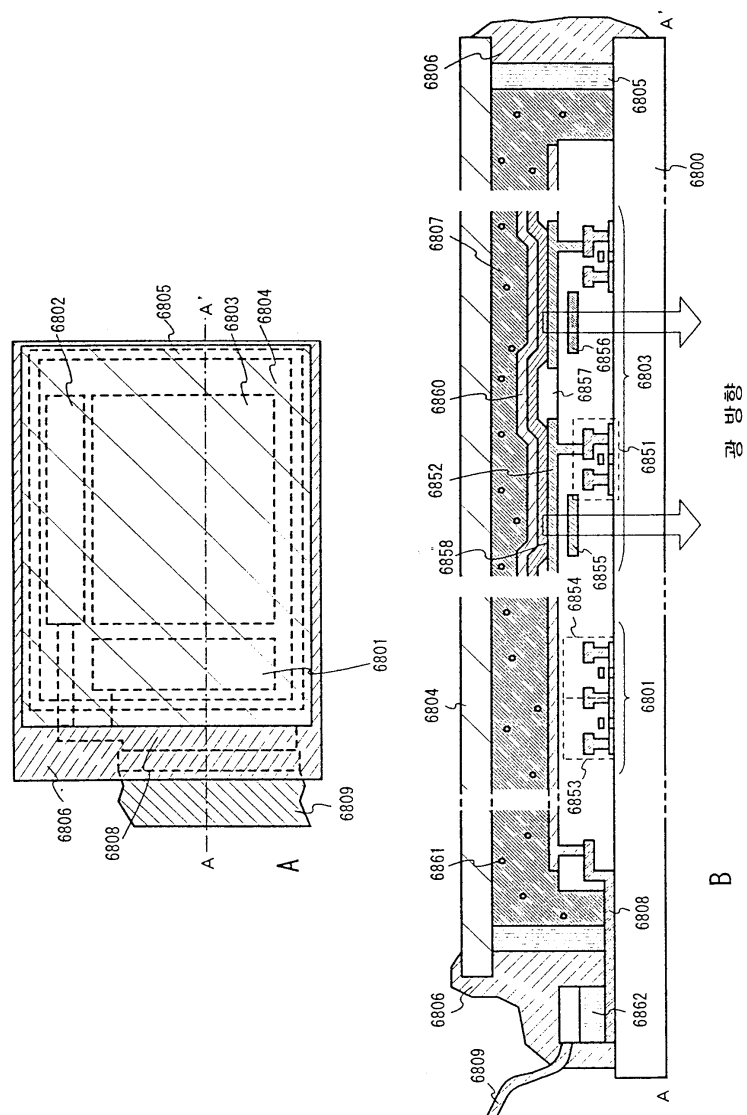
도면19



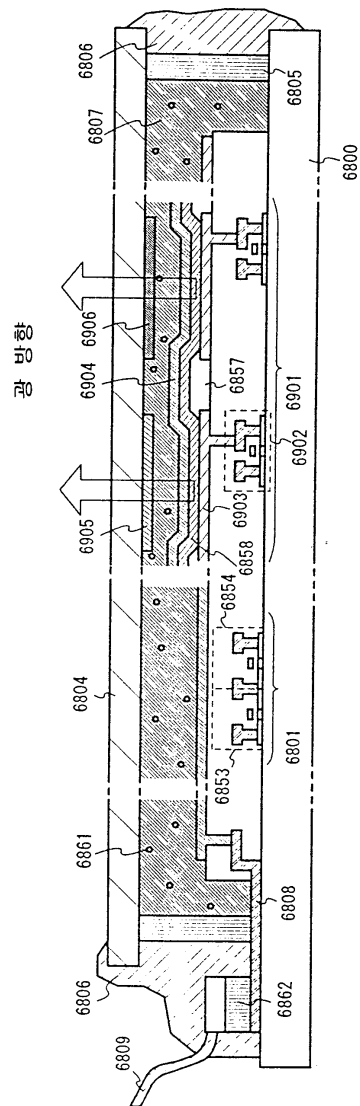
도면20



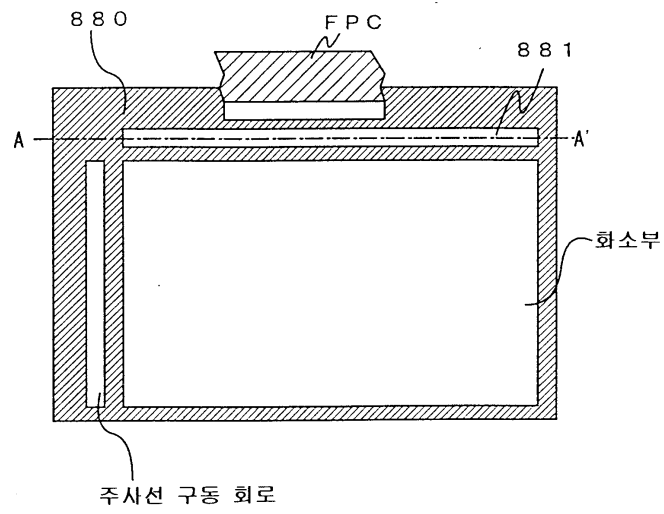
도면21



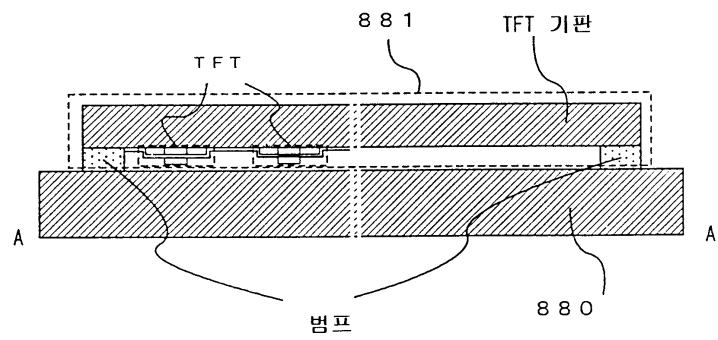
도면22



도면23

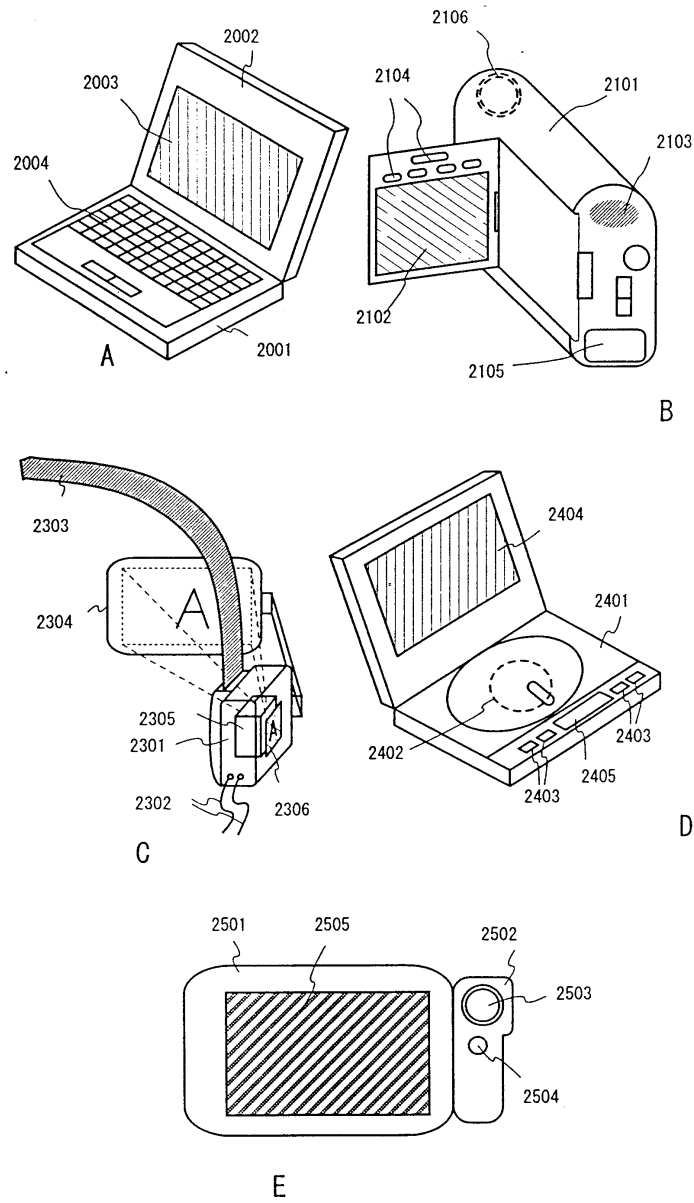


A



B

도면24



专利名称(译)	显示设备		
公开(公告)号	KR100707886B1	公开(公告)日	2007-04-16
申请号	KR1020010031340	申请日	2001-06-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN		
发明人	KOYAMA,JUN		
IPC分类号	G09G3/30 G09G3/20 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L29/786		
CPC分类号	G09G3/2014 G09G3/30 G09G2300/08 G09G2310/027 H01L27/12 H01L27/1214 H01L27/1259 H01L27/127 H01L29/66757 H01L29/78621 H01L29/78645 H01L2029/7863		
优先权	2000168331 2000-06-06 JP		
其他公开文献	KR1020010110324A		
外部链接	Espacenet		

摘要(译)

包括数字信号采样电路，存储电路，时间设置电路和恒流电路的信号线驱动电路由绝缘基板上的TFT制成，该绝缘基板由与像素部分基板相同的物质制成。因此，在无源型EL显示装置中，可以消除将信号线驱动电路接合到像素部基板上时的变形问题。此外，在有源型EL显示装置中，每个像素由一个晶体管和一个EL元件构成。因此，EL显示装置的开口率增大。

