



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0131568
(43) 공개일자 2011년12월07일

(51) Int. Cl.

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

(21) 출원번호 10-2010-0051070

(22) 출원일자 2010년05월31일

심사청구일자 2010년05월31일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

최웅식

경기 안산시 상록구 일동 106-8번지 한성빌라 101호

(74) 대리인

팬코리아특허법인

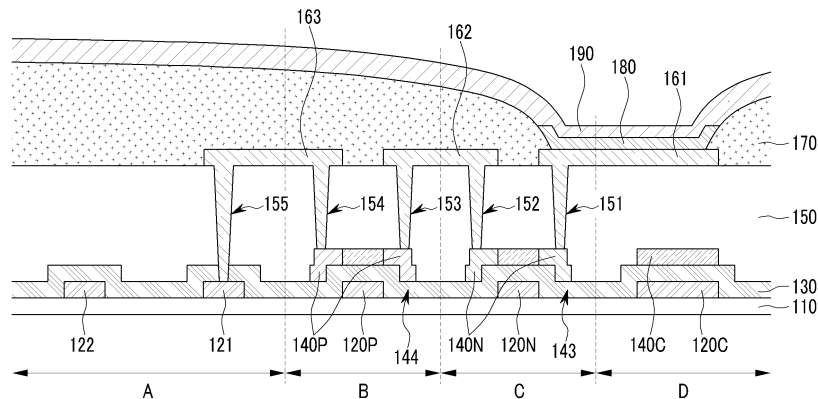
전체 청구항 수 : 총 17 항

(54) 표시장치 및 그 제조 방법

(57) 요약

본 발명은 표시장치 및 그의 제조 방법에 관한 것으로, CMOS 박막 트랜지스터를 포함하는 유기전계발광 표시장치의 제조 공정에 소요되는 마스크 수를 저감하여 공정에 소요되는 비용, 공정 시간 및 마스크 사용에 따른 파티클 발생을 감소시킴으로써, 상기 유기전계발광 표시장치의 공정 효율을 향상시킬 수 있는 표시장치 및 그의 제조 방법에 관한 것이다.

대표도 - 도8



특허청구의 범위

청구항 1

제 1 영역, 제 2 영역 및 제 3 영역을 포함하는 기판;

상기 기판의 제 1 영역 상에 위치하는 다수의 신호 배선;

상기 기판의 제 2 영역 상에 위치하는 제 1 게이트 전극;

상기 기판의 제 3 영역 상에 위치하는 제 2 게이트 전극;

상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극 상에 위치하는 게이트 절연막;

상기 게이트 절연막의 제 1 영역 상에 위치하며, P형 불순물로 도핑 된 제 1 소오스/드레인 영역을 포함하는 제 1 반도체층;

상기 게이트 절연막의 제 2 영역 상에 위치하며, N형 불순물로 도핑 된 제 2 소오스/드레인 영역을 포함하는 제 2 반도체층;

상기 제 1 반도체층 및 제 2 반도체층 상에 위치하며, 상기 제 1 소오스/드레인의 일부를 노출시키는 제 1 콘택홀, 상기 제 2 소오스/드레인 영역의 일부를 노출시키는 제 2 콘택홀 및 상기 다수의 신호 배선 중 어느 하나의 일부를 노출시키는 제 3 콘택홀이 형성된 평탄화막;

상기 평탄화막 상에 위치하며, 상기 제 1 콘택홀 및 제 2 콘택홀을 통해 상기 제 1 소오스/드레인 영역의 일측과 상기 제 2 소오스/드레인 영역의 일측을 연결하는 제 1 연결 전극;

상기 평탄화막 상에 위치하며, 상기 제 1 콘택홀 및 제 3 콘택홀을 통해 상기 제 1 소오스/드레인 영역의 타측과 상기 다수의 신호 배선 중 어느 하나를 연결하는 제 2 연결 전극;

상기 평탄화막 상에 위치하며, 상기 제 2 콘택홀을 통해 상기 제 2 소오스/드레인 영역의 타측과 연결되는 하부 전극;

상기 하부 전극 상에 하나 또는 다수의 발광층을 포함하는 유기막층; 및

상기 유기막층 상에 위치하는 상부 전극을 포함하며,

상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극은 동일 재질로 형성되는 표시장치.

청구항 2

제 1 항에 있어서,

상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극은 폴리텡스텐, 폴리브텐, 텡스텐 실리사이드, 폴리브데늄 실리사이드, 알루미늄 및 이들의 합금으로 이루어진 그룹에서 선택된 어느 하나로 형성되는 표시장치.

청구항 3

제 1 항에 있어서,

상기 N형 불순물은 인(P), 비소(As), 안티몬(Sb) 및 비스무스(Bi)로 이루어진 그룹에서 선택된 어느 하나인 표시장치.

청구항 4

제 1 항에 있어서,

상기 P형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 그룹에서 선택된 어느 하나인 표시장치.

청구항 5

제 1 항에 있어서,

상기 하부 전극, 제 1 연결 전극 및 제 2 연결 전극이 반사막 및 투명 도전막을 포함하도록 형성되는 표시장치.

청구항 6

제 1 항에 있어서,

상기 제 1 컨택홀을 통해 상기 제 2 연결 전극과 연결되는 신호 배선은 전원전압 라인인 표시장치.

청구항 7

제 1 항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층과 평탄화막 사이에 위치하는 보호막을 더 포함하는 표시장치.

청구항 8

제 1 항에 있어서,

상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극과 동일층에 위치하는 커패시터 하부 전극 및 상기 제 1 반도체층 및 제 2 반도체층과 동일층에 위치하는 커패시터 상부 전극을 포함하는 커패시터를 더 포함하는 표시장치.

청구항 9

제 1 영역, 제 2 영역 및 제 3 영역을 포함하는 기판을 제공하고,

상기 기판 상에 제 1 도전성 물질층을 형성하고,

상기 제 1 도전성 물질층을 식각하여, 상기 제 1 영역에 위치하는 다수의 신호 배선, 상기 제 2 영역에 위치하는 제 1 게이트 전극 및 상기 제 3 영역에 위치하는 제 2 게이트 전극을 형성하고,

상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극 상에 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 다결정 실리콘층을 형성하고,

상기 제 2 영역에 위치하는 다결정 실리콘의 일부 영역을 P형 불순물로 도핑하고,

상기 제 3 영역에 위치하는 다결정 실리콘의 일부 영역을 N형 불순물로 도핑하고,

상기 다결정 실리콘층을 식각하여, 상기 P형 불순물로 도핑 된 다결정 실리콘 영역을 포함하는 제 1 반도체층 및 상기 N형 불순물로 도핑 된 다결정 실리콘 영역을 포함하는 제 2 반도체층을 형성하고,

상기 제 1 반도체층 및 제 2 반도체층 상에 평탄화막을 형성하고,

상기 평탄화막을 식각하여, 상기 제 1 반도체층의 P형 불순물로 도핑 된 영역을 노출시키는 제 1 컨택홀, 상기 제 2 반도체층의 N형 불순물로 도핑 된 영역을 노출시키는 제 2 컨택홀 및 상기 다수의 신호 배선 중 어느 하나의 일부를 노출시키는 제 3 컨택홀을 형성하고,

상기 평탄화막 상에 상기 제 1 컨택홀 및 제 2 컨택홀을 통해 상기 제 1 반도체층의 일단과 상기 제 2 반도체층의 일단을 연결하는 제 1 연결 전극, 상기 제 1 컨택홀 및 제 3 컨택홀을 통해 상기 제 1 반도체층의 타단과 다수의 신호 배선 중 어느 하나를 연결하는 제 2 연결 전극 및 상기 제 2 컨택홀을 통해 상기 제 2 반도체층의 타단과 연결되는 하부 전극을 형성하고,

상기 하부 전극 상에 하나 또는 다수의 발광층을 포함하는 유기막층 및 상부 전극을 형성하는 것을 포함하는 표시장치의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 도전성 물질층을 텅스텐, 몰리브덴, 텅스텐 실리사이드, 몰리브데늄 실리사이드, 알루미늄 및 이들의 합금으로 이루어진 그룹에서 선택된 어느 하나로 형성하는 표시장치의 제조 방법.

청구항 11

제 9 항에 있어서,

상기 다결정 실리콘층은 상기 게이트 절연막 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층을 결정화 함으로써 형성하는 표시장치의 제조 방법.

청구항 12

제 9 항에 있어서,

상기 N형 불순물은 인(P), 비소(As), 안티몬(Sb) 및 비스무스(Bi)로 이루어진 그룹에서 선택된 어느 하나인 표시장치의 제조 방법.

청구항 13

제 9 항에 있어서,

상기 P형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 그룹에서 선택된 어느 하나인 표시장치의 제조 방법.

청구항 14

제 9 항에 있어서,

상기 하부 전극, 제 1 연결 전극 및 제 2 연결 전극이 반사막 및 투명 도전막을 포함하도록 형성하는 표시장치의 제조 방법.

청구항 15

제 9 항에 있어서,

상기 제 1 컨택홀을 통해 상기 제 2 연결 전극과 연결되는 신호 배선은 전원전압 라인인 표시장치의 제조 방법.

청구항 16

제 9 항에 있어서,

상기 제 1 반도체층 및 제 2 반도체층 상에 보호막을 형성하고,

상기 보호막 상에 평탄화막을 형성하고,

상기 보호막과 평탄화막을 식각하여, 상기 제 1 컨택홀, 제 2 컨택홀 및 제 3 컨택홀을 형성하는 표시장치의 제조 방법.

청구항 17

제 9 항에 있어서,

상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극과 동시에 커패시터 하부 전극을 형성하고,

상기 다결정 실리콘층을 식각하는 공정을 통해 상기 제 1 반도체층 및 제 2 반도체층과 동시에 커패시터 상부 전극을 형성하는 표시장치의 제조 방법.

명세서

기술분야

본 발명은 표시장치 및 그의 제조 방법에 관한 것으로, CMOS 박막 트랜지스터를 포함하는 유기전계발광 표시장치의 제조 공정에 소요되는 마스크 수를 저감하여 공정에 소요되는 비용, 공정 시간, 마스크 사용에 따른 정렬 오차 및 파티클 발생을 감소시킴으로써, 상기 유기전계발광 표시장치의 공정 효율을 향상시킬 수 있는 표시장치 및 그의 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 평판표시장치(Flat Panel Display device) 중 유기전계발광 표시장치(Organic Light Emitting diode Display device; OLED)는 유기박막에 음극(Cathode)과 양극(Anode)을 통하여 주입된 전자(Electron)와 정공(Hole)이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생하는 현상을 이용한 표시장치이다.
- [0003] 상기 유기전계발광 표시장치는 구동 방법에 따라 수동 구동(Passive matrix) 방식과 능동 구동(Active matrix) 방식으로 나뉘는데, 상기 능동 구동 방식의 유기전계발광 표시장치는 상기 유기박막을 포함하는 유기전계발광 다이오드를 구동하기 위하여 두 개의 박막트랜지스터(Thin Film Transistor; TFT), 즉 상기 유기전계발광 다이오드에 구동 전류를 인가하기 위한 구동 트랜지스터 및 상기 구동 트랜지스터에 데이터 신호를 전달하여 상기 구동 트랜지스터의 on/off를 결정하는 스위칭 트랜지스터가 형성되어야 하므로, 상기 수동 구동 방식의 유기전계발광 표시장치와 비교하여 제조가 복잡하다는 단점이 있다.
- [0004] 그러나, 상기 수동 구동 방식의 유기전계발광 표시장치는 해상도, 구동 전압의 상승, 재료 수명의 저하 등의 문제로 인하여 저해상도 및 소형 디스플레이의 응용분야로 제한되는 반면, 상기 능동 구동 방식의 유기전계발광 표시장치는 표시 영역의 각 화소에 위치하는 스위칭 트랜지스터 및 구동 트랜지스터를 이용하여 공급되는 일정한 전류에 따라 안정적인 휘도를 나타낼 수 있으며, 전력소모가 적어, 고해상도 및 대형 디스플레이를 구현할 수 있다는 장점이 있다.
- [0005] 상기와 같은 능동 구동 방식의 유기전계발광 표시장치에 있어서, 상기 구동 트랜지스터는 유기전계발광 다이오드로 일정 구동 전류를 공급하므로 높은 전류 구동 능력이 요구되는 반면, 상기 스위칭 트랜지스터는 상기 구동 트랜지스터의 on/off를 결정하기 위하여 낮은 누설 전류 특성이 유지되어야 하므로, NMOS 박막 트랜지스터 또는 PMOS 박막 트랜지스터만으로는 각 화소의 스위칭 트랜지스터와 구동 트랜지스터의 해당 역할을 모두 만족시킬 수 없어, 각 화소의 발광 효율을 향상시키기 위하여, NMOS 박막 트랜지스터 및 PMOS 박막 트랜지스터를 모두 구비하는 CMOS 박막 트랜지스터를 포함하는 유기전계발광 표시장치를 형성하고 있다.

발명의 내용

해결하려는 과제

- [0006] 그러나, 상기와 같은 CMOS 박막 트랜지스터를 포함하는 유기전계발광표시장치는 통상적으로 NMOS 박막 트랜지스터 및 PMOS 박막 트랜지스터를 동시에 형성하기 위하여, 일반적인 유기전계발광 표시장치에 비하여 상대적으로 많은 10 내지 12매의 마스크가 사용되고 있으므로, 제조 공정에 소요되는 비용 및 공정 시간이 증가하며, 상기 마스크를 정렬하는 과정에서 발생하는 파티클이 증가하여 전체적인 유기전계발광 표시장치의 공정 효율을 저하시키는 문제점이 있다.
- [0007] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, CMOS 박막 트랜지스터를 포함하는 유기전계발광 표시장치의 구조 및 제조 공정을 변경하여, 상기 유기전계발광 표시장치의 제조 공정에 사용되는 마스크의 수를 저감함으로써, 전체적인 공정 효율을 향상시킬 수 있는 유기전계발광 표시장치 및 그의 제조 방법을 제 공함에 목적이 있다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 표시장치는 제 1 영역, 제 2 영역 및 제 3 영역을 포함하는 기판; 상기 기판의 제 1 영역 상에 위치하는 다수의 신호 배선; 상기 기판의 제 2 영역 상에 위치하는 제 1 게이트 전극; 상기 기판의 제 3 영역 상에 위치하는 제 2 게이트 전극; 상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극 상에 위치하는 게이트 절연막; 상기 게이트 절연막의 제 1 영역 상에 위치하며, P형 불순물로 도핑 된 제 1 소오스/드레인 영역을 포함하는 제 1 반도체층; 상기 게이트 절연막의 제 2 영역 상에 위치하며, N형 불순물로 도핑 된 제 2 소오스/드레인 영역을 포함하는 제 2 반도체층; 상기 제 1 반도체층 및 제 2 반도체층 상에 위치하며, 상기 제 1 소오스/드레인의 일부를 노출시키는 제 1 콘택홀, 상기 제 2 소오스/드레인 영역의 일부를 노출시키는 제 2 콘택홀 및 상기 다수의 신호 배선 중 어느 하나의 일부를 노출시키는 제 3 콘택홀이 형성된 평탄화막; 상기 평탄화막 상에 위치하며, 상기 제 1 콘택홀 및 제 2 콘택홀을 통해 상기 제 1 소오스/드레인 영역의 일측과 상기 제 2 소오스/드레인 영역의 일측을 연결하는 제 1 연결 전극; 상기 평탄화막 상에 위치하며, 상기 제 1 콘택홀 및 제 3 콘택홀을 통해 상기 제 1 소오스/드레인 영역의 타측과 상기 다수의 신호 배선 중 어느 하나를

연결하는 제 2 연결 전극; 상기 평탄화막 상에 위치하며, 상기 제 2 콘택홀을 통해 상기 제 2 소오스/드레인 영역의 타측과 연결되는 하부 전극; 상기 하부 전극 상에 하나 또는 다수의 발광층을 포함하는 유기막층; 및 상기 유기막층 상에 위치하는 상부 전극을 포함하며, 상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극은 동일 재질로 형성되는 것을 포함한다.

[0009] 또한, 본 발명의 일 실시예에 따른 표시장치의 제조방법은 제 1 영역, 제 2 영역 및 제 3 영역을 포함하는 기판을 제공하고, 상기 기판 상에 제 1 도전성 물질층을 형성하고, 상기 제 1 도전성 물질층을 식각하여, 상기 제 1 영역에 위치하는 다수의 신호 배선, 상기 제 2 영역에 위치하는 제 1 게이트 전극 및 상기 제 3 영역에 위치하는 제 2 게이트 전극을 형성하고, 상기 다수의 신호 배선, 제 1 게이트 전극 및 제 2 게이트 전극 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 다결정 실리콘층을 형성하고, 상기 제 2 영역에 위치하는 다결정 실리콘의 일부 영역을 P형 불순물로 도핑하고, 상기 제 3 영역에 위치하는 다결정 실리콘의 일부 영역을 N형 불순물로 도핑하고, 상기 다결정 실리콘층을 식각하여, 상기 P형 불순물로 도핑된 다결정 실리콘 영역을 포함하는 제 1 반도체층 및 상기 N형 불순물로 도핑된 다결정 실리콘 영역을 포함하는 제 2 반도체층을 형성하고, 상기 제 1 반도체층 및 제 2 반도체층 상에 평탄화막을 형성하고, 상기 평탄화막을 식각하여, 상기 제 1 반도체층의 P형 불순물로 도핑된 영역을 노출시키는 제 1 콘택홀, 상기 제 2 반도체층의 N형 불순물로 도핑된 영역을 노출시키는 제 2 콘택홀 및 상기 다수의 신호 배선 중 어느 하나의 일부를 노출시키는 제 3 콘택홀을 형성하고, 상기 평탄화막 상에 상기 제 1 콘택홀 및 제 2 콘택홀을 통해 상기 제 1 반도체층의 일단과 상기 제 2 반도체층의 일단을 연결하는 제 1 연결 전극, 상기 제 1 콘택홀 및 제 3 콘택홀을 통해 상기 제 1 반도체층의 타단과 다수의 신호 배선 중 어느 하나를 연결하는 제 2 연결 전극 및 상기 제 2 콘택홀을 통해 상기 제 2 반도체층의 타단과 연결되는 하부 전극을 형성하고, 상기 하부 전극 상에 하나 또는 다수의 발광층을 포함하는 유기막층 및 상부 전극을 형성하는 것을 포함한다.

발명의 효과

[0010] 본 발명의 일 실시예에 따른 유기전계발광 표시장치는 CMOS 박막 트랜지스터를 게이트 전극이 반도체층의 하부에 위치하는 바텀-게이트(Bottom-gate) 타입으로 형성하고, 상기 CMOS 박막 트랜지스터의 게이트 전극과 동시에 신호 배선을 형성하며, 하부 전극을 형성하기 위한 도전성 물질층으로 상기 CMOS 박막 트랜지스터 및 신호 배선의 연결을 하여, CMOS 박막 트랜지스터를 포함하는 유기전계발광 표시장치의 제조 공정에 사용되는 마스크의 수를 저감함으로써, 상기 유기전계발광 표시장치의 제조 공정에 소요되는 비용, 공정 시간 및 마스크 사용에 따른 파티클 발생을 감소시켜, 전체적인 공정 효율을 향상시키는 효과가 있다.

도면의 간단한 설명

[0011] 도 1 내지 8은 본 발명의 실시예에 따른 유기전계발광 표시장치의 제조 방법을 순차적으로 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 상기 목적과 기술적 구성 및 이에 따른 작용 효과에 관한 자세한 사항은 본 발명의 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 더욱 명확하게 이해될 것이다. 여기서, 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성 요소를 나타내는 것이며, 도면에 있어서 층 및 영역의 길이, 두께 등은 설명의 편의를 위하여 과장되어 표현될 수 있다.

[0013] 도 1 내지 도 8은 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 제조 공정을 순차적으로 나타낸 단면도들이다.

[0014] 도 1 내지 도 8을 참조하여, 본 발명의 실시예에 따른 유기전계발광 표시장치의 제조 공정을 설명하면, 먼저 도 1에 도시된 바와 같이 제 1 영역(A), 제 2 영역(B), 제 3 영역(C) 및 제 4 영역(D)을 포함하며, 유리나 합성수지, 스테인레스 스틸 등의 재질로 형성되는 기판(110) 상에 제 1 도전성 물질층(미도시)을 형성하고, 제 1 마스크(미도시)를 이용하여 상기 제 1 도전성 물질층을 식각함으로써, 상기 기판(110)의 제 1 영역(A) 상에 위치하는 다수의 신호 배선(121, 122), 제 2 영역(B) 상에 위치하는 제 1 게이트 전극(120P), 제 3 영역(C) 상에 위치하는 제 2 게이트 전극(120N) 및 제 4 영역(D) 상에 위치하는 커패시터 하부 전극(120C)을 형성한다.

[0015] 여기서, 상기 제 1 도전성 물질층은 폴리텅스텐(MoW), 텅스텐(W), 몰리브덴(Mo), 텅스텐 실리사이드(WSi_2), 몰리브데늄 실리사이드($MoSi_2$), 크롬(Cr), 알루미늄(Al) 및 이들의 합금으로 이루어진 그룹에서 선택된 어느 하나

로 형성되는 단일 층이나, 텅스텐(W), 크롬(Cr) 또는 몰리브덴(Mo) 합금 위에 알루미늄 합금이 다층으로 적층된 다중층일 수 있다.

- [0016] 또한, 상기 다수의 신호 배선(121, 122)는 스캔 신호를 인가하기 위한 스캔 라인, 데이터 신호를 인가하기 위한 데이터 라인 및 전원전압을 공급하기 위한 전원전압 라인을 포함한다.
- [0017] 이어서, 도 2에 도시된 바와 같이, 상기 다수의 신호 배선(121, 122), 제 1 게이트 전극(120P), 제 2 게이트 전극(120N) 및 커패시터 하부 전극(120C)를 포함하는 기판(110) 상에 게이트 절연막(130) 및 다결정 실리콘층(140)을 순차적으로 형성한다.
- [0018] 여기서, 상기 다결정 실리콘층(140)은 상기 게이트 절연막(130) 상에 비정질 실리콘층(미도시)을 증착한 후, 상기 비정질 실리콘층을 고상 결정화법(Solid Phase Crystallization, SPC), 급속열처리방법(Rapid Thermal Annealing : RTA), 금속 유도 결정화(Metal Induced Crystallization : MIC), 금속 유도 측면 결정화(Metal Induced Lateral Crystallization : MILC), 엑시머 레이저 어닐링(Excimer Laser Annealing : ELA) 결정화법 및 순차측면고상(Sequential Lateral Solidification : SLS) 결정화법 중 선택된 어느 하나를 통해 결정화하여 형성할 수 있다.
- [0019] 계속해서, 도 3에 도시된 바와 같이, 상기 다결정 실리콘층(140) 상에 상기 제 2 영역(B)의 다결정 실리콘층의 일부를 노출시키는 제 1 포토 레지스트막(Photo resist layer, 141)을 형성하고, 상기 포토 레지스트막(141)을 제 2 마스크로 상기 다결정 실리콘층에 P형 불순물로 도핑하여, 상기 제 2 영역(B)의 다결정 실리콘층에 P형 불순물로 도핑된 제 1 소오스/드레인 영역(140P)을 형성한다. 여기서, 상기 P형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 그룹에서 선택된 어느 하나일 수 있다.
- [0020] 다음으로, 도 4에 도시된 바와 같이, 상기 제 1 포토 레지스트막(141)을 제거하고, 상기 다결정 실리콘층(140) 상에 상기 제 3 영역(C)의 다결정 실리콘층의 일부를 노출시키는 제 2 포토 레지스트막(142)을 형성한 후, 상기 제 2 포토 레지스트막(142)을 제 3 마스크로 상기 다결정 실리콘층에 N형 불순물로 도핑하여, 상기 제 3 영역(C)의 다결정 실리콘층에 N형 불순물로 도핑된 제 2 소오스/드레인 영역(140N)을 형성한다. 여기서, 상기 N형 불순물은 인(P), 비소(As), 안티몬(Sb) 및 비스무스(Bi)로 이루어진 그룹에서 선택된 어느 하나일 수 있다.
- [0021] 이어서, 도 5에 도시된 바와 같이, 제 4 마스크(미도시)를 이용하여 상기 다결정 실리콘층(140)을 식각함으로써, 상기 제 2 영역(B)에 위치하며, P형 불순물로 도핑된 제 1 소오스/드레인 영역(140P)을 포함하는 제 1 반도체층(144), 상기 제 3 영역(C)에 위치하며, N형 불순물로 도핑된 제 2 소오스/드레인 영역(140N)을 포함하는 제 2 반도체층(143) 및 상기 제 4 영역(D)에 위치하는 커패시터 상부 전극(140C)을 형성한다.
- [0022] 계속해서, 도 6에 도시된 바와 같이, 상기 제 1 반도체층(144), 제 2 반도체층(143) 및 커패시터 상부 전극(140C)를 포함하는 기판(110) 상에 평탄화막(150)을 형성하고, 제 5 마스크(미도시)를 이용하여 상기 평탄화막(150)을 식각함으로써, 상기 제 1 반도체층(144)의 제 1 소오스/드레인 영역(140P) 중 일부를 노출시키는 제 1 컨택홀(153, 154), 상기 제 2 반도체층(143)의 제 2 소오스/드레인 영역(140N) 중 일부를 노출시키는 제 2 컨택홀(151, 152) 및 상기 다수의 신호 배선(121, 122) 중 하나의 일부를 노출시키는 제 3 컨택홀(155)을 형성한다.
- [0023] 여기서, 상기 다수의 신호 배선(121, 122) 중 상기 제 3 컨택홀(155)에 의해 노출되는 신호 배선(122)은 각 화소의 화소 회로에 따라 선택될 수 있으며, 일반적인 유기전계발광 표시장치의 화소 회로에서는 각 화소에 전원 전압을 공급하기 위한 전원전압 라인인 것이 바람직하다.
- [0024] 또한, 상기 평탄화막(150)은 벤조사이클로부텐(Benzo Cyclo Butene; BCB), 폴리이미드(polyimide; PI), 폴리아마이드(polyamide; PA), 아크릴 수지 및 페놀 수지로 이루어진 그룹에서 선택된 어느 하나로 형성할 수 있으며, 상기 제 1 반도체층(144) 및 제 2 반도체층(143)을 보다 견고히 보호하기 위하여, 상기 제 1 반도체층(144), 제 2 반도체층(143) 및 커패시터 상부 전극(140C)를 포함하는 기판(110) 상에 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 그 적층 구조를 갖는 무기 절연막의 보호막(미도시)을 형성한 후, 상기 평탄화막(150)을 형성할 수도 있다.
- [0025] 다음으로, 도 7에 도시된 바와 같이, 상기 평탄화막(150) 상에 제 2 도전성 물질층(미도시)을 형성하고, 제 6 마스크(미도시)를 이용하여 상기 도전성 물질층을 식각함으로써, 상기 제 1 컨택홀(153) 및 제 2 컨택홀(152)을 통해 상기 제 1 소오스/드레인 영역(140P)의 일측과 상기 제 2 소오스/드레인 영역(140N)의 일측을 연결하는 제 1 연결 전극(162), 상기 제 1 컨택홀(154) 및 제 3 컨택홀(155)을 통해 상기 제 1 소오스/드레인 영역(140P)의 타측과 상기 다수의 신호 배선(121, 122) 중 상기 제 3 컨택홀(155)에 의해 노출된 신호 배선(121)을 연결하는

제 2 연결 전극(163) 및 상기 제 2 컨택홀(151)을 통해 상기 제 2 소오스/드레인 영역(140N)의 타측과 연결되는 하부 전극(161)을 형성한다.

[0026] 여기서, 상기 제 2 도전성 물질층은 ITO, IZO와 같은 전도성 투명 도전막일 수 있으며, 알루미늄, 알루미늄 합금, 은 및 은 합금으로 이루어진 그룹에서 선택된 어느 하나로 반사막층(미도시)을 형성하고, 상기 반사막층 상에 전도성 투명 도전막층을 형성하여, 상기 제 2 도전성 물질층이 반사막층 및 전도성 투명 도전막층의 이중 구조를 갖도록 함으로써, 상기 제 2 도전성 물질층을 식각하여 형성되는 제 1 연결 전극(162), 제 2 연결 전극(163) 및 하부 전극(161)이 반사막 및 전도성 투명 도전막을 포함하도록 할 수도 있다.

[0027] 이어서, 도 8에 도시된 바와 같이, 상기 하부 전극(161) 상에 하나 또는 다수의 발광층(미도시)을 포함하는 유기막층(180)을 형성하고, 상기 유기막층(180) 상에 상부 전극(190)을 함으로써, 유기전계발광 표시장치를 완성한다.

[0028] 여기서, 본 발명의 실시예에 따른 유기전계발광 표시장치는 인접한 화소를 분리시키기 위하여, 상기 평탄화막(150) 상에 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutens series resin), 페놀계 수지(phenol resin) 및 아크릴레이트(acrylate)로 이루어진 군에서 선택되는 1종의 물질로 화소 정의막층(미도시)을 형성하고, 상기 화소 정의막층을 식각하여 상기 하부 전극(161)의 일부를 노출시키는 화소 정의막(170)을 형성한 후, 상기 유기막층(180)을 상기 화소 정의막(170)에 의해 노출된 하부 전극(180) 상에 형성할 수도 있다.

[0029] 또한, 본 발명의 실시예에 따른 유기전계발광 표시장치는 상기 기판(110) 상에 제 1 영역(A), 제 2 영역(B) 및 제 3 영역(C)과 분리되는 상기 제 4 영역(D)에 상기 제 1 도전성 물질층을 식각하여 상기 커패시터 하부 전극(120C)을 형성하고, 상기 다결정 실리콘층(140)을 식각하여 상기 커패시터 상부 전극(140C)을 형성하고 있으나, 상기 커패시터 하부 전극(120C) 및 커패시터 상부 전극(140C)을 상기 제 2 영역(B) 또는 제 3 영역(C)에 형성할 수 있으며, 이 경우, 상기 다결정 실리콘층(140)을 식각하여 상기 커패시터 하부 전극(120C)을 형성하고, 상기 제 2 도전성 물질층을 식각하여 상기 커패시터 상부 전극(140C)을 형성할 수도 있다.

[0030] 결과적으로, 본 발명의 실시예에 따른 유기전계발광 표시장치는 CMOS 박막 트랜지스터를 게이트 전극이 반도체층의 하부에 위치하는 바텀-게이트(Bottom-gate) 타입으로 형성하고, 상기 CMOS 박막 트랜지스터의 게이트 전극과 동시에 신호 배선을 형성하며, 하부 전극을 형성하기 위한 도전성 물질층으로 상기 CMOS 박막 트랜지스터 및 신호 배선의 연결을 함으로써, CMOS 박막 트랜지스터를 포함하는 유기전계발광 표시장치의 제조 공정에 사용되는 마스크의 수를 기존에 비해서 저감할 수 있다.

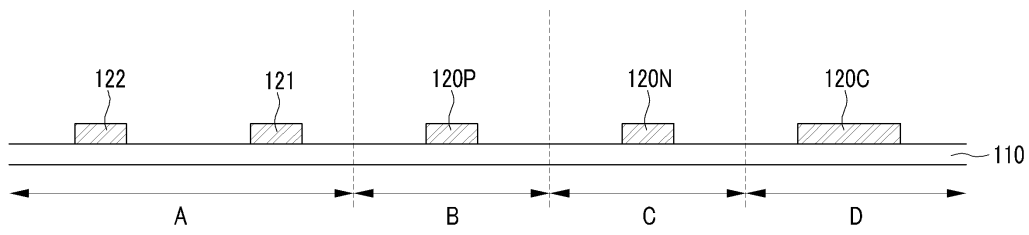
[0031] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예로 유기전계발광 표시장치를 예로 들어 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

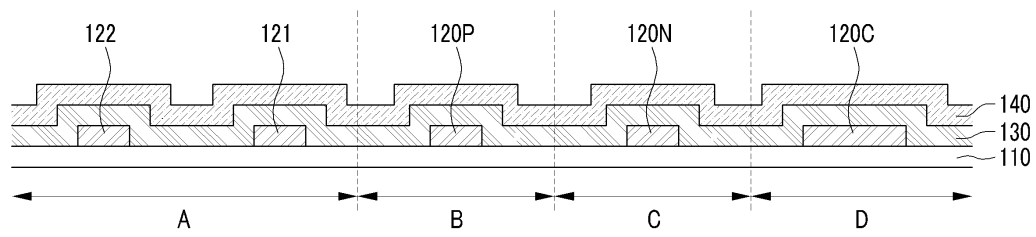
[0032] 110 : 기판
120P : 제 1 소오스/드레인 영역
120N : 제 2 소오스/드레인 영역
130 : 게이트 절연막
143 : 제 2 반도체층
144 : 제 1 반도체층
150 : 평탄화막
162 : 제 1 연결 전극
163 : 제 2 연결 전극

도면

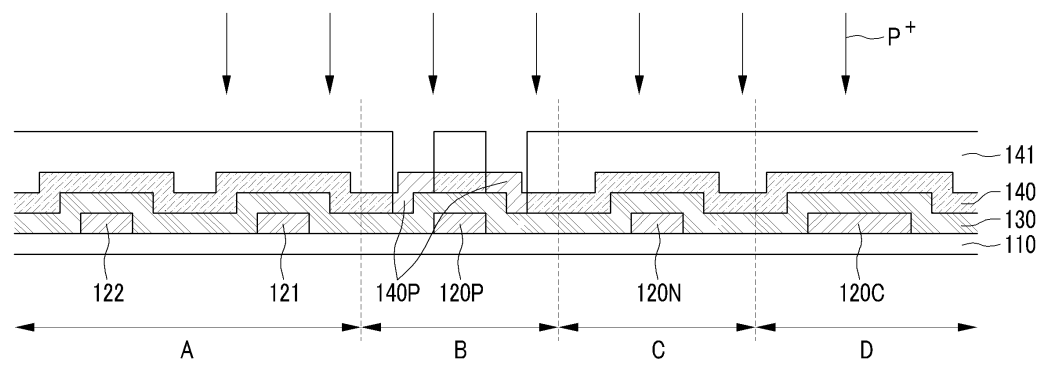
도면1



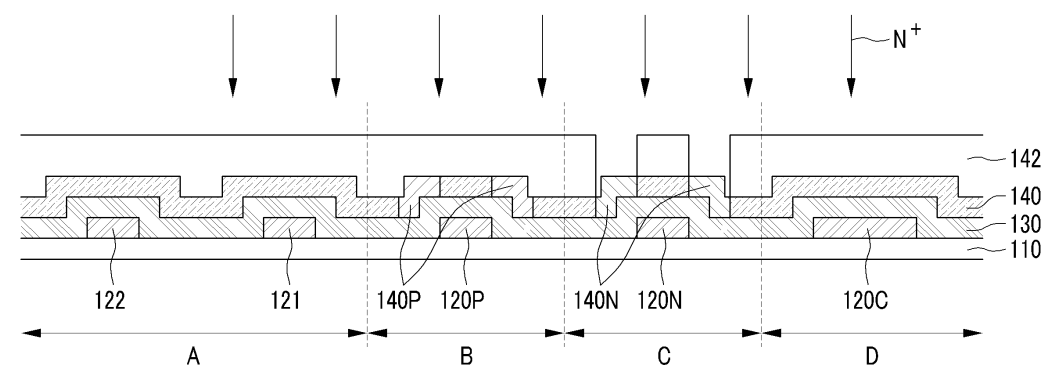
도면2



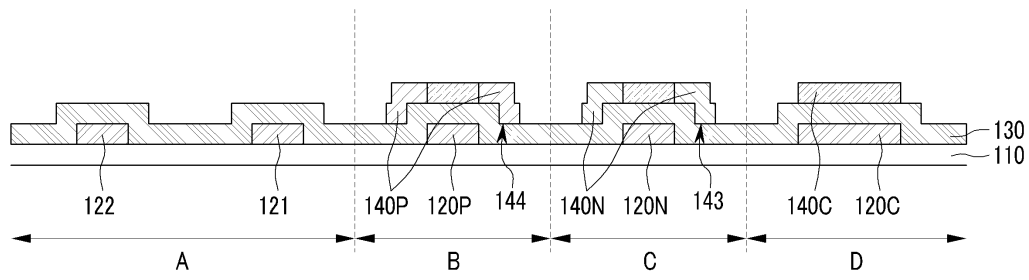
도면3



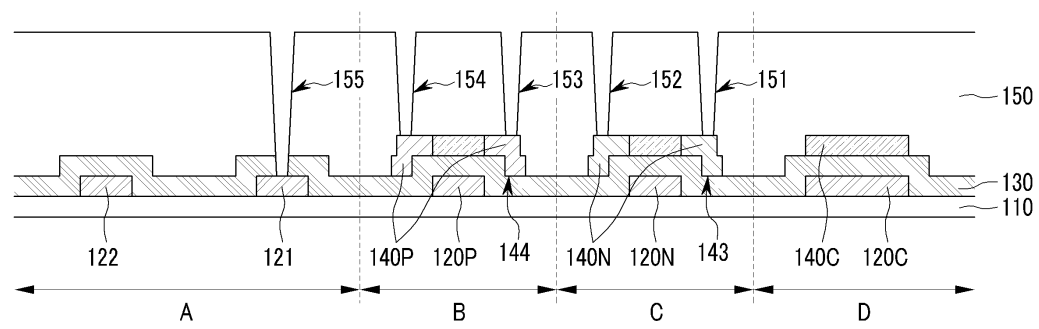
도면4



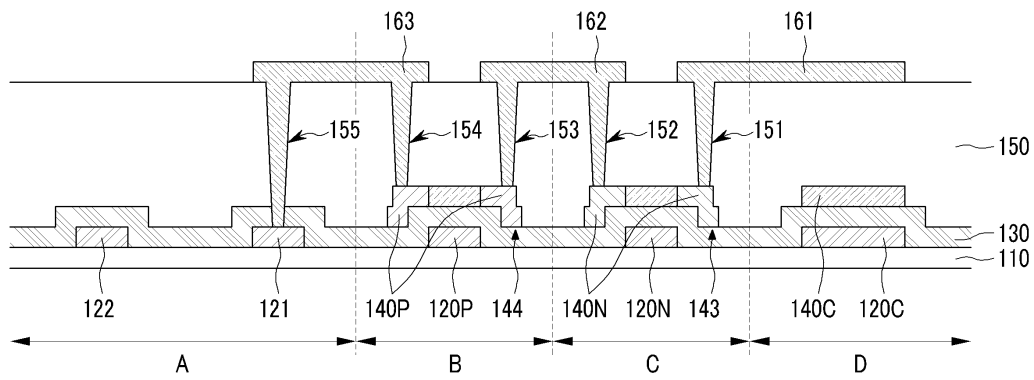
도면5



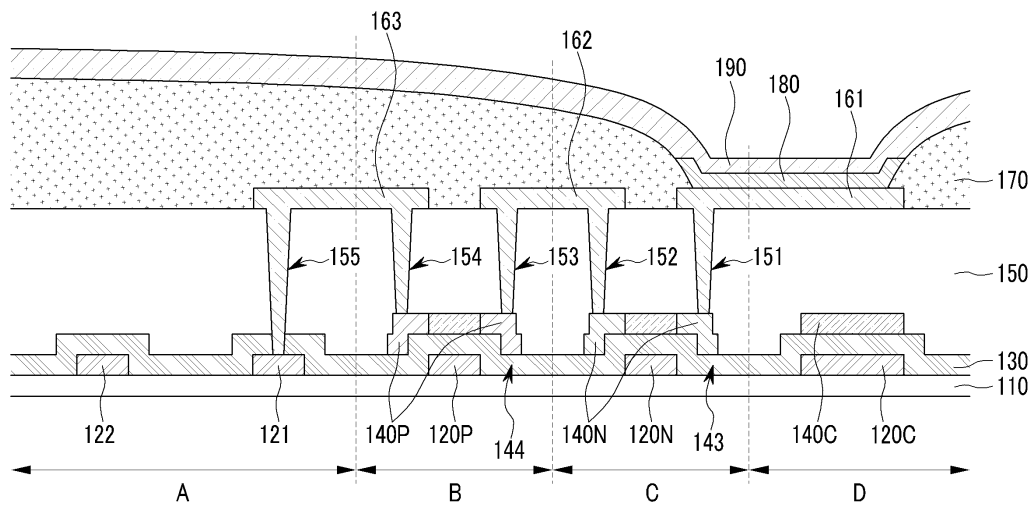
도면6



도면7



도면8



专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR1020110131568A	公开(公告)日	2011-12-07
申请号	KR1020100051070	申请日	2010-05-31
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHOI WOONG SIK		
发明人	CHOI, WOONG SIK		
IPC分类号	H01L51/52 H01L51/56		
CPC分类号	H01L51/56 H01L2227/323 H01L27/1214 H01L27/1288 H01L27/3262 H01L27/1255 H01L27/1274 H01L27/3241		
其他公开文献	KR101094296B1		
外部链接	Espacenet		

摘要(译)

本发明涉及提高有机电致发光显示装置的处理效率的显示装置及其制造方法，有机电致发光显示装置的制造工艺所需的掩模数减少，包括CMOS薄膜晶体管作为显示装置和制造其方法。

