(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0099996
(43) 공개일자 2011년09월09일

(51) Int. Cl.
H01L 51/50 (2006.01) *H05B 33/08* (2006.01)
(21) 출원번호 10-2010-0019045
(22) 출원일자 2010년03월03일
심사청구일자 2010년03월03일

(71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 농서동 산24번지
(72) 발명자
권오섭
경기 용인시 기흥구 농서동 산24번지
김득중
경기 용인시 기흥구 농서동 산24번지
고무순
경기 용인시 기흥구 농서동 산24번지
(74) 대리인
팬코리아특허법인

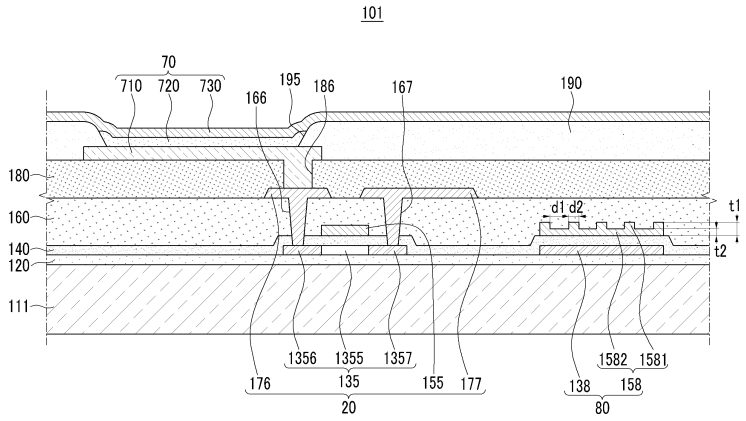
전체 청구항 수 : 총 26 항

(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요 약

유기 발광 표시 장치 및 그 제조 방법에서, 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판 본체와, 상기 기판 본체 상의 동일한 층에 형성되며, 각각 불순물이 도핑된 다결정 규소막을 포함하는 반도체층 및 제1 캐패시터 전극과, 상기 반도체층 및 상기 제1 캐패시터 전극 상에 형성된 게이트 절연막과, 상기 게이트 절연막을 사이에 두고 상기 반도체층 상에 형성된 게이트 전극, 그리고 상기 게이트 절연막을 사이에 두고 상기 제1 캐패시터 전극 상에 형성되며 상기 게이트 전극과 동일한 층에 형성된 제2 캐패시터 전극을 포함한다. 그리고 상기 제2 캐패시터 전극은 상대적으로 두꺼운 두께를 갖는 전극 철(凸)부와 상대적으로 얇은 두께를 갖는 전극 요(凹)부를 포함한다. 그리고 상기 제2 캐패시터 전극의 전극 요부는 상기 게이트 전극보다 상대적으로 얇은 두께를 갖는다.

대 표 도 - 도3



특허청구의 범위

청구항 1

기판 본체;

상기 기판 본체 상의 동일한 층에 형성되며, 각각 불순물이 도핑된 다결정 규소막을 포함하는 반도체층 및 제1 캐패시터 전극;

상기 반도체층 및 상기 제1 캐패시터 전극 상에 형성된 게이트 절연막;

상기 게이트 절연막을 사이에 두고 상기 반도체층 상에 형성된 게이트 전극; 그리고

상기 게이트 절연막을 사이에 두고 상기 제1 캐패시터 전극 상에 형성되며 상기 게이트 전극과 동일한 층에 형성된 제2 캐패시터 전극

을 포함하며,

상기 제2 캐패시터 전극은 상대적으로 두꺼운 두께를 갖는 전극 철(凸)부와 상대적으로 얇은 두께를 갖는 전극 요(凹)부를 포함하고,

상기 제2 캐패시터 전극의 전극 요부는 상기 게이트 전극보다 상대적으로 얇은 두께를 갖는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 게이트 전극 및 상기 제2 캐패시터 전극은 서로 동일한 금속 물질을 포함하며,

상기 금속 물질은 몰리브덴(Mo), 크롬(Cr), 및 텅스텐(W) 중 하나 이상을 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 게이트 전극은 170nm 이상의 두께를 가지며,

상기 제2 캐패시터 전극의 상기 전극 요부는 상기 게이트 전극 두께의 75% 이하의 두께를 갖는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 제2 캐패시터 전극의 상기 전극 철부는 상기 게이트 전극과 동일한 두께를 갖는 유기 발광 표시 장치.

청구항 5

제2항에서,

상기 제1 캐패시터 전극 및 상기 반도체층에 각각 도핑된 불순물은 P형 불순물 및 N형 불순물 중 어느 하나인 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 불순물은 붕소(boron)를 포함하는 유기 발광 표시 장치.

청구항 7

제2항에서,

상기 반도체층은 상기 게이트 전극과 중첩된 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분되며,

상기 반도체층의 상기 채널 영역은 진성 반도체(intrinsic semiconductor)이고, 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 제1 캐패시터 전극은 불순물 반도체(impurity semiconductor)인 유기 발광 표시 장치.

청구항 8

제1항 내지 제7항 중 어느 한 항에서,

상기 제1 캐패시터 전극에 상기 불순물이 도핑된 영역은 상기 제2 캐패시터 전극의 상기 전극 요부와 중첩된 주입 영역과, 상기 주입 영역의 주변에 위치하는 확장 주입 영역으로 구분되며,

상기 확장 주입 영역은 상기 주입 영역으로부터 측면 방향으로 성장(lateral straggling)된 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 제2 캐패시터 전극의 상기 전극 철부는 하나의 상기 주입 영역으로부터 상기 확장 주입 영역이 상기 제1 캐패시터 전극과 평행한 일 방향으로 성장된 거리의 2배보다 작거나 같은 너비를 갖는 유기 발광 표시 장치.

청구항 10

제8항에서,

상기 제2 캐패시터 전극의 전극 요부는 10nm 내지 140nm 범위 내에 속하는 두께를 갖는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 제2 캐패시터 전극의 상기 전극 요부와 상기 전극 철부는 스트라이프 패턴으로 배열된 유기 발광 표시 장치.

청구항 12

제9항에서,

상기 제2 캐패시터 전극의 상기 전극 요부와 상기 전극 철부는 격자 패턴으로 배열된 유기 발광 표시 장치.

청구항 13

기판 본체 상에 다결정 규소막을 형성하는 단계;

상기 다결정 규소막을 패터닝(patterning)하여 반도체층 중간체와 제1 캐패시터 전극 중간체를 형성하는 단계;

상기 반도체층 중간체 및 상기 제1 캐패시터 전극 중간체 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 반도체층 중간체의 일부와 중첩되도록 게이트 전극을 형성하고, 상기 제1 캐패시터 전극 중간체와 중첩되도록 제2 캐패시터 전극을 형성하는 단계; 그리고

상기 반도체층 중간체 및 상기 제1 캐패시터 전극 중간체에 불순물을 도핑하여 반도체층 및 제1 캐패시터 전극을 형성하는 단계

를 포함하며,

상기 제2 캐패시터 전극은 상대적으로 두꺼운 두께를 갖는 전극 철(凸)부와 상대적으로 얇은 두께를 갖는 전극 요(凹)부를 포함하고, 상기 전극 요부는 상기 게이트 전극보다 상대적으로 얇은 두께를 가지며, 상기 불순물은 상기 제2 캐패시터 전극을 투과하여 상기 제1 캐패시터 전극에 도핑되는 유기 발광 표시 장치 제조 방법.

청구항 14

제13항에서,

상기 게이트 전극 및 상기 제2 캐패시터 전극은 서로 동일한 금속 물질을 포함하며,

상기 금속 물질은 몰리브덴(Mo), 크롬(Cr), 및 텅스텐(W) 중 하나 이상을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 15

제14항에서,

상기 게이트 전극은 170nm 이상의 두께를 가지며,

상기 제2 캐패시터 전극의 상기 전극 요부는 상기 게이트 전극 두께의 75% 이하의 두께를 갖는 유기 발광 표시 장치 제조 방법.

청구항 16

제15항에서,

상기 제2 캐패시터 전극의 상기 전극 철부는 상기 게이트 전극과 동일한 두께를 갖는 유기 발광 표시 장치 제조 방법.

청구항 17

제15항에서,

상기 제2 캐패시터 전극의 상기 전극 요부는 10nm 내지 140nm 범위 내에 속하는 두께를 갖는 유기 발광 표시 장치 제조 방법.

청구항 18

제13항에서,

상기 반도체층은 상기 게이트 전극과 중첩된 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분되며,

상기 반도체층의 상기 채널 영역은 진성 반도체(intrinsic semiconductor)이고, 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 제1 캐패시터 전극은 불순물 반도체(impurity semiconductor)인 유기 발광 표시 장치 제조 방법.

청구항 19

제13항 내지 제18항 중 어느 항 항에서,

상기 제1 캐패시터 전극에 상기 불순물이 도핑되는 영역은 상기 제2 캐패시터 전극의 상기 전극 요부와 중첩되는 주입 영역과, 상기 주입 영역의 주변에 위치하는 확장 주입 영역으로 구분되며,

상기 확장 주입 영역은 상기 불순물이 도핑되는 과정에서 상기 주입 영역으로부터 측면 방향으로 성장(lateral straggling)되는 유기 발광 표시 장치 제조 방법.

청구항 20

제19항에서,

상기 제2 캐패시터 전극의 상기 전극 철부는 하나의 상기 주입 영역으로부터 상기 확장 주입 영역이 상기 제1 캐패시터 전극과 평행한 일 방향으로 성장되는 거리의 2배보다 작거나 같은 너비를 갖는 유기 발광 표시 장치 제조 방법.

청구항 21

제20항에서,

상기 불순물은 P형 불순물 및 N형 불순물 중 어느 하나인 유기 발광 표시 장치 제조 방법.

청구항 22

제21항에서,

상기 불순물은 붕소(boron)를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 23

제22항에서,

상기 불순물은 30keV 이상의 에너지와 1.0e12 atoms/cm^2 이상의 도즈(dose)량으로 이온 주입되는 유기 발광 표시 장치 제조 방법.

청구항 24

제21항에서,

상기 게이트 전극과 상기 제2 캐패시터 전극은 상기 게이트 절연막 상에 게이트 금속막을 형성한 후, 상기 게이트 금속막을 감광막 패턴을 이용한 사진 식각 공정을 통해 패터닝하여 형성되며,

상기 감광막 패턴은 상기 게이트 전극 상에 위치하는 제1 부분과, 상기 제2 캐패시터 전극 상에 위치하는 제2 부분을 포함하고,

상기 감광막의 제2 부분은 상기 제1 부분과 동일한 두께를 갖는 철(凸)부분과 상기 철부분보다 상대적으로 얇은 두께를 갖는 요(凹)부분으로 구분되는 유기 발광 표시 장치 제조 방법.

청구항 25

제24항에서,

상기 감광막 패턴을 통해 상기 게이트 금속막을 식각하여 상기 게이트 전극과 제1 캐패시터 전극 중간체를 형성한 다음, 상기 감광막 패턴의 제2 부분의 요부분을 제거하고 다시 상기 제1 캐패시터 전극 중간체를 일부 식각하여 상기 캐패시터 전극을 형성하는 유기 발광 표시 장치 제조 방법.

청구항 26

제24항에서,

상기 감광막 패턴은 하프톤(halftone) 노광법 또는 이중 노광법을 사용하여 형성되는 유기 발광 표시 장치 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명의 실시예는 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 불순물이 도핑된 다결정 규소막을 캐패시터의 전극으로 사용한 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 빛을 방출하는 유기 발광 소자(organic light emitting diode)를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기 발광 표시 장치는 액정 표시 장치(liquid crystal display)와 달리 별도의 광원을 필요로 하지 않으므로 상대적으로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 휴대용 전자 기기의 차세대 표시 장치로 주목받고 있다.

[0003] 유기 발광 표시 장치는 구동 방식에 따라 수동 구동형(passive matrix type)과 능동 구동형(active matrixtype)으로 구분된다. 능동 구동형 유기 발광 표시 장치는 각 화소마다 형성된 유기 발광 소자, 박막 트랜지스터(thin film transistor, TFT), 및 캐패시터(capacitor)를 가지고 화소를 독립적으로 제어한다.

[0004] 캐패시터는 통상적으로 박막 트랜지스터와 동시에 형성할 수 있다. 예를 들어, 캐패시터의 양 전극은 각각 박막 트랜지스터의 반도체층 및 게이트 전극과 동시에 형성할 수 있다. 이때, 반도체층과 캐패시터의 일 전극은 불순물이 도핑된 다결정 규소막을 포함한다.

[0005] 그런데, 캐패시터의 일 전극을 불순물이 도핑된 다결정 규소막으로 형성하기 위해서는 캐패시터의 일 전극을 형성하기 위한 별도의 도핑 마스크 공정이 부가되어야 하므로 공정이 복잡해지고 제조 비용이 높아지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예는 효과적으로 불순물이 도핑된 다결정 규소막을 캐패시터의 전극으로 사용한 유기 발광 표시 장치를 제공한다.

[0007] 또한, 상기한 유기 발광 표시 장치의 제조 공정을 단순화시킨 제조 방법을 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 기판 본체와, 상기 기판 본체 상의 동일한 층에 형성되며, 각각 불순물이 도핑된 다결정 규소막을 포함하는 반도체층 및 제1 캐패시터 전극과, 상기 반도체층 및 상기 제1 캐패시터 전극 상에 형성된 게이트 절연막과, 상기 게이트 절연막을 사이에 두고 상기 반도체층 상에 형성된 게이트 전극, 그리고 상기 게이트 절연막을 사이에 두고 상기 제1 캐패시터 전극 상에 형성되며 상기 게이트 전극과 동일한 층에 형성된 제2 캐패시터 전극을 포함한다. 그리고 상기 제2 캐패시터 전극은 상대적으로 두꺼운 두께를 갖는 전극 철(凸)부와 상대적으로 얇은 두께를 갖는 전극 요(凹)부를 포함한다. 그리고 상기 제2 캐패시터 전극의 전극 요부는 상기 게이트 전극보다 상대적으로 얇은 두께를 갖는다.

[0009] 상기 게이트 전극 및 상기 제2 캐패시터 전극은 서로 동일한 금속 물질을 포함하며, 상기 금속 물질은 몰리브덴(Mo), 크롬(Cr), 및 텅스텐(W) 중 하나 이상을 포함할 수 있다.

[0010] 상기 게이트 전극은 170nm 이상의 두께를 가지며, 상기 제2 캐패시터 전극의 상기 전극 요부는 상기 게이트 전극 두께의 75% 이하의 두께를 가질 수 있다.

[0011] 상기 제2 캐패시터 전극의 상기 전극 철부는 상기 게이트 전극과 동일한 두께를 가질 수 있다.

[0012] 상기 제1 캐패시터 전극 및 상기 반도체층에 각각 도핑된 불순물은 P형 불순물 및 N형 불순물 중 어느 하나일 수 있다.

[0013] 상기 불순물은 붕소(boron)를 포함할 수 있다.

[0014] 상기 반도체층은 상기 게이트 전극과 중첩된 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분될 수 있다. 그리고 상기 반도체층의 상기 채널 영역은 진성 반도체(intrinsic semiconductor)이며, 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 제1 캐패시터 전극은 불순물 반도체(impurity semiconductor)일 수 있다.

[0015] 상기한 유기 발광 표시 장치에서, 상기 제1 캐패시터 전극에 상기 불순물이도핑된 영역은 상기 제2 캐패시터 전극의 상기 전극 요부와 중첩된 주입 영역과, 상기 주입 영역의 주변에 위치하는 확장 주입 영역으로 구분될 수 있다. 그리고 상기 확장 주입 영역은 상기 주입 영역으로부터 측면 방향으로 성장(lateral straggling)될 수 있다.

[0016] 상기 제2 캐패시터 전극의 상기 전극 철부는 하나의 상기 주입 영역으로부터 상기 확장 주입 영역이 상기 제1 캐패시터 전극과 평행한 일 방향으로 성장된 거리의 2배보다 작거나 같은 너비를 가질 수 있다.

[0017] 상기 제2 캐패시터 전극의 전극 요부는 10nm 내지 140nm 범위 내에 속하는 두께를 가질 수 있다.

[0018] 상기 제2 캐패시터 전극의 상기 전극 요부와 상기 전극 철부는 스트라이프 패턴으로 배열될 수 있다.

[0019] 상기 제2 캐패시터 전극의 상기 전극 요부와 상기 전극 철부는 격자 패턴으로 배열될 수 있다.

[0020] 또한, 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법은 기판 본체 상에 다결정 규소막을 형성하는 단계와, 상기 다결정 규소막을 패터닝(patterning)하여 반도체층 중간체와 제1 캐패시터 전극 중간체를 형성하는 단계와, 상기 반도체층 중간체 및 상기 제1 캐패시터 전극 중간체 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 상기 반도체층 중간체의 일부와 중첩되도록 게이트 전극을 형성하고 상기 제1 캐패시터 전극 중간체와 중첩되도록 제2 캐패시터 전극을 형성하는 단계, 그리고 상기 반도체층 중간체 및 상기 제1 캐패시터 전극 중간체에 불순물을 도핑하여 반도체층 및 제1 캐패시터 전극을 형성하는 단계를 포함한다. 그리고 상기 제2 캐패시터 전극은 상대적으로 두꺼운 두께를 갖는 전극 철(凸)부와 상대적으로 얇은 두께를 갖는 전극 요(凹)부를 포함한다. 그리고 상기 전극 요부는 상기 게이트 전극보다 상대적으로 얇은 두께를 가지며, 상기 불순물은 상기 제2 캐패시터 전극을 투과하여 상기 제1 캐패시터 전극에 도핑된다.

[0021] 상기 게이트 전극 및 상기 제2 캐패시터 전극은 서로 동일한 금속 물질을 포함하며, 상기 금속 물질은 몰리브덴(Mo), 크롬(Cr), 및 텅스텐(W) 중 하나 이상을 포함할 수 있다.

[0022] 상기 게이트 전극은 170nm 이상의 두께를 가지며, 상기 제2 캐패시터 전극의 상기 전극 요부는 상기 게이트 전극 두께의 75% 이하의 두께를 가질 수 있다.

[0023] 상기 제2 캐패시터 전극의 상기 전극 철부는 상기 게이트 전극과 동일한 두께를 가질 수 있다.

[0024] 상기 제2 캐패시터 전극의 상기 전극 요부는 10nm 내지 140nm 범위 내에 속하는 두께를 가질 수 있다.

[0025] 상기 반도체층은 상기 게이트 전극과 중첩된 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분될 수 있다. 그리고 상기 반도체층의 상기 채널 영역은 진성 반도체(intrinsic semiconductor)이며, 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 제1 캐패시터 전극은 불순물 반도체(impurity semiconductor)일 수 있다.

[0026] 상기한 유기 발광 표시 장치 제조 방법에서, 상기 제1 캐패시터 전극에 상기불순물이 도핑되는 영역은 상기 제2 캐패시터 전극의 상기 전극 요부와 중첩되는 주입 영역과, 상기 주입 영역의 주변에 위치하는 확장 주입 영역으로 구분될 수 있다. 그리고 상기 확장 주입 영역은 상기 불순물이 도핑되는 과정에서 상기 주입 영역으로부터 측면 방향으로 성장(lateral straggling)될 수 있다.

[0027] 상기 제2 캐패시터 전극의 상기 전극 철부는 하나의 상기 주입 영역으로부터 상기 확장 주입 영역이 상기 제1 캐패시터 전극과 평행한 일 방향으로 성장되는 거리의 2배보다 작거나 같은 너비를 가질 수 있다.

[0028] 상기 불순물은 P형 불순물 및 N형 불순물 중 어느 하나일 수 있다.

[0029] 상기 불순물은 붕소(boron)를 포함할 수 있다.

[0030] 상기 불순물은 30keV 이상의 에너지와 1.0e12 atoms/cm^2 이상의 도즈(dose)량으로 이온 주입될 수 있다.

[0031] 상기 게이트 전극과 상기 제2 캐패시터 전극은 상기 게이트 절연막 상에 게이트 금속막을 형성한 후, 상기 게이트 금속막을 감광막 패턴을 이용한 사진 식각 공정을 통해 패터닝하여 형성될 수 있다. 그리고 상기 감광막 패턴은 상기 게이트 전극 상에 위치하는 제1 부분과, 상기 제2 캐패시터 전극 상에 위치하는 제2 부분을 포함할 수 있다. 그리고 상기 감광막의 제2 부분은 상기 제1 부분과 동일한 두께를 갖는 철(凸)부분과 상기 철부분보다 상대적으로 얇은 두께를 갖는 요(凹)부분으로 구분될 수 있다.

[0032] 상기 감광막 패턴을 통해 상기 게이트 금속막을 식각하여 상기 게이트 전극과 제1 캐패시터 전극 중간체를 형성한 다음, 상기 감광막 패턴의 제2 부분의 요부분을 제거하고 다시 상기 제1 캐패시터 전극 중간체를 일부 식각하여 상기 캐패시터 전극을 형성할 수 있다.

[0033] 상기 감광막 패턴은 하프톤(halftone) 노광법 또는 이중 노광법을 사용하여 형성될 수 있다.

발명의 효과

[0034] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 효과적으로 불순물이 도핑된 다결정 규소막을 캐패시터의 전극으로 사용할 수 있다.

[0035] 또한, 상기한 유기 발광 표시 장치의 제조 방법을 단순화 시킬 수 있다.

도면의 간단한 설명

[0036] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구조를 개략적으로 나타낸 평면도이다.

도 2는 도 1의 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.

도 3은 도 1의 유기 발광 표시 장치를 부분 확대하여 나타낸 단면도이다.

도 4는 도 3의 캐패시터를 부분 확대하여 나타낸 단면도이다.

도 5는 도 3의 캐패시터를 나타낸 부분 사시도이다.

도 6는 본 발명의 일 실시예의 변형례에 따른 캐패시터를 나타낸 부분 사시도이다.

도 7 내지 도 14은 도 1의 유기 발광 표시 장치의 제조 과정을 순차적으로 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0037] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0038] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0039] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명의 실시예가 반드시 도시된 바에 한정되지 않는다.

[0040] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 이는 다른 부분 바로 위에 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0041] 이하, 도 1 내지 도3을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)를 설명한다.

[0042] 도 1에 도시한 바와 같이, 유기 발광 표시 장치(101)는 표시 영역(DA)과 비표시 영역(NA)으로 구분된 기판 본체(111)를 포함한다. 기판 본체(111)의 표시 영역(DA)에는 다수의 화소들(PE)이 형성되어 화상을 표시하고, 비표시 영역(NA)에는 하나 이상의 구동 회로(GD, DD)가 형성된다. 하지만, 본 발명의 일 실시예에서, 반드시 비표시 영역(NA)에 구동 회로(GD, DD)가 형성되어야 하는 것은 아니며 생략될 수도 있다.

[0043] 도 2에 도시한 바와 같이, 본 발명의 일 실시예에서는, 하나의 화소(PE)가 유기 발광 소자(organic light emitting diode)(70), 두 개의 박막 트랜지스터(thin film transistor, TFT)들(10, 20), 그리고 하나의 캐패시터(capacitor)(80)를 구비하는 2Tr-1Cap 구조를 갖는다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치(101)는 하나의 화소(PE)에 셋 이상의 박막 트랜지스터와 둘 이상의 캐패시터를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성할 수도 있다. 이와 같이, 추가로 형성되는 박막 트랜지스터 및 캐패시터는 보상 회로의 구성이 될 수 있다.

[0044] 보상 회로는 각 화소(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질(畵質)에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함한다.

[0045] 또한, 기판 본체(111)의 비표시 영역(NA) 상에 형성된 구동 회로(GD, DD)(도 1에 도시)도 추가의 박막 트랜지스터를 포함할 수 있다.

[0046] 유기 발광 소자(70)는 정공 주입 전극인 애노드(anode) 전극과, 전자 주입 전극인 캐소드(cathode) 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함한다.

[0047] 본 발명의 일 실시예에서, 하나의 화소(PE)는 제1 박막 트랜지스터(10)와 제2 박막 트랜지스터(20)를 포함한다.

[0048] 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)는 각각 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함한다. 그리고 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20) 중 하나 이상의 박막 트랜지스터의 반도체층은 불순물이 도핑된 다결정 규소막을 포함한다. 즉, 제1 박막 트랜지스터(10) 및 제2 박막 트랜지

스터(20) 중 하나 이상의 박막 트랜지스터는 다결정 규소 박막 트랜지스터이다.

[0049] 도 2에는 게이트 라인(GL), 데이터 라인(DL), 및 공통 전원 라인(VDD)과 함께 캐패시터 라인(CL)이 나타나 있으나, 본 발명의 일 실시예가 도 2에 도시된 구조에 한정되는 것은 아니다. 따라서, 캐패시터 라인(CL)은 경우에 따라 생략될 수도 있다.

[0050] 데이터 라인(DL)에는 제1 박막 트랜지스터(10)의 소스 전극이 연결되고, 게이트 라인(GL)에는 제1 박막 트랜지스터(10)의 게이트 전극이 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극은 캐패시터(80)을 통하여 캐패시터 라인(CL)에 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극과 캐패시터(80) 사이에 노드가 형성되어 제2 박막 트랜지스터(20)의 게이트 전극이 연결된다. 그리고 제2 박막 트랜지스터(20)의 드레인 전극에는 공통 전원 라인(VDD)이 연결되며, 소스 전극에는 유기 발광 소자(70)의 애노드 전극이 연결된다.

[0051] 제1 박막 트랜지스터(10)는 발광시키고자 하는 화소(PE)를 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(10)가 순간적으로 턴온되면 캐패시터(80)는 축전되고, 이때 축전되는 전하량은 데이터 라인(DL)으로부터 인가되는 전압의 전위에 비례한다. 그리고 제1 박막 트랜지스터(10)가 턴오프된 상태에서 캐패시터 라인(CL)에 한 프레임 주기로 전압이 증가하는 신호가 입력되면, 제2 박막 트랜지스터(20)의 게이트 전위는 캐패시터(80)에 축전된 전위를 기준으로 인가되는 전압의 레벨이 캐패시터 라인(CL)을 통하여 인가되는 전압을 따라서 상승한다. 그리고 제2 박막 트랜지스터(20)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원 라인(VDD)에 인가되던 전압이 제2 박막 트랜지스터(20)를 통하여 유기 발광 소자(70)에 인가되고, 유기발광 소자(70)는 발광된다.

[0052] 이와 같은 화소(PE)의 구성은 전술한 바에 한정되지 않고 해당 기술 분야의 종사자가 용이하게 변형 실시할 수 있는 범위 내에서 다양하게 변형 가능하다.

[0053] 이하, 도 3을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)를 제2 박막 트랜지스터(20) 및 캐패시터(80)의 구조를 중심으로 적층 순서에 따라 상세히 설명한다. 이하에서는, 제2 박막 트랜지스터(20)를 박막 트랜지스터라 한다.

[0054] 기판 본체(111)는 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있다. 그러나 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 기판 본체(111)가 스테인리스 강 등으로 이루어진 금속성 기판으로 형성될 수도 있다.

[0055] 기판 본체(111) 상에는 버퍼층(120)이 형성된다. 일례로, 버퍼층(120)은 질화 규소(SiNx)의 단일막 또는 질화 규소(SiNx)와 산화 규소(SiO_2)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(120)은 불순 원소 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다. 하지만, 버퍼층(120)은 반드시 필요한 구성은 아니며, 기판 본체(111)의 종류 및 공정 조건에 따라 생략될 수도 있다.

[0056] 버퍼층(120) 상에는 반도체층(135)과 제1 캐패시터 전극(138)이 형성된다. 즉, 반도체층(135)과 제1 캐패시터 전극(138)은 동일한 층에 형성된다. 또한, 반도체층(135)과 제1 캐패시터 전극(138)은 각각 불순물이 도핑된 다결정 규소막을 포함한다.

[0057] 구체적으로, 반도체층(135)은 채널 영역(1355)과 채널 영역(1355)의 양측에 각각 형성된 소스 영역(1357) 및 드레인 영역(1356)으로 구분된다. 반도체층(135)의 채널 영역(1355)은 불순물이 도핑되지 않은 다결정 규소막, 즉 진성 반도체intrinsic semiconductor)이다. 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)은 불순물이 도핑된 다결정 규소막, 즉 불순물 반도체(impurity semiconductor)이다. 또한, 제1 캐패시터 전극(138)은 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)과 실질적으로 동일하게 불순물이 도핑된 다결정 규소막으로 형성된다. 즉, 제1 캐패시터 전극(138)은 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)이 형성될 때 함께 완성된다.

[0058] 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)과 제1 캐패시터 전극(185)에 도핑되는 불순물은 P형 불순물 및 N형 불순물 중 어느 하나일 수 있다. 불순물의 종류는 박막 트랜지스터(20)의 종류에 따라 달라질 수 있다. 본 발명의 일 실시예에서는, 불순물로 붕소(boron, B)를 포함하는 P형 불순물이 사용되나, 이에 한정되는 것은 아니다. 여기서, 붕소를 포함하는 불순물은 B_2H_5일 수 있으며, 붕소 이온이 다결정 규소막에 도핑되어 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)과 제1 캐패시터 전극(185)이 형성된다.

[0059] 반도체층(135)과 제1 캐패시터 전극(138) 상에는 게이트 절연막(140)이 형성된다. 게이트 절연막(140)은 테트

라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소(SiNx), 및 산화 규소(SiO_2) 중 하나 이상을 포함하여 형성된다. 일례로, 게이트 절연막(140)은 40nm의 두께를 갖는 질화 규소막과 80nm의 두께를 갖는 테트라에톡시실란막이 차례로 적층된 이중막으로 형성될 수 있다. 하지만, 본 발명의 일 실시예에서, 게이트 절연막(140)이 전술한 구성에 한정되는 것은 아니다.

[0060] 게이트 절연막(140) 상에는 게이트 전극(155)과 제2 캐패시터 전극(158)이 형성된다. 게이트 전극(155)과 제2 캐패시터 전극(158)은 서로 동일한 층에 위치하며, 실질적으로 동일한 금속 물질로 형성된다. 이때, 금속 물질은 몰리브덴(Mo), 크롬(Cr), 및 텅스텐(W) 중 하나 이상을 포함한다. 일례로, 게이트 전극(155) 및 제2 캐패시터 전극(158)은 몰리브덴(Mo) 또는 몰리브덴(Mo)을 포함하는 합금으로 형성될 수 있다.

[0061] 게이트 전극(155)은 반도체층(135)의 채널 영역(1355)과 중첩되도록 반도체층(135) 위에 형성된다. 또한, 게이트 전극(155)은 170nm 이상의 두께를 갖는다. 게이트 전극(155)은 반도체층(135)을 형성하는 과정에서 반도체층(135)의 소스 영역(1357)과 드레인 영역(1356)에 불순물을 도핑할 때 채널 영역(1355)에는 불순물이 도핑되는 것을 차단하는 역할을 한다. 따라서, 게이트 전극(155)이 170nm 미만의 두께를 가질 경우, 필요 이상의 불순물이 게이트 전극(155)을 통과하여 반도체층(135)에 도핑될 수 있다. 즉, 게이트 전극(155)이 반도체층(135)의 채널 영역(1355)에 불순물이 도핑되는 것을 적절하게 차단하지 못할 수 있다.

[0062] 제2 캐패시터 전극(158)은 제1 캐패시터 전극(138) 상에 형성된다. 또한, 제2 캐패시터 전극(158)은 상대적으로 두꺼운 두께를 갖는 전극 철(凸)부(1581)와, 상대적으로 얇은 두께를 갖는 전극 요(凹)부(1582)를 포함한다. 그리고 제2 캐패시터 전극(158)의 전극 요부(1582)는 게이트 전극(155)의 두께(t1)보다 상대적으로 얇은 두께(t2)를 갖는다. 한편, 제2 캐패시터 전극(158)의 전극 철부(1581)는 게이트 전극(155)과 동일한 두께를 가질 수 있다. 일례로, 제2 캐패시터 전극(158)의 전극 요부(1582)는 게이터 전극(155) 두께의 75% 이하의 두께를 가질 수 있다.

[0063] 한편, 제1 캐패시터 전극(138)에 도핑된 불순물은 제2 캐패시터 전극(158)을 통과하여 제1 캐패시터 전극(138)에 도핑된다. 따라서, 제2 캐패시터 전극(158), 특히 전극 요부(1582)의 두께가 너무 두꺼우면 불순물이 제2 캐패시터 전극(158)을 통과하지 못해 제1 캐패시터 전극(138)이 적절한 도전성을 확보하지 못하고 불량해질 수 있다. 또한, 제2 캐패시터 전극(158)의 전극 요부(1582)가 너무 얇게 형성되면, 제2 캐패시터 전극(158)의 전기적 특성이 나빠져 캐패시터(80)의 정전용량이 불량해질 수 있다. 하지만, 전극 요부(1582)가 얇게 형성되더라도, 전극 철부(1581)가 게이트 전극(155)과 동일한 두께를 가져 제2 캐패시터 전극(158)이 전체적으로 적절한 전기적 특성을 확보할 수 있다. 이와 같은 상황들을 고려하여, 제2 캐패시터 전극(158)의 전극 요부(1582)는 10nm 내지 140nm 범위 내의 두께를 갖는 것이 효과적이다.

[0064] 또한, 제2 캐패시터 전극(158)의 전극 요부(1582)의 너비(d1)는 전극 철부(1581)의 너비(d2)보다 길거나 같게 형성될 수 있다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 일례로, 전극 철부(1581)는 100nm 내지 500nm 범위 내의 너비(d2)를 갖는다. 전극 철부(1581)의 너비(d2)가 지나치게 길게 형성되면, 전극 철부(1581)가 불순물의 도핑을 지나치게 차단하여 제1 캐패시터 전극(138)이 적절한 도전성을 확보하기 어려워진다. 반면, 전극 철부(1581)의 너비(d2)가 지나치게 좁게 형성되면, 제2 캐패시터 전극(158)이 전기적 특성을 적절하게 확보하기 어려워진다. 이와 같은 상황들을 고려하여, 전극 철부(1851)는 100nm 내지 500nm 범위 내의 너비(d2)를 가지며, 전극 요부(1582)는 전극 철부(1581)보다 크거나 동일한 너비(d1)를 갖는 것이 효과적이다.

[0065] 이와 같이, 제2 캐패시터 전극(158)이 게이트 절연막(140)을 사이에 두고 제1 캐패시터 전극(138) 상에 형성되면, 본 발명의 일 실시예에 따른 캐패시터(80)가 완성된다. 이때, 게이트 절연막(140)은 캐패시터(80)의 유전체가 된다.

[0066] 또한, 도 4에 도시한 바와 같이, 제1 캐패시터 전극(138)에 불순물이 도핑된영역은 제2 캐패시터 전극(158)의 전극 요부(1582)와 중첩되는 주입 영역과, 주입 영역의 주변에 위치하는 확장 주입 영역으로 구분된다. 따라서, 확장 주입 영역은 제2 캐패시터 전극의 전극 철부(1581)의 전부 또는 일부와 중첩된다. 불순물은 주입 영역 및 확장 주입 영역에 동일한 도핑 공정을 통해 함께 도핑된다. 그리고 확장 주입 영역은 주입 영역으로부터 측면 방향으로 성장(lateral straggling)된다. 즉, 불순물이 주입 영역에 도핑되는 과정에서 동시에 부수적으로 확장 주입 영역에도 도핑된다. 도 4에서 참조 부호 IA는 제1 캐패시터 전극(138)에 불순물이 도핑된 경계를 나타낸다. 이때, 제2 캐패시터 전극(158)의 전극 철부(158)는 하나의 주입 영역으로부터 확장 주입 영역이 제1 캐패시터 전극(138)과 평행한 일 방향으로 확장된 거리(LS)의 2배보다 작거나 같은 너비(d2)를 갖는다. 이에, 제1 캐패시터 전극(138)은 전체적으로 안정적인 도전체가 될 수 있다.

[0067] 도 5는 본 발명의 일 실시예에 따라 기판 본체(111) 상에 형성된 캐패시터(80)를 나타낸다. 도 5에 도시한 바와 같이, 제2 캐패시터 전극(158)는 격자 패턴의 요철 형상으로 형성된다. 즉, 제2 캐패시터 전극(158)의 전극 철부(1581) 및 전극 요부(1582)는 격자 패턴으로 배열된다.

[0068] 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 도 6에 도시한 바와 같이, 제2 캐패시터 전극(258)은 스트라프 패턴의 요철 형상으로 형성될 수도 있다. 즉, 제2 캐패시터 전극(258)의 전극 철부(2581) 및 전극 요부(2582)가 스트라이프 패턴으로 형성될 수도 있다. 또한, 도시하지는 않았으나, 제2 캐패시터는 격자 패턴 및 스트라이프 패턴 이외의 다양한 패턴을 갖는 요철 형상으로 형성될 수도 있다.

[0069] 게이트 전극(155) 및 제2 캐패시터 전극(158) 상에는 층간 절연막(160)이 형성된다. 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 형성될 수 있으나, 이에 한정되는 것은 아니다.

[0070] 층간 절연막(160)과 게이트 절연막(140)은 함께 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)의 일부를 각각 드러내는 소스 접촉 구멍(167)과 드레인 접촉 구멍(166)을 갖는다.

[0071] 층간 절연막(160) 상에는 소스 접촉 구멍(167) 및 드레인 전극 구멍(166)을 통해 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)과 각각 접촉되며 서로 이격된 소스 전극(177) 및 드레인 전극(176)이 형성된다. 이에, 본 발명의 일 실시예에 따른 박막 트랜지스터(20)가 완성된다.

[0072] 또한, 도시하지는 않았으나, 층간 절연막(160) 상에는 소스 전극(177)과 드레인 전극(176)과 동일한 층에 동일한 소재로 형성된 추가의 캐패시터 전극이 배치될 수 있다. 이때, 추가의 캐패시터는 제1 캐패시터 전극(138) 및 제2 캐패시터 전극(158) 중 하나 이상의 전극과 중첩되도록 형성될 수 있다. 이와 같이, 추가의 캐패시터 전극이 배치될 경우, 캐패시터(80)는 듀얼 구조를 가져 축전 용량을 더욱 향상시킬 수 있다.

[0073] 층간 절연막(160) 상에는 소스 전극(177) 및 드레인 전극(176)을 덮는 평탄화막(180)이 형성된다. 평탄화막(180)은 그 위에 형성될 유기 발광 소자(70)의 발광 효율을 높이기 위해 단차를 없애고 평탄화시키는 역할을 한다. 또한, 평탄화막(180)은 드레인 전극(176)의 일부를 노출시키는 애노드 접촉 구멍(186)을 갖는다.

[0074] 평탄화막(180)은 폴리아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides rein), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly(phenylenethers) resin), 폴리페닐렌설파이드계 수지(poly(phenylenesulfides) resin) 및 벤조사이클로부텐(benzocyclobutene, BCB) 중 하나 이상의 물질을 포함하여 형성될 수 있다.

[0075] 평탄화막(180) 위에는 유기 발광 소자(70)의 화소 전극(710)이 형성된다. 여기서, 화소 전극(710)은 애노드 전극을 말한다. 화소 전극(710)은 평탄화막(180)의 애노드 접촉 구멍(186)을 통해 드레인 전극(176)과 연결된다.

[0076] 또한, 평탄화막(180) 위에는 화소 전극(710)을 드러내는 개구부(195)를 갖는 화소 정의막(190)이 형성된다. 즉, 화소 전극(710)은 화소 정의막(190)의 개구부(195)에 대응하도록 배치된다. 화소 정의막(190)은 폴리아크릴계(polyacrylates) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함하여 만들어질 수 있다.

[0077] 화소 정의막(190)의 개구부(195) 내에서 화소 전극(710) 위에는 유기 발광층(720)이 형성되고, 화소 정의막(190) 및 유기 발광층(720) 상에는 공통 전극(730)이 형성된다. 여기서, 공통 전극(730)은 캐소드 전극을 말한다.

[0078] 이와 같이, 화소 전극(710), 유기 발광층(720), 및 공통 전극(730)을 포함하는 유기 발광 소자(70)가 형성된다.

[0079] 유기 발광 소자(70)가 빛을 방출하는 방향에 따라 유기 발광 표시 장치(101)는 전면 표시형, 배면 표시형, 및 양면 표시형 중 어느 한 구조를 가질 수 있다.

[0080] 유기 발광 표시 장치(101)가 전면 표시형일 경우, 화소 전극(710)은 반사막으로 형성되고 공통 전극(730)은 반투과막으로 형성된다. 반면, 유기 표시 장치(101)가 배면 표시형일 경우, 화소 전극(710)이 반투과막으로 형성되고, 공통 전극(730)은 반사막으로 형성된다. 또한, 유기 표시 장치(101)가 양면 표시형일 경우, 화소 전극(710) 및 공통 전극(730)은 투명막 또는 반투과막으로 형성된다.

[0081] 반사막 및 반투과막은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr), 및 알루미늄(Al) 중 하나 이상의 금속 또는 이들의 합금을 사용하여 만들어진다. 이때, 반사막과 반투과막은 두께로 결정된다. 일

반적으로, 반투과막은 200nm 이하의 두께를 갖는다. 반투과막은 두께가 얇아질수록 빛의 투과율이 높아지고, 두께가 두꺼워질수록 빛의 투과율이 낮아진다.

[0082] 투명막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(산화 아연) 또는 In_2O_3(Indium Oxide) 등의 물질을 사용하여 만들어진다.

[0083] 또한, 유기 발광층(720)은 발광층과, 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transportiong layer, ETL), 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성된다. 유기 발광층(720)이 이들 모두를 포함할 경우, 정공 주입층이 애노드 전극인 화소 전극(710) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 또한, 유기 발광층(720)은 필요에 따라 다른 층을 더 포함할 수도 있다.

[0084] 이와 같은 구성에 의하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 효과적으로 불순물이 도핑된 다결정 규소막을 캐패시터(80)의 전극으로 사용할 수 있다.

[0085] 구체적으로, 본 발명의 일 실시예에 따르면 불순물이 제1 캐패시터 전극(138) 위에 배치된 제2 캐패시터 전극(158)의 전극 요부(1582)를 통과할 수 있으므로, 제1 캐패시터 전극(138)은 불순물이 도핑된 다결정 규소막으로 용이하게 형성될 수 있다. 즉, 반도체층(135)을 형성하는 과정에서 별도의 추가 공정없이 용이하게 제1 캐패시터 전극(138)을 형성할 수 있다.

[0086] 이에, 유기 발광 표시 장치(101)의 전체적인 제조 과정을 효율적으로 간소화시킬 수 있다.

[0087] 이하, 도 7 내지 도 14을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 제조 방법을 설명한다.

[0088] 먼저, 도 7에 도시한 바와 같이, 기판 본체(111) 상에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화 규소(SiNx) 및 산화 규소(SiO_2) 등과 같은 무기 절연 물질이 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 공지된 증착 방법으로 기판 본체(111) 상에 전면 증착되어 형성된다.

[0089] 다음, 버퍼층(120) 위에 다결정 규소막을 형성한다. 다결정 규소막은 먼저 비정질 규소막을 형성하고 이를 결정화시키는 방법으로 형성할 수 있다. 비정질 규소막은 PECVD 등의 공지된 방법으로 형성된다. 또한, 비정질 규소막을 결정화시키는 방법으로는 해당 기술 분야의 종사자에게 공지된 다양한 방법을 사용할 수 있다. 예를 들어, 비정질 규소층은 열, 레이저, 줄열, 전기장, 또는 촉매 금속등을 이용하여 결정화시킬 수 있다. 또한, 결정화 이전에 비정질 규소막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(dehydrogenation) 공정을 더 진행할 수도 있다.

[0090] 다음, 다결정 규소막을 사진 식각 공정을 통해 패터닝(patterning)하여 반도체층 중간체(1305) 및 제1 캐패시터 전극 중간체(1308)를 형성한다.

[0091] 다음, 도 8에 도시한 바와 같이, 반도체층 중간체(1305)와 제1 캐패시터 전극 중간체(1308) 상에 게이트 절연막(140)을 형성한다.

[0092] 본 발명의 일 실시예에서, 게이트 절연막(140)은 40nm의 두께로 형성된 질화 규소막과 그 위에 80nm의 두께로 형성된 테트라에톡시실란(TEOS)막을 포함한다. 그리고 전술한 무기막들은 PECVD 등의 공지된 방법으로 형성될 수 있다.

[0093] 다음, 게이트 절연막(140) 상에 게이트 금속막(1500)을 형성한다. 게이트 금속막(1500)은 몰리브덴(Mo), 크롬(Cr), 및 텅스텐(W) 중 하나 이상을 포함한다. 본 발명의 일 실시예에서는 일례로 게이트 금속막(1500)을 몰리브덴(Mo)으로 형성하였다.

[0094] 또한, 게이트 금속막(1500)은 스퍼터링(sputtering) 등의 공지된 방법으로 형성될 수 있다.

[0095] 다음, 도 9에 도시한 바와 같이, 게이트 금속막(1500) 상에 감광 물질을 코팅하여 감광막을 형성한 다음 이를 노광 및 현상하여 감광막 패턴(810)을 형성한다.

[0096] 감광막 패턴(810)은 게이트 전극(155)(도 3에 도시)이 형성될 위치 상에 배치된 제1 부분(811)과, 제2 캐패시터 전극(158)(도 3에 도시)이 형성될 위치 상에 배치된 제2 부분(812), 그리고 게이트 금속막(1500)을 드러내는 제3 부분을 포함한다. 즉, 제3 부분에는 감광막(800)이 실질적으로 존재하지 않는다. 또한, 제2 부분(812)은 제

1 부분(811)과 동일한 두께를 갖는 철(凸)부분(8121)과 제1 부분(811)보다 얇은 두께를 갖는 요(凹)부분(8122)으로 다시 구분된다.

[0097] 이와 같은 감광막 패턴(810)은 하프톤(halftone) 노광법 또는 이중 노광법을 사용하여 형성할 수 있다. 하프톤 노광법은 하프톤 영역을 갖는 하나의 마스크를 이용하며, 이중 노광법은 두개의 마스크를 사용하여 하프톤 노광법과 동일한 효과를 얻는 방법을 말한다.

[0098] 다음, 도 10에 도시한 바와 같이, 감광막 패턴(810)을 사용한 식각 공정을 통해 게이트 금속막(1500)을 식각하여 게이트 전극(155)과 제2 캐패시터 전극 중간체(1508)를 형성한다.

[0099] 다음, 도 11에 도시한 바와 같이, 감광막 패턴(810)의 제2 부분(812)의 요부분(8122)을 제거한다. 이때, 감광막 패턴(810)의 제1 부분(811)과 제2 부분의 철부분(8121)도 대략 제2 부분(812)의 요부분(8122)이 제거된 두께만큼 제거되어 얇아진다.

[0100] 다음, 도 12에 도시한 바와 같이, 제2 부분(812)의 요부분(8121)이 제거된 감광막 패턴(810)을 사용하여 제2 캐패시터 전극 중간체(1508)를 일부 식각한다. 제2 캐패시터 전극 중간체(1508)는 일부 식각되면서 제2 캐패시터 전극(158)이 된다. 여기서, 제2 캐패시터 전극(158)은 게이트 전극(155)과 동일한 두께를 갖는 전극 철부(1581)와 게이트 전극(155)보다 상대적으로 얇은 두께를 갖는 전극 요부(1582)를 포함한다. 전극 요부(1582)는 10nm 내지 140nm 범위 내에 속하는 두께(t2)를 가지며, 게이트 전극(155) 및 전극 철부(1581)는 170nm 이상의 두께(t1)를 갖는다. 또한, 전극 철부(1581)는 100nm 내지 500nm 범위 내의 너비를 가질 수 있다.

[0101] 다음, 도 13에 도시한 바와 같이, 반도체층 중간체(1305) 및 제1 캐패시터 전극 중간체(1308)에 불순물을 도핑하여 반도체층(135) 및 제1 캐패시트 전극(138)을 형성한다. 이 과정에서 게이트 전극(155)은 반도체층(135)의 소스 영역(1357)과 드레인 영역(1356)에 불순물을 도핑할 때 채널 영역(1355)에는 불순물이 도핑되는 것을 차단하는 역할을 한다. 따라서, 게이트 전극(155)은 채널 영역(1355)에 불순물이 도핑되는 것을 안정적으로 차단하기 위해 170nm 이상의 두께를 갖는다.

[0102] 이와 같이, 반도체층 중간체(1305)에 불순물이 도핑되면, 게이트 전극(155)과 중첩된 채널 영역(1355)과, 채널 영역(1355)의 양측에 형성된 소스 영역(1357) 및 드레인 영역(1356)으로 구분되는 반도체층(135)이 형성된다. 즉, 채널 영역(1355)은 진성 반도체이 되며, 소스 영역(1357) 및 드레인 영역(1356)은 불순물 반도체가 된다.

[0103] 또한, 제1 캐패시터 전극(138)은 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)과 마찬가지로 분순물이 도핑된 다결정 규소막으로 형성된다. 다만, 제1 캐패시터 전극 중간체(1308)에 도핑되는 불순물은 제2 캐패시터 전극(158)의 전극 요부(1582)를 통과하여 제1 캐패시터 전극 중간체(1308)에 도핑된다. 따라서, 제2 캐패시터 전극(158)의 전극 요부(1582) 두께가 너무 두꺼우면 불순물이 제2 캐패시터 전극(158)의 전극 요부(1582)를 통과하지 못해 제1 캐패시터 전극(138)이 적절한 도전성을 갖지 못하고 불량해질 수 있다. 또한, 제2 캐패시터 전극(158)이 너무 얇게 형성되면, 제2 캐패시터 전극(158)의 전기적 특성이 나빠져 캐패시터(80)이 불량해진다. 이와 같은 문제점들을 고려하여, 제2 캐패시터 전극(158)은 10nm 내지 140nm 범위 내의 두께를 갖는 것이 효과적이다.

[0104] 제2 캐패시터 전극(158)의 전극 철부(1581)는 제2 캐패시터 전극(158)이 전체적으로 적절한 전기적 특성을 유지할 수 있도록 돕는다. 따라서, 제2 캐패시터 전극(158)의 전체적인 전기적 특성을 유지하면서 동시에 전극 요부(1581)의 두께를 안정적으로 얇게 형성할 수 있다.

[0105] 또한, 전극 철부(1581)는 제2 캐패시터 전극(158)의 전체적인 전기적 특성을 유지하기 위해, 100nm 내지 500nm 범위 내의 너비를 갖는 것이 효과적이다. 그리고 전극 요부(1582)는 불순물을 통과시켜 제1 캐패시터 전극(138)의 도전성을 충분히 확보하기 위해 전극 철부(1581)보다 크거나 동일한 너비를 갖는 것이 효과적이다.

[0106] 또한, 앞서 도 4에 도시한 바와 같이 불순물을 도핑하면, 제1 캐패시터 전극(138)의 주입 영역과 확장 주입 영역에 불순물이 함께 주입된다. 확장 주입 영역은 주입 영역의 주변에 위치하며, 주입 영역으로부터 측면 방향으로 성장(lateral straggling)된다. 이때, 제2 캐패시터 전극(158)의 전극 철부(158)는 하나의 주입 영역으로부터 확장 주입 영역이 제1 캐패시터 전극(138)과 평행한 일 방향으로 성장되는 거리(LS)의 2배보다 작거나 같은 너비(d2)를 갖는다. 이에, 제1 캐패시터 전극(138)은 전체적으로 안정적인 도전체가 될 수 있다.

[0107] 또한, 불순물은 P형 불순물 및 N형 불순물 중 어느 하나일 수 있다. 불순물의 종류는 박막 트랜지스터(20)의 종류에 따라 결정될 수 있다. 본 발명의 일 실시예에서, 불순물은 붕소와 같은 P형 불순물이다. 구체적으로, 불순물은 B_2H_5일 수 있으며, 제1 캐패시터 전극(138)에는 붕소 이온이 도핑된다.

[0108] 또한, 불순물은 30keV 이상의 에너지와 1.0e12 atoms/cm^2 이상의 도즈(dose)량으로 제1 캐패시터 전극(138)에 이온 주입된다. 이는 불순물이 제2 캐패시터 전극(158)을 통과하여 제1 캐패시터 전극(138)에 효과적으로 도핑될 수 있도로 설정된 조건이다.

[0109] 이와 같은 방법으로, 제1 캐패시터 전극(138)과, 게이트 절연막(140)을 사이에 두고 제1 캐패시터 전극(138) 상에 형성된 제2 캐패시터 전극(158)을 포함하는 캐패시터(80)가 완성된다. 특히, 반도체층(135)을 형성하는 과정에서 별도의 추가 공정없이 용이하게 제1 캐패시터 전극(138)을 형성할 수 있다. 따라서, 유기 발광 표시 장치(101)의 전체적인 제조 과정을 매우 효율적으로 간소화시킬 수 있다.

[0110] 다음, 도 14에 도시한 바와 같이, 게이트 전극(155) 및 제2 캐패시터 전극(158)의 전극 철부(1581) 상의 감광막 패턴(810)을 마저 제거한 후, 게이트 전극(155) 및 제2 캐패시터 전극(158) 상에 층간 절연막(160)을 형성한다. 여기서, 게이트 전극(155) 및 제2 캐패시터 전극(158)의 전극 철부(1581) 상의 감광막 패턴(810)은 불순물을 도핑하는 공정 이전에 제거할 수도 있다.

[0111] 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소(SiNx) 또는 산화 규소(SiOx) 등을 가지고 PECVD 등의 공지된 방법을 통해 형성될 수 있다.

[0112] 다음, 사진 식각 공정을 통해 층간 절연막(160)과 게이트 절연막(140)을 함께 식각하여 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)의 일부를 각각 드러내는 소스 접촉 구멍(167)과 드레인 접촉 구멍(166)을 형성한다.

[0113] 다음, 층간 절연막(160) 상에 소스 전극(177) 및 드레인 전극(176)을 형성한다. 이때, 소스 전극(177) 및 드레인 전극(176)은 각각 소스 접촉 구멍(167) 및 드레인 접촉 구멍(166)을 통해 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)과 접촉된다.

[0114] 다음, 앞서 도 3에 도시한 바와 같이, 소스 전극(177) 및 드레인 전극(176) 상에 평탄화막(180)을 형성한다. 이때, 평탄화막(180)은 드레인 전극(176)을 드러내는 애노드 접촉 구멍(186)을 갖는다.

[0115] 다음, 평탄화막(180) 위에 화소 전극(710)을 형성한다. 화소 전극(710)은 애노드 접촉 구멍(186)을 통해 드레인 전극(176)과 접촉된다.

[0116] 하지만, 본 발명의 일 실시예가 전술한 바에 한정되는 것은 아니다. 따라서 평탄화막(180)은 생략될 수 있다. 이와 같이 평탄화막(180)이 생략될 경우, 드레인 전극(176)이 직접 화소 전극(710)이 된다.

[0117] 다음, 평탄화막(180) 위에 화소 정의막(190)을 형성한다. 이때, 화소 정의막(190)은 화소 전극(710)을 드러내는 개구부(195)를 갖는다. 그리고 화소 정의막(190)의 개구부(195) 내에 유기 발광층(720)을 형성하고 다시 그 위에 공통 전극(730)을 형성하여 유기 발광 소자(70)를 완성한다.

[0118] 이상과 같은 제조 방법을 통하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)를 제조할 수 있다. 즉, 본 발명의 일 실시예에 따르면, 유기 발광 표시 장치(101)의 제조 방법을 효율적으로 단순화 시킬 수 있다.

[0119] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

[0120]

10, 20: 박막 트랜지스터	70: 유기 발광 소자
80: 캐패시터	101: 유기 발광 표시 장치
111: 기판 본체	120: 버퍼층
135: 반도체층	138: 제1 캐패시터 전극
158: 제2 캐패시터 전극	160: 층간 절연막
180: 평탄화막	190: 화소 정의막
1581: 전극 철부	1582: 전극 요부

CL 캐패시터 라인 DA: 표시 영역

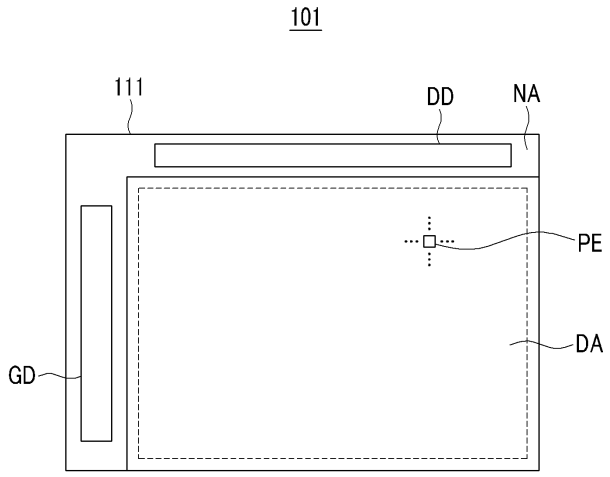
DD, GD: 구동 회로 DL: 데이터 라인

GL: 게이트 라인 NA: 비표시 영역

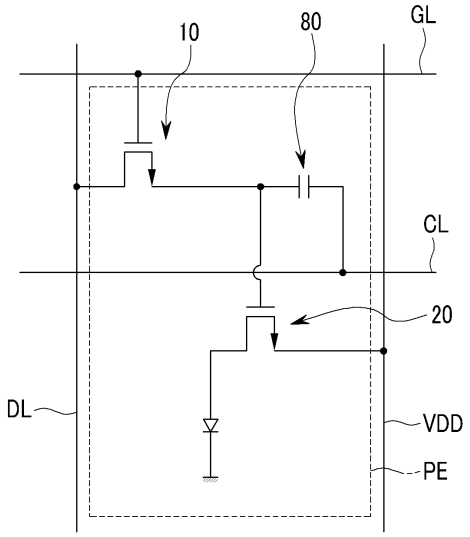
PE: 화소 영역 VDD: 공통 전원 라인

도면

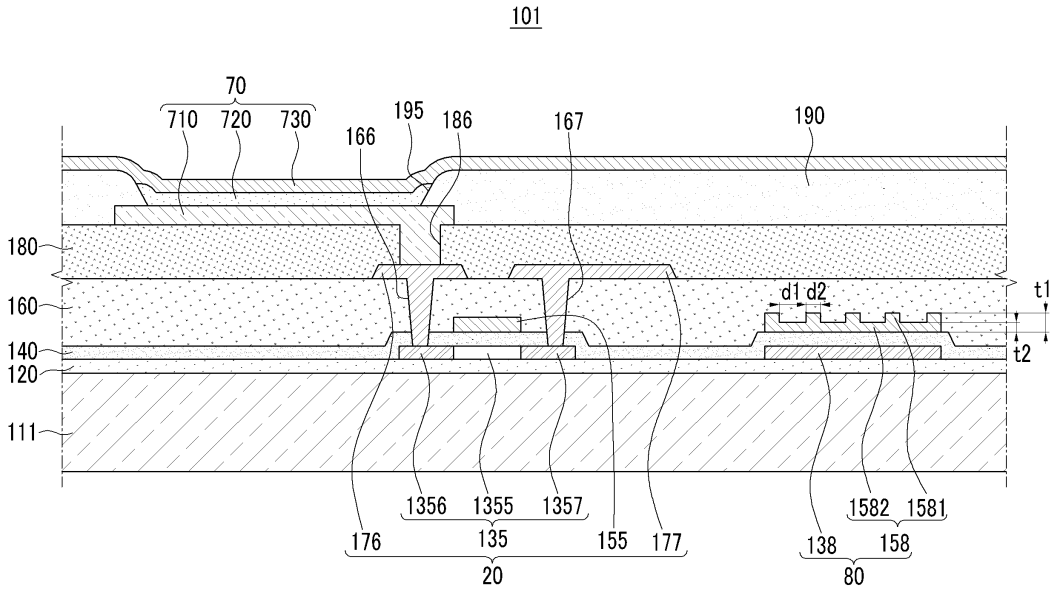
도면1



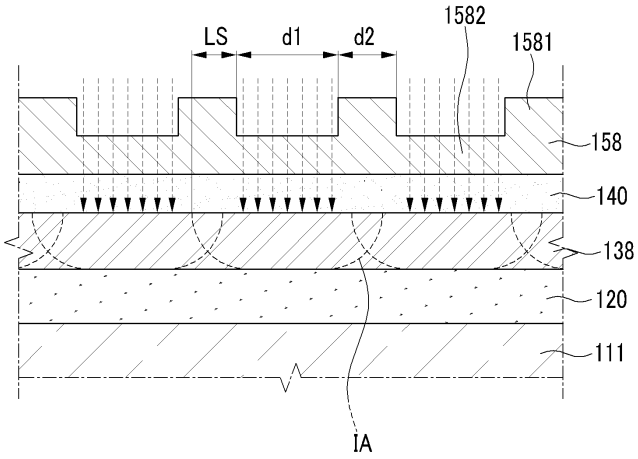
도면2



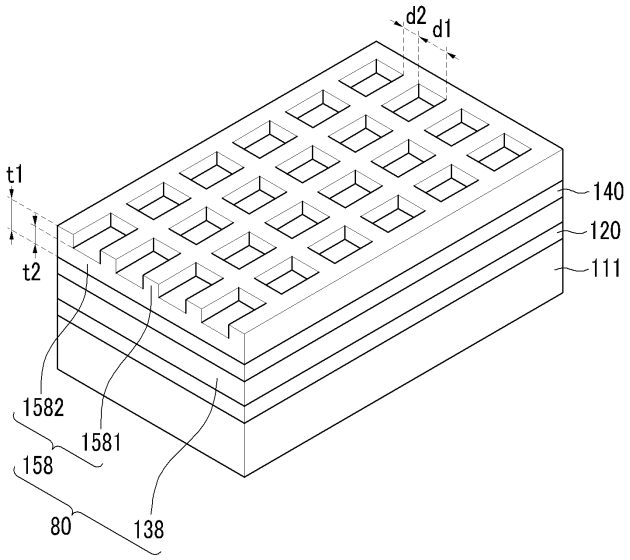
도면3


101
70
710
720
730
195
166
186
167
190
180
160
140
120
111
d1 d2
t1
t2
1356
1355
1357
1582
1581
176
135
155
177
138
158
20
80

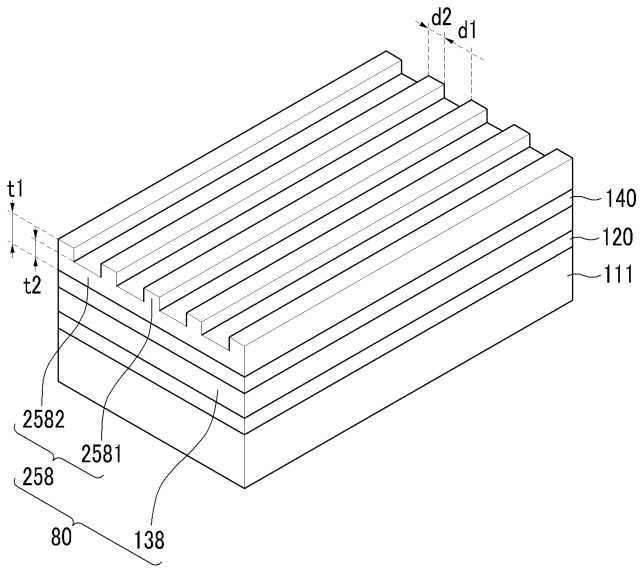
도면4


LS
d1
d2
1582
1581
158
140
138
120
111
IA

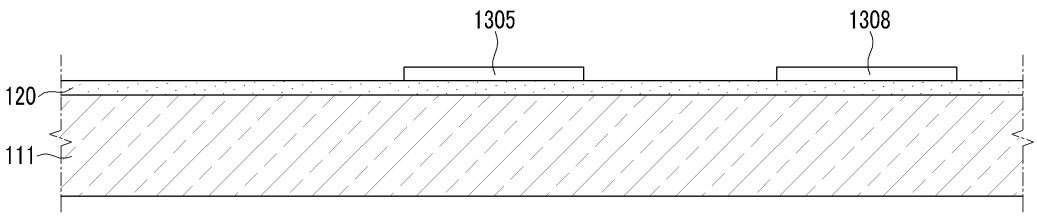
도면5


d2
d1
t1
t2
140
120
111
1582
1581
158
80
138

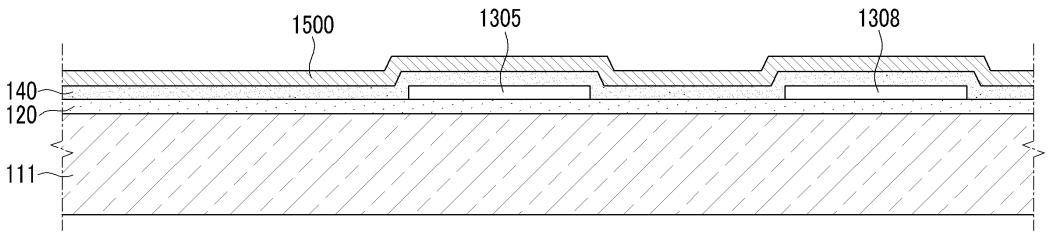
도면6


d2
d1
t1
t2
140
120
111
2582
2581
258
80
138

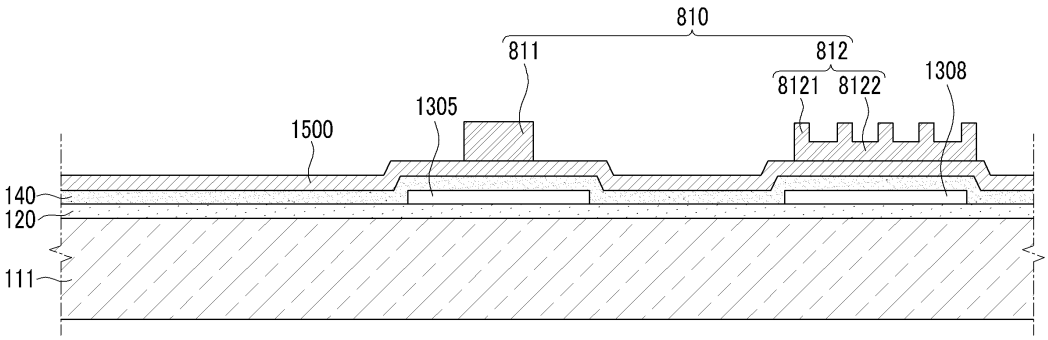
도면7


1305
1308
120
111

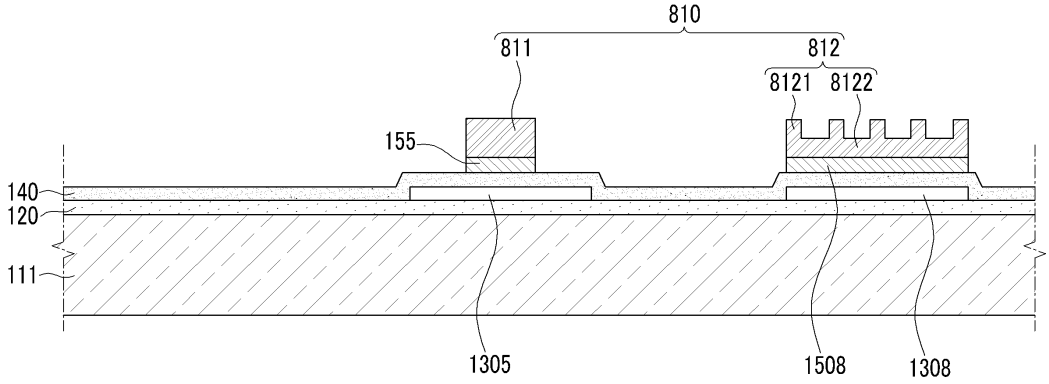
도면8



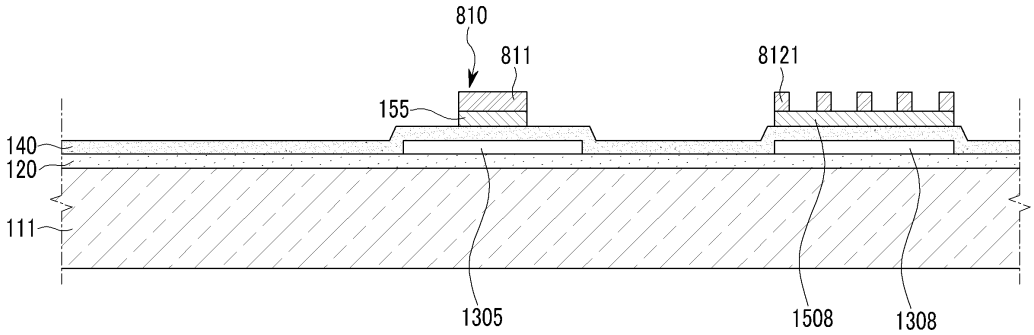
도면9



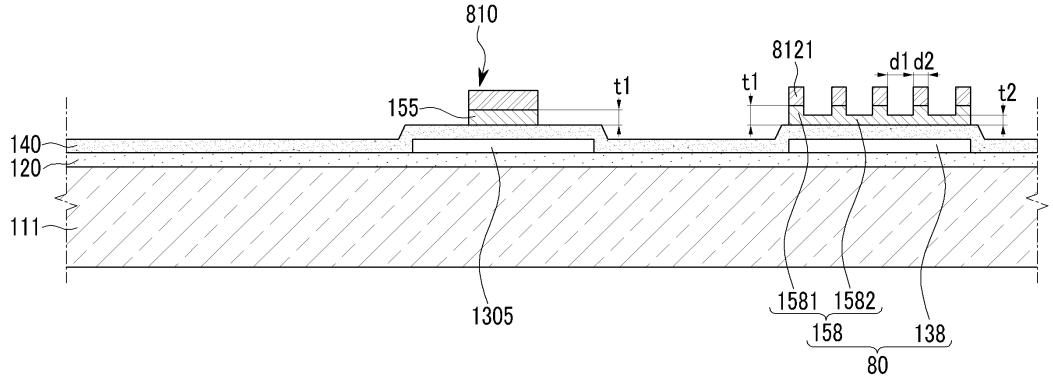
도면10



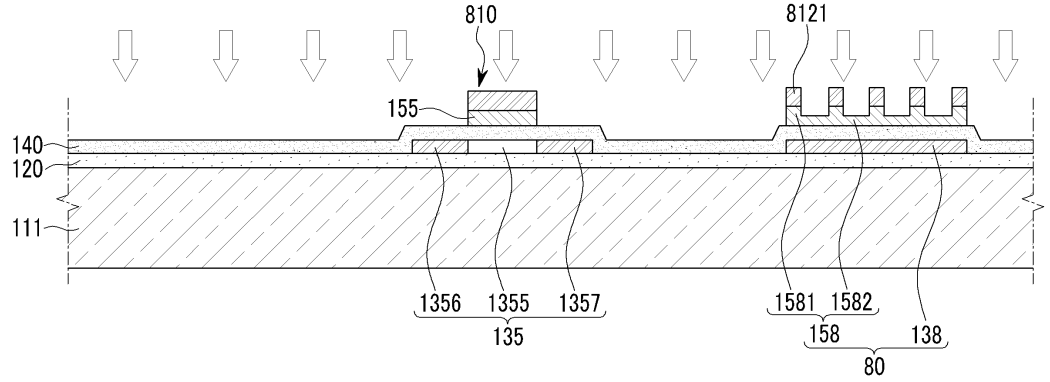
도면11



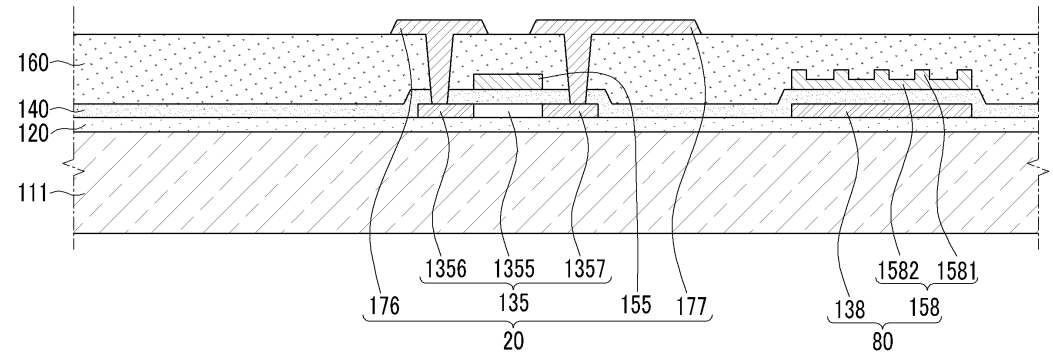
도면12



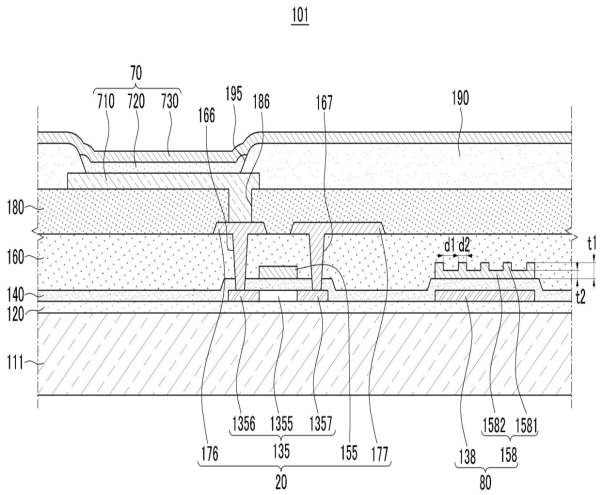
도면13



도면14



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020110099996A	公开(公告)日	2011-09-09
申请号	KR1020100019045	申请日	2010-03-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KWON OH SEOB 권오섭 KIM DEUK JONG 김득종 KO MOO SOON 고무순		
发明人	권오섭 김득종 고무순		
IPC分类号	H01L51/50 H05B33/08		
CPC分类号	H01L33/18 H01L33/38 H01L27/3265 H01L2924/0002 H01L2924/00 H01L33/40		
其他公开文献	KR101084273B1		
外部链接	Espacenet		

摘要(译)

在OLED显示器及其制造有机光根据本发明的示例性实施例的发光显示器的方法，半导体层，包括基体和形成在相同的层上的基板主体，每一个掺杂有杂质的多晶硅膜和所述第一电容器电极，并且在半导体层和形成在第一电容器电极的栅极绝缘膜之间，插入形成在所述半导体层的第一电容器电极上的栅电极和栅绝缘膜之间的栅极绝缘膜并且第二电容器电极形成在与栅电极相同的层上。第二电容器电极包括具有相对厚的厚度的电极凸部和具有相对薄的厚度的电极凹部。 第二电容器电极的电极凹槽的厚度比栅电极的厚度薄。