

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/26 (2006.01)*H05B 33/10* (2006.01)

(11) 공개번호

10-2006-0048535

(43) 공개일자

2006년05월18일

(21) 출원번호 10-2005-0055464

(22) 출원일자 2005년06월27일

(30) 우선권주장 JP-P-2004-00191198 2004년06월29일 일본(JP)

(71) 출원인 도호꾸 파이오니어 가부시끼가이샤
일본 야마가타켄 텐도시 오오아자 구노모토 아자 닛포 1105(72) 발명자 유키 도시나오
일본 야마가타켄 요네자와시 하치만파라 4-3146-7 도호꾸파이오니어
가부시끼가이샤 나이
시라하타 구니히코
일본 야마가타켄 요네자와시 하치만파라 4-3146-7 도호꾸파이오니어
가부시끼가이샤 나이(74) 대리인 김진환
김두규

심사청구 : 없음

(54) 유기 E L 패널 및 그 형성 방법

요약

본 발명은 하부 전극의 표면을 평탄하게 하여 그 위에 성막하는 유기층의 막 두께를 균일화함으로써 누설 전류의 발생을 막고 양호한 발광 특성을 얻는 것을 목적으로 한다.

기관(11) 상에 하부 전극(12), 적어도 유기 발광 기능층을 갖는 유기층(20), 상부 전극(14)으로 이루어지는 유기 EL 소자를 형성한 유기 EL 패널(10)로서, 하부 전극(12)은 전극 재료막(12o)에 대하여 표면 연마면(12A₁)을 화학 에칭 처리한 에칭 처리면(12A)을 가지며, 에칭 처리면(12A) 상에 유기층(20)이 형성된다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래 기술 또는 본 발명의 실시형태에 따른 유기 EL 패널의 기본 구조를 도시하는 설명도.

도 2는 본 발명의 실시형태에 따른 유기 EL 패널 및 그 형성 방법을 설명하는 설명도.

도 3은 본 발명의 다른 실시형태에 따른 유기 EL 패널 및 그 형성 방법을 설명하는 설명도.

도 4는 표면 연마 처리를 설명하는 설명도.

도 5는 희석 에칭액에 의한 ITO 에칭량을 도시하는 그래프.

<도면의 주요 부분에 대한 부호의 설명>

10: 유기 EL 패널

11: 기판

12: 하부 전극

12a: 전극 재료막

12A: 에칭 처리면

13: 절연막

20: 유기층

14: 상부 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(Electro Luminescence) 패널 및 그 형성 방법에 관한 것이다.

유기 EL 패널은 기판 상에 유기 EL 소자에 의한 면발광 요소를 형성하고, 이 면발광 요소를 단수 또는 복수 배열함으로써 표시 영역을 형성한 것이다. 유기 EL 소자의 형성은 기판 상에 각종 구조의 하부 전극을 형성한 후, 유기 발광 기능층을 포함하는 유기층의 성막 패턴을 형성하고, 그 위에 상부 전극을 형성한다.

도 1은 일반적인 종래의 유기 EL 패널을 구성하는 유기 EL 소자의 단면 구조를 도시하고 있다. 기판(11) 상에 형성되는 유기 EL 소자(10)는 한 쌍의 전극 사이에 유기 발광 기능층을 포함하는 유기층(20)이 협지된 층구조를 갖고 있고, 더욱 자세하게는, 기판(11) 상에 형성된 하부 전극(12)의 주위에 절연막(13)이 형성되어, 이 절연막(13)에 의해서 구획된 하부 전극(12) 상의 영역이 발광 영역(S)이 된다. 그리고, 이 발광 영역(S)에는 하부 전극(12) 상에 유기층(20)이 적층되어 있고, 그 위에 상부 전극(14)이 형성되어 있다.

유기층(20)으로서는, 여기서는, 하부 전극(12)측을 양극, 상부 전극(14)측을 음극으로 하여, 정공 수송층(21), 발광층(22), 전자 수송층(23)의 3층 구조의 예를 도시하고 있다. 그 이외에도, 정공 수송층(21)과 전자 수송층(23)의 어느 한쪽 또는 양쪽을 제외한 구조, 전술한 각 층의 적어도 한 층을 복수층으로 형성하는 구조, 혹은 정공 수송층(21)의 양극측에 정공 주입층을 형성하는 구조, 전자 수송층(23)의 음극측에 전자 주입층을 형성하는 구조 등이 생각되고 있다. 또한, 하부 전극(12), 상부 전극(14)에 대하여 양극과 음극을 반대로 하여, 전술한 구조를 상하 역회전하는 구조라도 좋다.

이러한 유기 EL 패널을 구성하는 유기 EL 소자는 하부 전극(12)과 상부 전극(14) 사이에 전압을 인가함으로써, 양극층에서 정공이, 음극층으로부터 전자가 유기층(20) 내에 주입 및 수송되어, 이들이 재결합함으로써 발광을 얻을 수 있다. 따라서, 하부 전극(12)과 상부 전극(14) 사이에 협지되는 유기층(20)의 성막에는 막 두께의 균일성이 요구되어, 발광 영역(S)에서의 유기층(20)에 국부적인 박층부가 존재하는 경우에는 그 지점에 누설 전류가 발생하여 발광 불량을 야기하게 된다.

유기층(20)의 막 두께를 균일하게 하기 위해서는 그 기초가 되는 하부 전극(12)의 평탄도를 높이는 것이 중요하게 된다. 일반적으로 기관(11)측에서 빛을 추출하는 하부 에미션 방식을 채용하는 경우에는, 하부 전극(12)으로서 ITO(Indium-Tin-Oxide) 등의 투명 도전막을 이용하지만, 그 성막에는 스퍼터링 증착이나 전자빔(EB) 증착이 통상 채용되고 있다. 그러나, 이것에 의한 성막의 표면 거칠기는 JIS B0601에서 정의되는 표면 거칠기의 최대 높이(Rmax)가 수~수십 nm의 오더(order)가 되기 때문에, 유기층(20)의 적층 두께가 100~200 nm 정도인 것을 생각하면 상당히 큰 영향을 주게 된다.

그래서 종래 기술로서, 상기 특허문헌 1에 개시된 방식이 제안되고 있다. 이것에 따르면, 스퍼터링 증착이나 전자빔 증착으로 형성된 ITO로 이루어진 하부 전극의 표면을 연마함으로써 JIS B0601에서 정의되는 표면 거칠기의 최대 높이(Rmax)를 5 nm 이하로 할 수 있다.

발명이 이루고자 하는 기술적 과제

이 종래예에 따르면, 하부 전극의 표면을 수십 nm 연마하게 되기 때문에, 표면의 볼록부를 깎아내는 것은 가능하지만, 극단적으로 움푹 패인 부분은 여전히 남아 버린다고 하는 문제가 있다. 특히, 하부 전극의 성막시에 이물질 등이 표면에 부착되어 성막 결함(핀홀)이 생긴 경우에는 표면을 아무리 연마하더라도 성막 결함 부분의 오목부는 남아 버리게 된다.

또한, 하부 전극을 표면 연마한 후에 남겨진 요철부에서는 뾰족한 형상을 갖는 엷지부가 형성되기 쉽고, 이 엷지부에서 전하가 저장되어, 상부 전극과의 사이에 누설 전류가 흐르기 쉬워지는 문제도 생길 가능성이 있다.

더욱이, 하부 전극의 표면을 연마한 후에는 하부 전극의 표면에 연마재(연마 미분)가 잔류하는 경우가 있어, 이 잔류 연마재가 기초가 되어, 그 위에 적층되는 유기층의 막 두께가 확보되지 않는 상태를 발생하여, 누설 전류 발생의 원인이 되는 문제가 있다.

또한, 하부 전극의 막 두께는 기관측에서 빛을 추출하는 방식을 채용하는 경우, 추출되는 빛의 스펙트럼이 원하는 피크 파장을 나타내도록 발광색에 따라서 설정막 두께를 제어해야 한다. 즉, 유기층(20) 내에서 생긴 발광 중에는 각 층의 계면에서 복수의 반사를 반복한 후에 투명 도전막(하부 전극)을 투과하여 출사되는 빛이 존재하기 때문에, 유기 EL 소자 자체가 광학적 간섭 필터의 기능을 나타내게 되지만, 하부 전극의 막 두께에 착안한 경우에는 유기층과 하부 전극의 계면에서 반사한 후 출력되는 빛과, 하부 전극과 기관과의 계면에서 반사한 후 출력되는 빛의 반사 간섭 현상에 의해서 출력광의 스펙트럼이 변화하게 된다. 따라서, 유기 EL 패널을 형성하는 경우에는 하부 전극의 막 두께 제어가 중요한 설계 요인이 된다.

그러나, 종래 기술과 같이 단순히 하부 전극의 표면을 연마하면, 연마에 의해서 깎이는 두께는 표면의 거칠기에 따라 다르기 때문에, 최종적인 하부 전극의 막 두께를 설정치로 제어하는 것이 곤란해진다. 즉, 최초에 t_a 의 두께 설정으로 하부 전극이 성막되어, 그 표면을 기지의 설치 두께(t_b)만큼 연마하면, 최종적인 하부 전극의 막 두께는 $t_a - t_b$ 로서 설정할 수 있지만, 이 상태에서는 필요한 표면의 평탄도를 반드시 얻을 수 있는 것은 아니다. 따라서, 표면의 평탄성을 추구하면 실질적으로는 연마하는 두께(t_b)를 기지의 값으로 설정할 수 없게 되고, 최종적으로 원하는 막 두께를 갖는 하부 전극으로 마무리할 수 없다는 문제가 있다.

본 발명은 이러한 문제에 대처하는 것을 과제의 일례로 한다. 즉, 한편으로는, 하부 전극의 표면을 평탄하게 하여 그 위에 성막하는 유기층의 막 두께를 균일화함으로써 누설 전류의 발생을 막아 양호한 발광 특성을 얻는 것, 특히, 하부 전극의 표면 연마후의 뾰족한 형상의 엷지부 및 잔류 연마재를 효과적으로 제거하여, 누설 발생의 원인을 배제하는 것, 또한 한편으로는, 하부 전극 표면의 평탄화를 도모하면서 원하는 두께를 얻는 막 두께 제어를 가능하게 하는 것 등이 본 발명의 목적이다.

발명의 구성 및 작용

이러한 목적을 달성하기 위해서 본 발명에 따른 유기 EL 패널 및 그 형성 방법은 이하의 각 독립 청구항에 따른 구성을 적어도 구비하는 것이다.

[청구항 1]

기관 상에, 하부 전극, 적어도 유기 발광 기능층을 갖는 유기층, 상부 전극으로 이루어지는 유기 EL 소자를 형성한 유기 EL 패널로서, 상기 하부 전극은 상기 기관 상에, 성막된 전극 재료막에 대하여 표면 연마면을 화학 에칭 처리한 에칭 처리면을 가지며, 그 에칭 처리면 상에 상기 유기층이 형성되는 것을 특징으로 하는 유기 EL 패널.

[청구항 6]

기관 상에, 하부 전극, 적어도 유기 발광 기능층을 갖는 유기층, 상부 전극으로 이루어지는 유기 EL 소자를 형성한 유기 EL 패널을 형성하는 방법으로서, 상기 기관 상에, 설정된 막 두께의 전극 재료막을 형성하고, 그 전극 재료막을 연마하여 표면 연마면을 형성하며, 그 표면 연마면을 화학 에칭 처리함으로써 원하는 막 두께의 상기 하부 전극을 형성하는 것을 특징으로 하는 유기 EL 패널의 형성 방법.

이하, 본 발명의 실시형태를 도면을 참조하면서 설명한다. 도 2는 본 발명의 일 실시형태에 따른 유기 EL 패널 및 그 형성 방법을 설명하는 설명도이다. 본 발명의 유기 EL 패널 및 그 형성 방법은 도 1에 도시하는 종래 기술과 같이, 기관(11) 상에, 하부 전극(12), 적어도 유기 발광 기능층을 갖는 유기층(20), 상부 전극(14)으로 이루어지는 유기 EL 소자를 형성하는 것으로, 이 유기 EL 소자를 표시 단위로 하는 표시 영역을 형성하는 것이다. 따라서, 이하의 본 발명의 실시형태에 따른 설명에도 도 1의 부호를 공용하는 것으로 한다.

그리고, 실시형태에 따른 유기 EL 패널로서는 도 2에 도시한 바와 같이, 하부 전극(12)은 ITO 등의 전극 재료에 의한 전극 재료막(12o)에 대하여, 표면 연마면(12A₁)을 화학 에칭 처리한 에칭 처리면(12A)을 가지며, 이 에칭 처리면(12A) 상에 유기 EL 소자를 형성하는 유기층(도시 생략)이 형성되는 것을 특징으로 한다.

또한, 본 발명의 실시형태에 따른 유기 EL 패널에 의하면, 하부 전극(12)은 전극 재료막(12o)의 성막으로 설정된 막 두께를 t₁, 전극 재료막(12o)의 표면을 연마하는 설정 두께를 t₂(단, t₂<t₁), 화학 에칭 처리에 의한 조정막 두께를 t₃이라고 할 때, ts=t₁-t₂-t₃으로 구해지는 설정막 두께(ts)를 갖는 것을 특징으로 한다.

그리고, 전술한 에칭 처리면(12A)은, 예컨대 희석 에칭액에 의해서 실현되는 저에칭율로 형성되는 것을 특징으로 하며, 또한 설정막 두께(ts)는 그 위에 형성되는 유기 EL 소자의 색도에 따라서 설정되는 것을 특징으로 한다. 여기서 말하는 저에칭율을 실현하기 위해서는, (1) 희석 에칭액을 이용하는 방법, (2) 에칭 공정의 시간을 짧게 하는 방법, (3) 에칭 공정을 실시하는 장치의 에칭액 분출량을 적게 하는 방법, (4) 에칭 공정의 작업 온도를 내리는 방법, (5) (1)~(4)에 기재한 방법을 조합하여 실시하는 방법 등을 예로 들 수 있다. 본 발명의 실시형태에서는 형성하는 유기 EL 소자에 맞춰 적절한 방법을 선택하는 것이 바람직하다.

이러한 본 발명의 실시형태에 따른 유기 EL 패널의 형성 방법을 도 2에 따라서 설명하면, 우선, 도 2의 (a)에 도시한 바와 같이, 기관(11) 상에 설정막 두께 t₁의 전극 재료막(12o)을 형성한다. 이 때, 일반적으로 이용되는 스퍼터링 증착이나 전자빔(EB) 증착 등의 성막 기술에 의하면, 각종의 요인으로 적지 않게 도시한 바와 같은 요철(오목부(P₁, P₂, P₃))을 포함한 다)이 전극 재료막(12o)의 표면에 형성되게 된다.

그 후, 도 2의 (b)에 도시한 바와 같이 전극 재료막(12o)을 폴리싱(polishing), 랩핑(lapping), 테이프랩핑 등의 방법으로 연마하여 표면 연마면(12A₁)을 형성한다. 이 때는 연마 두께에 의해서는 여전히 오목부(P₂₀, P₃₀)가 남게 되고, 그 단부에는 뾰족한 형상의 엣지부(e)가 형성되게 된다. 또, 표면 연마면(12A₁) 상에는 연마재(r)가 남는 경우도 있다. 이러한 상태로, 이 표면 연마면(12A₁) 상에 유기층을 적층하여 유기 EL 소자를 형성하면, 전술한 엣지부(e)나 잔류한 연마재(r)가 기초가 되어, 누설 전류의 발생을 초래할 우려가 있다.

그래서, 도 2의 (c)에 도시한 바와 같이 전술한 표면 연마면(12A₁)을 형성한 후에, 이 표면 연마면(12A₁)을 화학 에칭 처리하여 에칭 처리면(12A)을 형성한다. 이것에 의해서, 전술한 엣지부(e) 및 잔류한 연마재(r)를 제거할 수 있어, 평활한 표면이 형성된다. 또한, 하부 전극(12)의 설정막 두께(ts)의 조정에 관해서 설명하면, 전극 재료막(12o)의 표면을 연마할 때의 두께 t₂ 및 표면 연마면(12A₁)을 화학 에칭 처리할 때의 두께 t₃에 의해서 하부 전극(12)의 설정막 두께(ts)를 원하는 두께, 예컨대 그 하부 전극(12) 상에 형성되는 유기 EL 소자의 색도에 따라서 설정되는 두께로 조정한다.

도 3은 본 발명의 다른 실시형태에 따른 유기 EL 패널 및 그 형성 방법을 설명하는 설명도이다. 이 실시형태가 전술한 실시 형태와 다른 점은, 기관(11)에 형성되는 하부 전극(12)의 전극 재료막(12o)을 복수회로 나눠 성막한다[1회째의 전극 재료막(12o₁): 막 두께 t11, 2회째의 전극 재료막(12o₂): 막 두께 t12]는 것이고, 그 외에는 전술한 실시형태와 동일하다(동일 부호를 붙여 중복 설명을 생략한다).

이러한 실시형태에 따른 유기 EL 패널 및 그 형성 방법의 특징은, 첫째로, 일반적인 스퍼터링 등에 의한 성막에 있어서 막 두께를 두껍게 성막하면 표면의 요철이 두께에 따라 성장하여 표면 거칠기가 악화하는 데 대하여, 얇은 두께의 성막에서는 표면 거칠기의 정밀도가 비교적 높다는 것에 착안하여, 하부 전극(12)을 성막할 때에 복수회로 나누어 성막함으로써 표면 거칠기의 악화를 막도록 한 것이다.

또한, 하부 전극(12)을 형성하는 1회의 성막에서는 도 3의 (a)에 도시한 바와 같은 성막 결함(면지의 부착 등에 의해서 성막이 완전히 누락된 지점)(P4)이 생겨 버리는 경우가 있어, 이 상태로 성막을 계속하면 일개소에 깊은 성막 결함이 형성되어 버리지만, 성막을 복수회로 나눠 실시하면 도 3의 (b)에 도시한 바와 같이 만일 2회째의 성막으로 성막 결함(P5)이 생겼다고 해도 1회째의 성막시에 생긴 성막 결함(P4)과 2회째 이후의 성막시에 생긴 성막 결함(P4)이 동일한 지점에 형성되는(중합된다) 일은 없다고 생각하기 때문에, 이 복수회의 성막에 의해서 적어도 1회째의 성막시의 막 두께 t11 이하인 곳에는 성막 결함에 의한 오목부가 없는 상태를 형성할 수 있다.

그리고, 이와 같이 형성된 전극 재료막(12o)(12o₁, 12o₂)을 오목부가 없는 상태의 곳까지 연마 및 화학 에칭 처리함으로써 평탄한 표면에서 또한 잔류 연마재(r)를 제거한 에칭 처리면(12A)을 갖는 하부 전극(12)을 얻을 수 있다.

또, 전극 재료막(12o)(12o₁, 12o₂)의 표면을 연마하는 두께 t2[도 3의 (c) 참조] 및 표면 연마면(12A₁)을 화학 에칭 처리하는 두께 t3[도 3의 (d) 참조]은 $t12 < (t2 + t3) < (t11 + t12)$ 의 범위에서는 모든 범위에서 오목부가 없는 평탄한 연마면(12A)을 형성할 수 있게 되기 때문에, 전술한 범위에서 t2 및 t3을 조정함으로써 평탄한 에칭 처리면(12A)을 확보하면서, 하부 전극(12)의 막 두께(ts)를 원하는 두께로 조정할 수 있다.

즉, 이 실시형태에 따른 하부 전극(12)의 형성 방법에서는 도 3의 (a)에 도시한 바와 같이, 우선 하부 전극(12)의 설정막 두께(ts)보다 두꺼운 막 두께 t11의 전극 재료막(12o₁)을 얻을 수 있도록 1회째의 성막을 실시하고, 또, 도 3의 (b)에서 도시한 바와 같이, 이 1회째의 성막으로 형성한 전극 재료막(12o₁)의 막 두께(t11)보다도 두꺼운 막 두께(t12)로 2회째 이후의 성막을 실시하여 전극 재료막(12o)(12o₁, 12o₂)을 형성한다. 그리고, 도 3의 (c)에 도시한 바와 같이, 전극 재료막(12o₂)의 막 두께(t12)보다도 두꺼운 두께(t3)로, 전극 재료막(12o)을 연마 및 화학 에칭 처리한다. 이 때에, 연마 및 에칭 처리의 두께(t2 + t3)를 전술한 범위에서 적절하게 조정하면, 평탄한 에칭 처리면(12A)을 갖게 되고 게다가 원하는 막 두께(ts)를 갖는 하부 전극(12)을 형성할 수 있다. 또, 이 때의 막 두께 조정은 각 성막 또는 연마 및 에칭 처리의 처리 시간에 의해서 조정할 수 있다.

전술한 표면 연마 처리 및 화학 에칭 처리에 관해서 더욱 상세히 설명한다. 표면 연마 처리에서는 도 4에 도시한 바와 같은 공지의 연마 방법(또는 연마 장치)을 채용할 수 있다. 이것에 의하면, 기관 캐리어(31)에 의해서, 전극 재료막(12o)이 형성된 기관(11)을 전극 재료막(12o)이 형성된 면과 반대의 면측에서 지지하여, 지지된 기관(11)의 전극 재료막(12o)에 대하여 연마 부재(30)를 가압시킨 상태로, 기관 캐리어(31) 및 연마 부재(30)를 서로 역방향으로 회전시킴으로써, 전극 재료막(12o)의 표면을 연마한다. Si 등의 연마재를 피연마면과 연마 부재(30) 사이에 넣음으로써 효율적인 연마가 가능하다. 일반적으로는, 두께 100~150 nm의 하부 전극(폭: 수십~수백 μ m)을 형성할 때에 수십 nm의 크기의 연마재를 사용한다. 연마 방법은 이 예에 한정되지 않고 다른 공지 기술을 채용할 수도 있다.

화학 에칭 처리에 관해서 설명하면, 에칭액(에칭제)을 이용한 소위 습식 에칭 처리가 이루어진다. 이 때의 화학 에칭 처리는 정밀도가 높은 하부 전극의 막 두께를 조정하기 위해서 어느 정도 에칭율(nm/min)을 낮게 하는 쪽이 바람직하다. 이 저에칭율을 실현하기 위해서는 희석 에칭액을 이용할 수 있다.

도 5는 희석 에칭액에 의한 에칭율을 도시하는 시험 결과이다. 여기서는, ITO 박막을 시험물로 하여, 염화제2철 FeCl₃+ 염산 HCl을 2:1로 혼합한 에칭액을 순수(純水)로 희석한 경우의 에칭율을 나타내고 있고, 순수에 의한 희석 정도가 다른 에칭액[1, 1.5, 2, 2.5배]를 이용한 에칭량(처리 시간 1 min)을 그래프화한 것이다. 도시한 바와 같이, 희석 배율

을 올리면 에칭율을 낮게 억제할 수 있다. 이 시험예의 에칭액(염화제2철 FeCl_3 : 염산 HCl =2:1의 혼합액)을 이용하는 경우에는 순수에 의한 회식 배율을 1.5배(바람직하게는 2배) 이상으로 하고, 40 nm/min(바람직하게는, 30 nm/min) 이하의 저에칭율로 처리함으로써 적정한 막 두께 조정이 가능하게 된다.

또, 저에칭율을 실현하기 위해서는 전술한 회식 에칭액을 이용하는 것에 한하지 않고, 예컨대 원래 저에칭율 특성을 갖는 에칭액을 이용하거나, 에칭 처리 온도를 저하시킴으로써도 실현할 수 있다.

이하, 본 발명의 실시형태에 따른 유기 EL 패널의 각 구성 요소에 관해서 더욱 구체적으로 설명한다(부호에 관해서는 도 1 참조).

a. 기관;

유기 EL 패널의 기관(11)으로서는 평판형, 필름형, 구면형 등 형상은 특별히 구애되지 않는다. 재질로서는 유리, 플라스틱, 석영, 금속 등을 채용할 수 있다. 기관(11)측에서 빛을 추출하는 방식(하부 에미션 방식)으로서는 투명성을 갖는 평판형, 필름형의 것으로, 재질로서는 유리 또는 플라스틱 등을 이용하는 것이 바람직하다.

b. 전극;

하부 전극(12), 상부 전극(14)은 한쪽이 음극측, 다른쪽이 양극측으로 설정된다. 양극측은 음극측보다 일함수가 높은 재료로 구성되어, 크롬(Cr), 몰리브덴(Mo), 니켈(Ni), 백금(Pt) 등의 금속막이나 ITO, IZO 등의 산화금속막 등의 투명 도전막이 이용된다. 반대로 음극측은 양극측보다 일함수가 낮은 재료로 구성되어, 알루미늄(Al), 마그네슘(Mg) 등의 금속막, 도핑된 폴리아닐린이나 도핑된 폴리페닐렌비닐렌 등의 비정질 반도체, Cr_2O_3 , NiO, Mn_2O_5 등의 산화물을 사용할 수 있다. 또한, 하부 전극(12)과 상부 전극(14) 모두를 투명한 재료로 구성한 경우에는 빛의 방출측과 반대의 전극측에 반사막을 설치하도록 구성할 수도 있다.

c. 유기층;

유기층(20)은 적어도 유기 발광 기능층을 갖는 단층 또는 다층의 유기 화합물 재료층으로 이루어지지만, 층구성은 어떻게 형성되어 있더라도 좋다. 일반적으로는, 도 1에 도시한 바와 같이, 양극측에서 음극측에 향해서, 정공 수송층(21), 발광층(22), 전자 수송층(23)을 적층한 것을 이용할 수 있지만, 발광층(22), 정공 수송층(21), 전자 수송층(23)은 각각 1층뿐만 아니라 복수층 적층하여 설치하더라도 좋고, 정공 수송층(21)과 전자 수송층(23)에 관해서는 어느 한쪽의 층을 생략하더라도, 양쪽 층을 생략하더라도 상관없다. 또한, 정공 주입층, 전자 주입층 등의 유기 재료층을 용도에 따라서 삽입하는 것도 가능하다. 정공 수송층(21), 발광층(22), 전자 수송층(23)은 종래의 사용되고 있는 재료(고분자 재료, 저분자 재료를 상관하지 않는다)를 적절하게 선택하여 채용할 수 있다.

또한, 발광층(22)을 형성하는 발광 재료에 있어서는 1중항 여기 상태에서부터 기저 상태로 되돌아갈 때의 발광(형광)과 3중항 여기 상태에서부터 기저 상태로 되돌아갈 때의 발광(인광)의 어느 쪽을 채용하더라도 좋다.

e. 밀봉 부재, 밀봉막;

본 발명의 실시형태에 따른 유기 EL 패널은 금속제, 유리제, 플라스틱제 등에 의한 밀봉 부재에 의해 유기 EL 소자(10)가 밀봉되어 있는 것, 혹은 밀봉막에 의해 유기 EL 소자(10)가 밀봉되어 있는 것을 포함한다.

밀봉 부재는 유리제의 밀봉 기관에 프레스 성형, 에칭, 블러스트 처리 등의 가공으로 밀봉 오목부(일단 홈파기, 이단 홈파기를 상관하지 않는다)를 형성한 것, 혹은, 평판 유리를 사용하여 유리(플라스틱이라도 좋다)제의 스페이서에 의해 지지 기관과 밀봉 공간을 형성하는 것 등이 채용된다.

밀봉막은 단층막 또는 복수의 보호막을 적층함으로써 형성할 수 있다. 사용 재료로서는 무기물, 유기물 등의 어느 것이나 좋다. 무기물로서는 SiN , AlN , GaN 등의 질화물, SiO , Al_2O_3 , Ta_2O_5 , ZnO , GeO 등의 산화물, SiON 등의 산화질화물, SiCN 등의 탄화질화물, 금속불소화합물, 금속막 등을 예로 들 수 있다. 유기물로서는, 에폭시 수지, 아크릴 수지, 폴리파라크실렌, 퍼플루오로올레핀, 퍼플루오로에테르 등의 불소계고분자, CH_3OM , $\text{C}_2\text{H}_5\text{OM}$ 등의 금속알콕시드, 폴리이미드전구체, 페릴렌계 화합물 등을 예로 들 수 있다. 적층이나 재료의 선택은 유기 EL 소자의 설계에 의해 적절하게 선택한다.

d. 패널의 각종 방식;

본 발명의 실시형태에 따른 유기 EL 패널은 패시브 매트릭스형의 표시 패널을 형성할 수도 있고, 혹은, 액티브 매트릭스형의 표시 패널을 형성할 수도 있다. 또한, 단색 표시나 다색 표시도 좋지만, 컬러 표시 패널을 형성하기 위해서는 분할 도포 방식, 백색이나 청색 등의 단색의 유기 EL 소자에 컬러 필터나 형광 재료에 의한 색변환층을 조합한 방식(CF 방식, CCM 방식) 등으로 완전 컬러 유기 EL 패널, 또는 멀티컬러 유기 EL 패널을 형성할 수 있다. 또한, 본 발명의 실시형태에 따른 유기 EL 패널로서는 전술한 바와 같이 기판(11)측에서 빛을 추출하는 하부 에미션 방식으로 할 수도 있고, 혹은, 기판(11)과는 반대측에서 빛을 추출하는 상부 에미션 방식으로 할 수도 있다.

본 발명의 실시형태에 따른 유기 EL 패널의 형성 방법에 따른 구체예를 도시하면 이하와 같다(부호에 관해서는 도 1 참조).

[기판 처리 공정] 유리 기판을 채용하는 경우에는 그 종류(청판 혹은 백판)에 따라서 처리가 다르다. 청판(소다·라임유리, 붕규산유리, 저알칼리유리 등의 유리 기판)을 이용하는 경우에는 그 기판에 포함되는 나트륨, 칼륨 등의 알칼리 성분이 용출하여 유기 EL 소자 혹은 밀봉 부재의 접착 강도에 악영향을 미치게 하지 않도록 하기 위해서 기판 표면에 SiO_2 등의 코팅층을 형성한다. 비싼 백판(무알칼리유리, 석영유리 등의 유리 기판)을 이용하는 경우에는 불순물의 석출이 없기 때문에 통상은 전술한 코팅층을 형성하지 않는다. 또한, 기판 표면의 요철을 평탄화할 목적을 포함해서 SiO_2 막을 1회 또는 2회 이상 성막하여, 그 표면을 연마 처리하여도 좋다.

구체적으로는, 유리 기판을 딥조에 저장한 SiO_2 성분의 코팅액에 침지하여, 그 후 딥조로부터 서서히 끌어올려, 유리 기판 표면의 코팅액층을 가수분해하여, 건조 공정, 소성 공정을 하여, SiO_2 막을 50~200 nm(바람직하게는 80 nm) 성막한다. 계속해서, 연마제에 알루미나, 다이아몬드 파우더 등을 사용하여 연마 장치로 20~100 nm의 두께까지 연마하여, 기판(11)의 표면에 연마면을 형성한다.

[하부 전극 성막, 표면 연마 공정] 다음에, 기판(11)의 표면에 ITO 등의 하부 전극 재료를 스퍼터링 등의 방법으로 성막하여, 전극 재료막(12a)을 형성한다. 전술한 바와 같이, 전극 재료의 성막을 복수회 행하고, 성막시에 발생하는 핀홀 등의 오목부를 매립하도록 하더라도 좋다. 성막후에는 전술한 바와 같이 표면을 폴리싱, 랩핑, 테이프랩핑 등으로 표면 연마한다. 연마 방법은 전술한 대로 공지의 방법을 채용할 수 있다. 이 때의 막 두께 조정은 성막 시간 및 연마 처리 시간에 의해서 설정막 두께를 얻도록 한다.

[하부 전극 표면 화학 에칭 처리, 패터닝 공정] 에칭액으로서 염화제2철 수용액과 염산의 혼합액($\text{FeCl}_3 \cdot \text{HCl} = 2:1$ 의 용액)을 순수로 1.5~3.5배(바람직하게는 2.0~2.5배)로 희석하여, 이 희석 에칭액을 이용하여 전극 재료막(12a)의 형성된 기판(11)을 습식 에칭 처리함으로써 전극 재료막(12a)을 소정 시간 에칭 처리한다. 이 에칭 처리 시간에 의해서 최종적인 하부 전극(12)의 막 두께를 조정한다. ITO 막은 예컨대 110 nm~170 nm의 두께로 조정된다.

그 후는, 포토레지스트를 ITO막 상에 전극 패턴(예컨대, 스트라이프형)에 따라서 형성하여, 전술한 에칭액(희석하지 않는 원용액)을 이용한 포토리소법으로 ITO막을 원하는 전극 패턴으로 패터닝한다.

또한, 패터닝된 하부 전극(12)이 형성된 기판(11) 상에 스핀코팅법 등으로써, 폴리이미드 등의 절연물 재료로 이루어지는 절연막을 소정의 막 두께가 되도록 성막한다. 그리고, 포토리소법 등의 패턴 형성법에 의해서 하부 전극(12) 상에 절연 구획된 단위 발광 영역이 형성되도록 절연막을 패터닝한다. 앞에서는 화학 에칭 처리 후에 패터닝 공정을 실시하는 실시예를 기재했지만, 패터닝 공정 후에 화학 에칭 공정을 실시하거나, 연마 공정 전에 패터닝 공정을 실시하여도 상관없다.

[유기층 성막, 상부 전극 형성, 밀봉 공정] 스핀코팅법, 디핑법 등의 도포법, 스크린 인쇄법, 잉크젯법 등의 습식 공정, 또는 증착법, 레이저 전사법 등의 건식 공정으로 전술한 유기층(20)의 각 층을 성막한다. 일례로서는, 정공 수송층(21), 발광층(22), 전자 수송층(23)의 각 재료층을 진공 증착으로 순차 적층한다.

이 때, 발광층의 형성에 있어서는 성막용 마스크를 사용하여, 복수의 발광색에 맞춰 발광층을 분할 도포한다. 분할 도포에는 RGB3색의 발광을 나타내는 유기 재료, 혹은 복수의 유기 재료를 조합한 것을 RGB에 해당하는 단위 발광 영역에 성막한다. 한 지점의 단위 발광 영역에 대하여 2회 이상 동일 재료로 성막함으로써 단위 발광 영역의 미성막 지점을 막도록 하더라도 좋다.

보다 구체적으로는, 양극을 형성하는 ITO막[하부 전극(12)]으로부터 정공 주입층으로서 구리프탈로시아닌을 30 nm, 정공 수송층으로서 α -NPD를 60 nm, 발광층 및 전자 수송층으로서 Alq3을 30 nm, 전자 주입층으로서 LiF를 1 nm, 음극을 형성하는 상부 전극으로서 Al을 100 nm의 두께로 성막한다.

그 후, N₂ 분위기중에서 프레스 성형, 에칭, 블러스트 처리 등의 가공에 의해서 밀봉 오목부를 형성하여, 해당 밀봉 오목부에 BaO 등의 건조제를 접착한 유리제의 밀봉 기판을 광경화성 수지 등의 접착제로 접합 밀봉하여, 유기 EL 패널을 얻는다.

발명의 효과

이러한 실시형태에 따른 유기 EL 패널 및 그 형성 방법에 의하면, 하부 전극의 표면을 평탄하게 하여 그 위에 성막하는 유기층의 막 두께를 균일화함으로써 누설 전류의 발생을 막고 양호한 발광 특성을 얻을 수 있다. 특히, 하부 전극의 표면 연마후의 뾰족한 형상의 엿지부 및 잔류 연마재를 화학 에칭 처리로써 효과적으로 제거할 수 있기 때문에, 누설 전류의 발생 원인을 배제할 수 있다. 또한, 하부 전극 표면의 평탄화를 도모하면서 원하는 두께를 얻는 막 두께 제어를 할 수 있기 때문에, 출력광 스펙트럼의 피크 파장을 발광색에 맞출 수 있어, 출력광의 고효율화를 달성할 수 있다.

(57) 청구의 범위

청구항 1.

기관 상에, 하부 전극, 적어도 유기 발광 기능층을 갖는 유기층, 상부 전극으로 이루어지는 유기 EL 소자를 형성한 유기 EL 패널로서,

상기 하부 전극은 상기 기관 상에, 성막된 전극 재료막에 대하여 표면 연마면을 화학 에칭 처리한 에칭 처리면을 가지며, 그 에칭 처리면 상에 상기 유기층이 형성되는 것을 특징으로 하는 유기 EL 패널.

청구항 2.

제1항에 있어서, 상기 에칭 처리면은 저에칭율로 형성되는 것을 특징으로 하는 유기 EL 패널.

청구항 3.

제2항에 있어서, 상기 저에칭율은 희석 에칭액에 의해서 실현되는 것을 특징으로 하는 유기 EL 패널.

청구항 4.

제1항에 있어서, 상기 하부 전극은 상기 전극 재료막의 성막에 설정된 막 두께를 t_1 , 상기 전극 재료막의 표면을 연마하는 설정 두께를 t_2 (단, $t_2 < t_1$), 화학 에칭 처리에 의한 조정막 두께를 t_3 이라고 할 때, $t_s = t_1 - t_2 - t_3$ 으로 구해지는 설정막 두께(t_s)를 갖는 것을 특징으로 하는 유기 EL 패널.

청구항 5.

제4항에 있어서, 상기 하부 전극의 설정막 두께는 상기 유기 EL 소자의 색도에 따라서 설정되는 것을 특징으로 하는 유기 EL 패널.

청구항 6.

기관 상에, 하부 전극, 적어도 유기 발광 기능층을 갖는 유기층, 상부 전극으로 이루어지는 유기 EL 소자를 형성한 유기 EL 패널의 형성 방법으로서,

상기 기관 상에, 설정된 막 두께의 전극 재료막을 형성하고, 그 전극 재료막을 연마하여 표면 연마면을 형성하며, 그 표면 연마면을 화학 에칭 처리함으로써 원하는 막 두께의 상기 하부 전극을 형성하는 것을 특징으로 하는 유기 EL 패널의 형성 방법.

청구항 7.

제6항에 있어서, 상기 화학 에칭 처리는 저에칭율로 처리되는 것을 특징으로 하는 유기 EL 패널의 형성 방법.

청구항 8.

제7항에 있어서, 상기 저에칭율은 희석 에칭액에 의해서 실현되는 것을 특징으로 하는 유기 EL 패널의 형성 방법.

청구항 9.

제6항 내지 제8항 중 어느 한 항에 있어서, 상기 전극 재료막의 표면을 연마할 때의 두께 및 상기 표면 연마면을 화학 에칭 처리할 때의 두께에 의해서 상기 하부 전극의 막 두께를 원하는 두께로 조정하는 것을 특징으로 하는 유기 EL 패널의 형성 방법.

청구항 10.

제9항에 있어서, 상기 하부 전극의 막 두께는 상기 유기 EL 소자의 색도에 따라서 조정되는 것을 특징으로 하는 유기 EL 패널의 형성 방법.

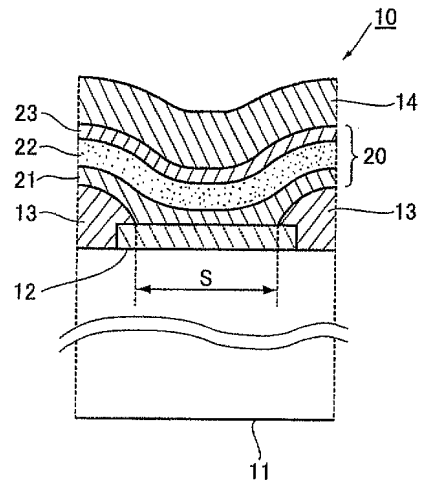
청구항 11.

제6항 내지 제8항 중 어느 한 항에 있어서, 상기 전극 재료막의 성막은 복수회로 나뉘어 성막되는 것을 특징으로 하는 유기 EL 패널의 형성 방법.

도면

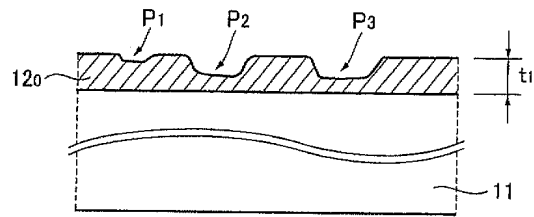
도면1

종래 기술

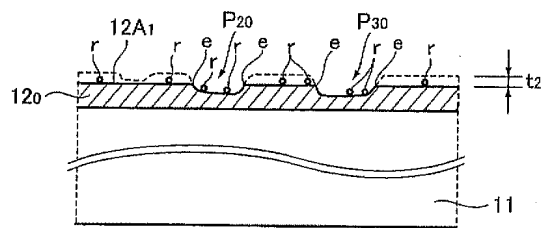


도면2

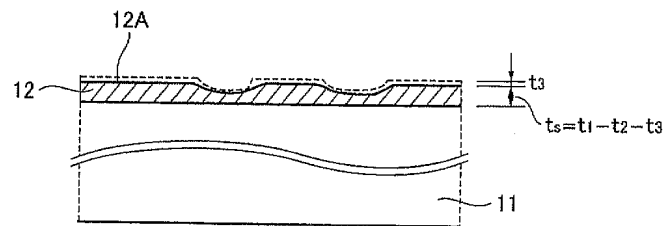
(a)



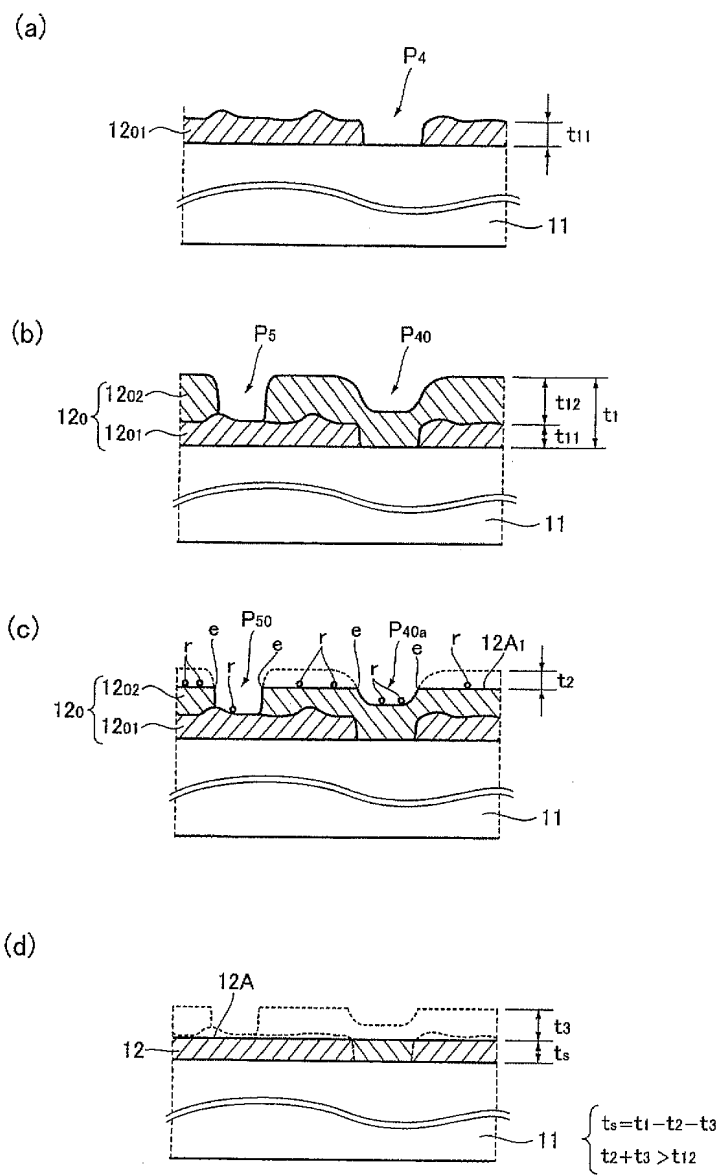
(b)



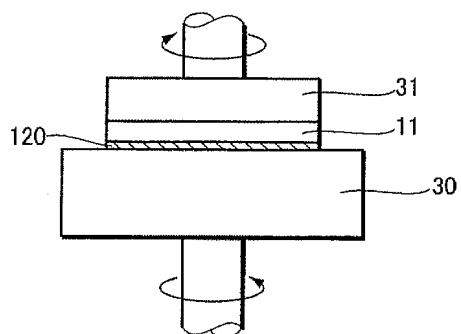
(c)



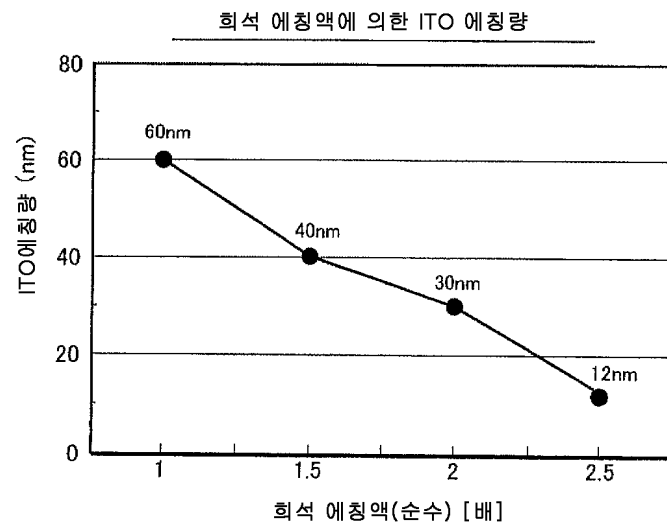
도면3



도면4



도면5



专利名称(译)	有机EL面板及其形成方法		
公开(公告)号	KR1020060048535A	公开(公告)日	2006-05-18
申请号	KR1020050055464	申请日	2005-06-27
[标]申请(专利权)人(译)	东北先锋股份有限公司		
申请(专利权)人(译)	先锋sikki古兰经东宝		
当前申请(专利权)人(译)	先锋sikki古兰经东宝		
[标]发明人	YUKI TOSHINAO 유키도시나오 SHIRAHATA KUNIIHIKO 시라하타구니히코		
发明人	유키도시나오 시라하타구니히코		
IPC分类号	H05B33/26 H05B33/10 H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L51/56 H01L27/3244 H01L27/3281 H01L51/5206 H01L51/0023		
代理人(译)	金泰HONG		
优先权	2004191198 2004-06-29 JP		
外部链接	Espacenet		

摘要(译)

本发明的目的在于，即使使底部电极的表面均匀地沉积在上部的有机层的膜厚，也可以防止漏电流的产生，并且可以获得优异的发光率。确实如此。底部电极（12）是底部电极（12），至少有机EL面板（10）形成由有机层（20）构成的有机电致发光显示器，上部电极（14）在基板（11）上具有蚀刻处理表面（12A），该表面（12A）化学蚀刻表面研磨面（12A（SB）1（/SB））围绕电极材料层（12o）。并且在蚀刻处理表面（12A）上形成有机层（20）。

