

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30
H05B 33/14

(11) 공개번호 10-2005-0003394
(43) 공개일자 2005년01월10일

(21) 출원번호	10-2004-7017265		
(22) 출원일자	2004년10월26일		
번역문 제출일자	2004년10월26일		
(86) 국제출원번호	PCT/JP2003/002535	(87) 국제공개번호	WO 2003/091977
(86) 국제출원출원일자	2003년03월05일	(87) 국제공개일자	2003년11월06일

(30) 우선권주장	JP - P - 2002 - 00127532	2002년04월26일	일본(JP)
	JP - P - 2002 - 00127637	2002년04월26일	일본(JP)
	JP - P - 2002 - 00284393	2002년09월27일	일본(JP)

(71) 출원인 도시바 마쯔시타 디스플레이 테크놀로지 컴퍼니, 리미티드
일본 도쿄도 미나토구 4쵸메 고난 1-8

(72) 발명자 다카하라,히로시
일본 571-0807 오사카후 네야가와시 우즈마사 1011-1-345

쓰게,히토시
일본 571-0074 오사카후 가도마시 미야마에쵸 16-1

(74) 대리인 장수길
이중희
구영창

심사청구 : 없음

(54) E L 표시 패널의 드라이버 회로

요약

출력 전류 변동이 작은 EL 표시 패널의 소스 드라이버 회로를 제공한다. 소스 드라이버 회로는, 1단위를 나타내는 단위 트랜지스터(634)로 구성된다. 제0 비트는 1개의 단위 트랜지스터(634), 제1 비트는 2개의 단위 트랜지스터(634), 제2 비트는 4의 단위 트랜지스터(634), 제3 비트는 8의 단위 트랜지스터(634), 제4 비트는 16 단위 트랜지스터(634), 제5 비트는 32 단위 트랜지스터(634)로 구성된다. 각 단위 트랜지스터(634)는 트랜지스터(633a)와 커런트 미러 회로를 구성하고 있다. 트랜지스터(633a)에 흐리는 전류 Ib를 조정함으로써, 단위 트랜지스터(634)에 흐리는 전류를 변경할 수 있다. 출력 전류 회로를 단위 트랜지스터로 구성하고, 기준 전류를 조정함으로써, 단위 트랜지스터의 출력 전류를 조정할 수 있기 때문에, 정밀도가 있고, 변동이 작은 소스 드라이버 IC를 제공할 수 있다.

대표도

도 64

색인어

EL 소자, 단위 트랜지스터, 신호선, 기준 전류, 전류원, 화상 데이터, 커런트 미러 회로

명세서

기술분야

본 발명은 유기 또는 무기 일렉트로 루미네센스(EL) 소자를 이용한 EL 표시 패널 등의 자발광 표시 패널에 관한 것이다. 또한, 이들 표시 패널의 구동 회로(IC)에 관한 것이다. EL 표시 패널의 구동 방법과 구동 회로 및 이들을 이용한 정보 표시 장치 등에 관한 것이다.

배경기술

일반적으로, 액티브 매트릭스형 표시 장치에서는, 다수의 화소를 매트릭스 형상으로 배열하고, 공급된 영상 신호에 따라 화소마다 광 강도를 제어함으로써 화상을 표시한다. 예를 들면, 전기 광학 물질로서 액정을 이용한 경우에는, 각 화소에 기입되는 전압에 따라 화소의 투과율이 변화한다. 전기 광학 변환 물질로서 유기 일렉트로 루미네센스(EL) 재료를 이용한 액티브 매트릭스형의 화상 표시 장치는 화소에 기입되는 전류에 따라 발광 휘도가 변화한다.

액정 표시 패널은 각 화소가 셔터로서 동작하고, 백라이트로부터의 빛을 화소인 셔터에 의해 온 오프시킴으로써 화상을 표시한다. 유기 EL 표시 패널은 각 화소에 발광 소자를 갖는 자발광형이다. 그 때문에, 유기 EL 표시 패널은 액정 표시 패널에 비하여 화상의 시인성이 높고, 백라이트가 불필요하며, 응답 속도가 빠르다는 등의 이점을 갖는다.

유기 EL 표시 패널은 각 발광 소자(화소)의 휘도가 전류량에 의해서 제어된다. 즉, 발광 소자가 전류 구동형 혹은 전류 제어형이라는 점에서 액정 표시 패널과는 크게 다르다.

유기 EL 표시 패널도 단순 매트릭스 방식과 액티브 매트릭스 방식의 구성이 가능하다. 전자는 구조는 단순하지만 대형이면서 고정밀의 표시 패널의 실현이 곤란하다. 그러나, 염가이다. 후자는 대형이며, 고정밀 표시 패널을 실현할 수 있다. 그러나, 제어 방법이 기술적으로 어렵고 비교적 고가라고 하는 과제가 있다. 현재는 액티브 매트릭스 방식의 개발이 왕성하게 행해지고 있다. 액티브 매트릭스 방식은 각 화소에 마련한 발광 소자에 흐르는 전류를 화소 내부에 마련한 박막 트랜지스터(트랜지스터)에 의해서 제어한다.

이 액티브 매트릭스 방식의 유기 EL 표시 패널은 일본 특허 공개 평성8-234683호 공보에 개시되어 있다. 이 표시 패널의 1 화소부의 등가 회로를 도 62에 도시한다. 화소(16)는 발광 소자인 EL 소자(15), 제1 트랜지스터(11a), 제2 트랜지스터(11b) 및 축적 용량(19)으로 이루어진다. 발광 소자(15)는 유기 일렉트로 루미네센스(EL) 소자이다. 본 발명에서는 EL 소자(15)에 전류를 공급(제어)하는 트랜지스터(11a)를 구동용 트랜지스터(11)라고 부른다. 또한, 도 62의 트랜지스터(11b)와 같이, 스위치로서 동작하는 트랜지스터를 스위치용 트랜지스터(11)라고 부른다.

유기 EL 소자(15)는 대부분의 경우, 정류성이 있기 때문에, OLED(유기 발광 다이오드)라고 불리는 경우가 있다. 도 62에서는 발광 소자(15)로서 다이오드의 기호를 이용하고 있다.

단, 본 발명에서의 발광 소자(15)는 OLED에 한하는 것이 아니고, 소자(15)에 흐르는 전류량에 의해서 휘도가 제어되는 것이면 된다. 예를 들면, 무기 EL 소자가 예시된다. 그 밖에, 반도체로 구성되는 백색 발광 다이오드가 예시된다. 또한, 일반적인 발광 다이오드가 예시된다. 그 밖에, 발광 트랜지스터여도 된다. 또한, 발광 소자(15)는 반드시 정류성이 요구되는 것이 아니다. 쌍방향성 다이오드이어도 무방하다. 본 발명의 EL 소자(15)는 이들 어느 것이어도 된다.

도 62의 예에서는 P 채널형의 트랜지스터(11a)의 소스 단자(S)를 Vdd(전원 전위)로 하고, EL 소자(15)의 캐소드(음극)는 접지 전위(Vk)에 접속된다. 한편, 애노드(양극)는 트랜지스터(11b)의 드레인 단자(D)에 접속되어 있다. 한편, P 채널형의 트랜지스터(11a)의 게이트 단자는 게이트 신호선(17a)에 접속되고, 소스 단자는 소스 신호선(18)에 접속되고, 드레인 단자는 축적 용량(19) 및 트랜지스터(11a)의 게이트 단자(G)에 접속되어 있다.

화소(16)를 동작시키기 위해서, 우선, 게이트 신호선(17a)을 선택 상태로 하고, 소스 신호선(18)에 휘도 정보를 나타내는 영상 신호를 인가한다. 그렇게 하면, 트랜지스터(11a)가 도통하여, 축적 용량(19)이 충전 또는 방전되고, 트랜지스터(11b)의 게이트 전위는 영상 신호의 전위와 일치한다. 게이트 신호선(17a)을 비선택 상태로 하면, 트랜지스터(11a)가 오프로 되고, 트랜지스터(11b)는 전기적으로 소스 신호선(18)으로부터 분리된다. 그러나, 트랜지스터(11a)의 게이트 전위는 축적 용량(컨덴서)(19)에 의해서 안정적으로 유지된다. 트랜지스터(11a)를 통하여 EL 소자(15)에 흐르는 전류는, 트랜지스터(11a)의 게이트/소스 단자 사이 전압 Vgs에 따른 값이 되고, EL 소자(15)는 트랜지스터(11a)를 통하여 공급되는 전류량에 따른 휘도로 계속해서 발광한다.

액정 표시 패널은 자발광 디바이스가 아니기 때문에, 백라이트를 이용하지 않으면 화상을 표시할 수 없다고 하는 문제점이 있다. 백라이트를 구성하기 위해서는 소정의 두께가 필요하기 때문에, 표시 패널의 두께가 두꺼워진다고 하는 문제가 있었다. 또, 액정 표시 패널에 컬러 표시를 행하기 위해서는 컬러 필터를 사용할 필요가 있다. 그 때문에, 광 이용 효율이 낮다고 하는 문제점이 있었다. 또, 색 재현 범위가 좁다고 하는 문제점이 있었다.

유기 EL 표시 패널은 저온 폴리실리콘 트랜지스터 어레이를 이용하여 패널을 구성한다. 그러나, 유기 EL 소자는 전류에 의해 발광하기 때문에, 트랜지스터의 특성에 변동이 있으면, 표시 얼룩짐이 발생한다고 하는 과제가 있었다.

표시 얼룩짐은 화소를 전류 프로그램 방식의 구성을 채용함으로써 저감하는 것이 가능하다. 전류 프로그램을 실시하기 위해서는 전류 구동 방식의 드라이버 회로가 필요하다. 그러나, 전류 구동 방식의 드라이버 회로에도 전류 출력단을 구성하는 트랜지스터 소자에 변동이 발생한다. 그 때문에, 각 출력 단자로부터의 게조 출력 전류에 변동이 발생하여 양호한 화상 표시를 할 수 없다고 하는 과제가 있었다.

〈발명의 개시〉

본 목적을 달성하기 위해서 본 발명의 EL 표시 패널(EL 표시 장치)의 드라이버 회로는, 단위 전류를 출력하는 복수의 트랜지스터를 구비하고, 이 트랜지스터의 개수를 변화시킴으로써 출력 전류를 출력하는 것이다. 또한, 다단의 커런트 미러 회로로 구성된 것을 특징으로 한다. 신호의 교환이 전압 교환이 되는 트랜지스터군은 밀집되게 형성하고, 커런트 미러 회로군과의 신호의 교환은 전류 교환의 구성을 채용한다. 또한, 기준 전류는 복수의 트랜지스터로 행한다.

제1 본 발명은, 기준 전류를 발생하는 기준 전류 발생 수단과,

상기 기준 전류 발생 수단으로부터의 기준 전류가 입력되고, 또한 상기 기준 전류에 대응하는 제1 전류를, 복수의 제2 전류원에 출력하는 제1 전류원과,

상기 제1 전류원으로부터 출력되는 제1 전류가 입력되고, 또한 상기 제1 전류에 대응하는 제2 전류를, 복수의 제3 전류원에 출력하는 제2 전류원과,

상기 제2 전류원으로부터 출력되는 제2 전류가 입력되고, 또한 상기 제2 전류에 대응하는 제3 전류를 복수의 제4 전류원에 출력하는 제3 전류원을 갖고,

상기 제4 전류원은, 입력 화상 데이터에 대응한 개수의 단위 전류원이 선택되는 EL 표시 패널의 드라이버 회로이다.

제2 본 발명은, 2의 승수에 대응한 개수의 단위 트랜지스터를 갖는 복수의 전류 발생 회로와,

상기 각 전류 발생 회로에 접속된 스위치 회로와, 출력 단자에 접속된 내부 배선과,

입력 데이터에 따라 상기 스위치 회로를 온 오프시키는 제어 회로를 구비하고,

상기 스위치 회로의 일단은 상기 전류 발생 회로에 접속되고, 타단은 상기 내부 배선에 접속되어 있는 EL 표시 패널의 드라이버 회로이다.

제3 본 발명은, 상기 단위 트랜지스터의 채널 폭 W 는, $2\mu\text{m}$ 이상 $9\mu\text{m}$ 이하이고,

상기 단위 트랜지스터의 사이즈(WL)는, $4\text{평방}\mu\text{m}$ 이상인 제2 본 발명의 EL 표시 패널의 드라이버 회로이다.

제4 본 발명은, 상기 단위 트랜지스터의 채널 길이 L /채널 폭 W 는 2 이상이고,

사용하는 전원 전압이 2.5(V) 이상 9(V) 이하인 청구항 2에 기재된 EL 표시 패널의 드라이버 회로이다.

제5 본 발명은, 제1 단위 전류를 흘리는 복수개의 단위 트랜지스터로 이루어지는 제1 출력 전류 회로와,

제2 단위 전류를 흘리는 복수개의 단위 트랜지스터로 이루어지는 제2 출력 전류 회로와,

상기 제1 출력 전류 회로의 출력 전류와, 상기 제2 출력 전류 회로의 출력 전류를 가산하여, 출력하는 출력단을 구비하고,

상기 제1 단위 전류는, 상기 제2 단위 전류보다도 작고,

상기 제1 출력 전류 회로는, 계조에 따라 저 계조 영역과 고 계조 영역에서 동작하고,

상기 제2 출력 전류 회로는, 계조에 따라 고 계조 영역에서 동작하고, 상기 제2 출력 전류 회로가 동작할 때에, 상기 제1 출력 전류 회로는, 고 계조 영역에서는, 출력 전류값이 변화하지 않는 EL 표시 패널의 드라이버 회로이다.

제6 본 발명은, 출력 단자마다 복수의 단위 트랜지스터를 갖는 프로그램 전류 발생 회로와,

상기 단위 트랜지스터에 흐르는 전류를 규정하는 제1 기준 전류를 발생하는 제1 트랜지스터와,

상기 복수의 제1 트랜지스터의 게이트 단자에 접속된 게이트 배선과,

상기 게이트 배선에 게이트 단자가 접속되고, 또한 상기 제1 트랜지스터와 커런트 미러 회로를 형성하는 제2 및 제3 트랜지스터를 구비하고,

상기 제2 및 제3 트랜지스터에 제2 기준 전류가 공급되어 있는 EL 표시 패널의 드라이버 회로이다.

제7 본 발명은, 출력 단자마다 복수의 단위 트랜지스터를 갖는 프로그램 전류 발생 회로와,

상기 단위 트랜지스터와 커런트 미러 회로를 구성하는 복수의 제1 트랜지스터와,

제1 트랜지스터에 흐르는 기준 전류를 발생하는 제2 트랜지스터를 구비하고,

상기 제2 트랜지스터가 발생하는 기준 전류는, 상기 복수의 제1 트랜지스터에 분기되어 흐르는 제6 본 발명의 EL 표시 패널의 드라이버 회로이다.

제8 본 발명은, 드라이버 회로를 내포하는 드라이버 IC 칩 내의, 상기 제1 기준 전류 공급 배선이 배치되는 영역에서, 해당 영역에 배선되는 기준 전류 공급 배선군 중, 가장 외측에 배치되는 2개의 배선에 상기 제3 트랜지스터가 전기적으로 접속되어 있는 제6 또는 제7 본 발명의 EL 표시 패널의 드라이버 회로이다.

제9 본 발명은, 구동용 트랜지스터가 매트릭스 형상으로 배치되고, 상기 구동용 트랜지스터에 따라 EL 소자가 형성된 표시 영역을 갖는 제1 기판과,

상기 구동용 트랜지스터에 프로그램 전류 혹은 전압을 인가하는 소스 드라이버 IC와,

상기 소스 드라이버 IC 밑으로 위치하는 상기 제1 기판 위에 형성된 제1 배선과,

상기 제1 배선과 전기적으로 접속되고, 상기 소스 드라이버 IC와 상기 표시 영역 사이에 형성된 제2 배선과,

상기 제2 배선으로부터 분기되고, 상기 표시 영역의 화소에 애노드 전압을 공급하는 애노드 배선을 구비하는 EL 표시 장치이다.

제10 본 발명은, 제1 배선은, 차광 기능을 갖는 제9 본 발명의 EL 표시 장치이다.

제11 본 발명은, EL 소자를 갖는 화소가 매트릭스 형상으로 형성된 표시 영역과,

상기 EL 소자에 발광 전류를 공급하는 구동용 트랜지스터와,

상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,

상기 구동용 트랜지스터는, P 채널 트랜지스터이고,

상기 소스 드라이버 회로의 프로그램 전류를 발생하는 트랜지스터는 N 채널 트랜지스터인 EL 표시 장치이다.

제12 본 발명은, EL 소자와, 상기 EL 소자에 발광 전류를 공급하는 구동용 트랜지스터와, 상기 구동용 트랜지스터와 상기 EL 소자 사이의 경로를 형성하는 제1 스위칭 소자와, 상기 구동용 트랜지스터와 소스 신호선 사이의 경로를 형성하는 제2 스위칭 소자가 매트릭스 형상으로 형성된 표시 영역과,

상기 제1 스위칭 소자를 온 오프 제어하는 제1 게이트 드라이버 회로와,

상기 제2 스위칭 소자를 온 오프 제어하는 제2 게이트 드라이버 회로와,
 상기 트랜지스터 소자에 영상 신호를 인가하는 소스 드라이버 회로를 구비하고,
 상기 구동용 트랜지스터에 프로그램 전류를 공급하는 소스 드라이버 회로를 구비하고,
 상기 구동용 트랜지스터는, P 채널 트랜지스터이고,
 상기 소스 드라이버 회로의 프로그램 전류를 발생하는 트랜지스터는 N 채널 트랜지스터인 EL 표시 장치이다.

제13 본 발명은, EL 소자와,
 상기 EL 소자에 발광 전류를 공급하는 P 채널의 구동용 트랜지스터와,
 EL 소자와 상기 구동용 트랜지스터 사이에 형성된 스위칭 트랜지스터와,
 프로그램 전류를 공급하는 소스 드라이버 회로와,
 상기 스위칭 트랜지스터를 1 프레임 기간에 2수평 주사 기간 이상 오프 상태 로 제어하는 게이트 드라이버 회로를 구비하는 EL 표시 장치이다.

도면의 간단한 설명

도 1은 본 발명의 표시 패널의 화소 구성도.
 도 2는 본 발명의 표시 패널의 화소 구성도.
 도 3은 본 발명의 표시 패널의 동작의 설명도.
 도 4는 본 발명의 표시 패널의 동작의 설명도.
 도 5는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 6은 본 발명의 표시 장치의 구성도.
 도 7은 본 발명의 표시 패널의 제조 방법의 설명도.
 도 8은 본 발명의 표시 장치의 구성도.
 도 9는 본 발명의 표시 장치의 구성도.
 도 10은 본 발명의 표시 패널의 단면도.
 도 11은 본 발명의 표시 패널의 단면도.
 도 12는 본 발명의 표시 패널의 설명도.
 도 13은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 14는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 15는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 16은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 17은 본 발명의 표시 장치의 구동 방법의 설명도.

도 18은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 19는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 20은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 21은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 22는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 23은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 24는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 25는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 26은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 27은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 28은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 29는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 30은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 31은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 32는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 33은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 34는 본 발명의 표시 장치의 구성도.
 도 35는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 36은 본 발명의 표시 장치의 구동 방법의 설명도.
 도 37은 본 발명의 표시 장치의 구성도.
 도 38은 본 발명의 표시 패널의 화소 구성도.
 도 39는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 40은 본 발명의 표시 장치의 구성도.
 도 41은 본 발명의 표시 장치의 구성도.
 도 42는 본 발명의 표시 패널의 화소 구성도.
 도 43은 본 발명의 표시 패널의 화소 구성도.
 도 44는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 45는 본 발명의 표시 장치의 구동 방법의 설명도.
 도 46은 본 발명의 표시 장치의 구동 방법의 설명도.

- 도 47은 본 발명의 표시 패널의 화소 구성도.
- 도 48은 본 발명의 표시 장치의 구성도.
- 도 49는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 50은 본 발명의 표시 패널의 화소 구성도.
- 도 51은 본 발명의 표시 패널의 화소 도면.
- 도 52는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 53은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 54는 본 발명의 표시 패널의 화소 구성도.
- 도 55는 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 56은 본 발명의 표시 장치의 구동 방법의 설명도.
- 도 57은 본 발명의 휴대 전화의 설명도.
- 도 58은 본 발명의 뷰 파인더의 설명도.
- 도 59는 본 발명의 비디오 카메라의 설명도.
- 도 60은 본 발명의 디지털 카메라의 설명도.
- 도 61은 본 발명의 텔레비전(모니터)의 설명도.
- 도 62는 종래의 표시 패널의 화소 구성도.
- 도 63은 본 발명의 드라이버 회로의 기능 블록도.
- 도 64는 본 발명의 드라이버 회로의 설명도.
- 도 65는 본 발명의 드라이버 회로의 설명도.
- 도 66은 전압 교환 방식의 다단식 커런트 미러 회로의 설명도.
- 도 67은 전류 교환 방식의 다단식 커런트 미러 회로의 설명도.
- 도 68은 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도.
- 도 69는 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도.
- 도 70은 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도.
- 도 71은 본 발명의 다른 실시예에 있어서의 드라이버 회로의 설명도.
- 도 72는 종래의 드라이버 회로의 설명도.
- 도 73은 본 발명의 드라이버 회로의 설명도.
- 도 74는 본 발명의 드라이버 회로의 설명도.
- 도 75는 본 발명의 드라이버 회로의 설명도.

도 76은 본 발명의 드라이버 회로의 설명도.

도 77은 본 발명의 드라이버 회로의 제어 방법의 설명도.

도 78은 본 발명의 드라이버 회로의 설명도.

도 79는 본 발명의 드라이버 회로의 설명도.

도 80은 본 발명의 드라이버 회로의 설명도.

도 81은 본 발명의 드라이버 회로의 설명도.

도 82는 본 발명의 드라이버 회로의 설명도.

도 83은 본 발명의 드라이버 회로의 설명도.

도 84는 본 발명의 드라이버 회로의 설명도.

도 85는 본 발명의 드라이버 회로의 설명도.

도 86은 본 발명의 드라이버 회로의 설명도.

도 87은 본 발명의 드라이버 회로의 설명도.

도 88은 본 발명의 구동 방법의 설명도.

도 89는 본 발명의 드라이버 회로의 설명도.

도 90은 본 발명의 구동 방법의 설명도.

도 91은 본 발명의 EL 표시 장치의 구성도.

도 92는 본 발명의 EL 표시 장치의 구성도.

도 93은 본 발명의 드라이버 회로의 설명도.

도 94는 본 발명의 드라이버 회로의 설명도.

도 95는 본 발명의 EL 표시 장치의 구성도.

도 96은 본 발명의 EL 표시 장치의 구성도.

도 97은 본 발명의 EL 표시 장치의 구성도.

도 98은 본 발명의 EL 표시 장치의 구성도.

도 99는 본 발명의 EL 표시 장치의 구성도.

도 100은 본 발명의 EL 표시 장치의 단면도.

도 101은 본 발명의 EL 표시 장치의 단면도.

도 102는 본 발명의 EL 표시 장치의 구성도.

도 103은 본 발명의 EL 표시 장치의 구성도.

도 104는 본 발명의 EL 표시 장치의 구성도.

- 도 105는 본 발명의 EL 표시 장치의 구성도.
- 도 106은 본 발명의 EL 표시 장치의 구성도.
- 도 107은 본 발명의 EL 표시 장치의 구성도.
- 도 108은 본 발명의 EL 표시 장치의 구성도.
- 도 109는 본 발명의 EL 표시 장치의 구성도.
- 도 110은 본 발명의 소스 드라이버 IC의 설명도.
- 도 111은 본 발명의 게이트 드라이버 회로의 블록도.
- 도 112는 도 111의 게이트 드라이버 회로의 타이밍차트 도면.
- 도 113은 본 발명의 게이트 드라이버 회로의 1부의 블록도.
- 도 114는 도 113의 게이트 드라이버 회로의 타이밍차트도.
- 도 115는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- 도 116은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- 도 117은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- 도 118은 본 발명의 소스 드라이버 IC의 설명도.
- 도 119는 본 발명의 소스 드라이버 IC의 설명도.
- 도 120은 본 발명의 소스 드라이버 IC의 설명도.
- 도 121은 본 발명의 소스 드라이버 IC의 설명도.
- 도 122는 본 발명의 소스 드라이버 IC의 설명도.
- 도 123은 본 발명의 소스 드라이버 IC의 설명도.
- 도 124는 본 발명의 소스 드라이버 IC의 설명도.
- 도 125는 본 발명의 소스 드라이버 IC의 설명도.
- 도 126은 본 발명의 소스 드라이버 IC의 설명도.
- 도 127은 본 발명의 소스 드라이버 IC의 설명도.
- 도 128은 본 발명의 소스 드라이버 IC의 설명도.
- 도 129는 본 발명의 소스 드라이버 IC의 설명도.
- 도 130은 본 발명의 소스 드라이버 IC의 설명도.
- 도 131은 본 발명의 소스 드라이버 IC의 설명도.
- 도 132는 본 발명의 소스 드라이버 IC의 설명도.
- 도 133은 본 발명의 소스 드라이버 IC의 설명도.

도 134는 본 발명의 소스 드라이버 IC의 설명도.
 도 135는 본 발명의 소스 드라이버 IC의 설명도.
 도 136은 본 발명의 소스 드라이버 IC의 설명도.
 도 137은 본 발명의 소스 드라이버 IC의 설명도.
 도 138은 본 발명의 소스 드라이버 IC의 설명도.
 도 139는 본 발명의 소스 드라이버 IC의 설명도.
 도 140은 본 발명의 표시 패널의 설명도.
 도 141은 본 발명의 표시 패널의 설명도.
 도 142는 본 발명의 표시 패널의 설명도.
 도 143은 본 발명의 표시 패널의 설명도.
 도 144는 본 발명의 표시 패널의 화소 구성의 설명도.
 도 145는 본 발명의 표시 패널의 화소 구성의 설명도.
 도 146은 본 발명의 소스 드라이버 IC의 설명도.
 도 147은 본 발명의 소스 드라이버 IC의 설명도.
 도 148은 본 발명의 소스 드라이버 IC의 설명도.
 도 149는 본 발명의 소스 드라이버 IC의 설명도.
 도 150은 본 발명의 소스 드라이버 IC의 설명도.
 도 151은 본 발명의 소스 드라이버 IC의 설명도.
 도 152는 본 발명의 소스 드라이버 IC의 설명도.
 도 153은 본 발명의 소스 드라이버 IC의 설명도.
 도 154는 본 발명의 소스 드라이버 IC의 설명도.
 도 155는 본 발명의 소스 드라이버 IC의 설명도.
 도 156은 본 발명의 소스 드라이버 IC의 설명도.
 도 157은 본 발명의 소스 드라이버 IC의 설명도.
 도 158은 본 발명의 소스 드라이버 IC의 설명도.
 도 159는 본 발명의 소스 드라이버 IC의 설명도.
 도 150은 본 발명의 소스 드라이버 IC의 설명도.
 도 161은 본 발명의 소스 드라이버 IC의 설명도.
 도 162는 본 발명의 소스 드라이버 IC의 설명도.

도 163은 본 발명의 소스 드라이버 IC의 설명도.
 도 164는 본 발명의 소스 드라이버 IC의 설명도.
 도 165는 본 발명의 소스 드라이버 IC의 설명도.
 도 166은 본 발명의 소스 드라이버 IC의 설명도.
 도 167은 본 발명의 소스 드라이버 IC의 설명도.
 도 168은 본 발명의 소스 드라이버 IC의 설명도.
 도 169는 본 발명의 소스 드라이버 IC의 설명도.
 도 170은 본 발명의 소스 드라이버 IC의 설명도.
 도 171은 본 발명의 소스 드라이버 IC의 설명도.
 도 172는 본 발명의 소스 드라이버 IC의 설명도.
 도 173은 본 발명의 소스 드라이버 IC의 설명도.
 도 174는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 175는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 176은 본 발명의 EL 표시 장치의 구동 회로의 설명도.
 도 177은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 178은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 179는 본 발명의 EL 표시 장치의 구동 회로의 설명도.
 도 180은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 181은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 182는 본 발명의 EL 표시 장치의 설명도.
 도 183은 본 발명의 EL 표시 장치의 설명도.
 도 184는 본 발명의 EL 표시 장치의 설명도.
 도 185는 본 발명의 EL 표시 장치의 설명도.
 도 186은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 187은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 188은 본 발명의 EL 표시 장치의 구동 회로의 설명도.
 도 189는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 190은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 191은 본 발명의 EL 표시 장치의 구동 회로의 설명도.

도 192는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 193은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 194는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 195는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 196은 본 발명의 EL 표시 장치의 구동 회로의 설명도.
 도 197은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 198은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 199는 본 발명의 EL 표시 장치의 구동 회로의 설명도.
 도 200은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
 도 201은 본 발명의 EL 표시 장치의 설명도.
 도 202는 본 발명의 EL 표시 장치의 설명도.
 도 203은 본 발명의 EL 표시 장치의 설명도.
 도 204는 본 발명의 EL 표시 장치의 설명도.
 도 205는 본 발명의 EL 표시 장치의 설명도.
 도 206은 본 발명의 EL 표시 장치의 설명도.
 도 207은 본 발명의 EL 표시 장치의 설명도.
 도 208은 본 발명의 EL 표시 장치의 설명도.
 도 209는 본 발명의 EL 표시 장치의 설명도.
 도 210은 본 발명의 EL 표시 장치의 설명도.
 도 211은 본 발명의 소스 드라이버 IC의 설명도.
 도 212는 본 발명의 소스 드라이버 IC의 설명도.
 도 213은 본 발명의 소스 드라이버 IC의 설명도.
 도 214는 본 발명의 소스 드라이버 IC의 설명도.
 도 215는 본 발명의 소스 드라이버 IC의 설명도.
 도 216은 본 발명의 소스 드라이버 IC의 설명도.
 도 217은 본 발명의 소스 드라이버 IC의 설명도.
 도 218은 본 발명의 소스 드라이버 IC의 설명도.
 도 219는 본 발명의 소스 드라이버 IC의 설명도.
 도 220은 본 발명의 소스 드라이버 IC의 설명도.

도 221은 본 발명의 표시 장치의 설명도.

도 222는 본 발명의 표시 장치의 설명도.

도 223은 본 발명의 소스 드라이버 IC의 설명도.

도 224는 본 발명의 소스 드라이버 IC의 설명도.

도 225는 본 발명의 소스 드라이버 IC의 설명도.

도 226은 본 발명의 소스 드라이버 IC의 설명도.

도 227은 본 발명의 표시 장치의 설명도.

도 228은 본 발명의 표시 장치의 설명도.

(부호의 설명)

11 : 트랜지스터(박막 트랜지스터)

12 : 게이트 드라이버 IC(회로)

14 : 소스 드라이버 IC(회로)

15 : EL(소자)(발광 소자)

16 : 화소

17 : 게이트 신호선

18 : 소스 신호선

19 : 축적 용량(부가 커패시터, 부가 용량)

50 : 표시 화면

51 : 기입 화소(행)

52 : 비표시 화소(비표시 영역, 비점등 영역)

53 : 표시 화소(표시 영역, 점등 영역)

61 : 시프트 레지스터

62 : 인버터

63 : 출력 버퍼

71 : 어레이 기판(표시 패널)

72 : 레이저 조사 범위(레이저 스폿)

73 : 위치 결정 마커

74 : 유리 기판(어레이 기판)

81 : 컨트롤 IC(회로)

82 : 전원 IC(회로)

83 : 프린트 기판

84 : 플렉시블 기판

85 : 밀봉 뚜껑

86 : 캐소드 배선

87 : 애노드 배선(Vdd)

88 : 데이터 신호선

89 : 게이트 제어 신호선

101 : 독(리브)

102 : 층간 절연막

104 : 콘택트 접속부

105 : 화소 전극

106 : 캐소드 전극

107 : 건조제

108 : $\lambda/4$ 판

109 : 편광판

111 : 박막 밀봉막

281 : 더미 화소(행)

341 : 출력단 회로

371 : OR 회로

401 : 점등 제어선

471 : 역 바이어스선

472 : 게이트 전위 제어선

561 : 전자 볼륨 회로

562 : 트랜지스터의 SD(소스-드레인) 쇼트

571 : 안테나

572 : 키

573 : 케이싱

574 : 표시 패널

581 : 접안 링

582 : 확대 렌즈

583 : 볼록 렌즈

591 : 지점(회전부)

592 : 촬영 렌즈

593 : 저장부

594 : 스위치

601 : 본체

602 : 촬영부

603 : 셔터 스위치

611 : 외부 프레임

612 : 다리

613 : 다리 부착부

614 : 고정부

631 : 전류원

632 : 전류원

633 : 전류원

641 : 스위치(온 오프 수단)

634 : 전류원(1 : 단위)

643 : 내부 배선

651 : 볼륨(전류 조정 수단)

681 : 트랜지스터군

691 : 저항(전류 제한 수단, 소정 전압 발생 수단)

692 : 디코더 회로

693 : 레벨 시프터 회로

701 : 카운터(계수 수단)

702 : NOR

703 : AND

704 : 전류 출력 회로

711 : 인상 회로

721 : D/A 변환기

722 : 연산 증폭기

731 : 아날로그 스위치(온 오프 수단)

732 : 인버터

761 : 출력 패드(출력 신호 단자)

771 : 기준 전류원

772 : 전류 제어 회로

781 : 온도 검출 회로

782 : 온도 제어 회로

931 : 캐스케이드 전류 접속선

932 : 기준 전류 신호선

941i : 전류 입력 단자

941o : 전류 출력 단자

951 : 베이스 애노드선(애노드 전압선)

952 : 애노드 배선

953 : 접속 단자

961 : 접속 애노드선

962 : 공통 애노드선

971 : 콘택트홀

991 : 베이스 캐소드선

992 : 입력 신호선

1001 : 접속 수지(도전성 수지, 이방향성 도전 수지)

1011 : 광 흡수막

1012 : 수지 비즈

1013 : 밀봉 수지

1021 : 회로 형성부

1051 : 게이트 전압선

1091 : 전원 회로(IC)

1092 : 전원 IC 제어 신호

1093 : 게이트 드라이버 회로 제어 신호

1111 : 단위 게이트 출력 회로

1241 : 조정용 트랜지스터

1251 : 컷트 개소

1252 : 공통 단자

1341 : 더미 트랜지스터

1351 : 트랜지스터(1 : 단위 트랜지스터)

1352 : 서브 트랜지스터

1401 : 전환 회로(아날로그 스위치)

1491 : 플래시 메모리(설정치 기억 수단)

1501 : 레이저 장치

1502 : 레이저 광

1503 : 저항 어레이(조정용 저항)

1521 : 스위치(온 오프 수단)

1531 : 정상 트랜지스터

1541 : NAND 회로

1601 : 컨덴서

1611 : 슬립 스위치(온 오프 제어 수단, 기준 전류 온 오프 수단)

1671 : 보호 다이오드

1731 : 일치 회로(계조 검출 회로)

1741 : 출력 전환 회로

1742 : 전환 스위치

1821 : 애노드 접속 단자

2011 : 코일(트랜스포머)

2012 : 제어 회로

2013 : 다이오드

2014 : 컨덴서

2021 : 스위치

2022 : 온도 센서

2041 : 레벨 시프터 회로

2042 : 게이트 드라이버 제어 신호

2061 : 접착층(접속층, 열전도층, 밀착층)

2062 : 샤시(금속 샤시)

2063 : 요철

2071 : 구멍

2211 : 제어 전극

2212 : 영상 신호 회로

2213 : 전자 방출 돌기

2214 : 유지 회로

2215 : 온 오프 제어 회로

2221 : 선택 신호선

2222 : 온 오프 신호선

2281 : 밀봉 수지

〈발명을 실시하기 위한 최량의 형태〉

본 명세서에 있어서 각 도면은 이해를 용이하게 또는/및 작도를 쉽게 하기 위해서, 생략 또는/및 확대 축소한 개소가 있다. 예를 들면, 도 11에 도시하는 표시 패널의 단면도에서는 박막 밀봉막(111) 등을 충분히 두껍게 도시하고 있다. 한편, 도 10에 있어서, 밀봉 뚜껑(85)은 얇게 도시하고 있다. 또, 생략한 개소도 있다. 예를 들면, 본 발명의 표시 패널 등에서는, 반사 방지를 위해서 원편광판 등의 위상 필름이 필요하다. 그러나, 본 명세서의 각 도면에서는 생략하였다. 이상의 것은 이하의 도면에 대하여도 마찬가지이다. 또한, 동일 번호 또는 기호 등을 붙인 개소는 동일 혹은 유사한 형태 혹은 재료 혹은 기능 혹은 동작을 갖는다.

또, 각 도면 등에서 설명한 내용은 특별히 예고가 없더라도 다른 실시예 등과 조합할 수 있다. 예를 들면, 도 8의 표시 패널에 터치 패널 등을 부가하여, 도 19, 도 59 내지 도 61에 도시하는 정보 표시 장치로 할 수 있다. 또한, 확대 렌즈(582)를 부착하여, 비디오 카메라(도 59 등 참조) 등에 이용하는 뷰 파인더(도 58을 참조)를 구성할 수도 있다. 또한, 도 4, 도 15, 도 18, 도 21, 도 23 등에서 설명한 본 발명의 구동 방법은, 어느 하나의 본 발명의 표시 장치 또는 표시 패널에 적용할 수 있다.

또, 본 명세서에서는 구동용 트랜지스터(11), 스위칭용 트랜지스터(11)는 박막 트랜지스터로서 설명하지만, 이것에 한정되는 것이 아니다. 박막 다이오드(TFD), 링 다이오드 등으로도 구성할 수 있다. 또, 박막 소자에 한정되는 것이 아니며, 실리콘 웨이퍼에 형성한 트랜지스터여도 된다. 어레이 기판(71)을 실리콘 웨이퍼로 형성하면 된다. 물론, FET, MOS-FET, MOS 트랜지스터, 바이폴라 트랜지스터이더라도 무방하다. 이들도 기본적으로 박막 트랜지스터이다. 그 밖에, 바리스터, 사이리스터, 링 다이오드, 포토 다이오드, 포토 트랜지스터, PLZT 소자 등이어도 됨은 물론이다. 즉, 본 발명의 트랜지스터 소자(11), 게이트 드라이버 회로(12), 소스 드라이버 회로(14) 등은 이들 어느 것이라도 사용할 수 있다.

이하, 본 발명의 EL 패널에 대하여 도면을 참조하면서 설명을 한다. 유기 EL 표시 패널은, 도 10에 도시한 바와 같이, 화소 전극으로서의 투명 전극(105)이 형성된 유리판(71)(어레이 기판)상에, 전자 수송층, 발광층, 정공 수송층 등으로 이루어지는 적어도 1층의 유기 기능층(EL 층)(15), 및 금속 전극(반사막)(캐소드)(106)이 적층된 것이다. 투명 전극(화소 전극)(105)인 양극(애노드)에 플러스, 금속 전극(반사 전극)(106)의 음극(캐소드)에 마이너스의 전압을 가하고, 즉, 투명 전극(105) 및 금속 전극(106) 사이에 직류를 인가하는 것에 의해, 유기 기능층(EL 층)(15)이 발광한다.

금속 전극(106)에는 리튬, 은, 알루미늄, 마그네슘, 인듐, 구리 또는 각각의 합금 등의 일 함수가 작은 것을 이용하는 것이 바람직하다. 특히, 예를 들면 Al-Li 합금을 이용하는 것이 바람직하다. 또한, 투명 전극(105)에는 ITO 등의 일 함수가 큰 도전성 재료 또는 금 등을 이용할 수 있다. 또, 금을 전극 재료로서 이용한 경우, 전극은 반투명한 상태로 된다. 또, ITO는 IZO 등의 다른 재료이어도 무방하다. 이 사항은 다른 화소 전극(105)에 대하여도 마찬가지이다.

또, 밀봉 뚜껑(85)과 어레이 기판(71)의 공간에는 건조제(107)를 배치한다. 이것은 유기 EL막(15)은 습도에 약하기 때문이다. 건조제(107)에 의해 시일제를 침투하는 수분을 흡수하여 유기 EL막(15)의 열화를 방지한다.

도 10은 유리의 밀봉 뚜껑(85)을 이용하여 밀봉하는 구성이지만, 도 11과 같이 필름(박막이어도 됨. 즉, 박막 밀봉막임)(111)을 이용한 밀봉이어도 된다. 예를 들면, 밀봉 필름(박막 밀봉막)(111)으로서는 전해 컨덴서의 필름에 DLC(다이아몬드형 카본)를 증착한 것을 이용하는 것이 예시된다. 이 필름은 수분 침투성이 매우 나쁘다(방습 성능이 높음). 이 필름을 박막 밀봉막(111)으로 이용하여 한다. 또한, DLC(다이아몬드형 카본)막 등을 금속 전극(106)의 표면에 직접 증착하는 구성도 되는 것은 물론이다. 기타, 수지 박막과 금속 박막을 다층으로 적층하여 박막 밀봉막을 구성해도 된다.

박막의 막 두께는 $n \cdot d$ (n 은 박막의 굴절율, 복수의 박막이 적층되어 있는 경우에는 이들 굴절율을 통합(각 박막의 $n \cdot d$ 를 계산)하여 계산함. d 는 박막의 막 두께, 복수의 박막이 적층되어 있는 경우에는 이들 굴절율을 통합하여 계산함)가, EL 소자(15)의 발광 주파장 λ 이하로 되도록 하면 된다. 이 조건을 만족시킴으로써, EL 소자(15)로부터의 광 추출 효율이, 유리 기판으로 밀봉한 경우에 비하여 2배 이상으로 된다. 또한, 알루미늄과 은의 합금 혹은 혼합물 혹은 적층물을 형성해도 된다.

이상과 같이 밀봉 뚜껑(85)을 이용하지 않고, 박막 밀봉막(111)으로 밀봉하는 구성을 박막 밀봉이라고 부른다. 어레이 기판(71)측에서 빛을 추출하는 「하부 추출(도 10을 참조, 광 추출 방향은 도 10의 화살표 방향임)」인 경우의 박막 밀봉은, EL막을 형성 후, EL막 상에 캐소드가 되는 알루미늄 전극을 형성한다. 다음에 이 알루미늄막 상에 완충층으로서의 수지층을 형성한다. 완충층으로서의 아크릴, 에폭시 등의 유기 재료가 예시된다. 또한, 막 두께는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하의 두께가 적합하다. 더욱 바람직하게는, 막 두께는 $2\mu\text{m}$ 이상 $6\mu\text{m}$ 이하의 두께가 적합하다. 이 완충막 상의 밀봉막(74)을 형성한다. 완충막이 없으면, 응력에 의해 EL막의 구조가 무너져, 줄기 형상으로 결함이 발생한다. 박막 밀봉막(111)은 상술한 바와 같이, DLC(다이아몬드형 카본), 혹은 전해 컨덴서의 층 구조(유전체 박막과 알루미늄 박막을 교대로 다층 증착한 구조)가 예시된다.

EL층(15)측에서 빛을 추출하는 「상부 추출 도 11을 참조, 광 추출 방향은 도 11의 화살표 방향이다」인 경우의 박막 밀봉은, EL막(15)을 형성 후, EL막(15)상에 캐소드(애노드)가 되는 Ag-Mg막을 20옹스트롬 이상 300옹스트롬의 막 두께로 형성한다. 그 위에, ITO 등의 투명 전극을 형성하여 저 저항화한다. 다음에 이 전극막 상에 완충층으로서의 수지층을 형성한다. 이 완충막 상에 박막 밀봉막(111)을 형성한다.

유기 EL층(15)으로부터 발생한 빛의 반은 금속 전극(106)에 의해 반사되어, 어레이 기판(71)을 투과하여 출사된다. 그러나, 금속 전극(106)은 외광을 반사하여 찍혀 들어가는 것이 발생하여 표시 콘트라스트를 저하시킨다. 이 대책을 위해서, 어레이 기판(71)에 $\lambda/4$ 위상판(108) 및 편광판(편광 필름)(109)을 배치하고 있다. 이들은 일반적으로 원편광판(원편광 시트)이라고 불린다.

또, 화소가 반사 전극인 경우에는 EL층(15)으로부터 발생한 빛은 위 쪽으로 출사된다. 따라서, 위상판(108) 및 편광판(109)을 광 출사측에 배치하는 것은 물론이다. 또, 반사형 화소는 화소 전극(105)을, 알루미늄, 크롬, 은 등으로 구성하여 얻어진다. 또한, 화소 전극(105)의 표면에 불록부(혹은 요철부)를 마련함으로써 유기 EL층(15)과의 계면이 넓어지고 발광 면적이 커지며, 또한 발광 효율이 향상된다. 또, 캐소드(106)(애노드(105))가 되는 반사막을 투명 전극에 형성하거나, 혹은 반사율을 30% 이하로 저감 가능한 경우에는, 원편광판은 불필요하다. 찍혀 들어가는 것이 대폭 감소하기 때문이다. 또한, 빛의 간섭도 저감되어 바람직하다.

트랜지스터(11)는 LDD(로우 도핑 드레인) 구조를 채용하는 것이 바람직하다. 또한, 본 명세서에서는 EL 소자로서 유기 EL 소자(OEL, PEL, PLED, OLED 등 다종다양한 약칭으로 기술됨)(15)를 예로 들어 설명하지만 이것에 한정되는 것이 아니고, 무기 EL 소자에도 적용되는 것은 물론이다.

우선, 유기 EL 표시 패널에 이용되는 액티브 매트릭스 방식은, 특정 화소를 선택하여 필요한 표시 정보를 공급받는다는 것, 1 프레임 기간을 통하여 EL 소자에 전류를 흘려보낼 수 있다는 것의 2가지 조건을 만족시켜야 한다.

이 2가지 조건을 만족시키기 위해서, 도 62에 도시하는 종래의 유기 EL의 화소 구성에서는, 제1 트랜지스터(11b)는 화소를 선택하기 위한 스위칭용 트랜지스터, 제2 트랜지스터(11a)는 EL 소자(EL막)(15)에 전류를 공급하기 위한 구동용 트랜지스터로 한다.

이 구성을 이용하여 계조를 표시시키는 경우, 구동용 트랜지스터(11a)의 게이트 전압으로서 계조에 따른 전압을 인가할 필요가 있다. 따라서, 구동용 트랜지스터(11a)의 온 전류의 변동이 그대로 표시로 나타난다.

트랜지스터의 온 전류는 단결정으로 형성된 트랜지스터이면, 매우 균일하지만, 염가의 유리 기판에 형성할 수 있는 형성 온도가 450도 이하의 저온 폴리실리콘 기술로 형성한 저온 다결정 트랜지스터에서는, 그 임계값의 변동이 $\pm 0.2V \sim 0.5V$ 의 범위에서 변동이 있다. 그 때문에, 구동용 트랜지스터(11a)를 흐르는 온 전류가 이에 따라 변동하여, 표시에 얼룩짐이 발생한다. 이들 얼룩짐은 임계값 전압의 변동뿐만 아니라, 트랜지스터의 이동도, 게이트 절연막의 두께 등에서도 발생한다. 또한, 트랜지스터(11)의 열화에 의해서도 특성은 변화한다.

이 현상은 저온 폴리실리콘 기술에 한정되는 것이 아니며, 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술에서도, 고상(CGS) 성장시킨 반도체막을 이용하여 트랜지스터 등을 형성한 것에서도 발생한다. 그 밖에, 유기 트랜지스터에서도 발생한다. 비정질 실리콘 트랜지스터에서도 발생한다.

이하에 설명하는 본 발명은 이들 기술에 대응하여 대책할 수 있는 구성 혹은 방식이다. 또, 본 명세서에서는 저온 폴리실리콘 기술로 형성한 트랜지스터를 주로 설명한다.

따라서, 도 62와 같이, 전압을 기입함으로써 계조를 표시시키는 방법에서는, 균일한 표시를 얻기 위해서, 디바이스의 특성을 엄밀하게 제어할 필요가 있다. 그러나, 현상의 저온 다결정 폴리실리콘 트랜지스터 등에서는 이 변동을 소정 범위 이내로 억제한다고 하는 스펙을 만족시킬 수 없다.

본 발명의 EL 표시 장치의 화소 구조는, 구체적으로는 도 1에 도시한 바와 같이 단위 화소가 최저 4개로 이루어지는 복수의 트랜지스터(11) 및 EL 소자에 의해 형성된다. 화소 전극은 소스 신호선과 중첩되도록 구성한다. 즉, 소스 신호선(18)상에 절연막 혹은 아크릴 재료로 이루어지는 평탄화막을 형성하여 절연하고, 이 절연막 위에 화소 전극(105)을 형성한다. 이와 같이 소스 신호선(18) 상의 적어도 1부에 화소 전극을 중첩하는 구성을 하이 어퍼처(HA) 구조라고 부른다. 불필요한 간섭광 등이 저감하여 양호한 발광 상태를 기대할 수 있다.

게이트 신호선(제1 주사선)(17a)을 액티브(ON 전압을 인가)로 함으로써 EL 소자(15)의 구동용 트랜지스터(11a) 및 스위치용 트랜지스터(11c)를 통해서, 상기 EL 소자(15)에 흘러야 할 전류값을 소스 드라이버 회로(14)로부터 흘러보낸다. 또한, 트랜지스터(11a)의 게이트와 드레인 사이를 단락하도록 트랜지스터(11b)가 게이트 신호선(17a)을 액티브(ON 전압을 인가)로 하는 것에 의해 개방됨과 함께, 트랜지스터(11a)의 게이트와 소스 사이에 접속된 커패시터, 축적 용량, 부가 용량(19)에 트랜지스터(11a)의 게이트 전압(혹은 드레인 전압)을 기억한다(도 3의 (a)를 참조).

또, 커패시터(축적 용량)(19)의 크기는 $0.2pF$ 이상 $2pF$ 이하로 하는 것이 좋고, 그 중에서도 커패시터(축적 용량)(19)의 크기는 $0.4pF$ 이상 $1.2pF$ 이하로 하는 것이 좋다. 화소 사이즈를 고려하여 커패시터(19)의 용량을 결정한다. 1 화소에 필요한 용량을 $Cs(pF)$ 로 하고, 1 화소가 차지하는 면적(개구율이 아님)을 $Sp(\text{평방}\mu m)$ 로 하면, $500/S \leq Cs \leq 20000/S$ 로 되고, 더욱 바람직하게는, $1000/Sp \leq Cs \leq 10000/Sp$ 로 되도록 한다. 또, 트랜지스터의 게이트 용량은 작기 때문에, 여기서 말하는 Q란, 축적 용량(커패시터)(19) 단독의 용량이다.

게이트 신호선(17a)을 비 액티브(OFF 전압을 인가), 게이트 신호선(17b)을 액티브로 하여, 전류가 흐르는 경로를 상기 제1 트랜지스터(11a) 및 EL 소자(15)에 접속된 트랜지스터(11d) 및 상기 EL 소자(15)를 포함하는 경로로 전환하여, 기억한 전류를 상기 EL 소자(15)에 흘리도록 동작한다(도 3의 (b)를 참조).

이 회로는 1 화소 내에 4개의 트랜지스터(11)를 갖고 있고, 트랜지스터(11a)의 게이트는 트랜지스터(11b)의 소스에 접속되어 있다. 또한, 트랜지스터(11b) 및 트랜지스터(11c)의 게이트는 게이트 신호선(17a)에 접속되어 있다. 트랜지스터(11b)의 드레인은 트랜지스터(11c)의 소스 및 트랜지스터(11d)의 소스에 접속되고, 트랜지스터(11c)의 드레인은 소스 신호선(18)에 접속되어 있다. 트랜지스터(11d)의 게이트는 게이트 신호선(17b)에 접속되고, 트랜지스터(11d)의 드레인은 EL 소자(15)의 애노드 전극에 접속되어 있다.

또, 도 1에서는 모든 트랜지스터는 P 채널로 구성하고 있다. P 채널은 다소 N채널의 트랜지스터에 비하여 모빌리티가 낮지만, 내압이 크고 또 열화도 발생하기 어렵기 때문에 바람직하다. 그러나, 본 발명은 EL 소자 구성을 P 채널로 구성하는 것에만 한정되는 것이 아니다. N채널로만 구성해도 된다. 또, N채널과 P 채널의 양방을 이용하여 구성해도 된다.

최적으로는 화소를 구성하는 트랜지스터(11)를 전부 P 채널로 형성하고, 내장 게이트 드라이버 회로(12)도 P 채널로 형성하는 것이 바람직하다. 이와 같이 어레이를 P 채널만의 트랜지스터로 형성함으로써, 마스크 매수가 5매로 되어, 저 비용화, 고 수율화를 실현할 수 있다.

이하, 본 발명의 이해를 더욱 쉽게 하기 위해서, 본 발명의 EL 소자 구성에 대하여 도 3을 이용하여 설명한다. 본 발명의 EL 소자 구성은 2개의 타이밍에 의해 제어된다. 제1 타이밍은 필요한 전류값을 기억시키는 타이밍이다. 이 타이밍에서 트랜지스터(11b) 및 트랜지스터(11c)가 ON함으로써, 등가 회로로서 도 3의 (a)로 된다. 여기서, 신호선으로부터 소정의 전류 I_w 가 기입된다. 이에 의해 트랜지스터(11a)는 게이트와 드레인이 접속된 상태로 되고, 이 트랜지스터(11a)와 트랜지스터(11c)를 통하여 전류 I_w 가 흐른다. 따라서, 트랜지스터(11a)의 게이트-소스의 전압은 I_1 이 흐르는 전압으로 된다.

제2 타이밍은 트랜지스터(11a)와 트랜지스터(11c)가 폐쇄되고, 트랜지스터(11d)가 개방되는 타이밍이며, 이 때의 등가 회로는 도 3의 (b)로 된다. 트랜지스터(11a)의 소스-게이트 사이의 전압은 유지된 그대로가 된다. 이 경우, 트랜지스터(11a)는 상시 포화 영역에서 동작하기 때문에, I_w 의 전류는 일정해진다.

이와 같이 동작시키면, 도 5에 도시하는 바와 같이 된다. 즉, 도 5의 (a)의 51a는 표시 화면(50)에서의, 임의의 시각에서의 전류 프로그래밍되어 있는 화소(행)(기입 화소행)를 나타내고 있다. 이 화소(행)(51a)는, 도 5의 (b)에 도시하는 바와 같이 비점등(비표시 화소(행))으로 한다. 다른, 화소(행)는 표시 화소(행)(53)로 한다(비화소(53)의 EL 소자(15)에는 전류가 흘러, EL 소자(15)가 발광하고 있음).

도 1의 화소 구성의 경우, 도 3의 (a)에 도시한 바와 같이, 전류 프로그램 시는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)를 흐르고, I_w 를 흐르는 전류가 유지되는 바와 같이, 콘덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘려보내는 기간에는 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프 상태로 되고, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되어, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되어, 트랜지스터(11d)가 온된다.

이 타이밍차트를 도 4에 도시한다. 또, 도 4 등에 있어서, 괄호 내의 첨자(예를 들면, (1) 등)는 화소 행의 번호를 나타내고 있다. 즉, 게이트 신호선(17a)(1)이란, 화소 행(1)의 게이트 신호선(17a)을 나타내고 있다. 또한, 도 4의 상단의 *H(「*」)에는 임의의 기호, 수치가 적합하며, 수평 주사선의 번호를 나타냄)란, 수평 주사 기간을 나타내고 있다. 즉, 1H란 제1번째의 수평 주사 기간이다. 또, 이상의 사항은 설명을 쉽게 하기 위한 것으로, 한정(1H의 번호, 1H 주기, 화소 행 번호의 순서 등)되는 것은 아니다.

도 4에서 알 수 있듯이, 각 선택된 화소 행(선택 기간은 1H로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압이 인가되고 있을 때에는, 게이트 신호선(17b)에는 오프 전압이 인가된다. 또한, 이 기간에는 EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 선택되어 있지 않은 화소 행에 있어서, 게이트 신호선(17a)에는 오프 전압이 인가되고, 게이트 신호선(17b)에는 온 전압이 인가되어 있다. 또한, 이 기간에는 EL 소자(15)에 전류가 흐르고 있다(점등 상태).

또, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트는 동일한 게이트 신호선(11a)에 접속된다. 그러나, 트랜지스터(11a)의 게이트와 트랜지스터(11c)의 게이트를 서로 다른 게이트 신호선(11)에 접속해도 된다(도 32를 참조). 1 화소의 게이트 신호선은 3개로 된다(도 1의 구성은 2개임). 트랜지스터(11b)의 게이트의 ON/OFF 타이밍과 트랜지스터(11c)의 게이트의 ON/OFF 타이밍을 개별로 제어함으로써, 트랜지스터(11a)의 변동에 따른 EL 소자(15)의 전류값 변동을 더욱 저감할 수 있다.

게이트 신호선(17a)과 게이트 신호선(17b)을 공통으로 하고, 트랜지스터(11c와 11d)가 서로 다른 도전형(N 채널과 P 채널)으로 하면, 구동 회로의 간략화, 및 화소의 개구율을 향상시킬 수 있다.

이와 같이 구성하면 본 발명의 동작 타이밍으로서는 신호선에서의 기입 경로가 오프로 된다. 즉 소정의 전류가 기억될 때에, 전류가 흐르는 경로에 분기가 있으면 정확한 전류값이 트랜지스터(11a)의 소스(S)-게이트(G)간 용량(컨덴서)에 기억되지 않는다. 트랜지스터(11c)와 트랜지스터(11d)를 서로 다른 도전형으로 하는 것에 의해, 서로의 임계값을 제어함으로써 주사선의 전환 타이밍에서 반드시 트랜지스터(11c)가 오프로 된 후에, 트랜지스터(11d)가 온되는 것이 가능해진다.

단, 이 경우 서로의 임계값을 정확하게 컨트롤할 필요가 있으므로 프로세스의 주의가 필요하다. 또, 이상 진술한 회로는 최저 4개의 트랜지스터로 실현 가능하지만, 보다 정확한 타이밍의 컨트롤 혹은 후술하는 바와 같이, 미러 효과 저감을 위해 트랜지스터(11e)를 도 2에 도시한 바와 같이, 캐스캐이드 접속하여 트랜지스터의 총수가 4 이상으로 되더라도 동작 원리는 동일하다. 이와 같이 트랜지스터(11e)를 부가한 구성으로 함으로써, 트랜지스터(11c)를 통해 프로그래밍된 전류를 보다 정밀도 있게 EL 소자(15)에 흘려보낼 수 있게 된다.

또, 본 발명의 화소 구성은 도 1, 도 2의 구성에 한정되는 것이 아니다. 예를 들면, 도 140과 같이 구성해도 된다. 도 140은 도 1의 구성에 비하여 트랜지스터(11d)가 없다. 대신에 전환 스위치(1401)가 형성 또는 배치되어 있다. 도 1의

스위치(11d)는 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류를 온 오프(홀린다, 흘리지 않는다) 제어하는 기능을 갖는다. 이후의 실시예에서도 설명을 하지만, 본 발명은 이 트랜지스터(11d)의 온 오프 제어 기능이 중요한 구성 요소이다. 트랜지스터(11d)를 형성하지 않고 온 오프 기능을 실현하는 것이, 도 140의 구성이다.

도 140에 있어서, 전환 스위치(1401)의 a 단자는 애노드 전압 Vdd에 접속되어 있다. 또, a 단자에 인가하는 전압은 애노드 전압 Vdd에 한정되는 것이 아니며, EL 소자(15)에 흐르는 전류를 오프할 수 있는 전압이면 어느 것이라도 무방하다.

전환 스위치(1401)의 b 단자는 캐소드 전압(도 140에서는 접지로 도시함)에 접속되어 있다. 또, b 단자에 인가하는 전압은 캐소드 전압에 한정되는 것이 아니며, EL 소자(15)에 흐르는 전류를 온할 수 있는 전압이면 어느 것이어도 된다.

전환 스위치(1401)의 c 단자에는 EL 소자(15)의 캐소드 단자가 접속되어 있다. 또, 전환 스위치(1401)는 EL 소자(15)에 흐르는 전류를 온 오프시키는 기능을 갖는 것이면 어느 것이라도 무방하다. 따라서, 도 140의 형성 위치에 한정되는 것이 아니며, EL 소자(15)의 전류가 흐르는 경로이면 어느 것이라도 좋다. 또한, 스위치의 기능이 한정되는 것도 아니고, EL 소자(15)에 흐르는 전류를 온 오프할 수 있으면 어느 것이라도 무방하다. 즉, 본 발명에서는 EL 소자(15)의 전류 경로에 EL 소자(15)에 흘리는 전류를 온 오프할 수 있는 스위칭 수단을 구비하면 어느 화소 구성이어도 된다.

또한, 오프란 완전히 전류가 흐르지 않는 상태를 의미하는 것이 아니다. EL 소자(15)에 흐르는 전류를 통상보다도 저감 가능한 것이면 된다. 이상의 사항은 본 발명의 다른 구성에 있어서도 마찬가지이다.

전환 스위치(1401)는 P 채널과 N채널의 트랜지스터를 조합하여 용이하게 실현할 수 있기 때문에 설명이 필요 없을 것이다. 예를 들면, 아날로그 스위치를 2 회로 형성하면 된다. 물론, 전환 스위치(1401)는 EL 소자(15)에 흐르는 전류를 온 오프 상태로 할 뿐이므로, P 채널 트랜지스터 혹은 N채널 트랜지스터로도 형성할 수 있다는 것은 물론이다.

전환 스위치(1401)가 a 단자에 접속되어 있을 때는, EL 소자(15)의 캐소드 단자에 Vdd 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G가 어떠한 전압 유지 상태이더라도 EL 소자(15)에는 전류가 흐르지 않는다. 따라서, EL 소자(15)는 비점등 상태로 된다.

전환 스위치(1401)가 b 단자에 접속되어 있을 때에는, EL 소자(15)의 캐소드 단자에 GND 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트 단자 G에 유지된 전압 상태에 따라 EL 소자(15)에 전류가 흐른다. 따라서, EL 소자(15)는 점등 상태로 된다.

이상으로부터 도 140의 화소 구성에서는, 구동용 트랜지스터(11a)와 EL 소자(15) 사이에는 스위칭용 트랜지스터(11d)가 형성되어 있지 않다. 그러나, 전환 스위치(1401)를 제어함으로써 EL 소자(15)의 점등 제어를 행할 수 있다.

도 1, 도 2 등의 화소 구성에서는, 구동용 트랜지스터(11a)는 1 화소에 대하여 하나이다. 본 발명은 이것에 한정되는 것이 아니고, 구동용 트랜지스터(11a)는 1 화소에 복수 개를 형성 또는 배치해도 된다. 도 144는 그 실시예이다. 도 144에서는 1 화소에 2개의 구동용 트랜지스터(11a1, 11a2)가 형성되고, 2개의 구동용 트랜지스터(11a1, 11a2)의 게이트 단자는 공통의 컨덴서(19)에 접속되어 있다. 구동용 트랜지스터(11a)를 복수개 형성함으로써, 프로그램되는 전류 변동이 저감한다고 하는 효과가 있다. 다른 구성은 도 1 등과 마찬가지이기 때문에 설명을 생략한다.

도 1, 도 2는 구동용 트랜지스터(11a)가 출력하는 전류를 EL 소자(15)에 흘려보내고, 상기 전류를 구동용 트랜지스터(11a)와 EL 소자(15) 사이에 배치된 트랜지스터(11d)에서 온 오프 제어하는 것이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 145의 구성이 예시된다.

도 145의 실시예에서는 EL 소자(15)에 흘리는 전류가 구동용 트랜지스터(11a)에서 제어된다. EL 소자(15)에 흐르는 전류를 온 오프시키는 것은 Vdd 단자와 EL 소자(15) 사이에 배치된 스위칭 소자(11d)에서 제어된다. 따라서, 본 발명은 스위칭 소자(11d)의 배치는 어디라도 무방하며, EL 소자(15)에 흐르는 전류를 제어할 수 있는 것이면 어느 것이라도 된다.

트랜지스터(11a)의 특성 변동은 트랜지스터 사이즈와 상관이 있다. 특성 변동을 작게 하기 위해서, 제1 트랜지스터(11a)의 채널 길이가 $5\mu\text{m}$ 이상 $100\mu\text{m}$ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 제1 트랜지스터(11a)의 채널 길이가 $10\mu\text{m}$ 이상 $50\mu\text{m}$ 이하로 하는 것이 바람직하다. 이것은, 채널 길이 L을 길게 한 경우, 채널에 포함되는 입계가 불어나는 것에 의해서 전계가 완화되어 킥 효과는 낮게 억제되기 때문이라고 생각된다.

이상과 같이, 본 발명은 EL 소자(15)에 전류가 흘러 들어오는 경로, 또는 EL 소자(15)로부터 전류가 흘러 나가는 경로(즉, EL 소자(15)의 전류 경로임)에 EL 소자(15)에 흐르는 전류를 제어하는 회로 수단을 구성 또는 형성 혹은 배치

한 것이다.

또한, EL 소자(15)에 흐르는 전류 경로를 제어하는 구성은, 도 1, 도 140 등의 전류 프로그램 방식의 화소 구성에 한정되는 것이 아니다. 예를 들면, 도 141의 전압 프로그램 방식의 화소 구성에 있어서도 실시할 수 있다. 도 141에서는, EL 소자(15)와 구동용 트랜지스터(11a) 사이에 트랜지스터(11d)를 배치함으로써 EL 소자(15)에 흐르는 전류를 제어할 수 있다. 물론, 도 140에 도시하는 바와 같이, 전환 회로(1401)를 배치해도 된다.

또한, 전류 프로그램 방식의 하나인 커런트 미러 방식이더라도, 도 142에 도시하는 바와 같이, 구동용 트랜지스터(11b)와 EL 소자(15) 사이에 스위칭 소자로서의 트랜지스터(11g)를 형성 또는 배치함으로써 EL 소자(15)에 흐르는 전류를 온 오프할 수 있다(제어할 수 있음). 물론, 트랜지스터(11g)는 도 140의 전환 스위치(1401)로 치환하여도 된다.

또, 도 142의 스위칭용 트랜지스터(11d, 11c)는 하나의 게이트 신호선(17a)에 접속되어 있지만, 도 143에 도시하는 바와 같이, 트랜지스터(11c)는 게이트 신호선(17a1)에서 제어하고, 트랜지스터(11d)는 게이트 신호선(17a2)에서 제어하도록 구성해도 된다. 도 143의 구성 쪽이 화소(16)의 제어의 범용성이 높아진다.

또한, 도 42의 (a)에 도시하는 바와 같이, 트랜지스터(11b, 11c) 등은 N채널 트랜지스터로 형성해도 된다. 또, 도 42의 (b)에 도시하는 바와 같이 트랜지스터(11c, 11d) 등은 P 채널 트랜지스터로 형성해도 된다.

본 특허의 발명의 목적은, 트랜지스터 특성의 변동이 표시에 영향을 주지 않는 회로 구성을 제안하는 것으로, 이를 위해 4 트랜지스터 이상이 필요하다. 이들 트랜지스터의 특성에 의해 회로 상수를 결정하는 경우, 4개의 트랜지스터의 특성이 갖추어지지 않으면, 적절한 회로 상수를 구하는 것이 곤란하다. 레이저 조사의 길이축 방향에 대하여, 채널 방향이 수평인 경우와 수직인 경우에는, 트랜지스터 특성의 임계값과 이동도가 다르게 형성된다. 또, 어느 경우에도 변동의 정도는 동일하다. 수평 방향과 수직 방향에서는 이동도, 임계값의 수치의 평균값이 서로 다르다. 따라서, 화소를 구성하는 모든 트랜지스터의 채널 방향은 동일한 것이 바람직하다.

또한, 축적 용량(19)의 용량값을 C_s , 제2 트랜지스터(11b)의 오프 전류값을 I_{off} 로 한 경우, 다음 식을 만족시키는 것이 바람직하다.

$$3 < C_s / I_{off} < 24$$

더욱 바람직하게는, 다음 식을 만족시키는 것이 바람직하다.

$$6 < C_s / I_{off} < 18$$

트랜지스터(11b)의 오프 전류를 5pA 이하로 함으로써, EL을 흐르는 전류값의 변화를 2% 이하로 억제하는 것이 가능하다. 이것은 리크 전류가 증가하면, 전압 비기입 상태에 있어서 게이트-소스간(컨덴서의 양단)에 축적된 전하를 1 펄스간 유지할 수 없기 때문이다. 따라서, 컨덴서(19)의 축적용 용량이 크면 오프 전류의 허용량도 커진다. 상기 식을 충족함으로써 인접 화소간의 전류값의 변동을 2% 이하로 억제할 수 있다.

또한, 액티브 매트릭스를 구성하는 트랜지스터가 p-채널 폴리실리콘 박막 트랜지스터에 구성되고, 트랜지스터(11b)가 듀얼 게이트 이상인 멀티 게이트 구조로 하는 것이 바람직하다. 트랜지스터(11b)는 트랜지스터(11a)의 소스-드레인간의 스위치로서 작용하기 때문에, 될 수 있는 한 ON/OFF비가 높은 특성이 요구된다. 트랜지스터(11b)의 게이트 구조를 듀얼 게이트 구조 이상의 멀티 게이트 구조로 함으로써 ON/OFF비가 높은 특성을 실현할 수 있다.

화소(16)의 트랜지스터(11)를 구성하는 반도체막은, 저온 폴리실리콘 기술에 있어서, 레이저 어닐링에 의해 형성하는 것이 일반적이다. 이 레이저 어닐링의 조건 변동이 트랜지스터(11) 특성의 변동으로 된다. 그러나, 1 화소(16) 내의 트랜지스터(11)의 특성이 일치되어 있으면, 도 1 등의 전류 프로그램을 행하는 방식에서는, 소정의 전류가 EL 소자(15)에 흐르도록 구동할 수 있다. 이 점은 전압 프로그램에 없는 이점이다. 레이저로서는 엑시머 레이저를 이용하는 것이 바람직하다.

또, 본 발명에 있어서, 반도체막의 형성은 레이저 어닐링 방법에 한정되는 것이 아니며, 열 어닐링 방법, 고상(CGS) 성장에 의한 방법이어도 무방하다. 기타, 저온 폴리실리콘 기술에 한정되는 것이 아니고, 고온 폴리실리콘 기술을 이용하여도 됨은 물론이다.

이 과제에 대하여, 본 발명에서는 도 7에 도시한 바와 같이, 어닐링시의 레이저 조사 스폿(레이저 조사 범위)(72)을 소스 신호선(18)에 평행하게 조사한다. 또한, 1 화소 열에 일치하도록 레이저 조사 스폿(72)을 이동시킨다. 물론, 1 화소 열에 한정되는 것이 아니며, 예를 들면, 도 72의 RGB를 1 화소(16)라고 하는 단위로 레이저를 조사해도 된다(이 경우에는, 3 화소 열이 됨). 또한, 복수의 화소에 동시에 조사해도 된다. 또, 레이저의 조사 범위의 이동이 오버랩해도

됨은 말할 필요도 없다(통상, 이동하는 레이저 광의 조사 범위는 오버랩하는 것이 보통임).

화소는 RGB의 3 화소로 정방형의 형상이 되도록 제작되어 있다. 따라서, R, G, B의 각 화소는 세로 길이의 화소 형상으로 된다. 따라서, 레이저 조사 스폿(72)을 세로 길이로 하여 어닐링하는 것에 의해, 1 화소 내에서는 트랜지스터(11)의 특성 변동이 발생하지 않도록 할 수 있다. 또, 하나의 소스 신호선(18)에 접속된 트랜지스터(11)의 특성(모빌리티, V_t , S값 등)을 균일하게 할 수 있다(즉, 인접한 소스 신호선(18)의 트랜지스터(11)와는 특성이 다른 경우가 있지만, 하나의 소스 신호선에 접속된 트랜지스터(11)의 특성은 거의 동일하게 할 수 있음).

도 7의 구성에서는, 레이저 조사 스폿(72)의 길이의 범위 내에 3개의 패널이 세로로 배치되도록 형성되어 있다. 레이저 조사 스폿(72)을 조사하는 어닐링 장치는 유리 기판(74)의 위치 결정 마커(73a, 73b)를 인식(패턴 인식에 의한 자동 위치 결정)하여 레이저 조사 스폿(72)을 이동시킨다. 위치 결정 마커(73)의 인식은 패턴 인식 장치에서 행한다. 어닐링 장치(도시하지 않음)는 위치 결정 마커(73)를 인식하여, 화소 열의 위치를 산출해 낸다(레이저 조사 범위(72)가 소스 신호선(18)과 평행하게 되도록 함). 화소 열 위치에 중첩되도록 레이저 조사 스폿(72)을 조사하여 어닐링을 순차 행한다.

도 7에서 설명한 레이저 어닐링 방법(소스 신호선(18)과 평행하게 라인 형상의 레이저 스폿을 조사하는 방식)은, 유기 EL 표시 패널의 전류 프로그램 방식 시에 특히 채용하는 것이 바람직하다. 왜냐하면, 소스 신호선과 평행 방향으로 트랜지스터(11)의 특성이 일치하고 있기 때문이다(세로 방향에 인접한 화소 트랜지스터의 특성이 근사함). 그 때문에, 전류 구동 시에 소스 신호선의 전압 레벨의 변화가 적고, 전류 기입 부족이 발생하기 어렵다.

예를 들면, 백 래스터 표시이면, 인접한 각 화소의 트랜지스터(11a)에 흐르는 전류는 거의 동일하기 때문에, 소스 드라이버 IC(14)로부터 출력하는 전류 진폭의 변화가 적다. 만약, 도 1의 트랜지스터(11a)의 특성이 동일하고, 각 화소에 전류 프로그램하는 전류값이 화소 열에서 동일한 것이면, 전류 프로그램 시의 소스 신호선(18)의 전위는 일정하다. 따라서, 소스 신호선(18)의 전위 변동은 발생하지 않는다. 하나의 소스 신호선(18)에 접속된 트랜지스터(11a)의 특성이 거의 동일하면, 소스 신호선(18)의 전위 변동은 작게 된다. 이것은 도 38 등의 다른 전류 프로그램 방식의 화소 구성에서도 동일하다(즉, 도 7의 제조 방법을 적용하는 것이 바람직함).

또한, 도 27, 도 30 등에서 설명하는 복수의 화소 행을 동시 기입하는 방식에서 균일성이 화상 표시(주로 트랜지스터 특성의 변동에 기인하는 표시 얼룩짐이 발생하기 어렵기 때문임)를 실현할 수 있다. 도 27 등은 복수 화소 행을 동시에 선택하기 때문에, 인접한 화소 행의 트랜지스터가 균일하면, 세로 방향의 트랜지스터 특성 얼룩짐은 소스 드라이버 회로(14)에서 흡수할 수 있다.

또 도 7에서는, 소스 드라이버 회로(14)는 IC 칩을 적재하도록 도시하고 있지만, 이것에 한정되는 것이 아니고, 소스 드라이버 회로(14)를 화소(16)와 동일 프로세스로 형성해도 되는 것은 물론이다.

본 발명에서는 특히, 구동용 트랜지스터(11b)의 임계 전압 V_{th2} 가 화소 내에서 대응하는 구동용 트랜지스터(11a)의 임계 전압 V_{th1} 보다 낮아지지 않도록 설정하고 있다. 예를 들면, 트랜지스터(11b)의 게이트 길이 L_2 를 트랜지스터(11a)의 게이트 길이 L_1 보다도 길게 하고, 이들 박막 트랜지스터의 프로세스 파라미터가 변동해도, V_{th2} 가 V_{th1} 보다도 낮아지지 않도록 한다. 이에 의해, 미소한 전류 누설을 억제하는 것이 가능하다.

또, 이상의 사항은 도 38에 도시하는 커런트 미러의 화소 구성에도 적용할 수 있다. 도 38에서는 신호 전류가 흐르는 구동용 트랜지스터(11a), EL 소자(15) 등으로 이루어지는 발광 소자에 흐르는 구동 전류를 제어하는 구동용 트랜지스터(11b) 외에, 게이트 신호선(17a1)의 제어에 의해서 화소 회로와 데이터선 data를 접속 혹은 차단하는 스위치용 트랜지스터(11c), 게이트 신호선(17a2)의 제어에 의해서 기입 기간 중에 트랜지스터(11a)의 게이트·드레인을 단락하는 스위치용 트랜지스터(11d), 트랜지스터(11a)의 게이트-소스간 전압을 기입 종료 후에도 유지하기 위한 용량 C(19) 및 발광 소자로서의 EL 소자(15) 등으로 구성된다.

도 38에서 트랜지스터(11c, 11d)는 N채널 트랜지스터, 그밖의 트랜지스터는 P 채널 트랜지스터로 구성하고 있지만, 이것은 일례이고, 반드시 이대로 할 필요는 없다. 용량 Cs는 그 한쪽 단자가 트랜지스터(11a)의 게이트에 접속되고, 다른 쪽의 단자는 V_{dd} (전원 전위)에 접속되어 있지만, V_{dd} 에 한하지 않고 임의의 일정 전위라도 무방하다. EL 소자(15)의 캐소드(음극)는 접지 전위에 접속되어 있다.

다음에, 본 발명의 EL 표시 패널 혹은 EL 표시 장치에 대하여 설명한다. 도 6은 EL 표시 장치의 회로를 중심으로 한 설명도이다. 화소(16)가 매트릭스 형상으로 배치 또는 형성되어 있다. 각 화소(16)에는 각 화소의 전류 프로그램을 행하는 전류를 출력하는 소스 드라이버 회로(14)가 접속되어 있다. 소스 드라이버 회로(14)의 출력단은 영상 신호의 비트 수에 대응한 커런트 미러 회로가 형성되어 있다(나중에 설명함). 예를 들면, 64 계조이면, 63개의 커런트 미러 회로가 각 소스 신호선에 형성되고, 이들 커런트 미러 회로의 개수를 선택함으로써 원하는 전류를 소스 신호선(18)에 인가할 수 있도록 구성되어 있다(도 64를 참조).

또, 하나의 커런트 미러 회로의 최소 출력 전류는 10nA 이상 50nA로 하고 있다. 특히 커런트 미러 회로의 최소 출력 전류는 15nA 이상 35nA로 하는 것이 좋다. 소스 드라이버 IC(14) 내의 커런트 미러 회로를 구성하는 트랜지스터의 정밀도를 확보하기 위해서이다.

또한, 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 혹은 방전 회로를 내장한다. 소스 신호선(18)의 전하를 강제적으로 방출 또는 충전하는 프리차지 혹은 방전 회로의 전압(전류) 출력치는, R, G, B에서 독립적으로 설정할 수 있도록 구성하는 것이 바람직하다. EL 소자(15)의 임계값이 RGB에서 서로 다르기 때문이다(프리차지 회로에 대해서는 도 70, 도 173 및 그 설명을 참조할 것).

유기 EL 소자는 큰 온도 의존성 특성(온특(溫特))이 있다는 것이 알려져 있다. 이 온특에 의한 발광 휘도 변화를 조정하기 위해서, 커런트 미러 회로에 출력 전류를 변화시키는 서미스터 혹은 포지스터 등의 비직선 소자를 부가하고, 온특에 의한 변화를 상기 서미스터 등으로 조정하는 것에 의해 아날로그적으로 기준 전류를 조정한다(변화시킴).

본 발명에 있어서, 소스 드라이버(14)는 반도체 실리콘 칩으로 형성하고, 글라스 온 칩(COG) 기술로 어레이 기판(71)의 소스 신호선(18)의 단자와 접속되어 있다. 소스 드라이버(14)의 실장은 COG 기술에 한정되는 것이 아니며, 칩 온 필름(COF) 기술에 전술한 소스 드라이버(14) 등을 적재하고, 표시 패널의 신호선과 접속한 구성으로 하여도 된다. 또한, 드라이브 IC는 전원 IC(82)를 별도 제작하여, 3칩 구성으로 하여도 된다.

소스 드라이버 IC(14)의 실장 전에 패널 검사를 행한다. 검사는 소스 신호선(18)에 정전류를 인가하는 것에 의해 행한다. 정전류의 인가는 도 227에 도시하는 바와 같이, 소스 신호선(18)단에 형성된 패드(1522)로 인출선(2271)을 형성하고, 그 끝에 검사 패드(2272)를 형성한다. 검사 패드(2272)를 형성함으로써 패드(1522)를 이용하는 일없이 검사를 실시할 수 있다. 소스 드라이버 IC(14)는 기판(71)에 실장 후, 도 228에 도시하는 바와 같이, IC(14)의 주변부를 밀봉 수지(2281)로 밀봉한다.

한편, 게이트 드라이버 회로(12)는 저온 폴리실리콘 기술로 형성하고 있다. 즉, 화소의 트랜지스터와 동일한 프로세스로 형성하고 있다. 이것은 소스 드라이버(14)에 비하여 내부의 구조가 용이하고, 동작 주파수도 낮기 때문이다. 따라서, 저온 폴리실리콘 기술로 형성해도 용이하게 형성할 수 있고, 또한 협소한 프레임화를 실현할 수 있다. 물론, 게이트 드라이버 회로(12)를 실리콘 칩으로 형성하고, COG 기술 등을 이용하여 어레이 기판(71)상에 실장해도 됨은 물론이다. 또한, 화소 트랜지스터 등의 스위칭 소자, 게이트 드라이버 등은 고온 폴리실리콘 기술로 형성해도 되고, 유기 재료로 형성(유기 트랜지스터)해도 된다.

게이트 드라이버 회로(12)는 게이트 신호선(17a)용의 시프트 레지스터 회로(61a)와, 게이트 신호선(17b)용의 시프트 레지스터 회로(61b)를 내장한다. 각 시프트 레지스터 회로(61)는 플러스 상과 마이너스 상의 클럭 신호(CLKxP, CLKxN), 스타트 펄스(STx)로 제어된다(도 6을 참조). 그 밖에, 게이트 신호선의 출력, 비 출력을 제어하는 인에이블(ENABL) 신호, 시프트 방향을 상하 역전하는 업다운(UPDWM) 신호를 부가하는 것이 바람직하다. 그 외에, 스타트 펄스가 시프트 레지스터에 시프트되고, 그리고 출력되고 있음을 확인하는 출력 단자 등을 마련하는 것이 바람직하다. 또, 시프트 레지스터의 시프트 타이밍은 컨트롤 IC(81)로부터의 제어 신호에 의해 제어된다. 또한, 외부 데이터의 레벨 시프트를 행하는 레벨 시프트 회로를 내장한다.

시프트 레지스터 회로(61)의 버퍼 용량은 작기 때문에, 직접적으로는 게이트 신호선(17)을 구동할 수 없다. 그 때문에, 시프트 레지스터 회로(61)의 출력과 게이트 신호선(17)을 구동하는 출력 게이트(63) 사이에는 적어도 2개 이상의 인버터 회로(62)가 형성되어 있다(도 204를 참조할 것).

소스 드라이버(14)를 저온 폴리실리콘 등의 폴리실리콘 기술로 어레이 기판(71)상에 직접 형성하는 경우도 마찬가지로, 소스 신호선(18)을 구동하는 트랜스퍼 게이트 등의 아날로그 스위치의 게이트와 소스 드라이버(14)의 시프트 레지스터 사이에는 복수의 인버터 회로가 형성된다. 이하의 사항(시프트 레지스터의 출력과, 신호선을 구동하는 출력단(출력 게이트 혹은 트랜스퍼 게이트 등의 출력단 사이에 배치되는 인버터 회로에 관한 사항)은, 소스 드라이브 및 게이트 드라이브 회로에 공통된 사항이다.

예를 들면, 도 6에서는 소스 드라이버(14)의 출력이 직접 소스 신호선(18)에 접속되어 있도록 도시했지만, 실제로는 소스 드라이버의 시프트 레지스터의 출력은 다단의 인버터 회로가 접속되고, 인버터의 출력이 트랜스퍼 게이트 등의 아날로그 스위치의 게이트에 접속되어 있다.

인버터 회로(62)는 P 채널의 MOS 트랜지스터와 N채널의 MOS 트랜지스터로 구성된다. 앞서도 설명한 바와 같이 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61)의 출력단에는 인버터 회로(62)가 다단으로 접속되어 있고, 그 최종 출력이 출력 게이트 회로(63)에 접속되어 있다. 또, 인버터 회로(62)는 P 채널만으로 구성해도 된다. 단, 이 경우에는 인버터가 아니라 단순한 게이트 회로로서 구성해도 된다.

도 8은 본 발명의 표시 장치의 신호, 전압의 공급의 구성도 혹은 표시 장치의 구성도이다. 컨트롤 IC(81)로부터 소스 드라이버 회로(14a)에 공급하는 신호(전원 배선, 데이터 배선 등)는 플렉시블 기판(84)을 통하여 공급한다.

도 8에서는 게이트 드라이버(12)의 제어 신호는 컨트롤 IC에서 발생시켜, 소스 드라이버(14)에서, 레벨 시프트를 행한 후, 게이트 드라이버(12)에 인가하고 있다. 소스 드라이버(14)의 구동 전압은 4 내지 8(V)이므로, 컨트롤 IC(81)로부터 출력된 3.3(V) 진폭의 제어 신호를, 게이트 드라이버(12)가 수취할 수 있는 5(V) 진폭으로 변환할 수 있다.

또, 도 8 등에 있어서 (14)를 소스 드라이버라고 기재했지만, 단순한 드라이버뿐만 아니라, 전원 회로, 버퍼 회로(시프트 레지스터 등의 회로를 포함함), 데이터 변환 회로, 래치 회로, 커맨드 디코더, 시프트 회로, 어드레스 변환 회로, 화상 메모리 등을 내장시켜도 된다. 또, 도 8 등에서 설명하는 구성에 있어서도, 도 9 등에서 설명하는 3번 프리 구성 혹은 구성, 구동 방식 등을 적용할 수 있음은 물론이다.

표시 패널을 휴대 전화 등의 정보 표시 장치에 사용하는 경우, 도 9에 도시한 바와 같이, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12)는, 표시 패널의 1번에 실장(형성)하는 것이 바람직하다(또, 이와 같이 1번에 드라이버 IC(회로)를 실장(형성)하는 형태를 3번 프리 구성(구조)이라고 부름. 종래에는, 표시 영역의 X번에 게이트 드라이버 IC(12)가 실장되고, Y번에 소스가 실장되어 있었음). 화면(50)의 중심선이 표시 장치의 중심이 되도록 설계하기 쉽고, 또한 드라이버 IC의 실장도 용이해지기 때문이다. 또, 게이트 드라이버 회로를 고온 폴리실리콘 혹은 저온 폴리실리콘 기술 등으로 3번 프리의 구성으로 제작해도 된다(즉, 도 9의 소스 드라이버(14)와 게이트 드라이버(12) 중, 적어도 한쪽을 폴리실리콘 기술로 어레이 기판(71)에 직접 형성함).

또, 3번 프리 구성이란, 어레이 기판(71)에 직접 IC를 적재 혹은 형성한 구성뿐만 아니라, 소스 드라이버 IC(회로)(14), 게이트 드라이버 IC(회로)(12) 등을 장착한 필름(TCP, TAB 기술 등)을 어레이 기판(71)의 1번(혹은 거의 1번)에 부착한 구성도 포함한다. 즉, 2번에 IC가 실장 혹은 장착되어 있지 않은 구성, 배치 혹은 그것과 유사한 모두를 의미한다.

도 9와 같이 게이트 드라이버(12)를 소스 드라이버(14)의 가로에 배치하면, 게이트 신호선(17)은 변 C를 따라서 형성할 필요가 있다.

또, 도 9 등에서 굵은 실선으로 도시한 개소는 게이트 신호선(17)이 병렬하여 형성된 개소를 도시하고 있다. 따라서, b의 부분(화면 하부)은 주사 신호선의 개수분의 게이트 신호선(17)이 병렬하여 형성되고, a의 부분(화면 상부)은 게이트 신호선(17)이 하나 형성되어 있다.

C변에 형성하는 게이트 신호선(17)의 피치는 $5\mu\text{m}$ 이상 $12\mu\text{m}$ 이하로 한다. $5\mu\text{m}$ 미만에서는 인접 게이트 신호선에 기생 용량의 영향에 의해 노이즈가 들어가 버린다. 실험에 의하면, $7\mu\text{m}$ 이하에서 기생 용량의 영향이 현저히 발생한다. 또한 $5\mu\text{m}$ 미만에서는 표시 화면에 사탕무 형상 등의 화상 노이즈가 심하게 발생한다. 특히 노이즈의 발생은 화면의 좌우로 다르고, 이 비트 형상 등의 화상 노이즈를 저감하는 것은 곤란하다. 또한, 저감 $12\mu\text{m}$ 를 넘으면 표시 패널의 프레임 폭 D가 지나치게 커져 실용적이지 않다.

전술한 화상 노이즈를 저감하기 위해서는, 게이트 신호선(17)을 형성한 부분의 하층 혹은 상층에, 그랜트 패턴(일정 전압에 전압 고정 혹은 전체적으로 안정된 전위로 설정되어 있는 도전 패턴)을 배치함으로써 저감할 수 있다. 또한, 별도 마련한 실드판(실드막(일정 전압에 전압 고정 혹은 전체적으로 안정된 전위로 설정되어 있는 도전 패턴))을 게이트 신호선(17)상에 배치하면 된다.

도 9의 C변의 게이트 신호선(17)은 ITO 전극으로 형성해도 되지만, 저 저항화하기 위해서, ITO와 금속 박막을 적층하여 형성하는 것이 바람직하다. 또한, 금속막으로 형성하는 것이 바람직하다. ITO와 적층하는 경우에는, ITO 상에 티탄막을 형성하고, 그 위에 알루미늄 혹은 알루미늄과 몰리브덴의 합금 박막을 형성한다. 혹은 ITO 상에 크롬막을 형성한다. 금속막인 경우에는, 알루미늄 박막, 크롬 박막으로 형성한다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

또, 도 9 등에 있어서, 게이트 신호선(17) 등은 표시 영역의 편측에 배치한다고 했지만 이것에 한정되는 것이 아니고, 양방에 배치해도 된다. 예를 들면, 게이트 신호선(17a)을 표시 화면(50)의 우측에 배치(형성)하고, 게이트 신호선(17b)을 표시 화면(50)의 좌측에 배치(형성)해도 된다. 이상의 사항은 다른 실시예에서도 마찬가지이다.

또한, 소스 드라이버 IC(14)와 게이트 드라이버 IC(12)를 1 칩화해도 된다. 1 칩화하면, 표시 패널에의 IC 칩의 실장이 하나로 끝난다. 따라서, 실장 비용도 저감할 수 있다. 또한, 1 칩 드라이버 IC 내에서 사용하는 각종 전압도 동시에 발생할 수 있다.

또, 소스 드라이버 IC(14), 게이트 드라이버 IC(12)는 실리콘 등의 반도체 웨이퍼로 제작하여 표시 패널에 실장한다고

했지만, 이것에 한정되는 것이 아니고, 저온 폴리실리콘 기술, 고온 폴리실리콘 기술에 의해 표시 패널(82)에 직접 형성해도 됨은 물론이다.

또, 화소는 R, G, B의 3원색으로 했지만 이것에 한정되는 것이 아니고, 시안, 옐로우, 마젠타의 3색이어도 된다. 또한, B와 옐로우의 2색이어도 된다. 물론, 단색이어도 무방하다. 또한, R, G, B, 시안, 옐로우, 마젠타의 6색이어도 된다. R, G, B, 시안, 마젠타의 5색이어도 된다. 이들은 내추럴 컬러로서 색 재현 범위가 확대되어 양호한 표시를 실현할 수 있다. 이상과 같이 본 발명의 EL 표시 장치는 RGB의 3원색으로 컬러 표시를 행하는 것에 한정되는 것이 아니다.

유기 EL 표시 패널의 컬러화에는 주로 3가지 방식이 있는데, 색 변환 방식은 이 중의 하나이다. 발광층으로서 청색만의 단층을 형성하면 되고, 풀컬러화에 필요한 남은 녹색과 적색은 청색 광으로부터 색 변환에 의해서 만들어낸다. 따라서, RGB의 각 층을 분할 도포할 필요가 없고, RGB의 각 색의 유기 EL 재료를 갖출 필요가 없다고 하는 이점이 있다. 색 변환 방식은 분할 도포 방식과 같은 수율 저하가 없다. 본 발명의 EL 표시 패널 등은 이들 어느 방식에서도 적용된다.

또한, 3원색 외에, 백색 발광의 화소를 형성해도 된다. 백색 발광의 화소는 R, G, B 발광의 구조를 적층함으로써 제작(형성 또는 구성)하는 것에 의해 실현할 수 있다. 1조의 화소는 RGB의 3원색과, 백색 발광의 화소(16W)로 이루어진다. 백색 발광의 화소를 형성함으로써, 백색의 피크 휘도가 표현하기 쉬워진다. 따라서, 휘도감이 있는 화상 표시를 실현할 수 있다.

RGB 등의 3원색을 1조의 화소로 하는 경우라도, 각 색의 화소 전극의 면적은 서로 다르게 한 것이 바람직하다. 물론, 각 색의 발광 효율이 밸런스 좋고, 색 순도도 밸런스가 좋으면, 동일 면적이더라도 상관없다. 그러나, 하나 또는 복수의 색의 밸런스가 나쁘면, 화소 전극(발광 면적)을 조정하는 것이 바람직하다. 각 색의 전극 면적은 전류 밀도를 기준으로 결정하면 된다. 즉, 색 온도가 7000K(켈빈) 이상 12000K 이하의 범위에서 화이트 밸런스를 조정했을 때, 각 색의 전류 밀도의 차가 $\pm 30\%$ 이내로 되도록 한다. 더욱 바람직하게는 $\pm 15\%$ 이내로 되도록 한다. 예를 들면, 전류 밀도가 100A/평방미터로 하면, 3원색이 어느 것이나 70A/평방미터 이상 130A/평방미터 이하로 되도록 한다. 더욱 바람직하게는, 3원색이 어느 것이나 85A/평방미터 이상 115A/평방미터 이하로 되도록 한다.

유기 EL 소자(15)는 자기 발광 소자이다. 이 발광에 의한 빛이 스위칭 소자로서의 트랜지스터에 입사하면, 포토컨덕터 현상(photoconductor)이 발생한다. 포토컨덕터란, 광 여기에 의해 트랜지스터 등의 스위칭 소자의 오프 시에서의 누설(오프 누설)이 증가하는 현상을 말한다.

이 과제에 대처하기 위해서, 본 발명에서는 게이트 드라이버(12)(경우에 따라서는 소스 드라이버(14))의 하층, 화소 트랜지스터(11)의 하층의 차광막을 형성하고 있다. 차광막은 크롬 등의 금속 박막으로 형성하며, 그 막 두께는 50 nm 이상 150 nm 이하로 한다. 막 두께가 얇으면 차광 효과가 부족하고, 두꺼우면 요철이 발생하여 상층의 트랜지스터(11a)의 패터닝이 곤란해진다.

드라이버 회로(12) 등은 이면뿐만 아니라, 표면으로부터의 빛의 진입도 억제해야 된다. 포토컨덕터의 영향에 의해 오동작하기 때문이다. 따라서, 본 발명에서는 캐소드 전극이 금속막인 경우에는, 드라이버(12) 등의 표면에도 캐소드 전극을 형성하고, 이 전극을 차광막으로서 이용하고 있다.

그러나, 드라이버(12) 위에 캐소드 전극을 형성하면, 이 캐소드 전극으로부터의 전계에 의한 드라이버의 오동작 혹은 캐소드 전극과 드라이버 회로의 전기적 접촉이 발생할 가능성이 있다. 이 과제에 대처하기 위해서, 본 발명에서는 드라이버 회로(12) 등의 위에 적어도 1층, 바람직하게는 복수층의 유기 EL막을 화소 전극 상의 유기 EL막 형성과 동시에 형성한다.

화소의 하나 이상의 트랜지스터(11)의 단자간 혹은 트랜지스터(11)와 신호선 이 단락하면, EL 소자(15)가 상시 점등하는 휘점(輝点)이 되는 경우가 있다. 이 휘점은 시각적으로 눈에 띄기 때문에 흑점화(비점등)할 필요가 있다. 휘점에 대해서는, 해당 화소(16)를 검출하고, 컨덴서(19)에 레이저 광을 조사하여 컨덴서의 단자 사이를 단락시킨다. 따라서, 컨덴서(19)에는 전하를 유지할 수 없게 되므로, 트랜지스터(11a)는 전류를 흘려보내지 않게 할 수 있다. 레이저 광을 조사하는 위치에 대응하는 캐소드막을 제거해 놓는 것이 바람직하다. 레이저 조사에 의해, 컨덴서(19)의 단자 전극과 캐소드막이 쇼트하는 것을 방지하기 위해서이다.

화소(16)의 트랜지스터(11)의 결함은 소스 드라이버 IC(14) 등에도 영향을 준다. 예를 들면, 도 56에서는 구동용 트랜지스터(11a)에 소스-드레인(SD) 쇼트(562)가 발생하고 있으면, 패널의 Vdd 전압이 소스 드라이버 IC(14)에 인가된다. 따라서, 소스 드라이버 IC(14)의 전원 전압은, 패널의 전원 전압 Vdd와 동일 혹은 높게 해 두는 것이 바람직하다. 또, 소스 드라이버 IC에서 사용하는 기준 전류는 전자 볼륨(561)으로 조정할 수 있도록 구성해 놓는 것이 바람직하다(도 148을 참조할 것).

트랜지스터(11a)에 SD 쇼트(562)가 발생하고 있으면, EL 소자(15)에 과대한 전류가 흐른다. 즉, EL 소자(15)가 상시 점등 상태(휘점)로 된다. 휘점은 결함으로서 눈에 띄기 쉽다. 예를 들면, 도 56에 있어서, 트랜지스터(11a)의 소스-드레인(SD) 쇼트가 발생하고 있으면, 트랜지스터(11a)의 게이트(G) 단자 전위의 대소에 상관없이, Vdd 전압으로부터 EL 소자(15)에 전류가 상시 흐른다(트랜지스터(11d)가 온일 때). 따라서, 휘점으로 된다.

한편, 트랜지스터(11a)에 SD 쇼트가 발생하고 있으면, 트랜지스터(11c)가 온 상태일 때, Vdd 전압이 소스 신호선(18)에 인가되고 소스 드라이버(14)에 Vdd 전압이 인가된다. 만약, 소스 드라이버(14)의 전원 전압이 Vdd 이하이면, 내압을 초과하여, 소스 드라이버(14)가 파괴될 우려가 있다. 그 때문에, 소스 드라이버(14)의 전원 전압은 Vdd 전압(패널이 높은 쪽의 전압) 이상으로 하는 것이 바람직하다.

트랜지스터(11a)의 SD 쇼트 등은 점 결함으로 머물지 않고, 패널의 소스 드라이버 회로를 파괴하는 데로 연결될 우려가 있으며, 또한 휘점은 눈에 띄기 때문에 패널로서는 불량으로 된다. 따라서, 트랜지스터(11a)와 EL 소자(15) 사이를 접속하는 배선을 절단하여, 휘점을 흑점 결함으로 할 필요가 있다. 이 절단에는 레이저 광 등의 광학 수단을 이용하여 절단하는 것이 좋다.

이하, 본 발명의 구동 방법에 대하여 설명한다. 도 1에 도시한 바와 같이, 게이트 신호선(17a)은 행 선택 기간에 도통 상태(여기서는 도 1의 트랜지스터(11)가 p 채널 트랜지스터이기 때문에 로우 레벨에서 도통으로 됨)가 되고, 게이트 신호선(17b)은 비선택 기간일 때에 도통 상태로 한다.

소스 신호선(18)에는 기생 용량(도시하지 않음)이 존재한다. 기생 용량은 소스 신호선(18)과 게이트 신호선(17)의 크로스부의 용량, 트랜지스터(11b, 11c)의 채널 용량 등에 의해 발생한다.

소스 신호선(18)의 전류값 변화에 요하는 시간 t 는 부유 용량의 크기를 C , 소스 신호선의 전압을 V , 소스 신호선에 흐르는 전류를 I 로 하면 $t=C \cdot V/I$ 이기 때문에 전류값을 10배 크게 할 수 있다는 것은 전류값 변화에 요하는 시간이 10분의 1 가까이까지 짧게 할 수 있고, 또는 소스 신호선(18)의 기생 용량이 10배로 되어도 소정의 전류값으로 변화할 수 있다는 것을 나타낸다. 따라서, 짧은 수평 주사 기간 내에 소정의 전류값을 기입하기 위해서는 전류값을 증가시키는 것이 유효하다.

입력 전류를 10배로 하면 출력 전류도 10배로 되고, EL의 휘도가 10배로 되기 때문에 소정의 휘도를 얻기 위해서, 도 1의 트랜지스터(17d)의 도통 기간을 종래의 10분의 1로 하고, 발광 기간을 10분의 1로 함으로써, 소정 휘도를 표시하도록 했다. 또, 10배를 예시하여 설명하고 있는 것은 이해를 쉽게 하기 위해서이다. 10배로 한정하는 것이 아님은 물론이다.

즉, 소스 신호선(18)의 기생 용량의 충방전을 충분히 행하고, 소정의 전류값을 화소(16)의 트랜지스터(11a)에 프로그램하기 위해서는, 소스 드라이버(14)로부터 비교적 큰 전류를 출력할 필요가 있다. 그러나, 이와 같이 큰 전류를 소스 신호선(18)에 흘리면 이 전류값이 화소에 프로그램되고, 소정의 전류에 대하여 큰 전류가 EL 소자(15)에 흐른다. 예를 들면, 10배의 전류로 프로그램하면, 당연히 10배의 전류가 EL 소자(15)에 흐르고, EL 소자(15)는 10배의 휘도로 발광한다. 소정의 발광 휘도로 하기 위해서는, EL 소자(15)에 흐르는 시간을 1/10로 하면 된다. 이와 같이 구동함으로써, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있어, 소정의 발광 휘도를 얻을 수 있다.

또, 10배의 전류값을 화소의 트랜지스터(11a)(정확하게는 컨덴서(19)의 단자 전압을 설정하고 있음)에 기입하고, EL 소자(15)의 온 시간을 1/10으로 한 것으로 했지만 이것은 일례이다. 경우에 따라서는, 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 1/5로 하여도 된다. 반대로 10배의 전류값을 화소의 트랜지스터(11a)에 기입하고, EL 소자(15)의 온 시간을 1/2배로 하는 경우도 있을 것이다.

본 발명은 화소에의 기입 전류를 소정값 이외의 값으로 하고, EL 소자(15)에 흐르는 전류를 간헐 상태로 하여 구동하는 것에 특징이 있다. 본 명세서에서는 설명을 쉽게 하기 위해서, N배의 전류값을 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/N배로 하는 것으로 하여 설명한다. 그러나, 이것에 한정되는 것이 아니라, N1배의 전류값을 화소의 트랜지스터(11)에 기입하고, EL 소자(15)의 온 시간을 1/(N2)배(N1과 N2는 서로 다름)로 하여도 됨은 물론이다.

백 래스터 표시에 있어서, 표시 화면(50)의 1 필드(프레임) 기간의 평균 휘도를 B0으로 가정한다. 이 때, 각 화소(16)의 휘도 B1이 평균 휘도 B0보다도 높아지도록 전류(전압) 프로그램을 행하는 구동 방법이다. 또한, 적어도 1필드(프레임) 기간에 있어서, 비표시 영역(53)이 발생하도록 하는 구동 방법이다. 따라서, 본 발명의 구동 방법에서는, 1 필드(프레임) 기간의 평균 휘도는 B1보다도 낮아진다.

또, 간헐하는 간격(비표시 영역(52)/비표시 영역(53))은 등간격에 한정되는 것이 아니다. 예를 들면, 랜덤하여도 된다(전체적으로, 표시 기간 혹은 비표시 기간이 소정값(일정 비율)이 되면 됨). 또한, RGB에서 서로 다르더라도 무방하다

. 즉, 백(화이트) 밸런스가 최적이 되도록, R, G, B 표시 기간 혹은 비표시 기간이 소정 값(일정 비율)으로 되도록 조정(설정)하면 된다.

본 발명의 구동 방법의 설명을 쉽게 하기 위해서, $1/N$ 이란, $1F$ (1 필드 또는 1 프레임)를 기준으로 하여 이 $1F$ 를 $1/N$ 으로 하는 것으로 설명한다. 그러나, 1 화소 행이 선택되고, 전류값이 프로그램되는 시간(통상, 1수평 주사 기간(1H))이 있고, 또한 주사 상태에 따라서는 오차도 발생함은 말할 필요도 없다.

예를 들면, $N=10$ 배의 전류로 화소(16)에 전류 프로그램하고, $1/5$ 의 기간 동안, EL 소자(15)를 점등시켜도 된다. EL 소자(15)는 $10/5=2$ 배의 휘도로 점등한다. $N=2$ 배의 전류로 화소(16)에 전류 프로그램하고, $1/4$ 의 기간 동안, EL 소자(15)를 점등시켜도 된다. EL 소자(15)는 $2/4=0.5$ 배의 휘도로 점등한다. 즉, 본 발명은 $N=1$ 배가 아닌 전류로 프로그램하고, 또한 상시 점등($1/1$, 즉, 간헐 표시가 아님) 상태 이외의 표시를 실시하는 것이다. 또한, EL 소자(15)에 공급하는 전류를 1 프레임(혹은 1 필드)의 기간에 있어서, 적어도 1회, 오프 상태로 하는 구동 방식이다. 또한, 소정값보다도 큰 전류로 화소(16)에 프로그램하고, 적어도 간헐 표시를 실시하는 구동 방식이다.

유기(무기) EL 표시 장치는 CRT와 같이 전자총으로 선 표시의 집합으로서 화상을 표시하는 디스플레이와는 표시 방법이 기본적으로 다른 점에도 과제가 있다. 즉, EL 표시 장치에서는, $1F$ (1 필드 혹은 1 프레임)의 기간 동안은 화소에 기입한 전류(전압)를 유지한다. 그 때문에, 동화상 표시를 행하면 표시 화상의 윤곽이 흐려진다고 하는 과제가 발생한다.

본 발명에서는 $1F/N$ 의 기간 동안만, EL 소자(15)에 전류를 흘려 보내고, 다른 기간($1F(N-1)/N$)은 전류를 흘려 보내지 않는다. 이 구동 방식을 실시하여 화면의 일점을 관측한 경우를 생각한다. 이 표시 상태에서는 $1F$ 마다 화상 데이터 표시, 즉 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 간헐 표시 상태로 된다. 동화상 데이터 표시를, 간헐 표시 상태에서 보면 화상의 윤곽 흐려짐이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

본 발명의 구동 방법에서는 간헐 표시를 실현한다. 그러나, 간헐 표시는 트랜지스터(11d)를 1H 주기로 온 오프 제어하기만 하여도 된다. 따라서, 회로의 메인 클럭은 종래와 변하지 않기 때문에, 회로의 소비 전력이 증가하는 일도 없다. 액정 표시 패널에서는 간헐 표시를 실현하기 위해서 화상 메모리가 필요하다. 본 발명은, 화상 데이터는 각 화소(16)에 유지되고 있다. 따라서, 간헐 표시를 실시하기 위한 화상 메모리는 불필요하다.

본 발명은 스위칭의 트랜지스터(11d), 혹은 트랜지스터(11e) 등을 온 오프시키는 것만으로 EL 소자(15)에 흘리는 전류를 제어한다. 즉, EL 소자(15)에 흐르는 전류 I_w 를 오프해도, 화상 데이터는 그대로 컨덴서(19)에 유지되고 있다. 따라서, 다음 타이밍에서 트랜지스터(11d) 등을 온시켜, EL 소자(15)에 전류를 흘리면, 그 흐르는 전류는 전에 흐르고 있던 전류값과 동일하다. 본 발명에서는 즉 삽입(즉 표시 등의 간헐 표시)을 실현할 때에 있어서도, 회로의 메인 클럭을 올릴 필요가 없다. 또한, 시간 축 신장을 실시할 필요도 없기 때문에 화상 메모리도 불필요하다. 또한, 유기 EL 소자(15)는 전류를 인가하고 나서 발광하기까지의 시간이 짧아, 고속으로 응답한다. 그 때문에, 동화상 표시에 적합하고, 또한 간헐 표시를 실시함으로써 종래의 데이터 유지형의 표시 패널(액정 표시 패널, EL 표시 패널 등)의 문제인 동화상 표시의 문제를 해결할 수 있다.

또한, 대형의 표시 장치에서 소스 신호선(18)의 배선 길이가 길어지고, 소스 신호선(18)의 기생 용량이 커지는 경우에는, N 값을 크게 함으로써 대응할 수 있다. 소스 신호선(18)에 인가하는 프로그램 전류값을 N 배로 한 경우, 게이트 신호선(17b)(트랜지스터(11d))의 도통 기간을 $1F/N$ 으로 하면 된다. 이에 따라 텔레비전, 모니터 등의 대형 표시 장치 등에도 적용이 가능하다.

또한, 소스 드라이버 회로(14)의 출력단은 정전류 회로(704)(도 70을 참조할 것)로 구성되어 있다. 정전류 회로이므로, 액정 표시 패널의 소스 드라이버 회로와 같이, 표시 패널의 크기에 따라 출력단의 버퍼 사이즈를 변화시킬 필요는 없다.

이하, 도면을 참조하면서, 본 발명의 구동 방법에 대하여 더욱 자세하게 설명한다. 소스 신호선(18)의 기생 용량은, 인접한 소스 신호선(18) 사이의 결합 용량, 소스 드라이브 IC(회로)(14)의 버퍼 출력 용량, 게이트 신호선(17)과 소스 신호선(18)의 크로스 용량 등에 의해 발생한다. 이 기생 용량은 통상 $10pF$ 이상으로 된다. 전압 구동의 경우에는, 소스 드라이버 IC(14)로부터는 저 임피던스로 전압이 소스 신호선(18)에 인가되기 때문에, 기생 용량이 다소 크더라도 구동에서는 문제가 되지 않는다.

그러나, 전류 구동에서는 특히 즉 레벨의 화상 표시에서는 $20nA$ 이하의 미소 전류로 화소의 컨덴서(19)를 프로그램할 필요가 있다. 따라서, 기생 용량이 소정 값 이상의 크기에서 발생하면, 1 화소 행에 프로그램하는 시간(통상 1H 이내, 단, 2 화소 행을 동시에 기입하는 경우도 있으므로 1H 이내로 한정되는 것은 아님) 내에 기생 용량을 충방전할 수 없다. 1H 기간에 충방전할 수 있으면, 화소에서의 기입 부족이 되어, 해상도가 나오지 않는다.

도 1의 화소 구성인 경우, 도 3의 (a)에 도시한 바와 같이, 전류 프로그램 시에는, 프로그램 전류 I_w 가 소스 신호선(18)에 흐른다. 이 전류 I_w 가 트랜지스터(11a)를 흘려, I_w 를 흘리는 전류가 유지되도록, 컨덴서(19)에 전압 설정(프로그램)된다. 이 때, 트랜지스터(11d)는 오픈 상태(오프 상태)이다.

다음에, EL 소자(15)에 전류를 흘리는 기간은 도 3의 (b)와 같이, 트랜지스터(11c, 11b)가 오프하여, 트랜지스터(11d)가 동작한다. 즉, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되고, 트랜지스터(11b, 11c)가 오프 상태로 된다. 한편, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되고, 트랜지스터(11d)가 온한다.

이제, 전류 I_1 이 본래 흘리는 전류(소정값)의 N 배라고 하면, 도 3의 (b)의 EL 소자(15)에 흐르는 전류도 I_w 로 된다. 따라서, 소정값의 10배의 휘도로 EL 소자(15)는 발광한다. 즉, 도 12에 도시하는 바와 같이, 배율 N 을 높게 할수록, 화소(16)의 표시 휘도 B 도 높아진다. 따라서, 배율과 화소(16)의 휘도는 비례 관계로 된다.

그래서, 트랜지스터(11d)를 본래 온하는 시간(약 $1F$)의 $1/N$ 의 기간만 온시키고, 다른 기간 $(N-1)/N$ 기간은 오프시키면, $1F$ 전체의 평균 휘도는 소정의 휘도로 된다. 이 표시 상태는 CRT가 전자총으로 화면을 주사하고 있는 것과 근사하다. 다른 점은 화면 전체의 $1/N$ (전 화면을 1로 함)이 점등하고 있는 점이다(CRT에서는 점등하고 있는 범위는 1 화소 행임(엄밀하게는 1 화소임)).

본 발명에서는, 이 $1F/N$ 의 화상 표시 영역(53)이 도 13의 (b)에 도시한 바와 같이 화면(50)의 위에서 아래로 이동한다. 본 발명에서는 $1F/N$ 의 기간 동안만, EL 소자(15)에 전류가 흐르고, 다른 기간($1F \cdot (N-1)/N$)은 전류가 흐르지 않는다. 따라서, 각 화소(16)는 간헐 표시로 된다. 그러나, 인간의 눈에는 잔상에 의해 화상이 유지된 상태가 되므로, 전 화면이 균일하게 표시되어 있게 보인다.

또, 도 13에 도시하는 바와 같이, 기입 화소 행(51a)은 비점등 표시(52a)로 한다. 그러나, 이것은 도 1, 도 2 등의 화소 구성인 경우이다. 도 38 등에서 도시하는 커런트 미러의 화소 구성에서는, 기입 화소 행(51a)은 점등 상태로 하여도 된다. 그러나, 본 명세서에서는 설명을 쉽게 하기 위해서, 주로 도 1의 화소 구성을 예시하여 설명한다. 또한, 도 13, 도 16 등의 소정 구동 전류 I_w 보다도 큰 전류로 프로그램하고, 간헐 구동하는 구동 방법을 N 배 펄스 구동이라고 부른다.

이 표시 상태에서는 $1F$ 마다 화상 데이터 표시, 즉 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 액정 표시 패널(본 발명 이외의 EL 표시 패널)에서는, $1F$ 의 기간 동안, 화소에 데이터가 유지되고 있기 때문에, 동화상 표시의 경우에는 화상 데이터가 변화해도 그 변화에 추종할 수 없어, 동화상 불선명으로 되어 있었다(화상의 윤곽 흐려짐). 그러나, 본 발명에서는 화상을 간헐 표시하기 위해서, 화상의 윤곽 흐려짐이 없어져 양호한 표시 상태를 실현할 수 있다. 즉, CRT에 가까운 동화상 표시를 실현할 수 있다.

또, 도 13에 도시하는 바와 같이, 구동하기 위해서는, 화소(16)의 전류 프로그램 기간(도 1의 화소 구성에서는, 게이트 신호선(17a)의 온 전압 V_{gl} 이 인가되어 있는 기간)과, EL 소자(15)를 오프 또는 온 제어하고 있는 기간(도 1의 화소 구성에서는, 게이트 신호선(17b)의 온 전압 V_{gl} 또는 오프 전압 V_{gh} 가 인가되어 있는 기간)을 독립적으로 제어할 수 있을 필요가 있다. 따라서, 게이트 신호선(17a)과 게이트 신호선(17b)은 분리되어 있을 필요가 있다.

예를 들면, 게이트 드라이버(12)로부터 화소(16)에 배선된 게이트 신호선(17)이 하나인 경우, 게이트 신호선(17)에 인가된 로직(V_{gh} 또는 V_{gl})을 트랜지스터(11b)에 인가하고, 게이트 신호선(17)에 인가된 로직을 인버터로 변환하여(V_{gl} 또는 V_{gh}), 트랜지스터(11d)에 인가한다고 하는 구성에서는, 본 발명의 구동 방법은 실시할 수 없다. 따라서, 본 발명에서는 게이트 신호선(17a)을 조작하는 게이트 드라이버 회로(12a)와, 게이트 신호선(17b)을 조작하는 게이트 드라이버 회로(12b)가 필요해진다.

또한 본 발명의 구동 방법은, 도 1의 화소 구성에서도, 전류 프로그램 기간($1H$) 이외의 기간에서도, 비점등 표시로 하는 구동 방법이다.

도 13의 구동 방법의 타이밍차트를 도 14에 도시한다. 또, 본 발명 등에 있어서, 특히 예고가 없을 때의 화소 구성은 도 1이라고 한다. 도 14에서 알 수 있듯이, 각 선택된 화소 행(선택 기간은 $1H$ 로 하고 있음)에 있어서, 게이트 신호선(17a)에 온 전압(V_{gl})이 인가되고 있을 때(도 14의 (a)를 참조)에는, 게이트 신호 선(17b)에는 오프 전압(V_{gh})이 인가되고 있다(도 14의 (b)를 참조). 또한, 이 기간은 EL 소자(15)에는 전류가 흐르고 있지 않다(비점등 상태). 선택되어 있지 않은 화소 행에 있어서, 게이트 신호선(17a)에 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가되고 있다. 또한, 이 기간은 EL 소자(15)에 전류가 흐르고 있다(점등 상태). 또한, 점등 상태에서는, EL 소자(15)는 소정의 N 배의 휘도($N \cdot B$)로 점등하며, 그 점등 기간은 $1F/N$ 이다. 따라서, $1F$ 를 평균한 표시 패널의 표시 휘도는 $(N \cdot B) \times (1/N) = B$ (소정 휘도)로 된다.

도 15는 도 14의 동작을 각 화소 행에 적용한 실시예이다. 게이트 신호선(17)에 인가하는 전압 파형을 나타내고 있다.

전압 파형은 오프 전압을 V_{gh} (H 레벨)로 하고, 온 전압을 V_{gl} (L 레벨)로 하고 있다. (1)(2) 등의 첨자는 선택하고 있는 화소 행 번호를 나타내고 있다.

도 15에 있어서, 게이트 신호선(17a)(1)이 선택되고(V_{gl} 전압), 선택된 화소 행의 트랜지스터(11a)에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, $N=10$ 으로 설명함. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정치가 아님)이다. 따라서, 컨덴서(19)에는 10배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소 행(1)이 선택되었을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(1)은 오프 전압(V_{gh})이 인가되어, EL 소자(15)에는 전류가 흐르지 않는다.

1H 후에는, 게이트 신호선(17a)(2)이 선택되고(V_{gl} 전압), 선택된 화소 행의 트랜지스터(11a)에서 소스 드라이버(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, $N=10$ 으로 설명함)이다. 따라서, 컨덴서(19)에는 10배로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다. 화소 행(2)이 선택되었을 때에는, 도 1의 화소 구성에서는 게이트 신호선(17b)(2)은 오프 전압(V_{gh})이 인가되어, EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소 행(1)의 게이트 신호선(17a)(1)에는 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)(1)에는 온 전압(V_{gl})이 인가되기 때문에, 점등 상태로 되어 있다.

다음의 1H 후에는 게이트 신호선(17a)(3)이 선택되고, 게이트 신호선(17b)(3)은 오프 전압(V_{gh})이 인가되어, 화소 행(3)의 EL 소자(15)에는 전류가 흐르지 않는다. 그러나, 앞의 화소 행(1)(2)의 게이트 신호선(17a)(1)(2)에는 오프 전압(V_{gh})이 인가되고, 게이트 신호선(17b)(1)(2)에는 온 전압(V_{gl})이 인가되기 때문에, 점등 상태로 되어 있다.

이상의 동작을 1H의 동기 신호에 동기하여 화상을 표시해 간다. 그러나, 도 15의 구동 방식에서는, EL 소자(15)에는 10배의 전류가 흐른다. 따라서, 표시 화면(50)은 약 10배의 휘도로 표시된다. 물론, 이 상태에서 소정의 휘도 표시를 행하기 위해서는, 프로그램 전류를 1/10으로 하여 놓으면 되는 것은 물론이다. 그러나, 1/10의 전류이면 기생 용량 등에 의해 기입 부족이 발생하기 때문에, 높은 전류로 프로그램하고, 비점등 영역(52)의 삽입에 의해 소정의 휘도를 얻는 것은 본 발명의 기본적인 주지이다.

또, 본 발명의 구동 방법에 있어서, 소정 전류보다도 높은 전류가 EL 소자(15)에 흐르도록 하여, 소스 신호선(18)의 기생 용량을 충분히 충방전한다고 하는 개념이다. 즉, EL 소자(15)에 N배의 전류를 흘리지 않더라도 무방하다. 예를 들면, EL 소자(15)에 병렬로 전류 경로를 형성하고(더미의 EL 소자를 형성하고, 이 EL 소자는 차광막을 형성하여 발광시키지 않는 등), 더미 EL 소자와 EL 소자(15)로 분류하여 전류를 흘려 보내도 된다. 예를 들면, 신호 전류가 $0.2\mu A$ 일 때, 프로그램 전류를 $2.2\mu A$ 로 하여, 트랜지스터(11a)에는 $2.2\mu A$ 를 흘린다. 이 전류 중, 신호 전류 $0.2\mu A$ 를 EL 소자(15)에 흘려 보내고, $2\mu A$ 를 더미의 EL 소자에 흘리는 등의 방식이 예시된다. 즉, 도 27의 더미 화소 행(271)을 상시 선택 상태로 한다. 또, 더미 화소 행은 발광시키지 않는다는지, 혹은 차광막 등을 형성하고, 발광하고 있더라도 시각적으로 보이지 않도록 구성한다.

이상과 같이 구성함으로써, 소스 신호선(18)에 흘리는 전류를 N배로 증가시키는 것에 의해, 구동용 트랜지스터(11a)에 N배의 전류가 흐르도록 프로그램할 수가 있고, 또한 전류 EL 소자(15)에는, N배보다는 충분히 작은 전류를 흘려 보낼 수 있게 된다. 이상의 방법에서는, 도 5에 도시하는 바와 같이, 비점등 영역(52)을 마련하는 일없이, 전 표시 화면(50)을 화상 표시 영역(53)으로 할 수 있다.

도 13의 (a)는 표시 화면(50)에의 기입 상태를 나타내고 있다. 도 13의 (a)에 있어서, (51a)는 기입 화소 행이다. 소스 드라이버 IC(14)로부터 각 소스 신호선(18)에 프로그램 전류가 공급된다. 또, 도 13 등에서는 1H 기간에 기입하는 화소 행은 1 행이다. 그러나, 조금도 1H에 한정되는 것이 아니며, 0.5H 기간이어도, 2H 기간이어도 된다. 또한, 소스 신호선(18)에 프로그램 전류를 기입한 것으로 했지만, 본 발명은 전류 프로그램 방식에 한정되는 것이 아니며, 소스 신호선(18)에 기입되는 것은 전압인 전압 프로그램 방식(도 62 등)이어도 된다.

도 13의 (a)에 있어서, 게이트 신호선(17a)이 선택되면 소스 신호선(18)에 흐르는 전류가 트랜지스터(11a)에 프로그램된다. 이 때, 게이트 신호선(17b)은 오프 전압이 인가되어 EL 소자(15)에는 전류가 흐르지 않는다. 이것은, EL 소자(15)측에 트랜지스터(11d)가 온 상태이면, 소스 신호선(18)으로부터 EL 소자(15)의 용량 성분이 보여, 이 용량에 영향 받아 컨덴서(19)에 충분히 정확한 전류 프로그램을 할 수 없게 되기 때문이다. 따라서, 도 1의 구성을 예로 하면, 도 13의 (b)에서 도시한 바와 같이 전류가 기입되고 있는 화소 행은 비점등 영역(52)으로 된다.

이제, N(여기서는, 앞서 말한 것처럼 $N=10$ 으로 함)배의 전류로 프로그램했다 고 한다면, 화면의 휘도는 10배로 된다. 따라서, 표시 화면(50)의 90%의 범위를 비점등 영역(52)으로 하면 된다. 따라서, 화상 표시 영역의 수평 주사선이 Q CIF의 220개($S=220$)라고 하면, 22개를 표시 영역(53)으로 하고, $220-22=198$ 개를 비표시 영역(52)으로 하면 된다. 일반적으로 진술하면, 수평 주사선(화소 행 수)을 S라고 하면, S/N의 영역을 표시 영역(53)으로 하고, 이 표시 영역(53)을 N배의 휘도로 발광시킨다. 그리고, 이 표시 영역(53)을 화면의 상하 방향으로 주사한다. 따라서, $S(N-1)/N$ 의 영

역은 비점등 영역(52)으로 한다. 이 비점등 영역은 흑 표시(비 발광)이다. 또한, 이 비 발광부(52)는 트랜지스터(11d)를 오프시키는 것에 의해 실현한다. 또, N배의 휘도로 점등시킨 것으로 했지만, 당연한 것이지만 밝기 조정, 감마 조정에 의해 N배의 값을 조정하는 것은 물론이다.

또한, 앞의 실시예에서, 10배의 전류로 프로그램했다고 한다면, 화면의 휘도는 10배로 되고, 표시 화면(50)의 90%의 범위를 비점등 영역(52)으로 하면 된다고 했다. 그러나, 이것은 RGB의 화소를 공통으로 비점등 영역(52)으로 하는 것에 한정되는 것은 아니다. 예를 들면, R의 화소는 1/8을 비점등 영역(52)으로 하고, G의 화소는 1/6을 비점등 영역(52)으로 하고, B의 화소는 1/10을 비점등 영역(52)으로, 각각의 색에 의해 변화시켜도 된다. 또한, RGB의 색에서 개별 비점등 영역(52)(혹은 점등 영역(53))을 조정할 수 있도록 하여도 된다. 이들을 실현하기 위해서는, R, G, B에서 개별적인 게이트 신호선(17b)이 필요하게 된다. 그러나, 이상의 RGB의 개별 조정을 가능하게 함으로써, 화이트 밸런스를 조정하는 것이 가능해져, 각 계조에 있어서 색의 밸런스 조정이 용이해진다(도 41을 참조).

도 13의 (b)에 도시하는 바와 같이, 기입 화소 행(51a)을 포함하는 화소 행을 비점등 영역(52)으로 하고, 기입 화소 행(51a)보다도 위 화면의 S/N(시간적으로는 1F/N)의 범위를 표시 영역(53)으로 한다(기입 주사가 화면의 위에서 아래 방향인 경우, 화면을 아래에서 위로 주사하는 경우에는, 그 역으로 됨). 화상 표시 상태는 표시 영역(53)이 띠 형상으로 되고, 화면의 위에서 아래로 이동한다.

도 13의 표시에서는 하나의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동한다. 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 감았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉽게 된다.

이 과제에 대해서는, 도 16에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 된다. 이 분할된 총합이 S(N-1)/N의 면적으로 되면, 도 13의 밝기와 동등하게 된다. 또, 분할된 표시 영역(53)은 똑같이 할 필요는 없다. 또한, 분할된 비표시 영역(52)도 똑같이 할 필요는 없다.

이상과 같이, 표시 영역(53)을 복수로 분할하는 것에 의해 화면의 어른거림은 감소한다. 따라서, 깜박임의 발생이 없어, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 미세하게 해도 된다. 그러나, 분할할수록 동화상 표시 성능은 저하한다.

도 17은 게이트 신호선(17)의 전압 파형 및 EL의 발광 휘도를 도시하고 있다. 도 17에서 분명한 바와 같이, 게이트 신호선(17b)을 Vgl로 하는 기간(1F/N)을 복수로 분할(분할 수 K)하고 있다. 즉, Vgl로 하는 기간은 1F/(K·N)의 기간을 K회 실시한다. 이와 같이 제어하면, 깜박임의 발생을 억제할 수 있고, 저 프레임 레이트의 화상 표시를 실현할 수 있다. 또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 누르거나, 혹은 밝기 조정볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경해도 된다. 또, 사용자가 휘도를 조정하도록 구성해도 된다. 표시하는 화상의 내용, 데이터에 의해 수동으로 혹은 자동적으로 변화시키도록 구성해도 된다.

또, 도 17 등에 있어서, 게이트 신호선(17b)을 Vgl로 하는 기간(1F/N)을 복수로 분할(분할 수 K)하고, Vgl로 하는 기간은 1F/(K·N)의 기간을 K회 실시한다고 했지만 이것에 한정되는 것이 아니다. 1F/(K·N)의 기간을 L(L≠K)회 실시해도 된다. 즉, 본 발명은 EL 소자(15)에 흐르는 기간(시간)을 제어함으로써 표시 화면(50)을 표시하는 것이다. 따라서, 1F/(K·N)의 기간을 L(L≠K)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 표시 화상(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, L=2와 L=3에서는 50%의 휘도(콘트라스트) 변화로 된다. 또한, 화상의 표시 영역(53)을 분할할 때, 게이트 신호선(17b)을 Vgl로 하는 기간은 동일 기간에 한정하는 것이 아니다.

이상의 실시예는, EL 소자(15)에 흐르는 전류를 차단하고, 또한 EL 소자에 흐르는 전류를 접속하는 것에 의해, 표시 화면(50)을 온 오프(점등, 비점등)하는 것이었다. 즉, 컨덴서(19)에 유지된 전하에 의해 트랜지스터(11a)에 복수회, 대략 동일 전류를 흘려 보내는 것이다. 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 컨덴서(19)에 유지된 전하를 충방전시킴으로써, 표시 화면(50)을 온 오프(점등, 비점등)하는 방식이어도 된다.

도 18은 도 16의 화상 표시 상태를 실현하기 위한, 게이트 신호선(17)에 인가하는 전압 파형이다. 도 18과 도 15의 차이는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 따라, 그 개수분만큼 온 오프(Vgl과 Vgh) 동작한다. 다른 점은 도 15와 동일하기 때문에 설명을 생략한다.

EL 표시 장치에서는 흑 표시는 완전히 비점등이므로, 액정 표시 패널을 간헐 표시한 경우와 같이 콘트라스트 저하도 없다. 또한, 도 1의 구성에서는, 트랜지스터(11d)를 온 오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 또한, 도 38, 도 51의 구성에서는, 트랜지스터 소자(11e)를 온 오프 조작하는 것만으로 간헐 표시를 실현할 수 있다. 이것은 컨덴서(19)에 화상 데이터가 메모리(아날로그값)이므로 계조 수는 무한대)되어 있기 때문이다. 즉, 각 화소(16)에, 화

상 데이터는 1F의 기간중에는 유지되고 있다. 이 유지되고 있는 화상 데이터에 상당하는 전류를 EL 소자(15)에 흘려 보낼지 여부를 트랜지스터(11d, 11e)의 제어에 의해 실현하고 있는 것이다.

따라서, 이상의 구동 방법은 전류 구동 방식에 한정되는 것이 아니고, 전압 구동 방식에도 적용할 수 있는 것이다. 즉, EL 소자(15)에 흘리는 전류가 각 화소 내에서 보존하고 있는 구성에 있어서, 구동용 트랜지스터(11)를 EL 소자(15) 사이의 전류 경로를 온 오프함으로써 간헐 구동을 실현하는 것이다.

컨덴서(19)의 단자 전압을 유지하는 것은 깜박임 저감과 저 소비 전력화에 중요하다. 1 필드(프레임) 기간에 컨덴서(19)의 단자 전압이 변화(충방전)하면, 화면 휘도가 변화하여, 프레임 레이트가 저하했을 때에 어른거림(깜박임 등)이 발생하기 때문이다. 트랜지스터(11a)가 1 프레임(1 필드) 기간에 EL 소자(15)에 흘리는 전류는, 적어도 65% 이하로 저하하지 않도록 할 필요가 있다. 이 65%란, 화소(16)에 기입하고, EL 소자(15)에 흘리는 전류의 최초가 100%라고 했을 때, 다음 프레임(필드)에서 상기 화소(16)에 기입하기 직전의 EL 소자(15)에 흘리는 전류를 65% 이상으로 하는 것이다.

도 1의 화소 구성에서는, 간헐 표시를 실현하는 경우로 하지 않는 경우에는, 1 화소를 구성하는 트랜지스터(11)의 개수에 변화가 없다. 즉, 화소 구성은 그대로이고, 소스 신호선(18)의 기생 용량의 영향을 제거하여, 양호한 전류 프로그램을 실현하고 있다. 나아가서는, CRT에 가까운 동화상 표시를 실현하고 있는 것이다.

또한, 게이트 드라이버(12)의 동작 클럭은 소스 드라이버(14)의 동작 클럭에 비하여 충분히 느리기 때문에, 회로의 메인 클럭이 높아진다고 하는 일은 없다. 또한, N의 값의 변경도 용이하다.

또, 화상 표시 방향(화상 기입 방향)은, 1 필드(1 프레임)째에서는 화면의 위에서 아래 방향으로 하고, 다음 제2 필드(프레임)째에서는 화면의 아래에서 위 방향으로 하여도 된다. 즉, 위에서 아래 방향과, 아래에서 위 방향을 교대로 반복한다.

또한, 1 필드(1 프레임)째에서는 화면의 위에서 아래 방향으로 하여, 일단, 전 화면을 흑 표시(비표시)로 한 후, 다음 제2 필드(프레임)째에서는 화면의 아래에서 위 방향으로 하여도 된다. 또한, 일단, 전 화면을 흑 표시(비표시)로 하여도 된다.

또, 이상의 구동 방법의 설명에서는, 화면의 기입 방법을 화면의 위에서 아래 혹은 아래에서 위로 했지만, 이것에 한정되는 것이 아니다. 화면의 기입 방향은 끊임없이, 화면의 위에서 아래 혹은 아래에서 위로 고정하고, 비표시 영역(52)의 동작 방향을 1 필드째에서는 화면의 위에서 아래 방향으로 하고, 다음 제2 필드째에서는 화면의 아래에서 위 방향으로 하여도 된다. 또한, 1 프레임을 3 필드로 분할하여, 제1 필드에서는 R, 제2 필드에서는 G, 제3 필드에서는 B로 하여, 3 필드에서 1 프레임을 형성하는 것으로 해도 된다. 또한, 1수평 주사 기간(1H)마다, R, G, B를 전환하여 표시 해도 된다(도 175 내지 도 180 등을 참조할 것). 이상의 사 항은 다른 본 발명의 실시예에서도 마찬가지이다.

비표시 영역(52)은 완전히 비점등 상태일 필요는 없다. 미약한 발광 혹은 저휘도의 화상 표시가 있더라도 실용상은 문제없다. 즉, 화상 표시 영역(53)보다도 표시 휘도가 낮은 영역으로 해석해야 된다. 또한, 비표시 영역(52)이란, R, G, B 화상 표시 중 1색 또는 2색만이 비표시 상태라고 하는 경우도 포함된다. 또한, R, G, B 화상 표시 중 1색 또는 2색만이 저휘도의 화상 표시 상태라고 하는 경우도 포함된다.

기본적으로는 표시 영역(53)의 휘도(밝기)가 소정 값으로 유지되는 경우, 표시 영역(53)의 면적이 넓어질수록, 화면(50)의 휘도는 높아진다. 예를 들면, 표시 영역(53)의 휘도가 100(nt)인 경우, 표시 영역(53)이 전 화면(50)에 차지하는 비율이 10% 내지 20%라고 하면, 화면의 휘도는 2배로 된다. 따라서, 전 화면(50)에 차지하는 표시 영역(53)의 면적을 변화시킴으로써, 화면의 표시 휘도를 변화시킬 수 있다. 화면(50)의 표시 휘도는 화면(50)에 차지하는 표시 영역(53)의 비율에 비례한다.

표시 영역(53)의 면적은 시프트 레지스터 회로(61)에의 데이터 펄스(ST2)를 제어함으로써 임의로 설정할 수 있다. 또한, 데이터 펄스의 입력 타이밍, 주기를 변화시킴으로써, 도 16의 표시 상태와 도 13의 표시 상태를 전환할 수 있다. 1F 주기에서의 데이터 펄스 수를 많게 하면, 화면(50)은 밝아지고, 적게 하면, 화면(50)은 어둡게 된다. 또한, 연속하여 데이터 펄스를 인가하면 도 13의 표시 상태로 되고, 간헐적으로 데이터 펄스를 입력하면 도 16의 표시 상태로 된다.

도 19의 (a)는 도 13과 같이 표시 영역(53)이 연속하고 있는 경우의 밝기 조정 방식이다. 도 19의 (a1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19의 (a2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19의 (a3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19의 (a)는 가장 동화상 표시에 적합하다.

도 19의 (a1)에서 도 19의 (a3)로의 변화(혹은 그 역)는, 앞서도 기재한 바와 같이 게이트 드라이버(12)의 시프트 레

지스터 회로(61) 등의 제어에 의해 용이하게 실현할 수 있다. 이 때, 도 1의 Vdd 전압은 변화시킬 필요가 없다. 즉, 전원 전압을 변화시키지 않고서 표시 화면(50)의 휘도 변화를 실시할 수 있다. 또한, 도 19의 (a1)에서 도 19의 (a3)로의 변화 시에, 화면의 감마 특성은 전혀 변화하지 않는다. 따라서, 화면(50)의 휘도에 상관없이, 표시 화상의 콘트라스트, 계조 특성이 유지된다. 이것은 본 발명의 효과가 있는 특징이다.

종래의 화면의 휘도 조정에서는, 화면(50)의 휘도가 낮을 때에는 계조 성능이 저하한다. 즉, 고휘도 표시 시에는 64 계조 표시를 실현할 수 있더라도, 저휘도 표시 시에는, 반 이하의 계조 수밖에 표시할 수 없는 경우가 대부분이다. 이에 비하여, 본 발명의 구동 방법에서는 화면의 표시 휘도에 의존하지 않고, 최고의 64 계조 표시를 실현할 수 있다.

도 19의 (b)는 도 16과 같이 표시 영역(53)이 분산하고 있는 경우의 밝기 조정 방식이다. 도 19의 (b1)의 화면(50)의 표시 휘도가 가장 밝다. 도 19의 (b2)의 화면(50)의 표시 휘도가 다음으로 밝고, 도 19의 (b3)의 화면(50)의 표시 휘도가 가장 어둡다. 도 19의 (b1)에서 도 19의 (b3)로의 변화(혹은 그 역)는, 앞서도 기재한 바와 같이 게이트 드라이버(12)의 시프트 레지스터 회로(61) 등의 제어에 의해, 용이하게 실현할 수 있다. 도 19의 (b)와 같이 표시 영역(53)을 분산시키면, 저 프레임 레이트에서도 깜박임이 발생하지 않는다.

또한 저 프레임 레이트에서도 깜박임이 발생하지 않도록 하기 위해서는, 도 19의 (c)와 같이 표시 영역(53)을 미세하게 분산시키면 된다. 그러나, 동화상의 표시 성능은 저하한다. 따라서, 동화상을 표시하기 위해서는, 도 19의 (a)의 구동 방법이 적합하다. 정지 화상을 표시하고, 저 소비 전력화를 요망할 때에는, 도 19의 (c)의 구동 방법이 적합하다. 도 19의 (a) 내지 도 19의 (c)의 구동 방법의 전환도, 시프트 레지스터(61)의 제어에 의해 용이하게 실현 가능하다.

이상의 실시예는 주로, N=2배, 4배 등으로 하는 실시예였다. 그러나, 본 발명은 정수배에 한정되는 것이 아님은 물론이다. 또한, N=2 이상으로 한정되는 것도 아니다. 예를 들면, 어떤 시각에서 표시 화면(50)의 반 이하의 영역을 비점등 영역(52)으로 하는 일도 있다. 소정값의 5/4배의 전류 Iw로 전류 프로그램하고, 1F의 4/5 기간 점등시키면, 소정의 휘도를 실현할 수 있다.

본 발명은 이것에 한정되는 것이 아니다. 일례로서, 10/4배의 전류 Iw로 전류 프로그래밍하여, 1F의 4/5 기간 동안 점등시킨다고 하는 방법도 있다. 이 경우에는 소정 휘도의 2배로 점등한다. 또한, 5/4배의 전류 Iw로 전류 프로그래밍하고, 1F의 2/5 기간 동안 점등시킨다고 하는 방법도 있다. 이 경우에는, 소정 휘도의 1/2배로 점등한다. 또한, 5/4배의 전류 Iw로 전류 프로그래밍하여, 1F의 1/1 기간 동안 점등시킨다고 하는 방법도 있다. 이 경우에는 소정 휘도의 5/4배로 점 등한다.

즉, 본 발명은 프로그램 전류의 크기와 1F의 점등 기간을 제어함으로써 표시 화면의 휘도를 제어하는 방식이다. 또한, 1F 기간보다도 짧은 기간 점등시키는 것에 의해, 비점등 영역(52)을 삽입할 수 있고, 동화상 표시 성능을 향상시킬 수 있다. 1F의 기간, 상시 점등시키는 것에 의해 밝은 화면을 표시할 수 있다.

화소에 기입하는 전류(소스 드라이버 회로(14)로부터 출력하는 프로그램 전류)는, 화소 사이즈가 A평방mm로 하고, 백래스터 표시 소정 휘도를 B(nt)로 했을 때, 프로그램 전류 I(μA)는,

$$(A \times B)/20 \leq I \leq (A \times B)$$

의 범위로 하는 것이 바람직하다. 발광 효율이 양호해지고, 또한 전류 기입 부족이 해소된다.

또한 바람직하게는, 프로그램 전류 I(μA)는,

$$(A \times B)/10 \leq I \leq (A \times B)$$

의 범위로 하는 것이 바람직하다.

도 20은 소스 신호선(18)에 흐르는 전류를 증대시키는 다른 실시예의 설명도이다. 기본적으로 복수의 화소 행을 동시에 선택하고, 복수의 화소 행을 합한 전류로 소스 신호선(18)의 기생 용량 등을 충방전하여 전류 기입 부족을 대폭 개선하는 방식이다. 단, 복수의 화소 행을 동시에 선택하기 때문에, 1 화소당 구동하는 전류를 감소시킬 수 있다. 따라서, EL 소자(15)에 흐르는 전류를 감소시킬 수 있다. 여기서, 설명을 쉽게 하기 위해서, 일례로서, N=10으로 하여 설명한다(소스 신호선(18)에 흘리는 전류를 10배로 함).

도 20에서 설명하는 본 발명은, 화소 행은 동시에 M 화소 행을 선택한다. 소스 드라이버 IC(14)로부터는 소정 전류의 N배 전류를 소스 신호선(18)에 인가한다. 각 화소에는 EL 소자(15)에 흘려보내는 전류의 N/M배의 전류가 프로그램된다. 일례로서, EL 소자(15)를 소정 발광 휘도로 하기 위해서, EL 소자(15)에 흐르는 시간을 1 프레임(1 필드)의 M/N 시간으로 한다(단, M/N에 한정하는 것은 아님. M/N으로 하는 것은 이해를 쉽게 하기 위해서임. 앞서도 설명한 바

와 같이, 표시하는 화면(50) 휘도에 의해 자유롭게 설정 가능함은 물론임). 이와 같이 구동하는 것에 의해, 소스 신호선(18)의 기생 용량을 충분히 충방전할 수 있어, 양호한 해상도를 소정의 발광 휘도를 얻을 수 있다.

1 프레임(1 필드)의 M/N의 기간 동안만, EL 소자(15)에 전류를 흘려 보내고, 다른 기간(1F(N-1)M/N)은 전류를 흘려 보내지 않도록 표시한다. 이 표시 상태에서는 1F마다 화상 데이터 표시, 흑 표시(비점등)가 반복하여 표시된다. 즉, 화상 데이터 표시 상태가 시간적으로 띄엄띄엄 표시(간헐 표시) 상태로 된다. 따라서, 화상의 윤곽 흐려짐이 없어져 양호한 동화상 표시를 실현 가능하다. 또한, 소스 신호선(18)에는 N배의 전류로 구동하기 때문에, 기생 용량의 영향을 받지 않고, 고정밀 표시 패널에도 대응할 수 있다.

도 21은 도 20의 구동 방법을 실현하기 위한 구동 파형의 설명도이다. 신호 파형은 오프 전압을 Vgh(H 레벨)로 하고, 온 전압을 Vgl(L 레벨)로 하고 있다. 각 신호선의 첨자는 화소 행의 번호((1)(2)(3) 등)를 기재하고 있다. 또, 행 수는 QCIF 표시 패널의 경우에는 220개이고, VGA 패널에서는 480개이다.

도 21에 있어서, 게이트 신호선(17a)(1)이 선택되고(Vgl 전압), 선택된 화소 행의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 여기서는 설명을 쉽게 하기 위해서, 우선 기입 화소 행(51a)이 화소 행(1)번째라고 하여 설명한다.

또한, 소스 신호선(18)에 흐르는 프로그램 전류는 소정값의 N배(설명을 쉽게 하기 위해서, N=10으로 하여 설명함. 물론, 소정값이란 화상을 표시하는 데이터 전류이므로, 백 래스터 표시 등이 아닌 한 고정치가 아님)이다. 또한, 5 화소 행이 동시에 선택(M=5)되는 것으로 하여 설명한다. 따라서, 이상적으로는 하나의 화소의 컨덴서(19)에는 2배(N/M=10/5=2)로 전류가 트랜지스터(11a)에 흐르도록 프로그램된다.

기입 화소 행이 (1) 화소 행째일 때, 도 21에서 도시한 바와 같이, 게이트 신호선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다. 즉, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, 게이트 신호선(17b)은 게이트 신호선(17a)의 역 위상으로 되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11d)가 오프 상태이며, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5 화소의 트랜지스터(11a)가, 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘려 보낸다(즉, 소스 신호선(18)에는 $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$). 따라서, 본 발명의 N배 펄스 구동을 실시하지 않는 경우가 소정 전류 I_w 라고 하면, I_w 의 10배의 전류가 소스 신호선(18)에 흐름).

이상의 동작(구동 방법)에 의해, 각 화소(16)의 컨덴서(19)에는, 2배의 전류가 프로그램된다. 여기서는, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , S값)이 일치하고 있는 것으로 해서 설명한다.

동시에 선택하는 화소 행이 5 화소 행(M=5)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $10/5=2$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 본래 기입하는 전류 I_w 로 하고, 소스 신호선(18)에는 $I_w \times 10$ 의 전류를 흘려 보낸다. 기입 화소 행(1)보다 이후에 화상 데이터를 기입하는 기입 화소 행(51b)은 소스 신호선(18)에의 전류량을 증가시키기 위해서, 보조적으로 이용하는 화소 행이다. 그러나, 기입 화소 행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 4 화소 행(51b)에 있어서, 1H 기간 동안은 (51a)과 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다. 단, 도 38과 같은 커런트 미러의 화소 구성, 그밖의 전압 프로그램 방식의 화소 구성에서는 표시 상태로 하여도 된다.

1H 후에는, 게이트 신호선(17a)(1)은 비선택이 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한, 동시에, 게이트 신호선(17a)(6)이 선택되고(Vgl 전압), 선택된 화소 행(6)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소 행(1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가된다. 또한 동시에, 게이트 신호선(17a)(7)이 선택되고(Vgl 전압), 선택된 화소 행(7)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 이상의 동작과 1 화소 행씩 시프트하면서 주사하는 것에 의해 1 화면이 재기입된다.

도 20의 구동 방법에서는, 각 화소에는 2배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 2배로 된다. 따라서, 표시 화면의 휘도는 소정값보다도 2배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16에 도시하는 바와 같이, 기입 화소 행(51)을 포함하고, 또한 표시 화면(50)의 1/2의 범위를 비표시

영역(52)으로 하면 된다.

도 13과 마찬가지로, 도 20과 같이 하나의 표시 영역(53)이 화면의 위에서 아래 방향으로 이동하면, 프레임 레이트가 낮으면, 표시 영역(53)이 이동하는 것이 시각적으로 인식된다. 특히, 눈꺼풀을 감았을 때, 혹은 얼굴을 상하로 이동시켰을 때 등에 인식되기 쉽게 된다.

이 과제에 대해서는, 도 22에 도시하는 바와 같이, 표시 영역(53)을 복수로 분할하면 된다. 분할된 비표시 영역(52)을 가한 부분이 $S(N-1)/N$ 의 면적이 되면, 분할하지 않는 경우와 동일해진다.

도 23은 게이트 신호선(17)에 인가하는 전압 파형이다. 도 21과 도 23의 차이는 기본적으로는 게이트 신호선(17b)의 동작이다. 게이트 신호선(17b)은 화면을 분할하는 개수에 따라, 그 개수만큼 온 오프(Vgl와 Vgh) 동작한다. 다른 점은 도 21과 거의 동일 혹은 유사할 수 있기 때문에 설명을 생략한다.

이상과 같이, 표시 영역(53)을 복수로 분할하는 것에 의해 화면의 어른거림은 감소한다. 따라서, 깜박임의 발생이 없어, 양호한 화상 표시를 실현할 수 있다. 또, 분할은 더 미세하게 해도 된다. 그러나, 분할하면 할수록 깜박임은 경감한다. 특히 EL 소자(15)의 응답성이 빠르기 때문에, $5\mu\text{sec}$ 보다도 작은 시간에 온 오프해도, 표시 휘도의 저하는 없다.

본 발명의 구동 방법에 있어서, EL 소자(15)의 온 오프는 게이트 신호선(17b)에 인가하는 신호의 온 오프로 제어할 수 있다. 그 때문에, 본 발명의 구동 방법에서는 KHz 오더의 저주파 수로 제어가 가능하다. 또한, 흑 화면 삽입(비표시 영역(52) 삽입)을 실현하는 데에는, 화상 메모리 등을 필요로 하지 않는다. 따라서, 저 비용으로 본 발명의 구동 회로 혹은 방법을 실현할 수 있다.

도 24는 동시에 선택하는 화소 행이 2 화소 행인 경우이다. 검토한 결과에 따르면, 저온 폴리실리콘 기술로 형성한 표시 패널에서는, 2 화소 행을 동시에 선택하는 방법은 표시 균일성이 실용적이었다. 이것은 인접한 화소의 구동용 트랜지스터(11a)의 특성이 매우 일치하고 있기 때문으로 추정된다. 또한, 레이저 어닐링할 때에, 스트라이프형의 레이저 조사 방향은 소스 신호선(18)과 평행하게 조사함으로써 양호한 결과가 얻어졌다.

이것은 동일 시간에 어닐링되는 범위의 반도체막은 특성이 균일하기 때문이다. 즉, 스트라이프형의 레이저 조사 범위 내에서는 반도체막이 균일하게 제작되고, 이 반도체막을 이용한 트랜지스터의 V_t , 모빌리티가 거의 같게 되기 때문이다. 따라서, 소스 신호선(18)의 형성 방향에 평행하게 스트라이프형의 레이저 샷을 조사하고, 이 조사 위치를 이동시키는 것에 의해, 소스 신호선(18)에 따른 화소(화소 열, 화면의 상하 방향의 화소)의 특성은 거의 동등하게 제작된다. 따라서, 복수의 화소 행을 동시에 온시켜 전류 프로그램을 행했을 때, 프로그램 전류는 동시에 선택되어 복수의 화소에는 프로그램 전류가 선택된 화소 수로 나눈 전류가, 거의 동일하게 전류 프로그램된다. 따라서, 목표치에 가까운 전류 프로그램을 실시할 수 있어, 균일 표시를 실현할 수 있다. 따라서, 레이저 샷 방향과 도 24 등에서 설명하는 구동 방식은 상승 효과가 있다.

이상과 같이, 레이저 샷의 방향을 소스 신호선(18)의 형성 방향과 대략 일치(도 7을 참조)시키는 것에 의해, 화소의 상하 방향의 트랜지스터(11a)의 특성이 거의 동일하게 되어, 양호한 전류 프로그램을 실시할 수 있다(화소의 좌우 방향의 트랜지스터(11a)의 특성이 일치하지 않더라도). 이상의 동작은 1H(1수평 주사 기간)에 동기하여, 1 화소 행 혹은 복수 화소 행씩 선택 화소 행 위치를 어긋나게 하여 실시한다.

또, 도 8에서 설명한 바와 같이, 레이저 샷의 방향을 소스 신호선(18)과 평행하게 하는 것으로 했지만, 반드시 평행이 아니더라도 무방하다. 소스 신호선(18)에 대하여 경사 방향으로 레이저 샷을 조사해도 하나의 소스 신호선(18)에 따른 화소의 상하 방향의 트랜지스터(11a)의 특성은 거의 일치하여 형성되기 때문이다. 따라서, 소스 신호선에 평행하게 레이저 샷을 조사한다고 함은, 소스 신호선(18)을 따른 임의의 화소의 위 또는 아래에 인접한 화소를, 하나의 레이저 조사 범위로 들어가도록 형성한다는 것이다. 또한, 소스 신호선(18)이란 일반적으로는, 영상 신호가 되는 프로그램 전류 혹은 전압을 전달하는 배선이다.

또, 본 발명의 실시예에서는 1H마다 기입 화소 행 위치를 시프트시키는 것으로 했지만, 이것에 한정되는 것이 아니고, 2H마다 시프트(2 화소 행마다)해도 되며, 또한 그 이상의 화소 행씩 시프트시키더라도 무방하다. 또한, 임의의 시간 단위로 시프트해도 된다. 또, 1 화소 행 건너 띄고 시프트해도 된다.

화면 위치에 따라 시프트하는 시간을 변화시켜도 된다. 예를 들면, 화면의 중앙부에서의 시프트 시간을 짧게 하고, 화면의 상하부에서 시프트 시간을 길게 해도 된다. 예를 들면, 화면(50)의 중앙부는 $200\mu\text{sec}$ 마다 1 화소 행을 시프트하고, 화면(50)의 상하부는 $100\mu\text{sec}$ 마다 1 화소 행을 시프트한다. 이와 같이 시프트하는 것에 의해, 화면(50)의 중앙부의 발광 휘도가 높아져, 주변(화면(50)의 상부와 하부)을 낮게 할 수 있다. 또, 화면(50)의 중앙부와 화면 상부의 시프트 시간, 화면(50)의 중앙부와 화면 하부의 시프트 시간은 순조롭게 시간 변화하도록 하고, 휘도 윤곽이 생기지 않도록 제어하는 것은 물론이다.

또, 소스 드라이버 회로(14)의 기준 전류를 화면(50)의 주사 위치에 따라 변화(도 146 등을 참조)시키더라도 무방하다. 예를 들면, 화면(50)의 중앙부의 기준 전류를 $10\mu A$ 로 하고, 화면(50)의 상하부의 기준 전류는 $5\mu A$ 로 한다. 이와 같이 화면(50) 위치에 따라 기준 전류를 변화시킴으로써, 화면(50)의 중앙부의 발광 휘도가 높아져, 주변(화면(50)의 상부와 하부)을 낮게 할 수 있다. 또, 화면(50)의 중앙부와 화면 상부 사이의 기준 전류, 화면(50)의 중앙부와 화면 하부 사이의 기준 전류의 값은 순조롭게 시간 변화하도록 하고, 휘도 윤곽이 생기지 않도록 기준 전류를 제어하는 것은 물론이다.

또한, 화면 위치에 따라, 화소 행을 시프트하는 시간을 제어하는 구동 방법과, 화면(50) 위치에 따라 기준 전류를 변화시키는 구동 방법을 조합하여 화상 표시를 행하여도 됨은 물론이다.

프레임마다 시프트 시간을 변화시키어도 된다. 또한, 연속한 복수 화소 행을 선택하는 것에 한정되는 것이 아니다. 예를 들면, 1 화소 행 사이에 둔 화소 행을 선택해도 된다.

즉, 제1번째의 수평 주사 기간에 제1번째의 화소 행과 제3번째의 화소 행을 선택하고, 제2번째의 수평 주사 기간에 제2번째의 화소 행과 제4번째의 화소 행을 선택하고, 제3번째의 수평 주사 기간에 제3번째의 화소 행과 제5번째의 화소 행을 선택하고, 제4번째의 수평 주사 기간에 제4번째의 화소 행과 제6번째의 화소 행을 선택하는 구동 방법이다. 물론, 제1번째의 수평 주사 기간에 제1번째의 화소 행과 제3번째의 화소 행과 제5번째의 화소 행을 선택한다고 하는 구동 방법도 기술적 범주이다. 물론, 복수 화소 행 사이에 둔 화소 행 위치를 선택해도 된다.

또, 이상의 레이저 샷 방향과 복수개의 화소 행을 동시에 선택한다고 하는 조합은, 도 1, 도 2, 도 32의 화소 구성에만 한정되는 것이 아니며, 커런트 미러의 화소 구성인 도 38, 도 42, 도 50 등의 다른 전류 구동 방식의 화소 구성에도 적용할 수 있는 것은 물론이다. 또한, 도 43, 도 51, 도 54, 도 62 등의 전압 구동의 화소 구성에도 적용할 수 있다. 즉, 화소 상하의 트랜지스터의 특성이 일치되어 있으면, 동일한 소스 신호선(18)에 인가한 전압값에 의해 양호하게 전압 프로그램을 실시할 수 있기 때문이다.

도 24에 있어서, 기입 화소 행이 (1) 화소 행째일 때, 게이트 신호선(17a)은 (1)(2)가 선택되어 있다(도 25를 참조). 즉, 화소 행(1)(2)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 따라서, 적어도 화소 행(1)(2)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 또, 도 24에서는 깜박임의 발생을 저감하기 위해서, 표시 영역(53)을 5 분할하고 있다.

이상적으로는, 2 화소(행)의 트랜지스터(11a)가 각각 $I_w \times 5$ ($N=10$ 인 경우. 즉, $K=2$ 이므로, 소스 신호선(18)에 흐르는 전류는 $I_w \times K \times 5 = I_w \times 10$ 으로 됨)의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소(16)의 커패시터(19)에는 5배의 전류가 프로그램된다.

동시에 선택하는 화소 행이 2 화소 행($K=2$)이므로, 2개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $10/2=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 2개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

예를 들면, 기입 화소 행(51a)에, 본래 기입하는 전류 I_d 로 하고, 소스 신호선(18)에는 $I_w \times 10$ 의 전류를 흘려 보낸다. 기입 화소 행(51b)은 후에 정규 화상 데이터가 기입되기 때문에 문제가 없다. 화소 행(51b)은 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음의, 1H 후에는, 게이트 신호선(17a)(1)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가된다. 또한 동시에, 게이트 신호선(17a)(3)이 선택되고(V_{gl} 전압), 선택된 화소 행(3)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작함으로써, 화소 행(1)에는 정규의 화상 데이터가 유지된다.

다음의, 1H 후에는, 게이트 신호선(17a)(2)은 비선택으로 되고, 게이트 신호선(17b)에는 온 전압(V_{gl})이 인가된다. 또한 동시에, 게이트 신호선(17a)(4)이 선택되고(V_{gl} 전압), 선택된 화소 행(4)의 트랜지스터(11a)에서 소스 드라이버 회로(14)를 향하여 소스 신호선(18)에 프로그램 전류가 흐른다. 이와 같이 동작하는 것에 의해, 화소 행(2)에는 정규의 화상 데이터가 유지된다. 이상의 동작과 1 화소 행씩 시프트(물론, 복수 화소 행씩 시프트해도 됨. 예를 들면, 의사 인터레이스 구동이면, 2 행씩 시프트할 것임. 또한, 화상 표시의 관점에서, 복수의 화소 행에 동일 화상을 기입하는 경우도 있을 것임)하면서 주사하는 것에 의해 1 화면이 재기입된다.

도 16과 마찬가지로이지만, 도 24의 구동 방법에서는, 각 화소에는 5배의 전류(전압)로 프로그램을 행하기 때문에, 각 화소의 EL 소자(15)의 발광 휘도는 이상적으로는 5배로 된다. 따라서, 표시 영역(53)의 휘도는 소정값보다도 5배로 된다. 이것을 소정의 휘도로 하기 위해서는, 도 16 등에 도시하는 바와 같이, 기입 화소 행(51)을 포함하고, 또한 표시

화면1의 1/5의 범위를 비표시 영역(52)으로 하면 된다.

도 27에 도시하는 바와 같이, 2개의 기입 화소 행(51)(51a, 51b)이 선택되고, 화면(50)의 상변에서 하변으로 순차 선택되어 간다(도 26도 참조할 것. 도 26에서는 화소(16a와 16b)가 선택되어 있음). 그러나, 도 27의 (b)와 같이, 화면의 하변까지 오면 기입 화소 행(51a)은 존재하지만, (51b)는 없어진다. 즉, 선택하는 화소 행이 하나밖에 없게 된다. 그 때문에, 소스 신호선(18)에 인가된 전류는 전부 화소 행(51a)에 기입된다. 따라서, 화소 행(51a)에 비하여 2배의 전류가 화소에 프로그램되어 버린다.

이 과제에 대하여, 본 발명은 도 27의 (b)에 도시하는 바와 같이 화면(50)의 하변에 더미 화소 행(281)을 형성(배치)하고 있다. 따라서, 선택 화소 행이 화면(50)의 하변까지 선택된 경우에는, 화면(50)의 최종 화소 행과 더미 화소 행(281)이 선택된다. 그 때문에, 도 27의 (b)의 기입 화소 행에는 규정대로의 전류가 기입된다.

또, 더미 화소 행(281)은 표시 화면(50)의 상단 혹은 하단에 인접하여 형성한 바와 같이 도시했지만, 이것에 한정되는 것이 아니다. 표시 화면(50)으로부터 떨어진 위치에 형성되어 있어도 된다. 또한, 더미 화소 행(281)은 도 1의 스위칭용 트랜지스터(11d), EL 소자(15) 등은 형성할 필요는 없다. 형성하지 않음으로써, 더미 화소 행(281)의 사이즈는 작아진다.

도 28은 도 27의 (b)의 상태를 나타내고 있다. 도 28에서 분명한 바와 같이, 선택 화소 행이 화면(50)의 하변의 화소(16c) 행까지 선택된 경우에는, 화면(50)의 최종 화소 행(더미 화소 행)(271)이 선택된다. 더미 화소 행(281)은 표시 화면(50) 밖에 배치한다. 즉, 더미 화소 행(더미 화소)(271)은 점등하지 않거나 혹은 점등시키지 않거나, 혹은 점등해도 표시로서 보이지 않도록 구성한다. 예를 들면, 화소 전극(105)과 트랜지스터(11)의 콘택트홀을 없앤다든지, 더미 화소 행(281)에는 EL막(15)을 형성하지 않는다든지 하는 것이다. 또한, 더미 화소 행의 화소 전극(105)상에 절연막을 형성하는 구성 등이 예시된다.

도 27에서는 화면(50)의 하변에 더미 화소(행)(281)를 마련(형성, 배치)하는 것으로 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 도 29의 (a)에 도시하는 바와 같이, 화면의 하변에서 상변으로 주사(상하 역전 주사)하는 경우에는, 도 29의 (b)에 도시하는 바와 같이 화면(50)의 상변에도 더미 화소 행(281)을 형성하여야 한다. 즉, 화면(50)의 상변을 하변의 각각에 더미 화소 행(281)을 형성(배치)한다. 이상과 같이 구성함으로써, 화면의 상하 반전 주사에도 대응할 수 있게 된다. 이상의 실시예는 2 화소 행을 동시 선택하는 경우였다.

본 발명은 이것에 한정되는 것이 아니고, 예를 들면, 5 화소 행을 동시 선택하는 방식(도 23을 참조)이라도 무방하다. 즉, 5 화소 행 동시 구동인 경우에는, 더미 화소 행(281)은 4 행분 형성하면 된다. 따라서, 더미 화소 행(281)은 동시에 선택하는 화소 행(11)의 화소 수만큼을 형성하면 된다. 단, 이것은 1 화소 행씩 선택하는 화소 행을 시프트하는 경우이다. 복수 화소 행씩 시프트하는 경우에는, 선택하는 화소 수를 M으로 하고, 시프트하는 화소 행 수를 L로 했을 때, $(M-1) \times L$ 화소 행만큼을 형성하면 된다.

본 발명의 더미 화소 행 구성 혹은 더미 화소 행 구동은, 적어도 하나 이상의 더미 화소 행을 이용하는 방식이다. 물론, 더미 화소 행 구동 방법과 N배 펄스 구동을 조합하여 이용하는 것이 바람직하다.

복수개의 화소 행을 동시에 선택하는 구동 방법에서는, 동시에 선택하는 화소 행 수가 증가할수록, 트랜지스터(11a)의 특성 변동을 흡수하는 것이 곤란해진다. 그러나, 동시 선택 화소 행 수 M이 적어지면, 1 화소에 프로그램하는 전류가 커져, EL 소자(15)에 큰 전류를 흘려 보내게 된다. EL 소자(15)에 흘리는 전류가 크면 EL 소자(15)가 열화하기 쉽다.

도 30은 이 과제를 해결하는 것이다. 도 30의 기본 개념은, $1/2H$ (수평 주사 기간의 $1/2$)는 도 22, 도 29에서 설명한 바와 같이, 복수의 화소 행을 동시에 선택하는 방법이다. 그 후의 $(1/2)H$ (수평 주사 기간의 $1/2$)는 도 5, 도 13 등에서 설명한 바와 같이, 1 화소 행을 선택하는 방법을 조합한 것이다. 이와 같이 조합하는 것에 의해, 트랜지스터(11a)의 특성 변동을 흡수하여, 보다 고속으로 또한 면내 균일성을 양호하게 할 수 있다. 또, 이해를 쉽게 하기 위해서, $(1/2)H$ 로 조작하는 것으로 해서 설명하지만 이것에 한정되는 것이 아니다. 최초의 기간을 $(1/4)H$ 로 하고, 후반의 기간을 $(3/4)H$ 로 하여도 된다.

도 30에 있어서, 설명을 쉽게 하기 위해서, 제1 기간에서는 5 화소 행을 동시에 선택하고, 제2 기간에서는 1 화소 행을 선택하는 것으로 하여 설명한다. 우선, 제1 기간(전반의 $1/2H$)에서는 도 30의 (a1)에 도시하는 바와 같이, 5 화소 행을 동시에 선택한다. 이 동작은 도 22를 이용하여 설명했기 때문에 생략한다. 일례로서 소스 신호선(18)에 흘리는 전류는 소정값의 25배로 한다. 따라서, 각 화소(16)의 트랜지스터(11a)(도 1의 화소 구성인 경우)에는 5배의 전류($25/5$ 화소 행=5)가 프로그램된다. 25배의 전류이므로, 소스 신호선(18) 등에 발생하는 기생 용량은 매우 단기간에 총방전된다. 따라서, 소스 신호선(18)의 전위는, 단시간에 목표의 전위로 되어, 각 화소(16)의 콘덴서(19)의 단자 전압도 25배 전류를 흘리도록 프로그램된다. 이 25배 전류의 인가 시간은 전반의 $1/2H$ (수평 주사 기간의 $1/2$)로 한다.

당연한 것이지만, 기입 화소 행의 5 화소 행은 동일 화상 데이터가 기입되기 때문에, 표시하지 않도록 5 화소 행의 트랜지스터(11d)는 오프 상태로 된다. 따라서, 표시 상태는 도 30의 (a2)으로 된다.

다음 후반의 1/2H 기간은 1 화소 행을 선택하여 전류(전압) 프로그램을 행한다. 이 상태를 도 30의 (b1)에 도시하고 있다. 기입 화소 행(51a)은 앞과 같이 5배의 전류를 흘리도록 전류(전압) 프로그램된다. 도 30의 (a1)과 도 30의 (b1)에서 각 화소에 흘리는 전류를 동일하게 하는 것은, 프로그램된 컨덴서(19)의 단자 전압의 변화를 작게 하여, 보다 고속으로 목표의 전류를 흘릴 수 있도록 하기 위해서이다.

즉, 도 30의 (a1)에서, 복수의 화소에 전류를 흘려 보내, 고속으로 개략의 전류가 흐르는 값까지 근접시킨다. 이 제1 단계에서는, 복수의 트랜지스터(11a)에서 프로그램하고 있기 때문에, 목표치에 대하여 트랜지스터의 변동에 의한 오차가 발생하고 있다. 다음의 제2 단계에서, 데이터를 기입하고 또한 유지하는 화소 행만을 선택하여, 개략의 목표치에서 소정의 목표치까지 완전한 프로그램을 행하는 것이다.

또, 비점등 영역(52)을 화면의 위에서 아래 방향으로 주사하고, 또한 기입 화소 행(51a)도 화면의 위에서 아래 방향으로 주사하는 것은 도 13 등의 실시예와 마찬가지로 하기 때문에 설명을 생략한다.

도 31은 도 30의 구동 방법을 실현하기 위한 구동 파형이다. 도 31에서 알 수 있듯이, 1H(1수평 주사 기간)는 2개의 페이지로 구성되어 있다. 이 2개의 페이지는 ISEL 신호로 전환한다. ISEL 신호는 도 31에 도시하고 있다.

우선, ISEL 신호에 대하여 설명을 해 둔다. 도 30을 실시하는 드라이버 회로(14)는, 전류 출력 회로 A와 전류 출력 회로 B를 구비하고 있다. 각각의 전류 출력 회로는, 8 비트의 계조 데이터를 DA 변환하는 DA 회로와 연산 증폭기 등으로 구성된다. 도 30의 실시예에서는, 전류 출력 회로 A는 25배의 전류를 출력하도록 구성되어 있다. 한편, 전류 출력 회로 B는 5배의 전류를 출력하도록 구성되어 있다. 전류 출력 회로 A와 전류 출력 회로 B의 출력은 ISEL 신호에 의해 전류 출력부에 형성(배치)된 스위치 회로가 제어되어, 소스 신호선(18)에 인가된다. 이 전류 출력 회로는 각 소스 신호선에 배치되어 있다.

ISEL 신호는 L 레벨일 때, 25배 전류를 출력하는 전류 출력 회로 A가 선택되어 소스 신호선(18)으로부터의 전류를 소스 드라이버 IC(14)가 흡수한다(보다 적절 하게는, 소스 드라이버 회로(14) 내에 형성된 전류 출력 회로 A가 흡수함). 25배, 5배 등의 전류 출력 회로 전류의 크기 조정은 용이하다. 복수의 저항과 아날로그 스위치로 용이하게 구성할 수 있기 때문이다.

도 30에 도시한 바와 같이 기입 화소 행이 (1) 화소 행일 때(도 30의 1H의 란을 참조), 게이트 신호선(17a)은 (1)(2)(3)(4)(5)가 선택되어 있다(도 1의 화소 구성인 경우). 즉, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, ISEL이 L 레벨이므로, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상적으로는, 5 화소의 트랜지스터(11a)가 각각 $I_w \times 2$ 의 전류를 소스 신호선(18)에 흘려 보낸다. 그리고, 각 화소(16)의 컨덴서(19)에는 5배의 전류가 프로그램된다. 여기서는, 이해를 쉽게 하기 위해서, 각 트랜지스터(11a)는 특성(V_t , S_{Δ})이 일치하고 있는 것으로 해서 설명을 한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다. 예를 들면, 기입 화소 행(51a)에, 종래의 구동 방법으로 화소에 기입하는 전류 I_w 로 할 때, 소스 신호선(18)에는 $I_w \times 25$ 의 전류를 흘려 보낸다. 기입 화소 행 (1)보다 이후에 화상 데이터를 기입하는 기입 화소 행(51b)은, 소스 신호선(18)에의 전류량을 증가시키기 위해서 보조적으로 이용하는 화소 행이다. 그러나, 기입 화소 행(51b)은 후에 정규의 화상 데이터가 기입되기 때문에 문제가 없다.

따라서, 화소 행(51b)은, 1H 기간 동안은 (51a)와 동일 표시이다. 그 때문에, 기입 화소 행(51a)과 전류를 증가시키기 위해서 선택한 화소 행(51b)을 적어도 비표시 상태(52)로 하는 것이다.

다음의 1/2H(수평 주사 기간의 1/2)에서는 기입 화소 행(51a)만을 선택한다. 즉, (1) 화소 행만을 선택한다. 도 31에서 분명한 바와 같이, 게이트 신호선(17a)(1)만이 온 전압(Vgl)이 인가되고, 게이트 신호선(17a)(2)(3)(4)(5)은 오프(Vgh)가 인가되어 있다. 따라서, 화소 행(1)의 트랜지스터(11a)는 동작 상태(소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행(2)(3)(4)(5)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다.

또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로 B와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 1/2H의 상태와 변화가 없고, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행(1)(2)(3)(4)(5)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상의 점으로부터, 화소 행(1)의 트랜지스터(11a)가 각각 $I_w \times 5$ 의 전류를 소스 신호선(18)에 흘려 보낸다. 그리고, 각 화소 행(1)의 컨덴서(19)에는 5배의 전류가 프로그램된다.

다음의 수평 주사 기간에서는 1 화소 행, 기입 화소 행이 시프트한다. 즉, 이번에는 기입 화소 행이 (2)이다. 최초의 1/2H의 기간에는, 도 31에 도시한 바와 같이 기입 화소 행이 (2) 화소 행째일 때, 게이트 신호선(17a)은 (2)(3)(4)(5)(6)이 선택되어 있다. 즉, 화소 행(2)(3)(4)(5)(6)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 온 상태이다. 또한, IS EL이 L 레벨이므로, 25배 전류를 출력하는 전류 출력 회로 A가 선택되고, 소스 신호선(18)과 접속되어 있다. 또한, 게이트 신호선(17b)에는 오프 전압(Vgh)이 인가되어 있다.

따라서, 화소 행(2)(3)(4)(5)(6)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다. 한편, 화소 행(1)의 게이트 신호선(17b)(1)은 Vgl 전압이 인가되고 있기 때문에, 트랜지스터(11d)는 온 상태이고, 화소 행(1)의 EL 소자(15)는 점등한다.

동시에 선택하는 화소 행이 5 화소 행($K=5$)이므로, 5개의 구동용 트랜지스터(11a)가 동작한다. 즉, 1 화소당 $25/5=5$ 배의 전류가 트랜지스터(11a)에 흐른다. 소스 신호선(18)에는 5개의 트랜지스터(11a)의 프로그램 전류를 가한 전류가 흐른다.

다음의 1/2H(수평 주사 기간의 1/2)에서는, 기입 화소 행(51a)만을 선택한다. 즉, (2) 화소 행째만을 선택한다. 도 31에서 분명한 바와 같이, 게이트 신호선(17a)(2)만이 온 전압(Vgl)이 인가되고, 게이트 신호선(17a)(3)(4)(5)(6)은 오프(Vgh)가 인가되어 있다.

따라서, 화소 행 (1)(2)의 트랜지스터(11a)는 동작 상태(화소 행 (1)은 EL 소자(15)에 전류를 흘려 보내고, 화소 행 (2)는 소스 신호선(18)에 전류를 공급하고 있는 상태)이지만, 화소 행 (3)(4)(5)(6)의 스위칭용 트랜지스터(11b), 트랜지스터(11c)가 오프 상태이다. 즉, 비선택 상태이다.

또한, ISEL이 H 레벨이므로, 5배 전류를 출력하는 전류 출력 회로 B가 선택되고, 이 전류 출력 회로(1222b)와 소스 신호선(18)이 접속되어 있다. 또한, 게이트 신호선(17b)의 상태는 앞의 1/2H의 상태와 변화가 없고, 오프 전압(Vgh)이 인가되어 있다. 따라서, 화소 행 (2)(3)(4)(5)(6)의 스위칭용 트랜지스터(11d)가 오프 상태이고, 대응하는 화소 행의 EL 소자(15)에는 전류가 흐르고 있지 않다. 즉, 비점등 상태(52)이다.

이상의 점으로부터, 화소 행 (2)의 트랜지스터(11a)가 각각 $I_w \times 5$ 의 전류를 소스 신호선(18)에 흘린다. 그리고, 각 화소 행 (2)의 컨덴서(19)에는 5배의 전류가 프로그램된다. 이상의 동작을 순차 실시하는 것에 의해 1 화면을 표시할 수 있다.

도 30에서 설명한 구동 방법은, 제1 기간에 G 화소 행(G는 2 이상)을 선택하고, 각 화소 행에는 N배의 전류를 흘리도록 프로그램한다. 제1 기간 후의 제2 기간에서는 B 화소 행(B는 G보다도 작고 1 이상)을 선택하고, 화소에는 N배의 전류를 흘리도록 프로그램하는 방식이다.

그러나, 다른 방책도 있다. 제1 기간에 G 화소 행(G는 2 이상)을 선택하고, 각 화소 행의 총합 전류가 N배의 전류로 되도록 프로그램한다. 제1 기간 후의 제2 기간에서는 B 화소 행(B는 G보다도 작고, 1 이상)을 선택하고, 선택된 화소 행의 총합의 전류(단, 선택 화소 행이 1일 때에는, 1 화소 행의 전류)가 N배로 되도록 프로그램하는 방식이다. 예를 들면, 도 30의 (a1)에 있어서, 5 화소 행을 동시에 선택하고, 각 화소의 트랜지스터(11a)에는 2배의 전류를 흘려 보낸다. 따라서, 소스 신호선(18)에는 5×2 배=10배의 전류가 흐른다. 다음의 제2 기간에서는 도 30의 (b1)에 있어서, 1 화소 행을 선택한다. 이 1 화소의 트랜지스터(11a)에는 10배의 전류를 흘려 보낸다.

또, 도 31에 있어서, 복수의 화소 행을 동시에 선택하는 기간을 1/2H로 하고, 1 화소 행을 선택하는 기간을 1/2H로 했는데 이것에 한정되는 것이 아니다. 복수의 화소 행을 동시에 선택하는 기간을 1/4H로 하고, 1 화소 행을 선택하는 기간을 3/4H로 하여도 된다. 또한, 복수의 화소 행을 동시에 선택하는 기간과, 1 화소 행을 선택하는 기간을 가한 기간은 1H로 했지만 이것에 한정되는 것이 아니다. 예를 들면, 2H 기간이라도 1.5H 기간이더라도 무방하다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 기간을 1/2H로 하고, 다음의 제2 기간에서는 2 화소 행을 동시에 선택하는 것으로 해도 된다. 이 경우라도 실용상 지장이 없는 화상 표시를 실현할 수 있다.

또한, 도 30에 있어서, 5 화소 행을 동시에 선택하는 제1 기간을 $1/2H$ 로 하고, 1 화소 행을 선택하는 제2 기간을 $1/2H$ 로 하는 2 단계로 했지만 이것에 한정되는 것이 아니다. 예를 들면, 제1 단계는, 5 화소 행을 동시에 선택하고, 제2 기간에는 상기 5 화소 행 중, 2 화소 행을 선택하고, 마지막으로 1 화소 행을 선택하는 3개의 단계로 하여도 된다. 즉, 복수의 단계에서 화소 행에 화상 데이터를 기입하여도 된다.

이상의 실시예는, 1 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식, 혹은 복수의 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식이다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 화상 데이터에 따라 1 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식과, 복수의 화소 행을 순차 선택하여 화소에 전류 프로그램을 행하는 방식을 조합하여도 된다.

도 186은 1 화소 행을 순차 선택하는 구동 방식과 복수 화소 행을 순차 선택하는 구동 방법을 조합한 것이다. 이해를 쉽게 하기 위해서, 도 186의 (a2)에 도시하는 바와 같이, 복수 화소 행을 동시에 선택하는 경우에는 2 화소 행을 예로서 설명한다. 따라서, 더미 화소 행(281)은 화면의 위와 아래에서 각 1 행 형성한다. 1 화소 행을 순차 선택하는 구동 방식의 경우에는, 더미 화소 행은 사용하지 않아도 무방하다.

또한, 이해를 쉽게 하기 위해서, 도 186의 (a1)(1 화소 행을 선택함)과 도 186의 (a2)(2 화소 행을 선택함)의 어느 구동 방식에서도 소스 드라이버 IC(14)가 출력하는 전류는 동일로 한다. 따라서, 도 186의 (a2)과 같이 2 화소 행을 동시에 선택하는 구동 방식인 경우에는, 1 화소 행을 순차 선택하는 구동 방식(도 186의 (a1))보다도 화면 휘도는 $1/2$ 로 된다. 화면 휘도를 일치시키는 경우에는, 도 186의 (a2)의 duty를 2배(예를 들면, 도 186의 (a1)이 duty $1/2$ 이면, 도 186의 (a2)의 duty를 $1/2 \times 2 = 1/1$)로 하면 된다. 또한, 소스 드라이버 IC(14)에 입력하는 기준 전류의 크기를 2배 변 화시키면 된다. 혹은, 프로그램 전류를 2배로 하면 된다.

도 186의 (a1)은 본 발명의 통상의 구동 방법이다. 입력되는 영상 신호가 논 인터레이스(프로그레시브) 신호인 경우에는, 도 186의 (a1)의 구동 방식을 실시한다. 입력되는 영상 신호가 인터레이스 신호인 경우에는 도 186의 (a2)을 실시한다. 또한, 영상 신호의 화상 해상도가 없는 경우에는, 도 186의 (a2)을 실시한다. 또한, 동화상에서는 도 186의 (a2)을 실시하고, 정지 화상에서는 도 186의 (a1)을 실시하도록 제어해도 된다. 도 186의 (a1)과 도 186의 (a2)의 전환은, 게이트 드라이버 회로(12)에의 스타트 펄스의 제어에 의해 용이하게 변경할 수 있다.

과제는 도 186의 (a2)과 같이 2 화소 행을 동시에 선택하는 구동 방식인 경우에는, 1 화소 행을 순차 선택하는 구동 방식(도 186의 (a1))보다도 화면 휘도는 $1/2$ 로 된다고 하는 점이다. 화면 휘도를 일치시키는 경우에는, 도 186의 (a2)의 duty를 2배(예를 들면, 도 186의 (a1)이 duty $1/2$ 이면, 도 186의 (a2)의 duty를 $1/2 \times 2 = 1/1$)로 하면 된다. 즉, 도 186의 (b)의 비표시 영역(52)과 표시 영역(53)의 비율을 변화시키면 된다.

비표시 영역(52)과 표시 영역(53)의 비율은 게이트 드라이버 회로(12)의 스타트 펄스의 제어에 의해 용이하게 실현할 수 있다. 즉, 도 186의 (a1)과 도 186의 (a2)의 표시 상태에 따라 도 186의 (b)의 구동 상태를 가변하면 된다.

이하, 보다 상세하게, 본 발명의 인터레이스 구동에 대하여 설명을 한다. 도 187은 인터레이스 구동을 행하는 본 발명의 표시 패널의 구성이다. 도 187에 있어서, 홀수 화소 행의 게이트 신호선(17a)은 게이트 드라이버 회로(12a1)에 접속되어 있다. 짝수 화소 행의 게이트 신호선(17a)은 게이트 드라이버 회로(12a2)에 접속되어 있다. 한편, 홀수 화소 행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b1)에 접속되어 있다. 짝수 화소 행의 게이트 신호선(17b)은 게이트 드라이버 회로(12b2)에 접속되어 있다.

따라서, 게이트 드라이버 회로(12a1)의 동작(제어)에 의해 기수 화소 행의 화상 데이터가 순차 재기입된다. 기수 화소 행은, 게이트 드라이버 회로(12b1)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행해진다. 또한, 게이트 드라이버 회로(12a2)의 동작(제어)에 의해 우수 화소 행의 화상 데이터가 순차 재기록된다. 또한, 우수 화소 행은, 게이트 드라이버 회로(12b2)의 동작(제어)에 의해 EL 소자의 점등, 비점등 제어가 행해진다.

도 188의 (a)는 제1 필드에서의 표시 패널의 동작 상태이다. 도 188의 (b)는 제2 필드에서의 표시 패널의 동작 상태이다. 또, 설명을 쉽게 하기 위해서, 1 프레임은 2 필드로 구성되어 있는 것으로 한다. 도 188에 있어서, 사선을 기입한 게이트 드라이버 회로(12)는 데이터의 주사 동작을 하고 있지 않음을 나타내고 있다. 즉, 도 188의 (a)의 제1 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a1)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b2)가 동작한다. 도 188의 (b)의 제2 필드에서는, 프로그램 전류의 기입 제어로서 게이트 드라이버 회로(12a2)가 동작하고, EL 소자(15)의 점등 제어로서 게이트 드라이버 회로(12b1)가 동작한다. 이상의 동작이, 프레임 내에서 반복된다.

도 189가 제1 필드에서의 화상 표시 상태이다. 도 189의 (a)가 기입 화소 행(전류(전압) 프로그램을 행하고 있는 홀수 화소 행 위치를 도시하고 있다. 도 189(a1)→(a2)→(a3)로 기입 화소 행 위치가 순차 시프트된다. 제1 필드에서는, 홀수 화소 행이 순차 재기입된다(짝수 화소 행의 화상 데이터는 유지되고 있음). 도 189의 (b)가 홀수 화소 행의 표시 상

태를 나타내고 있다. 또, 도 189의 (b)는 홀수 화소 행만을 도시하고 있다. 짝수 화소 행은 도 189의 (c)에 도시하고 있다. 도 189의 (b)에서도 분명한 바와 같이, 홀수 화소 행에 대응하는 화소의 EL 소자(15)는 비점등 상태이다. 한편, 짝수 화소 행은 도 189의 (c)에 도시하고 있는 바와 같이 표시 영역(53)과 비표시 영역(52)을 주사한다(N배 펄스 구동).

도 190은 제2 필드에서의 화상 표시 상태이다. 도 190의 (a)가 기입 화소 행(전류(전압) 프로그램을 행하고 있는 홀수 화소 행 위치를 도시하고 있다. 도 190(a1)→(a2)→(a3)로 기입 화소 행 위치가 순차 시프트된다. 제2 필드에서는, 짝수 화소 행이 순차 재기입된다(홀수 화소 행의 화상 데이터는 유지되고 있음). 도 190의 (b)가 홀수 화소 행의 표시 상태를 나타내고 있다. 또, 도 190의 (b)는 홀수 화소 행만을 도시하고 있다. 짝수 화소 행은 도 190의 (c)에 도시하고 있다. 도 190의 (b)에서도 분명한 바와 같이, 짝수 화소 행에 대응하는 화소의 EL 소자(15)는 비점등 상태이다. 한편, 홀수 화소 행은, 도 190의 (c)에 도시하고 있는 바와 같이 표시 영역(53)과 비표시 영역(52)을 주사한다(N배 펄스 구동).

이상과 같이 구동함으로써, 인터레이스 구동을 EL 표시 패널로 용이하게 실현할 수 있다. 또, N배 펄스 구동을 실시하는 것에 의해 기입 부족도 발생하지 않고, 동화상 불선명도 발생하지 않는다. 또한, 전류(전압) 프로그램의 제어와, EL 소자(15)의 점등 제어도 용이하고, 회로도 용이하게 실현할 수 있다.

또, 본 발명의 구동 방식은 도 189, 도 190의 구동 방식에 한정되는 것이 아니다. 예를 들면, 도 191의 구동 방식도 예시된다. 도 189, 도 190은 전류(전압) 프로그램을 행하고 있는 홀수 화소 행 또는 짝수 화소 행은 비표시 영역(52)(비점등, 흑 표시)으로 하는 것이었다. 도 191의 실시예는, EL 소자(15)의 점등 제어를 행하는 게이트 드라이버 회로(12b1, 12b2)의 양방을 동기시켜 동작시키는 것이다. 단, 전류(전압) 프로그램을 행하고 있는 화소 행(51)은 비표시 영역이 되도록 제어하는 것은 물론이다(도 38의 커런트 미러 화소 구성에서는 그 필요는 없음). 도 191에서는 홀수 화소 행과 짝수 화소 행의 점등 제어가 동일하기 때문에, 게이트 드라이버 회로(12b1과 12b2)의 2개를 마련할 필요는 없다. 게이트 드라이버 회로(12b)를 하나로 점등 제어할 수 있다.

도 191은 홀수 화소 행과 짝수 화소 행의 점등 제어를 동일하게 하는 구동 방법이었다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 도 192는 홀수 화소 행과 짝수 화소 행의 점등 제어를 다르게 한 실시예이다. 특히, 도 192는 홀수 화소 행의 점등 상태(표시 영역(53), 비표시 영역(52))의 역 패턴을 짝수 화소 행의 점등 상태로 한 예이다. 따라서, 표시 영역(53)의 면적과 비표시 영역(52)의 면적은 동일하게 되도록 하고 있다. 물론, 표시 영역(53)의 면적과 비표시 영역(52)의 면적은 동일하게 되는 것에 한정되는 것이 아니다.

이상의 실시예는 1 화소 행씩 전류(전압) 프로그램을 실시하는 구동 방법이었다. 그러나, 본 발명의 구동 방법은 이것에 한정되는 것이 아니고, 도 193에 도시하는 바와 같이 2 화소 행(복수 화소 행)을 동시에 전류(전압) 프로그램 행하여도 됨은 말할 필요도 없다. 또한, 도 190, 도 189에 있어서, 홀수 화소 행 혹은 짝수 화소 행으로 모든 화소 행을 비점등 상태로 하는 것에 한정되는 것이 아니다.

본 발명의 N배 펄스 구동 방법에서는, 각 화소 행에서 게이트 신호선(17b)의 파형을 동일하게 하여, 1H의 간격으로 시프트시켜 인가해 간다. 이와 같이 주사함으로써, EL 소자(15)가 점등하고 있는 시간을 $1F/N$ 으로 규정하면서, 순차, 점등하는 화소 행을 시프트시킬 수 있다. 이와 같이, 각 화소 행에서, 게이트 신호선(17b)의 파형을 동일하게 하여, 시프트시키고 있는 것을 실현하는 것은 용이하다. 도 6의 시프트 레지스터 회로(61a, 61b)에 인가하는 데이터인 ST1, ST2를 제어하면 되기 때문이다. 예를 들면, 입력 ST2가 L 레벨일 때, 게이트 신호선(17b)에 Vgl이 출력되고, 입력 ST2가 H 레벨일 때, 게이트 신호선(17b)에 Vgh가 출력된다고 하면, 시프트 레지스터(17b)에 인가하는 ST2를 $1F/N$ 의 기간만큼 L 레벨로 입력하고, 다른 기간은 H 레벨로 한다. 이 입력된 ST2를 1H에 동기한 클럭 CLK2로 시프트해 갈 뿐이다.

또, EL 소자(15)를 온 오프하는 주기는 0.5 msec 이상으로 할 필요가 있다. 이 주기가 짧으면, 인간의 눈의 잔상 특성에 의해 완전한 흑 표시 상태가 되지 않고, 화상이 희미해져, 마치 해상도가 저하된 것처럼 된다. 또한, 데이터 유지형의 표시 패널의 표시 상태로 된다. 그러나, 온 오프 주기가 100msec 이상으로 되면, 점멸 상태로 보인다. 따라서, EL 소자의 온 오프 주기는 0.5 μ sec 이상 100 msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 2 msec 이상 30 msec 이하로 해야 한다. 더욱 바람직하게는, 온 오프 주기를 3 msec 이상 20 msec 이하로 해야 한다.

앞서도 기재했지만, 흑 화면(152)의 분할 수는, 하나로 하면 양호한 동화상 표시를 실현할 수 있지만, 화면의 어른거림이 보이기 쉽게 된다. 따라서, 흑 삽입부를 복수로 분할하는 것이 바람직하다. 그러나, 분할 수를 너무나 많게 하면 동화상 불선명이 발생한다. 분할 수는 1 이상 8 이하로 하여야 한다. 더욱 바람직하게는 1 이상 5 이하로 하는 것이 바람직하다.

또, 흑 화면의 분할 수는 정지 화상과 동화상으로 변경할 수 있도록 구성하는 것이 바람직하다. 분할 수란, N=4에서는 75%가 흑 화면이고, 25%가 화상 표시이다. 이 때, 75%의 흑 표시부를 75%의 흑 띠 상태에서 화면의 상하 방향으로

주사하는 것이 분할 수 1이다. 25%의 흑 화면과 25/3%의 표시 화면의 3 블록으로 주사하는 것이 분할 수 3이다. 정지 화상은 분할 수를 많게 한다. 동화상은 분할 수를 적게 한다. 전환은 입력 화상에 따라 자동적(동화상 검출 등)으로 행하여도 되고, 사용자가 수동으로 행하여도 된다. 또한, 표시 장치의 영상 등에 입력 콘센트에 따라 전환할 수 있도록 구성하면 된다.

예를 들면, 휴대 전화 등에 있어서, 화면 표시, 입력 화면에서는 분할 수를 10 이상으로 한다(극단적으로는 1H마다 온 오프해도 됨). NTSC의 동화상을 표시할 때는, 분할 수를 1 이상 5 이하로 한다. 또, 분할 수는 3 이상의 다단계로 전환할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 분할 수 없음, 2, 4, 8 등이다.

또한, 전 표시 화면에 대한 흑 화면의 비율은, 전 화면의 면적을 1로 했을 때, 0.2 이상 0.9 이하(N으로 표시하면 1.2 이상 9 이하)로 하는 것이 바람직하다. 또한, 특히 0.25 이상 0.6 이하(N으로 표시하면 1.25 이상 6 이하)로 하는 것이 바람직하다. 0.20 이하이면 동화상 표시에서의 개선 효과가 낮다. 0.9 이상이면, 표시 부분의 휘도가 높아져, 표시 부분이 상하로 이동하는 것이 시각적으로 인식되기 쉽게 된다.

또한, 1초당의 프레임 수는, 10 이상 100 이하(10Hz 이상 100Hz 이하)가 바람직하다. 또한 12 이상 65 이하(12Hz 이상 65Hz 이하)가 바람직하다. 프레임 수가 적으면, 화면의 어긋거림이 눈에 띄게 되고, 너무나도 프레임 수가 많으면, 소스 드라이버 회로(14) 등으로부터의 기입이 힘들어져 해상도가 열화된다.

본 발명에서는, 게이트 신호선(17)의 제어에 의해 화상의 밝기를 변화시킬 수 있다. 단, 화상의 밝기는 소스 신호선(18)에 인가하는 전류(전압)를 변화시켜 행하여도 되는 것은 물론이다. 또한, 앞서 설명한(도 33, 도 35 등을 이용하여) 게이트 신호선(17)의 제어와, 소스 신호선(18)에 인가하는 전류(전압)를 변화시키는 것을 조합하여 행하여도 됨은 물론이다.

또, 이상의 사항은 도 38 등의 전류 프로그램의 화소 구성, 도 43, 도 51, 도 54 등의 전압 프로그램의 화소 구성에서도 적용할 수 있음은 물론이다. 도 38에서는, 트랜지스터(11d)를, 도 43에서는 트랜지스터(11d)를, 도 51에서는 트랜지스터(11e)를 온 오프 제어하면 된다. 이와 같이, EL 소자(15)에 전류를 흘리는 배 선을 온 오프함으로써, 본 발명의 N배 펄스 구동을 용이하게 실현할 수 있다.

또한, 게이트 신호선(17b)의 $1F/N$ 의 기간만, V_{gl} 로 하는 시각은 $1F$ ($1F$ 에 한정되는 것이 아님. 단위 기간이면 됨)의 기간 중 어느 시각이라도 무방하다. 단위 시간 중 소정의 기간만 EL 소자(15)를 온시키는 것에 의해, 소정의 평균 휘도를 얻는 것이기 때문이다. 단, 전류 프로그램 기간(1H) 후, 곧 게이트 신호선(17b)을 V_{gl} 로 하여 EL 소자(15)를 발광시키는 쪽이 좋다. 도 1의 컨덴서(19)의 유지율 특성의 영향을 받기 어렵게 되기 때문이다.

또한, 이 화상의 분할 수도 가변할 수 있도록 구성하는 것이 바람직하다. 예를 들면, 사용자가 밝기 조정 스위치를 눌러서, 혹은 밝기 조정 볼륨을 돌리는 것에 의해, 이 변화를 검출하여 K의 값을 변경한다. 표시하는 화상의 내용, 데이터에 의해 수동으로 혹은 자동적으로 변화시키도록 구성해도 된다.

이와 같이 K의 값(화상 표시부(53)의 분할 수)을 변화시키는 것도 용이하게 실현할 수 있다. 도 6에 있어서 ST에 인가하는 데이터의 타이밍($1F$ 의 언제 L 레벨로 할지)을 조정 혹은 가변할 수 있도록 구성해 두면 되기 때문이다.

또, 도 16 등에서는, 게이트 신호선(17b)을 V_{gl} 로 하는 기간($1F/N$)을 복수로 분할(분할 수 M)하고, V_{gl} 로 하는 기간은 $1F/(K \cdot N)$ 의 기간을 K회 실시하는 것으로 했지만 이것에 한정되는 것이 아니다. $1F/(K \cdot N)$ 의 기간을 L($L \neq K$)회 실시해도 된다. 즉, 본 발명은 EL 소자(15)에 흘려 보내는 기간(시간)을 제어함으로써 표시 화면(50)을 표시하는 것이다. 따라서, $1F/(K \cdot N)$ 의 기간을 L($L \neq K$)회 실시하는 것은 본 발명의 기술적 사상에 포함된다. 또한, L의 값을 변화시킴으로써, 표시 화면(50)의 휘도를 디지털적으로 변경할 수 있다. 예를 들면, $L=2$ 와 $L=3$ 에서는 50%의 휘도(콘트라스트) 변화로 된다. 이들 제어도 본 발명의 다른 실시예에도 적용할 수 있음은 말할 필요도 없다(물론, 이후에 설명하는 본 발명에도 적용할 수 있음). 이들도 본 발명의 N배 펄스 구동이다.

이상의 실시예는, EL 소자(15)와 구동용 트랜지스터(11a)의 사이에 스위칭 소자로서의 트랜지스터(11d)를 배치(형성)하고, 이 트랜지스터(11d)를 제어함으로써, 화면(50)을 온 오프 표시하는 것이었다. 이 구동 방법에 의해, 전류 프로그램 방식의 흑 표시 상태에서의 전류 기입 부족을 없애고, 양호한 해상도 혹은 흑 표시를 실현하는 것이었다. 즉, 전류 프로그램 방식에서는, 양호한 흑 표시를 실현하는 것이 중요하다. 다음에 설명하는 구동 방법은, 구동용 트랜지스터(11a)를 리셋하여 양호한 흑 표시를 실현하는 것이다. 이하, 도 32를 이용하여, 그 실시예에 대하여 설명한다.

도 32는 기본적으로는 도 1의 화소 구성이다. 도 32의 화소 구성에서는, 프로그램된 I_w 전류가 EL 소자(15)에 흘러, EL 소자(15)가 발광한다. 즉, 구동용 트랜지스터(11a)는 프로그램됨으로써, 전류를 흘리는 능력을 유지하고 있다. 이 전류를 흘리는 능력을 이용하여 트랜지스터(11a)를 리셋(오프 상태)으로 하는 방식이 도 32의 구동 방식이다. 이후, 이 구동 방식을 리셋 구동이라고 부른다.

도 1의 화소 구성으로 리셋 구동을 실현하기 위해서는, 트랜지스터(11b)와 트랜지스터(11c)를 독립하여 온 오프 제어할 수 있도록 구성할 필요가 있다. 즉, 도 32에서 도시하는 바와 같이 트랜지스터(11b)를 온 오프 제어하는 게이트 신호선(17a)(게이트 신호선 WR), 트랜지스터(11c)를 온 오프 제어하는 게이트 신호선(17c)(게이트 신호선 EL)을 독립하여 제어할 수 있도록 한다. 게이트 신호선(17a)과 게이트 신호선(17c)의 제어는, 도 6에 도시하는 바와 같이 독립된 2개의 시프트 레지스터 회로(61)에서 행하면 된다.

트랜지스터(11b)를 구동하는 게이트 신호선(17a)과 트랜지스터(11d)를 구동하는 게이트 신호선(17b)의 구동 전압을 변화시키면 된다(도 1의 화소 구성인 경우). 게이트 신호선(17a)의 진폭치(온 전압과 오프 전압의 차)는 게이트 신호선(17b)의 진폭치보다도 작게 한다.

게이트 신호선(17)의 진폭치가 크면, 게이트 신호선(17)과 화소(16)의 관통 전압이 커져, 흑이 들뜨는 현상이 발생한다. 게이트 신호선(17a)의 진폭은 소스 신호선(18)의 전위가 화소(16)에 인가되지 않는다(인가함(선택시))를 제어하면 되는 것이다. 소스 신호선(18)의 전위 변동은 작기 때문에, 게이트 신호선(17a)의 진폭치는 작게 할 수 있다.

한편, 게이트 신호선(17b)은 EL의 온 오프 제어를 실시할 필요가 있다. 따라서, 진폭치는 커진다. 이에 대응하기 위해서, 시프트 레지스터(61a와 61b)의 출력 전압을 변화시킨다. 화소가 P 채널 트랜지스터로 형성되어 있는 경우에는, 시프트 레지스터 회로(61a와 61b)의 V_{gh} (오프 전압)를 대략 동일하게 하고, 시프트 레지스터 회로(61a)의 V_{gl} (온 전압)을 시프트 레지스터 회로(61b)의 V_{gl} (온 전압)보다도 낮게 한다.

이하, 도 33을 참조하면서, 리셋 구동 방식에 대하여 설명한다. 도 33은 리셋 구동의 원리 설명도이다. 우선, 도 33의 (a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11b)를 온 상태로 한다. 그렇게 하면, 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, Ib 전류가 흐른다. 일반적으로, 트랜지스터(11a)는 하나 전의 필드(프레임)에서 전류 프로그램되어 있다. 이 상태에서 트랜지스터(11d)가 오프 상태로 되고, 트랜지스터(11b)가 온 상태로 되면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자에 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다.

이 트랜지스터(11a)의 리셋 상태(전류를 흘리지 않는 상태)는, 도 51 등에서 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 33의 (a)의 상태에서는, 컨덴서(19)의 단자 사이에는, 오프셋 전압이 유지되어 있게 된다. 이 오프셋 전압은 트랜지스터(11a)의 특성에 따라 서로 다른 전압값이다. 따라서, 도 33의 (a)의 동작을 실시함으로써, 각 화소의 컨덴서(19)에는 트랜지스터(11a)가 전류를 흘리지 않는다(즉, 흑 표시 전류(거의 0과 같음)가 유지되게 됨).

또, 도 33의 (a)의 동작 전에, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 하여, 구동용 트랜지스터(11a)에 전류를 흘린다고 하는 동작을 실시하는 것이 바람직하다. 이 동작은 극력히 단시간에 완료시키는 것이 바람직하다. EL 소자(15)에 전류가 흘러 EL 소자(15)가 점등하여, 표시 콘트라스트를 저하시킬 우려가 있기 때문이다. 이 동작 시간은, 1H(1수평 주사 기간)의 0.1% 이상 10% 이하로 하는 것이 바람직하다. 더욱 바람직하게는 0.2% 이상 2% 이하로 되도록 하는 것이 바람직하다. 혹은 0.2 μ sec 이상 5 μ sec 이하로 되도록 하는 것이 바람직하다. 또한, 전 화면의 화소(16)에 일괄해서 전술한 동작(도 33의 (a)의 앞에 행하는 동작)을 실시해도 된다. 이상의 동작을 실시함으로써, 구동용 트랜지스터(11a)의 드레인(D) 단자 전압이 저하되어, 도 33의 (a)의 상태로 원활한 Ib 전류를 흘릴 수 있게 된다. 또, 이상의 사항은 본 발명의 다른 리셋 구동 방식에도 적용된다.

도 33의 (a)의 실시 시간을 길게 할수록, Ib 전류가 흐르고, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 33의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실험 및 검토에 따르면, 도 33의 (a)의 실시 시간은 1H 이상 5H 이하로 하는 것이 바람직하다.

또, 이 기간은 R, G, B의 화소에서 서로 다르게 하는 것이 바람직하다. 각 색의 화소에서 EL 재료가 서로 다르고, 이 EL 재료가 상승 전압 등에 차이가 있기 때문이다. RGB의 각 화소에서, EL 재료에 적응하여 가장 최적의 기간을 설정한다. 또, 실시예에 있어서, 이 기간은 1H 이상 5H 이하로 하는 것으로 했지만, 흑 삽입(흑 화면을 기입함)을 주로 하는 구동 방식에서는, 5H 이상이어도 됨은 물론이다. 또, 이 기간이 길수록, 화소의 흑 표시 상태는 양호해진다.

도 33의 (a)를 실시한 후, 1H 이상 5H 이하의 기간에 있어서 도 33의 (b)의 상태로 된다. 도 33의 (b)는 트랜지스터(11c), 트랜지스터(11b)를 온시키고, 트랜지스터(11d)를 오프시킨 상태이다. 도 33의 (b)의 상태는 이전에도 설명했지만, 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전류 I_w 를 출력(혹은 흡수)하고, 이 프로그램 전류 I_w 를 구동용 트랜지스터(11a)에 흘린다. 이 프로그램 전류 I_w 가 흐르도록, 구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 설정하는 것이다(설정 전위는 컨덴서(19)에 유지됨).

만약, 프로그램 전류 I_w 가 0(A)이면, 트랜지스터(11a)는 전류를 도 33의 (a)의 전류를 흘리지 않는 상태가 유지된 그

대로가 되므로, 양호한 흑 표시를 실현할 수 있다. 또한, 도 33의 (b)에서 백 표시의 전류 프로그램을 행하는 경우에도, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압부터 전류 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 대응하여 똑같아진다. 그 때문에, 트랜지스터(11a)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 33의 (b)의 전류 프로그래밍 후에, 도 33의 (c)에 도시하는 바와 같이, 트랜지스터(11b), 트랜지스터(11c)를 오프 상태로 하고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)에서의 프로그램 전류 $I_w (=I_e)$ 를 EL 소자(15)에 흘리고, EL 소자(15)를 발광시킨다. 도 33의 (c)에 관해도, 도 1 등에서 이전에 설명을 했기 때문에 상세는 생략한다.

즉, 도 33에서 설명한 구동 방식(리셋 구동)은, 구동용 트랜지스터(11a)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태)하고, 또한 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일 반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작의 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다. 또한, 적어도 제2 동작은 제1 동작 후에 행하는 것이다. 또, 리셋 구동을 실시하기 위해서는, 도 32의 구성과 같이, 트랜지스터(11b)와 트랜지스터(11c)를 독립적으로 제어할 수 있도록, 구성해 두어야 한다.

화상 표시 상태는(만약, 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전류 프로그램이 행해지는 화소 행은, 리셋 상태(흑 표시 상태)가 되고, 1H 후에 전류 프로그램이 행해진다(이 때도 흑 표시 상태임. 트랜지스터(11d)가 오프이기 때문임). 다음에, EL 소자(15)에 전류가 공급되고, 화소 행은 소정 휘도(프로그램된 전류)로 발광한다. 즉, 화면의 위에서 아래 방향으로, 흑 표시의 화소 행이 이동하고, 이 화소 행이 통과한 위치에서 화상이 재가입되어 가듯이 보일 것이다.

또, 리셋 후, 1H 후에 전류 프로그램을 행한다고 했지만 이 기간은 5H 정도 이내로 하여도 된다. 도 33의 (a)의 리셋이 완전히 행해지는 데 비교적 장시간을 필요로 하기 때문이다. 만약, 이 기간을 5H로 하면, 5 화소 행이 흑 표시(전류 프로그램의 화소 행도 넣으면 6 화소 행)가 될 것이다.

또한, 리셋 상태는 1 화소 행씩 행하는 것에 한정되는 것이 아니며, 복수 화소 행씩 동시에 리셋 상태로 하여도 된다. 또한, 복수 화소 행씩 동시에 리셋 상태로 하고, 또한 오버랩하면서 주사해도 된다. 예를 들면, 4 화소 행을 동시에 리셋하는 것이면, 제1 수평 주사 기간(1 단위)에, 화소 행(1)(2)(3)(4)을 리셋 상태로 하고, 다음의 제2 수평 주사 기간에, 화소 행(3)(4)(5)(6)을 리셋 상태로 하고, 또 다음의 제3 수평 주사 기간에, 화소 행(5)(6)(7)(8)을 리셋 상태로 한다. 또한, 다음의 제4 수평 주사 기간에, 화소 행(7)(8)(9)(10)을 리셋 상태로 한다고 하는 구동 상태가 예시된다. 또, 당연히 도 33의 (b), 도 33의 (c)의 구동 상태도 도 33의 (a)의 구동 상태와 동기하여 실시된다.

또한, 1 화면의 화소 전체를 동시에 혹은 주사 상태에서 리셋 상태로 하고 나서, 도 33의 (b)와 (c)의 구동을 실시해도 되는 물론이다. 또한, 인터레이스 구동 상태(1 화소 행 혹은 복수 화소 행의 비월 주사)에서, 리셋 상태(1 화소 행 혹은 복수 화소 행 비월)로 하여도 되는 물론이다. 또한, 랜덤의 리셋 상태를 실시해도 된다. 또, 본 발명의 리셋 구동의 설명은 화소 행을 조작하는 방식이다(즉, 화면의 상하 방향의 제어). 그러나, 리셋 구동의 개념은 제어 방향이 화소 행에 한정되는 것이 아니다. 예를 들면, 화소 열 방향으로 리셋 구동을 실시해도 되는 것은 물론이다.

또, 도 33의 리셋 구동은 본 발명의 N배 펄스 구동 등과 조합하는 것, 인터레이스 구동과 조합하는 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다. 특히 도 22의 구성, 간헐 N/K배 펄스 구동(1 화면에 점등 영역을 복수 마련하는 구동 방법)임. 이 구동 방법은 게이트 신호선(17b)을 제어하고, 트랜지스터(11d)를 온 오프 동작시키는 것에 의해 용이하게 실현할 수 있음. 이것은 이전에 설명을 했음)을 용이하게 실현할 수 있기 때문에, 깜박임의 발생도 없고 양호한 화상 표시를 실현할 수 있다.

또한, 다른 구동 방법, 예를 들면, 이후에 설명하는 역 바이어스 구동 방식, 프리차지 구동 방식, 관통 전압 구동 방식 등과 조합함으로써 더욱 우수한 화상 표시를 실현할 수 있음은 물론이다. 이상과 같이, 본 발명과 같이 리셋 구동도 본 명세서의 다른 실시예와 조합하여 실시할 수 있는 것은 물론이다.

도 34는 리셋 구동을 실현하는 표시 장치의 구성도이다. 게이트 드라이버 회로(12a)는 도 32에서의 게이트 신호선(17a) 및 게이트 신호선(17b)을 제어한다. 게이트 신호선(17a)에 온 오프 전압을 인가하는 것에 의해 트랜지스터(11b)가 온 오프 제어된다. 또한, 게이트 신호선(17b)에 온 오프 전압을 인가하는 것에 의해 트랜지스터(11d)가 온 오프 제어된다. 게이트 드라이버 회로(12b)는 도 32에서의 게이트 신호선(17c)을 제어한다. 게이트 신호선(17c)에 온 오프 전압을 인가하는 것에 의해 트랜지스터(11c)가 온 오프 제어된다.

따라서, 게이트 신호선(17a)은 게이트 드라이버 회로(12a)에서 조작하고, 게이트 신호선(17c)은 게이트 드라이버 회로(12b)에서 조작한다. 그 때문에, 트랜지스터(11b)를 온시켜 구동용 트랜지스터(11a)를 리셋하는 타이밍과, 트랜지스터(11c)를 온시켜 구동용 트랜지스터(11a)에 전류 프로그램을 행하는 타이밍을 자유롭게 설정할 수 있다. 다른 구

성 등은 이전에 설명한 것과 동일 또는 유사하기 때문에 설명을 생략한다.

도 35는 리셋 구동의 타이밍차트이다. 게이트 신호선(17a)에 온 전압을 인가하여, 트랜지스터(11b)를 온시키고, 구동용 트랜지스터(11a)를 리셋하고 있을 때에는, 게이트 신호선(17b)에는 오프 전압을 인가하여, 트랜지스터(11d)를 오프 상태로 하고 있다. 따라서, 도 32의 (a)의 상태로 되어 있다. 이 기간에 Ib 전류가 흐른다.

도 35의 타이밍차트에서는, 리셋 시간은 2H(게이트 신호선(17a)에 온 전압이 인가되어, 트랜지스터(11b)가 온 상태로 함)로 하고 있지만, 이것에 한정되는 것이 아니다. 2H 이상이어도 된다. 또한, 리셋이 매우 고속으로 행해질 수 있는 경우에는, 리셋 시간은 1H 미만이어도 된다.

리셋 기간을 몇 H 기간으로 할지는 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스 기간에 용이하게 변경할 수 있다. 예를 들면, ST 단자에 입력하는 DATA를 2H 기간 동안 H 레벨로 하면, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간은 2H 기간으로 된다. 마찬가지로, ST 단자에 입력하는 DATA를 5H 기간 동안 H 레벨로 하면, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간은 5H 기간으로 된다.

1H 기간의 리셋 후, 화소 행(1)의 게이트 신호선(17c)(1)에 온 전압이 인가된다. 트랜지스터(11c)가 온함으로써, 소스 신호선(18)에 인가된 프로그램 전류 Iw가 트랜지스터(11c)를 통하여 구동용 트랜지스터(11a)에 기입된다.

전류 프로그램 후, 화소(1)의 게이트 신호선(17c)에 오프 전압이 인가되고, 트랜지스터(11c)가 오프 상태로 되어, 화소가 소스 신호선과 분리된다. 동시에, 게이트 신호선(17a)에도 오프 전압이 인가되어, 구동용 트랜지스터(11a)의 리셋 상태가 해소된다(또, 이 기간은 리셋 상태라고 표현하는 것보다도, 전류 프로그램 상태라고 표현하는 쪽이 적절함). 또한, 게이트 신호선(17b)에는 온 전압이 인가되고, 트랜지스터(11d)가 온 상태로 되어, 구동용 트랜지스터(11a)에 프로그램된 전류가 EL 소자(15)에 흐른다. 또, 화소 행(2) 이후에 대해서도, 화소 행(1)과 마찬가지로, 또한 도 35로부터 그 동작은 분명하므로 설명을 생략한다.

도 35에 있어서, 리셋 기간은 1H 기간이었다. 도 36은 리셋 기간을 5H로 한 실시예이다. 리셋 기간을 몇 H 기간으로 할지는 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스 기간에서 용이하게 변경할 수 있다. 도 36에서는 게이트 드라이버 회로(12a)의 ST1 단자에 입력하는 DATA를 5H 기간 동안 H 레벨로 하고, 각 게이트 신호선(17a)으로부터 출력되는 리셋 기간을 5H 기간으로 한 실시예이다. 리셋 기간은 길수록 리셋이 완전히 행해져, 양호한 흑 표시를 실현할 수 있다. 그러나, 리셋 기간의 비율분은 표시 휘도가 저하하게 된다.

도 36은 리셋 기간을 5H로 한 실시예였다. 또한, 이 리셋 상태는 연속 상태였다. 그러나, 리셋 상태는 연속하여 행하는 것에 한정되는 것이 아니다. 예를 들면, 각 게이트 신호선(17a)으로부터 출력되는 신호를 1H마다 온 오프 동작시키더라도 무방하다. 이와 같이 온 오프 동작시키는 것은, 시프트 레지스터의 출력단에 형성된 인에이블 회로(도시하지 않음)를 조작하는 것에 의해 용이하게 실현할 수 있다. 또한, 게이트 드라이버 회로(12)에 입력하는 DATA(ST) 펄스를 제어함으로써 용이하게 실현할 수 있다.

도 34의 회로 구성에서는, 게이트 드라이버 회로(12a)는 적어도 2개의 시프트 레지스터 회로(하나의 게이트 신호선(17a) 제어용, 다른 하나는 게이트 신호선(17b) 제어용)이 필요했다. 그 때문에, 게이트 드라이버 회로(12a)의 회로 규모가 커진다고 하는 과제가 있었다. 도 37은 게이트 드라이버 회로(12a)의 시프트 레지스터를 하나로 한 실시예이다. 도 37의 회로를 동작시킨 출력 신호의 타이밍차트는 도 35와 같아진다. 또, 도 35와 도 37은 게이트 드라이버 회로(12a, 12b)로부터 출력되어 있는 게이트 신호선(17)의 기호가 서로 다르기 때문에 주의가 필요하다.

도 37의 OR 회로(371)가 부가되어 있는 점에서 분명하지만, 각 게이트 신호선(17a)의 출력은, 시프트 레지스터 회로(61a)의 전단 출력과의 OR을 취해 출력된다. 즉 2H 기간, 게이트 신호선(17a)에서는 온 전압이 출력된다. 한편, 게이트 신호선(17c)은 시프트 레지스터 회로(61a)의 출력이 그대로 출력된다. 따라서, 1H 기간 동안 온 전압이 인가된다.

예를 들면, 시프트 레지스터 회로(61a)의 2번째로 H 레벨 신호가 출력되고 있을 때, 화소(16)(1)의 게이트 신호선(17c)에 온 전압이 출력되고, 화소(16)(1)은 전류(전압) 프로그램의 상태이다. 동시에, 화소(16)(2)의 게이트 신호선(17a)에도 온 전압이 출력되어, 화소(16)(2)의 트랜지스터(11b)가 온 상태로 되고, 화소(16)(2)의 구동용 트랜지스터(11a)가 리셋된다.

마찬가지로, 시프트 레지스터 회로(61a)의 3번째로 H 레벨 신호가 출력되고 있을 때, 화소(16)(2)의 게이트 신호선(17c)에 온 전압이 출력되고, 화소(16)(2)는 전류(전압) 프로그램의 상태이다. 동시에, 화소(16)(3)의 게이트 신호선(17a)에도 온 전압이 출력되고, 화소(16)(3) 트랜지스터(11b)가 온 상태로 되어, 화소(16)(3) 구동용 트랜지스터(11a)가 리셋된다. 즉, 2H 기간, 게이트 신호선(17a)에서는 온 전압이 출력되어, 게이트 신호선(17c)에 1H 기간 온 전압이 출력된다.

프로그램 상태일 때에는, 트랜지스터(11b)와 트랜지스터(11c)가 동시에 온 상태로 되기(도 33의 (b)) 때문에, 비 프로그램 상태(도 33의 (c))로 이행할 때, 트랜지스터(11c)가 트랜지스터(11b)보다도 먼저 오프 상태로 되면, 도 33의 (b)의 리셋 상태로 되어 버린다. 이를 방지하기 위해서는, 트랜지스터(11c)가 트랜지스터(11b)보다도 나중에 오프 상태로 할 필요가 있다. 이를 위해서는, 게이트 신호선(17a)이 게이트 신호선(17c)보다도 먼저 온 전압이 인가되도록 제어할 필요가 있다.

이상의 실시예는, 도 32(기본적으로는 도 1)의 화소 구성에 관한 실시예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 38에 도시한 바와 같은 커런트 미러의 화소 구성으로도 실시할 수 있다. 또, 도 38에서는 트랜지스터(11e)를 온 오프 제어함으로써, 도 13, 도 15 등에서 도시하는 N배 펄스 구동을 실현할 수 있다. 도 39는 도 38의 커런트 미러의 화소 구성에서의 실시예의 설명도이다. 이하, 도 39를 참조하면서, 커런트 미러의 화소 구성에 있어서의 리셋 구동 방식에 대하여 설명한다.

도 39의 (a)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11e)를 오프 상태로 하고, 트랜지스터(11d)를 온 상태로 된다. 그렇게 하면, 전류 프로그램용 트랜지스터(11b)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, 도면에 도시한 바와 같이 Ib 전류가 흐른다. 일반적으로, 트랜지스터(11b)는 하나 전의 필드(프레임)에서 전류 프로그램되어, 전류를 흘려 보내는 능력이 있다(게이트 전위는 컨덴서(19)에 1F 기간 유지되고, 화상 표시를 행하고 있기 때문에 당연함. 단, 완전한 흑 표시를 행하고 있는 경우, 전류는 흐르지 않음). 이 상태에서 트랜지스터(11e)가 오프 상태로 되고, 트랜지스터(11d)가 온 상태로 되면, 구동 전류 Ib가 트랜지스터(11a)의 게이트(G) 단자의 방향으로 흐른다(게이트(G) 단자와 드레인(D) 단자가 쇼트됨). 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위로 되어, 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다. 또한, 구동용 트랜지스터(11b)의 게이트(G) 단자는 전류 프로그램용 트랜지스터(11a)의 게이트(G) 단자와 공통이므로, 구동용 트랜지스터(11b)도 리셋 상태로 된다.

이 트랜지스터(11a), 트랜지스터(11b)의 리셋 상태(전류를 흘려 보내지 않는 상태)는, 도 51 등에서 설명하는 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 39의 (a)의 상태에서는, 컨덴서(19)의 단자 사이에는, 오프셋 전압(전류가 흐르기 시작하는 개시 전압. 이 전압의 절대값 이상의 전압을 인가함으로써, 트랜지스터(11)에 전류가 흐름)이 유지되고 있게 된다. 이 오프셋 전압은 트랜지스터(11a), 트랜지스터(11b)의 특성에 따라 서로 다른 전압값이다. 따라서, 도 39의 (a)의 동작을 실시함으로써, 각 화소의 컨덴서(19)에는 트랜지스터(11a), 트랜지스터(11b)가 전류를 흘려 보내지 않는(즉, 흑 표시 전류(대부분 0과 같음)) 상태가 유지되게 되는 것이다(전류가 흐르기 시작하는 개시 전압으로 리셋됨).

또, 도 39의 (a)에서도 도 33의 (a)와 마찬가지로, 리셋의 실시 시간을 길게 할수록, Ib 전류가 흐르고, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 39의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실험 및 검토에 따르면, 도 39의 (a)의 실시 시간은 1H 이상 10H(10 수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 1H 이상 5H 이하로 하는 것이 바람직하다. 혹은, 20 μ sec 이상 2 msec 이하로 하는 것이 바람직하다. 이것은 도 33의 구동 방식에서도 마찬가지이다.

도 33의 (a)도 마찬가지이지만, 도 39의 (a)의 리셋 상태와 도 39의 (b)의 전류 프로그램 상태를 동기를 취하여 행하는 경우에는, 도 39의 (a)의 리셋 상태에서 도 39의 (b)의 전류 프로그램 상태까지의 기간이 고정치(일정값)가 되므로 문제는 없다(고정치로 되어 있음). 즉, 도 33의 (a) 혹은 도 39의 (a)의 리셋 상태에서, 도 33의 (b) 혹은 도 39의 (b)의 전류 프로그램 상태까지의 기간이, 1H 이상 10H(10수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 1H 이상 5H 이하로 하는 것이 바람직한 것이다. 혹은, 20 μ sec 이상 2 msec 이하로 하는 것이 바람직한 것이다. 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리셋되지 않는다. 또한, 너무나도 길면 구동용 트랜지스터(11)가 완전히 오프 상태로 되고, 이번에는 전류를 프로그램하는 데 장시간을 요하게 된다. 또한, 화면(50)의 휘도도 저하한다.

도 39의 (a)를 실시 후, 도 39의 (b)의 상태로 된다. 도 39의 (b)는 트랜지스터(11c), 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시킨 상태이다. 도 39의 (b)의 상태는 전류 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전류 Iw를 출력(혹은 흡수)하고, 이 프로그램 전류 Iw를 전류 프로그램용 트랜지스터(11a)에 흘려보낸다. 이 프로그램 전류 Iw가 흐르도록, 구동용 트랜지스터(11b)의 게이트(G) 단자의 전위를 컨덴서(19)로 설정하는 것이다.

만약, 프로그램 전류 Iw가 0(A)(흑 표시)이면, 트랜지스터(11b)는 전류를 도 33의 (a)의 전류를 흘리지 않는 상태가 유지된 그대로가 되므로, 양호한 흑 표시를 실현 가능하다. 또한, 도 39의 (b)에서 백 표시의 전류 프로그램을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)부터 전류 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 따라 똑같아진다. 그 때문에, 트랜지스터(11a) 혹은 트랜지스터(11b)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 39의 (b)의 전류 프로그래밍 후, 도 39의 (c)에 도시하는 바와 같이, 트랜지스터(11c), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온시켜, 구동용 트랜지스터(11b)에서의 프로그램 전류 $I_w (=I_e)$ 를 EL 소자(15)에 흘려 보내, EL 소자(15)를 발광시킨다. 도 39의 (c)에 관해서도 이전에 설명을 했기 때문에 상세는 생략한다.

도 33, 도 39에서 설명한 구동 방식(리셋 구동)은, 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단(전류가 흐르지 않는 상태. 트랜지스터(11e) 혹은 트랜지스터(11d)에서 행함)하고, 또한 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작 후, 구동용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다.

적어도 제2 동작은 제1 동작 후에 행하는 것이다. 또, 제1 동작에 있어서의 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단한다고 하는 동작은, 반드시 필수적인 조건이 아니다. 만약, 제1 동작에 있어서의 구동용 트랜지스터(11a) 혹은 트랜지스터(11b)와 EL 소자(15) 사이를 절단하지 않고서, 구동용 트랜지스터의 드레인(D) 단자와 게이트(G) 단자 사이를 쇼트하는 제1 동작을 행하여도 다소의 리셋 상태의 변동이 발생하는 정도로 끝나는 경우가 있기 때문이다. 이것은 제작한 어레이의 트랜지스터 특성을 검토하여 결정한다.

도 39의 커런트 미러의 화소 구성은, 전류 프로그램 트랜지스터(11a)를 리셋하는 것에 의해, 결과적으로 구동용 트랜지스터(11b)를 리셋하는 구동 방법이었다.

도 39의 커런트 미러의 화소 구성에서는, 리셋 상태에서는 반드시 구동용 트랜지스터(11b)와 EL 소자(15) 사이를 절단할 필요는 없다. 따라서, 전류 프로그램용 트랜지스터a의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 전류 프로그램용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자, 혹은 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제1 동작과, 상기 동작의 후에, 전류 프로그램용 트랜지스터에 전류(전압) 프로그램을 행하는 제2 동작을 실시하는 것이다. 그리고, 적어도 제2 동작은 제1 동작 후에 행하는 것이다.

화상 표시 상태는(만약, 순간적인 변화를 관찰할 수 있는 것이면), 우선, 전류 프로그램을 행해지는 화소 행은, 리셋 상태(혹 표시 상태)로 되고, 소정 H 후에 전류 프로그램이 행해진다. 화면의 위에서 아래 방향으로, 혹 표시의 화소 행이 이동하고, 이 화소 행이 통과한 위치에서 화상이 재기입되어 가듯이 보일 것이다.

이상의 실시예는, 전류 프로그램의 화소 구성을 중심으로 하여 설명을 했지만, 본 발명의 리셋 구동은 전압 프로그램의 화소 구성에도 적용할 수 있다. 도 43은 전압 프로그램의 화소 구성에서의 리셋 구동을 실시하기 위한 본 발명의 화소 구성(패널 구성)의 설명도이다.

도 43의 화소 구성에서는, 구동용 트랜지스터(11a)를 리셋 동작시키기 위한 트랜지스터(11e)가 형성되어 있다. 게이트 신호선(17e)에 온 전압이 인가됨으로써, 트랜지스터(11e)가 온 상태로 되고, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자 사이를 쇼트시킨다. 또한, EL 소자(15)와 구동용 트랜지스터(11a)의 전류 경로를 절단하는 트랜지스터(11d)가 형성되어 있다. 이하, 도 44를 참조하면서, 전압 프로그램의 화소 구성에 있어서의 본 발명의 리셋 구동 방식에 대하여 설명한다.

도 44의 (a)에 도시하는 바와 같이, 트랜지스터(11b), 트랜지스터(11d)를 오프 상태로 하고, 트랜지스터(11e)를 온 상태로 한다. 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자는 쇼트 상태로 되어, 도면에 도시한 바와 같이 Ib 전류가 흐른다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 동일 전위가 되고, 구동용 트랜지스터(11a)는 리셋(전류를 흘리지 않는 상태)으로 된다. 또, 트랜지스터(11a)를 리셋하기 전에, 도 33 혹은 도 39에서 설명한 바와 같이, HD 동기 신호에 동기하여, 최초로 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘려 놓는다. 그 후, 도 44의 (a)의 동작을 실시한다.

이 트랜지스터(11a), 트랜지스터(11b)의 리셋 상태(전류를 흘리지 않는 상태)는, 도 41 등에서 설명한 전압 오프셋 캔슬러 방식의 오프셋 전압을 유지한 상태와 등가이다. 즉, 도 44의 (a)의 상태에서는, 컨덴서(19)의 단자 사이에는, 오프셋 전압(리셋 전압)이 유지되어 있게 된다. 이 리셋 전압은 구동용 트랜지스터(11a)의 특성에 따라 다른 전압값이다. 즉, 도 44의 (a)의 동작을 실시함으로써, 각 화소의 컨덴서(19)에는 구동용 트랜지스터(11a)가 전류를 흘리지 않는(즉, 혹 표시 전류(대부분 0과 같음)) 상태가 유지되게 되는 것이다(전류가 흐르기 시작하는 개시 전압으로 리셋됨).

또, 전압 프로그램의 화소 구성에 있어서도, 전류 프로그램의 화소 구성과 마찬가지로, 도 44의 (a)의 리셋의 실시 시간을 길게 할수록, Ib 전류가 흐르고, 컨덴서(19)의 단자 전압이 작아지는 경향이 있다. 따라서, 도 44의 (a)의 실시 시간은 고정치로 할 필요가 있다. 실시 시간은, 0.2H 이상 5H(5수평 주사 기간) 이하로 하는 것이 바람직하다. 나아가서는 0.5H 이상 4H 이하로 하는 것이 바람직하다. 혹은, 2 μ sec 이상 400 μ sec 이하로 하는 것이 바람직하다.

또한, 게이트 신호선(17e)은 전단의 화소 행의 게이트 신호선(17a)과 공통으로 해 두는 것이 바람직하다. 즉, 게이트 신호선(17e)과 전단의 화소 행의 게이트 신호선(17a)을 쇼트 상태로 형성한다. 이 구성을 전단 게이트 제어 방식이라고 부른다. 또, 전단 게이트 제어 방식이란, 주목 화소 행보다 적어도 1H 전 이상에서 선택되는 화소 행의 게이트 신호선 파형을 이용하는 것이다. 따라서, 1 화소 행 전에 한정되는 것은 아니다. 예를 들면, 2 화소 행전의 게이트 신호선의 신호 파형을 이용하여 주목 화소의 구동용 트랜지스터(11a)의 리셋을 실시해도 된다.

전단 게이트 제어 방식을 더 구체적으로 기재하면 이하와 같이 된다. 주목하는 화소 행이 (N) 화소 행으로 되고, 그 게이트 신호선이 게이트 신호선(17e)(N), 게이트 신호선(17a)(N)으로 된다. 1H 전에 선택되는 전단의 화소 행은 화소 행이 (N-1) 화소 행으로 되고, 그 게이트 신호선이 게이트 신호선(17e)(N-1), 게이트 신호선(17a)(N-1)으로 된다. 또한, 주목 화소 행의 다음의 1H 후에 선택되는 화소 행이 (N+1) 화소 행으로 되고, 그 게이트 신호선이 게이트 신호선(17e)(N+1), 게이트 신호선(17a)(N+1)으로 된다.

제(N-1)H 기간에서는, 제(N-1) 화소 행의 게이트 신호선(17a)(N-1)에 온 전압이 인가되면, 제(N) 화소 행의 게이트 신호선(17e)(N)에도 온 전압이 인가된다. 게이트 신호선(17e)(N)과 전단의 화소 행의 게이트 신호선(17a)(N-1)이 쇼트 상태로 형성되어 있기 때문이다. 따라서, 제(N-1) 화소 행의 화소의 트랜지스터(11b)(N-1)가 온 상태로 되고, 소스 신호선(18)의 전압이 구동용 트랜지스터(11a)(N-1)의 게이트(G) 단자에 기입된다. 동시에, 제(N) 화소 행의 화소의 트랜지스터(11e)(N)가 온 상태로 되고, 구동용 트랜지스터(11a)(N)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N)가 리셋된다.

제(N-1)H 기간의 다음 제(N) 기간에서는, 제(N) 화소 행의 게이트 신호선(17a)(N)에 온 전압이 인가되면, 제(N+1) 화소 행의 게이트 신호선(17e)(N+1)에도 온 전압이 인가된다. 따라서, 제(N) 화소 행의 화소의 트랜지스터(11b)(N)가 온 상태로 되고, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a)(N)의 게이트(G) 단자에 기입된다. 동시에, 제(N+1) 화소 행의 화소의 트랜지스터(11e)(N+1)가 온 상태로 되고, 구동용 트랜지스터(11a)(N+1)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N+1)가 리셋된다.

이하 마찬가지로, 제(N)H 기간의 다음의 제(N+1) 기간에서는, 제(N+1) 화소 행의 게이트 신호선(17a)(N+1)에 온 전압이 인가되면, 제(N+2) 화소 행의 게이트 신호선(17e)(N+2)에도 온 전압이 인가된다. 따라서, 제(N+1) 화소 행의 화소의 트랜지스터(11b)(N+1)가 온 상태로 되고, 소스 신호선(18)에 인가되어 있는 전압이 구동용 트랜지스터(11a)(N+1)의 게이트(G) 단자에 기입된다. 동시에, 제(N+2) 화소 행의 화소의 트랜지스터(11e)(N+2)가 온 상태로 되고, 구동용 트랜지스터(11a)(N+2)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트되어, 구동용 트랜지스터(11a)(N+2)가 리셋된다.

이상의 본 발명의 전단 게이트 제어 방식에서는, 1H 기간, 구동용 트랜지스터(11a)는 리셋되고, 그 후 전압(전류) 프로그램이 실시된다.

도 33의 (a)도 마찬가지이지만, 도 44의 (a)의 리셋 상태와 도 44의 (b)의 전압 프로그램 상태를 동기를 취하여 행하는 경우에는, 도 44의 (a)의 리셋 상태에서 도 44의 (b)의 전류 프로그램 상태까지의 기간이 고정치(일정값)가 되므로 문제는 없다(고정치로 되어 있음). 이 기간이 짧으면 구동용 트랜지스터(11)가 완전히 리셋되지 않는다. 또한, 너무나 길면 구동용 트랜지스터(11a)가 완전히 오프 상태로 되어, 이번에는 전류를 프로그램하는 데 장시간을 요하게 된다. 또한, 화면(12)의 휘도도 저하한다.

도 44의 (a)를 실시 후, 도 44의 (b)의 상태로 된다. 도 44의 (b)는 트랜지스터(11b)를 온시키고, 트랜지스터(11e), 트랜지스터(11d)를 오프시킨 상태이다. 도 44의 (b)의 상태는 전압 프로그램을 행하고 있는 상태이다. 즉, 소스 드라이버 회로(14)로부터 프로그램 전압을 출력하고, 이 프로그램 전압을 구동용 트랜지스터(11a)의 게이트(G) 단자에 기입한다(구동용 트랜지스터(11a)의 게이트(G) 단자의 전위를 컨덴서(19)로 설정함). 또, 전압 프로그램 방식의 경우에는, 전압 프로그램 시에 트랜지스터(11d)를 반드시 오프시킬 필요는 없다. 또한, 도 13, 도 15 등의 N배 펄스 구동 등과 조합하는 것, 혹은 이상과 같은 간헐 N/K배 펄스 구동(1 화면에 점등 영역을 복수 마련하는 구동 방법임. 이 구동 방법은 트랜지스터(11e)를 온 오프 동작시킴으로써 용이하게 실현할 수 있음)을 실시할 필요가 없으면, 트랜지스터(11e)가 필요하지 않다. 이것은 이전에 설명을 했기 때문에, 설명을 생략한다.

도 43의 구성 혹은 도 44의 구동 방법으로 백 표시의 전압 프로그램을 행하는 경우에는, 각 화소의 구동용 트랜지스터의 특성 변동이 발생하고 있더라도, 완전히 흑 표시 상태의 오프셋 전압(각 구동용 트랜지스터의 특성에 따라 설정된 전류가 흐르는 개시 전압)부터 전압 프로그램을 행한다. 따라서, 목표의 전류값으로 프로그램되는 시간이 계조에 대응하여 같아진다. 그 때문에, 트랜지스터(11a)의 특성 변동에 의한 계조 오차가 없어, 양호한 화상 표시를 실현할 수 있다.

도 44의 (b)의 전류 프로그래밍 후, 도 44의 (c)에 도시하는 바와 같이, 트랜지스터(11b)를 오프 상태로 하고, 트랜지스터(11d)를 온시켜, 구동용 트랜지스터(11a)에서의 프로그램 전류를 EL 소자(15)에 흘리고, EL 소자(15)를 발광시

킨다.

이상과 같이, 도 43의 전압 프로그램에 있어서의 본 발명의 리셋 구동은, 우선, HD 동기 신호에 동기하여, 최초로 트랜지스터(11d)를 온시키고, 트랜지스터(11e)를 오프시켜, 트랜지스터(11a)에 전류를 흘리는 제1 동작과, 트랜지스터(11a)와 EL 소자(15) 사이를 절단하고, 또한 구동용 트랜지스터(11a)의 드레인(D) 단자와 게이트(G) 단자(혹은 소스(S) 단자와 게이트(G) 단자, 더 일반적으로 표현하면 구동용 트랜지스터의 게이트(G) 단자를 포함하는 2 단자) 사이를 쇼트하는 제2 동작과, 상기 동작의 후, 구동용 트랜지스터(11a)에 전압 프로그램을 행하는 제3 동작을 실시하는 것이다.

이상의 실시예에서는, 구동용 트랜지스터(11a)(도 1의 화소 구성인 경우)로부터 EL 소자(15)에 흘리는 전류를 제어하는 데에, 트랜지스터(11d)를 온 오프시켜 행한다. 트랜지스터(11d)를 온 오프시키기 위해서는, 게이트 신호선(17b)을 주사할 필요가 있는데, 주사를 위해서는, 시프트 레지스터 회로(61)(게이트 드라이버 회로(12))가 필요하다. 그러나, 시프트 레지스터 회로(61)는 규모가 크고, 게이트 신호선(17b)의 제어에 시프트 레지스터 회로(61)를 이용한 것으로는 협소화할 수 없다. 도 40에서 설명하는 방식은 이 과제를 해결하는 것이다.

또, 본 발명은 주로 도 1 등에 도시하는 전류 프로그램의 화소 구성을 예시하여 설명하지만, 이것에 한정되는 것이 아니고, 도 38 등에서 설명한 다른 전류 프로그램 구성(커런트 미러의 화소 구성)이더라도 적용할 수 있는 것은 물론이다. 또한, 블록으로 온 오프하는 기술적 개념은 도 41 등의 전압 프로그램의 화소 구성에서도 적용할 수 있음은 물론이다. 또한, 본 발명은 EL 소자(15)에 흐르는 전류를 간헐적으로 하는 방식이므로, 도 50 등에서 설명하는 역 바이어스 전압을 인가하는 방식과도 조합할 수 있는 것은 물론이다. 이상과 같이, 본 발명은 다른 실시예와 조합하여 실시할 수 있다.

도 40은 블록 구동 방식의 실시예이다. 우선, 설명을 쉽게 하기 위해서, 게이트 드라이버 회로(12)는 어레이 기판(71)에 직접 형성했다든지, 혹은 실리콘 칩의 게이트 드라이버 IC(12)를 어레이 기판(71)에 적재한 것으로 해서 설명한다. 또한, 소스 드라이버 회로(14) 및 소스 신호선(18)은 도면이 번잡해지기 때문에 생략한다.

도 40에 있어서, 게이트 신호선(17a)은 게이트 드라이버 회로(12)와 접속되어 있다. 한편, 각 화소의 게이트 신호선(17b)은 점등 제어선(401)과 접속되어 있다. 도 40에서는 4개의 게이트 신호선(17b)이 하나의 점등 제어선(401)과 접속되어 있다.

또, 4개의 게이트 신호선(17b)으로 블록 한다고 하는 것은 이것에 한정되는 것이 아니며, 그 이상이어도 되는 것은 물론이다. 일반적으로 표시 화면(50)은 적어도 5 이상으로 분할하는 것이 바람직하다. 더욱 바람직하게는, 10 이상으로 분할하는 것이 바람직하다. 나아가서는, 20 이상으로 분할하는 것이 바람직하다. 분할 수가 적으면, 깜박임이 보이기 쉽다. 너무나도 분할 수가 많으면, 점등 제어선(401)의 개수가 많아져, 점등 제어선(401)의 레이아웃이 곤란해진다.

따라서, QCIF 표시 패널의 경우에는, 수직 주사선의 개수가 220개이므로, 적어도, $220/5=44$ 개 이상으로 블록화할 필요가 있으며, 바람직하게는 $220/10=11$ 이상으로 블록화할 필요가 있다. 단, 홀수 행과 짝수 행으로 2개의 블록화를 행한 경우에는, 저 프레임 레이트에서도 비교적 깜박임의 발생이 적기 때문에, 2개의 블록화로 충분한 경우가 있다.

도 40의 실시예에서는, 점등 제어선(401a, 401b, 401c, 401d……401n)과 순차적으로, 온 전압(Vgl)을 인가하거나 혹은 오프 전압(Vgh)을 인가하고, 블록마다 EL 소자(15)에 흐르는 전류를 온 오프시킨다.

또, 도 40의 실시예에서는, 게이트 신호선(17b)과 점등 제어선(401)이 크로스하는 일이 없다. 따라서, 게이트 신호선(17b)과 점등 제어선(401)의 쇼트 결함이 발생하지 않는다. 또, 게이트 신호선(17b)과 점등 제어선(401)이 용량 결합하지 않기 때문에, 점등 제어선(401)으로부터 게이트 신호선(17b) 측을 보았을 때의 용량 부가가 매우 작다. 따라서, 점등 제어선(401)을 구동하기 쉽다.

게이트 드라이버 회로(12)에는 게이트 신호선(17a)이 접속되어 있다. 게이트 신호선(17a)에 온 전압을 인가하는 것에 의해, 화소 행이 선택되고, 선택된 각 화소의 트랜지스터(11b, 11c)는 온 상태로 되어, 소스 신호선(18)에 인가된 전류(전압)를 각 화소의 컨덴서(19)에 프로그램한다. 한편, 게이트 신호선(17b)은 각 화소의 트랜지스터(11d)의 게이트(G) 단자와 접속되어 있다. 따라서, 점등 제어선(401)에 온 전압(Vgl)이 인가되었을 때, 구동용 트랜지스터(11a)와 EL 소자(15)의 전류 경로를 형성하고, 반대로 오프 전압(Vgh)이 인가되었을 때에는, EL 소자(15)의 애노드 단자를 오픈으로 한다.

또, 점등 제어선(401)에 인가하는 온 오프 전압의 제어 타이밍과, 게이트 드라이버 회로(12)가 게이트 신호선(17a)에 출력하는 화소 행 선택 전압(Vgl)의 타이밍은 1수평 주사 클럭(1H)에 동기하고 있는 것이 바람직하다. 그러나, 이것에 한정되는 것이 아니다.

점등 제어선(401)에 인가하는 신호는 단순히, EL 소자(15)에의 전류를 온 오프시킬뿐이다. 또한, 소스 드라이버 회로(14)가 출력하는 화상 데이터와 동기가 취해져 있을 필요도 없다. 점등 제어선(401)에 인가하는 신호는, 각 화소(16)의 컨덴서(19)에 프로그램된 전류를 제어하는 것이기 때문이다. 따라서, 반드시, 화소 행의 선택 신호와 동기가 취해져 있을 필요는 없다. 또한, 동기하는 경우에도 클럭은 1H 신호에 한정되는 것이 아니며, 1/2H이더라도, 1/4H이더라도 무방하다.

도 38에 도시한 커런트 미러의 화소 구성의 경우에서도, 게이트 신호선(17b)을 점등 제어선(401)에 접속하는 것에 의해, 트랜지스터(11e)를 온 오프 제어할 수 있다. 따라서, 블록 구동을 실현할 수 있다.

또, 도 32에 있어서, 게이트 신호선(17a)을 점등 제어선(401)에 접속하고, 리셋을 실시하면, 블록 구동을 실현할 수 있다. 즉, 본 발명의 블록 구동이란, 하나의 제어선으로, 복수의 화소 행을 동시에 비점등(혹은 흑 표시)으로 하는 구동 방법이다.

이상의 실시예는 1 화소 행마다 하나의 선택 화소 행을 배치(형성)하는 구성이었다. 본 발명은 이것에 한정되는 것이 아니고, 복수의 화소 행으로 하나의 선택 게이트 신호선을 배치(형성)해도 된다.

도 41은 그 실시예이다. 또, 설명을 쉽게 하기 위해서, 화소 구성은 도 1의 경우를 주로 예시하여 설명한다. 도 41에서는 화소 행의 선택 게이트 신호선(17a)은 3개의 화소(16R, 16G, 16B)를 동시에 선택한다. R의 기호라 함은 적색의 화소 관련을 의미하고, G의 기호는 녹색의 화소 관련을 의미하며, B의 기호는 청색의 화소 관련을 의미하는 것으로 한다.

따라서, 게이트 신호선(17a)의 선택에 의해, 화소(16R), 화소(16G) 및 화소(16B)가 동시에 선택되어 데이터 기입 상태로 된다. 화소(16R)는 소스 신호선(18R)으로부터 데이터를 컨덴서(19R)에 기입하고, 화소(16G)는 소스 신호선(18G)으로부터 데이터를 컨덴서(19G)에 기입한다. 화소(16B)는 소스 신호선(18B)으로부터 데이터를 컨덴서(19B)에 기입한다.

화소(16R)의 트랜지스터(11d)는 게이트 신호선(17bR)에 접속되어 있다. 또한, 화소(16G)의 트랜지스터(11d)는 게이트 신호선(17bG)에 접속되고, 화소(16B)의 트랜지스터(11d)는 게이트 신호선(17bB)에 접속되어 있다. 따라서, 화소(16R)의 EL 소자(15R), 화소(16G)의 EL 소자(15G), 화소(16B)의 EL 소자(15B)는 별개로 온 오프 제어할 수 있다. 즉, EL 소자(15R), EL 소자(15G), EL 소자(15B)는 각각의 게이트 신호선(17bR, 17bG, 17bB)을 제어함으로써, 점등 시간, 점등 주기를 개별로 제어 가능하다.

이 동작을 실현하기 위해서는, 도 6의 구성에 있어서, 게이트 신호선(17a)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bR)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bG)을 주사하는 시프트 레지스터 회로(61)와, 게이트 신호선(17bB)을 주사하는 시프트 레지스터 회로(61)의 4개를 형성(배치)하는 것이 적절하다.

또, 소스 신호선(18)에 소정 전류의 N배의 전류를 흘려 보내고, EL 소자(15)에 소정 전류의 N배의 전류를 1/N의 기간 흘려 보내는 것으로 했지만, 실용상은 이것을 실현할 수 없다. 실제로는 게이트 신호선(17)에 인가한 신호 펄스가 컨덴서(19)에 관통하여, 컨덴서(19)에 원하는 전압값(전류값)을 설정할 수 없기 때문이다. 일반적으로 컨덴서(19)에는 원하는 전압값(전류값)보다도 낮은 전압값(전류값)이 설정된다. 예를 들면, 10배의 전류값을 설정하도록 구동해도, 5배 정도의 전류밖에 컨덴서(19)에는 설정되지 않는다. 예를 들면, $N=10$ 으로 하여도 실제로 EL 소자(15)에 흐르는 전류는 $N=5$ 인 경우와 동일해진다. 따라서, 본 발명은 N배의 전류값을 설정하고, N배에 비례한 혹은 대응하는 전류를 EL 소자(15)에 흐르도록 구동하는 방법이다. 혹은, 소망치보다도 큰 전류를 EL 소자(15)에 펄스 형상으로 인가하는 구동 방법이다.

또한, 소망치로부터 전류(그대로, EL 소자(15)에 연속하여 전류를 흘리면 소망 휘도보다도 높아지는 전류)를 구동용 트랜지스터(11a)(도 1을 예시하는 경우)에 전류(전압) 프로그램을 행하고, EL 소자(15)에 흐르는 전류를 간헐로 함으로써, 원하는 EL 소자의 발광 휘도를 얻는 것이다.

또한, 이 컨덴서(19)로의 관통에 의한 보상 회로는, 소스 드라이버 회로(14) 내에 도입한다. 이 사항에 대해서는 나중에 설명을 한다.

또한, 도 1 등의 스위칭용 트랜지스터(11b, 11c) 등은 N채널로 형성하는 것이 바람직하다. 컨덴서(19)에의 관통 전압이 저감하기 때문이다. 또한, 컨덴서(19)의 오프 누설도 감소하므로, 10Hz 이하의 낮은 프레임 레이트에도 적용할 수 있게 된다.

또한, 화소 구성에 따라서는, 관통 전압이 EL 소자(15)에 흐르는 전류를 증가시키는 방향으로 작용하는 경우에는, 백 픽스 전류가 증가하고, 화상 표시의 콘트라스트감이 증가한다. 따라서, 양호한 화상 표시를 실현할 수 있다.

반대로, 도 1의 스위칭용 트랜지스터(11b, 11c)를 P 채널로 함으로써 관통을 발생시켜, 보다 흑 표시를 양호하게 하는 방법도 유효하다. P 채널 트랜지스터(11b)가 오프할 때에는 V_{gh} 전압으로 된다. 그 때문에, 컨덴서(19)의 단자 전압이 V_{dd} 측으로 조금 시프트한다. 그 때문에, 트랜지스터(11a)의 게이트(G) 단자 전압이 상승하여, 보다 흑 표시로 된다. 또한, 제1 계조 표시로 하는 전류값을 크게 할 수 있으므로(계조 1까지 일정한 베이스 전류를 흘릴 수 있음), 전류 프로그램 방식으로 기입 전류 부족을 경감할 수 있다.

이하, 도면을 참조하면서 본 발명의 다른 구동 방식에 대하여 설명한다. 도 125는 본 발명의 시퀀스 구동을 실시하기 위한 표시 패널의 설명도이다. 소스 드라이버 회로(14)는 접속 단자(761)에 R, G, B 데이터를 전환하여 출력한다. 따라서, 소스 드라이버 회로(14)의 출력 단자 수는 도 48 등의 경우에 비하여 1/3의 출력 단자 수로 끝난다.

소스 드라이버 회로(14)로부터 접속 단자(761)에 출력하는 신호는, 출력 전환 회로(1741)에 의해 소스 신호선(18R, 18G, 18B)으로 분류된다. 출력 전환 회로(1741)는 폴리실리콘 기술로 어레이 기판(71)에 직접 형성한다. 또한, 출력 전환 회로(1741)는 실리콘 칩으로 형성하고, COG 기술로 어레이 기판(71)에 실장해도 된다. 또, 출력 전환 회로(1741)는 출력 전환 회로(1741)를 소스 드라이버 회로(14)의 회로로서, 소스 드라이버 회로(14)에 내장시켜도 된다.

전환 스위치(1742)가 R단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는, 소스 신호선(18R)에 인가된다. 전환 스위치(1742)가 G 단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는 소스 신호선(18G)에 인가된다. 전환 스위치(1742)가 B단자에 접속되어 있을 때에는, 소스 드라이버 회로(14)로부터의 출력 신호는 소스 신호선(18B)에 인가된다.

또한 도 175의 구성에서는, 전환 스위치(1742)가 R단자에 접속되어 있을 때에는, 전환 스위치의 G 단자 및 B단자는 오픈이다. 따라서, 소스 신호선(18C 및 18B)에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18G 및 18B)에 접속된 화소(16)는 흑 표시로 된다.

전환 스위치(1742)가 G 단자에 접속되어 있을 때에는, 전환 스위치의 R단자 및 B 단자는 오픈이다. 따라서, 소스 신호선(18R 및 18B)에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18R 및 18B)에 접속된 화소(16)는 흑 표시로 된다.

또, 도 175의 구성에서는, 전환 스위치(1742)가 B단자에 접속되어 있을 때에는, 전환 스위치의 R단자 및 G 단자는 오픈이다. 따라서, 소스 신호선(18R 및 18G)에 입력되는 전류는 0A이다. 따라서, 소스 신호선(18R 및 18G)에 접속된 화소(16)는 흑 표시로 된다.

기본적으로는, 1 프레임이 3 필드로 구성되는 경우, 제1 필드에서 표시 화면(50)의 화소(16)에 순차 R화상 데이터가 기입된다. 제2 필드에서는 표시 화면(50)의 화소(16)에 순차 G 화상 데이터가 기입된다. 또한, 제3 필드에서는 표시 화면(50)의 화소(16)에 순차 B 화상이 기입된다.

이상과 같이, 필드마다 R데이터→G 데이터→B 데이터→R데이터→……가 순차 재기입되어 시퀀스 구동이 실현된다. 도 1과 같이 스위칭용 트랜지스터(11d)를 온 오프시켜, N배 펄스 구동을 실현하는 것 등은, 도 5, 도 13, 도 16 등에서 설명을 했다. 이들 구동 방법을 시퀀스 구동과 조합할 수 있음은 물론이다.

또한, 앞서 설명한 실시예에서는, R화소(16)에 화상 데이터를 기입할 때는, G 화소 및 B 화소에는 흑 데이터를 기입하는 것으로 했다. G 화소(16)에 화상 데이터를 기입할 때는, R화소 및 B 화소에는 흑 데이터를 기입하는 것으로 했다. B 화소(16)에 화상 데이터를 기입할 때는, R화소 및 G 화소에는 흑 데이터를 기입한다고 했다. 본 발명은 이것에 한정되는 것이 아니다.

예를 들면, R화소(16)에 화상 데이터를 기입할 때는, G 화소 및 B 화소의 화상 데이터는 이전 필드에서 재기입된 화상 데이터를 유지하도록 하여도 된다. 이 와 같이 구동하면 화면(50) 휘도를 밝게 할 수 있다. G 화소(16)에 화상 데이터를 기입할 때는, R화소 및 B 화소의 화상 데이터는 이전 필드에서 재기입된 화상 데이터를 유지하도록 한다. B 화소(16)에 화상 데이터를 기입할 때에는, G 화소 및 R화소의 화상 데이터는 이전 필드에서 재기입된 화상 데이터를 유지한다.

이상과 같이, 재기입하고 있는 색 화소 이외의 화소의 화상 데이터를 유지하기 위해서는, RGB 화소에서 게이트 신호선(17a)을 독립적으로 제어할 수 있도록 하면 된다. 예를 들면, 도 174에 도시하는 바와 같이, 게이트 신호선(17aR)은 R화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 또한, 게이트 신호선(17aC)은 G 화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 게이트 신호선(17aB)은 B 화소의 트랜지스터(11b), 트랜지스터(11c)의 온 오프를 제어하는 신호선으로 한다. 한편, 게이트 신호선(17b)은 R화소, G 화소, B 화소의 트랜지스터(11d)를 공통으로 온 오프시키는 신호선으로 한다.

이상과 같이 구성하면, 소스 드라이버 회로(14)가 R의 화상 데이터를 출력하고, 전환 스위치(1742)가 R접점으로 전환되어 있을 때는, 게이트 신호선(17aR)에 온 전압을 인가하고, 게이트 신호선 aG와 게이트 신호선 aB에 오프 전압을 인가할 수 있다. 따라서, R의 화상 데이터를 R화소(16)에 기입하고, G 화소(16) 및 B 화소(16)는 앞에 필드의 화상 데이터를 유지한 채로 할 수 있다.

제2 필드에서 소스 드라이버 회로(14)가 G의 화상 데이터를 출력하고, 전환 스위치(1742)가 G 접점으로 전환되어 있을 때는, 게이트 신호선(17aG)에 온 전압을 인가하고, 게이트 신호선 aR과 게이트 신호선 aB에 오프 전압을 인가할 수 있다. 따라서, G의 화상 데이터를 G 화소(16)에 기입하고, R 화소(16) 및 B 화소(16)는 앞에 필드의 화상 데이터를 유지한 그대로 할 수 있다.

제3 필드에서 소스 드라이버 회로(14)가 B의 화상 데이터를 출력하고, 전환 스위치(1742)가 B접점으로 전환되어 있을 때는, 게이트 신호선(17aB)에 온 전압을 인가하고, 게이트 신호선 aR과 게이트 신호선 aG에 오프 전압을 인가할 수 있다. 따라서, B의 화상 데이터를 B 화소(16)에 기입하고, R화소(16) 및 G 화소(16)는 앞에 필드의 화상 데이터를 유지한 채로 할 수 있다.

도 174의 실시예에서는, RCB마다 화소(16)의 트랜지스터(11b)를 온 오프시키는 게이트 신호선(17a)을 형성 혹은 배치한다고 했다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 도 175에 도시하는 바와 같이, RGB의 화소(16)에 공통의 게이트 신호선(17a)을 형성 또는 배치하는 구성이어도 된다.

도 174 등의 구성에 있어서, 전환 스위치(1742)가 R의 소스 신호선을 선택하고 있을 때는, G의 소스 신호선과 B의 소스 신호선은 오픈이 되는 것으로 해서 설명했다. 그러나, 오픈 상태는 전기적으로는 부유 상태로, 바람직한 것이 아니다.

도 175는 이 부유 상태를 없애기 위해서 대책을 행한 구성이다. 출력 전환 회로(1741)의 전환 스위치(1742)의 a 단자는 Vaa 전압(혹 표시가 되는 전압)에 접속되어 있다. b 단자는 소스 드라이버 회로(14)의 출력 단자와 접속되어 있다. 전환 스위치(1742)는 RGB 각각에 마련되어 있다.

도 175의 상태에서는, 전환 스위치(1252R)는 Vaa 단자에 접속되어 있다. 따라서, 소스 신호선(18R)에는 Vaa 전압(혹 전압)이 인가되어 있다. 전환 스위치(1252G)는 Vaa 단자에 접속되어 있다. 따라서, 소스 신호선(18G)에는 Vaa 전압(혹 전압)이 인가되어 있다. 전환 스위치(1742) B는 소스 드라이버 회로(14)의 출력 단자에 접속되어 있다. 따라서, 소스 신호선(18B)에는 B의 영상 신호가 인가되어 있다.

이상의 상태에서는, B 화소가 재기입 상태이고, R화소와 G 화소에는 흑 표시 전압이 인가된다. 이상과 같이 전환 스위치(1742)를 제어함으로써, 화소(16)의 화상은 재기입된다. 또, 게이트 신호선(17b)의 제어 등에 관해서는 이전에 설명한 실시예와 마찬가지로 하기 때문에 설명을 생략한다.

이상의 실시예에서는, 제1 필드에서 R화소(16)를 재기입하고, 제2 필드에서 G 화소(16)를 재기입하고, 제3 필드에서 B 화소(16)를 재기입한다고 했다. 즉, 1 필드마다 재기입되는 화소의 색이 변화한다. 본 발명은 이것에 한정되는 것이 아니다. 1수평 주사 기간(1H)마다 재기입하는 화소의 색을 변화시켜도 된다. 예를 들면, 1H째에 R화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R화소를 재기입하고, ……하는 식으로 구동하는 방법이다. 물론, 2H 이상의 복수 수평 주사 기간마다 재기입하는 화소의 색을 변화시켜도 되고, 1/3 필드마다 재기입하는 화소의 색을 변화시켜도 된다.

도 176은 1H마다 재기입하는 화소의 색을 변화시킨 실시예이다. 또, 도 176 내지 도 178에 있어서, 사선으로 도시한 화소(16)는, 화소를 재기입하지 않고서 이전 필드의 화상 데이터를 유지하고 있거나, 혹은 흑 표시로 되어 있음을 나타내고 있다. 물론, 화소를 흑 표시하거나, 이전 필드의 데이터를 보유하거나 하여 반복해서 실시해도 된다.

또한, 도 174 내지 도 178의 구동 방식에 있어서, 도 13 등의 N배 펄스 구동이나 M 행 동시 구동을 실시해도 되는 것은 물론이다. 도 174 내지 도 178 등은 화소(16)의 기입 상태를 설명하고 있다. EL 소자(15)의 점등 제어는 설명하지 않지만, 이전 혹은 이후에 설명하는 실시예를 조합할 수 있는 것은 물론이다.

또한, 1 프레임은 3 필드로 구성되는 것에 한정되는 것이 아니다. 2 필드여도 되고, 4 필드 이상이어도 된다. 1 프레임이 2 필드에서 RGB의 3원색인 경우에는, 제1 필드에서 R과 G 화소를 재기입하고, 제2 필드에서 B 화소를 재기입한다고 하는 실시예가 예시된다. 또한, 1 프레임이 4 필드에서 RGB의 3원색인 경우에는, 제1 필드에서 R화소를 재기입하고, 제2 필드에서 G 화소를 재기입하고, 제3 필드와 제4 필드에서 B 화소를 재기입한다고 하는 실시예가 예시된다. 이들 시퀀스는 RGB의 EL 소자(15)의 발광 효율을 고려하여 검토함으로써 효율적으로 화이트 밸런스를 취할 수 있다.

이상의 실시예에서는, 제1 필드에서 R 화소(16)를 재기입하고, 제2 필드에서 G 화소(16)를 재기입하고, 제3 필드에서 B 화소(16)를 재기입하는 것으로 했다. 즉, 1 필드마다 재기입되는 화소의 색이 변화한다.

도 176의 실시예에서는, 제1 필드의 1H 때에 R 화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R 화소를 재기입하고, ……라는 식으로 구동하는 방법이다. 물론, 2H 이상의 복수 수평 주사 기간 마다 재기입하는 화소의 색을 변화시키더라도 되고, 1/3 필드마다 재기입하는 화소의 색을 변화시켜도 된다.

도 176의 실시예에서는, 제1 필드의 1H 때에 R 화소를 재기입하고, 2H 번째에 G 화소를 재기입하고, 3H 번째에 B 화소를 재기입하고, 4H 번째에 R 화소를 재기입한다. 제2 필드의 1H 때에 G 화소를 재기입하고, 2H 번째에 B 화소를 재기입하고, 3H 번째에 R 화소를 재기입하고, 4H 번째에 G 화소를 재기입한다. 제3 필드의 1H 때에 B 화소를 재기입하고, 2H 번째에 R 화소를 재기입하고, 3H 번째에 G 화소를 재기입하고, 4H 번째에 B 화소를 재기입한다.

이상과 같이, 각 필드에서 R, G, B 화소를 임의로 혹은 소정의 규칙성을 갖고 재기입함으로써, R, G, B의 컬러 분리를 방지할 수 있다. 또, 깜박임의 발생도 억제할 수 있다.

도 177에서는, 1H마다 재기입되는 화소(16)의 색 수는 복수로 되어 있다. 도 176에서는 제1 필드에서, 1H 번째는 재기입되는 화소(16)는 R 화소이고, 2H 번째는 재기입되는 화소(16)는 G 화소이다. 또한, 3H 번째는 재기입되는 화소(16)는 B 화소이고, 4H 번째는 재기입되는 화소(16)는 R 화소이다.

도 177에서는 1H마다, 재기입하는 화소의 색 위치를 다르게 하고 있다. 각 필드에서 R, G, B 화소를 달리 하여(소정의 규칙성을 가지고 있어도 됨은 말할 필요도 없음), 순차 재기입함으로써, R, G, B의 컬러 분리를 방지할 수 있다. 또, 깜박임의 발생도 억제할 수 있다.

또, 도 177의 실시예에 있어서도, 각 화소(RGB 화소의 조)에서는, RGB의 점 등 시간 혹은 발광 강도를 일치시킨다. 이것은 도 175, 도 176 등의 실시예에 있어서도 당연히 실시하는 것은 물론이다. 색 얼룩이 되기 때문이다.

도 177과 같이, 1H마다 재기입하는 화소의 색 수(도 177의 제1 필드의 1H 번째는, R, G, B의 3색이 재기입되어 있음)를 복수로 하는 것은, 도 174에 있어서, 소스 드라이버 회로(14)가 각 출력 단자에 임의(일정한 규칙성이 있어도 됨)의 색의 영상 신호를 출력할 수 있도록 구성하고, 전환 스위치(1742)가 점점 R, G, B를 임의(일정한 규칙성이 있어도 됨)로 접속할 수 있도록 구성하면 된다.

도 178의 실시예의 표시 패널에서는, RGB의 3원색 외에, W(백)의 화소(16W)를 갖고 있다. 화소(16W)를 형성 또는 배치함으로써, 색 피크 휘도를 양호하게 실현할 수 있다. 또한, 고휘도 표시를 실현할 수 있다. 도 178의 (a)는 1 화소 행에, R, G, B, W 화소(16)를 형성한 실시예이다. 도 178의 (b)는 1 화소 행마다 RGBW의 화소(16)를 배치한 구성이다.

도 178의 구동 방법에 있어서도, 도 176, 도 177 등의 구동 방식을 실시할 수 있음은 물론이다. 또한, N배 펄스 구동이나, M 화소 행 동시 구동 등을 실시할 수 있는 것은 말할 필요도 없다. 이들 사항은 당업자이면 본 명세서에 의해 용이하게 구현화할 수 있기 때문에 설명을 생략한다.

또, 본 발명은 설명을 쉽게 하기 위해서, 본 발명의 표시 패널은 RGB의 3원색을 갖는 것으로 해서 설명하고 있지만, 이것에 한정되는 것이 아니다. RGB 외에, 시안, 옐로우, 마젠타를 가하더라도 되고, R, G, B 중 어느 하나의 단색, R, G, B 중 어느 2색을 이용한 표시 패널이어도 된다.

또한, 이상의 시퀀스 구동 방식에서는, 필드마다 RGB를 조작하는 것으로 했지만, 본 발명은 이것에 한정되는 것이 아닌 것은 물론이다. 또한, 도 174 내지 도 178의 실시예는, 화소(16)에 화상 데이터를 기입하는 방법에 대하여 설명한 것이다. 도 1 등의 트랜지스터(11d)를 조작하여, EL 소자(15)에 전류를 흘려보내 화상을 표시하는 방식을 설명한 것이 아니다(물론, 관련되어 있음). EL 소자(15)에 흐르는 전류는, 도 1의 화소 구성에서는 트랜지스터(11d)를 제어하는 것에 의해 행한다.

또한, 도 176, 도 177 등의 구동 방법에서는, 트랜지스터(11d)(도 1의 경우)를 제어함으로써, RGB 화상을 순차 표시할 수 있다. 예를 들면, 도 179의 (a)는 1 프레임(1 필드) 기간에 R 표시 영역(53R), G 표시 영역(53G), B 표시 영역(53B)을 화면의 위에서 아래 방향(아래 방향이어도 위 방향이어도 됨)으로 주사한다. RGB의 표시 영역 이외의 영역은 비표시 영역(52)으로 한다. 즉, 간헐 구동을 실시한다.

도 179의 (b)는 1 필드(1 프레임) 기간에 RGB 표시 영역(53)을 복수 발생하도록 실시한 실시예이다. 이 구동 방법은 도 16의 구동 방법과 유사하다. 따라서, 설명을 필요로 하지 않을 것이다. 도 179의 (b)에 표시 영역(53)을 복수로 분

할하는 것에 의해, 깜박임의 발생은 보다 저 프레임 레이트에서도 없어지게 된다.

도 180의 (a)는 RGB의 표시 영역(53)에서 표시 영역(53)의 면적을 달리한 것이다(표시 영역(53)의 면적은 점등 기간에 비례함은 말할 필요도 없음). 도 180의 (a)에서는 R 표시 영역(53R)과 G 표시 영역(53G)의 면적을 동일하게 하고 있다. G 표시 영역(53G)보다 B 표시 영역(53B)의 면적을 크게 하고 있다. 유기 EL 표시 패널에서는 B의 발광 효율이 나쁜 경우가 많다, 도 180의 (a)와 같이 B 표시 영역(53B)을 다른 색의 표시 영역(53)보다도 크게 하는 것에 의해, 효율적으로 화이트 밸런스를 취할 수 있게 된다.

도 180의 (b)는 1 필드(프레임) 기간에, B 표시 기간(53B)이 복수(53B1, 53B2)로 되도록 한 실시예이다. 도 180의 (a)는 하나의 B 표시 영역(53B)을 변화시키는 방법이었다. 변화시킴으로써 화이트 밸런스를 양호하게 조정할 수 있도록 한다. 도 180의 (b)는 동일 면적의 B 표시 영역(53B)을 복수 표시시킴으로써, 화이트 밸런스를 양호하게 한다.

본 발명의 구동 방식은 도 180의 (a)와 도 180의 (b) 중 어느 것에 한정되는 것이 아니다. R, G, B의 표시 영역(53)을 발생하고, 또한 간헐 표시하는 것에 의해, 결과적으로 동화상 불선명을 대책하여, 화소(16)에의 기입 부족을 개선하는 것을 목적으로 하고 있다. 또, 도 16의 구동 방법에서는 R, G, B가 독립된 표시 영역(53)은 발생하지 않는다. RGB가 동시에 표시된다(W 표시 영역(53)이 표시된다고 표현하여야 함). 또, 도 180의 (a)와 도 180의 (b)는 조합하여도 되는 것은 물론이다. 예를 들면, 도 180의 (a)의 RGB의 표시 면적(53)을 변화하고, 또한 도 180의 (b)의 RGB의 표시 영역(53)을 복수 발생시키는 구동 방법의 실시이다.

또, 도 179 내지 도 180의 구동 방식은 도 174 내지 도 178의 본 발명의 구동 방식에 한정되는 것이 아니다. 도 41과 같이, RGB마다 EL 소자(15)(EL 소자(15R), EL 소자(15G), EL 소자(15B))에 흐르는 전류를 제어할 수 있는 구성이면, 도 179, 도 180의 구동 방식을 용이하게 실시할 수 있음은 말할 필요도 없을 것이다. 게이트 신호선(17bR)에 온 오프 전압을 인가하는 것에 의해, R 화소(16R)를 온 오프 제어할 수 있다. 게이트 신호선(17bG)에 온 오프 전압을 인가하는 것에 의해, G 화소(16G)를 온 오프 제어할 수 있다. 게이트 신호선(17bB)에 온 오프 전압을 인가하는 것에 의해, B 화소(16B)를 온 오프 제어할 수 있다.

또한, 이상의 구동을 실현하기 위해서는, 도 181에 도시하는 바와 같이, 게이트 신호선(17bR)을 제어하는 게이트 드라이버 회로(12bR), 게이트 신호선(17bG)을 제어하는 게이트 드라이버 회로(12bG), 게이트 신호선(17bB)을 제어하는 게이트 드라이버 회로(12bB)를 형성 또는 배치하면 된다. 도 181의 게이트 드라이버 회로(12bR, 12bG, 12bB)를 도 6 등에서 설명한 방법으로 구동하는 것에 의해, 도 179, 도 180의 구동 방법을 실현할 수 있다. 물론, 도 181의 표시 패널의 구성으로, 도 16의 구동 방법 등도 실현할 수 있음은 물론이다.

또한, 도 174 내지 도 177의 구성으로, 화상 데이터를 재기입하는 화소(16) 이외의 화소(16)에, 흑 화상 데이터를 재기입하는 방식이면, EL 소자(15R)를 제어하는 게이트 신호선(17bR), EL 소자(15G)를 제어하는 게이트 신호선(17bG), EL 소자(15B)를 제어하는 게이트 신호선 bB가 분리되어 있지 않고, RGB 화소에 공통의 게이트 신호선(17b)이라도, 도 179, 도 180의 구동 방식을 실현할 수 있음은 물론이다.

도 15, 도 18, 도 21 등에서는 게이트 신호선(17b)(EL 측 선택 신호선)은 1수평 주사 기간(1H)을 단위로 하여, 온 전압(Vgl), 오프 전압(Vgh)을 인가하는 것으로 설명했다. 그러나, EL 소자(15)의 발광량은, 흘러 보내는 전류가 정전류일 때, 흘러 보내는 시간에 비례한다. 따라서, 흘러 보내는 시간은 1H 단위로 한정할 필요는 없다.

도 194는 1/4 duty 구동이다. 4H 기간에 1H 기간 동안, 게이트 신호선(17b)(EL 측 선택 신호선)에 온 전압이 인가되고, 수평 동기 신호(HD)에 동기하여 온 전압이 인가되어 있는 위치가 주사된다. 따라서, 온 시간은 1H 단위이다.

그러나, 본 발명은 이것에 한정하는 것이 아니고, 도 197에 도시하는 바와 같이 1H 미만(도 197은 1/2H)이어도 되고, 또한 1H 이하여도 된다. 즉, 1H 단위로 한정되는 것이 아니고, 1H 단위 이외의 발생도 용이하다. 게이트 드라이버 회로(12b)(게이트 신호선(17b)을 제어하는 회로임)의 출력단에 형성 또는 배치된 OEV2 회로를 이용하면 된다.

아웃풋 인에이블(OEV)의 개념을 도입하기 위해서, 이하와 같이 규정한다. OEV 제어를 행함으로써, 1수평 주사 기간(1H) 이내의 게이트 신호선(17a, 17b)에 온 오프 전압(Vgl 전압, Vgh 전압)을 화소(16)에 인가할 수 있게 된다.

설명을 쉽게 하기 위해서, 본 발명의 표시 패널에서는, 전류 프로그램을 행하는 화소 행을 선택하는 게이트 신호선(17a)(도 1의 경우)으로 하여 설명을 한다. 또한, 게이트 신호선(17a)을 제어하는 게이트 드라이버 회로(12a)의 출력을 WR측 선택 신호선이라고 부른다. EL 소자(15)를 선택하는 게이트 신호선(17b)(도 1의 경우)으로 하여 설명을 한다. 또한, 게이트 신호선(17b)을 제어하는 게이트 드라이버 회로(12b)의 출력을 EL 측 선택 신호선이라고 부른다.

게이트 드라이버 회로(12)는, 스타트 펄스가 입력되고, 입력된 스타트 펄스가 유지 데이터로서 순차 시프트 레지스터 내를 시프트한다. 게이트 드라이버 회로(12a)의 시프트 레지스터 내의 유지 데이터에 의해, WR측 선택 신호선에 출

력되는 전압이 온 전압(Vgl)인지 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12a)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV1 회로(도시하지 않음)가 형성 또는 배치되어 있다. OEV1 회로가 L 레벨일 때에는, 게이트 드라이버 회로(12a)의 출력인 WR측 선택 신호를 그대로 게이트 신호선(17a)에 출력한다. 이상의 관계를 로직적으로 나타내면, 도 224의 (a)의 관계가 된다(OR 회로임). 또, 온 전압을 로직 레벨의 L(0)로 하고, 오프 전압을 로직 전압의 H(1)로 하고 있다.

즉, 게이트 드라이버 회로(12a)가 오프 전압을 출력하고 있는 경우에는, 게이트 신호선(17a)에 오프 전압이 인가된다. 게이트 드라이버 회로(12a)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV1 회로의 출력과 OR이 취해져 게이트 신호선(17a)에 출력된다. 즉, OEV1 회로는, H 레벨일 때, 게이트 드라이버 신호선(17a)에 출력하는 전압을 오프 전압(Vgh)으로 한다(도 224의 타이밍차트의 예를 참조).

게이트 드라이버 회로(12b)의 시프트 레지스터 내의 유지 데이터에 의해, 게이트 신호선(17b)(EL측 선택 신호선)에 출력되는 전압이 온 전압(Vgl)인지 오프 전압(Vgh)인지가 결정된다. 또한, 게이트 드라이버 회로(12b)의 출력단에는, 강제적으로 출력을 오프로 하는 OEV2 회로(도시하지 않음)가 형성 또는 배치되어 있다. OEV2 회로가 L 레벨일 때에는, 게이트 드라이버 회로(12b)의 출력을 그대로 게이트 신호선(17b)에 출력한다. 이상의 관계를 로직적으로 도시하면, 도 224의 (a)의 관계로 된다. 또, 온 전압을 로직 레벨의 L(0)로 하고, 오프 전압을 로직 전압의 H(1)로 하고 있다.

즉, 게이트 드라이버 회로(12b)가 오프 전압을 출력하고 있는 경우(EL측 선택 신호는 오프 전압)에는, 게이트 신호선(17b)에 오프 전압이 인가된다. 게이트 드라이버 회로(12b)가 온 전압(로직에서는 L 레벨)을 출력하고 있는 경우에는, OR 회로에서 OEV2 회로의 출력과 OR이 취해져 게이트 신호선(17b)에 출력된다. 즉, OEV2 회로는, 입력 신호가 H 레벨일 때, 게이트 드라이버 신호선(17b)에 출력하는 전압을 오프 전압(Vgh)으로 한다. 따라서, OEV2 회로에 의해 EL측 선택 신호가 온 전압 출력 상태이더라도, 강제적으로 게이트 신호선(17b)에 출력되는 신호는 오프 전압(Vgh)으로 된다. 또, OEV2 회로의 입력이 L이면, EL측 선택 신호가 스루로 게이트 신호선(17b)에 출력된다(도 224의 타이밍차트의 예를 참조).

또, OEV2의 제어에 의해, 화면 휘도를 조정한다. 화면 휘도에 의해 변화할 수 있는 발기의 허용 범위가 있다. 도 223는 허용 변화(%)와 화면 휘도(nt)의 관계를 나타낸 것이다. 도 223으로부터 알 수 있듯이, 비교적 어두운 화상으로 허용 변화량이 작다. 따라서, OEV2에 의한 제어 혹은 duty비 제어에 의한 화면(50)의 휘도 조정은, 화면(50) 휘도를 고려하여 제어한다. 제어에 의한 허용 변화는 화면이 밝은 때보다도 어두운 때를 짧게 한다.

도 195는 게이트 신호선(17b)(EL측 선택 신호선)의 온 시간은 1H를 단위로 하고 있지 않다. 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)은 1H 약(弱)의 기간 온 전압이 인가된다. 짝수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)은 극히 짧은 기간 온 전압이 인가된다. 또한, 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T1과 짝수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T2를 가한 시간을 1H 기간이 되도록 하고 있다. 도 195를 제1 필드의 상태로 한다.

제1 필드의 다음의 제2 필드에서는, 짝수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)은 1H 약의 기간 온 전압이 인가된다. 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)은 극히 짧은 기간 온 전압이 인가된다. 또한, 짝수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T1과 홀수 화소 행의 게이트 신호선(17b)(EL측 선택 신호선)에 인가되는 온 전압 시간 T2를 가한 시간을 1H 기간이 되도록 하고 있다.

이상과 같이, 복수 화소 행에서의 게이트 신호선(17b)(EL측 선택 신호선)에 인가하는 온 시간의 합을 일정해지도록 하고, 또한 복수 필드에서 각 화소 행의 EL 소자(15)의 점등 시간을 일정해지도록 하여도 된다.

도 196은 게이트 신호선(17b)(EL측 선택 신호선)의 온 시간을 1.5H로 하고 있다. 또, A점에서의 게이트 신호선(17b)(EL측 선택 신호선)의 상승과 하강이 중첩되도록 하고 있다. 게이트 신호선(17b)(EL측 선택 신호선)과 소스 신호선(18)은 커플링하고 있다. 그 때문에, 게이트 신호선(17b)(EL측 선택 신호선)의 파형이 변화하면 파형의 변화가 소스 신호선(18)에 관통한다. 이 관통에 의해 소스 신호선(18)에 전위 변동이 발생하면 전류(전압) 프로그램의 정밀도가 저하하여, 구동용 트랜지스터(11a)의 특성 얼룩짐이 표시되게 된다.

도 196에 있어서, A점에 있어서, 게이트 신호선(17b)(EL측 선택 신호선)(1)은 온 전압(Vgl) 인가 상태에서 오프 전압(Vgh) 인가 상태로 변화한다. 게이트 신호선(17b)(EL측 선택 신호선)(2)은 오프 전압(Vgh) 인가 상태에서 온 전압(Vgl) 인가 상태로 변화한다. 따라서, A점에서는 게이트 신호선(17b)(EL측 선택 신호선)(1)의 신호 파형과 게이트 신호선(17b)(EL측 선택 신호선)(2)의 신호 파형이 상쇄된다. 따라서, 소스 신호선(18)과 게이트 신호선(17b)(EL측 선택 신호선)이 커플링하고 있더라도, 게이트 신호선(17b)(EL측 선택 신호선)의 파형 변화가 소스 신호선(18)에 관통하는 일은 없다. 그 때문에, 양호한 전류(전압) 프로그램 정밀도를 얻을 수 있고, 균일한 화상 표시를 실현할 수 있다.

또, 도 196은 온 시간이 1.5H의 실시예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 도 198에 도시하는 바

와 같이, 온 전압의 인가 시간을 1H 이하로 하여도 됨은 물론이다.

게이트 신호선(17b)(EL측 선택 신호선)에 온 전압을 인가하는 기간을 조정함으로써, 표시 화면(50)의 휘도를 선형으로 조정할 수 있다. 이것은 OEV2 회로를 제어하는 것에 의해 용이하게 실현할 수 있다. 예를 들면, 도 199에서는 도 199의 (a)보다도 도 199의 (b)쪽이 표시 휘도가 낮아진다. 또한, 도 199의 (b)보다도 도 199의 (c)쪽이 표시 휘도가 낮아진다.

또한, 도 200에 도시하는 바와 같이, 1H 기간에 온 전압을 인가하는 기간과 오프 전압을 인가하는 기간의 조를 복수회 마련하여도 된다. 도 200의 (a)는 6회 마련한 실시예이다. 도 200의 (b)는 3회 마련한 실시예이다. 도 200의 (c)는 1회 마련한 실시예이다. 도 200에서는 도 200의 (a)보다도 도 200의 (b)쪽이 표시 휘도는 낮아진다. 또한, 도 200의 (b)보다도 도 200의 (c)쪽이 표시 휘도는 낮아진다. 따라서, 온 기간의 횟수를 제어함으로써 표시 휘도를 용이하게 조정(제어)할 수 있다.

본 발명의 N배 펄스 구동의 과제에 EL 소자(15)에 인가하는 전류가 순간적이지만, 종래와 비교하여 N배 크다고 하는 문제가 있다. 전류가 크면 EL 소자의 수명을 저하시키는 경우가 있다. 이 과제를 해결하기 위해서는, EL 소자(15)에 역 바이어스 전압 V_m 을 인가하는 것이 유효하다.

역 바이어스 전압이 인가되면, 역방향 전류가 인가되기 때문에, 주입된 전자 및 정공이 각각 음극 및 양극으로 방출된다. 이에 의해, 유기층 중의 공간 전하 형성을 해소하고, 분자의 전기 화학적 열화를 억제함으로써 수명을 길게 하는 것이 가능해진다.

도 45는 역 바이어스 전압 V_m 과 EL 소자(15)의 단자 전압이 변화를 나타내고 있다. 이 단자 전압이란, EL 소자(15)에 정격 전류를 인가했을 때이다. 도 45는 EL 소자(15)에 흘리는 전류가 전류 밀도 100A/평방미터인 경우이지만, 도 45의 경향은 전류 밀도 50 100A/평방미터인 경우와 거의 차가 없었다. 따라서, 넓은 범위의 전류 밀도로 적용할 수 있다고 추정된다.

횡축은 초기의 EL 소자(15)의 단자 전압에 대하여, 2500 시간 후의 단자 전압과의 비이다. 예를 들면, 경과 시간 0 시간에 있어서, 전류 밀도 100A/평방미터의 전류의 인가했을 때의 단자 전압을 8(V)로 하고, 경과 시간 2500 시간에 있어서, 전류 밀도 100A/평방미터의 전류의 인가했을 때의 단자 전압을 10(V)로 하면, 단자 전압비는 $10/8=1.25$ 이다.

횡축은 역 바이어스 전압 V_m 과 1 주기에 역 바이어스 전압을 인가한 시간 T_1 의 곱에 대한 정격 단자 전압 V_0 의 비이다. 예를 들면, 60 Hz(특히 60 Hz에 의미는 없지만)이고, 역 바이어스 전압 V_m 을 인가한 시간이 $1/2$ (반)이면, $T_1=0.5$ 이다. 또한, 경과 시간 0 시간에 있어서, 전류 밀도 100A/평방미터의 전류가 인가됐을 때의 단자 전압(정격 단자 전압)을 8(V)로 하고, 역 바이어스 전압 V_m 을 8(V)로 하면, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2) = | -8(V) \times 0.5 | / (8(V) \times 0.5) = 1.0$ 으로 된다.

도 45에 따르면, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 가 1.0 이상에서 단자 전압비의 변화가 없어진다(초기의 정격 단자 전압으로부터 변화되지 않음). 역 바이어스 전압 V_m 의 인가에 의한 효과가 잘 발휘되어 있다. 그러나, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 가 1.75 이상에서 단자 전압비는 증가하는 경향이 있다. 따라서, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 1.0 이상으로 하도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 T_1 (혹은 t_2 , 혹은 T_1 과 T_2 의 비율)을 결정하면 된다. 또한, 바람직하게는, $| \text{역 바이어스 전압} \times t_1 | / (\text{정격 단자 전압} \times t_2)$ 는 1.75 이하로 되도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 T_1 등을 결정하면 된다.

단, 바이어스 구동을 행하는 경우에는, 역 바이어스 V_m 과 정격 전류를 교대로 인가할 필요가 있다. 도 46와 같이 샘플 A와 B의 단위 시간당의 평균 휘도를 동일하게 하고자 하면, 역 바이어스 전압을 인가하는 경우에는, 인가하지 않는 경우에 비교하여 순간적으로는 높은 전류를 흘릴 필요가 있다. 그 때문에, 역 바이어스 전압 V_m 을 인가하는 경우(도 46의 샘플 A)의 EL 소자(15)의 단자 전압도 높아진다.

그러나, 도 45에서는, 역 바이어스 전압을 인가하는 구동 방법에서도, 정격 단자 전압 V_0 이란, 평균 휘도를 만족하는 단자 전압(즉, EL 소자(15)를 점등하는 단자 전압)으로 한다(본 명세서의 구체예에 따르면, 전류 밀도 200A/평방미터의 전류의 인가했을 때의 단자 전압이다. 단, $1/2$ 듀티이기 때문에, 1 주기의 평균 휘도는 전류 밀도 200A/평방미터에서의 휘도로 됨).

일반적으로, 영상 표시를 행하는 경우에는, 각 EL 소자(15)에 인가되는 전류(흐르는 전류)는, 백 피크 전류(정격 단자 전압 시에 흐르는 전류. 본 명세서의 구체예에 따르면, 전류 밀도 100A/평방미터의 전류)의 약 0.2배이다.

따라서, 도 45의 실시예에서는, 영상 표시를 행하는 경우에는 횡축의 값에 0.2를 곱하는 것으로 할 필요가 있다. 따라

서, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 는 0.2 이상으로 하도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 $t1$ (혹은 $t2$, 혹은 $T1$ 과 $T2$ 의 비율 등)을 결정하면 된다. 또한, 바람직하게는, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 는 $1.75 \times 0.2 = 0.35$ 이하로 되도록 역 바이어스 전압 V_m 의 크기 및 인가 시간비 $T1$ 등을 결정하면 된다.

즉, 도 45의 횡축($| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$)에 있어서, 1.0의 값을 0.2로 할 필요가 있다. 따라서, 표시 패널에 영상을 표시(이 사용 상태가 통상일 것임. 백 래스터를 상시 표시하는 일은 없을 것임) 시에는, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 가 0.2보다도 커지도록, 역 바이어스 전압 V_m 을 소정 시간 $T1$ 인가하도록 한다. 또한, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 의 값이 커지더라도, 도 45에서 도시하는 바와 같이, 단자 전압비의 증가는 크지 않다. 따라서, 상한치는 백 래스터 표시를 실시하는 것도 고려하여, $| \text{역 바이어스 전압} \times t1 | / (\text{정격 단자 전압} \times t2)$ 의 값이 1.75 이하를 만족하도록 하면 된다.

이하, 도면을 참조하면서, 본 발명의 역 바이어스 방식에 대하여 설명을 한다. 역 바이어스 구동의 화소 구성에서는, 도 47에 도시하는 바와 같이, 트랜지스터(11g)를 N 채널로 한다. 물론, P 채널이어도 된다.

도 47에서는 게이트 전위 제어선(473)에 인가하는 전압을 역 바이어스선(471)에 인가하고 있는 전압보다도 높게 함으로써, 트랜지스터(11g)(N)가 온하고, EL 소자(15)의 애노드 전극에 역 바이어스 전압 V_m 이 인가된다.

또한, 도 47의 화소 구성 등에 있어서, 게이트 전위 제어선(473)을 상시, 전위 고정하여 동작시켜도 된다. 예를 들면, 도 47에 있어서 V_k 전압이 0(V)으로 할 때, 게이트 전위 제어선(473)의 전위를 0(V) 이상(바람직하게는 2(V) 이상)으로 한다. 또한, 이 전위를 V_{sg} 로 한다. 이 상태에서, 역 바이어스선(471)의 전위를 역 바이어스 전압 V_m (0(V) 이하, 바람직하게는 V_k 보다 -5(V) 이상 작은 전압)으로 하면, 트랜지스터(11g)(N)가 온 상태로 되어, EL 소자(15)의 애노드에, 역 바이어스 전압 V_m 이 인가된다. 역 바이어스선(471)의 전압을 게이트 전위 제어선(473)의 전압(즉, 트랜지스터(11g)의 게이트(G) 단자 전압)보다도 높게 하면, 트랜지스터(11g)는 오프 상태이기 때문에, EL 소자(15)에는 역 바이어스 전압 V_m 은 인가되지 않는다. 물론, 이 상태일 때에, 역 바이어스선(471)을 하이 임피던스 상태(오픈 상태 등)로 하여도 되는 것은 물론이다.

또한, 도 48에 도시하는 바와 같이, 역 바이어스선(471)을 제어하는 게이트 드라이버 회로(12c)를 별도로 형성 또는 배치해도 된다. 게이트 드라이버 회로(12c)는, 게이트 드라이버 회로(12a)와 마찬가지로 순차 시프트 동작하여, 시프트 동작에 동기하여, 역 바이어스 전압을 인가하는 위치가 시프트된다.

이상의 구동 방법에서는, 트랜지스터(11g)의 게이트(G) 단자는 전위 고정하고, 역 바이어스선(471)의 전위를 변화시키는 것만으로, EL 소자(15)에 역 바이어스 전압 V_m 을 인가할 수 있다. 따라서, 역 바이어스 전압 V_m 의 인가 제어가 용이하다.

또한, 역 바이어스 전압 V_m 의 인가는, EL 소자(15)에 전류를 흘리고 있지 않을 때에 행하는 것이다. 따라서, 트랜지스터(11d)가 온하지 않을 때에, 트랜지스터(11g)를 온시킴으로써 행하면 된다. 즉, 트랜지스터(11d)의 온 오프 로직의 역을 게이트 전위 제어선(473)에 인가하면 된다. 예를 들면, 도 47에서는 게이트 신호선(17b)에 트랜지스터(11d) 및 트랜지스터(11g)의 게이트(G) 단자를 접속하면 된다. 트랜지스터(11d)는 P 채널이고, 트랜지스터(11g)는 N 채널이기 때문에, 온 오프 동작은 반대로 된다.

도 49는 역 바이어스 구동의 타이밍차트이다. 또한, 차트도에 있어서 (1)(2) 등의 첨자는, 화소 행을 나타내고 있다. 설명을 쉽게 하기 위해서, (1)이란, 제1 화소 행째를 나타내고, (2)란 제2 화소 행째를 나타내는 것으로 하여 설명을 하지만, 이것에 한정되는 것은 아니다. (1)이 N 화소 행째를 나타내고, (2)가 N+1 화소 행째를 나타낸다고 생각하여도 된다. 이상의 것은 다른 실시예에서도, 특례를 제외하고 마찬가지이다. 또한, 도 49 등의 실시예에서는, 도 1 등의 화소 구성을 예시하여 설명을 하지만 이것에 한정되는 것이 아니다. 예를 들면, 도 41, 도 38 등의 화소 구성에 있어서도 적용할 수 있는 것이다.

제1 화소 행째의 게이트 신호선(17a)(1)에 온 전압(V_{gl})이 인가되고 있을 때에는, 제1 화소 행째의 게이트 신호선(17b)(1)에는 오프 전압(V_{gh})이 인가된다. 즉, 트랜지스터(11d)는 오프이며, EL 소자(15)에는 전류가 흐르고 있지 않다.

역 바이어스선(471)(1)에는, V_{s1} 전압(트랜지스터(11g)가 온하는 전압)이 인가된다. 따라서, 트랜지스터(11g)가 온 상태로 되고, EL 소자(15)에는 역 바이어스 전압이 인가되어 있다. 역 바이어스 전압은, 게이트 신호선(17b)에 오프 전압(V_{gh})이 인가된 후, 소정 기간(1H의 1/200 이상의 기간, 또는 $0.5 \mu\text{sec}$) 후에, 역 바이어스 전압이 인가된다. 또한, 게이트 신호선(17b)에 온 전압(V_{gl})이 인가되는 소정 기간(1H의 1/200 이상의 기간, 또는 $0.5 \mu\text{sec}$) 전에, 역 바이어스 전압이 오프된다. 이것은 트랜지스터(11d)와 트랜지스터(11g)가 동시에 온으로 되는 것을 회피하기 위해서이다.

다음의 수평 주사 기간(1H)에는, 게이트 신호선(17a)에는 오프 전압(V_{gh})이 인가되고, 제2 화소 행이 선택된다. 즉,

게이트 신호선(17b)(2)에 온 전압이 인가된다. 한편, 게이트 신호선(17b)에는 온 전압(Vgl)이 인가되고, 트랜지스터(11d)가 온하여, EL 소자(15)에 트랜지스터(11a)로부터 전류가 흘러 EL 소자(15)가 발광한다. 또한, 역 바이어스선(471)(1)에는 오프 전압(Vsh)이 인가되고, 제1 화소 행(1)의 EL 소자(15)에는 역 바이어스 전압이 인가되지 않도록 된다. 제2 화소 행의 역 바이어스선(471)(2)에는 Vsl 전압(역 바이어스 전압)이 인가된다.

이상의 동작을 순차 반복함으로써, 1 화면의 화상이 재기입된다. 이상의 실시예에서는, 각 화소에 프로그램되어 있는 기간에 역 바이어스 전압을 인가한다고 하는 구성이었다. 그러나, 도 48의 회로 구성은 이것에 한정되는 것이 아니다. 복수의 화소 행에 연속하여 역 바이어스 전압을 인가할 수도 있는 것은 분명하다. 또한, 블록 구동(도 40 참조)이나, N배 펄스 구동, 리셋 구동, 더미 화소 구동과도 조합할 수 있음은 명백하다.

또한, 역 바이어스 전압의 인가는, 화상 표시의 도중에 실시하는 것에 한정되는 것은 아니다. EL 표시 장치의 전원 오프 후, 일정한 기간 동안, 역 바이어스 전압이 인가되도록 구성해도 된다.

이상의 실시예는 도 1의 화소 구성의 경우였지만, 다른 구성에 있어서도, 도 38, 도 41 등의 역 바이어스 전압을 인가하는 구성에 적용할 수 있는 것은 물론이다. 예를 들면, 도 50은 전류 프로그램 방식의 화소 구성이다.

도 50은 커런트 미러의 화소 구성이다. 트랜지스터(11d)는, 해당 화소가 선택하는 1H(1수평 주사 기간, 즉 1 화소 행) 이상 전에 온 상태로 한다. 바람직하게는 3H 전에는 온시킨다. 3H 전으로 하면, 3H 전에 트랜지스터(11d)가 온하고, 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자가 쇼트된다. 그 때문에, 트랜지스터(11a)는 오프 상태로 한다. 따라서, 트랜지스터(11b)에는 전류가 흐르지 않게 되어, EL 소자(15)는 비점등으로 된다.

EL 소자(15)가 비점등 상태일 때, 트랜지스터(11g)가 온하여, EL 소자(15)에 역 바이어스 전압이 인가된다. 따라서, 역 바이어스 전압은, 트랜지스터(11d)가 온되어 있는 기간, 인가되게 된다. 그 때문에, 로직적으로는 트랜지스터(11d)와 트랜지스터(11g)는 동시에 온하게 된다.

트랜지스터(11g)의 게이트(G) 단자는 Vsg 전압이 인가되어 고정되어 있다. 역 바이어스선(471)을 Vsg 전압보다 충분히 작은 역 바이어스 전압을 역 바이어스선(471)에 인가함으로써 트랜지스터(11g)가 온 상태로 된다.

그 후, 상기 해당 화소에 영상 신호가 인가(기입)되는 수평 주사 기간이 오면, 게이트 신호선(17a1)에 온 전압이 인가되어, 트랜지스터(11c)가 온 상태로 된다. 따라서, 소스 드라이버 회로(14)로부터 소스 신호선(18)에 출력된 영상 신호 전압이 컨덴서(19)에 인가된다(트랜지스터(11d)는 온 상태가 유지되고 있음).

트랜지스터(11d)를 온시키면 흑 표시로 된다. 1 필드(1 프레임) 기간에 차지하는 트랜지스터(11d)의 온 기간이 길어질수록, 흑 표시 기간의 비율이 길어진다. 따라서, 흑 표시 기간이 존재해도 1 필드(1 프레임)의 평균 휘도를 소망치로 하기 위해서는, 표시 기간의 휘도를 높게 할 필요가 있다. 즉, 표시 기간에 EL 소자(15)에 흘리는 전류를 크게 할 필요가 있다. 이 동작은 본 발명의 N배 펄스 구동이다. 따라서, N배 펄스 구동과, 트랜지스터(11d)를 온시켜 흑 표시로 하는 구동을 조합하는 것이 본 발명의 하나의 특징 있는 동작이다. 또한, EL 소자(15)가 비점등 상태에서, 역 바이어스 전압을 EL 소자(15)에 인가하는 것이 본 발명의 특징 있는 구성(방식)이다.

N배 펄스 구동은 1 필드(1 프레임) 기간 내에 있어서, 한 번, 흑 표시를 해도 재차, EL 소자(15)에 소정의 전류(프로그램된 전류(컨덴서(19)에 유지되고 있는 전압에 의함))를 흘려보낼 수 있다. 그러나, 도 50의 구성에서는 한 번, 트랜지스터(11d)가 온하면, 컨덴서(19)의 전하는 방전(감소를 포함함)되기 때문에, EL 소자(15)에 소정의 전류(프로그램된 전류)를 흘릴 수 없다. 그러나, 회로 동작이 용이하다고 하는 특징이 있다.

또한, 이상의 실시예는 화소가 전류 프로그램의 화소 구성이지만, 본 발명은 이것에 한정되는 것이 아니고, 도 38, 도 50과 같은 다른 전류 방식의 화소 구성에도 적용할 수 있다. 또한, 도 51, 도 54, 도 62에 도시하는 전압 프로그램의 화소 구성에서도 적용할 수 있다.

도 51은 일반적으로 가장 간단한 전압 프로그램의 화소 구성이다. 트랜지스터(11b)가 선택 스위칭 소자이고, 트랜지스터(11a)가 EL 소자(15)에 전류를 인가하는 구동용 트랜지스터이다. 이 구성에서, EL 소자(15)의 애노드에 역 바이어스 전압 인가용의 트랜지스터(스위칭 소자)(11g)를 배치(형성)하고 있다.

도 51의 화소 구성에서는, EL 소자(15)에 흘리는 전류는 소스 신호선(18)에 인가되고, 트랜지스터(11b)가 선택됨으로써, 트랜지스터(11a)의 게이트(G) 단자에 인가된다.

우선, 도 51의 구성을 설명하기 위해서, 기본 동작에 대하여 도 52를 이용하여 설명한다. 도 51의 화소 구성은 전압 오프셋 캔슬러라고 하는 구성이고, 초기화 동작, 리셋 동작, 프로그램 동작, 발광 동작의 4 단계로 동작한다.

수평 동기 신호(HD)후, 초기화 동작이 실시된다. 게이트 신호선(17b)에 온 전압이 인가되고, 트랜지스터(11g)가 온된다. 또한, 게이트 신호선(17a)에도 온 전압이 인가되고, 트랜지스터(11c)가 온 상태로 된다. 이 때, 소스 신호선(18)에는 Vdd 전압이 인가된다. 따라서, 컨덴서(19b)의 a 단자에는 Vdd 전압이 인가되게 된다. 이 상태에서, 구동용 트랜지스터(11a)는 온되고, EL 소자(15)에 약간의 전류가 흐른다. 이 전류에 의해 구동용 트랜지스터(11a)의 드레인(D) 단자는 적어도 트랜지스터(11a)의 동작점보다도 큰 절대값의 전압값으로 된다.

다음에 리셋 동작이 실시된다. 게이트 신호선(17b)에 오프 전압이 인가되고, 트랜지스터(11e)가 오프 상태로 된다. 한편, 게이트 신호선(17c)에 t1의 기간, 온 전압이 인가되고, 트랜지스터(11b)가 온 상태로 된다. 이 t1의 기간이 리셋 기간이다. 또한, 게이트 신호선(17a)에는 1H의 기간, 계속하여 온 전압이 인가된다. 또한, t1은 1H 기간의 20% 이상 90% 이하의 기간으로 하는 것이 바람직하다. 혹은, 20 μ sec 이상 160 μ sec 이하의 시간으로 하는 것이 바람직하다. 또한, 컨덴서(19b)(Cb)와 컨덴서(19a)(Ca)의 용량의 비율은, Cb:Ca=6:1 이상 1:2 이하로 하는 것이 바람직하다.

리셋 기간에서는, 트랜지스터(11b)의 온에 의해, 구동용 트랜지스터(11a)의 게이트(G) 단자와 드레인(D) 단자 사이가 쇼트된다. 따라서, 트랜지스터(11a)의 게이트(G) 단자 전압과 드레인(D) 단자 전압이 동일해지고, 트랜지스터(11a)는 오프셋 상태(리셋 상태: 전류가 흐르지 않는 상태)로 된다. 이 리셋 상태란 트랜지스터(11a)의 게이트(G) 단자가, 전류를 흘리기 시작하는 개시 전압 근방으로 되는 상태이다. 이 리셋 상태를 유지하는 게이트 전압은 컨덴서(19b)의 B 단자에 유지된다. 따라서, 컨덴서(19)에는 오프셋 전압(리셋 전압)이 유지되어 있게 된다.

다음의 프로그램 상태에서는, 게이트 신호선(17c)에 오프 전압이 인가되어 트랜지스터(11b)가 오프 상태로 된다. 한편, 소스 신호선(18)에는 Td의 기간, DATA 전압이 인가된다. 따라서, 구동용 트랜지스터(11a)의 게이트(G) 단자에는 DATA 전압+오프셋 전압(리셋 전압)이 가해진 것이 인가된다. 그 때문에, 구동용 트랜지스터(11a)는 프로그램된 전류를 흘릴 수 있게 된다.

프로그램 기간 후, 게이트 신호선(17a)에는 오프 전압이 인가되어, 트랜지스터(11c)는 오프 상태로 되고, 구동용 트랜지스터(11a)는 소스 신호선(18)으로부터 분리된다. 또한, 게이트 신호선(17c)에도 오프 전압이 인가되어, 트랜지스터(11b)가 오프되고, 이 오프 상태는 1F의 기간 유지된다. 한편, 게이트 신호선(17b)에는, 필요에 따라서 온 전압과 오프 전압이 주기적으로 인가된다. 즉, 도 13, 도 15 등의 N배 펄스 구동 등과 조합하는 것, 인터레이스 구동과 조합하는 것에 의해 더욱 양호한 화상 표시를 실현할 수 있다.

도 52의 구동 방식에서는, 리셋 상태에서 컨덴서(19)에는, 트랜지스터(11a)의 개시 전류 전압(오프셋 전압, 리셋 전압)이 유지된다. 그 때문에, 이 리셋 전압이 트랜지스터(11a)의 게이트(G) 단자에 인가되어 있을 때가, 가장 어두운 흑 표시 상태이다. 그러나, 소스 신호선(18)과 화소(16)의 커플링, 컨덴서(19)에의 관통 전압 혹은 트랜지스터의 관통에 의해, 흑이 들뜨는 현상(콘트라스트 저하)이 발생한다. 따라서, 도 53에서 설명한 구동 방법에서는, 표시 콘트라스트를 높게 할 수 없다.

역 바이어스 전압 Vm을 EL 소자(15)에 인가하기 위해서는, 트랜지스터(11a)가 오프되게 할 필요가 있다. 트랜지스터(11a)를 오프시키기 위해서는, 트랜지스터(11a)의 Vdd 단자와 게이트(G) 단자 사이를 쇼트하면 된다. 이 구성에 대해서는 후에 도 53을 이용하여 설명한다.

또한, 소스 신호선(18)에 Vdd 전압 또는 트랜지스터(11a)를 오프시키는 전압을 인가하고, 트랜지스터(11b)를 온시켜 트랜지스터(11a)의 게이트(G) 단자에 인가시켜도 된다. 이 전압에 의해 트랜지스터(11a)가 오프 상태로 된다(혹은, 대부분 전류가 흐르지 않는 상태로 함(대략 오프 상태: 트랜지스터(11a)가 고 임피던스 상태)). 그 후, 트랜지스터(11g)를 온시켜, EL 소자(15)에 역 바이어스 전압을 인가한다.

다음에, 도 51의 화소 구성에 있어서의 리셋 구동에 대하여 설명을 한다. 도 53은 그 실시예이다. 도 53에 도시한 바와 같이 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16b)의 리셋용 트랜지스터(11b)의 게이트(G) 단자에도 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16c)의 리셋용 트랜지스터(11b)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 됨과 함께, 차단 화소(16b)의 리셋용 트랜지스터(11b)가 온 상태로 되고, 화소(16b)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11c)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 함께, 차단 화소(16c)의 리셋용 트랜지스터(11b)가 온되고, 화소(16c)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리셋 구동을 실현할 수 있다. 또한, 각 화소당의 게이트 신호선의 인출 개수를 감소시킬 수 있다.

더욱 자세하게 설명한다. 도 53의 (a)와 같이 게이트 신호선(17)에 전압이 인가되어 있다고 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 전압이 인가되어 있다고 한다.

또한, 게이트 신호선(17b)은 화소(16a, 16b)에는 오프 전압이 인가되고, 화소(16c, 16d)에는 온 전압이 인가되어 있다고 한다.

이 상태에서는, 화소(16a)는 전압 프로그램 상태에서 비점등, 화소(16b)는 리셋 상태에서 비점등, 화소(16c)는 프로그램 전류의 유지 상태에서 점등, 화소(16d)는 프로그램 전류의 유지 상태에서 점등 상태이다.

1H 후, 제어용 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 내의 데이터가 1 비트 시프트하고, 도 53의 (b)의 상태로 된다. 도 53의 (b)의 상태는, 화소(16a)는 프로그램 전류 유지 상태에서 점등, 화소(16b)는 전류 프로그램 상태에서 비점등, 화소(16c)는 리셋 상태에서 비점등, 화소(16d)는 프로그램 유지 상태에서 점등 상태이다.

이상의 점에서, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 차단의 화소의 구동용 트랜지스터(11a)가 리셋되고, 다음의 수평 주사 기간에 전압 프로그램이 순차 행해지는 것을 알 수 있다.

도 43에 도시하는 전압 프로그램의 화소 구성이라도 전단 게이트 제어를 실현가능하다. 도 54는 도 43의 화소 구성을 전단 게이트 제어 방식의 접속으로 한 실시예이다.

도 54에 도시한 바와 같이 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16b)의 리셋용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)은 차단 화소(16c)의 리셋용 트랜지스터(11e)의 게이트(G) 단자에 접속되어 있다.

따라서, 화소(16a)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16a)가 전압 프로그램 상태로 됨과 함께, 차단 화소(16b)의 리셋용 트랜지스터(11e)가 온 상태로 되고, 화소(16b)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 마찬가지로, 화소(16b)의 트랜지스터(11b)의 게이트(G) 단자에 접속된 게이트 신호선(17a)에 온 전압을 인가하면, 화소(16b)가 전류 프로그램 상태로 됨과 함께, 차단 화소(16c)의 리셋용 트랜지스터(11e)가 온되고, 화소(16c)의 구동용 트랜지스터(11a)가 리셋 상태로 된다. 따라서, 용이하게 전단 게이트 제어 방식에 의한 리셋 구동을 실현할 수 있다.

더욱 자세하게 설명한다. 도 55의 (a)와 같이 게이트 신호선(17)에 전압이 인가되어 있다고 한다. 즉, 화소(16a)의 게이트 신호선(17a)에 온 전압이 인가되고, 다른 화소(16)의 게이트 신호선(17a)에 오프 전압이 인가되어 있다고 한다. 또한, 모든 역 바이어스용 트랜지스터(11g)는 오프 상태이라고 한다.

이 상태에서는, 화소(16a)는 전압 프로그램 상태, 화소(16b)는 리셋 상태, 화소(16c)는 프로그램 전류의 유지 상태, 화소(16d)는 프로그램 전류의 유지 상태이다.

1H 후, 제어용 게이트 드라이버 회로(12)의 시프트 레지스터 회로(61) 내의 데이터가 1 비트 시프트하고, 도 55의 (b)의 상태로 된다. 도 55의 (b)의 상태는, 화소(16a)는 프로그램 전류 유지 상태, 화소(16b)는 전류 프로그램 상태, 화소(16c)는 리셋 상태, 화소(16d)는 프로그램 유지 상태이다.

이상의 점으로부터, 각 화소는 전단에 인가된 게이트 신호선(17a)의 전압에 의해, 차단의 화소의 구동용 트랜지스터(11a)가 리셋되고, 다음의 수평 주사 기간에 전압 프로그램이 순차 행해지는 것을 알 수 있다.

전류 구동 방식에서는, 완전 흑 표시에서는, 화소의 구동용 트랜지스터(11)에 프로그램되는 전류는 0이다. 즉, 소스 드라이버 회로(14)로부터는 전류가 흐르지 않는다. 전류가 흐르지 않으면, 소스 신호선(18)에 발생한 기생 용량을 충전할 수 없고, 소스 신호선(18)의 전위를 변화시킬 수 없다. 따라서, 구동용 트랜지스터의 게이트 전위도 변화하지 않게 되고, 1 프레임(필드)(1F) 전의 전위가 커패시터(19)에 축적된 대로 된다. 예를 들면, 1 프레임 전이 백 표시이고, 다음의 프레임이 완전 흑 표시이더라도 백 표시가 유지되게 된다.

이 과제를 해결하기 위해서, 본 발명에서는 1수평 주사 기간(1H)의 최초로 흑 레벨의 전압을 소스 신호선(18)에 기입하고 나서, 소스 신호선(18)에 프로그램하는 전류를 출력한다. 예를 들면, 영상 데이터가 흑 레벨에 가까운 0 계조째 7 계조째인 경우, 1수평 기간의 처음의 일정 기간만큼 흑 레벨에 해당하는 전압이 기입되고, 전류 구동의 부담이 감소하여, 기입 부족을 보충하는 것이 가능해진다. 또한, 완전 흑 표시를 0 계조째로 하고, 완전 백 표시를 63 계조째로 한다(64 계조 표시의 경우). 프리차지에 관해서는 후에 상세히 설명을 한다.

이후, 본 발명의 전류 구동 방식의 소스 드라이버 IC(회로)(14)에 대하여 설명한다. 본 발명의 소스 드라이버 IC는 이전에 설명한 본 발명의 구동 방법, 구동 회로를 실현하기 위해서 이용한다. 또한, 본 발명의 구동 방법, 구동 회로, 표시 장치와 조합하여 이용한다. 또, 설명은 IC 칩으로서 설명을 하지만 이것에 한정되는 것이 아니라, 저온 폴리실리콘 기술, 비정질 실리콘 기술 등을 이용하여, 표시 패널의 어레이 기판(71)상에 제작해도 됨은 물론이다.

우선, 도 72에 종래의 전류 구동 방식의 드라이버 회로의 일례를 나타낸다. 단, 도 72는 본 발명의 전류 구동 방식의 소스 드라이버 IC(소스 드라이버 회로)(14)를 설명하기 위한 원리적인 것이다.

도 72에 있어서, (721)는 D/A 변환기이다. D/A 변환기(721)에는 n비트의 데이터 신호가 입력되고, 입력된 데이터에 기초하여 D/A 변환기로부터 아날로그 신호가 출력된다. 이 아날로그 신호는 연산 증폭기(722)에 입력된다. 연산 증폭기(722)는 N채널 트랜지스터(631a)에 입력되고, 트랜지스터(631a)에 흐르는 전류가 저항(691)에 흐른다. 저항 R의 단자 전압은 연산 증폭기(722)의 -입력이 되고, 이 -단자의 전압과 연산 증폭기(722)의 +단자는 동일 전압으로 된다. 따라서 D/A 변환기(721)의 출력 전압은 저항(691)의 단자 전압으로 된다.

저항(691)의 저항값이 1 MΩ이고, D/A 변환기(721)의 출력이 1(V)이면, 저항(691)에는 $1(V)/1\text{ M}\Omega=1(\mu A)$ 의 전류가 흐른다. 이것이 정전류 회로로 된다. 따라서, 데이터 신호의 값에 따라, D/A 변환기(721)의 아날로그 출력이 변화하고, 이 아날로그 출력에 값에 기초하여 저항(691)에 소정 전류가 흘러, 프로그램 전류 I_w 로 된다.

그러나, DA 변환 회로(721)의 회로 규모는 크다. 또한, 연산 증폭기(722)의 회로 규모도 크다. 1 출력 회로에, DA 변환 회로(721)와 연산 증폭기(722)를 형성하면 소스 드라이버 IC(14)의 크기는 거대해진다. 따라서, 실용상은 제작하는 것이 불가능하다.

본 발명은 이러한 점을 감안하여 이루어진 것이다. 본 발명의 소스 드라이버 회로(14)는, 전류 출력 회로의 규모를 컴팩트하게 하고, 전류 출력 단자 사이의 출력 전류 변동을 뒀 수 있는 한 최소한으로 하기 위한 회로 구성, 레이아웃 구성을 갖는 것이다.

도 63에, 본 발명의 전류 구동 방식의 소스 드라이버 IC(회로)(14)의 1 실시예에서의 구성도를 도시한다. 도 63은 일례로서 전류원을 3단 구성(631, 632, 633)으로 한 경우의 다단식 커런트 미러 회로를 나타내고 있다.

도 63에 있어서, 제1단의 전류원(471)의 전류값은, N개(단, N은 임의의 정수)의 제2단 전류원(472)에 커런트 미러 회로에 의해 복사된다. 또한, 제2단 전류원(472)의 전류값은, M개(단, M은 임의의 정수)의 제3단 전류원(473)에 커런트 미러 회로에 의해 복사된다. 이 구성에 의해, 결과적으로 제1단 전류원(471)의 전류값은 $N \times M$ 개의 제3단 전류원(473)에 복사되게 된다.

예를 들면, QCIF 형식의 표시 패널의 소스 신호선(18)에 하나의 소스 드라이버 IC(14)로 구동하는 경우에는, 176 출력(소스 신호선이 각 RGB에서 176 출력 필요하기 때문)으로 된다. 이 경우에는, N을 16개로 하고, $M=11$ 개로 한다. 따라서, $16 \times 11=176$ 이 되고, 176 출력에 대응할 수 있다. 이와 같이, N 또는 M 중, 한쪽을 8 또는 16 혹은 그 배수함으로써, 드라이버 IC의 전류원의 레이아웃 설계가 용이해진다.

본 발명의 다단식 커런트 미러 회로에 의한 전류 구동 방식의 소스 드라이버 IC(회로)(14)에서는, 상기 한 바와 같이, 제1단 전류원(631)의 전류값을 직접 $N \times M$ 개의 제3단 전류원(633)에 커런트 미러 회로에서 복사하는 것이 아니고, 중간에 제2단 전류원(632)을 배치하고 있으므로, 그래서 트랜지스터 특성의 변동을 흡수하는 것이 가능하다.

특히, 본 발명은 제1단의 커런트 미러 회로(전류원(631))와 제2단에 커런트 미러 회로(전류원(632))를 밀접하게 배치하는 부분에 특징이 있다. 제1단의 전류원(631)에서 제3단의 전류원(633)(즉, 커런트 미러 회로의 2단 구성)이면, 제1단의 전류원과 접속되는 제2단의 전류원(633)의 개수가 많아, 제1단의 전류원(631)과 제3단의 전류원(633)을 밀접하게 배치할 수 없다.

본 발명의 소스 드라이버 회로(14)와 같이, 제1단의 커런트 미러 회로(전류원(631))의 전류를 제2단의 커런트 미러 회로(전류원(632))에 복사하고, 제2단의 커런트 미러 회로(전류원(632))의 전류를 제3단의 커런트 미러 회로(전류원(632))에 복사하는 구성이다. 이 구성에서는, 제1단의 커런트 미러 회로(전류원(631))에 접속되는 제2단의 커런트 미러 회로(전류원(632))의 개수는 적다. 따라서, 제1단의 커런트 미러 회로(전류원(631))와 제2단의 커런트 미러 회로(전류원(632))를 밀접하게 배치할 수 있다.

밀접하게 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있으면, 당연한 말이지만, 트랜지스터의 변동은 적어지므로, 복사되는 전류값의 변동도 적어진다. 또한, 제2단의 커런트 미러 회로(전류원(632))에 접속되는 제3단의 커런트 미러 회로(전류원(633))의 개수도 적어진다. 따라서, 제2단의 커런트 미러 회로(전류원(632))와 제3단의 커런트 미러 회로(전류원(633))를 밀접시켜 배치할 수 있다.

즉, 전체적으로, 제1단의 커런트 미러 회로(전류원(631)), 제2단의 커런트 미러 회로(전류원(632)), 제3단의 커런트 미러 회로(전류원(633))의 전류 수취부의 트랜지스터를 밀접하게 배치할 수 있다. 따라서, 밀접하게 커런트 미러 회로를 구성하는 트랜지스터를 배치할 수 있으므로, 트랜지스터의 변동이 적어져, 출력 단자로부터의 전류 신호의 변동은 매우 적어진다(정밀도가 높음).

또한, 본 예에서는 간단화를 위해서 다단식 커런트 미러 회로를 3단 구성으로 설명했지만, 이 단수가 크면 클수록, 전류 구동형 표시 패널의 소스 드라이버 IC(14)의 전류 변동이 작아지는 것은 물론이다. 따라서, 커런트 미러 회로의 단수는 3단에 한정되는 것이 아니고, 3단 이상이어도 된다.

본 발명에 있어서, 전류원(631, 632, 633)으로 표현하거나, 커런트 미러 회로로 표현하기도 한다. 이들은 동일한 의미로 이용되고 있다. 즉, 전류원이란, 본 발명의 기본적인 구성 개념이고, 전류원을 구체적으로 구성하면 커런트 미러 회로로 되기 때문이다. 따라서, 전류원은 커런트 미러 회로에만 한정되는 것이 아니고, 도 72에 도시하는 바와 같이 연산 증폭기(722)와 트랜지스터(631)와 저항 R의 조합으로 이루어지는 전류 회로이어도 된다.

도 64는 더욱 구체적인 소스 드라이버 IC(회로)(14)의 구조 도면이다. 도 64는 제3 전류원(633)의 부분을 나타내고 있다. 즉, 하나의 소스 신호선(18)에 접속되는 출력부이다. 최종단의 커런트 미러 구성으로서, 복수의 동일 사이즈의 커런트 미러 회로(전류원(634)(1 단위))로 구성되어 있고, 그 개수가 화상 데이터의 비트에 따라, 비트 가중되어 있다.

또한, 본 발명의 소스 드라이버 IC(회로)(14)를 구성하는 트랜지스터는, MOS 타입에 한정되는 것이 아니고, 바이폴라 타입이어도 된다. 또한, 실리콘 반도체에 한정되는 것이 아니고, 갈륨 비소 반도체이어도 된다. 또한, 게르마늄 반도체여도 된다. 또한, 기판에 저온 폴리실리콘 등의 폴리실리콘 기술, 비정질 실리콘 기술로 직접 형성한 것이어도 된다.

도 64에서 분명하지만, 본 발명의 1 실시예로서, 6 비트의 디지털 입력인 경우를 나타내고 있다. 즉, 2의 6승이므로, 64 계조 표시이다. 이 소스 드라이버 IC(14)를 어레이 기판에 적재함으로써, 적(R), 녹(G), 청(B)이 각 64 계조이므로, $64 \times 64 \times 64 = \text{약 } 26\text{만색}$ 을 표시할 수 있게 된다.

64 계조의 경우에는, D0 비트의 단위 트랜지스터(634)는 하나, D1 비트의 단위 트랜지스터(634)는 2개, D2 비트의 단위 트랜지스터(634)는 4개, D3 비트의 단위 트랜지스터(634)는 8개, D4 비트의 단위 트랜지스터(634)는 16개, D5 비트의 단위 트랜지스터(634)는 32개이므로, 합계 단위 트랜지스터(634)는 63개이다. 즉, 본 발명은 계조의 표현 수(이 실시예의 경우는, 64 계조) - 1개의 단위 트랜지스터(634)를 1 출력으로 구성(형성)한다. 또, 단위 트랜지스터 하나가 복수의 서브 단위 트랜지스터로 분할되어 있는 경우에서도, 단위 트랜지스터가 단순히 서브 단위 트랜지스터로 분할되어 있을 뿐이다. 따라서, 본 발명이 계조의 표현 수 - 1개의 단위 트랜지스터로 구성되어 있는 것에는 차이가 없다(동일한 의미임).

도 64에 있어서, D0은 LSB 입력을 나타내고 있고, D5는 MSB 입력을 나타내고 있다. D0 입력 단자에 H 레벨(플러스 논리 시)일 때, 스위치(641a)(온 오프 수단임. 물론, 단체 트랜지스터로 구성해도 되고, P 채널 트랜지스터와 N 채널 트랜지스터를 조합한 아날로그 스위치 등이어도 됨)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 전류원(1 단위)(634)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(643)에 흐른다. 이 내부 배선(643)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(643)에 흐르는 전류가 화소(16)의 프로그램 전류로 된다.

예를 들면, D1 입력 단자에 H 레벨(플러스 논리 시)일 때, 스위치(641b)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 2개의 전류원(1 단위)(634)을 향하여 전류가 흐른다. 이 전류는 IC(14) 내의 내부 배선(643)으로 흐른다. 이 내부 배선(643)은 IC(14)의 단자 전극을 통하여 소스 신호선(18)에 접속되어 있으므로, 이 내부 배선(643)에 흐르는 전류가 화소(16)의 프로그램 전류로 된다.

다른 스위치(481)에서도 마찬가지이다. D2 입력 단자에 H 레벨(플러스 논리 시)일 때에는, 스위치(481c)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 4개의 전류원(1 단위)(634)을 향하여 전류가 흐른다. D5 입력 단자에 H 레벨(플러스 논리 시)일 때에는, 스위치(481f)가 온 상태로 된다. 그렇게 하면, 커런트 미러를 구성하는 32개의 전류원(1 단위)(634)을 향하여 전류가 흐른다.

이상과 같이, 외부로부터의 데이터(D0 ~ D5)에 따라, 그것에 대응하는 전류원(1 단위)을 향하여 전류가 흐른다. 따라서, 데이터에 따라, 0개 내지 63개에 전류원(1 단위)에 전류가 흐르도록 구성되어 있다.

또, 본 발명은 설명을 쉽게 하기 위해서, 전류원은 6 비트의 63개로 하고 있지만, 이것에 한정되는 것이 아니다. 8 비트의 경우에는, 255개의 단위 트랜지스터(634)를 형성(배치)하면 된다. 또한, 4 비트일 때에는, 15개의 단위 트랜지스터(634)를 형성(배치)하면 된다. 단위 전류원을 구성하는 트랜지스터(634)는 동일한 채널 폭 W, 채널 폭 L로 한다. 이와 같이 동일한 트랜지스터로 구성함으로써, 변동이 적은 출력단을 구성할 수 있다.

또한, 단위 트랜지스터(634)는 전체가, 동일한 전류를 흘려 보내는 것에 한정되는 것이 아니다. 예를 들면, 각 단위 트랜지스터(634)를 가중해도 된다. 예를 들면, 1 단위의 단위 트랜지스터(634)와, 2배의 단위 트랜지스터(634)와, 4배의 단위 트랜지스터(634) 등을 혼재시켜 전류 출력 회로를 구성해도 된다. 그러나, 단위 트랜지스터(634)를 가중하여 구성하면, 각 가중한 전류원이 가중한 비율이 되지 않아, 변동이 발생할 가능성이 있다. 따라서, 가중하는 경우에도,

각 전류원은 1 단위의 전류원이 되는 트랜지스터를 복수개 형성함으로써 구성하는 것이 바람직하다.

단위 트랜지스터(634)를 구성하는 트랜지스터의 크기는 일정 이상의 크기가 필요하다. 트랜지스터 사이즈가 작을수록 출력 전류의 변동이 커진다. 트랜지스터(634)의 크기란, 채널 길이 L과 채널 폭 W를 곱한 사이즈를 말한다. 예를 들면, $W=3\mu\text{m}$, $L=4\mu\text{m}$ 이면, 하나의 단위 전류원을 구성하는 트랜지스터(634)의 사이즈는, $W \times L=12$ 평방 μm 이다. 트랜지스터 사이즈가 작아질수록 변동이 크게 되는 것은 실리콘 웨이퍼의 결정 계면의 상태가 영향을 주고 있기 때문으로 생각된다. 따라서, 하나의 트랜지스터가 복수의 결정 계면에 걸쳐서 형성되어 있으면 트랜지스터의 출력 전류 변동은 작아진다.

트랜지스터 사이즈와 출력 전류의 변동의 관계를 도 117에 도시한다. 도 117의 그래프의 횡축은 트랜지스터 사이즈(평방 μm)이다. 종축은, 출력 전류의 변동을 %로 나타낸 것이다. 단, 출력 전류의 변동 %는 단위 전류원(하나의 단위 트랜지스터)(634)을 63개의 조로 형성(63개 형성)하고, 이 조를 다수조 웨이퍼상에 형성하고, 출력 전류의 변동을 구한 것이다. 따라서, 그래프의 횡축은, 하나의 단위 전류원을 구성하는 트랜지스터 사이즈(단위 트랜지스터(634)의 사이즈)로 나타내고 있지만, 실제 병렬하는 트랜지스터는 63개가 되므로 면적은 63배이다. 그러나, 도 117에서는 단위 트랜지스터(634)의 크기를 단위로 하여 검토하고 있다. 따라서, 도 117에 있어서, 30 평방 μm 의 단위 트랜지스터(634)를 63개 형성했을 때, 그 때의 출력 전류의 변동은 0.5%로 됨을 나타내고 있다.

64 계조의 경우에는 $100/64=1.5\%$ 이다. 따라서, 출력 전류 변동은 1.5% 이내로 할 필요가 있다. 도 117로부터 1.5% 이하로 하기 위해서는, 단위 트랜지스터의 사이즈는 2 평방 μm 이상으로 할 필요가 있다(64 계조는 63개의 2 평방 μm 의 단위 트랜지스터가 동작함). 한편으로 트랜지스터 사이즈에는 제한이 있다. IC 칩 사이즈가 커진다는 점과, 1 출력당의 횡폭에 제한이 있기 때문이다. 이 점에서, 단위 트랜지스터(634)의 사이즈의 상한은 300 평방 μm 이다. 따라서, 64 계조 표시에서는, 단위 트랜지스터(634)의 사이즈는 2 평방 μm 이상 300 평방 μm 이하로 할 필요가 있다.

128 계조인 경우는, $100/128=1\%$ 이다. 따라서, 출력 전류 변동은 1% 이내로 할 필요가 있다. 도 117로부터 1% 이하로 하기 위해서는, 단위 트랜지스터의 사이즈는 8 평방 μm 이상으로 할 필요가 있다. 따라서, 128 계조 표시에서는, 단위 트랜지스터(634)의 사이즈는 8 평방 μm 이상 300 평방 μm 이하로 할 필요가 있다.

128 계조의 경우는, $100/128=1\%$ 이다. 따라서, 출력 전류 변동은 1% 이내로 할 필요가 있다. 도 117로부터 1% 이하로 하기 위해서는, 단위 트랜지스터의 사이즈는 8 평방 μm 이상으로 할 필요가 있다. 따라서, 128 계조 표시에서는, 단위 트랜지스터(634)의 사이즈는 8 평방 μm 이상 300 평방 μm 이하로 할 필요가 있다.

일반적으로, 계조 수를 K로 하고, 단위 트랜지스터(634)의 크기를 St(평방 μm)로 했을 때,

$40 \leq K / \sqrt{\text{St}}$ 이고 또한 $\text{St} \leq 300$ 의 관계를 만족시킨다.

더욱 바람직하게는, $120 \leq K / \sqrt{\text{St}}$ 이고 또한 $\text{St} \leq 300$ 의 관계를 만족시키는 것이 바람직하다.

이상의 예는, 64 계조로 63개의 트랜지스터를 형성한 경우이다. 64 계조를 127개의 단위 트랜지스터(634)로 구성하는 경우에는, 단위 트랜지스터(634)의 사이즈란, 2개의 단위 트랜지스터(634)를 가한 사이즈이다. 예를 들면, 64 계조로, 단위 트랜지스터(634)의 사이즈가 10 평방 μm 이고, 127개 형성되어 있으면, 도 117에서는 단위 트랜지스터의 사이즈는 $10 \times 2=20$ 의 란을 볼 필요가 있다. 마찬가지로, 64 계조로, 단위 트랜지스터(634)의 사이즈가 10 평방 μm 이고, 255개 형성되어 있으면, 도 117에서는 단위 트랜지스터의 사이즈는 $10 \times 4=40$ 의 란을 볼 필요가 있다.

단위 트랜지스터(634)는 크기뿐만 아니라, 형상도 고려할 필요가 있다. 킹크의 영향을 저감하기 위해서이다. 킹크란, 단위 트랜지스터(634)의 게이트 전압을 일정하게 유지한 상태에서, 단위 트랜지스터(634)의 소스(S)-드레인(D) 전압을 변화시켰을 때에, 단위 트랜지스터(634)에 흐르는 전류가 변화하는 현상이라고 한다. 킹크의 영향이 없는 경우(이상 상태)에는, 소스(S)-드레인(D) 사이에 인가하는 전압을 변화시키더라도, 단위 트랜지스터(634)에 흐르는 전류는 변화하지 않는다.

킹크의 영향이 발생하는 것은, 도 1 등의 구동용 트랜지스터(11a)의 V_t 의 변동에 의해 소스 신호선(18)이 서로 다른 경우이다. 드라이버 회로(14)는 화소의 구동용 트랜지스터(11a)에 프로그램 전류가 흐르도록, 프로그램 전류를 소스 신호선(18)에 흘려 보낸다. 이 프로그램 전류에 의해, 구동용 트랜지스터(11a)의 게이트 단자 전압이 변화하여, 구동용 트랜지스터(11a)에 프로그램 전류가 흐르게 된다. 도 3에서 알 수 있듯이, 선택된 화소(16)가 프로그램 상태일 때에는, 구동용 트랜지스터(11a)의 게이트 단자 전압=소스 신호선(18) 전위이다.

따라서, 각 화소(16)의 구동용 트랜지스터(11a)의 V_t 변동에 의해, 소스 신호선(18)의 전위는 서로 다르다. 소스 신호선(18)의 전위는 드라이버 회로(14)의 단위 트랜지스터(634)의 소스-드레인 전압으로 된다. 즉, 화소(16)의 구동용 트랜지스터(11a)의 V_t 변동에 의해, 단위 트랜지스터(634)에 인가되는 소스-드레인 전압이 다르고, 이 소스-드레인

간 전압에 의해, 단위 트랜지스터(634)에 킥에 의한 출력 전류의 변동이 발생한다.

도 118은 이 현상을 그래프화한 것이다. 종축은 게이트 단자에 소정의 전압을 인가했을 때의 단위 트랜지스터(634)의 출력 전류이다. 횡축은 소스(S)- 드레인(D)간 전압이다. L/W의 L은 단위 트랜지스터(634)의 채널 길이, W는 단위 트랜지스터의 채널 폭이다. 또한 L, W는 1 계조분의 전류를 출력하는 단위 트랜지스터(634)의 사이즈이다. 따라서, 1 계조분의 전류와 복수의 서브 단위 트랜지스터에서 출력하는 경우에는, 동등한 단위 트랜지스터(634)로 치환하여 W, L을 산출할 필요가 있다. 기본적으로 트랜지스터 사이즈와 출력 전류를 고려하여 산출한다.

L/W가 5/3일 때는, 소스-드레인 전압이 높아지더라도, 출력 전류는 거의 변화하지 않는다. 그러나, L/W가 1/1일 때는, 소스-드레인 전압과 거의 비례하여, 출력 전류가 증가한다. 따라서, L/W는 클수록 좋다.

도 172는 단위 트랜지스터 L/W와 목표치로부터의 어긋남(변동)의 그래프이다. 단위 트랜지스터의 L/W 비가 2 이하에서는, 목표치로부터의 어긋남이 크다(직선의 기울기가 큼). 그러나, L/W가 커짐에 따라서, 목표치의 어긋남이 작아지는 경향이 있다. 단위 트랜지스터 L/W가 2 이상에서는 목표치로부터의 어긋남의 변화는 작아진다. 또한, 목표치로부터의 어긋남(변동)은 L/W=2 이상에서, 0.5% 이하로 된다. 따라서, 트랜지스터의 정밀도로서 소스 드라이버 회로(14)에 채용할 수 있다.

이상의 점으로부터, 단위 트랜지스터 L/W는 2 이상으로 하는 것이 바람직하다. 그러나, L/W가 크다는 것은 L이 길어지는 것을 뜻하고 있으므로 트랜지스터 사이즈가 커진다. 따라서, L/W는 40 이하로 하는 것이 바람직하다.

또한, L/W의 크기는 계조 수에도 의존한다. 계조 수가 적은 경우에는, 계조와 계조의 차가 크기 때문에, 킥의 영향에 의해 단위 트랜지스터(634)의 출력 전류가 변동하더라도 문제가 없다. 그러나, 계조 수가 많은 표시 패널에서는, 계조와 계조의 차가 작기 때문에, 킥의 영향에 의해 단위 트랜지스터(634)의 출력 전류가 조금이라도 변동하면 계조 수가 저감한다.

이상을 감안하여, 본 발명의 드라이버 회로(14)는, 계조 수를 K로 하고, 단위 트랜지스터(634)의 L/W(L은 단위 트랜지스터(634)의 채널 길이, W는 단위 트랜지스터의 채널 폭)로 했을 때,

$$(\sqrt{(K/16)}) \leq L/W \leq \text{이고 또한 } (\sqrt{(K/16)}) \times 20$$

의 관계를 만족시키도록 구성(형성)하고 있다. 이 관계를 도시하면 도 119와 같아진다. 도 119의 직선의 상측이 본 발명의 실시 범위이다.

도 63에 도시하는 제3단의 커런트 미러부이다. 따라서, 제1 전류원(631)과 제2단의 전류원(632)이 별도 형성되어 있고, 이들이 밀집(밀접 혹은 인접)하여 배치되어 있는 것이다. 또한, 제2단의 전류원(632)과 제3단의 전류원을 구성하는 커런트 미러 회로의 트랜지스터(633a)도 밀집(밀접 혹은 인접)하여 배치된다.

단위 트랜지스터(634)의 출력 전류의 변동은 소스 드라이버 IC(14)의 내압에도 의존하고 있다. 소스 드라이버 IC의 내압이란 일반적으로 IC의 전원 전압을 의미한다. 예를 들면, 5(V) 내압이란, 전원 전압을 표준 전압 5(V)로 사용한다. 또, IC 내압이란 최대 사용 전압으로 고쳐 읽어도 된다. 이들 내압은 반도체 IC 제조사가 5(V) 내압 프로세스, 10(V) 내압 프로세스로 표준화하여 보유하고 있다.

IC 내압이 단위 트랜지스터(634)의 출력 변동에 영향을 주는 것은, 단위 트랜지스터(634)의 게이트 절연막의 막질, 막 두께에 의하는 것으로 생각된다. IC 내압이 높은 프로세스로 제조한 트랜지스터(634)는 게이트 절연막이 두껍다. 이것은 고전압의 인가에서도 절연 파괴를 발생하지 않도록 하기 위해서이다. 절연막이 두꺼우면, 게이트 절연막 두께의 제어가 곤란해지고, 또한 게이트 절연막의 막질 변동도 커진다. 그 때문에, 트랜지스터의 변동이 커진다. 또한, 고 내압 프로세스로 제조한 트랜지스터는 모빌리티가 낮아진다. 모빌리티가 낮으면, 트랜지스터의 게이트에 주입되는 전자가 조금 변화하는 것만으로 특성이 서로 달라진다. 따라서, 트랜지스터의 변동이 커진다. 따라서, 단위 트랜지스터(634)의 변동을 적게 하기 위해서는, IC 내압이 낮은 IC 프로세스를 채용하는 것이 바람직하다.

도 170은 IC 내압을 단위 트랜지스터(634)의 출력 변동의 관계를 도시한 것이다. 종축의 변동 비율이란, 1.8(V) 내압 프로세스로 제작하여 단위 트랜지스터(634)의 변동을 1로 하고 있다. 또, 도 170은 단위 트랜지스터(634)의 형상 L/W를 12(μm)/6(μm)으로 하고, 각 내압 프로세스로 제조한 단위 트랜지스터(634)의 출력 변동을 나타내고 있다. 또한, 각 IC 내압 프로세스로 복수의 단위 트랜지스터를 형성하고, 출력 전류 변동을 구하고 있다. 단, 내압 프로세스는 1.8(V) 내압, 2.5(V) 내압, 3.3(V) 내압, 5(V) 내압, 8(V) 내압, 10(V) 내압, 15(V) 내압 등 이산값이다. 그러나, 설명을 쉽게 하기 위해서, 각 내압으로 형성한 트랜지스터의 변동을 그래프에 기입하여, 직선으로 연결하고 있다.

도 170에서도 알 수 있지만, IC 내압이 9(V) 정도까지는 IC 프로세스에 대한 변동 비율(단위 트랜지스터(634)의 출력 전류 변동)의 증가 비율이 작다. 그러나, IC 내압이 10(V) 이상으로 되면 IC 내압에 대한 변동 비율의 기울기가 커진다.

도 170에 있어서의 변동 비율은 3 이내가, 64 계조 내지 256 계조 표시에서의 변동 허용 범위이다. 단, 이 변동 비율은 단위 트랜지스터(634)의 면적, L/W에 따라 서로 다르다. 그러나, 단위 트랜지스터(634)의 형상 등을 변화시키더라도, IC 내압에 대한 변동 비율의 변화 경향은 거의 차가 없다. IC 내압 9 10(V) 이상으로 변동 비율이 커지는 경향이 있다.

한편, 도 64의 출력 단자(761)의 전위는, 화소(16)의 구동용 트랜지스터(11a)의 프로그램 전류에 의해 변화한다. 거의, 구동용 트랜지스터(11a)의 게이트 단자 전압과 소스 신호선(18)의 전위와 동일하다. 또한, 소스 신호선(18)의 전위가 소스 드라이버 IC(회로)(14)의 출력 단자(761)의 전위로 된다. 화소(16)의 구동용 트랜지스터(11a)가 백 래스터(최대 백 표시)의 전류를 흘려 보낼 때의 게이트 단자 전위 V_w 로 된다. 화소(16)의 구동용 트랜지스터(11a)가 흑 래스터(완전 흑 표시)의 전류를 흘려 보낼 때의 게이트 단자 전위 V_b 로 된다. $V_w - V_b$ 의 절대값은 2(V) 이상 필요하다. 또한, V_w 전압이 단자(761)에 인가되고 있을 때, 단위 트랜지스터(634)의 채널간 전압은 0.5(V) 필요하다.

따라서, 출력 단자(761)(단자(761)는 소스 신호선(18)과 접속되어, 전류 프로그램 시, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자 전압이 인가됨)에는, 0.5(V) 내지 $((V_w - V_b) + 0.5)(V)$ 의 전압이 인가된다. $V_w - V_b$ 는 2(V)이므로, 단자(761)는 최대 $2(V) + 0.5(V) = 2.5(V)$ 인가된다. 따라서, 소스 드라이버 IC(14)의 출력 전압(전류)이 rail-to-rail 회로 구성(IC 전원 전위까지, 전압을 출력할 수 있는 회로 구성)이더라도, IC 내압으로서는 2.5(V) 필요하다. 단자(741)의 진폭 필요 범위는, 2.5(V) 이상 필요하다.

이상의 점으로부터, 소스 드라이버 IC(14)의 내압은, 2.5(V) 이상 10(V) 이하의 프로세스를 사용하는 것이 바람직하다. 더욱 바람직하게는, 소스 드라이버 IC(14)의 내압은 3(V) 이상 9(V) 이하의 프로세스를 사용하는 것이 바람직하다.

또 이상의 설명은, 소스 드라이버 IC(12)의 사용 내압 프로세스는 2.5(V) 이상 10(V) 이하의 프로세스를 사용한다고 했다. 그러나, 이 내압은 어레이 기판(71)에 직접적으로 소스 드라이버 회로(14)가 형성된 실시예(저온 폴리실리콘 프로세스 등)에도 적용된다. 어레이 기판(71)에 형성된 소스 드라이버 회로(14)의 사용 내압은 15(V) 이상으로 높은 경우가 있다. 이 경우에는, 소스 드라이버 회로(14)에 사용하는 전원 전압을 도 170에 도시하는 IC 내압으로 치환하여도 된다. 또한, 소스 드라이버 IC(14)에 있어서도, IC 내압으로 하지 않고, 사용하는 전원 전압으로 치환하여도 된다.

단위 트랜지스터(634)의 면적은 출력 전류의 변동과 상관이 있다. 도 171은 단위 트랜지스터(634)의 면적을 일정하다고 하고, 단위 트랜지스터(634)의 트랜지스터 폭 W 를 변화시켰을 때의 그래프이다. 도 170은 단위 트랜지스터(634)의 채널 폭 $W = 2(\mu m)$ 의 변동을 1로 하고 있다. 그래프의 종축은 채널 폭 $W = 2(\mu m)$ 의 변동을 1로 했을 때에 상대비이다.

도 171에서 도시한 바와 같이 변동 비율은, 단위 트랜지스터의 W 가 $2(\mu m)$ 에서 9 10(μm)까지 느슨히 증가하여, 10(μm) 이상으로 변동 비율의 증가가 커지는 경향이 있다. 또한, 채널 폭 $W = 2(\mu m)$ 이하에서 변동 비율이 증가하는 경향이 있다.

도 171에 있어서의 변동 비율은 3 이내가, 64 계조 내지 256 계조 표시에서의 변동 허용 범위이다. 단, 이 변동 비율은 단위 트랜지스터(634)의 면적에 따라서 서로 다르다. 그러나, 단위 트랜지스터(634)의 면적을 변화시키더라도, IC 내압에 대한 변동 비율의 변화 경향은 거의 차가 없다.

이상의 점에서, 단위 트랜지스터(634)의 채널 폭 W 는 $2(\mu m)$ 이상 $10(\mu m)$ 이하로 하는 것이 바람직하다. 더욱 바람직하게는, 단위 트랜지스터(634)의 채널 폭 W 는 $2(\mu m)$ 이상 $9(\mu m)$ 이하로 하는 것이 바람직하다.

도 68에 도시하는 바와 같이, 제2단의 커런트 미러 회로(632b)를 흐르는 전류는, 제3단의 커런트 미러 회로를 구성하는 트랜지스터(633a)에 복사되고, 커런트 미러 배율이 1배일 때에는, 이 전류가 트랜지스터(633b)에 흐른다. 이 전류는 최종단의 단위 트랜지스터(634)에 복사된다.

D0에 대응하는 부분은 하나의 단위 트랜지스터(634)로 구성되어 있기 때문에, 최종단 전류원의 단위 트랜지스터(633)에 흐르는 전류값이다. D1에 대응하는 부분은 2개의 단위 트랜지스터(634)로 구성되어 있기 때문에, 최종단 전류원의 2배의 전류값이다. D2는 4개의 단위 트랜지스터(634)로 구성되어 있기 때문에, 최종단 전류원의 4배의 전류값이고, ..., D5에 대응하는 부분은 32개의 트랜지스터로 구성되어 있기 때문에, 최종단 전류원의 32배의 전류값이다. 따라서, 6 비트의 화상 데이터 D0, D1, D2, ..., D5로 제어되는 스위치를 통하여 프로그램 전류 I_w 는 소스 신호선에 출력된다(전류를 인입함). 따라서, 6 비트의 화상 데이터 D0, D1, D2, ..., D5의 ON, OFF에 따라, 출력선에는, 최종단

전류원(633)의 1배, 2배, 4배, ..., 32배의 전류가 가산되어 출력된다. 즉, 6 비트의 화상 데이터 D0, D1, D2, ..., D5에 의해, 최종단 전류원(633)의 0 ~ 63배의 전류값이 출력선으로부터 출력된다(소스 신호선(18)으로부터 전류를 인입함).

실제로는, 도 146에 도시하는 바와 같이, 소스 드라이버 IC(14) 내에는, R, G, B마다 기준 전류(IaR, IaG, IaB)는 가변 저항(651)(651R, 651G, 651B)으로 조정할 수 있도록 구성되어 있다. 기준 전류 Ia를 조정함으로써, 화이트 밸런스 및 용이하게 조정할 수 있다.

이상과 같이, 최종단 전류원(633)의 정수배의 구성에 의해, 종래의 W/L의 비례배분과 비교하여, 보다 고정밀도로 전류값을 제어할 수 있다(각 단자의 출력 변동이 없어짐).

단, 이 구성은, 화소(16)를 구성하는 구동용 트랜지스터(11a)가 P 채널로 구성되고, 또한 소스 드라이버 IC(14)를 구성하는 전류원(1 단위 트랜지스터)(634)이 N 채널 트랜지스터로 구성되어 있는 경우이다. 다른 경우(예를 들면, 화소(16)의 구동용 트랜지스터(11a)가 N 채널 트랜지스터로 구성되어 있는 경우 등)에는, 프로그램 전류 Iw는 토출 전류로 되는 구성도 실시할 수 있는 것은 물론이다.

여기서, 기준 전류의 발생 회로에 대하여 상세히 설명해 둔다. 본 발명의 소스 드라이버 회로(IC)(14)의 전류 출력 방식(액정 표시 패널의 소스 드라이버는 전압 출력 방식임(신호는 전압의 단계))에서는, 기준 전류를 바탕으로 하고, 이 기준 전류에 비례한 단위 전류를 복수 조합하여 프로그램 전류 Iw를 출력하는 것이다.

도 144는 그 실시예이다. 도 67, 도 68, 도 76 등에서는, 가변 저항(651)으로 기준 전류를 작성하고 있다. 도 144는 도 68의 가변 저항(651)을 트랜지스터(631a)에서 치환하고, 이 트랜지스터(631a)와 커런트 미러 회로를 형성하는 트랜지스터(1444)에 흐르는 전류를 연산 증폭기(722) 등을 이용하여 제어하는 것이다. 트랜지스터(1444)와 트랜지스터(631a)는 커런트 미러 회로를 형성한다. 커런트 미러 배율이 1이면, 트랜지스터(1443)를 흐르는 전류가 기준 전류로 된다.

연산 증폭기(722)의 출력 전압은 N 채널 트랜지스터(1443)에 입력되고, 트랜지스터(1443)에 흐르는 전류가 외부 부하 저항(691)에 흐른다. 또한, 저항(691a)은 고정 칩 저항이다. 기본적으로는, 저항(691a)만이면 된다. 저항(691b)은 포지스터 혹은 서미스터 등의 온도에 대하여 저항값이 변화하는 저항 소자이다. 이 저항(691a)은 EL 소자(15)의 온특(온도 특성)을 보상하기 위해서 이용한다. 저항(691a)은 EL 소자(15)의 온특에 맞추어(보상하기 위해서), 저항(691b)과 병렬 혹은 직렬로 삽입 혹은 배치한다. 또한, 이후는 설명을 쉽게 하기 위해서, 저항(691a)과 저항(691b)은 하나의 저항(691)으로 간주하여 설명한다.

저항(691)은 1% 이상의 정밀도의 것을 용이하게 입수할 수 있다. 저항(691)은 소스 드라이버 IC(14) 내에 확산 저항 기술에 의한 저항 혹은 폴리실리 패턴에 의한 저항을 형성하고, 내장시켜도 된다. 칩 저항(691)은 입력 단자(761a)에 부착한다. 특히 EL 표시 패널에서는 RGB마다 EL 소자(15)의 온특이 서로 다르다. 따라서, RGB마다의 3개의 외부 부하 저항(691)이 필요하다.

저항(691)의 단자 전압은 연산 증폭기(722)의 - 입력으로 되고, 이 - 단자의 전압과 연산 증폭기(722)의 + 단자는 동일 전압으로 된다. 따라서, 연산 증폭기(722)의 + 입력 전압이 V1로 되면, 이 전압과 저항(691)으로 나눈 것이 트랜지스터(1444)에 흐르는 전류로 된다. 이 전류가 기준 전류로 된다.

이제, 저항(691)의 저항값을 100KΩ로 하고, 연산 증폭기(722)의 + 단자의 입력 전압이 V1=1(V)이면, 저항(691)에는 1(V)/100KΩ=10(μA)의 기준 전류가 흐른다. 기준 전류의 크기는 2μA 이상 30μA 이하로 설정하는 것이 바람직하다. 더욱 바람직하게는, 5μA 이상 20μA 이하로 설정하는 것이 바람직하다. 모 트랜지스터(63)에 흐르는 기준 전류가 작으면, 단위 전류원(634)의 정밀도가 나빠진다. 기준 전류가 지나치게 크면, IC 내부에서 변환하는 커런트 미러 배율(이 경우에는 저항 방향)이 커지고, 커런트 미러 회로에서의 변동이 커져, 앞서와 마찬가지로 단위 전류원(634)의 정밀도가 나빠진다.

이상의 구성에 따르면, 연산 증폭기(722)의 + 입력 단자의 정밀도가 양호하고 또한 저항(691)의 정밀도가 양호하면, 매우 정밀도가 좋은 기준 전류(크기, 변동 정밀도)를 형성할 수 있다. 저항(691)을 소스 드라이버 회로(IC)(14) 내에 내장하는 경우에는, 내장한 저항을 트리밍함으로써 고정밀도로 형성하면 된다.

연산 증폭기(722)의 + 단자에는, 기준 전압 회로(1441)로부터의 기준 전압 Vref를 인가한다. 기준 전압을 출력하는 기준 전압 회로(1441)의 IC는 맥심사 등으로부터 다수의 품종이 판매되고 있다. 또한, 기준 전압 Vref는 소스 드라이버 회로(14) 내에 형성할 수도 있다(기준 전압 Vref의 내장). 기준 전압 Vref의 범위는 2(V) 이상 애노드 전압 Vdd(V) 이하로 하는 것이 바람직하다.

기준 전압은 접속 단자(761a)로부터 입력된다. 기본적으로는, 이 Vref 전압을 연산 증폭기(722)의 + 단자에 입력하면 된다. 접속 단자(761a)를 + 단자 사이에 전자 볼륨 회로(561)가 배치되어 있는 것은, EL 소자(15)는 RGB에서 발광 효율이 서로 다르기 때문이다. 즉, RGB의 각 EL 소자(15)에 흐르는 전류와 조정하여, 화이트 밸런스를 취하기 위해서이다. 물론, 저항(691)의 값으로 조정할 수 있는 경우에는, 전자 볼륨 회로(561)에서의 조정은 필요하지 않다. 예를 들면, 저항(691)을 가변 볼륨으로 구성하는 예가 예시된다.

전자 볼륨 회로(561)의 활용으로서의 하나는, EL 소자(15)가 RGB에서 열화 속도가 서로 다른 것에 의한 재차의 화이트 밸런스 조정이다. EL 소자(15)는 특히, B가 열화하기 쉽다. 그 때문에, EL 표시 패널을 사용하고 있으면 오랜 세월 동안에 B의 EL 소자(15)가 어둡게 되어, 화면이 옐로우색으로 된다. 이 경우에 B용의 전자 볼륨 회로(561)를 조정하여 화이트 밸런스를 실시한다. 물론, 전자 볼륨 회로(561)를 온도 센서(781)(도 78 및 그 설명을 참조할 것)와 연동시켜, EL 소자의 휘도 보상 혹은 화이트 밸런스 보상을 실시해도 된다.

전자 볼륨 회로(561)는 IC(회로)(14) 내에 내장시킨다. 혹은, 저온 폴리실리콘 기술을 이용하여 어레이 기판(71)에 직접 형성한다. 폴리실리콘을 패터닝함으로써 단위 저항(R1, R2, R3, R4, ……Rn)을 복수개 형성하고, 직렬로 접속한다. 또한, 각 단위 저항 사이에 아날로그 스위치(S1, S2, S2, ……Sn+1)를 배치하고, 기준 전압 Vref를 분압하여 전압을 출력한다.

도 148 등에 있어서, 트랜지스터(1443)는 바이폴라 트랜지스터로서 도시하고 있지만, 이것에 한정되는 것은 아니다. FET, MOS 트랜지스터여도 된다. 트랜지스터(1443)는 IC 내(14)에 내장시킬 필요가 없고, IC 외부에 배치해도 됨은 물론이다. 또한, 게이트 드라이버 회로(12) 내에 전원 등의 발생 회로를 내장시키고, 또한 트랜지스터(1443)도 내장시켜도 된다.

EL 표시 패널에서, 풀컬러 표시를 실현하기 위해서는, RGB의 각각에 기준 전류를 형성(작성)할 필요가 있다. RGB의 기준 전류의 비율로 화이트 밸런스를 조정할 수 있다. 전류 구동 방식인 경우에는 또한, 본 발명은 하나의 기준 전류로부터 단위 전류원(634)이 흐르는 전류값을 결정한다. 따라서, 기준 전류의 크기를 결정하면, 단위 전류원(634)이 흐르는 전류를 결정할 수 있다. 그 때문에, R, G, B의 각각의 기준 전류를 설정하면, 모든 계조에 있어서의 화이트 밸런스가 떨어지게 된다. 이상의 사항은, 소스 드라이버 회로(14)가 전류 등급 출력(전류 구동)이라는 점에서 발휘되는 효과이다. 따라서, 어떻게 RGB마다 기준 전류의 크기를 설정할 수 있을지가 포인트로 된다.

EL 소자의 발광 효율은, EL 재료의 증착 혹은 도포하는 막 두께로 결정된다. 혹은, 지배적인 요인이다. 막 두께는 로트와 거의 일정하다. 따라서, EL 소자(15)의 형성 막 두께를 로트 관리하면, EL 소자(15)에 흐르는 전류와 발광 휘도의 관계가 결정된다. 즉, 로트마다 화이트 밸런스를 취하기 위한 전류값은 고정이다.

예를 들면, R의 EL 소자(15)에 흐르는 전류를 $I_r(A)$, G의 EL 소자(15)에 흐르는 전류를 $I_g(A)$, B의 EL 소자(15)에 흐르는 전류를 $I_b(A)$ 라고 하면, 로트마다 화이트 밸런스가 취해지는 기준 전류의 비율을 알 수 있다. 따라서, 일례로서, $I_r:I_g:I_b=1:2:4$ 일 때에, 화이트 밸런스가 취해지는 것을 알 수 있다. 화이트 밸런스를 설정하면 본 발명의 duty 구동 등에서는, 전 계조로 화이트 밸런스를 취할 수 있다. 이 사항은 본 발명의 구동 방법과 본 발명의 소스 드라이버 회로와의 상승 효과가 발휘되는 사항이다.

도 148의 구성에서는, 로트마다 R, G, B의 기준 전류를 발생시키는 회로의 저항(691)의 값을 변경함으로써 화이트 밸런스를 취할 수 있다. 그러나, 로트마다 저항(691)을 변경한다고 하는 작업이 발생한다.

도 148에서는, 소스 드라이버 회로(IC)(14) 외부로부터 전자 볼륨 회로(561)를 제어하고, 전자 볼륨 회로(561)의 스위치 S_x 를 전환하여 기준 전류 I_a 의 값을 변경한다. 도 149에서는 전자 볼륨 회로(561)의 설정치를 플래시 메모리(1491)에 기억할 수 있도록 구성하고 있다. 플래시 메모리(1491)의 값은 각 RGB의 전자 볼륨 회로(561)에서 독자적으로 설정할 수 있도록 구성되어 있다. 플래시 메모리(1491)의 값은, 예를 들면 EL 표시 패널의 로트마다 설정되고, 소스 드라이버 IC(14)의 전원 투입 시에 판독되어, 전자 볼륨 회로(561)의 스위치 S_x 를 설정한다.

도 150은 도 149의 전자 볼륨 회로(561)를 저항 어레이 회로(1501)로 한 구성도이다. 또한, 도 150에 있어서, R_r 은 외부 부착 저항이다. 물론, R_r 은 소스 드라이버 회로(IC)(14) 내에 내장시켜도 된다. 저항 어레이(1503)는 소스 드라이버 회로(IC)(14) 내에 내장시킨다. 저항 어레이를 구성하는 저항(R_1 ~ R_n)은 직렬로 접속되어 있고, 각 저항(R_1 ~ R_n) 사이는 쇼트 배선으로 결선되어 있다. 이 결 선을, 도 150에서 도시하는 a점 b점 등을 절단함으로써, 저항 어레이(1503)를 흐르는 전류 I_r 이 변화한다. 전류 I_r 의 변화에 의해 연산 증폭기(722)의 + 단자에 인가되는 전압이 변화하기 때문에, 기준 전류 I_a 가 변화한다. 절단하는 점은, 저항 R_r 을 흐르는 전류를 모니터하고, 목표의 기준 전류로 되는 점을 결정하여 행한다.

저항 어레이(1503)의 트리밍은 레이저 장치(1501)를 이용하여, 레이저 광(1502)을 조사함으로써 행하면 된다.

또한, 도 148에서는 RGB에서 저항(691)의 값을 변경함으로써, 각 RGB의 기준 전류를 변경한다고 했다. 또한, 도 149에서는 플래시 메모리(1491)에 의해, 전자 볼륨 회로(561)의 스위치 S_x 를 설정함으로써, 각 RGB의 기준 전류를 변경한다고 했다. 또한, 도 150에서는 저항 어레이(1503)의 저항값을 트리밍에 의해 변경함으로써, 각 RGB의 기준 전류를 변경한다고 했다. 그러나, 본 발명은 이것에 한정되는 것이 아니다.

예를 들면, 도 149, 도 150에 있어서, 각 RGB의 기준 전압(V_{refR} , V_{refG} , V_{refB})의 전압값을 변경하는 것에 의해서도, 기준 전류를 조정할 수 있는 것은 물론이다. 각 RGB의 기준 전압 V_{ref} 는 연산 증폭기 회로 등에 의해 용이하게 발생시킬 수 있다. 또한, 도 148, 도 149, 도 150 등에 있어서, 저항 R_r 를 볼륨으로 함으로써, 결과적으로 소스 드라이버 회로(IC)(14)에 인가되는 기준 전압을 변경할 수 있다.

최종단 전류원(633)의 0 ~ 63배의 전류가 출력된다고 했지만, 이것은 최종단 전류원(633)의 커런트 미러 배율이 1배일 때이다. 커런트 미러 배율이 2배일 때에는, 최종단 전류원(633)의 0 ~ 126배의 전류가 출력되고, 커런트 미러 배율이 0.5배일 때에는, 최종단 전류원(633)의 0 ~ 31.5배의 전류가 출력된다.

이상과 같이, 본 발명은 최종단 전류원(633) 혹은, 그것보다 전단의 전류원(631, 632 등)의 커런트 미러 배율을 변화시킴으로써, 출력의 전류값을 용이하게 변경할 수 있다. 또한, 이상의 사항은 R, G, B마다 커런트 미러 배율을 변경하는(달리하는) 것도 바람직하다. 예를 들면, R만, 어느 하나의 전류원의 커런트 미러 배율을 다른 색에 대하여(다른 색에 대응하는 전류원 회로에 대하여), 변화(달리함)시켜도 된다. 특히, EL 표시 패널은 각 색(R, G, B 혹은 시안, 옐로우, 마젠타)마다 발광 효율 등이 서로 다르다. 따라서, 각 색에서 커런트 미러 배율을 변화시킴으로써, 화이트 밸런스를 양호하게 할 수 있다.

전류원의 커런트 미러 배율을 다른 색에 대하여(다른 색에 대응하는 전류원 회로에 대하여), 변화(달리함)시킨다고 하는 사항은, 고정적인 것에 한정되지 않는다. 가변하는 것도 포함된다. 가변은 전류원에 커런트 미러 회로를 구성하는 트랜지스터를 복수 형성해 놓고, 외부로부터의 신호에 의해 커런트 전류를 흘리는 상기 트랜지스터의 개수를 전환하는 것에 의해 실현할 수 있다. 이와 같이 구성함으로써, 제작된 EL 표시 패널의 각 색의 발광 상태를 관찰하면서, 최적의 화이트 밸런스로 조정하는 것이 가능해진다.

특히, 본 발명은 다수단에 전류원(커런트 미러 회로)을 연결하는 구성이다. 따라서, 제1단의 전류원(631)과 제2단의 전류원(632)의 커런트 미러 배율을 변화시키면, 적은 연결부(커런트 미러 회로 등)에 의해 용이하게 다수의 출력의 출력 전류를 변화할 수 있다. 물론, 제2단의 전류원(632)과 제3단의 전류원(633)의 커런트 미러 배율을 변화시키는 것보다도, 적은 연결부(커런트 미러 회로 등)에 의해 용이하게 다수의 출력의 출력 전류를 변화할 수 있는 것은 물론이다.

또한, 커런트 미러 배율을 변화한다라는 개념은, 전류 배율을 변화(조정)한다고 하는 것이다. 따라서, 커런트 미러 회로에만 한정되는 것이 아니다. 예를 들면, 전류 출력의 연산 증폭기 회로, 전류 출력의 D/A 회로 등에서도 실현할 수 있다. 이상에서 설명한 사항은 본 발명의 다른 실시예에 대해서도 적용되는 것은 물론이다.

도 65에, 3단식 커런트 미러 회로에 의한 176 출력($N \times M = 176$)의 회로도의 일례를 나타낸다. 도 65에서는 제1단 커런트 미러 회로에 의한 전류원(471)을 모 전류원, 제2단 커런트 미러 회로에 의한 전류원(472)을 자 전류원, 제3단 커런트 미러 회로에 의한 전류원(473)을 손 전류원으로 기재하고 있다. 최종단 커런트 미러 회로인 제3단 커런트 미러 회로에 의한 전류원의 정수배의 구성에 의해, 176 출력의 변동을 극력 억제하여, 고정밀도의 전류 출력이 가능하다. 물론, 전류원(531, 632, 633)을 밀집되게 배치한다고 하는 구성을 잊어서는 안 된다.

또, 밀집되게 배치한다고 함은, 제1 전류원(631)과 제2 전류원(632)을 적어도 8mm 이내의 거리에 배치(전류 혹은 전압의 출력측과 전류 혹은 전압의 입력측)하는 것을 말한다. 나아가서는, 5mm 이내에 배치하는 것이 바람직하다. 이 범위이면, 검토에 의해 실리콘 칩 내에서 배치되어 트랜지스터의 특성(V_t , 모빌리티(μ)) 차가 거의 발생하지 않기 때문이다. 또한, 마찬가지로, 제2 전류원(632)과 제3 전류원(633)(전류의 출력측과 전류의 입력측)도 적어도 8mm 이내의 거리에 배치한다. 더욱 바람직하게는, 5mm 이내의 위치에 배치하는 것이 바람직하다. 이상의 사항은 본 발명의 다른 실시예에서도 적용되는 것은 물론이다.

이 전류 혹은 전압의 출력측과 전류 혹은 전압의 입력측이란, 이하의 관계를 의미한다. 도 66의 전압 교환의 경우에는, 제(I)단의 전류원의 트랜지스터(631)(출력측)와 제(I+1)의 전류원의 트랜지스터(632a)(입력측)를 밀집되게 배치하는 관계이다. 도 67의 전류 교환의 경우에는, 제(I)단의 전류원의 트랜지스터(631a)(출력측)와 제(I+1)의 전류원의 트랜지스터(632b)(입력측)를 밀집되게 배치하는 관계이다.

또한, 도 65, 도 66 등에 있어서, 트랜지스터(631)는 하나로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 작은 서브 트랜지스터(631)를 복수개 형성하고, 이 복수개의 서브 트랜지스터의 소스 또는 드레인 단자를 가변 저항(651)과 접속하여 단위 트랜지스터를 구성해도 된다. 작은 서브 트랜지스터를 복수개 병렬로 접속하는 것에 의해, 단위 트

랜지스터의 변동을 저감할 수 있다.

마찬가지로, 트랜지스터(632a)는 하나로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 작은 트랜지스터(632a)를 복수개 형성하고, 이 트랜지스터(632a)의 복수개의 게이트 단자를, 트랜지스터(631)의 게이트 단자와 접속해도 된다. 작은 트랜지스터(632a)를 복수개 병렬로 접속하는 것에 의해, 트랜지스터(632a)의 변동을 저감할 수 있다.

따라서, 본 발명의 구성에서는, 하나의 트랜지스터(631)와 복수개의 트랜지스터(632a)를 접속하는 구성, 복수개의 트랜지스터(631)와 하나의 트랜지스터(632a)를 접속하는 구성, 복수개의 트랜지스터(631)와 복수개의 트랜지스터(632a)를 접속하는 구성이 예시된다. 이상의 실시예는 후에 상세히 설명한다.

이상의 사항은, 도 68의 트랜지스터(633a)와 트랜지스터(633b)의 구성에도 적용된다. 하나의 트랜지스터(633a)와 복수개의 트랜지스터(633ba)를 접속하는 구성, 복수개의 트랜지스터(633a)와 하나의 트랜지스터(633b)를 접속하는 구성, 복수개의 트랜지스터(633a)와 복수개의 트랜지스터(633b)를 접속하는 구성이 예시된다. 작은 트랜지스터(633)를 복수개 병렬로 접속하는 것에 의해, 트랜지스터(633)의 변동을 저감할 수 있기 때문이다.

이상의 사항은, 도 68의 트랜지스터(632a, 632b)와의 관계에도 적용할 수 있다. 또한, 도 64의 트랜지스터(633b)도 복수개의 트랜지스터로 구성하는 것이 바람직하다. 도 73, 도 74의 트랜지스터(633)에 대해서도 마찬가지로 복수개의 트랜지스터로 구성하는 것이 바람직하다.

여기서, 실리콘 칩으로 했지만, 이것은 반도체 칩의 의미이다. 따라서, 갈륨 기판에 형성된 칩, 게르마늄 기판 등 형성된 다른 반도체 칩도 마찬가지이다. 따라서, 소스 드라이버 IC(14)는 어느 반도체 기판으로 제작해도 된다. 또한, 단위 트랜지스터(634)는 바이폴라 트랜지스터, CMOS 트랜지스터, 바이 CMOS 트랜지스터, DMOS 트랜지스터의 어느 것이어도 된다. 그러나, 단위 트랜지스터(634)의 출력 변동을 작게 하는 관점에서, 단위 트랜지스터(634)는 CMOS 트랜지스터로 구성하는 것이 바람직하다.

단위 트랜지스터(634)는 N 채널로 구성하는 것이 바람직하다. P 채널 트랜지스터로 구성한 단위 트랜지스터는, N 채널 트랜지스터로 구성한 단위 트랜지스터에 비교하여, 출력 변동이 1.5배로 된다.

소스 드라이버 IC(14)의 단위 트랜지스터(634)는, N 채널 트랜지스터로 구성하는 것이 바람직하다는 점에서, 소스 드라이버 IC(14)의 프로그램 전류는, 화소(16)로부터 소스 드라이버 IC로의 인입 전류로 된다. 따라서, 화소(16)의 구동용 트랜지스터(11a)는 P 채널로 구성된다. 또한, 도 1의 스위칭용 트랜지스터(11d)도 P 채널 트랜지스터로 구성된다.

이상의 점으로부터, 소스 드라이버 IC(회로)(14)의 출력단의 단위 트랜지스터(634)를 N 채널 트랜지스터로 구성하고, 화소(16)의 구동용 트랜지스터(11a)를 P 채널 트랜지스터로 구성한다고 하는 구성은, 본 발명의 특징 있는 구성이다. 또한, 화소(16)를 구성하는 트랜지스터(11)의 전부를 도 1에 도시하는 것에 의해 화소(16)를 제작하는 프로세스 마스크를 저감할 수 있기 때문에 보다 바람직한 구성이다.

화소(16)를 구성하는 트랜지스터(11)를 P 채널로 구성하면, 프로그램 전류는 화소(16)로부터 소스 신호선(18)에 흘러 나가는 방향으로 된다. 그 때문에, 소스 드라이버 회로의 단위 트랜지스터(634)(도 73, 도 74, 도 126, 도 129 등을 참조할 것)는, N 채널의 트랜지스터로 구성할 필요가 있다. 즉, 소스 드라이버 회로(14)는 프로그램 전류 I_w 를 인입하도록 회로 구성할 필요가 있다.

따라서, 화소(16)의 구동용 트랜지스터(11a)(도 1인 경우)가 P 채널 트랜지스터인 경우에는, 반드시, 소스 드라이버 회로(14)는 프로그램 전류 I_w 를 인입하도록, 단위 트랜지스터(634)를 N 채널 트랜지스터로 구성한다. 소스 드라이버 회로(14)를 어레이 기판(71)에 형성하기 위해서는, N 채널용 마스크(프로세스)와 P 채널용 마스크(프로세스)의 양방을 이용할 필요가 있다. 개념적으로 진술하면, 화소(16)와 게이트 드라이버(12)를 P 채널 트랜지스터로 구성하고, 소스 드라이버의 인입 전류원의 트랜지스터는 N 채널로 구성하는 것이 본 발명의 표시 패널(표시 장치)이다.

따라서, 화소(16)의 트랜지스터(11)를 P 채널 트랜지스터로 형성하고, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 형성한다. 이와 같이 화소(16)의 트랜지스터(11)와 게이트 드라이버 회로(12)의 양방을 P 채널 트랜지스터로 형성함으로써 기판(71)을 저 비용화할 수 있다. 그러나, 소스 드라이버(14)는 단위 트랜지스터(634)를 N 채널 트랜지스터로 형성할 필요가 있다. 따라서, 소스 드라이버 회로(14)는 기판(71)에 직접 형성할 수 없다. 그래서 별도로, 실리콘 칩 등으로 소스 드라이버 회로(14)를 제작하여 기판(71)에 적재한다. 즉, 본 발명은 소스 드라이버 IC(14)(영상 신호로서의 프로그램 전류를 출력하는 수단)을 외부 부착하는 구성이다.

또한, 소스 드라이버 회로(14)는 실리콘 칩으로 구성한다고 했지만 이것에 한정되는 것은 아니다. 예를 들면, 저온 폴리실리콘 기술 등으로 유리 기판에 다수개를 동시에 형성하고, 칩 형상으로 절단하여 기판(71)에 적재해도 된다. 또한

, 기판(71)에 소스 드라이버 회로를 적재하는 것으로 해서 설명하고 있지만, 적재에 한정되는 것은 아니다. 소스 드라이버 회로(14)의 출력 단자(681)를 기판(71)의 소스 신호선(18)에 접속하는 것이면 어느 형태여도 된다. 예를 들면, TAB 기술로 소스 드라이버 회로(14)를 소스 신호선(18)에 접속하는 방식이 예시된다. 실리콘 칩 등에 별도로 소스 드라이버 회로(14)를 형성함으로써, 출력 전류의 변동이 저감하고, 양호한 화상 표시를 실현할 수 있다. 또한, 저 비용화가 가능하다.

또한, 화소(16)의 선택 트랜지스터를 P 채널로 구성하고, 게이트 드라이버 회로를 P 채널 트랜지스터로 구성한다고 하는 구성은, 유기 EL 등의 자기 발광 디바이스(표시 패널 혹은 표시 장치)에 한정되는 것이 아니다. 예를 들면, 액정 표시 디바이스, FED(필드에미션 디스플레이)에도 적용할 수 있다.

화소(16)의 스위칭용 트랜지스터(11b, 11c)가 P 채널 트랜지스터로 형성되어 있으면, V_{gh}에서 화소(16)가 선택 상태로 된다. V_{gl}에서 화소(16)가 비선택 상태로 된다. 이전에도 설명했지만, 게이트 신호선(17a)이 온(V_{gl})에서 오프(V_{gh})로 될 때에 전압이 관통한다(관통 전압). 화소(16)의 구동용 트랜지스터(11a)가 P 채널 트랜지스터로 형성되어 있으면, 흑 표시 상태일 때, 이 관통 전압에 의해 트랜지스터(11a)가 보다 전류가 흐르지 않게 된다. 따라서, 양호한 흑 표시를 실현할 수 있다. 흑 표시를 실현하는 것이 곤란하다고 하는 점, 전류 구동 방식의 과제이다.

본 발명에서는, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성함으로써, 온 전압은 V_{gh}로 된다. 따라서, P 채널 트랜지스터로 형성된 화소(16)와 정합이 좋다. 또한, 흑 표시를 양호하게 하는 효과를 발휘시키기 위해서는, 도 1, 도 2, 도 32, 도 140, 도 142, 도 144, 도 145의 화소(16)의 구성과 같이, 애노드 전압 V_{dd}에서 구동용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(634)에 프로그램 전류 I_w가 유입되도록 구성하는 것이 중요하다. 따라서, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하며, 소스 드라이버 회로(14)를 기판에 적재하고, 또한 소스 드라이버 회로(14)의 단위 트랜지스터(634)를 N 채널 트랜지스터로 구성하는 것은, 뛰어난 상승 효과를 발휘한다. 또한, N 채널로 형성한 단위 트랜지스터(634)는 P 채널로 형성한 단위 트랜지스터(634)에 비교하여 출력 전류의 변동이 작다. 동일 면적(W · L)의 트랜지스터(634)에서 비교한 경우, N 채널의 단위 트랜지스터(634)는 P 채널의 단위 트랜지스터(634)에 비하여, 출력 전류의 변동은 1/1.5 내지 1/2로 된다. 이러한 이유로부터도 소스 드라이버 IC(14)의 단위 트랜지스터(634)는 N 채널로 형성하는 것이 바람직하다.

또한, 도 42의 (b)에 있어서도 마찬가지이다. 도 42의 (b)는 구동용 트랜지스터(11b)를 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(634)에 전류가 유입하는 것은 아니다. 그러나, 애노드 전압 V_{dd}에서 프로그램용 트랜지스터(11a), 소스 신호선(18)을 통하여 소스 드라이버 회로(14)의 단위 트랜지스터(634)에 프로그램 전류 I_w가 유입하도록 하는 구성이다. 따라서, 도 1과 같이, 게이트 드라이버 회로(12) 및 화소(16)를 P 채널 트랜지스터로 구성하고, 소스 드라이버 회로(14)를 기판에 적재하고, 또한 소스 드라이버 회로(14)의 단위 트랜지스터(634)를 N 채널 트랜지스터로 구성하는 것은, 뛰어난 상승 효과를 발휘한다.

또한, 본 발명에서는, 화소(16)의 구동용 트랜지스터(11a)를 P 채널로 구성하고, 스위칭 트랜지스터(11b, 11c)를 P 채널로 구성한다. 또한, 소스 드라이버 IC(14)의 출력단의 단위 트랜지스터(634)를 N 채널로 구성하는 것으로 했다. 또한, 바람직하게는 게이트 드라이버 회로(12)는 P 채널 트랜지스터로 구성한다고 했다.

전술한 역의 구성에서도 효과를 발휘하는 것은 물론이다. 화소(16)의 구동용 트랜지스터(11a)를 N 채널로 구성하고, 스위칭 트랜지스터(11b, 11c)를 N 채널로 구성한다. 또한, 소스 드라이버 IC(14)의 출력단의 단위 트랜지스터(634)를 P 채널로 하는 구성이다. 또한, 바람직하게는, 게이트 드라이버 회로(12)는 N 채널 트랜지스터로 구성한다. 이 구성도 본 발명의 구성이다.

이상의 사항에서는, 단위 트랜지스터(634)는 하나의 단체 트랜지스터(634)로 구성되는 IC에 한정되는 것이 아니다. 전류 출력단 회로가, 복수의 트랜지스터로 구성되는 것, 커런트 미러로 구성되는 것 등 다른 구성으로 구성되는 소스 드라이버 IC(14)에도 적용된다.

게다가, 저온 폴리실리콘, 고온 폴리실리콘 혹은 고상 성장에 의해 형성된 반도체막(CGS), 혹은 비정질 실리콘 기술을 이용하여 소스 드라이버 회로(14)에도 적용된다. 단, 이 경우에는 패널이 비교적 대형인 경우가 많다. 패널이 대형이면 다수의 소스 신호선(18)으로부터의 출력 변동이 있더라도 시각적으로 인식되기 어렵다.

따라서, 이상의 유리 기판 등에 화소 트랜지스터와 동시에 소스 드라이버 회로(14)를 형성하는 표시 패널에서는, 밀집되게 배치한다고 함은, 제1 전류원(631)과 제2 전류원(632)을 적어도 30mm 이내의 거리에 배치(전류의 출력측과 전류의 입력측)하는 것을 말한다. 또한, 20mm 이내에 배치하는 것이 바람직하다. 이 범위이면, 검토에 의해 이 범위에 배치된 트랜지스터의 특성(V_t, 모빌리티(μ)) 차가 거의 발생하지 않기 때문이다. 또한, 마찬가지로, 제2 전류원(632)과 제3 전류원(633)(전류의 출력측과 전류의 입력측)도 적어도 30mm 이내의 거리에 배치한다. 더욱 바람직하게는, 20mm 이내의 위치에 배치하는 것이 바람직하다.

이상의 설명은, 이해를 용이하게 혹은 설명을 쉽게 하기 위해서, 커런트 미러 회로 사이는 전압에 의해 신호를 교환하도록 설명했다. 그러나, 전류 교환 구성으로 함으로써, 보다 변동이 작은 전류 구동형 표시 패널의 구동용 드라이버 회로(IC)(14)를 실현할 수 있다.

도 67은 전류 교환 구성의 실시예이다. 또한, 도 66은 전압 교환 구성의 실시예이다. 도 66, 도 67 모두 회로도로서는 동일하고, 레이아웃 구성 즉 배선의 인출하는 방법이 서로 다르다. 도 66에 있어서, (631)은 제1단 전류원용 N 채널 트랜지스터, (632a)는 제2단 전류원용 N 채널 트랜지스터, (632b)는 제2단 전류원용 P 채널 트랜지스터이다.

도 67에 있어서, (631a)는 제1단 전류원용 N 채널 트랜지스터, (632a)는 제2단 전류원용 N 채널 트랜지스터, (632b)는 제2단 전류원용 P 채널 트랜지스터이다.

도 66에서는 가변 저항(651)(전류를 변화하기 위해서 이용하는 것임)과 N 채널 트랜지스터(631)로 구성되는 제1단 전류원의 게이트 전압이, 제2단 전류원의 N 채널 트랜지스터(632a)의 게이트에 교환되고 있기 때문에, 전압 교환 방식의 레이아웃 구성으로 된다.

한편, 도 67에서는, 가변 저항(651)과 N 채널 트랜지스터(631a)로 구성되는 제1단 전류원의 게이트 전압이, 인접하는 제2단 전류원의 N 채널 트랜지스터(632a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제2단 전류원의 P 채널 트랜지스터(632b)에 교환되고 있기 때문에, 전류 교환 방식의 레이아웃 구성으로 된다.

또한, 본 발명의 실시예에서는 설명을 쉽게 하기 위해서, 혹은 이해를 쉽게 하기 위해서, 제1 전류원과 제2 전류원의 관계를 중심으로 설명하고 있지만, 이것에 한정되는 것이 아니고, 제2 전류원과 제3 전류원의 관계, 혹은 그 이외의 전류원과의 관계에 있어서도 적용되는(적용될 수 있는) 것은 물론이다.

도 66에 도시한 전압 교환 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제1단의 전류원의 N 채널 트랜지스터(631)와 제2단의 전류원의 N 채널 트랜지스터(632a)가 따로따로 떨어지게(따로따로 떨어지게 되기 쉽다고 해야 하는 함) 되므로, 양자의 트랜지스터 특성에 상위가 발생하기 쉽다. 따라서, 제1단 전류원의 전류값이 제2단 전류원에 정확하게 전달되지 않아, 변동이 발생하기 쉽다.

이에 대하여, 도 67에 도시한 전류 교환 방식의 커런트 미러 회로의 레이아웃 구성에서는, 커런트 미러 회로를 구성하는 제1단 전류원의 N 채널 트랜지스터(631a)와 제2단 전류원의 N 채널 트랜지스터(632a)가 인접하고(인접하여 배치하기 쉬움) 있으므로, 양자의 트랜지스터 특성에 상위는 발생하기 어렵고, 제1단 전류원의 전류값이 제2단 전류원에 정확하게 전달되어, 변동이 발생하기 어렵다.

이상의 점으로부터, 본 발명의 다단식 커런트 미러 회로의 회로 구성(본 발명의 전류 구동 방식의 소스 드라이버 회로(IC)(14)로서, 전압 교환이 아니고, 전류 교환으로 되는 레이아웃 구성으로 함으로써, 보다 변동을 작게 할 수 있어서 바람직하다. 이상의 실시예는 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다.

또한, 설명의 형편상, 제1단 전류원으로부터 제2단 전류원의 경우를 나타냈지만, 제2단 전류원으로부터 제3단 전류원, 제3단 전류원으로부터 제4단 전류원, ...의 경우에도 마찬가지인 것은 물론이다.

도 68은 도 65의 3단 구성의 커런트 미러 회로(3단 구성의 전류원)를, 전류 교환 방식으로 한 경우의 예를 나타내고 있다(따라서, 도 65는 전압 교환 방식의 회로 구성임).

도 68에서는 우선, 가변 저항(651)과 N 채널 트랜지스터(631)로 기준 전류가 작성된다. 또한, 가변 저항(651)에서 기준 전류를 조정하도록 설명하고 있지만, 실제로는 소스 드라이버 IC(회로)(14) 내에 형성(혹은 배치)된 전자 볼륨 회로에 의해 트랜지스터(631)의 소스 전압이 설정되고, 조정되도록 구성된다. 혹은, 도 64에 도시하는 다수의 전류원(1단위)(634)으로 구성되는 전류 방식의 전자 볼륨으로부터 출력되는 전류를 직접 트랜지스터(631)의 소스 단자에 공급함으로써 기준 전류는 조정된다(도 69를 참조할 것).

트랜지스터(631)에 의한 제1단 전류원의 게이트 전압이, 인접하는 제2단 전류원의 N 채널 트랜지스터(632a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제2단 전류원의 P 채널 트랜지스터(632b)에 교환된다. 또한, 제2 전류원의 트랜지스터(632b)에 의한 게이트 전압이, 인접하는 제3단 전류원의 N 채널 트랜지스터(633a)의 게이트에 인가되고, 그 결과 트랜지스터에 흐르는 전류값이, 제3단 전류원의 N 채널 트랜지스터(633b)에 교환된다. 제3단 전류원의 N 채널 트랜지스터(633b)의 게이트에는 도 64에 도시하는 다수의 전류원(634)이 필요한 비트 수에 따라 형성(배치)된다.

도 69에서는 상기 다단식 커런트 미러 회로의 제1단 전류원(631)에, 전류값 조정용 소자가 구비되어 있는 것을 특징으로 하고 있다. 이 구성에 의해, 제1단 전류원(631)의 전류값을 변화시킴으로써, 출력 전류를 컨트롤하는 것이 가능

해진다.

트랜지스터의 V_t 변동(특성 변동)은, 1 웨이퍼 내에서 100(mV) 정도의 변동이 있다. 그러나, 100 μ 이내에 근접하여 형성된 트랜지스터의 V_t 변동은, 적어도, 10(mV) 이하이다(실측). 즉, 트랜지스터를 근접하여 형성하고, 커런트 미러 회로를 구성함으로써, 커런트 미러 회로의 출력 전류 변동을 감소시킬 수 있다. 따라서, 소스 드라이버 IC의 각 단자의 출력 전류 변동을 적게 할 수 있다.

또한, 트랜지스터의 변동은 V_t 라고 하여 설명하지만, 트랜지스터의 변동은 V_t 뿐만 아니다. 그러나, V_t 변동이 트랜지스터의 특성 변동의 주요인이므로, 이해를 쉽게 하기 위해서, V_t 변동=트랜지스터 변동으로 하여 설명을 한다.

도 110은 트랜지스터의 형성 면적(평방 밀리미터)과, 단체 트랜지스터의 출력 전류 변동의 측정 결과를 나타내고 있다. 출력 전류 변동이란, V_t 전압에서의 전류 변동이다. 흑점은 소정의 형성 면적 내에 제작된 평가 샘플(10-200개)의 트랜지스터 출력 전류 변동이다. 도 110의 A 영역(형성 면적 0.5 평방 밀리미터 이내) 내에서 형성된 트랜지스터에는, 거의 출력 전류의 변동이 없다(거의, 오차 범위의 출력 전류 변동밖에 없음. 즉, 일정한 출력 전류가 출력됨). 반대로 C 영역(형성 면적 2.4평방 밀리미터 이상)에서는, 형성 면적에 대한 출력 전류의 변동이 급격히 커지는 경향이 있다. B 영역(형성 면적 0.5평방 밀리미터 이상 2.4평방 밀리미터 이하)에서는, 형성 면적에 대한 출력 전류의 변동은 거의 비례의 관계에 있다.

단, 출력 전류의 절대값은, 웨이퍼마다 서로 다르다. 그러나, 이 문제는 본 발명의 소스 드라이버 회로(IC)(14)에 있어서, 기준 전류를 조정하는 것, 혹은 소정값으로 하는 것에 의해 대응할 수 있다. 또한, 커런트 미러 회로 등의 회로 고안으로 대응할 수 있다(해결할 수 있음).

본 발명은 입력 디지털 데이터(D)에 의해, 단위 트랜지스터(634)에 흐르는 전류 수를 전환함으로써 소스 신호선(18)에 흐르는 전류량을 변화(제어)한다. 계조 수가 64 계조 이상이면, $1/64=0.015$ 이므로, 이론적으로는, 1 2% 이내의 출력 전류 변동 이내로 할 필요가 있다. 또한, 1% 이내의 출력 변동은, 시각적으로는 판별하는 것이 곤란해져, 0.5% 이하에서는 거의 판별할 수 없다(균일하게 보임).

출력 전류 변동(%)을 1% 이내로 하기 위해서는, 도 110의 결과에 도시한 바와 같이 트랜지스터군(변동의 발생을 억제하여야 할 트랜지스터)의 형성 면적을 2평방 밀리미터 이내로 할 필요가 있다. 더욱 바람직하게는, 출력 전류의 변동(즉, 트랜지스터의 V_t 변동)을 0.5% 이내로 하는 것이 바람직하다. 도 110의 결과에 도시한 바와 같이 트랜지스터군(681)의 형성 면적을 1.2평방 밀리미터 이내로 하면 된다. 또한, 형성 면적이란, 세로×가로로 길이의 면적이다. 예를 들면, 일례로서, 1.2평방 밀리미터에서는 1mm×1.2mm이다.

또한 이상은, 특히 8 비트(256 계조) 이상인 경우이다. 256 계조 이하의 경우, 예를 들면, 6 비트(64 계조)인 경우에는, 출력 전류의 변동은 2% 정도이더라도 무방하다(화상 표시 상, 실상은 문제가 없음). 이 경우에는, 트랜지스터군(681)은 5평방 밀리미터 이내로 형성하면 된다. 또한, 트랜지스터군(681)(도 68에서는 트랜지스터군(681a와 681b)의 2개를 도시하고 있음)의 양방이, 이 조건을 만족하는 것을 요하지 않는다. 적어도 한쪽이(3개 이상 있는 경우에는, 하나 이상의 트랜지스터군(681)) 이 조건을 만족하도록 구성하면 본 발명의 효과가 발휘된다. 특히, 하위의 트랜지스터군(681)(681a)이 상위이고, (681b)가 하위의 관계)에 관하여 이 조건을 만족시키는 것이 바람직하다. 화상 표시에 문제가 발생하기 어렵게 되기 때문이다.

본 발명의 소스 드라이버 회로(IC)(14)는, 도 68에 도시하는 바와 같이, 모, 자, 손이라는 식으로 적어도 복수의 전류원을 다단 접속하고, 또한 각 전류원 밀집 배치로 하고 있다(물론 모, 자의 2단 접속이어도 됨). 또한, 각 전류원 사이(트랜지스터군(681) 사이)를 전류 교환으로 하고 있다. 구체적으로는, 도 68의 점선으로 둘러싼 범위(트랜지스터군(681))를 밀집 배치로 한다. 이 트랜지스터군(681)은 전압 교환의 관계에 있다. 또한, 모의 전류원(631)과 자의 전류원(632a)은, 소스 드라이버 IC(14) 칩의 대략 중앙부에 형성 또는 배치한다. 칩의 좌우에 배치된 자의 전류원을 구성하는 트랜지스터(632a)와, 자의 전류원을 구성하는 트랜지스터(632b)와의 거리를 비교적 짧게 할 수 있기 때문이다. 즉, 최상위의 트랜지스터군(681a)을 IC 칩의 대략 중앙부에 배치한다. 그리고, IC 칩(14)의 좌우에, 하위의 트랜지스터군(681b)을 배치한다. 바람직하게는, 이 하위의 트랜지스터군(681b)의 개수가 IC 칩의 좌우로 대략 동일하게 되도록 배치 또는, 형성 혹은 제작하는 것이다. 또한, 이상의 사항은 IC 칩(14)에 한정되지 않고, 저온 혹은 고온 폴리실리콘 기술로 어레이 기판(71)에 직접 형성한 소스 드라이버 회로(14)에도 적용된다. 다른 사항도 마찬가지이다.

본 발명에서는, 트랜지스터군(681a)은 IC 칩(14)의 대략 중앙부에 하나 구성 또는 배치 또는 형성 혹은 제작되었을 때, 칩의 좌우에 8개씩 트랜지스터군(681b)이 형성되어 있다($N=8+8$, 도 63을 참조할 것). 자의 트랜지스터군(681b)은 칩의 좌우와 동일하게 되도록, 혹은 칩 중앙의 모가 형성된 위치에 대하여, 좌측에 형성 또는 배치된 트랜지스터군(681b)의 개수와, 칩의 우측에 형성 또는 배치된 트랜지스터군(681b)의 개수의 차가, 4개 이내로 되도록 구성하는 것이 바람직하다. 나아가서는, 칩의 좌측에 형성 또는 배치된 트랜지스터군(681b)의 개수와, 칩의 우측에 형성 또는 배치된 트랜지스터군(681b)의 개수의 차가, 하나 이내로 되도록 구성하는 것이 바람직하다. 이상의 사항은, 손에 대응

하는 트랜지스터군(도 68에서는 생략되어 있지만)에 대해서도 마찬가지이다.

모 전류원(631)과 자 전류원(632a) 사이는 전압 교환(전압 접속)되어 있다. 따라서, 트랜지스터의 V_t 변동의 영향을 받기 쉽다. 그 때문에, 트랜지스터군(681a)의 부분을 밀집 배치한다. 이 트랜지스터군(681a)의 형성 면적을, 도 110의 도시하는 바와 같이 2평방 밀리미터 이내의 면적에 형성한다. 더욱 바람직하게는 1.2평방 밀리미터 이내에 형성한다. 물론, 게조 수가 64 게조 이하인 경우에는, 5평방 밀리미터 이내여도 된다.

트랜지스터군(681a)을 자 트랜지스터(632b) 사이는 전류로 데이터를 교환(전류 교환)을 하고 있기 때문에, 다소, 거리는 흐르더라도 상관없다. 이 거리의 범위(예를 들면, 상위의 트랜지스터군(681a)의 출력단으로부터 하위의 트랜지스터군(681b)의 입력단까지의 거리)는, 앞에서 설명한 바와 같이, 제2 전류원(자)을 구성하는 트랜지스터(632a)와 제2 전류원(자)을 구성하는 트랜지스터(632b)를, 적어도 10mm 이내의 거리에 배치한다. 바람직하게는 8mm 이내에 배치 또는 형성한다. 게다가, 5mm 이내에 배치하는 것이 바람직하다.

이 범위이면, 검토에 의해 실리콘 칩 내에서 배치되어 트랜지스터의 특성(V_t , 모빌리티(μ)) 차가, 전류 교환에서는 거의 영향을 주기 않기 때문이다. 특히, 이 관계는 하위의 트랜지스터군으로 실시하는 것이 바람직하다. 예를 들면, 트랜지스터군(681a)이 상위이고, 그 하위에 트랜지스터군(681b), 또 그 하위에 트랜지스터군(681c)이 있으면, 트랜지스터군(681b)과 트랜지스터군(681c)의 전류 교환을 이 관계를 만족시킨다. 따라서, 모든 트랜지스터군(681)이 이 관계를 만족시키는 것에, 본 발명이 한정되는 것이 아니다. 적어도 1조의 트랜지스터군(681)이 이 관계를 만족하도록 하면 된다. 특히, 하위 쪽이 트랜지스터군(681)의 개수가 많아지기 때문이다.

제3 전류원(손자)을 구성하는 트랜지스터(633a)와 제3 전류원을 구성하는 트랜지스터(633b)에 대해서도 마찬가지이다. 또한, 전압 교환에서도 거의 적용할 수 있음은 물론이다.

트랜지스터군(681b)은 칩의 좌우 방향(길이 방향, 즉 출력 단자(761)와 대면하는 위치에)에 형성 또는 제작 혹은 배치되어 있다. 트랜지스터군(681b)은 칩의 좌우 방향(길이 방향, 즉, 출력 단자(761)와 대면하는 위치)에 형성 또는 제작 혹은 배치되어 있다. 이 트랜지스터군(681b)의 개수 M은 본 발명에서는 11개(도 63을 참조)이다.

자 전류원(632b)과 손 전류원(633a) 사이는 전압 교환(전압 접속)되어 있다. 그 때문에, 트랜지스터군(681a)과 같이 트랜지스터군(681b)의 부분을 밀집 배치한다. 이 트랜지스터군(681b)의 형성 면적을, 도 110에 도시하는 바와 같이 2평방 밀리미터 이내의 면적에 형성한다. 더욱 바람직하게는 1:2 평방 밀리미터 이내에 형성한다. 단, 이 트랜지스터군(681b) 부분의 V_t 가 조금이라도 변동되면 화상으로서 인식되기 쉽다. 따라서, 거의 변동이 발생하지 않도록, 형성 면적은 도 110의 A 영역(0.5평방 밀리미터 이내)으로 하는 것이 바람직하다.

트랜지스터군(681b)을 손자 트랜지스터(633a)와 트랜지스터(633b) 사이는 전류로 데이터를 교환(전류 교환)을 하고 있기 때문에, 다소, 거리는 흐르더라도 상관없다. 이 거리의 범위에 대해서도 앞의 설명과 마찬가지이다. 제3 전류원(손자)을 구성하는 트랜지스터(633a)와 제2 전류원(손자)을 구성하는 트랜지스터(633b)를, 적어도 8mm 이내의 거리에 배치한다. 나아가서는, 5mm 이내에 배치하는 것이 바람직하다.

도 69에 상기 전류값 제어용 소자로서, 전자 볼륨으로 구성한 경우를 도시한다. 전자 볼륨은 저항(691)(전류 제한 및 각 기준 전압을 작성한다. 저항(691)은 폴리실리로 형성함), 디코더 회로(692), 레벨 시프터 회로(693) 등으로 구성된다. 또한, 전자 볼륨은 전류를 출력한다. 트랜지스터(641)는 아날로그 스위칭 회로로서 기능한다.

또한, 소스 드라이버 IC(회로)(14)에 있어서, 트랜지스터를 전류원이라고 기재하는 경우가 있다. 트랜지스터로 구성된 커런트 미러 회로 등은 전류원으로서 기능하기 때문이다.

또한, 전자 볼륨 회로는, EL 표시 패널의 색 수에 대응하여 형성(혹은 배치)한다. 예를 들면, RGB의 3원색이면, 각 색에 대응하는 3개의 전자 볼륨 회로를 형성(혹은 배치)하고, 각 색을 독립적으로 조정할 수 있도록 하는 것이 바람직하다. 그러나, 하나의 색을 기준으로 하는(고정하는) 경우에는, 색 수 -1 만큼의 전자 볼륨 회로를 형성(혹은 배치)한다.

도 76은 RGB의 3원색을 독립적으로 기준 전류를 제어하는 저항 소자(651)를 형성(배치)한 구성이다. 물론, 저항 소자(651)는 전자 볼륨으로 치환하여도 되는 것은 물론이다. 전류원(631), 전류원(632) 등의 모 전류원, 자 전류원 등 기본(근 본)이 되는 전류원은 도 76에 도시하는 영역에 출력 전류 회로(704)에 밀집되게 배치한다. 밀집되게 배치함으로써, 각 소스 신호선(18)으로부터의 출력 변동이 저감한다. 도 76에 도시하는 바와 같이 IC 칩(회로)(14)의 중앙부에 출력 전류 회로(704)(전류 출력 회로에 한정되는 것이 아님. 기준 전류 발생 회로부, 컨트롤러부여도 됨. 즉 (704)란 출력 회로가 형성되어 있지 않은 영역임)에 배치함으로써, IC 칩(회로)(14)의 좌우에 전류원(631, 632) 등으로부터 전류를 균등하게 분배하는 것이 용이해진다. 따라서, 좌우의 출력 변동이 발생하기 어렵다.

단, 중앙부에 출력 전류 회로(704)에 배치하는 것에 한정되는 것은 아니다. IC 칩의 일단 혹은 양단에 형성해도 된다.

또한, 출력 전류 회로(704)와 평행하게 형성 또는 배치해도 된다.

IC 칩(14)의 중앙부에 컨트롤러 혹은 출력 전류 회로(704)를 형성하는 것은, IC 칩(14)의 단위 트랜지스터(634)의 V_t 분포의 영향을 받기 쉽기 때문에, 그다지 바람직하다고는 할 수 없다(웨이퍼의 V_t 는 웨이퍼 내에서 원활한 분포가 발생하고 있음).

이 이유를 도 120에서 설명을 한다. IC 칩(14)의 중앙부에 컨트롤러 혹은 출력 전류 회로(704)를 형성하면, 중앙부에는 단위 트랜지스터(634)로 이루어지는 출력 전류 회로를 형성 또는 구성할 수 없다. 한편 표시 패널의 표시 화면(50)은 매트릭스 형상으로 화소(16)가 형성되어 있다. 화소는 바둑판형 형상으로 등간격으로 형성되어 있다. 따라서, 도 120에 도시하는 바와 같이, IC 칩(14)의 중앙부에는 출력 전류 회로의 출력 단자(761b)가 없다. 그 때문에, 패널의 표시 화면(50)의 중앙부에는, EL 소자(15)의 중앙부 이외의 출력 단자(761a, 761c)로부터 배선을 인출한다.

그러나, 출력 단자(761b, 761c)에 접속되는 출력 회로의 단위 트랜지스터의 V_t 는 다른 가능성이 있다. 각 출력 단자의 단위 트랜지스터(634)의 게이트 단자 전압이 동일하더라도, 단위 트랜지스터(634)의 V_t 분포에 의해 출력 전류가 서로 다르다. 따라서, 패널의 중앙부에서 출력 전류의 단차가 발생할 가능성이 있다. 출력 전류의 단차가 발생하면, 화면의 중앙부에서 좌우의 휘도가 서로 다르다.

이 과제를 해결하는 구성을 도 122에 도시한다. 도 122의 (a)는 출력 전류 회로(704)를 IC 칩의 편측에 구성한 예이다. 도 122의 (b)는 출력 전류 회로(704)를 IC 칩의 양측으로 분할하여 구성한 예이다. 도 122의 (c)는 출력 전류 회로(704)를 IC 칩의 입력 단자측에 구성한 예이다. 따라서, 출력 전류 회로(704) 이외의 영역에 출력 단자가 규칙적으로 형성되어 있다.

도 68의 회로 구성에서는, 하나의 트랜지스터(633a)와 하나의 트랜지스터(633b)가 일대일의 완성으로 접속되어 있다. 도 67에 있어서도, 하나의 트랜지스터(632a)와 하나의 트랜지스터(632b)가 일대일의 완성으로 접속되어 있다. 도 65 등에서도 마찬가지이다.

그러나, 하나의 트랜지스터와 하나의 트랜지스터가 일대일의 관계로 접속되어 있으면, 대응하는 트랜지스터의 특성(V_t 등)의 특성이 변동과 이 트랜지스터에 접속된 트랜지스터의 출력에 변동이 발생한다.

이 과제를 해결하는 구성의 실시예가 도 123의 구성이다. 도 123의 구성은 일례로서 4개의 트랜지스터(633a)로 이루어지는 전달 트랜지스터군(681b)(681b1, 681b2, 681b3)과 4개의 트랜지스터(633b)로 이루어지는 전달 트랜지스터군(681c)(681c1, 681c2, 681c3)이 접속되어 있다. 단, 전달 트랜지스터군(681b), 전달 트랜지스터군(681c)은 각각 4개의 트랜지스터(633)로 구성되는 것으로 했지만 이것에 한정되는 것이 아니고, 3 이하여도 되고, 5 이상이어도 되는 것은 물론이다. 즉, 트랜지스터(633a)에 흐르는 기준 전류 I_b 를, 트랜지스터(633a)와 커런트 미러 회로를 구성하는 복수의 트랜지스터(633)로 출력하고, 이 출력 전류를 복수의 트랜지스터(633b)에서 받는 것이다. 복수의 트랜지스터(633a)와 복수의 트랜지스터(633b)는 대략 동일 사이즈이고, 또한 동일 개수로 설정하는 것이 바람직하다. 또한, 1 출력을 구성하는 단위 트랜지스터(634)의 개수(도 124와 같이 64 계조의 경우에는 63개)와, 단위 트랜지스터(634)와 커런트 미러를 구성하는 트랜지스터(633b)의 개수는 대략 동일 사이즈, 또한 동일 개수로 하는 것이 바람직하다. 이상과 같이 구성하면 전류 배율이 정밀도 있게 설정 가능하고, 또한 출력 전류의 변동도 적어진다.

또한, 트랜지스터(633b)에 흐르는 전류 I_{c1} 에 대하여, (632b)에 흐르는 전류 I_b 는 5배 이상으로 되도록 설정하는 것이 바람직하다. 트랜지스터(633a)의 게이트 전위가 안정되고, 출력 전류에 의한 과도 현상의 발생을 억제할 수 있기 때문이다.

또한, 전달 트랜지스터군(681b1)에는 4개의 트랜지스터(633a)가 인접하여 배치되고, 전달 트랜지스터군(681b1)에 인접하여 전달 트랜지스터군(681b2)이 배치되고, 이 전달 트랜지스터군(681b2)에는 4개의 트랜지스터(633a)가 인접하여 배치되는 식으로 형성되는 것으로 하고 있지만 이것에 한정되는 것은 아니다. 예를 들면, 전달 트랜지스터군(681b1)의 트랜지스터(633a)와 전달 트랜지스터군(681b2)의 트랜지스터(633a)가 서로 위치 관계를 교차하도록 배치 또는 형성해도 된다. 위치 관계를 교차(트랜지스터(633)의 배치를 전달 트랜지스터군(681) 사이에서 교체함)시킴으로써, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 보다 적게 할 수 있다.

이와 같이 전류 교환하는 트랜지스터를 복수의 트랜지스터로 구성함으로써, 트랜지스터군 전체로서 출력 전류의 변동이 적어져, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 보다 적게 할 수 있다.

전달 트랜지스터군(681)을 구성하는 트랜지스터(633)의 형성 면적의 총합이 중요한 항목이다. 기본적으로 트랜지스터(633)의 형성 면적의 총합이 클수록, 출력 전류(소스 신호선(18)으로부터 유입하는 프로그램 전류)의 변동은 적어진다. 즉, 전달 트랜지스터군(681)의 형성 면적(트랜지스터(633)의 형성 면적의 총합)이 클수록 변동은 작아진다. 그러나, 트랜지스터(633)의 형성 면적이 커지면 칩 면적이 커져, IC 칩(14)의 가격이 높아진다.

또한, 전달 트랜지스터군(681)의 형성 면적이란, 전달 트랜지스터군(681)을 구성하는 트랜지스터(633)의 면적의 총합이다. 또한, 트랜지스터(633)의 면적이란, 트랜지스터(633)의 채널 길이 L과 트랜지스터(633)의 채널 폭 W를 곱한 면적을 말한다. 따라서, 트랜지스터군(681)이 10개의 트랜지스터(633)로 구성되고, 트랜지스터(633)의 채널 길이 L이 $10\mu\text{m}$, 트랜지스터(633)의 채널 폭 W가 $5\mu\text{m}$ 라고 하면, 전달 트랜지스터군(681)의 형성 면적 T_m (평방 μm)은 $10\mu\text{m} \times 5\mu\text{m} \times 10\text{개} = 500$ (평방 μm)이다.

전달 트랜지스터군(681)의 형성 면적은 단위 트랜지스터(634)와의 관계를 소정의 관계를 유지하도록 할 필요가 있다. 또한, 전달 트랜지스터군(681a)과 전달 트랜지스터군(681b)은 소정의 관계를 유지하도록 할 필요가 있다.

트랜지스터군(681)의 형성 면적과 단위 트랜지스터(634)의 관계에 대하여 설명한다. 도 66에서도 도시하고 있는 바와 같이, 하나의 트랜지스터(633b)에 대응하여 복수의 단위 트랜지스터(634)가 접속되어 있다. 64 계조인 경우에는, 하나의 트랜지스터(633b)에 대응하는 단위 트랜지스터(634)는 63개이다(도 64의 구성의 경우). 이 단위 트랜지스터군의 형성 면적 T_s (평방 μm)는, 단위 트랜지스터(633)의 채널 길이 L이 $10\mu\text{m}$, 트랜지스터(633)의 채널 폭 W가 $10\mu\text{m}$ 라고 하면, $10\mu\text{m} \times 10\mu\text{m} \times 63\text{개} = 6300$ 평방 μm 이다.

도 64의 트랜지스터(633b)가, 도 123에서는 전달 트랜지스터군(681c)이 해당된다. 단위 트랜지스터군의 형성 면적 T_s 와 전달 트랜지스터군(681c)의 형성 면적 T_m 은, 이하의 관계로 되도록 한다.

$$1/4 \leq T_m/T_s \leq 6$$

더욱 바람직하게는, 단위 트랜지스터군의 형성 면적 T_s 와 전달 트랜지스터군(681c)의 형성 면적 T_m 은, 이하의 관계로 되도록 한다.

$$1/2 \leq T_m/T_s \leq 4$$

이상의 관계를 만족시킴으로써, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 적게 할 수 있다.

또한, 전달 트랜지스터군(681b)의 형성 면적 T_{mm} 은 전달 트랜지스터군(681c)의 형성 면적 T_{ms} 와는, 이하의 관계로 되도록 한다.

$$1/2 \leq T_{mm}/T_{ms} \leq 8$$

더욱 바람직하게는, 단위 트랜지스터군의 형성 면적 T_s 와 전달 트랜지스터군(681c)의 형성 면적 T_m 은, 이하의 관계로 되도록 한다.

$$1 \leq T_m/T_s \leq 4$$

이상의 관계를 만족시킴으로써, 각 단자에서의 출력 전류(프로그램 전류)의 변동을 적게 할 수 있다.

트랜지스터군(681b1)으로부터의 출력 전류 I_{c1} , 트랜지스터군(681b2)으로부터의 출력 전류 I_{c2} , 트랜지스터군(681b2)으로부터의 출력 전류 I_{c3} 으로 할 때, 출력 전류 I_{c1} , 출력 전류 I_{c2} , 및 출력 전류 I_{c3} 은 일치시킬 필요가 있다. 본 발명에서는, 트랜지스터군(681)은 복수의 트랜지스터(633)로 구성하고 있기 때문에, 개개의 트랜지스터(633)가 변동되고 있더라도, 트랜지스터군(681)으로서는, 출력 전류 I_c 의 변동은 발생하지 않는다.

또한, 이상의 실시예는 도 68과 같이 3단의 커런트 미러 접속(다단의 커런트 미러 접속)의 구성에 한정되는 것이 아니다. 1단의 커런트 미러 접속에도 적용할 수 있는 것은 물론이다. 또한, 도 123의 실시예는, 복수의 트랜지스터(633a)로 이루어지는 트랜지스터군(681b)(681b1, 681b2, 681b3……)과 복수의 트랜지스터(633b)로 이루어지는 트랜지스터군(681c)(681c1, 681c2, 681c3……)을 접속한 실시 예였다. 그러나, 본 발명은 이것에 한정되는 것이 아니고, 하나의 트랜지스터(633a)와 복수의 트랜지스터(633b)로 이루어지는 트랜지스터군(681c)(681c1, 681c2, 681c3……)을 접속해도 된다. 또한, 복수의 트랜지스터(633a)로 이루어지는 트랜지스터군(681b)(681b1, 681b2, 681b3……)과 하나의 트랜지스터군(633b)을 접속해도 된다.

도 64에 있어서, 스위치(641a)는 0 비트째에 대응하고, 스위치(641b)는 1 비트째에 대응하고, 스위치(641c)는 2 비트째에 대응하고, …… 스위치(641f)는 5 비트째에 대응한다. 0 비트째는 하나의 단위 트랜지스터로 구성되고, 1 비트째는 2개의 단위 트랜지스터로 구성되고, 2 비트째는 4개의 단위 트랜지스터로 구성되고, ……5 비트째는 32개의 단위 트랜지스터로 구성된다. 설명을 쉽게 하기 위해서, 소스 드라이버 회로(14)는 64 계조 표시 대응이고, 6 비트로 하여 설명을 한다.

본 발명의 드라이버(14)의 구성에서는, 1 비트째는 0 비트째에 대하여 2배의 프로그램 전류를 출력한다. 2 비트째는 1 비트째에 대하여 2배의 프로그램 전류를 출력한다. 3 비트째는 2 비트째에 대하여 2배의 프로그램 전류를 출력한다. 4 비트째는 3 비트째에 대하여 2배의 프로그램 전류를 출력한다. 5 비트째는 4 비트째에 대하여 2배의 프로그램 전류를 출력한다. 반대로 말하면, 각 인접한 비트는 정확하게 2배의 프로그램 전류를 출력할 수 있도록 구성할 필요가 있다.

그러나 실제로는, 각 비트를 구성하는 단위 트랜지스터(634)의 변동에 의해, 각 단자는 정확하게 2배의 프로그램 전류를 출력하도록 구성하는 것은 어렵다(할 수 없다고 하는 의미는 아니지만). 이 과제를 해결하는 1 실시예가 도 124의 구성이다.

도 124의 구성에서는, 각 비트의 단위 트랜지스터(634) 외에, 조정용의 트랜지스터를 형성 또는 배치하고 있다. 조정용의 트랜지스터(1241)는 제5 비트(스위치(641f)가 대응)와, 제4 비트(스위치(641e)가 대응)하고 있다.

도 124의 실시예에서는, 제5 비트째(스위치(641f)에 접속된 단위 트랜지스터(634) 부분이 해당), 제4 비트(스위치(641d)에 접속된 단위 트랜지스터(634) 부분이 해당)에, 조정용 트랜지스터(1241)를 배치 또는 형성 혹은 구성하고 있다. 조정용 트랜지스터(1241)는 제5 비트와 제4 비트째에 4개씩 배치하고 있다. 그러나, 본 발명은 이것에 한정되는 것이 아니다. 각 비트에 부가하는 조정용 트랜지스터(1241)의 개수는 변화시켜도 되고, 또한 모든 비트에 조정용 트랜지스터(1241)를 부가(형성 혹은 구성 혹은 배치)해도 된다. 조정용 트랜지스터(1241)는 단위 트랜지스터(634)의 사이즈에 비교하여 작게 한다. 혹은, 단위 트랜지스터(634)의 출력 전류에 비교하여 출력 전류를 적게 한다. 트랜지스터 사이즈가 동일하더라도 W/L비를 변화시킴으로써 출력 전류는 다를 수 있다.

또한, 조정용 트랜지스터(1241)의 게이트 단자는, 단위 트랜지스터(634)의 게이트 단자와 공통으로 하여, 동일한 게이트 전압이 인가되도록 구성 혹은 접속한다. 따라서, 트랜지스터(633)에 Ib 전류가 흐르면, 단위 트랜지스터(634)의 게이트 전압이 설정되고, 단위 트랜지스터(634)가 출력하는 전류가 규정된다. 동시에 조정용 트랜지스터(1241)의 출력 전류도 규정된다. 즉, 조정용 트랜지스터(1241)의 출력 전류는, 단위 트랜지스터(634)의 출력 전류에 비례한다. 또한, 출력 전류는 단위 트랜지스터(634)와 쌍을 이루는 트랜지스터(633)에 흐리는 Ib 전류로 제어할 수 있다.

본 발명에서는, 하나의 단위 트랜지스터(634)의 사이즈가, 2개 이상의 조정용 트랜지스터의 사이즈를 가한 사이즈 이상의 관계로 되도록 구성한다. 즉, 단위 트랜지스터(634) 사이즈 > 조정용 트랜지스터(1241) 사이즈의 관계로 되도록 한다. 또한, 2개 이상의 조정용 트랜지스터(1241)의 총합했을 때에, 총합의 사이즈가 단위 트랜지스터(634) 사이즈를 상회하도록 구성 혹은 형성한다. 조정용 트랜지스터(1241)의 동작 개수를 제어함으로써, 각 비트에서의 출력 전류의 변동을 조금씩 조정할 수 있다.

또한, 다른 실시예에서는, 본 발명에서는, 하나의 단위 트랜지스터(634)의 출력 전류가, 2개 이상의 조정용 트랜지스터의 출력 전류를 가한 전류의 총합 이상의 관계로 되도록 구성한다. 즉, 단위 트랜지스터(634)의 출력 전류 > 조정용 트랜지스터(1241)의 출력 전류의 관계로 되도록 한다. 조정용 트랜지스터(1241)의 동작 개수를 제어함으로써, 각 비트에서의 출력 전류의 변동을 조금씩 조정할 수 있다.

도 125는 조정용 트랜지스터(1241)로, 각 비트의 출력 전류의 조정 방법을 설명하는 설명도이다. 도 125는 조정용 트랜지스터(1241)가 4개 형성된 부분을 나타내고 있다.

또한, 설명을 쉽게 하기 위해서, 출력 전류의 조정의 대상으로 되는 비트의 목표 출력 전류를 Ia로 하고, 현재의 출력 전류 Ib는, 목표 출력 전류 Ia에 대하여 Ie만큼 적은 상태에서 제작되어 있다고 한다($I_a = I_b + I_e$). 또한, 조정용 트랜지스터(1241)의 4개의 트랜지스터 전부가 정상적으로 동작했을 때의 전류를 Ig로 하고, 트랜지스터가 프로세스상 변동하더라도, 반드시, $I_g > I_e$ 로 되도록 구성한다. 따라서, 4개의 조정용 트랜지스터(1241)가 동작하고 있는 상태에서는, 출력 전류 Ib는 목표 출력 전류 Ia를 넘어서 있다($I_b > I_a$).

이상의 상태에서, 조정용 트랜지스터(1241)를 공통 단자(1252)로부터 분리하여 목표 출력 전류 Ia로 한다. 조정은 조정용 트랜지스터(1241)를 레이저 컷트하여 행한다. 레이저 컷트는 YAG 레이저를 이용하는 것이 적당하다. 기타, 네온헬륨 레이저, 탄산 가스 레이저도 이용할 수 있다. 또한, 샌드브래스터 등의 기계 가공으로도 실현할 수 있다.

도 125에서는 2 개소의 컷트 개소(1251)를 절단하여, 트랜지스터(1241a, 1241b)를 공통 단자(1252)로부터 분리하고 있다. 따라서, Ig 전류는 1/2로 된다. 이상과 같이, 조정용 트랜지스터(1241)를 공통 단자(1252)로부터 분리하여 가서, 목표 출력 전류 Ia로 되도록 조정해 간다. 출력 전류는 미소 전류계로 측정하여, 측정치가 목표치로 되었을 때에, 절단하는 조정용 트랜지스터(1241)를 절단하는 것을 정지한다.

또한, 도 125의 설명에 있어서, 컷트 개소(1251)를 레이저에 의해 절단하여, 출력 전류를 조정한다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 조정용 트랜지스터(1241)에 직접 레이저 광을 조사하고, 조정용 트랜지스터(1241)

를 파괴하여 출력 전류를 조정해도 된다. 또한, 컷트 개소(1251)에 아날로그 스위치 등을 형성해 놓고, 이 아날로그 스위치를 외부로부터의 제어 신호에 의해 온 오프시켜, g점에 접속되는 조정용 트랜지스터(1241)의 개수를 변화시켜도 된다. 즉, 본 발명은 조정용 트랜지스터(1241)를 형성하고, 이 조정용 트랜지스터(1241)로부터의 전류를 온 오프 시킴으로써, 목표의 출력 전류로 되도록 하는 것이다. 따라서, 다른 구성이어도 되는 것은 물론이다. 또한, 컷트 개소(1251)에서 절단하는 것에 한정되는 것이 아니고, 미리, 컷트 개소를 오픈으로 하여 두고, 금속막 등을, 이 컷트 개소에 퇴적시킴으로써 접속해도 된다.

또한, 조정용 트랜지스터(1241)를 별도 형성해 둔다고 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 단위 트랜지스터(634)의 일부를 트리밍함으로써, 단위 트랜지스터(634)의 출력 전류를 조정하는 것에 의해, 목표의 출력 전류로 되도록 해도 된다. 또한, 각 비트를 구성하는 단위 트랜지스터(634)의 게이트 단자 전압을 개별로 조정함으로써, 각 비트의 출력 전류를 목표 전류로 하는 것이어도 된다. 예를 들면, 일례로서, 단위 트랜지스터(634)의 게이트 단자에 접속된 배선을 트리밍하여, 고 저항화하는 것에 의해 달성시킬 수 있다.

도 166은 조정용 트랜지스터(1241) 혹은 단위 트랜지스터(634)의 일부를 도시한 것이다. 복수의 단위 트랜지스터(634)(조정용 트랜지스터(1241))는 내부 배선(1662)으로 접속되어 있다. 조정용 트랜지스터(1241)는 트리밍하기 쉽게 소스 단자(S 단자)에 절개가 들어가 있다. 조정용 트랜지스터(1241)는 절단 개소(1661b)를 컷트함으로써 조정용 트랜지스터 1241의 채널 사이를 흐르는 전류가 제한된다. 따라서, 전류 출력단(704)의 출력 전류가 적어진다. 또한, 절개를 형성 하는 개소는 소스 단자에 한정되는 것이 아니고, 드레인 단자여도 되고, 게이트 단자여도 된다. 또한, 절개를 형성하지 않더라도 조정용 트랜지스터(1241)의 일부를 절단할 수 있는 것은 물론이다. 또한, 조정용 트랜지스터(1241)는 형상이 서로 다른 것을 복수개 형성해 놓고, 출력 전류의 계측 후에, 조정용 트랜지스터(1241)의 트리밍에 의해 목표의 출력 전류에 가장 근접하는 트랜지스터를 선택하여, 트리밍을 행하여도 무방하다.

또한, 이상의 실시예는, 단위 트랜지스터(634) 혹은 조정용 트랜지스터(1241)를 트리밍하여 출력 전류를 조정하는 실시예이지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 조정용 트랜지스터(1241)를 고립시켜 형성하고, FIB 가공에 의해, 상기 조정용 트랜지스터(1241)의 소스 단자 등을 출력 전류 회로(704)와 접속하는 것에 의해 출력 전류를 조정해도 된다. 단, 조정용 트랜지스터(1241)는 완전하게 고립시킬 필요는 없다. 예를 들면, 출력 전류 회로(704)와 조정용 트랜지스터(1241)의 게이트 단자와 소스 단자를 접속한 상태로 형성하고, FIB 가공에 의해 조정용 트랜지스터(1241)의 드레인 단자를 접속하도록 구성해도 된다.

또한, 조정용 트랜지스터(1241)의 게이트 단자는, 출력 전류 회로(704)를 구성하는 단위 트랜지스터(634)의 게이트 단자와 분리하여 구성하고, 상기 조정 트랜지스터(1241)와 상기 단위 트랜지스터(634)의 소스 단자 및 드레인 단자를 접속하여 형성 또는 배치해도 된다. 단위 트랜지스터(634)의 게이트 단자 전위는, 도 164 등에도 도시하는 바와 같이 전류 Ic로 결정된다. 조정용 트랜지스터(1241)의 게이트 단자 전위는 자유롭게 조정할 수 있도록 구성하고 있는 지 등, 조정용 트랜지스터(1241)의 게이트 단자 전위를 조정함으로써 조정용 트랜지스터(1241)의 출력 전류를 변경할 수 있다. 따라서, 조정용 트랜지스터(1241)의 게이트 단자 전위를 조정하는 것에 의해, 단위 트랜지스터(634)와 조정용 트랜지스터(1241)의 출력 전류의 총합인 출력 전류 회로(704)의 출력 전류를 조정할 수 있다. 이 방식에서는, 트리밍 가공, FIB 가공은 필요하지 않다. 조정용 트랜지스터(1241)의 게이트 단자 전압의 조정은 전자 볼륨 등으로 행하여도 된다.

상기의 실시예에서는 조정용 트랜지스터(1241)의 출력 전류의 조정은 게이트 단자 전위의 조정에 의해서 행한다고 했지만, 이것에 한정되는 것은 아니다. 조정용 트랜지스터(1241)의 소스 단자에 인가하는 전압 혹은 드레인 단자에 인가하는 전압을 조정하는 것에 의해 행하여도 된다. 이들 단자 전압의 조정도 전자 볼륨 등으로 행하여도 된다. 또한, 조정용 트랜지스터(1241)의 각 단자에 인가하는 전압은 직류 전압에 한정되는 것은 아니다. 구형 전압(펄스형 전압 등)을 인가하여, 시간 제어에 의해 출력 전류를 조정해도 된다.

출력 전류의 크기를 크게 조정할 때는, 도 166에 도시한 바와 같이 조정용 트랜지스터(1241)를 절단 개소(1661a)로부터 분리하여도 된다. 이상과 같이 단위 트랜지스터(634) 또는 조정용 트랜지스터(1241)의 전부 혹은 일부를 트리밍하는 것에 의해 출력 전류의 조정을 용이하게 행할 수 있다. 또한, 트리밍 개소에서 열화를 방지하기 위해서, 트리밍 후, 트리밍 개소에 무기 재료를 증착 혹은 도포 등 하는 것, 유기 재료를 증착 혹은 도포 등 하는 것에 의해, 트리밍 개소가 외기에 닿지 않도록 밀봉 프로세스를 실시해 두는 것이 바람직하다.

특히, IC 칩(14)의 양단의 출력 전류 회로(704)에는 트리밍 기능을 부가한 구성으로 하는 것이 바람직하다. 표시 패널이 대형인 경우에는, 복수의 소스 드라이버 IC(14)를 캐스케이드 접속할 필요가 있다. 캐스케이드 접속을 한 경우, 인접한 IC의 출력 전류에 차가 있으면 경계선으로서 눈에 띄기 때문이다. 도 166에 도시하는 바와 같이 트랜지스터 등을 트리밍하는 것에 의해, 인접한 출력 전류 회로의 출력 전류 변동을 보정할 수 있다.

이상의 사항은 본 발명의 다른 실시예에서도 적용할 수 있는 것은 물론이다.

도 123의 구성은 복수의 트랜지스터(633a)의 출력 전류를 복수의 트랜지스터(633b)에서 수취하는 것에 의해, 각 단자의 출력 전류의 변동을 저감시키는 것이었다. 도 126은 전류를 트랜지스터군의 양측에서 급전하는 것에 의해 출력 전류의 변동을 저감하는 구성이다. 즉, 전류 Ia의 공급원을 복수 마련한다. 본 발명에서는, 전류 Ia1과 전류 Ia2는 동일한 전류값으로 하고, 전류 Ia1을 발생하는 트랜지스터와 전류 Ia2를 발생하는 트랜지스터와, 쌍을 이루는 트랜지스터로 커런트 미러 회로를 구성하고 있다.

따라서, 본 발명은 단위 트랜지스터(634)의 출력 전류를 규정하는 기준 전류를 발생하는 트랜지스터(전류 발생 수단)를 복수개 형성 또는 배치된 구성이다. 더욱 바람직하게는, 복수의 트랜지스터로부터의 출력 전류를, 커런트 미러 회로를 구성하는 트랜지스터 등의 전류 수취 회로에 접속하고, 이 복수의 트랜지스터가 발생하는 게이트 전압에 의해 단위 트랜지스터(634)의 출력 전류를 제어하는 구성이다.

또한, 도 126의 실시예에서는, 단위 트랜지스터(634)군의 양측에 커런트 미러를 구성하는 트랜지스터(633b)를 형성했다. 그러나, 본 발명은 이것에만 한정되는 것이 아니고, 트랜지스터군(681b)의 양측에 커런트 미러를 구성하는 트랜지스터(632a)를 배치하는 구성도 본 발명의 범주이다.

도 126에서 분명한 바와 같이, 트랜지스터군(681b)에는 전류를 출력하는 트랜지스터(633a)가 복수개 형성되어 있다. 트랜지스터군(681b)의 양측에 트랜지스터군(681b)의 게이트 단자를 공통으로 하고, 또한 트랜지스터(633a)와 커런트 미러 회로를 구성하는 트랜지스터(632a)((632a1, 632a2)가 형성 또는 배치되어 있다. 트랜지스터(632a1)에는 기준 전류 Ia1이 흐르고, 트랜지스터(632a2)에는 기준 전류 Ia2가 흐른다. 따라서, 트랜지스터(633a)(트랜지스터(633a1, 633a2, 633a3, 633a4, ……))의 게이트 단자 전압은, 트랜지스터(632a1, 632a2)에서 규정됨과 함께, 트랜지스터(633a)가 출력하는 전류가 규정된다.

기준 전류 Ia1, Ia2의 크기는 일치시킨다. 이것은 기준 전류 Ia1, Ia2를 출력하는 커런트 미러 회로 등의 정전류 회로에서 행할 수 있다. 또한, 기준 전류 Ia1, Ia2가 다소 어긋나 있더라도 서로 보정되기 때문에 과제는 발생하기 어려운 구성이다.

이상의 실시예에서는 전류 Ia1과 전류 Ia2는 대략 일치시킨다고 했지만 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 전류 Ia1과 전류 Ia2를 다르게 하여도 된다. 예를 들면, 전류 Ia1 < 전류 Ia2로 한 경우, 트랜지스터(633a1)가 출력하는 전류 Ib1은, 트랜지스터(633an)이 출력하는 전류 Ibn보다도 작게 할 수 있다(Ib1 < Ibn). 전류 Ib1이 적어지면, 트랜지스터군(681c1)이 출력하는 전류도 적어진다. 전류 Ibn이 커지면, 트랜지스터군(681cn)이 출력하는 전류도 커진다. 트랜지스터군(681c1)과 트랜지스터군(681cn)의 사이에 배치 또는 형성되어 트랜지스터군(681)은 그 중간의 출력 전류로 된다.

이상과 같이 전류 Ia1과 전류 Ia2를 다르게 함으로써, 트랜지스터군(681)의 출력 전류에 경사를 만들 수 있다. 트랜지스터군(681)의 출력 전류에 경사를 가하는 것은, 소스 드라이버 IC(14)의 캐스케이드 접속에 효과를 발휘한다. IC 칩의 2개의 기준 전류 Ia1과 Ia2의 조정에 의해 출력 전류 회로(704)의 출력 전류를 조정 할 수 있기 때문이다. 따라서, 인접한 IC(14) 칩의 출력에 출력 전류차가 없도록 조정할 수 있기 때문이다.

전류 Ia1과 전류 Ia2를 다르게 하더라도, 각 트랜지스터군(681)의 단위 트랜지스터(634) 게이트 단자 전위가 동일하다면, 트랜지스터군(681)의 출력 전류에 경사를 발생시킬 수는 없다. 각 트랜지스터군(681)의 출력 전류에 경사가 발생하는 것은, 단위 트랜지스터(634)의 게이트 단자 전압이 서로 다르기 때문이다. 게이트 단자 전압을 서로 다르게 하기 위해서는, 트랜지스터군(681b)의 게이트 배선(1261)을 고 저항으로 할 필요가 있다. 구체적으로는 게이트 배선(1261)을 폴리실리콘으로 형성한다. 또한, 트랜지스터(632a1)와 트랜지스터(632an) 사이의 게이트 배선의 저항값은, 2KΩ 이상 2MΩ 이하로 한다. 이상과 같이 게이트 배선(1261)을 고 저항으로 함으로써 각 트랜지스터군(681c)의 출력 전류에 경사를 만들 수 있다.

트랜지스터(633a)의 게이트 단자 전압은, IC 칩이 실리콘 칩인 경우, 0.52 이상 0.68(V) 이하의 범위로 설정하는 것이 바람직하다. 이 범위이면, 트랜지스터(633a)의 출력 전류의 변동이 적어진다. 이상의 사항은 본 발명의 다른 실시예에 있어어도 마찬가지이다.

이상의 사항은 본 발명의 다른 실시예에서도 적용할 수 있는 것은 물론이다.

도 126의 구성에서는, 커런트 미러 회로에서, 트랜지스터(633a)와 쌍을 이루는 트랜지스터(632a)를 2개 이상(복수개) 형성하고 있다. 따라서, 기준 전류의 양측 급전으로 되어 있기 때문에, 트랜지스터(633a)의 게이트 단자 전압이 트랜지스터군(681a) 내에서 양호하게 일정하게 유지된다. 그 때문에, 트랜지스터(633a)가 출력하는 전류 변동이 매우 적어진다. 따라서, 소스 신호선(18)에 출력하는 프로그램 전류 혹은 소스 신호선(18)으로부터 흡수하는 프로그램 전류의 변동은 매우 적어진다.

도 126에서는 트랜지스터(633a1)는 트랜지스터(633b1)와 전류 교환 상태를 구성하고 있고, 트랜지스터(633a2)는 트랜지스터(633b2)와 전류 교환 상태를 구성하고 있다. 따라서, 트랜지스터군(681c1)도 양측 급전의 구성이다. 마찬가지로, 트랜지스터(633a3)는 트랜지스터(633b3)와 전류 교환 상태를 구성하고 있고, 트랜지스터(633a4)는 트랜지스터(633b4)와 전류 교환 상태를 구성하고 있다. 또한, 트랜지스터(633a5)는 트랜지스터(633b5)와 전류 교환 상태를 구성하고 있고, 트랜지스터(633a6)는 트랜지스터(633b6)와 전류 교환 상태를 구성하고 있다.

트랜지스터군(681c)은 각 소스 신호선(18)과 접속되는 출력단 회로이다. 따라서, 트랜지스터군(681c)에 양측 급전하여, 단위 트랜지스터(634)의 게이트 단자의 전압 강하 혹은 전위 분포가 없도록 하는 것에 의해, 각 소스 신호선(18)의 출력 전류 변동을 해소할 수 있다.

트랜지스터군(681c)에는 전류를 출력하는 단위 트랜지스터(634)가 복수개 형성되어 있다. 트랜지스터군(681c)의 양측에 트랜지스터(634)의 게이트 단자를 공통으로 하고, 또한 트랜지스터(634)와 커런트 미러 회로를 구성하는 트랜지스터(633b)(633b1, 633b2)가 형성 또는 배치되어 있다. 트랜지스터(633b1)에는 기준 전류 Ib1이 흐르고, 트랜지스터(633b2)에는 기준 전류 Ib2가 흐른다. 따라서, 단위 트랜지스터(634)의 게이트 단자 전압은, 트랜지스터(633b1, 633b2)로 규정됨과 함께, 단위 트랜지스터(634)가 출력하는 전류가 규정된다.

기준 전류 Ib1, Ib2의 크기는 일치시킨다. 이것은, 기준 전류 Ib1, Ib2를 출력하는 트랜지스터(633a) 등의 정전류 회로에서 행할 수 있다. 또한, 기준 전류 Ib1, Ib2가 다소 어긋나 있더라도 서로 보정되기 때문에 과제는 발생하기 어려운 구성이다.

도 127은 도 126의 변형한 실시예이다. 도 127에서는 트랜지스터군(681b)에 있어서, 양측에 커런트 미러 회로를 구성하는 트랜지스터(632a)를 배치하는 것뿐만 아니라, 트랜지스터군(681b)의 중도에도 커런트 미러 회로를 구성하는 트랜지스터(632)를 배치하고 있다. 따라서, 도 126의 구성에 비교하여, 트랜지스터(633a)의 게이트 단자 전압이 보다 일정해지고, 트랜지스터(633a)의 출력 변동이 적어진다. 이상의 사항은 트랜지스터군(681c)에 적용해도 되는 것은 물론이다.

도 128도 도 126의 변형한 실시예이다. 도 126에서는 트랜지스터군(681b)을 구성하는 트랜지스터(633a)를 순서대로, 트랜지스터군(681c)과 커런트 미러 회로를 구성하는 트랜지스터(633b)에 접속한 구성이다. 그러나, 도 128의 실시예는 트랜지스터(633a)의 접속의 순서를 달리 하고 있다.

도 128은 트랜지스터(633a1)는 트랜지스터군(681c1)과 커런트 미러 회로를 구성하는 트랜지스터(633b1)와 전류 교환하고 있다. 트랜지스터(633a2)는 트랜지스터군(681c2)과 커런트 미러 회로를 구성하는 트랜지스터(633b3)와 전류 교환하고 있다. 또한, 트랜지스터(633a3)는 트랜지스터군(681c1)과 커런트 미러 회로를 구성하는 트랜지스터(633b2)와 전류 교환하고 있다. 트랜지스터(633a4)는 트랜지스터군(681c3)과 커런트 미러 회로를 구성하는 트랜지스터(633b5)와 전류 교환하고 있다. 트랜지스터(633a5)는 트랜지스터군(681c2)과 커런트 미러 회로를 구성하는 트랜지스터(633b4)와 전류 교환하고 있다.

도 126에 도시하는 바와 같이 구성하면, 트랜지스터(633a)의 특성 분포가 발생하면, 트랜지스터(633a)가 전류를 공급하는 트랜지스터군(681c)이 블록으로서 출력 전류 변화를 발생하기 쉽다. 그 때문에, EL 표시 패널에 블록 형상으로 경계선이 표시되는 경우가 있다.

도 128과 같이 트랜지스터(633a)를 연속이 아니고, 트랜지스터군(681c)과 커런트 미러 회로를 구성하는 트랜지스터(633)의 접속 순서를 교체하는 것에 의해, 트랜지스터(633a)의 특성 분포가 발생하고 있더라도, 트랜지스터군(681c)이 블록으로서 출력 전류 변화를 발생하기 어렵다. 그 때문에, EL 표시 패널에 블록 형상으로 경계선이 표시되는 일이 없다.

물론, 트랜지스터(633a)와 트랜지스터(633b)와의 접속은 규칙 바르게 행할 필요는 없으며, 랜덤이어도 된다. 또한, 도 128과 같이, 트랜지스터(633a)는 하나 건너뛰는 것이 아니고, 2개 이상 건너뛰어 트랜지스터(633b)와 접속해도 된다.

이상의 실시예는, 도 68에 도시하는 바와 같이, 다단으로 커런트 미러 회로를 접속한 구성이다. 그러나, 회로 구성은 다단의 접속에 한정되는 것이 아니고, 도 129에 도시하는 바와 같이, 1단의 구성으로 하여도 된다.

도 129는 기준 전류를 기준 전류 조정 수단(651)으로 제어 혹은 조정한다(가변 볼륨에 한정되는 것이 아니고, 전자 볼륨이어도 되는 것은 물론임). 단위 트랜지스터(634)는 트랜지스터(633b)와 커런트 미러 회로를 구성한다. 기준 전류 Ib에 의해, 단위 트랜지스터(634)의 출력 전류의 크기가 규정된다.

도 129의 구성은 기준 전류 Ib에 의해서, 각 트랜지스터군(681c)의 단위 트랜지스터(634)의 전류가 제어된다. 반대로

말하면, 트랜지스터(633b)에 의해, 트랜지스터군(681c1)으로부터 트랜지스터군(681cn)의 단위 트랜지스터(634)의 프로그램 전류가 규정된다.

그러나, 트랜지스터군(681c1)의 단위 트랜지스터(634)의 게이트 단자 전압과 트랜지스터군의 단위 트랜지스터(634)의 게이트 단자 전압은, 미묘히 다른 것이 많다. 게이트 배선에 흐르는 전류 등의 전압 강하 등의 영향에 의한 것이라고 생각된다. 전압에서는 미묘한 변화량으로도, 출력 전류(프로그램 전류)는 수% 서로 다르다. 본 발명에서는 64 계조의 경우, 계조 차는 $100/64=1.5\%$ 이다. 그 때문에, 출력 전류는 적어도 1% 정도 이하로는 할 필요가 있다.

이 과제를 해결하는 구성을 도 130에 도시한다. 도 130에서는 기준 전류 Ib의 발생 회로를 2 회로 형성하고 있다. 기준 전류 발생 회로(1)는 기준 전류 Ib1을 흘리고, 기준 전류 발생 회로(2)는 기준 전류 Ib2를 흘린다. 기준 전류 Ib1과 기준 전류 Ib2는 동일한 전류값으로 한다. 기준 전류를 기준 전류 조정 수단(651)에서 제어 혹은 조정한다(가변 볼륨에 한정되는 것이 아니고, 전자 볼륨이어도 되는 것은 물론이다. 또한, 고정 저항을 변경함으로써 조정해도 됨). 또한, 트랜지스터군(681c)의 출력 단자는 소스 신호선(18)에 접속되어 있다. 구성으로서는, 커런트 미러 회로의 한층 구성이다.

단, 기준 전류 Ib1과 기준 전류 Ib2를 개별로 조정할 수 있도록 구성해 두면, 공통 단자(1253)의 a점의 전압과 b점의 전압이 서로 다르고, 트랜지스터군(681c1)의 단위 트랜지스터(634)의 출력 전류와 트랜지스터군(681c2)의 단위 트랜지스터(634)의 출력 전류가 서로 다른 경우에 출력 전류(프로그램 전류)를 균일하게 되도록 조정할 수 있다. 또한, I_C 칩(14)의 좌우에서 단위 트랜지스터의 V_t가 서로 다르기 때문에, 출력 전류의 경사가 발생하고 있는 경우에도 보정하여, 출력 전류의 경사를 없앨 수 있다.

도 130에서는 기준 전류 회로를 2개 개별로 형성한 바와 같이 도시하고 있지만, 이것에 한정되는 것이 아니고, 도 128에 도시한 트랜지스터군(681b)의 트랜지스터(633a)로 구성해도 된다. 도 128의 구성을 채용함으로써, 커런트 미러를 구성하는 트랜지스터(632a)에 흘리는 전류를 제어(조정)하는 것에 의해, 도 130의 기준 전류 Ib1과 Ib2를 동시에 제어(조정)할 수 있다. 즉, 트랜지스터(633b1)와 트랜지스터(633b2)를 트랜지스터군으로서 제어한다(도 130의 (b)를 참조할 것).

도 130의 구성을 채용함으로써, 공통 단자(1253)(게이트 배선(1261))의 a점의 전압과 b점의 전압을 동일하게 할 수 있다. 따라서, 트랜지스터군(681c1)의 단위 트랜지스터(634)의 출력 전류와, 트랜지스터군(681c2)의 단위 트랜지스터(634)의 출력 전류를 동일하게 할 수 있어, 균일하고 변동이 없는 프로그램 전류를 각 소스 신호선(18)에 공급할 수 있다.

도 130은 기준 전류원을, 2개 형성하는 구성이었다. 도 131은 공통 단자(1253)의 중앙부에도 기준 전류원을 구성하는 트랜지스터(633b)의 게이트 전압을 인가하는 구성이다.

기준 전류 발생 회로(1)는 기준 전류 Ib1을 흘리고, 기준 전류 발생 회로(2)는 기준 전류 Ib2를 흘린다. 기준 전류 발생 회로(3)는 기준 전류 Ib3을 흘린다. 기준 전류 Ib1, 기준 전류 Ib2와 기준 전류 Ib3은 동일한 전류값으로 한다. 기준 전류를 기준 전류 조정 수단(651)에서 제어 혹은 조정한다(가변 볼륨에 한정되는 것이 아니고, 전자 볼륨이라도 되는 것은 물론임).

기준 전류 Ib1, 기준 전류 Ib2, 기준 전류 Ib3을 개별로 조정할 수 있도록 구성해 두면, 각 트랜지스터(633b1), 트랜지스터(633b2), 트랜지스터(633b3)의 게이트 단자 전압을 조정할 수 있다. 공통 단자(1253)의 a점의 전압, b점의 전압, c점의 전압을 조정하는 것이 가능하다. 따라서, 트랜지스터군(681c1)의 단위 트랜지스터(634)의 V_t 변화, 트랜지스터군(681c2)의 단위 트랜지스터(634)의 V_t 변화, 트랜지스터군(681cn)의 단위 트랜지스터(634)의 V_t 변화에 의한 출력 전류(프로그램 전류)의 보정(변동 보정)을 행할 수 있다.

도 131에서는 기준 전류 회로를 3개 개별로 형성한 바와 같이 도시하고 있지만, 이것에 한정되는 것이 아니고, 4개 이상으로 하여도 된다. 도 128에 도시한 트랜지스터군(681b)의 트랜지스터(633a)로 구성해도 된다. 도 128의 구성을 채용함으로써, 커런트 미러를 구성하는 트랜지스터(632a)에 흘리는 전류를 제어(조정)하는 것에 의해, 도 130의 기준 전류 Ib1, Ib2와 Ib3을 동시에 제어(조정)할 수 있다. 즉, 트랜지스터(633b1), 트랜지스터(633b2), 트랜지스터(633b3)를 트랜지스터군으로서 제어한다(도 131의 (b)를 참조할 것).

도 130은 트랜지스터(633b1)에 전류 조정 수단(651a)을 형성 또는 배치하고, 트랜지스터(633b2)에 전류 조정 수단(651b)을 형성 또는 배치하고 있다. 도 132는 트랜지스터(633b1), 트랜지스터(633b2)의 소스 단자를 공통으로 하고, 전류 조정 수단(651)을 형성 또는 배치한 구성이다. 전류 조정 수단(651)의 제어(조정)에 의해, 기준 전류 Ib1과 Ib2가 변화한다. 기준 전류 Ib1과 Ib2의 변화에 비례하여 단위 트랜지스터(634)가 출력하는 프로그램 전류가 변화한다. 트랜지스터(633b1)와 트랜지스터(633b2)의 접속 구성은 도 123의 트랜지스터군(681c)의 트랜지스터(633b)의 접속 상태와 동일하다.

기준 전류 Ib1, Ib2를 기준 전류 조정 수단(651)에서 제어 혹은 조정한다(가변 볼륨에 한정되는 것이 아니고, 전자 볼륨이라도 되는 것은 물론임). 각 트랜지스터군(681c)의 단위 트랜지스터(634)는, 트랜지스터(633b)(633 b1, 633 B2)와 커런트 미러 회로를 구성한다. 기준 전류 Ib1, Ib2에 의해, 단위 트랜지스터(634)의 출력 전류의 크기가 규정된다.

도 129의 구성은 기준 전류 Ib1에 의해서, 주로 a점의 게이트 단자 전압이 소정값으로 조정되고, 기준 전류 Ib2에 의해서, 주로 b점의 게이트 단자 전압이 소정값으로 조정된다. 기준 전류 Ib1과 Ib2는 기본적으로 동일 전류이다. 또한, 트랜지스터(633b1)와 트랜지스터(633b2)는 근접하여 형성되기 때문에, 트랜지스터 Vt는 동일하다.

따라서, 트랜지스터(633b1)의 게이트 단자와 트랜지스터(633b2)의 게이트 단자는 동일하게 되고, a점과 b점의 전압은 동일하게 된다. 그 때문에, 공통 단자(1253)는 양측에서 전압이 급전되고 있게 되므로, IC 칩의 좌우에서의 공통 단자(1253)의 전압은 균일하게 된다. 공통 단자(1253)의 전압이 균일하게 되면, 각 트랜지스터군(681c)의 단위 트랜지스터(634)의 게이트 단자는 전부 일치하도록 된다. 따라서, 단위 트랜지스터(634)가 출력하는 소스 신호선(18)에의 프로그램 전류에 변동은 발생하지 않는다.

도 132는 기준 전류원을 발생하는 트랜지스터(633b)를 2개 형성하는 구성이었다. 도 133은 공통 단자(1253)의 중앙 부에도 기준 전류원을 구성하는 트랜지스터(633b2)의 게이트 전압을 인가하는 구성이다.

기준 전류 발생 회로(1)는 기준 전류 Ib1을 흘리고, 기준 전류 발생 회로(2)는 기준 전류 Ib2를 흘린다. 기준 전류 발생 회로(3)는 기준 전류 Ib3을 흘린다. 기준 전류 Ib1, 기준 전류 Ib2와 기준 전류 Ib3은 동일한 전류값으로 한다. 기준 전류를 기준 전류 조정 수단(651)에서 제어 혹은 조정한다(가변 볼륨에 한정되는 것이 아니고, 전자 볼륨이어도 되는 것은 물론임).

도 133에서는 기준 전류 회로를 3개 개별로 형성한 바와 같이 도시하고 있지만, 이것에 한정되는 것이 아니고, 4개 이상으로 하여도 된다.

또한, 도 126, 도 127, 도 128 등은 게이트 배선(1261)의 양측에 기준 전류를 흘리는 트랜지스터를 배치 혹은 형성하는 구성이었다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 트랜지스터를 배치하지 않고, 게이트 배선(1261)에 직접 정전압을 인가해도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 적용된다.

이상의 실시예에서는, 전류 혹은 전압의 교환이 1단의 구성을 중심으로 설명을 행하여 왔다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 146에 도시하는 바와 같이, 도 68의 다단 접속의 방식에 적용해도 되는 것은 물론이다.

도 147은 트랜지스터군(681a)의 양단(IC 칩의 좌우단 혹은 그 근방)에, 트랜지스터(631a, 631b)를 형성 혹은 배치하고 있다. 또한, 기준 전류의 조정 수단으로서 가변 저항(651)을 형성 또는 배치하고 있다. 또, 기준 전류 Ia1과 Ia2는 고정으로 하여도 된다. 또한 기준 전류 Ia1=Ia2로 하여도 되는 것은 물론이다.

기준 전류 Ia1, Ia2를 기준 전류 조정 수단(651)에서 조정하면, 트랜지스터군(681a)의 트랜지스터(632)의 출력 전류 Ib를 조정할 수 있다. 이 전류 Ib는 트랜지스터(632b)에 교환되고, 커런트 미러 회로를 구성하는 트랜지스터군(681b)의 트랜지스터(633a)에 전류가 흘러, 단위 트랜지스터(634)의 출력 전류가 결정된다. 다른 사항은 도 68 등과 마찬가지로 하기 때문에 설명을 생략한다.

칩의 양측에 배치된 트랜지스터에 흐르는 기준 전류의 크기는, 전자 볼륨 등으로 조정한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 도 165에 도시하는 바와 같이 기준 전류의 조정용 저항 Rm을 트리밍하는 것에 의해서도 대응할 수 있다. 즉, 저항 Rm을 레이저 장치(1501)로부터의 레이저 광(1502)으로 트리밍함으로써 저항값을 증대시킨다. 저항 Rm의 저항값을 증대시키는 것에 의해, 기준 전류 Ia가 변화한다. 저항 Rm1 또는 저항 Rm2를 트리밍함으로써, 기준 전류 Ia1, Ia2를 조정할 수 있다.

커런트 미러 회로를 구성하는 트랜지스터가 발생하는 전류를 교환하는 것은, 복수의 트랜지스터에 교환하는 것이 바람직하다. IC 칩(14) 내에 형성되는 트랜지스터에는 특성 변동이 발생한다. 트랜지스터의 특성 변동을 억제하기 위해서는, 트랜지스터 사이즈를 크게 하는 방법이 있다. 그러나, 트랜지스터 사이즈를 크게 해도 커런트 미러 회로의 커런트 미러 배율이 크게 어긋나는 경우가 있다. 이 과제를 해결하기 위해서는, 복수의 트랜지스터로 전류 혹은 전압 교환을 하도록 구성하면 된다. 복수의 트랜지스터로 구성하면, 각 트랜지스터의 특성이 변동되어 있더라도 전체로서의 특성 변동은 작아진다. 또한, 커런트 미러 배율의 정밀도도 향상된다. 토달로 생각하면 IC 칩 면적도 작아진다. 도 156은 그 실시예이다. 또한, 이상의 사항은 전류 혹은 전압의 다단 교환, 전류 혹은 전압의 1단 교환의 양방에 적용할 수 있다.

도 156은 트랜지스터군(681a)과 트랜지스터군(681b)으로 커런트 미러 회로를 구성하고 있다. 트랜지스터군(681a)

은 복수의 트랜지스터(632b)로 구성되어 있다. 한편, 트랜지스터군(681b)은 트랜지스터(633a)로 구성되어 있다. 마찬가지로 트랜지스터군(681c)도 복수의 트랜지스터(633b)로 구성되어 있다.

트랜지스터군(681b1), 트랜지스터군(681b2), 트랜지스터군(681b3), 트랜지스터군(681b4)……을 구성하는 트랜지스터(633a)는 동일 개수로 형성하고 있다. 또한, 각 트랜지스터군(681b)의 트랜지스터(633a)의 총 면적(트랜지스터군(681b) 내의 트랜지스터(633a)의 WL 사이즈×트랜지스터(633a) 수)는 대략 동일하게 되도록 형성하고 있다. 트랜지스터군(681c)에 대해서도 마찬가지이다.

트랜지스터군(681c)의 트랜지스터(633b)의 총 면적(트랜지스터군(681c) 내의 트랜지스터(633b)의 WL 사이즈×트랜지스터(633b) 수)을 Sc로 한다. 또한, 트랜지스터군(681b)의 트랜지스터(633a)의 총 면적(트랜지스터군(681b) 내의 트랜지스터(633a)의 WL 사이즈×트랜지스터(633a) 수)를 Sb로 한다. 트랜지스터군(681a)의 트랜지스터(632b)의 총 면적(트랜지스터군(681a) 내의 트랜지스터(632b)의 WL 사이즈×트랜지스터(632b) 수)을 Sa로 한다. 또한, 1 출력의 단위 트랜지스터(634)의 총 면적을 Sd로 한다.

총 면적 Sc와 총 면적 Sb는 대략 동일하게 되도록 형성하는 것이 바람직하다. 트랜지스터군(681b)을 구성하는 트랜지스터(633a)의 개수와, 트랜지스터군(681c)의 트랜지스터(633b)의 개수를 동수로 하는 것이 바람직하다. 단, IC 칩(14)의 레이아웃의 제약 등으로부터, 트랜지스터군(681b)을 구성하는 트랜지스터(633a)의 개수를, 트랜지스터군(681c)의 트랜지스터(633b)의 개수보다도 적게 하고, 트랜지스터군(681b)을 구성하는 트랜지스터(633a)의 사이즈를 트랜지스터군(681c)의 트랜지스터(633b)의 사이즈보다도 크게 해도 된다. 이 실시예를 도 157에 도시한다. 트랜지스터군(681a)은 복수의 트랜지스터(632b)로 구성되어 있다. 트랜지스터군(681a)과 트랜지스터(633a)는 커런트 미러 회로를 구성한다. 트랜지스터(633a)는 전류 Ic를 발생시킨다. 하나의 트랜지스터(633a)는 트랜지스터군(681c)의 복수의 트랜지스터(633b)를 구동한다(하나의 트랜지스터(633a)로부터의 전류 Ic는 복수의 트랜지스터(633b)로 분류된다. 일반적으로 트랜지스터(633a)의 개수는, 출력 회로분의 개수가 배치 또는 형성된다. 예를 들면, QCIF+패널인 경우에는, R, G, B회로에 있어서, 각 176개의 트랜지스터(633a)가 형성 또는 배치된다.

총 면적 Sd와 총 면적 Sc의 관계는 출력 변동에 상관이 있다. 이 관계를 도 210에 도시하고 있다. 또한, 변동 비율 등에 관해서는 도 170을 참조한다. 변동 비율은 총 면적 Sd:총 면적 Sc=2:1($Sc/Sd=1/2$)일 때를 1로 하고 있다. 도 210에서도 알 수 있듯이, Sc/Sd가 작으면 급격히 변동 비율이 나빠진다. 특히 $Sc/Sd=1/2$ 이하로 나빠지는 경향이 있다. Sc/Sd가 1/2 이상에서는 출력 변동이 저감한다. 그 저감 효과는 완만하다. 또한, $Sc/Sd=1/2$ 정도로 출력 변동이 허용 범위로 된다. 이상의 점으로부터, $1/2 \leq Sc/Sd$ 의 관계로 되도록 형성하는 것이 바람직하다. 그러나, Sc가 커지면 IC 칩 사이즈도 커지게 된다. 따라서, 상한은 $Sc/Sd=4$ 로 하는 것이 바람직하다. 즉, $1/2 \leq Sc/Sd \leq 4$ 의 관계를 만족하도록 한다.

또한, $A \geq B$ 는 A는 B이상이라는 의미이다. $A > B$ 는 A는 B보다 크다고 하는 의미이다. $A \leq B$ 는 A는 B이하라는 의미이다. $A < B$ 는 A는 B보다 작다고 하는 의미이다.

나아가서는, 총 면적 Sd와 총 면적 Sc는 대략 동일하게 되도록 하는 것이 바람직하다. 또한 1 출력의 단위 트랜지스터(634)의 개수와, 트랜지스터군(681c)의 트랜지스터(633b)의 개수를 동수로 하는 것이 바람직하다. 즉, 64 계조 표시이면, 1 출력의 단위 트랜지스터(634)는 63개 형성된다. 따라서, 트랜지스터군(681c)을 구성하는 트랜지스터(633b)는 63개 형성된다.

또한, 바람직하게는, 트랜지스터군(681a), 트랜지스터군(681b), 트랜지스터군(681c), 단위 트랜지스터(634)는, WL 면적이 4배 이내의 트랜지스터로 구성하는 것이 바람직하다. 더욱 바람직하게는 WL 면적이 2배 이내의 트랜지스터로 구성하는 것이 바람직하다. 나아가서는, 전부 동일 사이즈의 트랜지스터로 구성하는 것이 바람직하다. 즉, 대략 동일 형상의 트랜지스터로 커런트 미러 회로, 출력 전류 회로(704)를 구성하는 것이 바람직하다.

총 면적 Sa는 총 면적 Sb보다도 커지도록 한다. 바람직하게는, $200 Sb \geq Sa \geq 4 Sb$ 의 관계를 만족하도록 구성한다. 또한, 모든 트랜지스터군(681b)을 구성하는 트랜지스터(633a)의 총 면적과 Sa가 대략 동일하게 되도록 구성한다.

또한, 도 164에 도시하는 바와 같이, 트랜지스터군(681b)과 커런트 미러 회로를 구성하는 트랜지스터(632a)는 트랜지스터군(681a)(도 156을 참조할 것)에 구성하지 않아도 된다.

도 126, 도 127, 도 128, 도 147 등은 게이트 배선(1261)의 양측에 기준 전류를 흘리는 트랜지스터를 배치 혹은 형성하는 구성이었다. 이 구성(방식)을 도 157의 구성에 적용한 구성이, 도 158의 실시예이다. 도 158에서는 게이트 배선(1261)의 양측에 트랜지스터군(681a1), 트랜지스터군(681a2)이 배치 혹은 형성되어 있다. 다른 사항은 도 126, 도 127, 도 128, 도 147 등과 마찬가지기 때문에 설명을 생략한다.

도 126, 도 127, 도 128, 도 147, 도 158 등은 게이트 배선(1261)의 양단에 트랜지스터 혹은 트랜지스터군을 배치하

는 구성이었다. 따라서, 게이트 배선(1261)의 표측에 배치하는 트랜지스터는 2개이고, 또한 트랜지스터군은 2조였다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 159에 도시하는 바와 같이 게이트 배선(1261)의 중앙부 등에도 트랜지스터 혹은 트랜지스터군을 배치 또는 형성해도 된다. 도 159에서는 3개의 트랜지스터군(681a)을 형성하고 있다. 본 발명은, 게이트 배선(1261)에 형성하는 트랜지스터 혹은 트랜지스터군(681)은 복수 형성하는 것에 특징이 있다. 복수 형성함으로써, 게이트 배선(1261)을 저 임피던스화할 수 있어, 안정도가 향상된다.

안정도를 더욱 향상시키기 위해서는, 도 160에 도시하는 바와 같이, 게이트 배선(1261)에 컨덴서(1601)를 형성 또는 배치하는 것이 바람직하다. 컨덴서(1601)는 IC 칩(14) 혹은 소스 드라이버 회로(14) 내에 형성해도 되고, IC(14)의 외부 부착 컨덴서로서 칩 외부에 배치 혹은 적재해도 된다. 컨덴서(1601)를 외부 부착으로 하는 경우에는, IC 칩의 단자에 컨덴서 접속 단자를 배치한다.

이상의 실시예는 기준 전류를 흘리고, 이 기준 전류를 커런트 미러 회로에서 복사하여, 최종단의 단위 트랜지스터(634)에 전달하는 구성이다. 화상 표시가 흑 표시(완전한 흑 래스터)일 때에는, 어느 단위 트랜지스터(634)에도 전류가 흐르지 않는다. 어느 스위치(641)도 오픈이기 때문이다. 따라서, 소스 신호선(18)에 흐르는 전류는 0(A)이므로, 전력은 소비되지 않는다.

그러나, 흑 래스터 표시이더라도, 기준 전류는 흐른다. 예를 들면, 도 161의 전류 Ib 및 전류 Ic이다. 이 전류는 무효 전류로 된다. 기준 전류는 전류 프로그램 시에 흐르도록 구성하면 효율이 좋다. 따라서, 화상의 수직 블랭킹 기간 수평 블랭킹 기간에는 기준 전류가 흐르는 것을 제한한다. 또한, 웨이트 기간 등도 기준 전류가 흐르는 것을 제한한다.

기준 전류가 흐르지 않도록 하기 위해서는, 도 161에 도시하는 바와 같이 슬립 스위치(1611)를 오픈으로 하면 된다. 슬립 스위치(1611)는 아날로그 스위치이다. 아날로그 스위치는 소스 드라이버 회로 혹은 소스 드라이버 IC(14) 내에 형성한다. 물론, IC(14)의 외부에 슬립 스위치(1611)를 배치하고, 이 슬립 스위치(1611)를 제어해도 된다.

슬립 스위치(1611)를 오프로 함으로써, 기준 전류 Ib가 흐르지 않게 된다. 그 때문에, 트랜지스터군(681a1) 내의 트랜지스터(633a)에 전류가 흐르지 않으므로, 기준 전류 Ic도 0(A)으로 된다. 따라서, 트랜지스터군(681c)의 트랜지스터(633b)에도 전류가 흐르지 않는다. 따라서, 전력 효율이 향상된다.

도 162는 타이밍차트이다. 수평 동기 신호 HD에 동기하여 블랭킹 신호가 발생한다. 블랭킹 신호는 H레벨일 때, 블랭킹 기간이고, L레벨일 때, 영상 신호가 인가되어 있는 기간이다. 슬립 스위치(1611)는 L레벨일 때, 오프(오픈)이고, H레벨일 때, 온이다.

따라서, 블랭킹 기간 A일 때, 슬립 스위치(1611)는 오프이므로, 기준 전류는 흐르지 않는다. D의 기간, 슬립 스위치(1611)는 온이고, 기준 전류가 발생한다.

또한, 화상 데이터에 따라 슬립 스위치(1611)의 온 오프 제어를 행하여도 된다. 예를 들면, 1 화소 행의 화상 데이터가 전부 흑 화상 데이터일 때(1H의 기간은 모든 소스 신호선(18)에 출력되는 프로그램 전류는 0임), 슬립 스위치(1611)를 오프로 하여, 기준 전류(Ic, Ib 등)가 흐르지 않도록 한다. 또한, 각 소스 신호선에 대응하도록 슬립 스위치를 형성 또는 배치하여, 온 오프 제어해도 된다. 예를 들면, 홀수번째의 소스 신호선(18)이 흑 표시(세로 흑 스트라이프 표시)일 때에는, 홀수번째로 대응하는 슬립 스위치를 오프로 한다.

도 124의 구성에 있어서, 영상 기간에는 기준 전류 Ib가 트랜지스터(633)에 흐른다. 또한, 화상 데이터에 대응하여 스위치(641)가 온 오프 제어되고, 각 단위 트랜지스터(634)에 전류가 흐른다. 흑 래스터 표시일 때에는, 모든 스위치(641)가 오픈으로 된다. 스위치(641)가 오픈이더라도, 트랜지스터(633)에는 기준 전류 Ib가 흐르고 있기 때문에, 단위 트랜지스터(634)는 전류를 흘리려고 한다. 그 때문에, 단위 트랜지스터(634)의 채널간 전압(Vsd)이 작아진다(소스 전위와 드레인 전위의 전위차가 없어짐). 동시에 단위 트랜지스터(634)의 게이트 배선(1261) 전위도 저하한다. 흑 래스터로부터 백 래스터에 화상이 변화하면 스위치(641)가 온으로 되어, 단위 트랜지스터(634)의 Vsd 전압이 발생한다. 또한, 게이트 배선(1261)과 내부 배선(643)(소스 신호선(18)) 사이에는 기생 용량이 있다.

게이트 배선(1261)과 내부 배선(643)(소스 신호선(18)) 사이의 기생 용량과, 단위 트랜지스터(634)의 Vsd의 발생에 의해, 게이트 배선(1261)은 전위 변동이 발생한다. 전위 변동이 발생하면, 단위 트랜지스터(634)의 출력 전류가 변동한다. 출력 전류가 변동하면, 화상에 흰선 등이 발생한다. 이 흰선은 화상이 백 표시로부터 흑 표시로 변화하는 개소, 화상이 흑 표시로부터 백 표시로 변화하는 개소에 발생한다.

도 151은 게이트 배선(1261)의 전위 변동을 도시하고 있다. 화상 변화 포인트(화상이 백 표시로부터 흑 표시로 변화하는 개소, 화상이 흑 표시로부터 백 표시로 변화하는 개소 등)에 링잉이 발생한다.

도 152는 이 과제를 해결하는 방법의 설명도이다. 선택 스위치(641)에 저항 R을 형성 또는 배치하고 있다. 구체적으

로는 저항 R을 형성하는 것이 아니고, 아날로그 스위치(641)의 사이즈를 변경하고 있다. 따라서, 도 152는 스위치(641)의 등가 회로도이다.

스위치(641)의 저항은 이하의 관계로 되도록 하고 있다.

$$R1 < R2 < R3 < R4 < R5 < R6$$

D0은 단위 트랜지스터(634)가 하나로 구성된다. D1은 단위 트랜지스터(634)가 2개로 구성된다. D2는 단위 트랜지스터(634)가 4개로 구성된다. D3은 단위 트랜지스터(634)가 8개로 구성된다. D4는 단위 트랜지스터(634)가 16개로 구성된다. D5는 단위 트랜지스터(634)가 32개로 구성된다. 따라서, D0로부터 D5로 됨에 따라서 스위치(641)를 흐르는 전류가 증가한다. 증가에 의해 스위치의 온 저항도 낮게 할 필요가 있다. 한편, 도 151에 도시하는 바와 같이 링잉의 발생도 억제할 필요가 있다. 도 152와 같이 구성함으로써, 링잉의 억제와 스위치의 온 저항의 조정을 행할 수 있다.

게이트 배선(1261)이 도 151과 같이 링잉하는 것은, 모든 단위 트랜지스터(634)가 오프로 되는 화상이 발생하는 것, 모든 단위 트랜지스터(634)가 오프 상태인 데, 기준 전류 Ib(도 153 등을 참조할 것)가 흐르고 있는 점에 있다. 이상의 사항에 의해 단위 트랜지스터(634)의 게이트 배선 전위 변동이 발생하기 쉽다.

도 127 등은 다단의 커런트 미러 접속의 구성이다. 또한, 도 129 내지 도 133은 1단의 구성이다. 도 151에서, 게이트 배선(1261)이 흔들리는 과제에 대하여 설명을 했다. 이 흔들림은 소스 드라이버 IC(14)의 전원 전압이 영향을 준다. 최대 전압까지 진폭하기 때문이다. 도 211은 소스 드라이버 IC(14)의 전원 전압이 1.8(V)일 때를 기준으로 한 게이트 배선의 전위 변동 비율이다. 변동 비율은 소스 드라이버 IC(14)의 전원 전압이 높아짐에 따라서 변동 비율도 커진다. 변동 비율의 허용 범위는 3 정도이다. 이 이상 변동 비율이 크면, 가로 크로스토크가 발생한다. 또한, 변동 비율은 IC 전원 전압이 10 ~ 12(V) 이상에서 전원 전압에 대한 변화 비율이 커지는 경향이 있다. 따라서, 소스 드라이버 IC(14)의 전원 전압은 12(V) 이하로 할 필요가 있다.

한편, 구동용 트랜지스터(11a)가 백 표시로부터 흑 표시의 전류를 흘리기 위해서, 소스 신호선(18)의 전위는 일정한 진폭 변화시킬 필요가 있다. 이 진폭 필요 범위는 2.5(V) 이상 필요하다. 진폭 필요 범위는 전원 전압 이하이다. 소스 신호선(18)의 출력 전압이 IC의 전원 전압을 넘길 수는 없기 때문이다.

이상의 점으로부터, 소스 드라이버 IC(14)의 전원 전압은 2.5(V) 이상 12(V) 이하로 할 필요가 있다. 이 범위로 함으로써 게이트 배선(1261)의 변동이 규정 범위로 억제되어, 가로 크로스토크가 발생하지 않아, 양호한 화상 표시를 실현할 수 있다.

게이트 배선(1261)의 배선 저항도 과제로 된다. 게이트 배선(1261)의 배선 저항 R(Ω)은, 도 215에서는 트랜지스터(633b1)로부터 트랜지스터(633b2)까지의 배선 전체 길이의 저항이다. 또는, 게이트 배선 전체 길이의 저항이다. 도 151의 과도 현상의 크기는 1수평 주사 기간(1H)에도 의존한다. 1H 기간이 짧으면, 과도 현상의 영향도 크기 때문이다. 배선 저항 R(Ω)이 높을수록 도 151의 과도 현상은 발생하기 쉽다. 이 현상은 특히, 도 129 내지 도 133, 도 215 내지 도 220의 구성에서 과제로 된다. 게이트 배선(1261)이 길고, 하나의 게이트 배선(1261)에 접속된 단위 트랜지스터(634)의 수가 많기 때문이다.

도 212은, 게이트 배선(1261)의 배선 저항 R(Ω)과 1H 기간 T(sec)와 승산(R · T)을 횡축으로 취하고, 종축에 변동 비율을 취한 그래프이다. 변동 비율의 1은 R · T=100을 기준으로 하고 있다. 도 212에서 알 수 있듯이, R · T가 5 이하로 변동 비율이 커지는 경향이 있다. 또한, R · T가 1000 이상으로 변동 비율이 커지는 경향이 있다. 따라서, R · T는 5 이상 100 이하로 하는 것이 바람직하다.

이 과제를 해결하는 다른 방법을 도 153에 도시한다. 도 153에서는 정상적으로 전류를 흘리는 단위 트랜지스터(1531)를 형성 또는 배치되어 있다. 이 트랜지스터(1531)를 정상 트랜지스터(1531)이라고 부른다.

정상(定常) 트랜지스터(1531)는 기준 전류 Ib가 흐르고 있을 때는 상시, 전류 Is를 흘린다. 따라서, 프로그램 전류 Iw의 크기에는 의존하지 않는다. 전류 Is가 흐르는 것에 의해 게이트 배선(1261)의 전위 변동을 억제할 수 있다. Is는 단위 트랜지스터(634)가 흘리는 전류의 2배 이상 8배 이하로 설정하는 것이 바람직하다. 또한, 정상 트랜지스터(1531)는 단위 트랜지스터(634)와 동일 WL의 트랜지스터를 복수개 배치하여 구성한다. 또한, 정상 트랜지스터(1531)는 기준 전류 Ib를 흘리는 트랜지스터(633) 위치로부터 가장 먼 위치에 형성하는 것이 바람직하다.

도 153에서는 정상 트랜지스터(1531)를 복수개 형성한다고 했지만, 본 발명은 이것에 한정되는 것은 아니다. 도 155에 도시하는 바와 같이, 하나의 정상 트랜지스터(1531)를 형성해도 된다. 또한, 도 154에 도시하는 바와 같이, 정상 트랜지스터(1531)는 복수 개소에 형성해도 된다. 도 154에서는 트랜지스터(633)의 근방에 정상 트랜지스터(1531a)

를 하나 형성하고, 트랜지스터(633)로부터 가장 먼 위치에 정상 트랜지스터(1531b)를 4개 형성하고 있다.

도 154는 정상 트랜지스터(1531b)에 스위치 S1을 형성하고 있다. 스위치 S1은 화상 데이터(D0 D5)에 의해서 온 오프 제어된다. 화상 데이터가 흑 래스터(흑 래스터에 가까울 때도 포함함, (D의 상위 비트가 0))일 때, NOR 회로(1541)의 출력이 H레벨로 되고, 스위치 S1가 온하여 Is2 전류가 정상 트랜지스터(1531)에 흐른다. 그 이외일 때, 스위치 S1은 오프 상태이고, 정상 트랜지스터(1531)에는 전류는 흐르지 않는다. 이상과 같이 구성함으로써, 소비 전력을 억제할 수 있다.

도 163은 정상 트랜지스터(1531)와 슬립 스위치(1611)의 양방을 구비한 구성이다. 이상과 같이, 본 명세서에서 설명한 내용은 조합하여 구성할 수 있는 것은 물론이다.

칩 IC의 양단에 위치하는 트랜지스터군(681c1), 트랜지스터군(681cn)의 외측에는, 더미의 트랜지스터군(681c)을 형성 또는 배치해 둔다. 더미의 트랜지스터군(681c)은 칩 IC의 좌우(가장 외측)에 2 회로는 형성하는 것이 바람직하다. 바람직하게는 3 회로 이상 6 회로 이하 형성한다. 더미의 트랜지스터군(681c)이 없으면, IC의 제조 시, 확산 프로세스, 에칭 프로세스에서 외측의 트랜지스터군(681c)의 단위 트랜지스터(634)의 Vt가 IC 칩(14)의 중앙부와 다르다고 하는 과제가 발생한다. Vt가 서로 다르면 단위 트랜지스터(634)의 출력 전류(프로그램 전류)에 변동이 발생한다.

도 129 내지 도 133은 1단 커런트 미러 구성의 드라이버 IC의 구성도이다. 또한 이 1단 구성에 대하여 설명을 한다. 도 215는 1단 구성의 드라이버 회로 구성이다. 도 215의 트랜지스터군(681c)은 도 214의 단위 트랜지스터(634)로 이루어지는 출력단 구성이다(도 129 도 133도 참조할 것).

트랜지스터(632b)와 2개의 트랜지스터(633a)는 커런트 미러 회로를 구성하고 있다. 트랜지스터(633a1)와 트랜지스터(633a2)는 동일 사이즈이다. 따라서, 트랜지스터(633a1)가 흘리는 전류 Ic와 트랜지스터(633a2)가 흘리는 전류 Ic는 동일하다.

도 214의 단위 트랜지스터(634)로 이루어지는 트랜지스터군(681c)과 트랜지스터(633b1) 및 트랜지스터(633b2)는 커런트 미러 회로를 구성한다. 트랜지스터군(681c)의 출력 전류에는 변동이 발생한다. 그러나, 근접하여 커런트 미러 회로를 구성하는 트랜지스터군(681)의 출력은 정밀도 있게 전류가 규정된다. 트랜지스터(633b1)와 트랜지스터군(681c1)은 근접하여 커런트 미러 회로를 구성한다. 또한, 트랜지스터(633b2)와 트랜지스터군(681cn)은 근접하여 커런트 미러 회로를 구성한다. 따라서, 트랜지스터(633b1)에 흐르는 전류와 트랜지스터(633b2)에 흐르는 전류가 동일하면, 트랜지스터군(681c1)의 출력 전류와 트랜지스터군(681cn)의 출력 전류는 동일하게 된다. 각 IC 칩에서 전류 Ic를 정밀도 있게 발생시키면, 어느 IC 칩에서도 출력단의 양단의 트랜지스터군(681c)의 출력 전류는 동일해진다. 그 때문에, IC 칩을 캐스케이드 접속해도 IC와 IC의 이음매의 발생을 눈에 띄지 않게 할 수 있다.

트랜지스터(633b)는 도 123과 마찬가지로, 복수의 트랜지스터로 형성하고, 트랜지스터군(681b1), 트랜지스터(681b2)로 하여도 된다. 또한, 트랜지스터(633a)도 도 123과 같이 트랜지스터군(681a)으로 하여도 된다.

또한, 트랜지스터(632b)의 전류는 저항 R1에서 규정한다고 했지만 이것에 한정되는 것이 아니고, 도 218에 도시하는 바와 같이, 전자 볼륨(1503a, 1503b)으로 하여도 된다. 도 218의 구성에서는 전자 볼륨(1503a)과 전자 볼륨(1503b)을 독립적으로 동작시킬 수 있다. 따라서, 트랜지스터(632a1)와 트랜지스터(632a2)가 흘리는 전류의 값을 변경할 수 있다. 따라서, 칩의 좌우의 출력단(681c)의 출력 전류 기울기를 조정 가능하다. 또한, 전자 볼륨(1503)은 도 219에 도시하는 바와 같이 하나로 하고, 2개의 연산 증폭기(722)를 제어하도록 구성해도 된다.

또한, 도 161에서 슬립 스위치(1611)에 대하여 설명했다. 마찬가지로, 도 220과 같이 슬립 스위치를 배치 혹은 형성해도 되는 것은 물론이다. 또한, 도 153, 도 154, 도 155, 도 163에서는, 정상 트랜지스터(1531)를 형성 또는 배치한다고 했지만, 도 225에 도시하는 바와 같이, A 블록에 도 226의 (b)의 정상 트랜지스터(1531)를 형성 또는 배치해도 된다.

또한, 도 160에서는 안정화를 위해서 컨덴서(1601)를 게이트 배선(1261)에 접속한다고 했지만, 도 225에 있어서도, A의 블록에 도 226의 (a)의 안정화 컨덴서(1601)를 배치해도 되는 것은 물론이다.

또한 도 165 등에서는, 전류 조정을 위해서 저항 등을 트리밍한다고 했다. 마찬가지로, 도 225에 도시하는 바와 같이, 저항 R1 혹은 저항 R2 등을 트리밍하도록 해도 되는 것은 물론이다.

도 210에서는 트랜지스터군(681)을 구성하는 면적에 관하여, 조건이 있음을 설명했다. 그러나, 도 129 내지 도 133, 도 215 내지 도 220의 커런트 미러의 1단 구성에서는 단위 트랜지스터(634)의 개수가 매우 많기 때문에, 도 210의 조건과 서로 다르다. 이하, 1단 구성의 드라이버 회로 출력단에 대하여 설명을 덧붙여 놓는다. 또한, 설명을 쉽게 하기 위해서, 도 216, 도 217을 예시하여 설명을 한다. 그러나, 설명은 트랜지스터(633b)의 개수와 그 총 면적, 단위 트랜

지스터(634)의 개수와 총 면적에 관한 사항이기 때문에 다른 실시예에도 적용할 수 있는 것은 물론이다.

도 216, 도 217에 있어서, 트랜지스터군(681b)의 트랜지스터(633b)의 총 면적(트랜지스터군(681b) 내의 트랜지스터(633b)의 WL 사이즈×트랜지스터(633b) 수)을 S_b 로 한다. 또한, 도 216, 도 217과 같이 게이트 배선(1261)의 좌우에 트랜지스터군(681b)이 있는 경우에는 면적을 2배로 한다. 도 129와 같이 하나인 경우에는 트랜지스터(633b)의 면적이다. 또한, 트랜지스터군(681b)이 하나의 트랜지스터(633b)로 구성되는 경우에는, 하나의 트랜지스터(633b)의 사이즈인 것은 물론이다.

또한, 트랜지스터군(681c)의 단위 트랜지스터(634)의 총 면적(트랜지스터군(681c) 내의 트랜지스터(634)의 WL 사이즈×트랜지스터(634) 수)을 S_c 로 한다. 트랜지스터군(681c)의 개수를 n 으로 한다. n 은 QCIF+패널인 경우에는 176이다(RGB마다 기준 전류 회로가 형성되어 있는 경우).

도 213의 횡축은 $Sc \times n / Sb$ 이다. 종축은 변동 비율이고, 변동 비율은 가장 나쁜 상황을 1로 하고 있다. 도 213에 도시하는 바와 같이 $Sc \times n / Sb$ 가 커짐에 따라서, 변동 비율은 나빠진다. $Sc \times n / Sb$ 가 커지는 것은, 출력 단자 수 n 을 일정하다고 하면, 트랜지스터군(681c)의 단위 트랜지스터(634) 총 면적이, 트랜지스터군(681b)의 트랜지스터(633b) 총 면적에 대하여 넓은 것을 나타낸다. 이 경우에는 변동 비율이 나빠진다.

$Sc \times n / Sb$ 가 작아지는 것은, 출력 단자 수 n 을 일정하다고 하면, 트랜지스터군(681c)의 단위 트랜지스터(634) 총 면적이, 트랜지스터군(681b)의 트랜지스터(633b) 총 면적에 대하여 좁은 것을 나타낸다. 이 경우에는 변동 비율이 작아진다.

변동 허용 범위는 $Sc \times n / Sb$ 가 50 이하이다. $Sc \times n / Sb$ 가 50 이하이면, 변동 비율은 허용 범위 내이고, 게이트 배선(1261)의 전위 변동은 매우 작아진다. 따라서, 가로 크로스토크의 발생도 없고, 출력 변동도 허용 범위 내로 되어 양호한 화상 표시를 실현할 수 있다. $Sc \times n / Sb$ 가 50 이하이면 허용 범위이지만, $Sc \times n / Sb$ 를 5 이하로 하여도 거의 효과가 없다. 반대로, S_b 가 커져 IC(14)의 칩 면적이 증가한다. 따라서, $Sc \times n / Sb$ 는 5 이상 50 이하로 하는 것이 바람직하다.

또한, 트랜지스터군(681c) 내의 단위 트랜지스터(634)의 배치에 있어서도 고려를 갖는다. 트랜지스터군(681c)은 규칙 바르게 배치하는 것이 필요하다. 단위 트랜지스터(634)에 누락이 있으면, 그 주변의 단위 트랜지스터(634)의 특성이 다른 단위 트랜지스터(634)의 특성과 달라져 버린다.

도 134는 출력단의 트랜지스터군(681c)에서의 단위 트랜지스터(634)의 배치를 모식적으로 도시하고 있다. 64 계조를 표현하는 63개의 단위 트랜지스터(634)는 매트릭스 형상으로 규칙 바르게 배치되어 있다. 그러나, 64개의 단위 트랜지스터(634)이면, 4 열×16 행으로 배치할 수 있지만, 단위 트랜지스터(634)는 63개이기 때문에, 1 개소 형성하지 않는 개소가 발생한다(사선부). 그렇게 하면, 사선부 주변의 단위 트랜지스터(634a, 634b, 634c)의 특성이 다른 단위 트랜지스터(634)와 다르게 제작되어 버린다.

이 과제를 해결하기 위해서, 본 발명은, 사선부에 더미 트랜지스터(1341)를 형성 또는 배치한다. 그렇게 하면, 단위 트랜지스터(634a), 단위 트랜지스터(634b), 단위 트랜지스터(634c)의 특성이 다른 단위 트랜지스터(634)와 일치하도록 된다. 즉, 본 발명은, 더미 트랜지스터(1341)를 형성함으로써, 단위 트랜지스터(634)를 매트릭스 형상으로 구성하는 것이다. 또한, 단위 트랜지스터(634)를 매트릭스 형상으로 이지러짐이 없도록 배치하는 것이다. 또한, 단위 트랜지스터(634)는 선 대칭성을 갖도록 배치하는 것이다.

64 계조를 표현하기 위해서는, 63개의 단위 트랜지스터(634)를 트랜지스터군(681c)에 배치한다고 했지만, 본 발명은 이것에 한정되는 것이 아니다. 단위 트랜지스터(634)는 또한 복수의 서브 트랜지스터로 구성해도 된다.

도 135의 (a)는, 단위 트랜지스터(634)이다. 도 135의 (b)는 4개의 서브 트랜지스터(1352)로, 단위 트랜지스터(1 단위)(1351)를 구성하고 있다. 단위 트랜지스터(1 단위)(1351)의 출력 전류는, 단위 트랜지스터(634)와 동일로 되도록 한다. 즉, 단위 트랜지스터(634)를 4개의 서브 트랜지스터(1352)로 구성하고 있다. 또한, 본 발명은 단위 트랜지스터(634)를 4개의 서브 트랜지스터(1352)로 구성하는 것에 한정되는 것이 아니고, 단위 트랜지스터(634)를 복수의 서브 트랜지스터(1352)로 구성하면 어느 구성이라든 무방하다. 단, 서브 트랜지스터(1352)는 동일한 사이즈 또는 동일한 출력 전류를 출력하도록 구성한다.

도 135에 있어서, S는 트랜지스터의 소스 단자, G는 트랜지스터의 게이트 단자, D는 트랜지스터의 드레인 단자를 나타내고 있다. 도 135의 (b)에 있어서, 서브 트랜지스터(1352)는 동일 방향으로 배치하고 있다. 도 135의 (c)는 서브 트랜지스터(1352)가 행 방향에 서로 다른 방향으로 배치하고 있다. 또한, 도 135의 (d)는 서브 트랜지스터(1352)가 열 방향에 서로 다른 방향으로 배치하고, 또한 점 대칭으로 되도록 배치하고 있다. 도 135의 (b), 도 135의 (c), 도 135의 (d)에 어긋남도 규칙성이 있다.

단위 트랜지스터(634) 혹은 서브 트랜지스터(1352)의 형성 방향을 변화시키면 특성은 서로 다른 경우가 많다. 예를 들면, 도 135의 (c)에 있어서, 단위 트랜지스터(634a)와 서브 트랜지스터(1352b)는, 게이트 단자에 인가된 전압이 동일하더라도, 출력 전류는 서로 다르다. 그러나, 도 135의 (c)에서는 서로 다른 특성의 서브 트랜지스터(1352)가 동수씩 형성되어 있다. 따라서, 트랜지스터(단위)로서는 변동이 적어진다. 또한, 형성 방향이 서로 다른 단위 트랜지스터(634) 혹은 서브 트랜지스터(1352)의 방향을 변화시킴으로써, 특성차가 보간되고 있어, 트랜지스터(1 단위)의 변동은 저감한다고 하는 효과를 발휘한다. 이상의 사항은 도 135의 (d)의 배치에도 해당하는 것은 물론이다.

따라서, 도 136 등에 도시하는 바와 같이, 단위 트랜지스터(634)의 방향을 변화시켜, 트랜지스터군(681c)으로서 세로 방향으로 형성한 단위 트랜지스터(634)의 특성과 가로 방향에 형성한 단위 트랜지스터(634)의 특성을 서로 보간함으로써, 트랜지스터군(681c)으로서 변동을 적게 할 수 있다.

도 136은 트랜지스터군(681c) 내에서 얼마다 단위 트랜지스터(634)의 형성 방향을 변화시킨 실시예이다. 도 137은 트랜지스터군(681c) 내에서 행마다 단위 트랜지스터(634)의 형성 방향을 변화시킨 실시예이다. 도 138은 트랜지스터군(681c) 내에서 행 및 열마다 단위 트랜지스터(634)의 형성 방향을 변화시킨 실시예이다. 또한, 더미 트랜지스터(1341)를 형성 또는 배치하는 경우도 이 구성 요건에 따라서 구성한다.

이상의 실시예는, 동일한 사이즈 또는 동일한 전류 출력의 단위 트랜지스터를 트랜지스터군(681c) 내에 구성 혹은 형성하는 구성이었다(도 139의 (b)를 참조할 것). 그러나, 본 발명은 이것에 한정되는 것은 아니다. 도 139의 (a)에 도시하는 바와 같이, 0 비트패(스위치(641a))는 1 단위의 단위 트랜지스터(634a)를 접속한다(형성한다). 1 비트패(스위치(641b))는 2 단위의 단위 트랜지스터(634b)를 접속한다(형성한다). 2 비트패(스위치(641c))는 4 단위의 단위 트랜지스터(634c)를 접속한다(형성한다). 3 비트패(스위치(641d))는 8 단위의 단위 트랜지스터(634d)를 접속한다(형성한다). 4 비트패(도시하지 않음)는 16 단위의 단위 트랜지스터(634a)를 접속한다(형성한다). 5 비트패(도시하지 않음)는 32 단위의 단위 트랜지스터(634a)를 접속(형성)하는 것으로 하여도 된다. 또한 예를 들면, 16 단위의 단위 트랜지스터란, 단위 트랜지스터(634)의 16 갯수분의 전류를 출력하는 트랜지스터이다.

* 단위(*는 정수)의 단위 트랜지스터는 채널 폭 W를 비례적으로 변화시키는 (채널 길이 L을 일정하게 함) 것에 의해 용이하게 형성할 수 있다. 그러나, 현실적으로는 채널 폭 W를 2배로 하여도 출력 전류는 2배로 되지 않는 경우가 많다. 이것은 실제로 트랜지스터를 제작하여 실험에 의해 채널 폭 W를 결정한다. 그러나, 본 발명에 있어서, 채널 폭 W가 다소 비례 조건으로부터 어긋나 있더라도, 비례하여 있는 것으로 해서 표현한다.

이하, 기준 전류 회로에 대하여 설명한다. 출력 전류 회로(704)는 R, G, B 마다 형성(배치)하고, 또한 이 RGB의 출력 전류 회로(704R, 704G, 704B)도 근접하여 배치한다. 또한, 각 색(R, G, B)에, 도 73에 도시하는 저 전류 영역의 기준 전류 INL을 조정하고, 또한 도 74에 도시하는 저 전류 영역의 기준 전류 INH를 조정한다(도 79도 참조할 것).

따라서, R의 출력 전류 회로(704R)에는 저 전류 영역의 기준 전류 INL을 조정하는 볼륨(혹은, 전압 출력 혹은 전류 출력의 전자 볼륨)(651RL)이 배치되고, 고 전류 영역의 기준 전류 INH를 조정하는 볼륨(혹은, 전압 출력 혹은 전류 출력의 전자 볼륨)(651RH)가 배치된다. 마찬가지로, G의 출력 전류 회로(704g)에는 저 전류 영역의 기준 전류 INL을 조정하는 볼륨(혹은, 전압 출력 혹은 전류 출력의 전자 볼륨)(651GL)이 배치되고, 고 전류 영역의 기준 전류 INH를 조정하는 볼륨(혹은, 전압 출력 혹은 전류 출력의 전자 볼륨)(651GH)이 배치된다. 또한, B의 출력 전류 회로(704) B에는 저 전류 영역의 기준 전류 INL을 조정하는 볼륨(혹은, 전압 출력 혹은 전류 출력의 전자 볼륨)(651BL)이 배치되고, 고 전류 영역의 기준 전류 INH를 조정하는 볼륨(혹은, 전압 출력 혹은 전류 출력의 전자 볼륨)(651BH)가 배치된다.

또한, 볼륨(651) 등은, EL 소자(15)의 온특을 보상할 수 있도록, 온도로 변화하도록 구성하는 것이 바람직하다. 또한, 도 79의 감마 특성으로, 절곡점이 2점 이상 있을 때에는, 각 색의 기준 전류를 조정하는 전자 볼륨 혹은 저항 등은 3개 이상으로 해도 되는 것은 물론이다.

IC 칩의 출력 단자에는, 출력 패드(761)가 형성 또는 배치되어 있다. 이 출력 패드와, 표시 패널의 소스 신호선(18)이 접속된다. 출력 패드(761)는 도금 기술 혹은 네일 헤드 본더 기술에 의해 범프(돌기)가 형성되어 있다. 돌기의 높이는 10 μ m 이상 40 μ m 이하의 높이로 한다.

상기 범프와 각 소스 신호선(18)은 도전성 접합층(도시하지 않음)을 통하여 전기적으로 접속되어 있다. 도전성 접합층은 접착제로서 에폭시계, 페놀계 등을 주요제로 하여, 은(Ag), 금(Au), 니켈(Ni), 카본(C), 산화 주석(SnO₂) 등의 후레이크를 섞은 것, 혹은 자외선 경화 수지 등이다. 도전성 접합층은 전사 등의 기술로 범프 상에 형성한다. 또한, 범프와 소스 신호선(18)을 ACF 수지로 열 압착한다. 또한, 범프 혹은 출력 패드(761)와 소스 신호선(18)의 접속은 이상의 방식에 한정되는 것은 아니다. 또한, 어레이 기판 위에 IC(14)를 적재하지 않고, 필름 캐리어 기술을 이용하여도 된다. 또한, 폴리이미드 필름 등을 이용하여 소스 신호선(18) 등과 접속해도 된다.

도 69에 있어서, 입력된 4 비트의 전류값 제어용 데이터(DI)는, 4 비트 디코더 회로(692)에서 디코드된다(분할수가 64 필요하면, 6 비트로 하는 것은 물론임. 여기서는 설명을 쉽게 하기 위해서, 4 비트로서 설명함). 그 출력은 레벨 시프터 회로(693)에 의해, 로직 레벨의 전압값으로부터 아날로그 레벨의 전압값으로 승압되어, 아날로그 스위치(641)에 입력된다.

전자 볼륨 회로의 주 구성부는 고정 저항 R_0 (691a)과 16개의 단위 저항 r (691b)로 구성되어 있다. 디코더 회로(692)의 출력은 16개의 아날로그 스위치(641) 중 어느 하나에 접속되어 있고, 디코더 회로(692)의 출력에 의해, 전자 볼륨의 저항값이 정해지도록 구성되어 있다. 예를 들면, 디코더 회로(692)의 출력이 4이면, 전자 볼륨의 저항값은 $R_0 + 5r$ 로 된다. 이 전자 볼륨의 저항은, 제1단 전류원(631)의 부하로 되어 있고, 아날로그 전원 AVdd에 풀업되어 있다. 따라서, 이 전자 볼륨의 저항값이 변화하면, 제1단 전류원(631)의 전류값이 변화하고, 그 결과, 제2단 전류원(632)의 전류값이 변화하고, 그 결과, 제3단 전류원(633)의 전류값도 변화하여, 드라이버 IC의 출력 전류는 컨트롤되게 된다.

또한, 설명의 형편상, 전류값 제어용 데이터는 4 비트로 했지만, 이것은 4 비트에 고정되는 것이 아니고, 비트 수가 많으면 많을수록, 전류값의 가변 수는 많아지는 것은 물론이다. 또한, 다단식 커런트 미러의 구성을 3단으로 하여 설명했지만, 이것도 3단에 고정되는 것이 아니고, 임의의 단수여도 괜찮은 것은 물론이다.

또한, 온도 변화에 의해, EL 소자의 발광 휘도가 변화한다고 하는 과제에 대하여, 전자 볼륨 회로의 구성으로서, 온도에 의해 저항값이 변화하는 외부 부속 저항(691a)을 구비시키는 것이 바람직하다. 온도에 의해 저항값이 변화하는 외부 부속 저항이란, 서미스터, 포지스터 등이 예시된다. 일반적으로, 소자에 흐르는 전류에 대응하여 휘도가 변화하는 발광 소자는, 온도 특성을 갖고 있으며, 동일한 전류값을 흘리더라도, 그 발광 휘도는 온도에 의해 변화한다. 그래서, 온도에 의해 저항값이 변화하는 외부 부속 저항(691a)을 전자 볼륨에 부속하는 것에 의해, 정전류 출력의 전류값을 온도에 의해 변화시킬 수 있고, 온도가 변화해도 발광 휘도를 항상 일정하게 할 수 있다.

또한, 상기 다단식 커런트 미러 회로가, 적(R)용, 녹(G)용, 청(B)용의 3계통으로 분리되는 것이 바람직하다. 일반적으로 유기 EL 등의 전류 구동형 발광 소자에서는, R, G, B에서 발광 특성이 서로 다르다. 따라서, R, G, B에서 동일한 휘도로 하기 위해서는, 발광 소자에 흘리는 전류값을 R, G, B에서 각각 조정할 필요가 있다. 또한, 유기 EL 표시 패널 등의 전류 구동형 발광 소자에서는, R, G, B에서 온도 특성이 서로 다르다. 따라서, 온도 특성을 보정하기 위해서 형성 또는 배치한 서미스터 등의 외부 보조 소자의 특성도, R, G, B에서 각각 조정할 필요가 있다.

본 발명에서는 상기 다단식 커런트 미러 회로가, R용, G용, B용의 3계통으로 분리되어 있기 때문에, 발광 특성이나 온도 특성을 R, G, B에서 각각 조정할 수가 있고, 최적의 화이트 밸런스를 얻는 것이 가능하다.

앞서도 설명하였지만, 전류 구동 방식에서는, 흑 표시 시에서, 화소에 기입하는 전류가 작다. 그 때문에, 소스 신호선(18) 등에 기생 용량이 있으면, 1 수평 주사 기간(1H)에 화소 L6에 충분한 전류를 기입할 수 없다고 하는 문제점이 있었다. 일반적으로, 전류 구동형 발광 소자에서는, 흑 레벨의 전류값은 수 nA 정도로 미약하기 때문에, 그 신호치로 수 10pF 정도 된다고 생각되는 기생 용량(배선 부하 용량)을 구동하는 것은 곤란하다. 이 과제를 해결하기 위해서는, 소스 신호선(18)에 화상 데이터를 기입하기 전에, 프리차지 전압을 인가하여, 소스 신호선(18)의 전위 레벨을 화소의 트랜지스터(11a)의 흑 표시 전류(기본적으로는 트랜지스터(11a)는 오프 상태)로 하는 것이 유효하다. 이 프리차지 전압의 형성(작성)에는, 화상 데이터의 상위 비트를 디코드함으로써, 흑 레벨의 정전압 출력을 행하는 것이 유효하다.

도 70에, 본 발명의 프리차지 기능을 갖는 전류 출력 방식의 소스 드라이버 회로(IC)(14)의 일례를 나타낸다. 도 70에서는 6 비트의 정전류 출력 회로의 출력단에 프리차지 기능을 탑재한 경우를 도시하고 있다. 도 70에 있어서, 프리차지 제어 신호는, 화상 데이터 D0~D5의 상위 3 비트 D3, D4, D5가 전부 0인 경우를 NOR 회로(702)에서 디코드하고, 수평 동기 신호 HD에 의한 리셋 기능을 갖는 도트 클럭 CLK의 카운터 회로(701)의 출력과의 AND 회로(703)를 취하여, 일정 기간 흑 레벨 전압 V_p 을 출력하도록 구성되어 있다. 다른 경우에는, 도 68 등에서 설명한 전류 출력단(704)으로부터의 출력 전류가 소스 신호선(18)에 인가된다(소스 신호선(18)으로부터 프로그램 전류 I_w 를 흡수함). 이 구성에 의해, 화상 데이터가 흑 레벨에 가까운 0 계조째~7 계조째인 경우, 1수평 기간의 처음 일정 기간만 흑 레벨에 상당하는 전압이 기입되고, 전류 구동의 부담이 감소되어, 기입 부족을 보충하는 것이 가능해진다. 또한, 완전 흑 표시를 0 계조째로 하고, 완전 백 표시를 63 계조째로 한다(64 계조 표시의 경우).

또한, 프리차지를 행하는 계조는, 흑 표시 영역에 한정하여야 한다. 즉, 기입 화상 데이터를 판정하여, 흑 영역 계조(저휘도, 즉, 전류 구동 방식에서는, 기입 전류가 작은 (미소))를 선택하여 프리차지한다(선택 프리차지). 전 계조 데이터에 대하여, 프리차지하면, 이번에는 백 표시 영역에서, 휘도의 저하(목표 휘도에 도달하지 않음)가 발생한다. 또한, 화상에 세로 줄무늬가 표시된다.

바람직하게는, 계조 데이터의 계조 0 내지 1/8의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조째에서 7 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 또한, 바람직하게는, 계조 데이터의 계조 0 내지 1/16의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는,

0 계조째로부터 3 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함).

특히 흑 표시에서, 콘트라스트를 높게 하기 위해서는, 계조 0만을 검출하여 프리차지하는 방식도 유효하다. 매우 흑 표시가 양호하게 된다. 문제는 화면 전체가 계조 1, 2인 경우에 화면이 흑이 들뜨게 보이는 것이다. 따라서, 계조 데이터의 계조 0 내지 1/8의 영역의 계조와, 플러스의 범위에서 선택 프리차지를 행한다. 계조 0만을 프리차지하는 방법은 화상 표시에 공급하는 폐해의 발생이 적다. 따라서, 가장 프리차지 기술로서 채용하는 것이 바람직하다.

또한, 프리차지의 전압, 계조 범위는 R, G, B에서 서로 다르게 하는 것도 유효하다. EL 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 서로 다르기 때문이다. 예를 들면, R은 계조 데이터의 계조 0 내지 1/8의 영역의 계조에서, 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 01 계조째로부터 7 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함). 다른 색(G, B)은, 계조 데이터의 계조 0 내지 1/16의 영역의 계조에서 선택 프리차지를 행한다(예를 들면, 64 계조일 때에는, 0 계조째에서 3 계조째까지의 화상 데이터일 때, 프리차지를 행하고 나서, 화상 데이터를 기입함) 등의 제어를 행한다. 또한, 프리 차지 전압도, R은 7(V)이면, 다른 색(G, B)은 7.5(V)의 전압을 소스 신호선(18)에 기입하도록 한다. 최적의 프리차지 전압은, EL 표시 패널의 제조 로트에서 서로 다른 경우가 많다. 따라서, 프리차지 전압은 외부 볼륨 등으로 조정할 수 있도록 구성해 두는 것이 바람직하다. 이 조정 회로도 전자 볼륨 회로를 이용함으로써 용이하게 실현할 수 있다.

또한, 프리차지 전압은 도 1의 애노드 전압 $V_{dd}-0.5(V)$ 이하, 애노드 전압 $V_{dd}-2.5(V)$ 이내로 하는 것이 바람직하다.

계조 0만을 프리차지하는 방법에 있어서도, R, G, B의 일색 혹은 2색을 선택하여 프리차지하는 방법도 유효하다. 화상 표시에 공급하는 폐해의 발생이 적다.

또한, 전혀 프리차지하지 않는 제0 모드, 계조 0만을 프리차지하는 제1 모드, 계조 0 내지 계조 3의 범위에서 프리차지하는 제2 모드, 계조 0 내지 계조 7의 범위에서 프리차지하는 제3 모드, 전 계조의 범위에서 프리차지하는 제4 모드 등을 설정하고, 이들을 커맨드로 전환하도록 구성하는 것이 바람직하다. 이들은 소스 드라이버 회로(IC)(14)내에서 로직 회로를 구성(설계)하는 것에 의해 용이하게 실현할 수 있다.

도 75는 선택 프리차지 회로부의 구체화 구성도이다. PV는 프리차지 전압의 입력 단자이다. 외부 입력 혹은 전자 볼륨 회로에 의해, R, G, B에서 개별 프리차지 전압이 설정된다. 또한, R, G, B에서 개별 프리차지 전압을 설정한다고 했지만 이것에 한정되는 것은 아니다. R, G, B에서 공통이어도 된다. 프리차지 전압은 화소(16)의 구동용 트랜지스터(11a)의 V_t 에 상관되는 것이고, 이 화소(16)는 R, G, B화소에서 동일하기 때문이다. 반대로는, 화소(16)의 구동용 트랜지스터(11a)의 W/L비 등을 R, G, B에서 서로 달리 하고 있는(다른 설계로 되어 있음) 경우에는, 프리차지 전압을 다른 설계에 따라 조정하는 것이 바람직하다. 예를 들면, L이 커지면, 트랜지스터(11a)의 다이오드 특성이 나빠져, 소스-드레인(SD) 전압이 커진다. 따라서, 프리차지 전압은 소스 전위(V_{dd})에 대하여 낮게 설정할 필요가 있다.

프리차지 전압 PV는 아날로그 스위치(731)에 입력되어 있다. 이 아날로그 스위치의 W(채널 폭)은 온 저항을 저감하기 위해서, $10\mu m$ 이상으로 할 필요가 있다. 그러나, 너무 W가 크면, 기생 용량도 커지기 때문에 $100\mu m$ 이하로 한다. 더욱 바람직하게는, 채널 폭 W는 $15\mu m$ 이상 $60\mu m$ 이하로 하는 것이 바람직하다. 이상의 사항은 도 75의 스위치(641b)의 아날로그 스위치(731), 도 73의 아날로그 스위치(731)에도 적용된다.

스위치(641a)는 프리차지 인에이블(PEN) 신호, 선택 프리차지 신호(PSL)와, 도 74의 로직 신호의 상위 3 비트(H5, H4, H3)로 제어된다. 일례로 한 로직 신호의 상위 3 비트(H5, H4, H3)의 의미는, 상위 3 비트가 '0'일 때에 선택 프리차지가 실시되도록 했기 때문이다. 즉, 하위 3 비트가 '1'일 때(계조 0 내지 계조 7)일 때를 선택하여 프리차지가 실시되도록 구성하고 있다.

또한, 이 선택 프리차지는 계조 0만을 프리차지하든지, 계조 0 내지 계조 7의 범위에서 프리차지하든지 고정해도 되지만, 저 계조유역(도 79의 계조 0 내지 계조 R1 혹은 계조(R1-1))을 선택 프리차지한다고 하는 것처럼, 저 계조 영역과 연동시켜도 된다. 즉, 선택 프리차지는, 저 계조 영역이 계조 0 내지 계조 R1일 때 에는 이 범위에서 실시하고, 저 계조 영역이 계조 0 내지 계조 R2일 때에는 이 범위에서 실시하도록 연동시켜 실시한다. 또한, 이 제어 방식 쪽이 다른 방식에 비교하여, 하드 규모가 작아진다.

이상의 신호의 인가 상태에 의해, 스위치(641a)가 온 오프 제어되고, 스위치(641a) 온일 때, 프리차지 전압 PV가 소스 신호선(18)에 인가된다. 또한, 프리차지 전압 PV를 인가하는 시간은, 별도로 형성한 카운터(도시하지 않음)에 의해 설정된다. 이 카운터는 커맨드에 의해 설정할 수 있도록 구성되어 있다. 또한, 프리차지 전압의 인가 시간은 1 수평 주사 기간(1H)의 1/100 이상 1/5 이하의 시간으로 설정하는 것이 바람직하다. 예를 들면, 1H가 $100\mu sec$ 라고 하면, $1\mu sec$ 이상 $20\mu sec$ (1H의 1/100 이상 1H의 1/5 이하)로 한다. 더욱 바람직하게는, $2\mu sec$ 이상 $10\mu sec$ (1H의 2/100 이상 1H의 1/10 이하)로 한다.

도 173은 도 70 혹은 도 75의 변형예이다. 도 173은 입력 화상 데이터에 따라 프리차지할지 여부를 판정하여, 프리차지 제어를 행하는 프리차지 회로이다. 예를 들면, 화상 데이터가 계조 0만일 때에 프리차지를 행하는 설정, 화상 데이터가 계조 0, 1만일 때에 프리차지를 행하는 설정, 계조 0은 반드시 프리차지하고, 계조 1이 소정 이상 연속하여 발생하는 경우에 프리차지하는 설정을 행할 수 있다.

도 173은 본 발명의 프리차지 기능을 갖는 전류 출력 방식의 소스 드라이버 회로(IC)(14)의 일례를 나타낸다. 도 173에서는 6 비트의 정전류 출력 회로의 출력단에 프리차지 기능을 탑재한 경우를 도시하고 있다. 도 173에 있어서, 일치 회로(1731)는, 화상 데이터 D0 D5에 따라 디코드하고, 수평 동기 신호 HD에 의한 리 셋 기능을 갖는 REN 단자 입력, 도트 클럭 CLK 단자 입력에서 프리차지할지 여부를 판정한다. 또한, 일치 회로(1731)는 메모리를 갖고 있고, 수 H 혹은 수 필드(프레임)의 화상 데이터에 의한 프리차지 출력 결과를 유지하고 있다. 유지 결과에 기초하여, 프리차지할지 여부를 판정하여, 프리차지 제어하는 기능을 갖는다. 예를 들면, 계조 0은 반드시 프리차지하고, 계조 1이 6H(6 수평 주사 기간) 이상 연속하여 발생하는 경우에 프리차지하는 설정을 행할 수 있다. 또한, 계조 0, 1은 반드시 프리차지하고, 계조 2가 3F(3 프레임 기간) 이상 연속하여 발생하는 경우에 프리차지하는 설정을 행할 수 있다.

일치 회로(1731)의 출력과 카운터 회로(701)의 출력이, AND 회로(703)에서 AND되어, 일정 기간 후 레벨 전압 V_p 을 출력하도록 구성되어 있다. 다른 경우에는, 도 68 등에서 설명한 전류 출력단(704)으로부터의 출력 전류가 소스 신호선(18)에 인가된다(소스 신호선(18)으로부터 프로그램 전류 I_w 를 흡수함). 다른 구성은 도 70, 도 75 등과 동등 혹은 유사하기 때문에 설명을 생략한다. 또한, 도 173에서는 프리차지 전압은 A 점에 인가하고 있지만, B점에 인가해도 되는 것은 물론이다(도 75도 참조할 것).

소스 신호선(18)에 인가하는 화상 데이터에 의해, 프리차지 전압 PV 인가 시간을 가변하는 것에 의해서도 양호한 결과가 얻어진다. 예를 들면, 완전 흑 표시의 계조 0에서는 인가 시간을 길게 하고, 계조 4에서는 그것보다도 짧게 하는 등이다. 또한, 1H 전의 화상 데이터와 다음에 인가하는 화상 데이터의 차를 고려하여, 인가 시간을 설정하는 것도 양호한 결과를 얻을 수 있다. 예를 들면, 1H 전에 소스 신호선에 화소를 백 표시로 하는 전류를 기입하고, 다음의 1H에, 화소에 흑 표시로 하는 전류를 기입할 때는, 프리차지 시간을 길게 한다. 흑 표시의 전류는 미소하기 때문이다. 반대로, 1H 전에 소스 신호선에 화소를 흑 표시로 하는 전류를 기입하고, 다음의 1H에, 백소(白素)에 흑 표시로 하는 전류를 기입할 때는, 프리차지 시간을 짧게 하거나, 혹은 프리차지를 정지한다(행하지 않음). 백 표시가 기입 전류는 크기 때문이다.

인가하는 화상 데이터에 따라 프리차지 전압을 변화시키는 것도 유효하다. 흑 표시의 기입 전류는 미소하고, 백 표시의 기입 전류는 크기 때문이다. 따라서, 저 계조 영역으로 됨에 따라서, 프리차지 전압을 높게(V_{dd} 에 대하여. 또한, 화소 트랜지스터(11a)가 P 채널일 때) 하고, 고 계조 영역으로 됨에 따라서, 프리차지 전압을 낮게(화소 트랜지스터(11a)가 P 채널일 때) 한다.

이하, 이해를 쉽게 하기 위해서, 도 75를 중심으로 설명한다. 또한, 이하에 설명하는 사항은 도 70, 도 175의 프리차지 회로에도 적용할 수 있는 것은 물론이다.

프로그램 전류 오픈 단자(P0 단자)가 'O'일 때에는, 스위치(1521)가 오프 상태로 되어, IL 단자 및 IH 단자와 소스 신호선(18)은 분리된다(Iout 단자가, 소스 신호선(18)과 접속되어 있음). 따라서, 프로그램 전류 I_w 는 소스 신호선(18)에는 흐르지 않는다. PO 단자는 프로그램 전류 I_w 를 소스 신호선에 인가하고 있을 때는, '1'로 하고, 스위치(1521)를 온하여, 프로그램 전류 I_w 를 소스 신호선(18)에 흘린다.

PO 단자에 '0'을 인가하고, 스위치(1521)를 오픈으로 할 때에는, 표시 영역의 어느 화소 행도 선택되어 있지 않을 때이다. 단위 트랜지스터(634)는 입력 데이터(D0 D5)에 기초하여 전류를 끊임없이, 소스 신호선(18)으로부터 인입하고 있다. 이 전류가 선택된 화소(16)의 V_{dd} 단자로부터 트랜지스터(11a)를 통하여 소스 신호선(18)에 유입되는 전류이다. 따라서, 어느 화소 행도 선택되어 있지 않을 때에는, 화소(16)로부터 소스 신호선(18)에 전류가 흐르는 경로가 없다. 어느 화소 행도 선택되어 있지 않을 때란, 임의의 화소 행이 선택되고, 다음의 화소 행이 선택되기까지의 사이에 발생한다. 또한, 이러한 어느 화소(화소 행)도 선택되지 않고, 소스 신호선(18)에 유입되는(흘러 나감) 경로가 없는 상태를, 전 비선택 기간이라고 부른다.

이 상태에서, IOUT 단자가 소스 신호선(18)에 접속되어 있으면, 온 상태로 되어 있는 단위 트랜지스터(634)(실제로는 온 상태로 되어 있는 것은 D0 D5 단자의 데이터에 의해 제어되는 스위치(641)이지만)에 전류가 흐른다. 그 때문에, 소스 신호선(18)의 기생 용량에 충전된 전하가 방전하여, 소스 신호선(18)의 전위가, 급격히 저하한다. 이상과 같이, 소스 신호선(18)의 전위가 저하하면, 본래 소스 신호선(18)에 기입하는 전류에 의해, 원래의 전위까지 회복하는데 시간을 요하게 된다.

이 과제를 해결하기 위해서, 본 발명은 전 비선택 기간에, PO 단자에 '0'을 인가하고, 도 75의 스위치(1521)를 오프하여, IOUT 단자와 소스 신호선(18)을 분리한다. 분리하는 것에 의해, 소스 신호선(18)으로부터 단위 트랜지스터(63

4)에 전류가 유입되는 일이 없게 되므로, 전 비선택 기간에 소스 신호선(18)의 전위 변화는 발생하지 않는다. 이상과 같이, 전 비선택 기간에 PO 단자를 제어하여, 소스 신호선(18)으로부터 전류원을 분리함으로써, 양호한 전류 기입을 실시할 수 있다.

또한, 화면에 백 표시 영역(일정한 휘도를 갖는 영역)의 면적(백 면적)과, 흑 표시 영역(소정 이하의 휘도의 영역)의 면적(흑 면적)이 혼재하고, 백 면적과 흑 면적의 비율이 일정한 범위일 때, 프리차지를 정지한다고 하는 기능을 부가하는 것은 유효하다(적정 프리차지). 이 일정한 범위에서, 화상에 세로 줄무늬가 발생하기 때문이다. 물론, 반대로 일정한 범위에서 프리차지한다고 하는 경우도 있다. 또한, 화상이 움직였을 때, 화상이 노이즈적으로 되기 때문이다. 적정 프리차지는, 연산 회로에서 백 면적과 흑 면적에 해당하는 화소의 데이터를 카운트(연산)하는 것에 의해, 용이하게 실현할 수 있다.

프리차지 제어는 R, G, B에서 서로 다르게 한 것도 유효하다. EL 소자(15)는 R, G, B에서 발광 개시 전압, 발광 휘도가 서로 다르기 때문이다. 예를 들면, R은, 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:20 이상에서 프리차지를 정지 또는 개시하고, G와 B는 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:16 이상에서 프리차지를 정지 또는 개시한다고 하는 구성이다. 또한, 실험 및 검토 결과에 따르면, 유기 EL 패널의 경우, 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:100 이상(즉, 흑 면적이 백 면적의 100배 이상)에서 프리차지를 정지하는 것이 바람직하다. 나아가서는, 소정 휘도의 백 면적: 소정 휘도의 흑 면적의 비가 1:200 이상(즉, 흑 면적이 백 면적의 200배 이상)에서 프리차지를 정지하는 것이 바람직하다.

프리차지 전압 PV는, 화소(16)의 구동용 트랜지스터(11a)가 P 채널인 경우, Vdd(도 1을 참조)에 가까운 전압을 소스 드라이버 회로(IC)(14)로부터 출력할 필요가 있다. 그러나, 이 프리차지 전압 PV가 Vdd에 가까울수록, 소스 드라이버 회로(IC)(14)는 고 내압 프로세스의 반도체를 사용할 필요가 있다(고 내압이라고 하더라도, 5(V) 10(V)이지만, 그러나, 5(V) 내압을 넘으면, 반도체 프로세스 가격이 높아지는 점이 과제임. 따라서, 5(V) 내압의 프로세스를 채용함으로써 고정밀, 저가격의 프로세스를 사용할 수 있음).

화소(16)의 구동용 트랜지스터(11a)의 다이오드 특성이 양호하고 백 표시의 온 전류가 확보되었을 때, 5(V) 이하이면, 소스 드라이버 IC(14)도 5(V) 프로세스를 사용할 수 있으므로 문제는 발생하지 않는다. 그러나, 다이오드 특성이 5(V)를 넘었을 때, 문제로 된다. 특히, 프리차지는 트랜지스터(11a)의 소스 전압 Vdd에 가까운 프리차지 전압 PV를 인가할 필요가 있으므로, IC(14)로부터 출력할 수 없게 된다.

도 92는 이 과제를 해결하는 패널 구성이다. 도 92에서는, 어레이 기판(71)측에 스위치 회로(641)를 형성하고 있다. 소스 드라이버 IC(14)로부터는 스위치(641)의 온 오프 신호를 출력한다. 이 온 오프 신호는 어레이 기판(71)에 형성된 레벨 시프트 회로(693)에서 승압되고, 스위치(641)를 온 오프 동작시킨다. 또한, 스위치(641) 및 레벨 시프트 회로(693)가 화소의 트랜지스터를 형성하는 프로세스에서 동시에, 혹은 순차적으로 형성된다. 물론, 외부 부착 회로(IC)에서 별도 형성하여, 어레이 기판(71) 상에 실장하는 등 해도 된다.

온 오프 신호는 앞서 설명(도 75등)한 프리차지 조건에 기초하여, IC(14)의 단자(761a)로부터 출력된다. 따라서, 프리차지 전압의 인가, 구동 방법은 도 92의 실시예에서도 적용할 수 있는 것은 물론이다. 단자(761a)로부터 출력되는 전압(신호)은, 5(V) 이하로 낮다. 이 전압(신호)이 레벨 시프트 회로(693)에서 스위치(641)의 온 오프 로직 레벨까지 진폭이 크게 된다.

이상과 같이 구성함으로써, 소스 드라이버 회로(IC)(14)는 프로그램 전류 Iw를 구동할 수 있는 동작 전압 범위의 전원 전압으로 충분해진다. 프리차지 전압 PV는, 동작 전압이 높은 어레이 기판(71)에서 과제는 없어진다. 따라서, 프리차지도 애노드 전압(Vdd)까지 충분히 인가할 수 있게 된다.

도 89의 스위치(1521)도 소스 드라이버 회로(IC)(14) 내에 형성(배치)하게 되면 내압이 문제가 된다. 예를 들면, 화소(16)의 Vdd 전압이, IC(14)의 전원 전압보다도 높은 경우, IC(14)의 단자(761)에 IC(14)를 파괴하는 전압이 인가될 위험이 있기 때문이다.

이 과제를 해결하는 실시예가 도 91의 구성이다. 어레이 기판(71)에 스위치 회로(641)를 형성(배치)하고 있다. 스위치 회로(641)의 구성 등은 도 92에서 설명한 구성, 사양 등과 동일 또는 근사하다.

스위치(641)는 IC(14)의 출력보다도 앞이고, 또한 소스 신호선(18)의 도중에 배치되어 있다. 스위치(641)가 온하는 것에 의해, 화소(16)를 프로그램하는 전류 Iw가 소스 드라이버 회로(IC)(14)에 유입된다. 스위치(641)가 오프하는 것에 의해, 소스 드라이버 회로(IC)(14)는 소스 신호선(18)으로부터 분리된다. 이 스위치(641)를 제어함으로써, 도 90에 도시하는 구동 방식 등을 실시할 수 있다.

도 92와 마찬가지로 단자(761a)로부터 출력되는 전압(신호)은 5(V) 이하로 낮다. 이 전압(신호)이 레벨 시프트 회로(

693)에서 스위치(641)의 온 오프 로직 레벨까지 진폭이 크게 된다.

이상과 같이 구성함으로써, 소스 드라이버 회로(IC)(14)는 프로그램 전류 I_w 를 구동할 수 있는 동작 전압 범위의 전원 전압으로 충분해진다. 또한, 스위치(641)도 어레이 기판(71)의 전원 전압으로 동작하기 때문에, 화소(16)로부터 Vdd 전압이 소스 신호선(18)에 인가되더라도 스위치(641)가 파괴되는 일이 없고, 또한 소스 드라이버 회로(IC)(14)가 파괴되는 일도 없다.

또한, 도 91의 소스 신호선(18)의 도중에 배치(형성)된 스위치(641)와 프리차지 전압 PV 인가용 스위치(641)의 쌍방을 어레이 기판(71)에 형성(배치)해도 되는 것은 말할 필요도 없다(도 91+도 92의 구성이 예시됨).

이전에도 설명했지만, 도 1과 같이 화소(16)의 구동용 트랜지스터(11a), 선택 트랜지스터(11b, 11c)가 P 채널 트랜지스터인 경우에는, 관통 전압이 발생한다. 이것은, 게이트 신호선(17a)의 전위 변동이, 선택 트랜지스터(11b, 11c)의 G-S 용량(기생 용량)을 통하여, 커패시터(19)의 단자에 관통하기 때문이다. P 채널 트랜지스터(11b)가 오프할 때에는 V_{gh} 전압으로 된다. 그 때문에, 커패시터(19)의 단자 전압이 Vdd 측으로 조금 시프트한다. 그 때문에, 선택 트랜지스터(11a)의 게이트(G) 단자 전압은 상승하여, 보다 흑 표시로 된다. 따라서, 양호한 흑 표시를 실현할 수 있다.

그러나, 제0 계조패의 완전 흑 표시는 실현할 수 있지만, 제1 계조 등은 표시하기 어렵게 된다. 혹은, 제0 계조에서 제1 계조까지 크게 계조 건너뛰기 발생하거나, 특정한 계조 범위에서 흑 손상이 발생하기도 한다.

이 과제를 해결하는 구성이, 도 71의 구성이다. 출력 전류값을 인상하는 기능을 갖는 것을 특징으로 한다. 인상 회로(711)의 주된 목적은 관통 전압의 보상이다. 또한, 화상 데이터가 흑 레벨 O이더라도, 어느 정도(수10 nA) 전류가 흐르도록 하여, 흑 레벨의 조정에도 이용할 수 있다.

기본적으로는, 도 71은 도 64의 출력단에 인상 회로(도 71의 점선으로 둘러싸인 부분)를 추가한 것이다. 도 71은 전류값 인상 제어 신호로서 3 비트(K0, K1, K2)를 가정한 것이며, 이 3 비트의 제어 신호에 의해, 손자 전류원의 전류값의 0 ~ 7배의 전류값을 출력 전류에 가산하는 것이 가능하다.

이상이 본 발명의 소스 드라이버 회로(IC)(14)의 기본적인 개요이다. 이후, 더욱 상세히 본 발명의 소스 드라이버 회로(IC)(14)에 대하여 더욱 자세하게 설명을 한다.

EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 선형의 관계가 있다. 즉, EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 비례한다. 전류 구동 방식에서는 1 단계(계조 등급)는, 전류(단위 트랜지스터(634)(1 단위))이다.

인간의 휘도에 대한 시각은 제곱 특성을 가지고 있다. 즉, 제곱의 곡선으로 변화할 때, 밝기는 직선적으로 변화하고 있는 것처럼 인식된다. 그러나, 도 83의 관계이면, 저휘도 영역에서도 고휘도 영역에서도, EL 소자(15)에 흘리는 전류 I(A)와 발광 휘도 B(nt)는 비례한다. 따라서, 1 단계(1 계조) 등급씩 변화시키면, 저 계조부(흑 영역)에서는, 1 단계에 대한 휘도 변화가 크다(흑 날림이 발생함). 고 계조부(백 영역)는 거의 제곱 커브의 직선 영역과 일치하기 때문에, 1 단계에 대한 휘도 변화는 등간격으로 변화하고 있듯이 인식된다. 이상의 점으로부터, 전류 구동 방식(1 단계가 전류 구분인 경우)에 있어서 (전류 구동 방식의 소스 드라이버 회로(IC)(14)에 있어서), 흑 표시 영역의 표시가 특히 과제로 된다.

이 과제에 대하여, 본 발명은 도 79에 도시하는 바와 같이, 저 계조 영역(계조 0(완전 흑 표시)부터 계조(R1))의 전류 출력의 기울기를 작게 하고, 고 계조 영역(계조(R1)부터 최대 계조(R))의 전류 출력의 기울기를 크게 한다. 즉, 저 계조 영역에서는 1 계조당(1 단계) 증가하는 전류량으로 작게 한다. 고 계조 영역에서는, 1 계조당(1 단계) 증가하는 전류량으로 크게 한다. 도 79의 2개의 계조 영역에서 1 단계당에서 변화하는 전류량을 서로 다르게 한 것에 의해, 계조 특성이 제곱 커브에 가까워지고, 저 계조 영역에서의 흑 날림의 발생이 없다. 도 79 등에 도시하는 계조일 전류 특성 커브를 감마 커브라고 부른다.

또한, 이상의 실시예에서는 저 계조 영역과 고 계조 영역의 2 단계의 전류 기울기로 했지만, 이것에 한정되는 것은 아니다. 3 단계 이상이어도 되는 것은 물론이다. 그러나, 2 단계의 경우에는 회로 구성이 간단해지므로 바람직한 것은 물론이다. 바람직하게는, 5 단계 이상의 기울기를 발생할 수 있도록 감마 회로는 구성하는 것이 바람직하다.

본 발명의 기술적 사상은, 전류 구동 방식의 소스 드라이버 회로(IC) 등에 있어서(기본적으로는 전류 출력으로 계조 표시를 행하는 회로임. 따라서, 표시 패널이 액티브 매트릭스형에 한정되는 것이 아니고, 단순 매트릭스형도 포함됨), 1 계조 단계당의 전류 증가량이 복수 존재하는 것이다.

EL 등의 전류 구동형의 표시 패널은, 인가되는 전류량에 비례하여 표시 휘도가 변화한다. 따라서, 본 발명의 소스 드라이버 회로(IC)(14)에서는, 하나의 전류원(1 단위 트랜지스터)(634)에 흐르는 기본이 되는 기준 전류를 조정함으로

써, 용이하게 표시 패널의 휘도를 조정할 수 있다.

EL 표시 패널에서는 R, G, B에서 발광 효율이 다르고, 또한 NTSC 기준에 대한 색 순도가 어긋나 있다. 따라서, 화이트 밸런스를 최적으로 하기 위해서는 RGB의 비율을 적정하게 조정할 필요가 있다. 조정은 RGB의 각각의 기준 전류를 조정하는 것에 의해 행한다. 예를 들면, R의 기준 전류를 $2\mu\text{A}$ 로 하고, G의 기준 전류를 $1.5\mu\text{A}$ 로 하고, B의 기준 전류를 $3.5\mu\text{A}$ 로 한다. 이상과 같이 적어도 복수의 표시색의 기준 전류 중, 적어도 1색의 기준 전류는 변경 혹은 조정 혹은 제어할 수 있도록 구성하는 것이 바람직하다.

본 발명의 소스 드라이버 회로(소스 드라이버 IC)(14)에서는, 도 67, 도 148 등에 있어서의 제1단의 전류원(631)의 커런트 미러 배율을 작게 하고(예를 들면, 기준 전류가 $1\mu\text{A}$ 이면, 트랜지스터(632b)에 흐르는 전류를 $1/100$ 의 10 nA 로 하는 등), 외부로부터 조정하는 기준 전류의 조정 정밀도를 거칠게 할 수 있도록 하고, 또한 칩 내의 미소 전류의 정밀도를 효율적으로 조정할 수 있도록 구성하고 있다. 이상의 것은 도 147의 기준 전류 Ib, 도 157, 도 158, 도 159, 도 160, 도 161, 도 163, 도 164, 도 165 등의 기준 전류 Ib, Ic에도 적용되는 것은 물론이다.

도 79의 감마 커브를 실현할 수 있도록, 저 계조 영역의 기준 전류의 조정 회로와 고 계조 영역의 기준 전류의 조정 회로를 구비하고 있다. 또한, 도 79는 일점 폴드 감마 회로에서 발생하는 계조 제어 방법이다. 이것은, 설명을 쉽게 하기 위해서이며, 본 발명은 이것에 한정되는 것은 아니다. 복수점 꺾기 감마 회로이더라도 무방함은 물론이다.

또한, 도시하지 않지만, RGB에서 독립적으로 조정할 수 있도록, RGB마다 저 계조 영역의 기준 전류의 조정 회로와 고 계조 영역의 기준 전류의 조정 회로를 구비하고 있다. 물론, 1색을 고정하고, 다른 색의 기준 전류를 조정하는 것에 의해 화이트 밸런스를 조정할 때는, 2색(예를 들면, G를 고정하고 있는 경우에는, R, B)을 조정하는 저 계조 영역의 기준 전류의 조정 회로와 고 계조 영역의 기준 전류의 조정 회로를 구비시키면 된다.

전류 구동 방식은 도 83에도 도시한 바와 같이, EL에 흘리는 전류 I와 휘도의 관계는 직선의 관계가 있다. 따라서, RGB의 혼합에 의한 화이트 밸런스의 조정은, 소정의 휘도의 일점으로 RGB의 기준 전류를 조정하는 것만으로 좋다. 즉, 소정의 휘도의 일점으로 RGB의 기준 전류를 조정하고, 화이트 밸런스를 조정하면, 기본적으로는 전 계조에 걸쳐 화이트 밸런스가 취해지고 있다. 따라서, 본 발명은 RGB의 기준 전류를 조정할 수 있는 조정 수단을 구비하는 점, 1점 폴드 또는 다점 폴드 감마 커브 발생 회로(발생 수단)를 구비하는 점에 특징이 있다. 이상의 사항은 액정 표시 패널의 회로가 아니고, 전류 제어의 EL 표시 패널에 특유의 회로 방식이다.

도 79의 감마 커브인 경우에는, 액정 표시 패널로서는 과제가 발생한다. 우선, RGB의 화이트 밸런스를 취하기 위해서는, 감마 커브의 절곡 위치(계조 R1)를 RGB에서 동일하게 할 필요가 있다. 이 과제에 대하여, 본 발명의 전류 구동 방식에서는, 감마 커브의 상대적인 관계를 RGB에서 동일하게 할 수 있으므로 가능하다. 또한, 저 계조 영역의 기울기와 고 계조 영역의 기울기의 비율을 RGB에서 일정하게 할 필요가 있다. 이 과제에 대하여, 본 발명의 전류 구동 방식에서는 감마 커브의 상대적인 관계를 RGB에서 동일하게 할 수 있으므로 가능하다.

이상과 같이, 본 발명의 전류 구동 방식에서는, 도 83에 도시하는 바와 같이, R, G, B에서는 기울기는 다르지만, 화소(16)에 인가하는 전류와 EL 소자(15)의 발광 휘도가 직선 관계에 있는 것을 이용하고 있다. 이 관계를 이용함으로써, 각 계조에서 화이트 밸런스 어긋남이 없고, 간단한 회로 규모로 감마 회로를 실현할 수 있다고 하는 특징을 발휘한다.

본 발명의 감마 회로에서는, 일례로서 저 계조 영역에서 1 계조당 10 nA 증가(저 계조 영역에서의 감마 커브의 기울기)로 한다. 또한, 고 계조 영역에서 1 계조당 50 nA 증가(고 계조 영역에서의 감마 커브의 기울기)한다.

또한, 고 계조 영역에서 1 계조당 전류 증가량/저 계조 영역에서 1 계조당 전류 증가량을 감마 전류 비율이라고 부른다. 이 실시예에서는, 감마 전류 비율은 $50\text{ nA}/10\text{ nA}=5$ 이다. RGB의 감마 전류 비율은 동일하게 한다. 즉, RGB에서는, 감마 전류 비율을 동일하게 한 상태에서 EL 소자(15)에 흐르는 전류(=프로그램 전류)를 제어한다.

도 80에서는 그 감마 커브의 예이다. 도 80의 (a)에서는 저 계조부, 고 계조부와도 1 계조당의 전류 증가가 크다. 도 80의 (b)에서는, 저 계조부와 고 계조부 모두 1 계조당의 전류 증가는 도 80의 (a)에 비교하여 작다. 단, 도 80의 (a)의 RGB의 감마 전류 비율, 도 80의 (b)의 RGB의 감마 비율은 동일하게 하고 있다.

이와 같이 감마 전류 비율을 RGB에서 동일하게 유지한 채로 조정하면 회로 구성은 용이해진다. 각 색에, 저 계조부에 인가하는 기준 전류를 발생하는 정전류 회로와, 고 계조부에 인가하는 기준 전류를 발생하는 정전류 회로를 제작하고, 이들에 상대적으로 흘리는 전류를 조정하는 볼륨을 제작(배치)하면 되기 때문이다.

도 77은 감마 전류 비율을 유지한 채로, 출력 전류를 가변하는 회로 구성이다. 전류 제어 회로(772)에서 저 전류 영역의 기준 전류원(771L)과 고 전류 영역의 기준 전류원(771H)의 감마 전류 비율을 유지한 채로, 전류원(633L, 633H)에 흐르는 전류를 변화시킨다.

또한, 도 78에 도시하는 바와 같이, IC 칩(회로)(14) 내에 형성한 온도 검출 회로(781)로 표시 패널의 온도를 검출하는 것이 바람직하다. 유기 EL 소자는 RGB를 구성하는 재료에 의해 온도 특성이 서로 다르기 때문이다. 이 온도의 검출은 온도 검출 회로(781)에 형성된 바이폴라 트랜지스터를 이용하여 행한다. 바이폴라 트랜지스터의 접합부의 상태가 온도에 의해 변화하고, 바이폴라 트랜지스터의 출력 전류가 온도에 의해 변화하는 것을 이용한다. 이 검출한 온도를 각 색에 배치(형성)한 온도 제어 회로(782)에 피드백하고, 전류 제어 회로(772)에 의해 온도 보상을 행한다.

또한, 감마 비율은 3 이상 10 이하의 관계로 하는 것이 적절하다. 더욱 바람직하게는, 4 이상 8 이하의 관계로 하는 것이 적절하다. 특히 감마 전류 비율은 5 이상 7 이하의 관계를 만족시키는 것이 바람직하다. 이것을 제1 관계라고 한다.

또한, 저 계조부와 고 계조부의 변화 포인트(도 79의 계조 R1)는, 최대 계조 수 K의 $1/32$ 이상 $1/4$ 이하로 설정하는 것이 적절하다(예를 들면, 최대 계조 수 K가 6 비트의 64 계조라고 하면, $64/32=2$ 계조번째 이상, $64/4=16$ 계조번째 이하로 함). 더욱 바람직하게는, 저 계조부와 고 계조부의 변화 포인트(도 79의 계조 R1)는, 최대 계조 수 K의 $1/16$ 이상 $1/4$ 이하로 설정하는 것이 적절하다(예를 들면, 최대 계조 수 K가 6 비트의 64 계조라고 하면, $64/16=4$ 계조번째 이상, $64/4=16$ 계조번째 이하로 함). 더욱 바람직하게는, 최대 계조 수 K의 $1/10$ 이상 $1/5$ 이하로 설정하는 것이 적절하다(또한, 계산에 의해 소수점 이하가 발생하는 경우에는 잘라 버림. 예를 들면, 최대 계조 수 K가 6 비트의 64 계조로 하면, $64/10=6$ 계조번째 이상, $64/5=12$ 계조번째 이하로 함). 이상의 관계를 제2 관계라고 부른다.

또한, 이상의 설명은 2개의 전류 영역의 감마 전류 비율의 관계이다. 그러나, 이상의 제2 관계는 3개 이상의 전류 영역의 감마 전류 비율이 있는(즉, 절곡점이 2 개소 이상 있음) 경우에도 적용된다. 즉, 3개 이상의 기울기에 대하여, 임의의 2개의 기울기에 대한 관계에 적용하면 된다.

이상의 제1 관계와 제2 관계의 양방을 동시에 만족시킴으로써, 흑 날림이 없고 양호한 화상 표시를 실현할 수 있다.

도 82는 본 발명의 전류 구동 방식의 소스 드라이버 회로(IC)(14)를 하나의 표시 패널에 복수개 이용한 실시예이다. 본 발명의 소스 드라이버 IC(14)는 복수의 드라이버 IC(14)를 이용하는 것을 상정하고 있다. 소스 드라이버 IC(14)에는 슬레이브/마스터(S/M) 단자를 구비하고 있다.

S/M 단자를 H 레벨로 함으로써 마스터 칩으로서 동작하고, 기준 전류 출력 단자(도시하지 않음)로부터, 기준 전류를 출력한다. 이 전류가 슬레이브의 IC(14)(14a, 14 c)의 도 73, 도 74의 INL, INH 단자에 흐르는 전류로 된다. S/M 단자를 L레벨로 함으로써 IC(14)는 슬레이브 칩으로서 동작하고, 기준 전류 입력 단자(도시하지 않음)로부터 마스터 칩의 기준 전류를 수취한다. 이 전류가 도 73, 도 74의 INL, INH 단자에 흐르는 전류로 된다.

기준 전류 입력 단자, 기준 전류 출력 단자 사이에서 교환되는 기준 전류는, 각 색의 저 계조 영역과 고 계조 영역의 2계통이다. 따라서, RGB의 3색에서는 3×2 로 6계통으로 된다. 또한, 상기의 실시예에서는, 각 색 2계통으로 했지만 이것에 한정되는 것이 아니고, 각 색 3계통 이상이어도 된다.

본 발명의 전류 구동 방식에서는, 도 81에 도시하는 바와 같이, 절곡점(계조 R1 등)을 변경할 수 있도록 구성하고 있다. 도 81의 (a)에서는, 계조 R1에서 저 계조부와 고 계조부를 변화시키고, 도 81의 (b)에서는, 계조 R2에서 저 계조부와 고 계조부를 변화시키고 있다. 이와 같이, 절곡 위치를 복수 개소에서 변화할 수 있도록 하고 있다.

구체적으로는, 본 발명에서는 64 계조 표시를 실현할 수 있다. 절곡점(R1)은, 없음, 2 계조째, 4 계조째, 8 계조째, 16 계조째로 하고 있다. 또한, 완전 흑 표시를 계조 0으로 하고 있기 때문에, 절곡점은 2, 4, 8, 16으로 되는 것이고, 완전히 흑 표시의 계조를 계조 1로 하는 것이면, 절곡점은 3, 5, 9, 17, 33으로 된다. 이상과 같이, 절곡 위치를 2의 배수의 개소(혹은, 2의 배수 +1의 개소: 완전 흑 표시를 계조 1로 한 경우)로 할 수 있도록 구성함으로써, 회로 구성이 용이하게 된다고 하는 효과가 발생한다.

도 73은 저 전류 영역의 전류원 회로부의 구성도이다. 또한, 도 74는 고 전류 영역의 전류원부 및 인상 전류 회로부의 구성도이다. 도 73에 도시하는 바와 같이 저 전류원 회로부는 기준 전류 INL이 인가되고, 기본적으로는 이 전류가 단위 전류로 되고, 입력 데이터 L0 L4에 의해, 단위 트랜지스터(634)가 필요 개수 동작하며, 그 총합으로서 저 전류부의 프로그램 전류 I_{wL} 이 흐른다.

또한, 도 74에 도시하는 바와 같이 고 전류원 회로부는 기준 전류 INH가 인가되고, 기본적으로는 이 전류가 단위 전류로 되고, 입력 데이터 H0 L5에 의해, 단위 트랜지스터(634)가 필요 개수 동작하며, 그 총합으로서 저 전류부의 프로그램 전류 I_{wH} 가 흐른다.

인상 전류 회로부도 마찬가지로, 도 74에 도시하는 바와 같이 기준 전류 INH가 인가되고, 기본적으로는 이 전류가 단위 전류로 되고, 입력 데이터 AK0 AK2에 의해, 단위 트랜지스터(634)가 필요 개수 동작하며, 그 총합으로서 인상

전류에 대응하는 전류 I_{WK} 가 흐른다.

소스 신호선(18)에 흐르는 프로그램 전류 I_W 는 $I_W = I_{WH} + I_{WL} + I_{WK}$ 이다. I_{WH} 와 I_{WL} 의 비율, 즉 감마 전류 비율은 앞서 설명한 제1 관계를 만족시키도록 한다.

도 73, 도 74에 도시하는 바와 같이 온 오프 스위치(641)는, 인버터(732)와 P 채널 트랜지스터와 N 채널 트랜지스터로 이루어지는 아날로그 스위치(731)로 구성된다. 이와 같이 스위치(641)를, 인버터(732)와 P 채널 트랜지스터와 N 채널 트랜지스터로 이루어지는 아날로그 스위치(731)로 구성함으로써, 온 저항을 저하할 수 있고, 단위 트랜지스터(634)와 소스 신호선(18) 사이의 전압 강하가 매우 작게 할 수 있다. 이것은 본 발명의 다른 실시예에 있어서도 적용되는 것은 물론이다.

도 73의 저 전류 회로부와 도 74의 고 전류 회로부의 동작에 대하여 설명을 한다. 본 발명의 소스 드라이버 회로(IC)(14)는, 저 전류 회로부 L0 L4의 5 비트로 구성되고, 고 전류 회로부 H0 H5의 6 비트로 구성된다. 또한, 회로의 외부로부터 입력되는 데이터는 D0 D5의 6 비트(각 색 64 계조)이다. 이 6 비트 데이터를 L0 L4의 5 비트, 고 전류 회로부 H0 H5의 6 비트로 변환하여 소스 신호선에 화상 데이터에 대응하는 프로그램 전류 I_W 를 인가한다. 즉, 입력 6 비트 데이터를, $5+6=11$ 비트 데이터로 변환하고 있다. 따라서, 고정밀도의 감마 커브를 형성할 수 있다.

이상과 같이, 입력 6 비트 데이터를, $5+6=11$ 비트 데이터로 변환하고 있다. 본 발명에서는, 고 전류 영역의 회로의 비트 수(H)는, 입력 데이터(D)의 비트 수와 동일하게 하고, 저 전류 영역의 회로의 비트 수(L)는, 입력 데이터(D)의 비트 수 -1로 하고 있다. 또한, 저 전류 영역의 회로의 비트 수(L)는, 입력 데이터(D)의 비트 수 -2로 하여도 된다. 이와 같이 구성함으로써, 저 전류 영역의 감마 커브와, 고 전류 영역의 감마 커브가, EL 표시 패널의 화상 표시에 최적으로 된다.

이하, 저 전류 영역의 회로 제어 데이터(L0 L4)와 고 전류 영역의 회로 제어 데이터(H0 H4)의 제어 방법에 대하여, 도 84 내지 도 86을 참조하면서 설명을 한다.

본 발명은 도 73의 도 73의 L4 단자에 접속된, 단위 트랜지스터(634a)의 동작에 특징이 있다. 이 (634a)는 1 단위의 전류원으로 되는 하나의 트랜지스터로 구성되어 있다. 이 트랜지스터를 온 오프시키는 것에 의해, 프로그램 전류 I_W 의 제어(온 오프 제어)가 용이하게 된다.

도 84는 저 전류 영역과 고 전류 영역을 계조 4로 전환하는 경우의 저 전류측 신호선(L)과 고 전류측 신호선(H)의 인가 신호이다. 또한, 도 84 내지 도 86에 있어서, 계조 0에서 18까지 도시하고 있지만, 실제로는 63 계조째까지 있다. 따라서, 각 도면에 있어서 계조 18 이상은 생략하고 있다. 또한, 표면의 '1'일 때에 스위치(641)가 온하고, 해당 단위 트랜지스터(634)와 소스 신호선(18)이 접속되고, 표면의 '0'일 때에 스위치(641)가 오프 상태로 되는 것으로 하고 있다.

도 84에 있어서, 완전 흑 표시의 계조 0인 경우에는, (L0 L4)=(0, 0, 0, 0, 0)이고, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 모든 스위치(641)는 오프 상태이고, 소스 신호선(18)에는 프로그램 전류 $I_W=0$ 이다.

계조 1에서는 (L0 L4)=(1, 0, 0, 0, 0)이고, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저 전류 영역의 하나의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 2에서는 (L0 L4)=(0, 1, 0, 0, 0)이고, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저 전류 영역의 2개의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 3에서는, (L0 L4)=(1, 1, 0, 0, 0)이고, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저 전류 영역의 2개의 스위치(641La, 641Lb)가 온 상태로 되고, 3개의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 4에서는, (L0 L4)=(1, 1, 0, 0, 1)이고, (H0 H5)=(0, 0, 0, 0, 0)이다. 따라서, 저 전류 영역의 3개의 스위치(641La, 641Lb, 641Le)가 온 상태로 되고, 4개의 단위 전류원(634)이 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 5 이상에서는, 저 전류 영역(L0 L4)=(1, 1, 0, 0, 1)은 변화가 없다. 그러나, 고 전류 영역에서, 계조 5에서는 (H0 H5)=(1, 0, 0, 0, 0)이고, 스위치(641Ha)가 온 상태로 되고, 고 전류 영역의 하나의 단위 전류원(641)이 소스 신호선(18)과 접속되어 있다. 또한, 계조 6에서는 (H0 H5)=(0, 1, 0, 0, 0)이고, 스위치(641Hb)가 온 상태로 되고, 고 전

류 영역의 2개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 마찬가지로, 계조 7에서는 $(H0 \ H5)=(1, 1, 0, 0, 0)$ 이고, 2개의 스위치(641Ha), 스위치(641Hb)가 온 상태로 되고, 고 전류 영역의 3개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 또한, 계조 8에서는 $(H0 \ H5)=(0, 0, 1, 0, 0)$ 이고, 하나의 스위치(641Hc)가 온 상태로 되고, 고 전류 영역의 4개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 이후, 도 84와 같이 순차 스위치(641)가 온 오프 상태로 되어, 프로그램 전류 I_w 가 소스 신호선(18)에 인가된다.

이상의 동작에서 특징적인 것은, 절곡점에 있어서, 고 계조부의 계조에서는 저 계조부의 전류에 가산되어, 고 계조부의 단계(계조)에 따른 전류가 프로그램 전류 I_w 로 되어 있는 것이다. 또한, 저 전류 영역과 고 전류 영역의 전환점, 정확하게는, 프로그램 전류 I_w 로서는, 고 전류 영역의 계조인 경우, 저 전류 I_wL 이 가산되어 있기 때문에, 전환점이라는 표현은 바르지 않다. 또한, 인상 전류 I_wK 도 가산되어 있다.

1 단계의 계조(전류가 변화하는 점 혹은 포인트 혹은 위치라고 해야 될 것임)를 경계로 하여, 저 전류 영역의 제어 비트(L)가 변화하지 않는 점이다. 또한, 이 때, 도 73의 L4 단자에 '1'로 되고, 스위치(641e)가 온 상태로 되어, 단위 트랜지스터(634a)에 전류가 흐르고 있는 점이다.

따라서, 도 84의 계조 4에서는 저 계조부의 단위 트랜지스터(전류원)(634)가 4개 동작하고 있다. 그리고, 계조 5에서는 저 계조부의 단위 트랜지스터(전류원)(634)가 4개 동작하고, 또한 고 계조부의 트랜지스터(전류원)(634)가 하나 동작하고 있다. 이후 마찬가지로, 계조 6에서는, 저 계조부의 단위 트랜지스터(전류원)(634)가 4개 동작하고, 또한 고 계조부의 트랜지스터(전류원)(634)가 2개 동작한다. 따라서, 절곡 포인트인 계조 5 이상에서는, 절곡 포인트 이하의 저 계조 영역의 전류원(634)이 계조분(이 경우, 4개) 온 상태로 되고, 이에 덧붙여서, 순차적으로, 고 계조부의 전류원(634)이 계조에 따른 개수 순차 온하여 간다.

도 73에 있어서의 L4 단자의 단위 트랜지스터(634a)의 하나는 유용하게 작용하고 있음을 알 수 있다. 이 단위 트랜지스터(634a)가 없으면, 계조 3의 다음에, 고 계조부의 단위 트랜지스터(634)가 하나 온 상태로 되는 동작으로 된다. 그 때문에, 전환 포인트가 4, 8, 16이라는 식으로 2의 승수(누승)로 되지 않는다. 2의 승수는 1 신호만이 '1'로 된 상태이다.

이상의 이유로부터, 2의 가중의 신호 라인이 '1'로 되었다고 하는 조건 판정이 하기 쉽다. 그 때문에, 조건 판정의 하드웨어를 작게 할 수 있다. 즉, IC 칩의 논리 회로가 간략화되어, 결과로서 칩 면적이 작은 IC를 설계할 수 있는 것이다(저 비용화가 가능함).

도 85는 저 전류 영역과 고 전류 영역을 계조 8로 전환하는 경우의 저 전류측 신호선(L)과 고 전류측 신호선(H)의 인가 신호의 설명도이다.

도 85에 있어서, 완전 흑 표시의 계조 0인 경우에는, 도 84와 마찬가지로, $(L0 \ L4)=(0, 0, 0, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 모든 스위치(641)는 오프 상태이고, 소스 신호선(18)에는 프로그램 전류 $I_w=0$ 이다.

마찬가지로 계조 1에서는, $(L0 \ L4)=(1, 0, 0, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 저 전류 영역의 하나의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 2에서는 $(L0 \ L4)=(0, 1, 0, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 저 전류 영역의 2개의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 3에서는 $(L0 \ L4)=(1, 1, 0, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 저 전류 영역의 2개의 스위치(641La, 641Lb)가 온 상태로 되고, 3개의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

이하도 마찬가지로, 계조 4에서는 $(L0 \ L4)=(0, 0, 1, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 또한, 계조 5에서는 $(L0 \ L4)=(1, 0, 1, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 계조 6에서는 $(L0 \ L4)=(0, 1, 1, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 또한, 계조 7에서는 $(L0 \ L4)=(1, 1, 1, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다.

계조 8이 전환 포인트(절곡 위치)이다. 계조 8에서는, $(L0 \ L4)=(1, 1, 1, 0, 1)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 저 전류 영역의 4개의 스위치(641La, 641Lb, 641Lc, 641Le)가 온 상태로 되고, 8개의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 8 이상에서는, 저 전류 영역($L0 \ L4)=(1, 1, 1, 0, 1)$)은 변화가 없다. 그러나, 고 전류 영역에 있어서, 계조 9에서

는 $(H0 \ H5)=(1, 0, 0, 0, 0)$ 이고, 스위치(641Ha)가 온 상태로 되고, 고 전류 영역의 하나의 단위 전류원(641)이 소스 신호선(18)과 접속되어 있다.

이하, 마찬가지로, 계조 단계에 따라, 고 전류 영역의 단위 트랜지스터(634)의 개수가 하나씩 증가한다. 즉, 계조 10에서는 $(H0 \ H5)=(0, 1, 0, 0, 0)$ 이고, 스위치(641Hb)가 온 상태로 되고, 고 전류 영역의 2개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 마찬가지로, 계조 11에서는 $(H0 \ H5)=(1, 1, 0, 0, 0)$ 이고, 2개의 스위치(641Ha) 스위치(641Hb)가 온 상태로 되고, 고 전류 영역의 3개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 또한, 계조 12에서는 $(H0 \ H5)=(0, 0, 1, 0, 0)$ 이고, 하나의 스위치(641Hc)가 온 상태로 되고, 고 전류 영역의 4개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 이후, 도 84와 같이 순차 스위치(641)가 온 오프 상태로 되어, 프로그램 전류 I_w 가 소스 신호선 L8에 인가된다.

도 86은 저 전류 영역과 고 전류 영역을 계조 16에서 전환하는 경우의 저 전류측 신호선(L)과 고 전류측 신호선(H)의 인가 신호의 설명도이다. 이 경우에도 도 84, 도 85와 기본적인 동작은 동일하다

즉, 도 86에 있어서, 완전 흑 표시의 계조 0인 경우에는, 도 85와 마찬가지로, $(L0 \ L4)=(0, 0, 0, 0, 0)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 모든 스위치(641)는 오프 상태이고, 소스 신호선(18)에는 프로그램 전류 $I_w=0$ 이다. 마찬가지로 계조 1에서 계조 16까지는, 고 계조 영역의 $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 저 전류 영역의 하나의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다. 즉, 저 계조 영역의 $(L0 \ L4)$ 만이 변화한다.

즉, 계조 1에서는 $(L0 \ L4)=(1, 0, 0, 0, 0)$ 이고, 계조 2에서는 $(L0 \ L4)=(0, 1, 0, 0, 0)$ 이고, 계조 3에서는 $(L0 \ L4)=(1, 1, 0, 0, 0)$ 이고, 계조 4에서는 $(L0 \ L4)=(0, 0, 1, 0, 0)$ 이다. 이하 계조 16까지 순차 카운트된다. 즉, 계조 15에서는 $(L0 \ L4)=(1, 1, 1, 1, 0)$ 이고, 계조 16에서는 $(L0 \ L4)=(1, 1, 1, 1, 1)$ 이다. 계조 16에서는, 계조를 나타내는 D0 D5의 5 비트째(D4)만이 하나 온 상태로 되기 때문에, 데이터 D0 D5가 표현하고 있는 내용이 16라고 하는 것을, 1 데이터 신호선(D4)의 판정으로 결정할 수 있다. 따라서, 논리 회로의 하드 규모를 작게 할 수 있다.

계조 16이 전환 포인트(절곡 위치)이다. 혹은 계조 17이 전환 포인트일지도 모른다. 계조 L6에서는 $(L0 \ L4)=(1, 1, 1, 1, 1)$ 이고, $(H0 \ H5)=(0, 0, 0, 0, 0)$ 이다. 따라서, 저 전류 영역의 4개의 스위치(641La, 641Lb, 641Lc, 641d, 641Le)가 온 상태로 되고, 16개의 단위 트랜지스터(634)가 소스 신호선(18)에 접속되어 있다. 고 전류 영역의 단위 전류원은 소스 신호선(18)에는 접속되어 있지 않다.

계조 16 이상에서는, 저 전류 영역 $(L0 \ L4)=(1, 1, 1, 0, 1)$ 은 변화가 없다. 그러나, 고 전류 영역에 있어서, 계조 17로서는 $(H0 \ H5)=(1, 0, 0, 0, 0)$ 이고, 스위치(641Ha)가 온 상태로 되고, 고 전류 영역의 하나의 단위 전류원(641)이 소스 신호선(18)과 접속되어 있다.

이하, 마찬가지로, 계조 단계에 따라, 고 전류 영역의 단위 트랜지스터(634)의 개수가 하나씩 증가한다. 즉, 계조 18에서는 $(H0 \ H5)=(0, 1, 0, 0, 0)$ 이고, 스위치(641Hb)가 온 상태로 되고, 고 전류 영역의 2개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 마찬가지로, 계조 19에서는 $(H0 \ H5)=(1, 1, 0, 0, 0)$ 이고, 2개의 스위치(641Ha) 스위치(641Hb)가 온 상태로 되고, 고 전류 영역의 3개의 단위 전류원(641)이 소스 신호선(18)과 접속된다. 또한, 계조 20에서는 $(H0 \ H5)=(0, 0, 1, 0, 0)$ 이고, 하나의 스위치(641Hc)가 온 상태로 되고, 고 전류 영역의 4개의 단위 전류원(641)이 소스 신호선(18)과 접속된다.

이상과 같이, 전환 포인트(절곡 위치)에서, 2의 승수의 개수의 전류원(1 단위 트랜지스터)(634)이 온 혹은 소스 신호선(18)과 접속(반대로, 오프로 되는 구성도 생각됨)되도록 구성하는 로직 처리 등이 매우 용이해진다.

예를 들면, 도 84에 도시하는 바와 같이 절곡 위치가 계조 4(4는 2의 승수임)이면, 4개의 전류원(1 단위)(634)이 동작 등 하도록 구성한다. 그리고, 그 이상의 계조에서는, 고 전류 영역의 전류원(1 단위)(634)이 가산되도록 구성한다.

또한, 도 85에 도시하는 바와 같이 절곡 위치가 계조 8(8은 2의 승수임)이면, 8개의 전류원(1 단위)(634)이 동작 등 하도록 구성한다. 그리고, 그 이상의 계조에서는, 고 전류 영역의 전류원(1 단위)(634)이 가산되도록 구성한다. 본 발명의 구성을 채용하면, 64 계조에 한하지 않고(16 계조: 4096색, 256 계조: 1670만색 등), 모든 계조 표현으로, 하드 구성이 작은 감마 제어 회로를 구성할 수 있다.

또한, 도 84, 도 85, 도 86에서 설명한 실시예에서는, 전환 포인트의 계조가 2의 승수로 되는 것으로 했지만, 이것은 완전 흑 계조가 계조 0으로 한 경우이다. 계조 1을 완전 흑 표시로 하는 경우에는, 1 가산할 필요가 있다.

본 발명에서 중요한 것은, 복수의 전류 영역(저 전류 영역, 고 전류 영역 등)을 갖고, 그 전환 포인트를 신호 입력이 적게 판정(처리)할 수 있도록 구성하는 것이다. 그 일례로서, 2의 승수이면, 1 신호선을 검출하기만 하면 되므로 하드 규

모가 매우 작아진다고 하는 기술적 사상이다. 또한, 그 처리를 쉽게 하기 위해서, 전류원(634a)을 부가한다.

마이너스 논리이면, 2, 4, 8...가 아니라, 계조 1, 3, 7, 15...에서 전환 포인트로 하면 된다. 또한, 계조 0을 완전 흑 표시로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 64 계조 표시이면, 계조 63을 완전 흑 표시 상태로 하고, 계조 0을 최대의 백 표시로 하여도 된다. 이 경우에는, 역 방향으로 고려하여, 전환 포인트를 처리하면 된다. 따라서, 2의 승수 때문에 처리상, 다른 구성으로 되는 경우가 있다.

전환 포인트(절곡 위치)는 하나의 감마 커브에 한정되는 것이 아니다. 절곡 위치가 복수 존재해도 본 발명의 회로를 구성할 수 있다. 예를 들면, 절곡 위치가 계조 4와 계조 16으로 설정할 수 있다. 또한, 계조 4와 계조 16과 계조 32라고 하는 식으로 3 포인트 이상으로 설정할 수도 있다.

이상의 실시예는, 계조가 2의 승수로 설정한다고 하여 설명을 했지만, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면, 2의 승수의 2와 8($2+8=10$ 계조째, 즉, 판정에 요하는 신호선은 2개)에서 절곡점을 설정해도 된다. 그 이상의, 2의 승수의 2와 8과 16($2+8+16=26$ 계조째, 즉, 판정에 요하는 신호선은 3개)에서 절곡점을 설정해도 된다. 이 경우에는, 판정 혹은 처리에 요하는 하드 규모가 다소 커지지만, 회로 구성상 충분히 대응할 수 있다. 또한, 이상의 설명한 사항은 본 발명의 기술 범주에 포함되는 것은 물론이다.

도 87에 도시하는 바와 같이, 본 발명의 소스 드라이버 회로(IC)(14)는 3개의 부분의 전류 출력 회로(704)로 구성되어 있다. 고 계조 영역에서 동작하는 고 전류 영역 전류 출력 회로(704a)이고, 저 전류 영역 및 고 계조 영역에서 동작하는 저 전류 영역 전류 출력 회로(704b)이고, 인상 전류를 출력하는 저 전류 영역 전류 출력 회로(704b)이다.

고 전류 영역 전류 출력 회로(704a)와 전류 인상 전류 출력 회로(704c)는 고 전류를 출력하는 기준 전원(771a)을 기준 전류로 하여 동작하고, 저 전류 영역 전류 출력 회로(704b)는 저 전류를 출력하는 기준 전류원(771b)을 기준 전류로 하여 동작한다.

앞서도 설명했지만, 전류 출력 회로(704)는, 고 전류 영역 전류 출력 회로(704a), 저 전류 영역 전류 출력 회로(704b), 전류 인상 전류 출력 회로(704c)의 3개에 한정되는 것이 아니고, 고 전류 영역 전류 출력 회로(704a)와 저 전류 영역 전류 출력 회로(704b)의 2개여도 되고, 또한 3개 이상의 전류 출력 회로(704)로 구성해도 된다. 또한, 기준 전류원(771)은 각각의 전류 영역 전류 출력 회로(704)에 따라 배치 또는 형성해도 되고, 또한 모든 전류 영역 전류 출력 회로(704)에서 공통으로 해도 된다.

이상의 전류 출력 회로(704)가 계조 데이터에 따라, 내부의 단위 트랜지스터(634)가 동작하여, 소스 신호선(18)으로부터 전류를 흡수한다. 상기과 단위 트랜지스터(634)는 1 수평 주사 기간(1H) 신호에 동기하여 동작한다. 즉, 1H의 기간 동안, 해당하는 계조 데이터에 기초하는 전류를 입력한다(단위 트랜지스터(634)가 N 채널인 경우).

한편, 게이트 드라이버 회로(12)도 1H 신호에 동기하여, 기본적으로는 하나의 게이트 신호선(17a)을 순차 선택한다. 즉, 1H 신호에 동기하여, 제1H 기간에는 게이트 신호선(17a)(1)을 선택하고, 제2H 기간에는 게이트 신호선(17a)(2)을 선택하여, 제3H 기간에는 게이트 신호선(17a)(3)을 선택하고, 제4H 기간에는 게이트 신호선(17a)(4)을 선택한다.

그러나, 제1 게이트 신호선(17a)이 선택되고 나서, 다음의 제2 게이트 신호선(17a)이 선택되는 기간에는, 어느 게이트 신호선(17a)도 선택되지 않는 기간(비선택 기간, 도 88의 t1을 참조)을 마련한다. 비선택 기간은 게이트 신호선(17a)의 상승 기간, 하강 기간이 필요하고, 선택 트랜지스터(11d)의 온 오프 제어 기간을 확보하기 위해서 마련한다.

어느 하나의 게이트 신호선(17a)에 온 전압이 인가되고, 화소(16)의 트랜지스터(11b), 선택 트랜지스터(11c)가 온 상태로 되어 있으면, Vdd 전원(애노드 전압)으로부터 구동용 트랜지스터(11a)를 통하여, 소스 신호선(18)에 프로그램 전류 Iw가 흐른다. 이 프로그램 전류 Iw가 단위 트랜지스터(634)에 흐른다(도 88의 t2 기간). 또한, 소스 신호선(18)에는 기생 용량 C가 발생하고 있다(게이트 신호선과 소스 신호선의 크로스 포인트의 용량 등에 의해 기생 용량이 발생함).

그러나, 어느 게이트 신호선(17a)도 선택되어 있지 않는(비선택 기간 도 88의 t1 기간)은 트랜지스터(11a)를 흐르는 전류 경로가 없다. 단위 트랜지스터(634)는 전류를 흘려보내므로, 소스 신호선(18)의 기생 용량으로부터 전하를 흡수한다. 그 때문에, 소스 신호선(18)의 전위가 저하한다(도 88의 A의 부분). 소스 신호선(18)의 전위가 저하하면, 다음의 화상 데이터에 대응하는 전류를 기입하는 데 시간이 걸린다.

이 과제를 해결하기 위해서, 도 89에 도시하는 바와 같이, 소스 단자(761)와의 출력단에 스위치(641a)를 형성한다. 또한, 전류 인상 전류 출력 회로(704c)의 출력단에 스위치(641b)를 형성 또는 배치한다.

비선택 기간 t1에, 제어 단자 S1에 제어 신호를 인가하여, 스위치(641a)를 오프 상태로 한다. 선택 기간 t2에서는 스

위치(641a)를 온 상태(도통 상태)로 한다. 온 상태시는 프로그램 전류 $I_w = I_{wH} + I_{wL} + I_{wK}$ 가 흐른다. 스위치(641a)를 오프로 하면 I_w 전류는 흐르지 않는다. 따라서, 도 90에 도시하는 바와 같이 도 88의 A와 같은 전위에 저하한다(변화는 없음). 또한, 스위치(641)의 아날로그 스위치(731)의 채널 폭 W 는, $10\mu\text{m}$ 이상 $100\mu\text{m}$ 이하로 한다. 이 아날로그 스위치의 W (채널 폭)은 온 저항을 저감하기 때문에, $10\mu\text{m}$ 이상으로 할 필요가 있다. 그러나, 너무 W 가 크면, 기생 용량도 커지기 때문에 $100\mu\text{m}$ 이하로 한다. 더욱 바람직하게는, 채널 폭 W 는 $15\mu\text{m}$ 이상 $60\mu\text{m}$ 이하로 하는 것이 바람직하다.

스위치(641b)는 저 계조 표시에만 제어하는 스위치이다. 저 계조 표시(흑 표시) 시에는, 화소(16)의 트랜지스터(11a)의 게이트 전위는 V_{dd} 에 가깝게 할 필요가 있다(따라서, 흑 표시에서는, 소스 신호선(18)의 전위는 V_{dd} 근처로 할 필요가 있음). 또한, 흑 표시에서는, 프로그램 전류 I_w 가 작고, 도 88의 A와 같이 한번 전위가 저하하면, 정규의 전위에 복귀하는 데 장시간을 요한다.

그 때문에, 저 계조 표시인 경우에는, 비선택 기간 t_1 이 발생하는 것을 피하여야 한다. 반대로, 고 계조 표시에서는, 프로그램 전류 I_w 가 크기 때문에, 비선택 기간 t_1 이 발생해도 문제가 없는 경우가 많다. 따라서, 본 발명에서는, 고 계조 표시의 화상 기입에서는, 비선택 기간이라도 스위치(641a), 스위치(641b)의 양방을 온시켜 둔다. 또한, 인상 전류 I_w K 도 절단해 놓을 필요가 있다. 극력 흑 표시를 실현하기 위해서이다. 저 계조 표시의 화상 기입에서는, 비선택 기간에서는 스위치(641a)를 온시켜 두고, 스위치(641b)는 오프 상태로 한다고 하는 식으로 구동한다. 스위치(641b)는 단자 S2에서 제어한다.

또한, 저 계조 표시 및 고 계조 표시의 양방으로, 비선택 기간 t_1 에 스위치(641a)를 오프(비도통 상태), 스위치(641b)는 온(도통)시킨 그대로 한다고 하는 구동을 실시해도 된다. 물론, 저 계조 표시 및 고 계조 표시의 양방에서, 비선택 기간 t_1 에 스위치(641a), 스위치(641b)의 양방을 오프(비도통)시킨 구동을 실시해도 된다. 어쨌든간에, 제어 단자 S1, S2의 제어로 스위치(641)를 제어할 수 있다. 또한, 제어 단자 S1, S2는 커맨드 제어로 제어한다.

예를 들면, 제어 단자 S2는 비선택 기간 t_1 을 오버랩하도록 t_3 기간을 '0' 로직 레벨로 한다. 이와 같이 제어로 함으로써, 도 88의 A의 상태는 발생하지 않는다. 또한, 계조가 일정 이상의 흑 표시 레벨일 때에는, 제어 단자 S1을 '0' 로직 레벨로 한다. 그렇게 하면, 인상 전류 I_w K 는 정지하여, 보다 흑 표시를 실현 가능하다.

통상의 드라이버 IC에서는, 출력 근방에 보호 다이오드(1671)가 형성되어 있다(도 167을 참조할 것). 보호 다이오드(1671)는 IC(14) 외부로부터 정전기로 IC(14)가 파괴되는 것을 방지하기 위해서 형성된다. 일반적으로 보호 다이오드(1671)는 출력 배선(643)과 전원 V_{cc} 사이, 출력 배선(643)과 접지 사이에 형성된다.

보호 다이오드(1671)는 정전기에 의한 파괴 방지에는 유효하다. 그러나, 등가 회로도적으로는, 컨덴서(기생 용량)로 간주된다. 전류 구동 방식에서는 출력 단자(643)에 기생 용량이 있으면 전류 기입이 곤란해진다.

본 발명은 이 과제를 해결하는 방법이다. 소스 드라이버 IC(14)는, 출력단에는 보호 다이오드(1671)가 형성된 상태에서 제조된다. 제조된 소스 드라이버 IC(14)는 어레이 기판(71)에 적재 또는 배치되고, 출력 단자(761)와 소스 신호선(18)이 접속된다. 출력 단자(761)와 소스 신호선(18)의 접속 후, 도 169의 (a)에 도시하는 바와 같이 a점 및 b점이 레이저 광(1502)으로 절단되고, 보호 다이오드(1671)가 출력 배선(643)으로부터 분리된다. 또는, 도 169의 (b)에 도시하는 바와 같이, c 점 및 d점에 레이저 광(1502)이 조사되고, 절단된다. 따라서, 보호 다이오드(1671)가 플로팅 상태로 된다.

이상과 같이 보호 다이오드(1671)가 출력 배선(643)으로부터 분리됨으로써, 또는 보호 다이오드(1671)를 부유 상태로 함으로써, 보호 다이오드(1671)에 의한 기생 용량의 발생을 방지할 수 있고, 또한 IC(14)의 실장 후에, 보호 다이오드(1671)가 출력 배선(643)으로부터 분리됨으로써, 또는 보호 다이오드(1671)를 플로팅 상태로 하기 때문에, 정전기에 의한 파괴의 문제도 발생하지 않는다.

또한, 레이저 광(1502)의 조사는 도 168에 도시하는 바와 같이, 어레이 기판(71)의 이면에서 행한다. 어레이 기판(71)은 유리 기판이고, 광 투과성을 갖는다. 따라서, 레이저 광(1502)은 어레이 기판(71)을 투과할 수 있다.

이상의 실시예는 표시 패널에 하나의 소스 드라이버 IC(14)를 적재하는 것을 전제로 한 실시예로서 설명했다. 그러나, 본 발명은 이 구성에 한정되는 것이 아니다. 소스 드라이버 IC(14)를 하나의 표시 패널에 복수 적재하는 구성이어도 된다. 예를 들면, 도 93은 3개의 소스 드라이버 IC(14)를 적재한 표시 패널의 실시예이다.

도 82에서도 설명한 바와 같이, 본 발명의 전류 구동 방식의 소스 드라이버 회로(IC)(14)는 복수의 드라이버 IC(14)를 이용하는 것에 대응하고 있다. 그 때문에, 슬레이브/마스터(S/M) 단자를 구비하고 있다. S/M 단자를 H레벨로 함으로써 마스터 칩으로서 동작하고, 기준 전류 출력 단자(도시하지 않음)로부터, 기준 전류를 출력한다. 물론, S/M 단자의 로직은 역극성이어도 된다.

슬레이브/마스터(S/M)의 전환은 소스 드라이버 IC(14)에의 커맨드에 의해 전환하여도 된다. 기준 전류는 캐스캐이드 전류 접속선(931)에서 전달된다. S/M 단자를 L레벨로 함으로써 IC(14)는 슬레이브 칩으로서 동작하고, 기준 전류 입력 단자(도시하지 않음)로부터 마스터 칩의 기준 전류를 수취한다. 이 전류가 도 73, 도 74의 INL, INH 단자에 흐르는 전류로 된다.

일례로서, 기준 전류는 IC 칩(14)의 중앙부(한복판 부분)의 전류 출력 회로(704)에서 발생시킨다. 마스터 칩의 기준 전류는 외부로부터 외부 부착 저항, 혹은 IC 내부에 배치 혹은 구성된 전류 구분 방식의 전자 볼륨에 의해, 기준 전류가 조정되어 인가된다.

또한, IC 칩(14)의 중앙부에는 컨트롤 회로(커맨드 디코더등) 등도 형성(배치)된다. 기준 전류원을 칩의 중앙부에 형성하는 것은, 기준 전류 발생 회로와 프로그램 전류 출력 단자(761)까지의 거리를 극력 짧게 하기 위해서이다.

도 93의 구성에서는, 마스터 칩(14b)으로부터 기준 전류가 2개의 슬레이브 칩(14a, 14c)에 전달된다. 슬레이브 칩은 기준 전류를 수취하고, 이 전류를 기준으로 하여, 모, 자, 손 전류를 발생시킨다. 또한, 마스터 칩(14b)이 슬레이브 칩에 교환하는 기준 전류는, 커런트 미러 회로의 전류 교환에 의해 행한다(도 67을 참조할 것). 전류 교환을 행함으로써, 복수의 칩에서 기준 전류의 어긋남이 없어져, 화면의 분할선이 표시되지 않게 된다.

도 94는 기준 전류의 교환 단자 위치를 개념적으로 도시하고 있다. IC 칩의 중앙부에 배치되고 신호 입력 단자(941i)에 기준 전류 신호선(932)이 접속되어 있다. 이 기준 전류 신호선(932)에 인가되는 전류(또한, 전압인 경우도 있음. 도 76을 참조할 것)는, EL 재료의 온특 보상이 되어 있다. 또한, EL 재료의 수명 열화에 의한 보상이 되어 있다.

기준 전류 신호선(932)에 인가된 전류(전압)에 기초하여, 칩(14) 내에서 각 전류원(631, 632, 633, 634)을 구동한다. 이 기준 전류가 커런트 미러 회로를 통하여, 슬레이브 칩에의 기준 전류로서 출력된다. 슬레이브 칩에의 기준 전류는 단자(941o)로부터 출력된다. 단자(941o)는 기준 전류 발생 회로(704)의 좌우에 적어도 하나 이상 배치(형성)된다. 도 94에서는, 좌우에 2개씩 배치(형성)되어 있다. 이 기준 전류가, 캐스캐이드 신호선(931a1, 931a2, 931b1, 931b2)에서 슬레이브 칩(14)에 전달된다. 또한, 슬레이브 칩(14a)에 인가된 기준 전류를, 마스터 칩(14b)에 피드백하여, 편차량을 보정하도록 회로를 구성해도 된다.

유기 EL 표시 패널을 모듈화할 때, 문제가 되는 사항에, 애노드 배선(951), 캐소드 배선의 인출(배치)의 저항값의 과제가 있다. 유기 EL 표시 패널은, EL 소자(15)의 구동 전압이 비교적 낮은 대신에, EL 소자(15)에 흐르는 전류가 크다. 그 때문에, EL 소자(15)에 전류를 공급하는 애노드 배선, 캐소드 배선을 굵게 할 필요가 있다. 일례로서, 2인치 클래스의 EL 표시 패널이라도 고분자 EL 재료에서는, 200mA 이상의 전류를 애노드 배선(951)에 흘려보낼 필요가 있다. 그 때문에, 애노드 배선(951)의 전압 강하를 방지하기 위해서, 애노드 배선은 1Ω 이하의 저 저항화할 필요가 있다. 그러나, 어레이 기판(71)에서는, 배선은 박막 증착으로 형성하기 때문에, 저 저항화는 곤란하다. 그 때문에, 패턴 폭을 굵게 할 필요가 있다. 그러나, 200mA의 전류를 거의 전압 강하없이 전달하기 위해서는, 배선 폭이 2mm 이상으로 된다고 하는 과제가 있었다.

도 105는 종래의 EL 표시 패널의 구성이다. 표시 화면(50)의 좌우에 내장 게이트 드라이버 회로(12a, 12b)가 형성(배치)되어 있다. 또한, 소스 드라이버 회로(14p)도 화소(16)의 트랜지스터와 동일 프로세스로 형성되어 있다(내장 소스 드라이버 회로).

애노드 배선(951)은 패널의 우측에 배치되어 있다. 애노드 배선(951)에는 Vdd 전압이 인가되어 있다. 애노드 배선(951) 폭은 일례로서 2mm 이상이다. 애노드 배선(951)은 화면의 하단으로부터 화면의 상단으로 분기되어 있다. 분기 수는 화소 열 수이다. 예를 들면, QCIF 패널에서는 176 열×RGB=528개이다. 한편, 소스 신호선(18)은 내장 소스 드라이버 회로(14p)로부터 출력되고 있다. 소스 신호선(18)은 화면의 상단에서 화면의 하단에 배치(형성)되어 있다. 또한, 내장 게이트 드라이버 회로(12)의 전원 배선(1051)도 화면의 좌우에 배치되어 있다.

따라서, 표시 패널의 우측의 프레임은 좁게 할 수 없다. 현재, 휴대 전화 등에 이용하는 표시 패널에서는, 협소한 프레임화가 중요하다. 또한, 화면의 좌우의 프레임을 균등하게 하는 것이 중요하다. 그러나, 도 105의 구성에서는 협소한 프레임화가 곤란하다.

이 과제를 해결하기 위해서, 본 발명의 표시 패널에서는 도 106에 도시하는 바와 같이, 애노드 배선(951)은 소스 드라이버 IC(14)의 이면에 위치하는 개소, 또한 어레이 표면에 배치(형성)하고 있다. 소스 드라이버 회로(IC)(14)는 반도체 칩으로 형성(제작)하고, COG(칩 온 유리) 기술로 어레이 기판(71)에 실장하고 있다. 소스 드라이버 IC(14)화에 애노드 배선(951)을 배치(형성)할 수 있는 것은, 칩(14)의 이면에 기판에 수직 방향으로 10μm 30μm의 공간이 있기 때문이다.

도 105와 같이, 소스 드라이버 회로(14p)를 어레이 기판(71)에 직접 형성하면, 마스크 수의 문제, 혹은 수율의 문제,

노이즈의 문제로부터 소스 드라이버 회로(14p)의 하층 혹은 상층에 애노드 배선(베이스 애노드선, 애노드 전압선, 기간(基幹) 애노드선)(951)을 형성하는 것은 곤란하다.

또한, 도 106에 도시하는 바와 같이, 공통 애노드선(962)을 형성하고, 베이스 애노드선(951)과 공통 애노드선(962)을 접속 애노드선(961)에서 단락시키고 있다. 특히, IC 칩의 중앙부의 접속 애노드선(961)을 형성한 점이 포인트이다. 접속 애노드선(961)을 형성함으로써, 베이스 애노드선(951)과 공통 애노드선(962) 사이의 전위차가 없어진다. 또한, 애노드 배선(952)을 공통 애노드선(962)으로부터 분기하고 있는 점이 포인트이다. 이상의 구성을 채용함으로써, 도 105와 같이 애노드 배선(951)의 인출이 없어져, 협소한 프레임화를 실현할 수 있다.

공통 애노드선(962)이 길이 20mm로 하고, 배선 폭이 150 μ m로 하고, 배선의 시트 저항을 0.05 $\Omega/\square$ 로 하면, 저항값은 20000(μ m)/150(μ m) $\times$ 0.05 Ω =약 7 Ω 로 된다. 공통 애노드선(962)의 양단을 접속 애노드선(961c)에서 베이스 애노드선(951)과 접속하면, 공통 애노드선(962)에는 양측 급전되므로, 외관상의 저항값은, 7 $\Omega/2$ =3.5 Ω 로 되고, 또한 집중 분포 승수로 고쳐 놓으면, 또한 외관상의 공통 애노드선(962)의 저항값은 1/2로 되므로, 적어도 2 Ω 이하로 된다. 애노드 전류가 100mA이더라도, 이 공통 애노드선(962)에서의 전압 강하는 0.2 V이하로 된다. 또한, 중앙부의 접속 애노드선(961b)에서 단락하면 전압 강하는, 거의 발생하지 않도록 할 수 있는 것이다.

본 발명은 베이스 애노드선(951)을 IC(14) 아래에 형성하는 것, 공통 애노드선(962)을 형성하고, 이 공통 애노드선(962)과 베이스 애노드선(951)을 전기적으로 접속하는 것(접속 애노드선(961)), 공통 애노드선(962)으로부터 애노드 배선(952)을 분기시키는 것이다.

또한, 본 발명에서는 화소 구성은 도 1을 예시하여 설명한다. 그 때문에, 캐소드 전극을 베타 전극(화소(16)에 공통의 전극)으로 하고, 애노드를 배선으로 인출하는 것으로 하여 설명을 한다. 그러나, 구동용 트랜지스터(11a)의 구성(N 채널이든지 P 채널이든지), 화소 구성에 따라서는, 애노드를 베타 전극으로 하여, 캐소드를 배선에 의해 인출할 필요가 있는 경우도 있다. 따라서, 본 발명은 애노드를 인출하는 것에 한정되는 것은 아니다. 인출할 필요가 있는 애노드 또는 캐소드에 관한 발명이다. 따라서, 캐소드를 배선으로서 인출하는 구성인 경우에는, 본 발명에서 기재하는 애노드를 캐소드로 바꾸어 읽으면 된다.

애노드선(베이스 애노드선(951), 공통 애노드선(962), 접속 애노드선(961), 애노드 배선(952) 등)을 저 저항화하기 위해서, 박막의 배선을 형성 후, 혹은 패터닝전에, 무전해 도금 기술, 전해 도금 기술 등을 이용하여, 도전성 재료를 적층하여 후막화해도 된다. 후막화함으로써, 배선의 단면적이 넓어지고, 저 저항화할 수 있다. 이상의 사항은 캐소드에 관해도 마찬가지이다. 또한, 게이트 신호선(17), 소스 신호선(18)에도 적용할 수 있다.

공통 애노드선(962)을 형성하고, 이 공통 애노드선(962)을 접속 애노드선(961)에서 양측 급전을 행하는 구성의 효과가 높고, 또한 중앙부에 접속 애노드선(961b)(961c)을 형성함으로써 더욱 효과가 높아진다. 또한, 베이스 애노드선(951), 공통 애노드선(962), 접속 애노드선(961)으로 루프를 구성하고 있기 때문에, IC(14)에 입력되는 전계를 억제할 수 있다.

공통 애노드선(962)과 베이스 애노드선(951)은 동일 금속 재료로 형성하고, 또한 접속 애노드선(961)도 동일 금속 재료로 형성하는 것이 바람직하다. 또한, 이들 애노드선은, 어레이를 형성하는 가장 저항값이 낮은 금속 재료 혹은 구성으로 실현한다. 일반적으로, 소스 신호선(18)의 금속 재료 및 구성(SD층)으로 실현한다. 공통 애노드선(962)과 소스 신호선(18)이 교차하는 개소는 동일 재료로 형성하는 것은 불가능하다. 따라서, 교차하는 개소는 다른 금속 재료(게이트 신호선(17)과 동일 재료 및 구성, GE층)로 형성하고, 절연막으로 전기적으로 절연한다. 물론, 애노드선은 소스 신호선(18)의 구성 재료로 이루어지는 박막과, 게이트 신호선(17)의 구성 재료로 이루어지는 박막을 적층하여 구성해도 된다.

또한, 소스 드라이버 IC(14)의 이면에 애노드 배선(캐소드 배선) 등의 EL 소자(15)에 전류를 공급하는 배선을 부설(배치, 형성)하는 것으로 했지만, 이것에 한정되는 것은 아니다. 예를 들면, 게이트 드라이버 회로(12)를 IC 칩으로 형성하고, 이 IC를 COG 실장해도 된다. 이 게이트 드라이버 IC(12)의 이면에 애노드 배선, 캐소드 배선을 배치(형성)한다.

이상과 같이 본 발명은, EL 표시 장치 등에 있어서, 구동 IC을 반도체 칩으로 형성(제작)하고, 이 IC를 어레이 기판(71) 등의 기판에 직접 실장하고, 또한 IC 칩의 이면의 공간부에 애노드 배선, 캐소드 배선 등의 전원 혹은 접지 패턴을 형성(제작)하는 것이다.

이상의 사항을 다른 도면을 사용하면서 더욱 자세하게 설명을 한다. 도 95는 본 발명의 표시 패널의 일부 설명도이다. 도 95에 있어서, 점선이 IC 칩(14)을 배치하는 위치이다. 즉, 베이스 애노드선(애노드 전압선 즉 분기 전의 애노드 배선)이 IC 칩(14)의 이면이고 또한 어레이 기판(71)상에 형성(배치)되어 있다. 또한, 본 발명의 실시예에 있어서, IC 칩(12, 14)의 이면에 분기전의 애노드 배선(951)을 형성하는 것으로 하여 설명하지만, 이것은 설명을 쉽게 하기 위해서

이다. 예를 들면, 분기전의 애노드 배선(951) 대신에 분기 전의 캐소드 배선 혹은 캐소드막을 형성(배치)해도 된다. 기타, 게이트 드라이버 회로(12)의 전원 배선(1051)을 배치 또는 형성해도 된다.

IC 칩(14)은 COG 기술에 의해 전류 출력(전류 입력) 단자(741)와 어레이 기판(71)에 형성된 접속 단자(953)가 접속된다. 접속 단자(953)는 소스 신호선(18)의 일단에 형성되어 있다. 또한, 접속 단자(953)는 (953a)와 (953b)라는 것처럼 지그재그 배치이다. 또한, 소스 신호선의 일단에는 접속 단자(953)가 형성되고, 다른 끝에도 체크용의 단자 전극이 형성되어 있다.

또한, 본 발명의 IC 칩은 전류 구동 방식의 드라이버 IC(전류로 화소에 프로그램하는 방식)로 했지만, 이것에 한정되는 것이 아니다. 예를 들면, 도 43, 도 53 등의 전압 프로그램의 화소를 구동하는 전압 구동 방식의 드라이버 IC를 적재한 EL 표시 패널(장치) 등에도 적용할 수 있다.

접속 단자(953a와 953b) 사이에는 애노드 배선(952)(분기 후의 애노드 배선)이 배치된다. 즉, 굵게, 저 저항의 베이스 애노드선(951)으로부터 분기된 애노드 배선(952)이 접속 단자(953) 사이에 형성되고, 화소(16) 옆에 따라서 배치되어 있다. 따라서, 애노드 배선(952)과 소스 신호선(18)은 평행하게 형성(배치)된다. 이상과 같이 구성(형성)하는 것에 의해, 도 105와 같이 베이스 애노드선(951)을 화면 가로로 인출하는 일없이, 각 화소에 Vdd 전압을 공급할 수 있다.

도 96은 더욱 구체적으로 도시하고 있다. 도 95와의 차이는, 애노드 배선을 접속 단자(953) 사이에 배치하지 않고, 별도로 형성한 공통 애노드선(962)으로부터 분기시킨 점이다. 공통 애노드선(962)과 베이스 애노드선(951)은 접속 애노드선(961)으로 접속하고 있다.

도 96은 IC 칩(14)을 투시하여 이면의 모습을 도시한 바와 같이 기재하고 있다. IC 칩(14)은 출력 단자(761)에 프로그램 전류 I_w 를 출력하는 전류 출력 회로(704)가 배치되어 있다. 기본적으로, 출력 단자(761)와 전류 출력 회로(704)는 규칙 바르게 배치되어 있다. IC 칩(14)의 중앙부에는 모 전류원의 기본 전류를 제작하는 회로, 컨트롤(제어) 회로가 형성되어 있다. 그 때문에, IC 칩의 중앙부에는 출력 단자(761)가 형성되어 있지 않다. 전류 출력 회로(704)가 IC 칩의 중앙부에 형성할 수 없기 때문이다.

본 발명에서는, 도 96의 고 전류 영역 전류 출력 회로(704a) 부에는 출력 단자(761)를 IC 칩에 제작하지 않는다. 출력 회로가 없기 때문이다. 또한, 소스 드라이버 등의 IC 칩의 중앙부에, 컨트롤 회로 등이 형성되고, 출력 회로가 형성되어 있지 않은 사례는 많다. 본 발명의 IC 칩은 이 점에 착안하여, IC 칩의 중앙부에 출력 단자(761)를 형성(배치)하지 않는다. 물론, IC 칩의 중앙부에 출력 단자(761)를 형성(배치)하는 경우에는 이 한정에 들지 않는다.

본 발명에서는 IC 칩의 중앙부에 접속 애노드선(961)을 형성하고 있다. 단, 접속 애노드선(961)은 어레이 기판(71)면에 형성되어 있는 것은 물론이다. 접속 애노드선(961)의 폭은 $50\mu\text{m}$ 이상 $1000\mu\text{m}$ 이하로 한다. 또한, 길이에 대한 저항(최대 저항)값은 100Ω 이하로 되도록 한다.

접속 애노드선(961)에서 베이스 애노드선(951)과 공통 애노드선(962)을 쇼트함으로써, 공통 애노드선(962)에 전류가 흐르는 것에 의해 발생하는 전압 강하를 극력 억제한다. 즉, 본 발명의 구성 요소인 접속 애노드선(961)은 IC 칩의 중앙부에 출력 회로가 없는 점을 유효하게 이용하고 있는 것이다. 또한, 종래, IC 칩의 중앙부에 더미 패드로서 형성되어 있는 출력 단자(761)를 삭제함으로써, 이 더미 패드와 접속 애노드선(961)이 접촉하는 것에 의한, IC 칩이 전기적으로 영향을 주는 것을 방지하고 있다.

단, 이 더미 패드가 IC 칩의 베이스 기판(칩의 접지), 다른 구성과 전기적으로 절연되어 있는 경우에는, 더미 패드가 접속 애노드선(961)과 접촉해도 전혀 문제가 없다. 따라서, 더미 패드를 IC 칩의 중앙부에 형성한 채로도 되는 것은 물론이다.

더욱 구체적으로는, 도 99와 같이 접속 애노드선(961), 공통 애노드선(962)은 형성(배치)되어 있다. 우선, 접속 애노드선(961)은 굵은 부분(961a)과 가는 부분(961b)이 있다. 굵은 부분(961a)은 저항값을 저감하기 위해서이다. 가는 부분(961b)은 출력 단자(963) 사이에 접속 애노드선(961b)을 형성하고, 공통 애노드선(962)과 접속하기 위해서이다.

또한, 베이스 애노드선(951)과 공통 애노드선(962)의 접속은, 중앙부의 접속 애노드선(961b) 뿐만 아니라, 좌우의 접속 애노드선(961c)에서도 쇼트하고 있다. 즉, 공통 애노드선(962)과 베이스 애노드선(951)은 3개의 접속 애노드선(961)으로 쇼트되어 있다. 이 구성에 의해 공통 애노드선(962)에 큰 전류가 흐르더라도 공통 애노드선(962)에서 전압 강하가 발생하기 어렵다. 이것은, IC 칩(14)은 통상, 폭이 2mm 이상 되고, 이 IC(14) 아래에 형성된 베이스 애노드선(951)의 선 폭을 굵게(저 임피던스화할 수 있음) 할 수 있기 때문이다. 그 때문에, 저 임피던스의 베이스 애노드선(951)과 공통 애노드선(962)을 복수 개소에서 접속 애노드선(961)에 의해 쇼트하고 있기 때문에, 공통 애노드선(962)의 전

압 강하는 작아지는 것이다.

이상과 같이 공통 애노드선(962)에서의 전압 강하를 작게 할 수 있는 것은, IC 칩(14) 아래에 베이스 애노드선(951)을 배치(형성)할 수 있는 점, IC 칩(14)의 좌우의 위치를 이용하여, 접속 애노드선(961c)을 배치(형성)할 수 있는 점, IC 칩(14)의 중앙부에 접속 애노드선(961b)을 배치(형성)할 수 있는 점에 있다.

또한, 도 99에서는 베이스 애노드선(951)과 캐소드 전원선(베이스 캐소드선)(991)을 절연막(102)을 개재하여 적층시키고 있다. 이 적층한 개소가 컨덴서를 형성한다. 이 구성을 애노드 컨덴서 구성이라고 부른다. 이 컨덴서는, 전원 패스 컨덴서로서 기능한다. 따라서, 베이스 애노드선(951)이 급격한 전류 변화를 흡수할 수 있다. 컨덴서의 용량은, EL 표시 장치의 표시 면적을 S평방 밀리미터로 하고, 컨덴서의 용량을 C(pF)로 했을 때, $M/200 \leq C \leq M/10$ 이하의 관계를 만족시키는 것이 좋다. 나아가서는, $M/100 \leq C \leq M/20$ 이하의 관계를 만족시키는 것이 좋다. C가 작으면 전류 변화를 흡수하는 것이 곤란하고, 크면 컨덴서의 형성 면적이 지나치게 커지고 실용적이지 않다.

또한, 도 99 등의 실시예에서는, IC 칩(14) 아래에 베이스 애노드선(951)을 배치(형성)하는 것으로 했지만, 애노드선을 캐소드선으로 하여도 되는 것은 물론이다. 또한, 도 99에 있어서, 베이스 캐소드선(991)과 베이스 애노드선(951)을 교체하여도 된다. 본 발명의 기술적 사상은 드라이버를 반도체 칩으로 형성하고, 또한 반도체 칩을 어레이 기판(71) 혹은 플렉시블 기판에 실장하고, 반도체 칩의 하면에 EL 소자(15) 등의 전원 혹은 접지 전위(전류)를 공급하는 배선 등을 배치(형성)하는 점에 있다.

따라서, 반도체 칩은, 소스 드라이버 IC(14)에 한정되는 것이 아니고, 게이트 드라이버 회로(12)여도 되고, 또한 전원 IC여도 된다. 또한, 반도체 칩을 플렉시블 기판에 실장하고, 이 플렉시블 기판면 또한 반도체 칩의 하면에 EL 소자(15) 등의 전원 혹은 접지 패턴을 배선(형성)하는 구성도 포함된다. 물론, 소스 드라이버 IC(14)와 게이트 드라이버 IC(12)의 양방을, 반도체 칩으로 구성하고, 어레이 기판(71)에 COG 실장을 행하여도 된다. 그리고, 상기 칩의 하면에 전원 혹은 접지 패턴을 형성해도 된다. 또한, EL 소자(15)에의 전원 혹은 그라운드 패턴으로 했지만 이것에 한정되는 것이 아니고, 소스 드라이버 회로(4)에의 전원 배선, 게이트 드라이버 회로(12)에의 전원 배선이어도 된다. 또한, EL 표시 장치에 한정되는 것이 아니고, 액정 표시 장치에도 적용할 수 있다. 기타, FED, PDP 등 표시 패널에도 적용할 수 있다. 이상의 사항은 본 발명의 다른 실시예에서도 마찬가지이다.

도 97은 본 발명의 다른 실시예이다. 주된 도 95, 도 96, 도 99와의 차이는 도 95가 출력 단자(953) 사이에 애노드 배선(952)을 배치한 데 대하여, 도 97에서는, 베이스 애노드 배선(951)으로부터 다수(복수)의 가는 접속 애노드선(961d)을 분기시켜, 이 접속 애노드선(961d)을 공통 애노드선(962)을 쇼트한 점이다. 또한, 가는 접속 애노드선(961d)과 접속 단자(953)와 접속된 소스 신호선(18)을 절연막(102)을 개재하여 적층한 점이다.

애노드선(961d)은 베이스 애노드선(951)과 콘택트홀(971a)에서 접속을 취하고, 애노드 배선(952)은 공통 애노드선(962)과 콘택트홀(971b)에서 접속을 취하고 있다. 다른 점(접속 애노드선(961a, 961b, 961c), 애노드 컨덴서 구성 등)들은 도 96, 도 99와 마찬가지이기 때문에 설명을 생략한다.

도 99의 aa'선에서의 단면도를 도 98에 도시한다. 도 98의 (a)에서는, 대략 동일 폭의 소스 신호선(18)을 접속 애노드선(961d)이 절연막(102a)을 개재하여 적층되어 있다.

절연막(102a)의 막 두께는 500옹스트롬 이상 3000옹스트롬(A) 이하로 한다. 더욱 바람직하게는, 800옹스트롬 이상 2000 옹스트롬(A) 이하로 한다. 막 두께가 얇으면, 접속 애노드선(961d)과 소스 신호선(18)의 기생 용량이 커지고, 또한 접속 애노드선(961d)과 소스 신호선(18)의 단락이 발생하기 쉽게 되어 바람직하지 못하다. 반대로 두꺼우면 절연막의 형성 시간에 장시간을 요하여, 제조 시간이 길어져 비용이 높아진다. 또한, 상층의 배선의 형성이 곤란해진다.

절연막(102)은 폴리비페닐 알콜(PVA) 수지, 에폭시 수지, 폴리프로필렌 수지, 페놀 수지, 아크릴계 수지, 폴리이미드 수지 등의 유기 재료와 동일 재료가 예시되고, 기타, SiO_2 , SiNx 등의 무기 재료가 예시된다. 기타, Al_2O_3 , Ta_2O_3 등이어도 되는 것은 물론이다. 또한, 도 98의 (a)에 도시하는 바와 같이, 최외측 표면에는 절연막(102b)을 형성하고, 배선(961) 등의 부식, 기계적 손상을 방지시킨다.

도 98의 (b)에서는, 소스 신호선(18)의 위에 소스 신호선(18)보다도 선 폭이 좁은 접속 애노드선(961d)이 절연막(102a)을 개재하여 적층되어 있다. 이상과 같이 구성함으로써, 소스 신호선(18)의 단차에 의한 소스 신호선(18)과 접속 애노드선(961d)의 쇼트를 억제할 수 있다. 도 98의 (b)의 구성에서는, 접속 애노드선(961d)의 선 폭은 소스 신호선(18)의 선 폭보다도 $0.5\mu\text{m}$ 이상 좁게 하는 것이 바람직하다. 나아가서는, 접속 애노드선(961d)의 선 폭은 소스 신호선(18)의 선 폭보다도 $0.8\mu\text{m}$ 이상 좁게 하는 것이 바람직하다.

도 98의 (b)에서는, 소스 신호선(18)의 위에 소스 신호선(18)보다도 선 폭이 좁은 접속 애노드선(961d)이 절연막(102a)을 개재하여 적층되어 있다고 했지만, 도 98의 (c)에 도시하는 바와 같이, 접속 애노드선(961d)의 위에 접속 애노드

드선(961d)보다도 선 폭이 좁은 소스 신호선(18)이 절연막(102a)을 개재하여 적층하는 것으로 해도 된다. 다른 사항은 다른 실시예와 마찬가지로 하기 때문에 설명을 생략한다.

도 100은 IC 칩(14)부의 단면도이다. 기본적으로는 도 99의 구성을 기준으로 하고 있지만, 도 96, 도 97 등에서도 마찬가지로 적용할 수 있다. 혹은 유사하게 적용할 수 있다.

도 100의 (b)는 도 99의 AA'에서의 단면도이다. 도 100의 (b)에서도 분명한 바와 같이, IC 칩(14)의 중앙부에는 출력패드(761)가 형성(배치)되어 있지 않다. 이 출력패드와, 표시 패널의 소스 신호선(18)이 접속된다. 출력패드(761)는 도금 기술 혹은 네일 헤드 본더 기술에 의해 범프(돌기)가 형성되어 있다. 돌기의 높이는 10 μ m 이상 40 μ m 이하의 높이로 한다. 물론, 금 도금 기술(전해, 무전해)에 의해 돌기를 형성해도 되는 것은 물론이다.

상기 돌기와 각 소스 신호선(18)은 도전성 접합층(도시하지 않음)을 개재하여 전기적으로 접속되어 있다. 도전성 접합층은 접착제로서 에폭시계, 페놀계 등을 주요제로 하고, 은(Ag), 금(Au), 니켈(Ni), 카본(C), 산화 주석(SnO₂) 등의 후레이크를 섞은 것, 혹은 자외선 경화 수지 등이다. 도전성 접합층(접속 수지)(1001)은, 전사 등의 기술로 범프 상에 형성한다. 또는, 돌기와 소스 신호선(18)을 ACF 수지(1001)로 열 압착된다.

또한, 돌기 혹은 출력패드(761)와 소스 신호선(18)의 접속은, 이상의 방식에 한정되는 것은 아니다. 또한, 어레이 기판 위에 IC(14)를 적재하지 않고, 필름캐리어 기술을 이용하여도 된다. 또한, 폴리이미드 필름 등을 이용하여 소스 신호선(18) 등과 접속해도 된다. 도 100의 (a)는 소스 신호선(18)과 공통 애노드선(962)이 중첩되어 있는 부분의 단면도이다(도 98을 참조할 것).

공통 애노드선(962)으로부터 애노드 배선(952)이 분기되어 있다. 애노드 배선(952)은 QCIF 패널인 경우에는, 176×RGB=528개이다. 애노드 배선(952)을 통하여, 도 1 등에서 도시하는 V_{dd} 전압(애노드 전압)이 공급된다. 하나의 애노드 배선(952)에는, EL 소자(15)가 저 분자 재료인 경우에는, 최대 200 μ A 정도의 전류가 흐른다. 따라서, 공통 애노드선(962)에는 200 μ A×528에서 약 100mA의 전류가 흐른다.

따라서, 공통 애노드선(962)에서의 전압 강하를 0.2(V) 이내로 하기 위해서는, 전류가 흐르는 최대 경로의 저항값이 2 Ω (100mA 흐르는 것으로 하여) 이하로 할 필요가 있다. 본 발명에서는, 도 99에 도시한 바와 같이 3 개소에 접속 애노드선(961)을 형성하고 있기 때문에, 집중 분포 회로로 고쳐 놓으면, 공통 애노드선(962)의 저항값은 용이하게 매우 작게 설계할 수 있다. 또한, 도 97과 같이 다수의 접속 애노드선(961d)을 형성하면, 공통 애노드선(962)에서의 전압 강하는 거의 없어진다.

문제로 되는 것은, 공통 애노드선(962)과 소스 신호선(18)의 중첩 부분에서의 기생 용량(공통 애노드 기생 용량이라고 함)의 영향이다. 기본적으로, 전류 구동 방식에서는, 전류를 기입하는 소스 신호선(18)에 기생 용량이 있으면 즉 표시 전류를 기입하기 어렵다. 따라서, 기생 용량은 극력 작게 할 필요가 있다.

공통 애노드 기생 용량은, 적어도 1 소스 신호선(18)이 표시 영역 내에서 발생하는 기생 용량(표시 기생 용량이라고 함)의 1/10 이하로 할 필요가 있다. 예를 들면, 표시 기생 용량이 10(pF)이면, 1(pF) 이하로 할 필요가 있다. 더욱 바람직하게는, 표시 기생 용량의 1/20 이하로 할 필요가 있다. 표시 기생 용량이 10(pF)이면, 0.5(pF) 이하로 할 필요가 있다. 이 점을 고려하여, 공통 애노드선(962)의 선 폭(도 103의 M), 절연막(102)의 막 두께(도 101을 참조)를 결정한다.

베이스 애노드선(951)은 IC 칩(14)의 아래에 형성(배치)한다. 형성하는 선 폭은 저 저항화의 관점에서, 극력 굵은 쪽이 되는 것은 물론이다. 기타, 베이스 애노드 배선(951)은 차광의 기능을 갖게 하는 것이 바람직하다.

이 설명도를 도 102에 도시하고 있다. 또한, 베이스 애노드 배선(951)을 금속 재료로 소정 막 두께 형성하면, 차광의 효과가 있는 것은 물론이다. 또한, 베이스 애노드선(951)을 굵게 할 수 없을 때, 혹은, ITO 등의 투명 재료로 형성할 때는, 베이스 애노드선(951)에 적층하거나, 혹은 다층에, 광 흡수막 혹은 빛 반사막을 IC 칩(14) 아래(기본적으로는 어레이 기판(71)의 표면)에 형성한다. 또한, 도 102의 차광막(베이스 애노드선(951))은 완전한 차광막인 것을 필요로 하지 않는다. 부분적으로 개구부가 있더라도 된다. 또한, 회절 효과, 산란 효과를 발휘하는 것이어도 된다. 또한, 베이스 애노드선(951)에 적층시켜, 광학적 간섭 다층막으로 이루어지는 차광막을 형성 또는 배치해도 된다.

물론, 어레이 기판(71)과 IC 칩(14)의 공간에, 금속박 혹은 판 혹은 시트로 이루어지는 반사판(시트), 광 흡수판(시트)을 배치 혹은 삽입 혹은 형성해도 되는 것은 물론이다. 또한, 금속박에 한정되지 않고, 유기 재료 혹은 무기 재료로 이루어지는 박 혹은 판 혹은 시트로 이루어지는 반사판(시트), 광 흡수판(시트)을 배치 혹은 삽입 혹은 형성해도 되는 것은 물론이다. 또한, 어레이 기판(71)과 IC 칩(14)의 공간에, 겔 혹은 액체로 이루어지는 광 흡수 재료, 빛 반사 재료를 주입 혹은 배치해도 된다. 또한 상기 겔 혹은 액체로 이루어지는 광 흡수 재료, 빛 반사 재료를 가열에 의해, 혹은 광 조사에 의해 경화시키는 것이 바람직하다. 또한, 여기서는 설명을 쉽게 하기 위해서, 베이스 애노드선(951)을 차광막(

반사막)으로 하는 것으로 해서 설명을 한다.

도 102와 같이, 베이스 애노드선(951)은 어레이 기판(71)의 표면에 형성된다(또한, 표면에 한정되는 것은 아님. 차광막/ 반사막으로 한다고 하는 사상을 만족시키기 위해서는, IC 칩(14)의 이면에 빛이 입사되어야 하는 것임. 따라서, 어레이 기판(71)의 내면 혹은 내층에 베이스 애노드선(951) 등을 형성해도 되는 것은 물론임. 또한, 어레이 기판(71)의 이면에 베이스 애노드선(951)(반사막, 광 흡수막으로서 기능하는 구성 또는 구조)을 형성함으로써, IC(14)에 빛이 입사하는 것을 방지 또는 억제할 수 있는 것이면, 어레이 기판(71)의 이면이어도 됨).

또한, 도 102 등에서는, 차광막 등은 어레이 기판(71)에 형성한다고 했지만 이것에 한정되는 것이 아니고, IC 칩(14)의 이면에 직접 차광막 등을 형성해도 된다. 이 경우에는, IC 칩(14)의 이면에 절연막(102)(도시하지 않음)을 형성하고, 이 절연막 위에 차광막 혹은 반사막 등을 형성한다. 또한, 소스 드라이버 회로(14)가 어레이 기판(71)에 직접 형성하는 구성(저온 폴리실리콘 기술, 고온 폴리실리콘 기술, 고상 성장 기술, 비정질 실리콘 기술에 의한 드라이버 구성)인 경우에는, 차광막, 광 흡수막 혹은 반사막을 어레이 기판(71)에 형성하고, 그 위에 드라이버 회로(14)를 형성(배치)하면 된다.

IC 칩(14)에는 전류원(634) 등, 미소 전류를 흘리는 트랜지스터 소자가 많이 형성되어 있다(도 102의 회로 형성부(1021)). 미소 전류를 흘리는 트랜지스터 소자(단위 트랜지스터(634) 등)에 빛이 입사되면, 포토컨덕터 현상이 발생하여, 출력 전류(프로그램 전류 I_w), 모 전류량, 자 전류량 등이 이상(異常)한 값(변동이 발생하는 등)으로 된다. 특히, 유기 EL 등의 자발광 소자는, 어레이 기판(71) 내에서 EL 소자(15)로부터 발생한 빛이 난반사하기 때문에, 표시 화면(50) 이외의 개소에서 강한 빛이 방사된다. 이 방사된 광이, IC 칩(14)의 회로 형성부(1021)에 입사되면 포토컨덕터 현상을 발생한다. 따라서, 포토컨덕터 현상의 대책은 EL 표시 디바이스에 특유 과제의 대책이다.

이 과제에 대하여, 본 발명에서는 베이스 애노드선(951)을 어레이 기판(71) 상에 구성하여, 차광막으로 한다. 베이스 애노드선(951)의 형성 영역은 도 102에 도시하는 바와 같이, 회로 형성부(1021)를 피복하도록 한다. 이상과 같이, 차광막(베이스 애노드선(951))을 형성함으로써, 포토컨덕터 현상을 완전하게 방지할 수 있다. 특히 베이스 애노드 배선(951) 등의 EL 전원선은, 화면 재기입에 따른, 전류가 흘러 전위가 다소 변화한다. 그러나, 전위의 변화량은 1H 타이밍에서 조금씩 변화하기 때문에, 접지 전위(전위 변화하지 않는다고 하는 의미)로서 간주할 수 있다. 따라서, 베이스 애노드선(951) 혹은 베이스 캐소드선은 차광의 기능뿐만 아니라, 실드의 효과도 발휘한다.

유기 EL 등의 자발광 소자는, 어레이 기판(71) 내에서 EL 소자(15)로부터 발생한 빛이 난반사하기 때문에, 표시 화면(50) 이외의 개소에서 강한 빛이 방사된다. 이 난반사 광을 방지 혹은 억제하기 위해서, 도 101에 도시하는 바와 같이, 화상 표시에 유효한 빛이 통과하지 않는 개소(무효 영역)에 광 흡수막(1011)을 형성한다(반대로 유효 영역이란, 표시 화면(50)을 그 근방). 광 흡수막을 형성하는 개소는, 밀봉 뚜껑(85)의 외면(광 흡수막(1011a)), 밀봉 뚜껑(85)의 내면(광 흡수막(1011c), 기판(70)의 측면(광 흡수막(1011d)), 기판의 화상 표시 영역 이외(광 흡수막(1011b) 등이다. 또한, 광 흡수막에 한정되는 것이 아니고, 광 흡수 시트를 부착하여도 되고, 또한 광 흡수벽이어도 된다. 또한, 광 흡수의 개념에는 빛을 산란시킴으로써, 빛을 발산시키는 방식 혹은 구조도 포함되고, 또한 광의로는 반사에 의해 빛을 가두는 방식 혹은 구성도 포함된다.

광 흡수막을 구성하는 물질로서는, 아크릴 수지 등의 유기 재료에 카본을 함유시킨 것, 흑색의 색소 혹은 안료를 유기 수지중에 분산시킨 것, 컬러 필터와 같이 젤라틴이나 카제인을 흑색의 산성 염료로 염색한 것이 예시된다. 기타, 단일로 흑색으로 되는 플루오렌계 색소를 발색시켜 이용한 것이어도 되고, 녹색계 색소와 적색계 색소를 혼합한 배색 블랙을 이용할 수도 있다. 또한, 스퍼터에 의해 형성된 PrMnO_3 막, 플라즈마 중합에 의해 형성된 프타로시아닌막 등이 예시된다.

이상의 재료는 전부 흑색의 재료이지만, 광 흡수막으로서, 표시 소자가 발생하는 광색에 대하여, 보색의 관계의 재료를 이용하여도 된다. 예를 들면, 컬러 필터용의 광 흡수 재료를 바람직한 광 흡수 특성이 얻어지도록 개량하여 이용하면 된다. 기본적으로는 상기 한 흑색 흡수 재료와 마찬가지로, 색소를 이용하여 천연 수지를 염색한 것을 이용하여도 된다. 또한, 색소를 합성 수지중에 분산한 재료를 이용하는 것이 가능하다. 색소의 선택의 범위는 흑색 색소보다도 오히려 폭 넓고, 아조 염료, 안트라퀴논 염료, 프타로시아닌 염료, 트리페닐메탄 염료 등으로부터 적절한 1종, 혹은 이들 중 2 종류 이상의 조합이어도 된다.

또한, 광 흡수막으로서 금속 재료를 이용하여도 된다. 예를 들면, 육가 크롬이 예시된다. 육가 크롬은 흑색이고, 광 흡수막으로서 기능한다. 기타, 오팔 유리, 산화 티탄 등의 광 산란 재료이어도 된다. 빛을 산란시킴으로써, 결과적으로 빛을 흡수하는 것과 등가로 되는 경우도 많다.

또한, 밀봉 뚜껑(85)은 $4\mu\text{m}$ 이상 $15\mu\text{m}$ 이하의 수지 비즈(1012)를 함유시킨 밀봉 수지(1031)를 이용하여, 어레이 기판(71)과 밀봉 뚜껑(85)을 접착한다. 밀봉 뚜껑(85)은 가압하지 않고서 배치하여 고정한다.

도 99의 실시예는 공통 애노드선(962)을 IC 칩(14)의 근방에 형성(배치)하도록 도시했지만, 이것에 한정되는 것은 아니다. 예를 들면, 도 103에 도시하는 바와 같이, 표시 화면(50)의 근방에 형성해도 된다. 또한, 형성하는 것이 바람직하다. 왜냐하면, 소스 신호선(18)과 애노드 배선(952)이 단거리이고, 또한 평행하게 배치(형성)하는 부분이 감소하기 때문이다. 소스 신호선(18)과 애노드 배선(952)이 단거리이고, 또한 평행하게 배치되면, 소스 신호선(18)과 애노드 배선(952) 사이에 기생 용량이 발생하기 때문이다. 도 103과 같이, 표시 화면(50)의 근방에 공통 애노드선(962)을 배치하면 그 문제점은 없어진다. 표시 화면(50)으로부터 공통 애노드선(962)의 거리 K(도 103을 참조)는 1mm 이하로 하는 것이 바람직하다.

공통 애노드선(962)은, 극력 저 저항화하기 때문에, 소스 신호선(18)을 형성 하는 금속 재료로 형성하는 것이 바람직하다. 본 발명에서는 Cu 박막, Al 박막 혹은 Ti/Al/Ti의 적층 구조, 혹은 합금 혹은 아말감으로 이루어지는 금속 재료(SD 메탈)로 형성하고 있다. 따라서, 소스 신호선(18)과 공통 애노드선(962)이 교차하는 개소는 쇼트하는 것을 방지하기 위해서, 게이트 신호선(17)을 구성하는 금속 재료(GE 메탈)로 치환한다. 게이트 신호선은 Mo/W의 적층 구조로 이루어지는 금속 재료로 형성하고 있다.

일반적으로, 게이트 신호선(17)의 시트 저항은 소스 신호선(18)의 시트 저항보다 높다. 이것은 액정 표시 장치에서 일반적이다. 그러나, 유기 EL 표시 패널에 있어서, 또한 전류 구동 방식에서는, 소스 신호선(18)을 흐르는 전류는 1~5 μ A로 미소하다. 따라서, 소스 신호선(18)의 배선 저항이 높아도 전압 강하는 거의 발생하지 않고, 양호한 화상 표시를 실현할 수 있다. 액정 표시 장치에서는, 전압으로 소스 신호선(18)에 화상 데이터를 기입한다. 따라서, 소스 신호선(18)의 저항값이 높으면 화상을 1수평 주사 기간에 기입할 수 없다.

그러나, 본 발명의 전류 구동 방식에서는, 소스 신호선(18)의 저항값이 높더라도(즉, 시트 저항값이 높음), 과제로는 되지 않는다. 따라서, 소스 신호선(18)의 시트 저항은, 게이트 신호선(17)의 시트 저항보다 높아도 좋다. 따라서, 본 발명의 EL 표시 패널에 있어서 도 104에 도시하는 바와 같이, 소스 신호선(18)을 GE 메탈로 제작(형성)하고, 게이트 신호선(17)을 SD 메탈로 제작(형성)해도 된다(액정 표시 패널과 반대). 광의적으로는 전류 구동 방식의 EL 표시 패널에 있어서, 소스 신호선(18)의 배선 저항은 게이트 신호선(17)의 배선 저항보다도 높게 한 구성인 것에 특징을 갖는다.

도 107은 도 99, 도 103의 구성 외에, 게이트 드라이버 회로(12)를 구동하는 전원 배선(1051)을 배치한 구성이다. 전원 배선(1051)은 패널의 표시 화면(50)의 우단→하변→표시 화면(50)의 좌단으로 인출하고 있다. 즉, 게이트 드라이버 회로(12a와 12b)의 전원은 동일하게 되어 있다.

그러나, 게이트 신호선(17a)을 선택하는 게이트 드라이버 회로(12a)(게이트 신호선(17a)은 선택 트랜지스터(11b), 선택 트랜지스터(11c)를 제어함)와, 게이트 신호선(17b)을 선택하는 게이트 드라이버 회로(12b)(게이트 신호선(17b)은 트랜지스터(11d)를 제어하여, EL 소자(15)에 흐르는 전류를 제어함)는, 전원 전압을 서로 다르게 한 것이 바람직하다. 특히, 게이트 신호선(17a)의 진폭(온 전압 - 오프 전압)은 작은 것이 바람직하다. 게이트 신호선(17a)의 진폭이 작아질수록, 화소(16)의 컨덴서(19)에의 관통 전압이 감소하기 때문이다(도 1 등을 참조). 한편, 게이트 신호선(17b)은 EL 소자(15)를 제어할 필요가 있기 때문에, 진폭은 작게 할 수 없다.

따라서, 도 108에 도시하는 바와 같이, 게이트 드라이버 회로(12a)의 인가 전압은 V_{ha} (게이트 신호선(17a)의 오프 전압)과, V_{1a} (게이트 신호선(17a)의 온 전압)로 하고, 게이트 드라이버 회로(12a)의 인가 전압은 V_{hb} (게이트 신호선(17b)의 오프 전압)와, V_{1a} (게이트 신호선(17b)의 온 전압)로 한다. $V_{1a} < V_{1b}$ 인 관계로 한다. 또한, V_{ha} 와 V_{hb} 는 대략 일치시켜도 된다.

게이트 드라이버 회로(12)는 통상, N 채널 트랜지스터와 P 채널 트랜지스터로 구성하지만, P 채널 트랜지스터만으로 형성하는 것이 바람직하다. 어레이 제작에 필요로 하는 마스크 수가 감소하여, 제조 수율 향상, 처리량의 향상이 예상되기 때문이다. 따라서, 도 1, 도 2 등에 예시한 바와 같이, 화소(16)를 구성하는 트랜지스터를 P 채널 트랜지스터로 함과 동시에, 게이트 드라이버 회로(12)도 P 채널 트랜지스터로 형성 혹은 구성한다. N 채널 트랜지스터와 P 채널 트랜지스터로 게이트 드라이버 회로를 구성하면 필요한 마스크 수는 10매로 되지만, P 채널 트랜지스터만으로 형성하면 필요한 마스크 수는 5매로 된다.

그러나, P 채널 트랜지스터만으로 게이트 드라이버 회로(12) 등을 구성하면, 레벨 시프터 회로를 어레이 기판(71)에 형성할 수 없다. 레벨 시프터 회로는 N 채널 트랜지스터와 P 채널 트랜지스터로 구성하기 때문이다.

이 과제에 대하여, 본 발명에서는, 레벨 시프터 회로 기능을, 전원 IC(1091)에 내장시키고 있다. 도 109는 그 실시예이다. 전원 IC(1091)는 게이트 드라이버 회로(12)의 구동 전압, EL 소자(15)의 애노드, 캐소드 전압, 소스 드라이버 회로(14)의 구동 전압을 발생시킨다.

전원 IC(1091)은 게이트 드라이버 회로(12)의 EL 소자(15)의 애노드, 캐소드 전압을 발생시키기 위해서, 높은 내압

의 반도체 프로세스를 사용할 필요가 있다. 이 내압이 있으면, 게이트 드라이버 회로(12)의 구동하는 신호 전압까지 레벨 시프트할 수 있다.

또한, 도 205에 도시하는 바와 같이, 소스 드라이버 IC(14) 내에 레벨 시프터 회로(2041)를 형성해도 된다. 레벨 시프터 회로(2041)는 소스 드라이버 IC(14)의 좌우단에 형성한다. 도 205와 같이, 소스 드라이버 IC(14)를 복수개 이용하는 경우에는, 각 소스 드라이버 IC(14)의 한쪽의 레벨 시프터 회로(2041)를 이용한다.

도 205에서는 소스 드라이버 IC(14a)의 레벨 시프터 회로(2041a)를 사용하고 있다. 게이트 제어 데이터는 레벨 시프터 회로(2041a)에서 승압되고, 게이트 드라이버 제어 신호(2043a)로 되어, 게이트 드라이버 회로(12a)를 제어한다. 또한, 소스 드라이버 IC(14b)의 레벨 시프터 회로(2041b)를 사용하고 있다. 게이트 제어 데이터는 레벨 시프터 회로(2041b)에서 승압되고, 게이트 드라이버 제어 신호(2043b)로 되어, 게이트 드라이버 회로(12b)를 제어한다.

레벨 시프트 및 게이트 드라이버 회로(12)의 구동은 도 109의 구성으로 실시한다. 입력 데이터(화상 데이터, 커맨드, 제어 데이터)(992)는 소스 드라이버 IC(14)에 입력된다. 입력 데이터에는 게이트 드라이버 회로(12)의 제어 데이터도 포함된다. 소스 드라이버 IC(14)는 내압(동작 전압)이 5(V)이다. 한편, 게이트 드라이버 회로(12)는 동작 전압이 15(V)이다. 소스 드라이버 회로(14)로부터 출력되는 게이트 드라이버 회로(12)에 출력되는 신호는, 5(V) 내지 15(V)로 레벨 시프트할 필요가 있다. 이 레벨 시프트를 전원 회로(IC)(1091)에서 행한다. 도 109에서는 게이트 드라이버 회로(12)를 제어하는 데이터 신호도 전원 IC 제어 신호(1092)로 하고 있다.

전원 회로(1091)는 입력된 게이트 드라이버 회로(12)를 제어하는 데이터 신호(1092)를 내장하는 레벨 시프터 회로에서 레벨 시프트하고, 게이트 드라이버 회로 제어 신호(1093)로서 출력하여, 게이트 드라이버 회로(12)를 제어한다.

이하, 어레이 기판(71)에 내장하는 게이트 드라이버 회로(12)를 P 채널의 트랜지스터만으로 구성된 본 발명의 게이트 드라이버 회로(12)에 대하여 설명을 한다. 앞서도 설명한 바와 같이, 화소(16)와 게이트 드라이버 회로(12)를 P 채널 트랜지스터만으로 형성(즉, 어레이 기판(71)에 형성하는 트랜지스터는 전부 P 채널 트랜지스터임. 반대로 말하면, N 채널의 트랜지스터를 이용하지 않는 상태)함으로써, 어레이를 제작에 필요로 하는 마스크 수가 감소되어, 제조 수율 향상, 처리량의 향상이 예상되기 때문이다. 또한, P 채널 트랜지스터의 성능만의 향상에 몰두할 수 있기 때문에, 결과적으로 특성 개선이 용이하다. 예를 들면, V_t 전압의 저감화(보다 0(V)에 가까이 하는 등), V_t 변동의 감소를, CMOS 구조(P 채널과 N 채널 트랜지스터를 이용하는 구성)보다도 용이하게 실시할 수 있다.

일례로서, 도 106에 도시하는 바와 같이, 본 발명은, 표시 화면(50)의 좌우에 1상(시프트 레지스터)씩, 게이트 드라이버 회로(12)를 배치 또는 형성 혹은 구성하고 있다. 게이트 드라이버 회로(12) 등(화소(16)의 트랜지스터도 포함함)은, 프로세스 온도가 450도(섭씨) 이하의 저온 폴리실리콘 기술로 형성 또는 구성하는 것으로 설명하지만, 이것에 한정되는 것은 아니다. 프로세스 온도가 450도(섭씨) 이상의 고온 폴리실리콘 기술을 이용하여 구성해도 되고, 또한 고상(CGS) 성장시킨 반도체막을 이용하여 트랜지스터 등을 형성한 것을 이용하여도 된다. 기타, 유기 트랜지스터로 형성해도 된다. 또한, 비정질 실리콘 기술로 형성 혹은 구성한 트랜지스터이어도 된다.

하나의 선택측의 게이트 드라이버 회로(12a)이다. 게이트 신호선(17a)에 온 오프 전압을 인가하여, 화소 트랜지스터(11)를 제어한다. 다른 쪽의 게이트 드라이버 회로(12b)는 EL 소자(15)에 흘리는 전류를 제어 온 오프시킨다.

본 발명의 실시예에서는, 주로 도 1의 화소 구성을 예시하고 설명을 하지만 이것에 한정되는 것은 아니다. 도 50, 도 51, 도 54 등의 다른 화소 구성에 있어서도 적용할 수 있는 것은 물론이다. 또한, 본 발명의 게이트 드라이버 회로(12)의 구성 혹은 그 구동 방식은, 본 발명의 표시 패널, 표시 장치 혹은 정보 표시 장치와의 조합에 있어서, 보다 특징 있는 효과를 발휘한다. 그러나, 다른 구성에서도 특징 있는 효과를 발휘할 수 있는 것은 물론이다.

또한, 이하에 설명하는 게이트 드라이버 회로(12)의 구성 혹은 배치 형태는, 유기 EL 표시 패널 등의 자기 발광 디바이스에 한정되는 것이 아니다. 액정 표시 패널 혹은 전자 유동 표시 패널 등에도 채용할 수 있다. 예를 들면, 액정 표시 패널에서는, 화소의 선택 스위칭 소자의 제어로서 본 발명의 게이트 드라이버 회로(12)의 구성 혹은 방식을 채용해도 된다. 또한, 게이트 드라이버 회로(12)를 2상 이용하는 경우에는, 1상을 화소의 스위칭 소자의 선택용으로서 이용하고, 다른 쪽을 화소에 있어서, 축적용량의 1쪽의 단자에 접속해도 된다. 이 방식은 독립 CC 구동이라고 불리는 것이다. 또한, 도 111, 도 113등으로 설명하는 구성은 게이트 드라이버 회로(12)뿐만 아니라, 소스 드라이버 회로(14)의 시프트 레지스터 회로 등에도 채용할 수 있는 것은 물론이다.

본 발명의 게이트 드라이버 회로(12)는, 앞서 설명한 도 6, 도 13, 도 16, 도 20, 도 22, 도 24, 도 26, 도 27, 도 28, 도 29, 도 34, 도 37, 도 40, 도 41, 도 48, 도 82, 도 91, 도 92, 도 93, 도 103, 도 104, 도 105, 도 106, 도 107, 도 108, 도 109, 도 176, 도 181, 도 187, 도 188, 도 208 등의 게이트 드라이버 회로(12)로서 실시 혹은 채용하는 것이 바람직하다.

도 111은 본 발명의 게이트 드라이버 회로(12)의 블록도이다. 설명을 쉽게 하기 위해서, 4단분밖에 도시하지 않지만, 기본적으로는 게이트 신호선(17) 수에 대응하는 단위 게이트 출력 회로(1111)가 형성 또는 배치된다.

도 111에 도시하는 바와 같이, 본 발명의 게이트 드라이버 회로(12)(12a, 12b)에서는, 4개의 클럭 단자(SCK0, SCK1, SCK2, SCK3)와, 하나의 스타트 단자(데이터 신호(SSTA)), 시프트 방향을 상하 반전 제어하는 2개의 반전 단자(DIRA, DIRB, 이들은 역상의 신호를 인가함)의 신호 단자로 구성된다. 또한, 전원 단자로서 L 전원 단자(VBB)와, H 전원 단자(Vd) 등으로 구성된다.

본 발명의 게이트 드라이버 회로(12)는, 전부 P 채널의 트랜지스터(트랜지스터)로 구성하고 있기 때문에, 레벨 시프터 회로(저전압의 로직 신호를 고전압의 로직 신호로 변환하는 회로)를 게이트 드라이버 회로에 내장할 수 없다. 그 때문에, 도 109 등에 도시한 전원 회로(IC)(1091) 내에 레벨 시프터 회로를 배치 또는 형성하고 있다.

전원 회로(IC)(1091)는, 게이트 드라이버 회로(12)로부터 게이트 신호선(17)에 출력하는 온 전압(화소(16) 트랜지스터의 선택 전압), 오프 전압(화소(16) 트랜지스터의 비선택 전압)에 필요한 전위의 전압을 작성한다. 그 때문에, 전원 IC(회로)(1091)가 사용하는 반도체의 내압 프로세스는 충분한 내압이 있다. 따라서, 전원 IC(1091)에서 로직 신호를 레벨 시프트(LS)하면 형편이 좋다. 따라서, 컨트롤러(도시하지 않음)로부터 출력되는 게이트 드라이버 회로(12)의 제어 신호는, 전원 IC(1091)에 입력하고, 레벨 시프트하고 나서, 본 발명의 게이트 드라이버 회로(12)에 입력한다. 컨트롤러(도시하지 않음)로부터 출력되는 소스 드라이버 회로(14)의 제어 신호는, 직접 본 발명의 소스 드라이버 회로(14) 등에 입력한다(레벨 시프트가 필요가 없음).

그러나, 본 발명은 어레이 기판(71)에 형성하는 트랜지스터를 전부 P 채널로 형성하는 것에 한정되는 것은 아니다. 게이트 드라이버 회로(12)를 후에 설명하는 도 111, 도 113과 같이 P 채널로 형성함으로써, 협소한 프레임화하는 것이 가능하다. 2.2인치 QCIF 패널인 경우, 게이트 드라이버 회로(12)의 폭은, 6 μ m 룰의 채용 시에, 600 μ m로 구성할 수 있다. 공급하는 게이트 드라이버 회로(12)의 전원 배선의 인출을 포함시키더라도 700 μ m로 구성할 수 있다. 마찬가지로 회로 구성을 CMOS(N 채널과 P 채널 트랜지스터)로 구성하면, 1.2mm로 되어 버린다. 따라서, 게이트 드라이버 회로(12)를 P 채널로 형성함으로써, 협소한 프레임화라는 특징 있는 효과를 발휘할 수 있다.

또한, 화소(16)를 P 채널의 트랜지스터로 구성함으로써, P 채널 트랜지스터로 형성한 게이트 드라이버 회로(12)와의 매칭이 좋아진다. P 채널 트랜지스터 선택 트랜지스터(11b, 11c), 트랜지스터(11d)는 L 전압에서 온한다. 한편, 게이트 드라이버 회로(12)도 L 전압이 선택 전압이다. P 채널의 게이트 드라이버는 도 113의 구성에서도 알 수 있지만, L 레벨을 선택 레벨로 하면 매칭이 좋다. L 레벨을 장기간 유지할 수 없기 때문이다. 한편, H 전압은 장시간 유지할 수 있다.

또한, EL 소자(15)에 전류를 공급하는 구동 트랜지스터(도 1에서는 트랜지스터(11a))도 P 채널로 구성함으로써, EL 소자(15)의 캐소드가 금속 박막의 베타 전극에 구성할 수 있다. 또한, 애노드 전위 Vdd로부터 순방향으로 EL 소자(15)에 전류를 흘릴 수 있다. 이상의 사항으로부터, 화소(16)의 트랜지스터 드라이버를 P 채널로 하고, 게이트 드라이버 회로(12)의 트랜지스터는 P 채널로 하는 것이 좋다. 이상의 점으로부터, 본 발명의 화소(16)를 구성하는 트랜지스터(구동용 트랜지스터, 이칭용 트랜지스터)를 P 채널로 형성하고, 게이트 드라이버 회로(12)의 트랜지스터를 P 채널로 구성한다고 하는 사항은 단순한 설계 사항이 아니다.

이러한 의미에서, 레벨 시프터(LS) 회로를, 어레이 기판(71)에 직접 형성해도 된다. 즉, 레벨 시프터(LS) 회로를 N 채널과 P 채널 트랜지스터로 형성한다. 컨트롤러(도시하지 않음)로부터의 로직 신호는, 어레이 기판(71)에 직접 형성된 레벨 시프터 회로에서, P 채널 트랜지스터로 형성된 게이트 드라이버 회로(12)의 로직 레벨에 적합하도록 승압한다. 이 승압한 로직 전압을 상기 게이트 드라이버 회로(12)에 인가한다.

또한, 레벨 시프터 회로를 반도체 칩으로 형성하고, 어레이 기판(71)에 COG 실장 등 해도 된다. 또한, 소스 드라이버 회로(14)는, 도 109 등에도 도시하고 있지만, 기본적으로 반도체 칩으로 형성하고, 어레이 기판(71)에 COG 실장한다. 단, 소스 드라이버 회로(14)를 반도체 칩으로 형성하는 것에 한정되는 것이 아니고, 폴리실리콘 기술을 이용하여 어레이 기판(71)에 직접 형성해도 된다. 화소(16)를 구성하는 트랜지스터(11)를 P 채널로 구성하면, 프로그램 전류는 화소(16)로부터 소스 신호선(18)에 흘러 나가는 방향으로 된다. 그 때문에, 소스 드라이버 회로의 단위 전류 회로(634)(도 73, 도 74 등을 참조할 것)는, N 채널의 트랜지스터로 구성할 필요가 있다. 즉, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도록 회로 구성할 필요가 있다.

따라서, 화소(16)의 구동용 트랜지스터(11a)(도 1인 경우)가 P 채널 트랜지스터인 경우에는, 반드시, 소스 드라이버 회로(14)는 프로그램 전류 Iw를 인입하도록, 단위 트랜지스터(634)를 N 채널 트랜지스터로 구성한다. 소스 드라이버 회로(14)를 어레이 기판(71)에 형성하기 위해서는, N 채널용 마스크(프로세스)와 P 채널용 마스크(프로세스)의 양방을 이용할 필요가 있다. 개념적으로 진술하면, 화소(16)와 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성하고, 소스 드라이버의 인입 전류원의 트랜지스터는 N 채널로 구성하는 것이 본 발명의 표시 패널(표시 장치)이다.

또한, 설명을 쉽게 하기 위해서, 본 발명의 실시예에서는, 도 1의 화소 구성을 예시하여 설명한다. 그러나, 화소(16)의 선택 트랜지스터(도 1에서는 트랜지스터(11c))를 P 채널로 구성하고, 게이트 드라이버 회로(12)를 P 채널 트랜지스터로 구성한다고 하는 등의 본 발명의 기술적 사상은, 도 1의 화소 구성에 한정되는 것이 아니다. 예를 들면, 전류 구동 방식의 화소 구성으로서 도 42에 도시하는 커런트 미러의 화소 구성에도 적용 할 수 있는 것은 물론이다. 또한, 전압 구동 방식의 화소 구성에서는, 도 62에 도시하는 2개의 트랜지스터(선택 트랜지스터는 트랜지스터(11b), 구동용 트랜지스터는 트랜지스터(11a))에도 적용할 수 있다. 물론, 도 111, 도 113의 게이트 드라이버 회로(12)의 구성도 적용할 수 있고, 또한 조합 장치 등을 구성할 수 있다. 따라서, 이상의 설명한 사항, 이하에 설명하는 사항은, 화소 구성 등에 한정되는 것이 아니다.

또한, 화소(16)의 선택 트랜지스터를 P 채널로 구성하고, 게이트 드라이버 회로를 P 채널 트랜지스터로 구성한다고 하는 구성은, 유기 EL 등의 자기 발광 디바이스(표시 패널 혹은 표시 장치)에 한정되는 것이 아니다. 예를 들면, 액정 표시 디바이스에도 적용할 수 있다.

반전 단자(DIRA, DIRB)는 각 단위 게이트 출력 회로(1111)에 대하여, 공통의 신호가 인가된다. 또한, 도 113의 등가 회로도들을 보면 이해할 수 있지만, 반전 단자(DIRA, DIRB)는 상호 역극성의 전압값을 입력한다. 또한, 시프트 레지스터의 주사 방향을 반전시키는 경우에는, 반전 단자(DIRA, DIRB)에 인가하고 있는 전압의 극성을 반전시킨다.

또한, 도 111의 회로 구성은 클럭 신호선 수는 4개이다. 4개가 본 발명으로서의 최적의 수이지만, 본 발명은 이것에 한정되는 것은 아니다. 4개 이하여도 4개 이상이어도 된다.

클럭 신호(SCK0, SCK1, SCK2, SCK3)의 입력은, 인접한 단위 게이트 출력 회로(1111)에서 서로 달리 하고 있다. 예를 들면, 단위 게이트 출력 회로(1111a)에는, 클럭 단자의 SCK0이 OC에, SCK2가 RST에 입력되어 있다. 이 상태는, 단위 게이트 출력 회로(1111c)도 마찬가지이다. 단위 게이트 출력 회로(1111a)에 인접한 단위 게이트 출력 회로(1111b)(차단의 단위 게이트 출력 회로)는, 클럭 단자의 SCK1이 OC에, SCK3가 RST에 입력되어 있다. 따라서, 단위 게이트 출력 회로(1111)에 입력되는 클럭 단자는, SCK0이 OC에, SCK2가 RST에 입력되고, 차단은, 클럭 단자의 SCK1이 OC에, SCK3이 RST에 입력되고, 더욱 차단의 단위 게이트 출력 회로(1111)에 입력되는 클럭 단자는, SCK0이 OC에, SCK2가 RST에 입력되고, 라는 식으로 교대로 서로 다르게 하고 있다.

도 113이 단위 게이트 출력 회로(1111)의 회로 구성이다. 구성하는 트랜지스터는 P 채널만으로 구성하고 있다. 도 114가 도 113의 회로 구성을 설명하기 위한 타이밍차트이다. 또한, 도 112는 도 113의 복수단분에 있어서의 타이밍차트를 도시한 것이다. 따라서, 도 113을 이해하는 것에 의해, 전체의 동작을 이해할 수 있다. 동작의 이해는, 문장으로 설명하는 것보다도, 도 113의 등가 회로도를 참조하면서, 도 114의 타이밍차트를 이해하는 것에 의해 달성되기 때문에, 상세한 각 트랜지스터의 동작의 설명은 생략한다.

P 채널만으로 드라이버 회로 구성을 작성하면, 기본적으로 게이트 신호선(17)을 H레벨(도 113에서는 Vd 전압)로 유지하는 것은 가능하다. 그러나, L레벨(도 113에서는 VBB 전압)로 장시간 유지하는 것은 곤란하다. 그러나, 화소 행의 선택시간 등의 단기간 유지는 충분히 할 수 있다. IN 단자에 입력된 신호와, RST 단자에 입력된 SCK 클럭에 의해, n1이 변화하고, n2는 n1의 반전 신호 상태로 된다. n2의 전위와 n4의 전위는 동일 극성이지만, OC 단자에 입력된 SCK 클럭에 의해 n4의 전위 레벨은 더욱 낮아진다. 이 낮아지는 레벨에 따라, Q 단자가 그 기간, L 레벨로 유지된다(온 전압이 게이트 신호선(17)으로부터 출력됨). SQ 혹은 Q 단자에 출력되는 신호는, 차단의 단위 게이트 출력 회로(1111)에 전송된다.

도 111, 도 113의 회로 구성에 있어서, IN(INA, INB) 단자, 클럭 단자의 인가 신호의 타이밍을 제어함으로써, 도 115의 (a)에 도시하는 바와 같이, 1 게이트 신호선(17)을 선택하는 상태와, 도 115의 (b)에 도시하는 바와 같이 2 게이트 신호선(17)을 선택하는 상태를 동일한 회로 구성을 이용하여 실현할 수 있다.

선택측의 게이트 드라이버 회로(12a)에 있어서, 도 115의 (a)의 상태는, 1화소 행(51a)을 동시에 선택하는 구동 방식이다(노멀 구동). 또한, 선택 화소 행은 1 행씩 시프트한다. 도 115의 (b)는 2 화소 행을 선택하는 구성이다. 이 구동 방식은, 도 27, 도 28에서 설명한 복수 화소 행(51a, 51b)의 동시 선택 구동(더미 화소 행을 구성하는 방식)이다. 선택 화소 행은, 1 화소 행씩 시프트하고, 또한 인접한 2 화소 행이 동시에 선택된다. 특히, 도 115의 (b)의 구동 방법은, 최종적인 영상을 유지하는 화소 행(51a)에 대하여, 화소 행(51b)은 예비 충전된다. 그 때문에, 화소(16)가 기입하기 쉽게 된다. 즉, 본 발명은 단자에 인가하는 신호에 의해, 2개의 구동 방식을 전환하여 실현할 수 있다.

또한, 도 115의 (b)는 인접한 화소(16) 행을 선택하는 방식이지만, 도 116에 도시하는 바와 같이, 인접한 이외의 화소(16) 행을 선택해도 된다(도 116은 3 화소 행 떨어진 위치의 화소 행을 선택하고 있는 실시예임). 또한, 도 113의 구성에서는 4 화소 행의 조에서 제어된다. 4 화소 행 중, 1 화소 행을 선택한다든지, 연속한 2 화소 행을 선택하는 제어를 실시할 수 있다. 이것은 사용하는 클럭(SCK)이 4 개에 의한 것의 제약이다. 클럭(SCK) 8개로 되면, 8 화소 행의 조에서 제어를 실시할 수 있다.

선택측의 게이트 드라이버 회로(12a)의 동작은 도 115의 동작이다. 도 115의 (a)에 도시하는 바와 같이, 1 화소 행을 선택하고, 선택 위치를 1수평 동기 신호에 동기하여 1 화소 행씩 시프트한다. 또한, 도 115의 (b)에 도시하는 바와 같이, 2 화소 행을 선택하고, 선택 위치를 1수평 동기 신호에 동기하여 1 화소 행씩 시프트한다.

도 182에 도시하는 바와 같이 애노드 접속 단자(1821)로부터 접속 애노드선(961)이 배선되고, 소스 드라이버 IC(14)의 양측에 형성된 접속 애노드선(961)은, IC(14) 아래에 형성된 스위치(2021)로 전기적으로 접속되어 있다.

소스 드라이브 IC(14)의 출력 측에는 공통 애노드선(962)이 형성 또는 배치되어 있다. 공통 애노드선(962)으로부터 애노드 배선(952)이 분기되어 있다. 애노드 배선(952)은 QCIF 패널인 경우에는, $176 \times \text{RGB} = 528$ 개이다. 애노드 배선(952)을 통하여, 도 1 등에서 도시하는 Vdd 전압(애노드 전압)이 공급된다. 하나의 애노드 배선(952)에는, EL 소자(15)가 저 분자 재료인 경우에는, 최대 200 μ A 정도의 전류가 흐른다. 따라서, 공통 애노드 배선(833)에는, 200 μ A $\times$ 528에서 약 100mA의 전류가 흐른다.

공통 접속 애노드선(961)의 전압 강하, 애노드 배선(952)의 전압 강하를 억제하기 위해서, 도 183에 도시하는 바와 같이, 표시 화면(50)의 상측에 공통 접속 애노드선(961a)을 형성하고, 표시 화면(50)의 하측에 공통 접속 애노드선(961b)을 형성하고, 애노드 배선(952)의 상하에서 쇼트 상태로 하면 된다.

또한, 도 184에 도시하는 바와 같이, 화면(50)의 상하로 소스 드라이버 회로(14)를 배치하는 것도 바람직하다. 또한, 도 185에 도시하는 바와 같이, 표시 화면(50)을 표시 화면(50a)과 표시 화면(50b)으로 분할하여, 표시 화면(50a)을 소스 드라이버 회로(14a)에서 구동하고, 표시 화면(50b)을 소스 드라이버 회로(14b)에서 구동하도록 하여도 된다.

도 201은 본 발명의 전원 회로의 구성도이다. (2012)는 제어 회로이다. 저항(2015a와 2015b)의 중점 전위를 제어하여, 트랜지스터(2016)의 게이트 신호를 출력한다. 트랜스포머(2011)의 1차측에는 전원 Vpc이 인가되고, 1차측의 전류가 트랜지스터(2016)의 온 오프 제어에 의해 2차측에 전달된다. (2013)는 정류 다이오드이고, (2014)는 평활화 컨덴서이다.

애노드 전압 Vdd는 저항(2015b)에 출력 전압이 조정된다. Vss는 캐소드 전압이다. 캐소드 전압 Vss는 도 202에 도시하는 바와 같이 2개의 전압을 선택하여 출력할 수 있도록 구성되어 있다. 선택은 스위치(2021)에서 행한다. 도 202에서는, 스위치(2021)에 의해 -9(V)가 선택되어 있다.

스위치(2021)의 선택은 온도 센서(2022)로부터의 출력 결과에 의한다. 패널 온도가 낮을 때는 Vss 전압으로서, -9(V)를 선택한다. 일정 이상의 패널 온도일 때에는 -6(V)를 선택한다. 이것은 EL 소자(15)에 온특이 있어, 저온측에서 EL 소자(15)의 단자 전압이 높아지기 때문이다. 또한, 도 202에서는 2개의 전압으로부터 하나의 전압을 선택하여, Vss(캐소드 전압)로 하는 것으로 했지만, 이것에 한정 되는 것이 아니고, 3개 이상의 전압으로부터 Vss 전압을 선택할 수 있도록 구성해도 된다. 이상의 사항은 Vdd에 대해서도 마찬가지로 적용된다.

도 202와 같이, 복수의 전압을 패널 온도에 의해 선택 가능하도록 구성함으로써, 패널의 소비 전력을 저감할 수 있다. 일정 온도 이하일 때에, Vss 전압을 저하시키면 되기 때문이다. 통상은, 전압이 낮은 Vss=-6(V)를 사용할 수 있다. 또한, 스위치(2021)는 도 202에 도시하는 바와 같이 구성해도 된다. 또한, 복수의 캐소드 전압 Vss를 발생시키는 것은, 도 202의 트랜스포머(2011)로부터 중간 탭을 추출함으로써 용이하게 실현할 수 있다. 애노드 전압 Vdd인 경우도 마찬가지이다.

도 205는 전위 설정의 설명도이다. 소스 드라이버 IC(14)는 GND를 기준으로 한다. 소스 드라이버 IC(14)의 전원은 Vcc이다. Vcc는 애노드 전압(Vdd)과 일치시켜도 된다. 본 발명으로서의 소비 전력의 관점에서, $V_{cc} < V_{dd}$ 로 하고 있다.

게이트 드라이버 회로(12)의 오프 전압 Vgh는 Vdd 전압 이상으로 한다. 바람직하게는, $V_{dd} + 0.5(V) < V_{gh} < V_{dd} + 2.5(V)$ 의 관계를 만족시킨다. 온 전압 Vgl은 Vss와 일치시켜도 되지만, 바람직하게는, $V_{ss}(V) < V_{gl} < -0.5(V)$ 의 관계를 만족시킨다.

EL 표시 패널로부터의 발열 대책은 중요하다. 발열 대책을 위해서, 도 206에 도시하는 바와 같이, 패널의 이면(표시 화면(50)으로부터의 빛이 나오지 않는 면)에 금속 재료로 이루어지는 샤시(2062)를 부착한다. 샤시(2062)에는 방열을 양호하게 하기 위해서, 요철(2063)을 형성한다. 또한, 샤시(2061)와 패널(도 206에서는 밀봉 뚜껑(85)) 사이에 접착층을 배치한다. 접착층은 열전도성이 좋은 재료를 이용한다. 예를 들면, 실리콘 수지나 실리콘 재료로 이루어지는 페이스트가 예 시된다. 이들은 조절기 IC와 방열판 사이의 접착제(밀착제)로서 자주 이용되고 있다. 또한, 접착층은 접착하는 기능에 한정되지 않고, 샤시(2061)와 패널을 밀착시키는 기능만이어도 된다.

샤시(2062)의 이면에는 도 207의 (a)에 도시하는 바와 같이, 구멍(2071)이 개방되어 있다. 구멍(2071)은 샤시(2062)

와 패널을 접합시켰을 때에 여분의 수지를 밀어내기 위해서 이용한다. 또한, 도 207의 (a)와 같이, 구멍의 개구 형상을 패널의 중앙부와 주변부에서 변화시킴으로써, 샤시(2062)의 열 저항으로 조정하여, 패널의 온도가 균일하게 되도록 하고 있다. 도 207의 (a)에서는 패널 주변부에 형성되어 구멍(2071c) 쪽이, 패널 중앙부에 형성된 구멍(2071a)보다도 크게 함으로써, 패널 주변부에서 열 저항을 크게 하고 있다. 그 때문에, 패널 주변부에서는 열이 도피하기 어렵다. 따라서, 패널 전면에 걸쳐서 균일한 온도 분포로 할 수 있다. 또한, 도 207의 (b)에 도시하는 바와 같이, 구멍(2071)은 원형 등이어도 된다.

도 208은 본 발명의 표시 패널의 구성을 도시한 것이다. 어레이 기판(71)의 1면에는 가요성 기판(84)이 부착되고 있다. 가요성 기판에는 전원 회로(82), 가요성 기판(84)이 배치되어 있다. 도 209는 도 208의 AA'에서의 단면도이다. 단, 도 209는 가요성 기판(84)을 절곡되고, 샤시(2062)를 부착한 도면이다. 도 209에서도 알 수 있듯이, 전원 회로(82)의 트랜스포머(2011)가 밀봉 뚜껑(85)의 스페이스에 저장되도록 배치되어 있다. 이와 같이 배치함으로써, EL 표시 패널(EL 표시 패널 모듈)을 박형으로 할 수 있다.

이어서, 본 발명의 구동 방식을 실시하는 본 발명의 표시 기기에 대한 실시예에 대하여 설명한다. 도 57은 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 케이싱(573)에 안테나(571), 텐키(572) 등이 부착되어 있다. (572) 등이 표시 색 전환 키 혹은 전원 온 오프, 프레임 레이트 전환 키이다.

텐키(572)를 한번 누르면 표시색은 8색 모드로, 계속해서 동일 텐키(572)를 누르면 표시색은 4096색 모드, 또한 텐키(572)를 누르면 표시색은 26만색 모드로 되도록 시퀀스를 조합하여도 된다. 키는 누를 때마다 표시색 모드가 변화하는 토글 스위치로 한다. 또한, 별도로 표시색에 대한 변경 키를 마련하여도 무방하다. 이 경우, 텐키(572)는 3개(이상)로 된다.

텐키(572)는 푸시 스위치 외에, 슬라이드 스위치 등의 다른 메카니컬한 스위치여도 되고, 또한 음성 인식 등에 의해 전환하는 것이어도 무방하다. 예를 들면, 4096색을 수화기에 음성 입력하는 것, 예를 들면, 「고 품위 표시」, 「4096색 모드」 혹은 「저 표시색 모드」로 수화기에 음성 입력하는 것에 의해 표시 패널의 표시 화면(50)에 표시되는 표시색이 변화하도록 구성한다. 이것은 현행의 음성 인식 기술을 채용함으로써 용이하게 실현할 수 있다.

또한, 표시색의 전환은 전기적으로 전환하는 스위치여도 되고, 표시 패널의 표시부(21)에 표시시킨 메뉴를 터치함으로써 선택하는 터치 패널이어도 된다. 또한, 스위치를 누르는 횟수로 전환하거나, 혹은 클릭 볼과 같이 회전 혹은 방향에 의해 전환하도록 구성해도 된다.

572는 표시색 전환 키로 했지만, 프레임 레이트를 전환하는 키 등으로 해도 된다. 또한, 동화상과 정지 화상을 전환하는 키 등으로 해도 된다. 또한, 동화상과 정지 화상과 프레임 레이트 등의 복수의 요건을 동시에 전환하여도 된다. 또한, 계속 누르면 서서히(연속적으로) 프레임 레이트가 변화하도록 구성해도 된다. 이 경우에는 발진기를 구성하는 컨덴서 C, 저항 R 중, 저항 R을 가변 저항으로 하거나, 전자 볼륨으로 하거나 함으로써 실현할 수 있다. 또한, 컨덴서는 트리머 컨덴서로 함으로써 실현할 수 있다. 또한, 반도체 칩에 복수의 컨덴서를 형성해 놓고, 하나 이상의 컨덴서를 선택하여, 이들을 회로적으로 병렬로 접속하는 것에 의해 실현해도 된다.

또한, 본 발명의 EL 표시 패널 혹은 EL 표시 장치 혹은 구동 방법을 채용한 실시 형태에 대하여, 도면을 참조하면서 설명한다.

도 58은 본 발명의 실시 형태에서의 뷰 파인더의 단면도이다. 단, 설명을 쉽게 하기 위해서 모식적으로 묘사하고 있다. 또한 일부 확대 혹은 축소한 개소가 존재하고, 또한 생략한 개소도 있다. 예를 들면, 도 58에 있어서, 접안 커버를 생략하였다. 이상의 것은 다른 도면에 있어서도 해당한다.

케이싱(573)의 이면은 암색 혹은 흑색으로 되어 있다. 이것은, EL 표시 패널(표시 장치)(574)로부터 출사한 미광이 케이싱(573)의 내면에서 난반사하여 표시 콘트라스트의 저하를 방지하기 때문이다. 또한, 표시 패널의 광 출사측에는 위상판($\lambda/4$ 판 등)(108), 편광판(109) 등이 배치되어 있다. 이것은 도 10, 도 11에서도 설명하고 있다.

접안 링(581)에는 확대 렌즈(582)가 부착되어 있다. 관찰자는 접안 링(581)을 케이싱(573) 내에서의 삽입 위치를 가변하여, 표시 패널(574)의 표시 화상(50)에 핀트가 맞도록 조정한다.

또한, 필요에 따라서 표시 패널(574)의 광 출사측에 플러스 렌즈(583)를 배치하면, 확대 렌즈(582)에 입사하는 주광선을 수축시킬 수 있다. 그 때문에, 확대 렌즈(582)의 렌즈 직경을 작게 할 수 있어, 뷰 파인더를 소형화할 수 있다.

도 59는 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬영) 렌즈부(592)와 비디오 카메라 케이싱(573)을 구비하고, 촬영 렌즈부(592)와 케이싱(뷰 파인더부)(573)은 등을 맞대고 있다. 또한, 케이싱(도 58도 참조)(573)에는 접안 커버가 부착되어 있다. 관찰자(사용자)는 이 접안 커버부로 표시 패널(574)의 화상(50)을 관찰한다.

한편, 본 발명의 EL 표시 패널은 표시 모니터로서도 사용되고 있다. 표시 화면(50)은 지점(591)에서 각도를 자유롭게 조정할 수 있다. 표시 화면(50)을 사용하지 않을 때에는, 저장부(593)에 저장된다.

스위치(594)는 이하의 기능을 실시하는 전환 혹은 제어 스위치이다. 스위치(594)는 표시 모드 전환 스위치이다. 스위치(594)는 휴대 전화 등에도 부착하는 것이 바람직하다. 이 표시 모드 전환 스위치(594)에 대하여 설명을 한다.

본 발명의 구동 방법의 하나에 N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법이 있다. 이 점등시키는 기간을 변화시킴으로써, 밝기를 디지털적으로 변경할 수 있다. 예를 들면, N=4로 하여, EL 소자(15)에는 4배의 전류를 흘린다. 점등 기간을 1/M로 하고, M=1, 2, 3, 4로 전환하면, 1배에서 4 배까지의 밝기 전환이 가능해진다. 또한, M=1, 1.5, 2, 3, 4, 5, 6 등으로 변경할 수 있도록 구성해도 된다.

이상의 전환 동작은, 휴대 전화의 전원을 온했을 때에, 표시 화면(50)을 매우 밝게 표시하고, 일정한 시간을 경과한 후에는, 전력 세이브하기 위해서, 표시 휘도를 저하시키는 구성에 이용한다. 또한, 사용자가 희망하는 밝기로 설정하는 기능으로서도 이용할 수 있다. 예를 들면, 옥외 등에서는 화면을 매우 밝게 한다. 옥외에서는 주변이 밝고, 화면이 전혀 보이지 않게 되기 때문이다. 그러나, 높은 휘도로 계속 표시하면 EL 소자(15)는 급격히 열화한다. 그 때문에, 매우 밝게 하는 경우에는, 단시간에 통상의 휘도로 복귀시키도록 구성해 둔다. 또한, 고휘도로 표시시키는 경우에는, 사용자가 버튼을 누름으로써 표시 휘도를 높게 할 수 있도록 구성해 둔다.

따라서, 사용자가 스위치(594)로 전환할 수 있도록 하여 놓는다든지, 설정 모드로 자동적으로 변경 가능하든지, 외광의 밝기를 검출하여 자동적으로 전환 가능하도록 구성해 두는 것이 바람직하다. 또한, 표시 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

또한, 표시 화면(50)은 가우스 분포 표시로 하는 것이 바람직하다. 가우스 분포 표시란, 중앙부의 휘도가 밝고, 주변부를 비교적 어둡게 하는 방식이다. 시각적으로는, 중앙부가 밝으면 주변부가 어둡더라도 밝다고 느껴진다. 주관 평가에 따르면, 주변부가 중앙부에 비교하여 70%의 휘도를 유지하고 있으면, 시각적으로 손색없다. 더욱 저감시켜, 50% 휘도로 하여도 거의 문제가 없다. 본 발명의 자기 발광형 표시 패널에서는, 이전에 설명한 N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법)을 이용하여 화면의 위에서 아래 방향으로, 가우스 분포를 발생시키고 있다.

구체적으로는, 화면의 상부와 하부에서는 M의 값으로 크게 하고, 중앙부에서 M의 값을 작게 한다. 이것은, 게이트 드라이버 회로(12)의 시프트 레지스터의 동작 속도를 변조하는 것 등에 의해 실현한다. 화면의 좌우의 밝기 변조는, 테이블의 데이터와 영상 데이터를 승산함으로써 발생시키고 있다. 이상의 동작에 의해, 주변 휘도(화각 0.9)를 50%로 했을 때, 100% 휘도인 경우에 비교하여 약 20%의 저소비 전력화가 가능하다. 주변 휘도(화각 0.9)를 70%로 했을 때, 100% 휘도인 경우에 비교하여 약 15%의 저소비 전력화가 가능하다.

또한, 가우스 분포 표시는 온 오프할 수 있도록 전환 스위치 등을 마련하는 것이 바람직하다. 예를 들면, 옥외 등에서, 가우스 표시시키면 화면 주변부가 전혀 보이지 않게 되기 때문이다. 따라서, 사용자가 버튼으로 전환할 수 있도록 하여 놓는다든지, 설정 모드로 자동적으로 변경 가능하든지, 외광의 밝기를 검출하여 자동적으로 전환할 수 있도록 구성해 두는 것이 바람직하다. 또한, 주변 휘도를 50%, 60%, 80%로 사용자 등이 설정할 수 있도록 구성해 두는 것이 바람직하다.

액정 표시 패널에서는 백라이트로 고정된 가우스 분포를 발생시키고 있다. 따라서, 가우스 분포의 온 오프를 행할 수는 없다. 가우스 분포를 온 오프할 수 있는 것은 자기 발광형의 표시 디바이스 특유의 효과이다.

또한, 프레임 레이트가 소정일 때, 실내의 형광등 등의 점등 상태와 간섭하여 깜박임이 발생하는 경우가 있다. 즉, 형광등이 60 Hz의 교류로 점등하고 있을 때, EL 소자(15)가 프레임 레이트 60Hz로 동작하고 있으면, 미묘한 간섭이 발생하여, 화면이 천천히 점멸하고 있는 것처럼 느껴지는 경우가 있다. 이것을 피하기 위해서는 프레임 레이트를 변경하면 된다. 본 발명은 프레임 레이트의 변경 기능을 부가하고 있다. 또한, N배 펄스 구동(N배의 전류를 EL 소자(15)에 흘리고, 1F의 1/M의 기간만 점등시키는 방법)에 있어서, N 또는 M의 값을 변경할 수 있도록 구성하고 있다.

이상의 기능을 스위치(594)로 실현할 수 있도록 한다. 스위치(594)는 표시 화면(50)의 메뉴에 따라서, 복수회 억제하는 것에 의해, 이상에서 설명한 기능을 전환하여 실현한다.

또한 이상의 사항은, 휴대 전화만으로 한정되는 것이 아니고, 텔레비전, 모니터 등에 이용할 수 있는 것은 물론이다. 또한, 어떠한 표시 상태에 있는지를 사용자가 곧 인식할 수 있도록, 표시 화면에 아이콘 표시를 해 두는 것이 바람직하다. 이상의 사항은 이하의 사항에 대하여도 마찬가지이다.

본 실시 형태의 EL 표시 장치 등은 비디오 카메라뿐만 아니라, 도 60에 도시한 바와 같은 전자 카메라에도 적용할 수

있다. 표시 장치는 카메라 본체(601)에 부착된 표시 화면(50)으로서 이용한다. 카메라 본체(601)에는 셔터(603) 외에, 스위치(594)가 부착되어 있다.

이상은 표시 패널의 표시 영역이 비교적 소형의 경우이지만, 30인치 이상으로 대형으로 되면 표시 화면(50)이 휘기 쉽다. 그 대책을 위해, 본 발명에서는 도 61에 도시한 바와 같이 표시 패널에 외부 프레임(611)을 장착하고, 외부 프레임(611)을 매어 달도록 고정 부재(614)로 부착하고 있다. 이 고정 부재(614)를 이용하여, 벽 등에 부착한다.

그러나, 표시 패널의 화면 사이즈가 커지면 중량도 무거워진다. 그 때문에, 표시 패널의 하측에 다리 부착부(613)를 배치하고, 복수의 다리(612)로 표시 패널의 중량을 유지할 수 있도록 하고 있다.

다리(612)는 A에 도시한 바와 같이 좌우로 이동할 수 있고, 또한 다리(612)는 B에 도시한 바와 같이 수축할 수 있도록 구성되어 있다. 그 때문에, 좁은 장소에서도 표시 장치를 용이하게 마련할 수 있다.

도 61의 텔레비전에서는, 화면의 표면을 보호 필름(보호판이어도 됨)으로 피복하고 있다. 이것은, 표시 패널의 표면에 물체가 맞닿아 파손되는 것을 방지하는 것이 하나의 목적이다. 보호 필름의 표면에는 AIR 코트가 형성되어 있고, 또한 표면을 엠보싱 가공함으로써 표시 패널에 밖의 상황(외광)이 찍혀 들어가는 것을 억제하고 있다.

보호 필름과 표시 패널 사이에 비즈 등을 산포하는 것에 의해, 일정 공간이 배치되도록 구성되어 있다. 또한, 보호 필름의 이면에 미세한 볼록부를 형성하고, 이 볼록부에서 표시 패널과 보호 필름 사이에 공간을 유지시킨다. 이와 같이 공간을 유지하는 것에 의해 보호 필름으로부터의 충격이 표시 패널에 전달되는 것을 억제한다.

또한, 보호 필름과 표시 패널 사이에 알콜, 에틸렌 글리콜 등 액체 혹은 겔 형태의 아크릴 수지 혹은 에폭시 등의 고체 수지 등의 광 결합제를 배치 또는 주입하는 것도 효과가 있다. 계면 반사를 방지할 수 있음과 동시에, 상기 광 결합제가 완충재로서 기능하기 때문이다.

보호 필름으로서는, 폴리카보네이트 필름(판), 폴리프로필렌 필름(판), 아크릴 필름(판), 폴리에스테르 필름(판), PVA 필름(판) 등이 예시된다. 기타 엔지니어링 수지 필름(ABS 등)을 이용할 수 있는 것은 물론이다. 또한, 강화 유리 등 무기 재료로 이루어지는 것이어도 된다. 보호 필름을 배치하는 대신에, 표시 패널의 표면을 에폭시 수지, 페놀 수지, 아크릴 수지로 0.5mm 이상 2.0mm 이하의 두께로 코팅하는 것도 마찬가지로 효과가 있다. 또한, 이들 수지 표면에 엠보싱 가공 등을 하는 것도 유효하다.

또한, 보호 필름 혹은 코팅 재료의 표면을 불소 코팅하는 것도 효과가 있다. 표면에 묻은 오물을 세제 등으로 용이하게 닦아낼 수 있기 때문이다. 또한, 보호 필름을 두텁게(깊이) 형성하고, 프론트 라이트와 겸용해도 된다.

본 발명의 실시예에서의 표시 패널은, 3 번 프리의 구성과 조합하는 것도 유효한 것은 물론이다. 특히 3 번 프리의 구성은 화소가 비정질 실리콘 기술을 이용하여 제작되어 있을 때에 유효하다. 또한, 비정질 실리콘 기술로 형성된 패널에서는, 트랜지스터 소자의 특성 변동의 프로세스 제어가 불가능하기 때문에, 본 발명의 N배 펄스 구동, 리셋 구동, 더미 화소 구동 등을 실시하는 것이 바람직하다. 즉, 본 발명에 있어서의 트랜지스터 등은, 폴리실리콘 기술에 의한 것에 한정되는 것이 아니고, 비정질 실리콘에 의한 것이어도 된다.

또한, 본 발명의 N배 펄스 구동(도 13, 도 16, 도 19, 도 20, 도 22, 도 24, 도 30 등) 등은, 저온 폴리실리콘 기술로 트랜지스터(11)를 형성하여 표시 패널보다도, 비정질 실리콘 기술로 트랜지스터(11)를 형성한 표시 패널에 유효하다. 비정질 실리콘의 트랜지스터(11)에서는, 인접한 트랜지스터의 특성이 거의 일치하고 있는지 등이다. 따라서, 가산한 전류로 구동해도 개개의 트랜지스터의 구동 전류는 거의 목표치로 되어 있다(특히, 도 22, 도 24, 도 30의 N배 펄스 구동은 비정질 실리콘으로 형성한 트랜지스터의 화소 구성에 있어서 유효함).

duty비 제어 구동, 기준 전류 제어, N배 펄스 구동등 본 명세서로 기재한 본 발명의 구동 방법 및 구동 회로 등은, 유기 EL 표시 패널의 구동 방법 및 구동 회로 등에 한정되는 것이 아니다. 도 221에 도시하는 바와 같이 필드 에미션 디스플레이(FED) 등의 다른 디스플레이에도 적용가능하는 것은 물론이다.

도 221의 FED에서는 기판(71) 상에 매트릭스 형상으로 전자를 방출하는 전자 방출 돌기(2213)(도 10에서는 화소 전극(105)이 해당함)가 형성되어 있다. 화소에는 영상 신호 회로(2212)(도 1에서는 소스 드라이버 회로(14)가 해당함)로부터의 화상 데이터를 유지하는 유지 회로(2214)가 형성되어 있다(도 1에서는 컨덴서가 해당함). 또한, 전자 방출 돌기(2213)의 전면에는 제어 전극(2211)이 배치되어 있다. 제어 전극(2211)에는 온 오프 제어 회로(2215)(도 1에서는 게이트 드라이버 회로(12)가 해당함)에 의해 전압 신호가 인가된다.

도 221의 화소 구성으로, 도 222에 도시하는 바와 같이 주변 회로를 구성하면, duty비 제어 구동 혹은 N배 펄스 구동 등을 실시할 수 있다. 영상 신호 회로(2212)로부터 소스 신호선(18)에 화상 데이터 신호가 인가된다. 온 오프 제어

회로(2215a)로부터 선택 신호선(2221)에 화소(16) 선택 신호가 인가되고 순차 화소(16)가 선택되어, 화상 데이터가 기입된다. 또한, 온 오프 제어 회로(2215b)로부터 온 오프 신호선(2222)에 온 오프 신호가 인가되어, 화소의 FED가 온 오프 제어(duty비 제어)된다.

본 발명의 실시예에서 설명한 기술적 사상은 비디오 카메라, 프로젝터, 입체 텔레비전, 프로젝션 텔레비전 등에 적용할 수 있다. 또한, 뷰 파인더, 휴대 전화의 모니터, PHS, 휴대 정보 단말기 및 그 모니터, 디지털 카메라 및 그 모니터에도 적용할 수 있다.

또한, 전자 사진 시스템, 헤드 마운트 디스플레이, 직시 모니터 디스플레이, 노트북 컴퓨터, 비디오 카메라, 전자 스틸 카메라에도 적용할 수 있다. 또한, 현금 자동 인출기의 모니터, 공중 전화, 화상 전화, 퍼스널 컴퓨터, 손목 시계 및 그 표시 장치에도 적용할 수 있다.

또한, 가정 전기 기기의 표시 모니터, 포켓 게임 기기 및 그 모니터, 표시 패널용 백 라이트 혹은 가정용 혹은 업무용의 조명 장치 등에도 적용 혹은 응용 전개할 수 있는 것은 물론이다. 조명 장치는 색 온도를 가변할 수 있도록 구성하는 것이 바람직하다. 이것은 RGB의 화소를 스트라이프형 혹은 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정함으로써 색 온도를 변경할 수 있다. 또한, 광고 혹은 포스터 등의 표시 장치, RGB의 신호기, 경보 표시등 등에도 응용할 수 있다.

또한, 스캐너의 광원으로서도 유기 EL 표시 패널은 유효하다. RGB의 도트 매트릭스를 광원으로 하여, 대상물에 빛을 조사하여 화상을 판독한다. 물론, 단색이어도 되는 것은 물론이다. 또한, 액티브 매트릭스에 한정되는 것이 아니고, 단 순매트릭스라도 무방하다. 색 온도를 조정할 수 있도록 하면 화상 판독 정밀도도 향상된다.

또한, 액정 표시 장치의 백 라이트에도 유기 EL 표시 장치는 유효하다. EL 표시 장치(백 라이트)의 RGB의 화소를 스트라이프형 혹은 도트 매트릭스 형상으로 형성하고, 이들에 흘리는 전류를 조정하는 것에 의해 색 온도를 변경할 수 있으며, 또한, 밝기의 조정도 용이하다. 게다가, 면 광원이므로, 화면의 중앙부를 밝고, 주변부를 어둡게 하는 가우스 분포를 용이하게 구성할 수 있다. 또한, R, G, B광을 교대로 주사하는, 필드 시퀀셜 방식의 액정 표시 패널의 백 라이트로서도 유효하다. 또한, 백 라이트를 점멸해도 흑 삽입하는 것에 의해 동화상 표시용 등의 액정 표시 패널의 백 라이트로서도 이용할 수 있다.

산업상 이용 가능성

본 발명의 소스 드라이버 회로는 커런트 미러 회로를 구성하는 트랜지스터가 인접하도록 형성하고 있기 때문에, 임계 값의 어긋남에 의한 출력 전류의 변동이 작다. 따라서, EL 표시 패널의 휘도 불균일의 발생을 억제하는 것이 가능해져, 그 실용적 효과가 크다.

또한, 본 발명의 표시 패널, 표시 장치 등은 고 화질, 양호한 동화상 표시 성능, 저소비 전력, 저 비용화, 고휘도화 등의 각각의 구성에 따라 특징 있는 효과를 발휘한다.

또한, 본 발명을 이용하면, 저소비 전력의 정보 표시 장치 등을 구성할 수 있기 때문에, 전력을 소비하지 않는다. 또한, 소형 경량화할 수 있기 때문에, 자원을 소비하지 않는다. 또한, 고정밀 표시 패널이더라도 충분히 대응할 수 있다. 따라서, 지구 환경, 우주 환경에 우수하게 된다.

(57) 청구의 범위

청구항 1.

기준 전류를 발생하는 기준 전류 발생 수단과,

상기 기준 전류 발생 수단으로부터의 기준 전류가 입력되고, 또한 상기 기준 전류에 대응하는 제1 전류를, 복수의 제2 전류원에 출력하는 제1 전류원과,

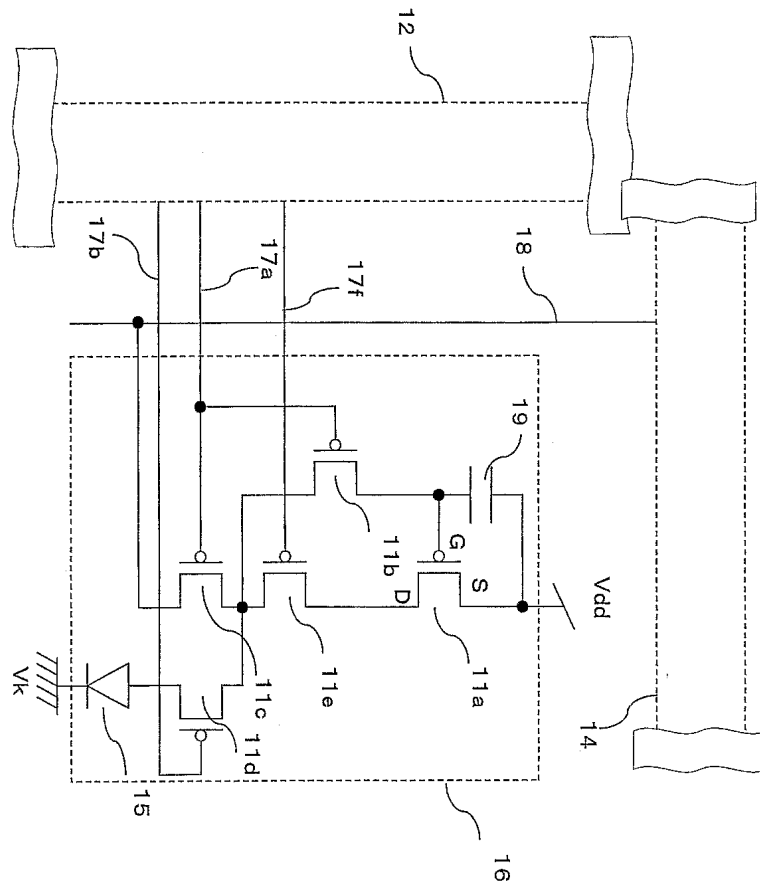
상기 제1 전류원으로부터 출력되는 제1 전류가 입력되고, 또한 상기 제1 전류에 대응하는 제2 전류를, 복수의 제3 전류원에 출력하는 제2 전류원과,

상기 제2 전류원으로부터 출력되는 제2 전류가 입력되고, 또한 상기 제2 전류에 대응하는 제3 전류를, 복수의 제4 전류원에 출력하는 제3 전류원을 구비하고,

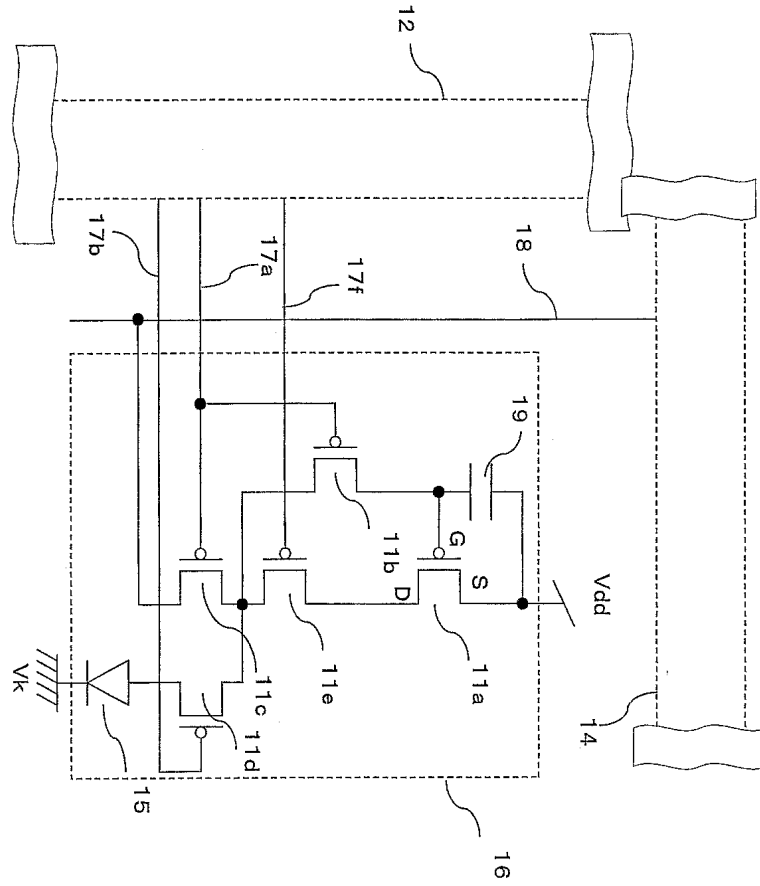
상기 제4 전류원은, 입력 화상 데이터에 대응한 개수의 단위 전류원이 선택되는 EL 표시 패널의 드라이버 회로.

도면

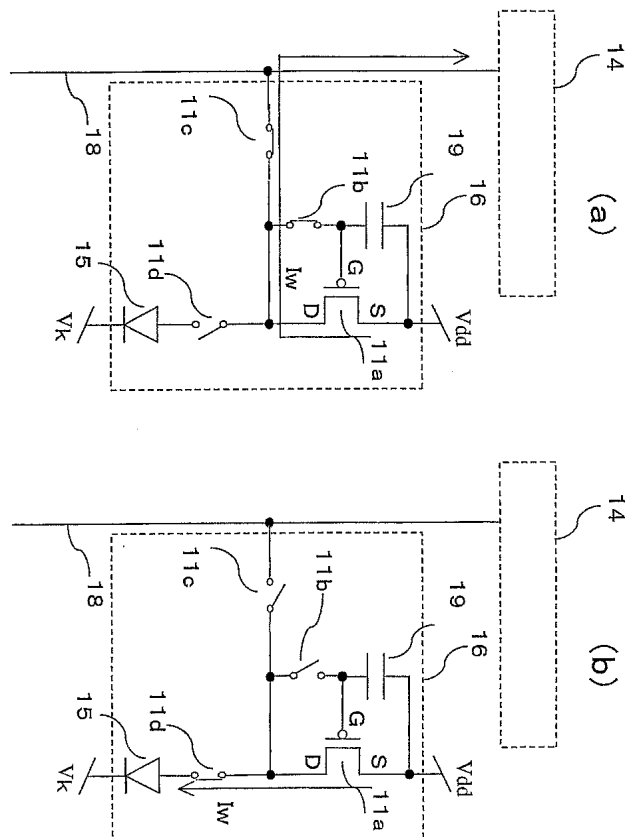
도면1



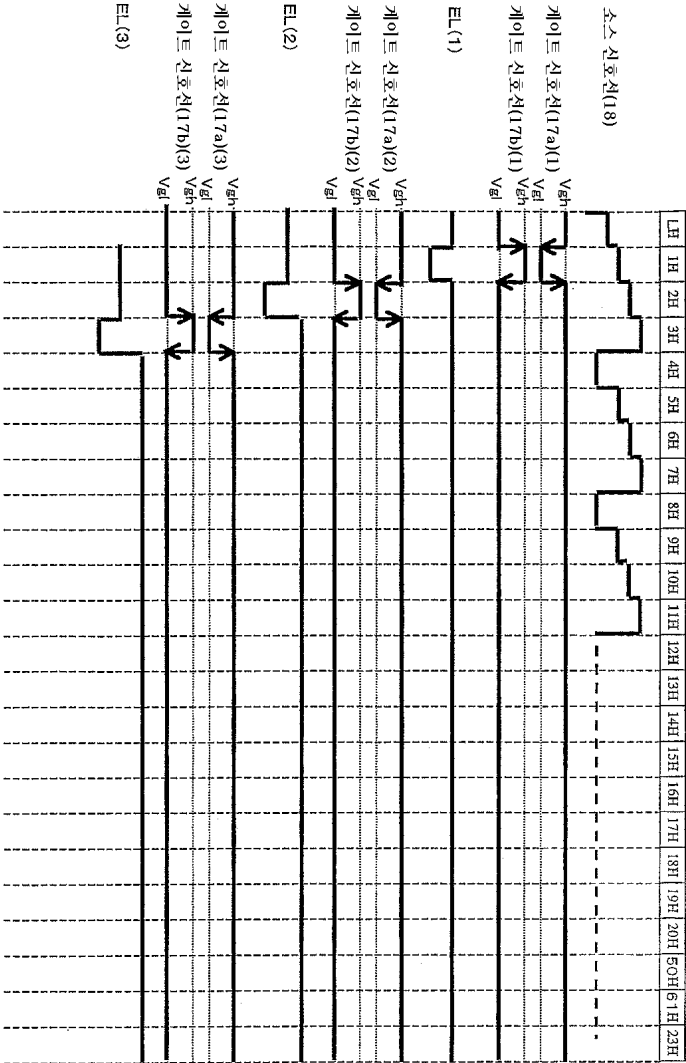
도면2



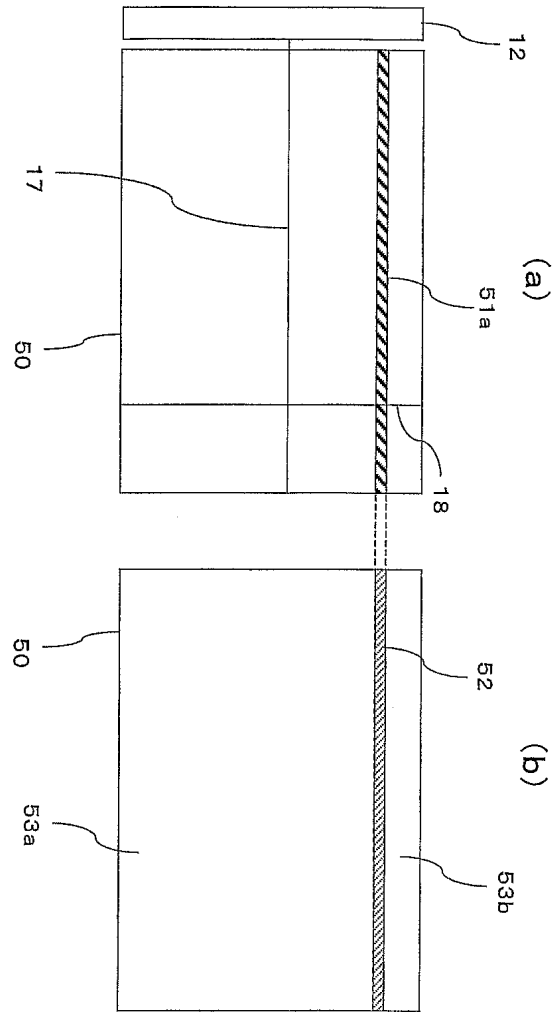
도면3



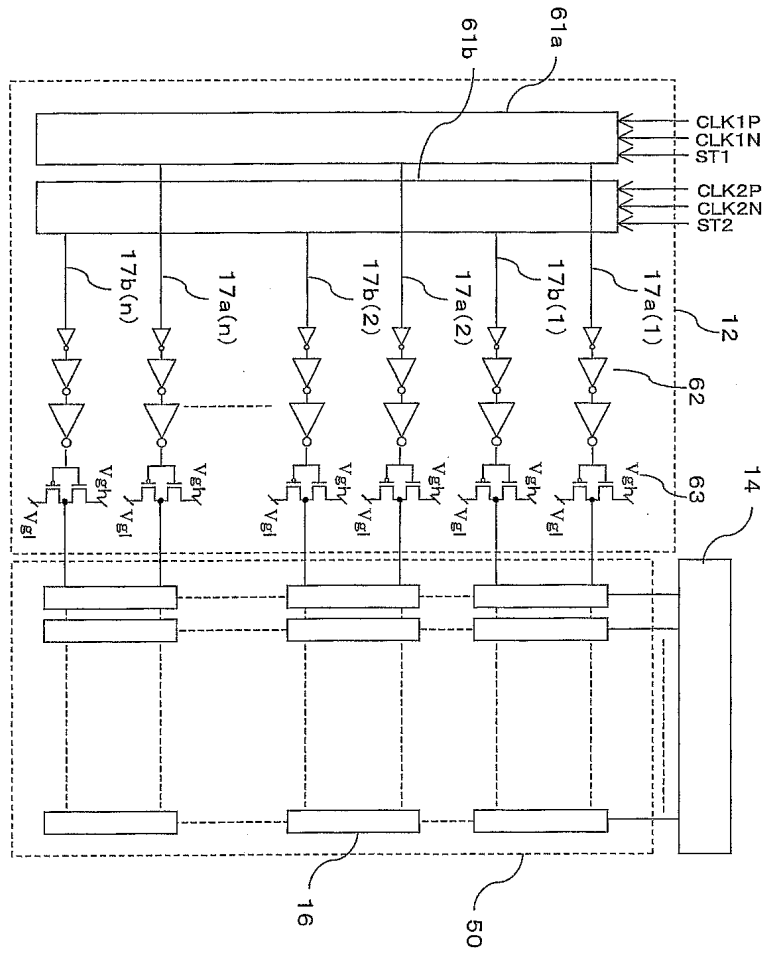
도면4



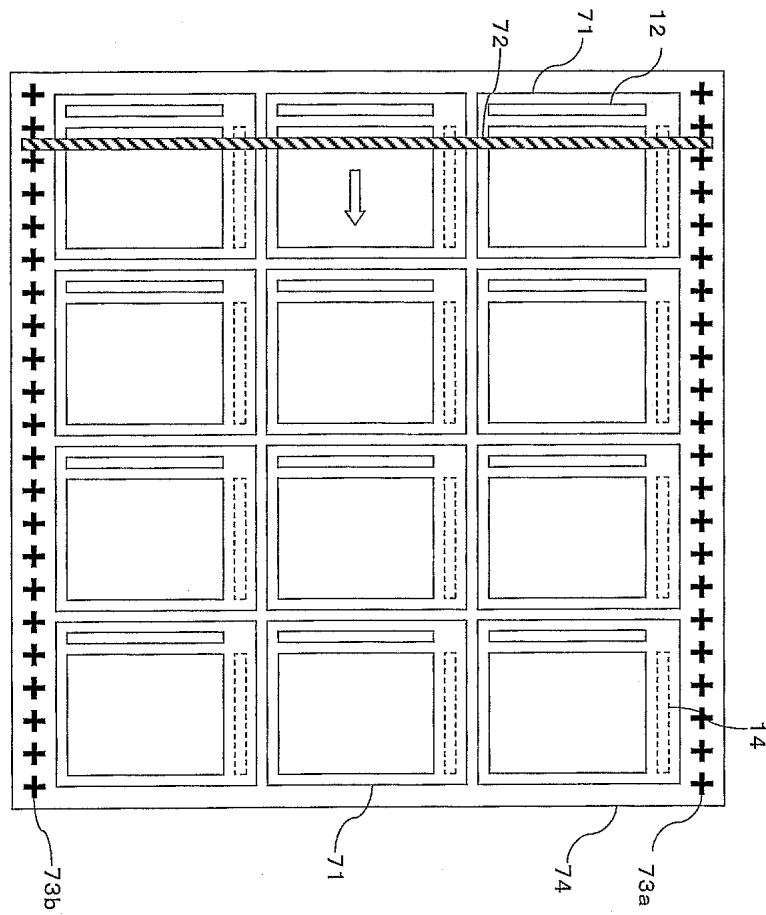
도면5



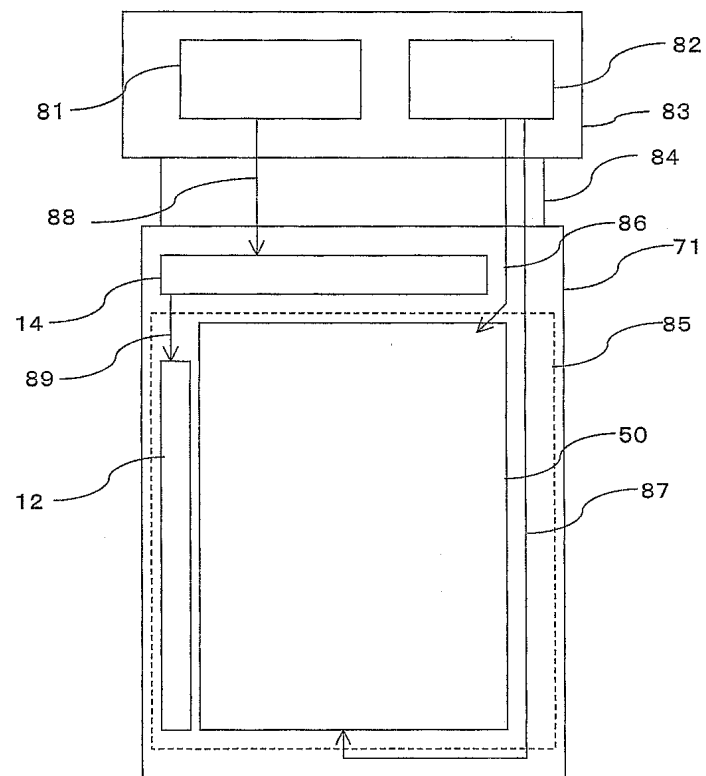
도면6



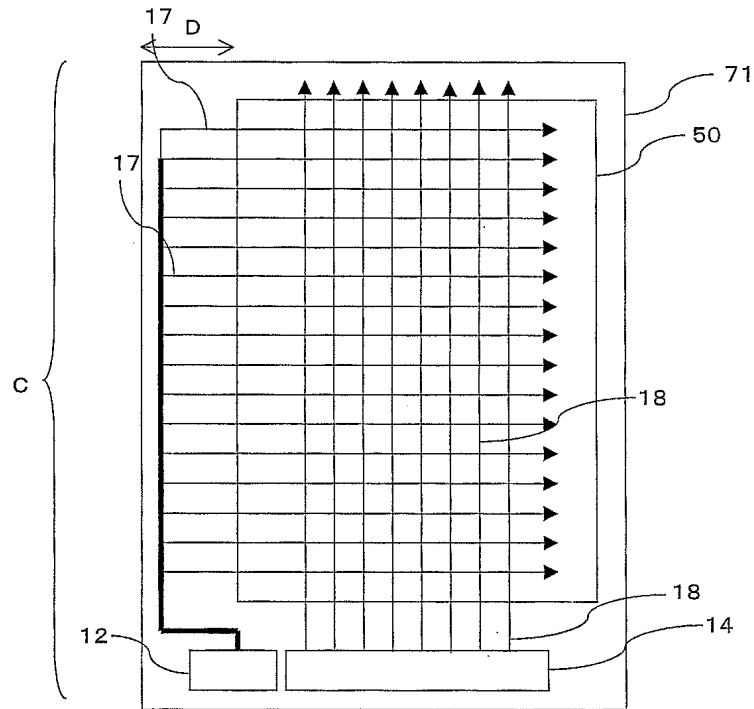
도면7



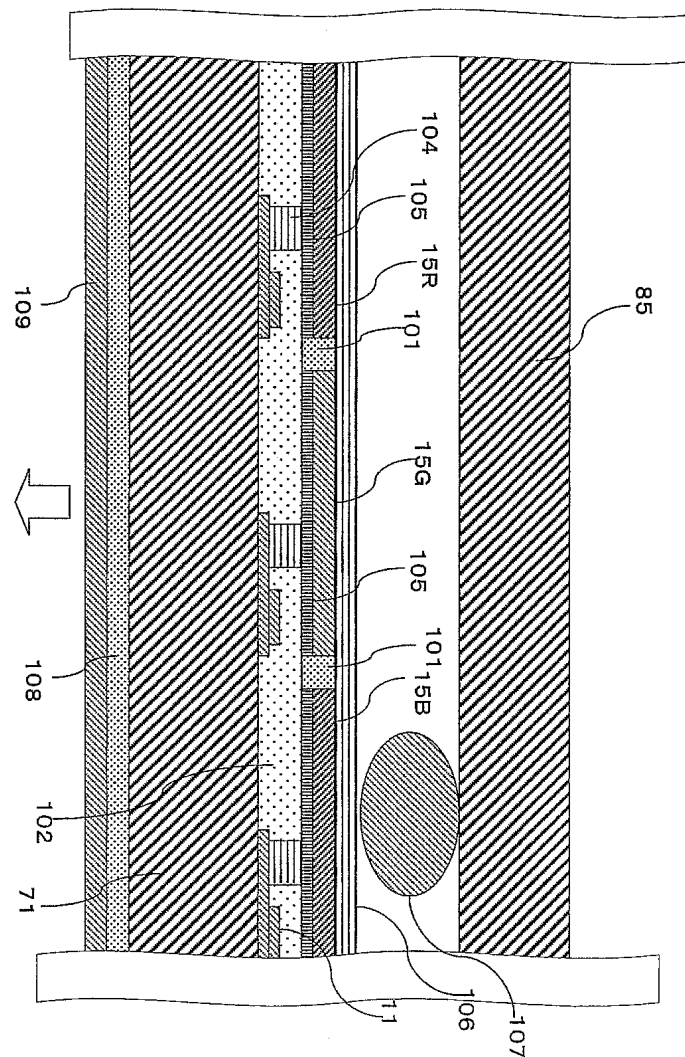
도면8



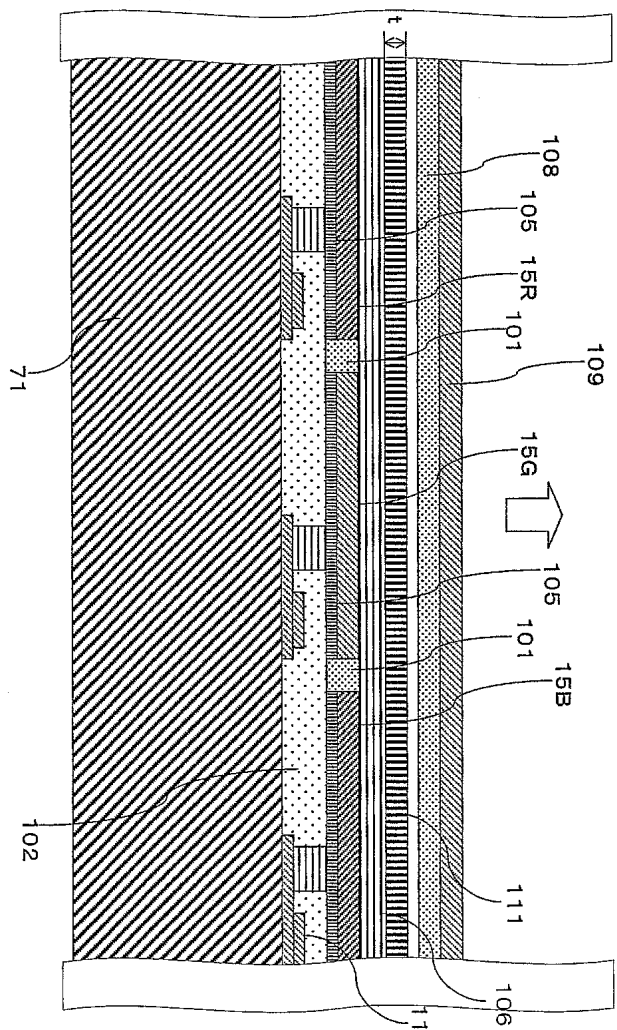
도면9



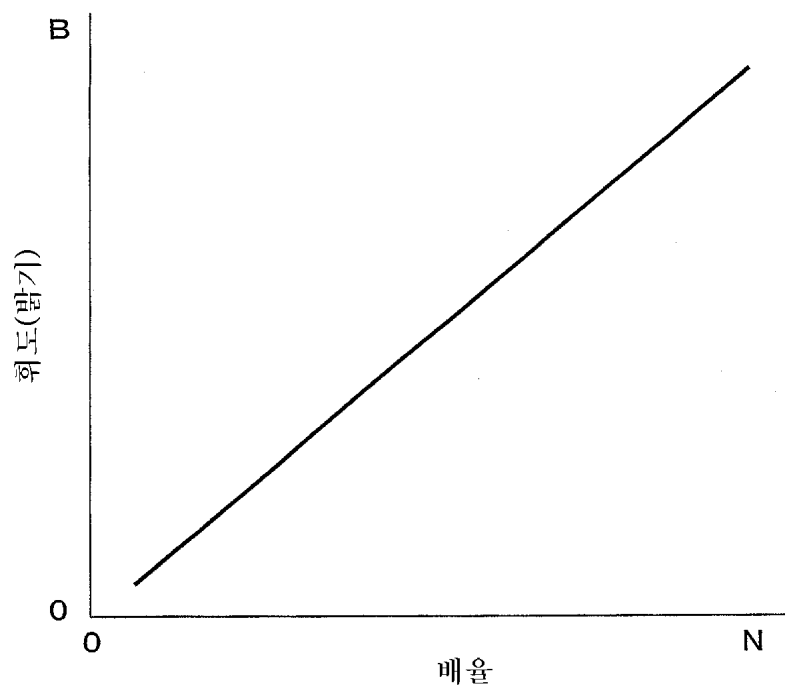
도면10



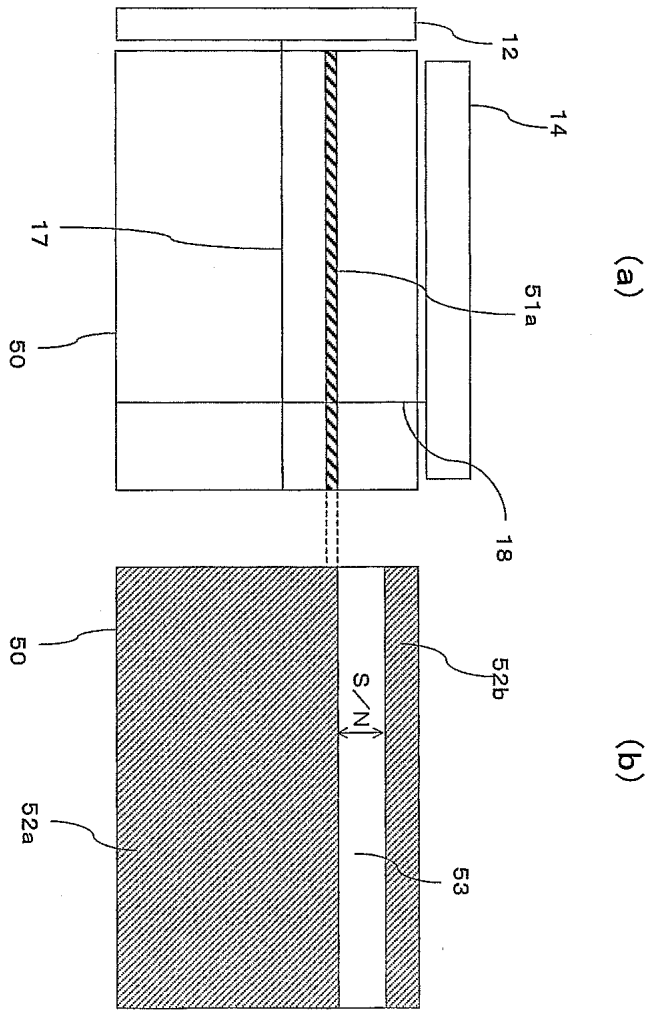
도면11



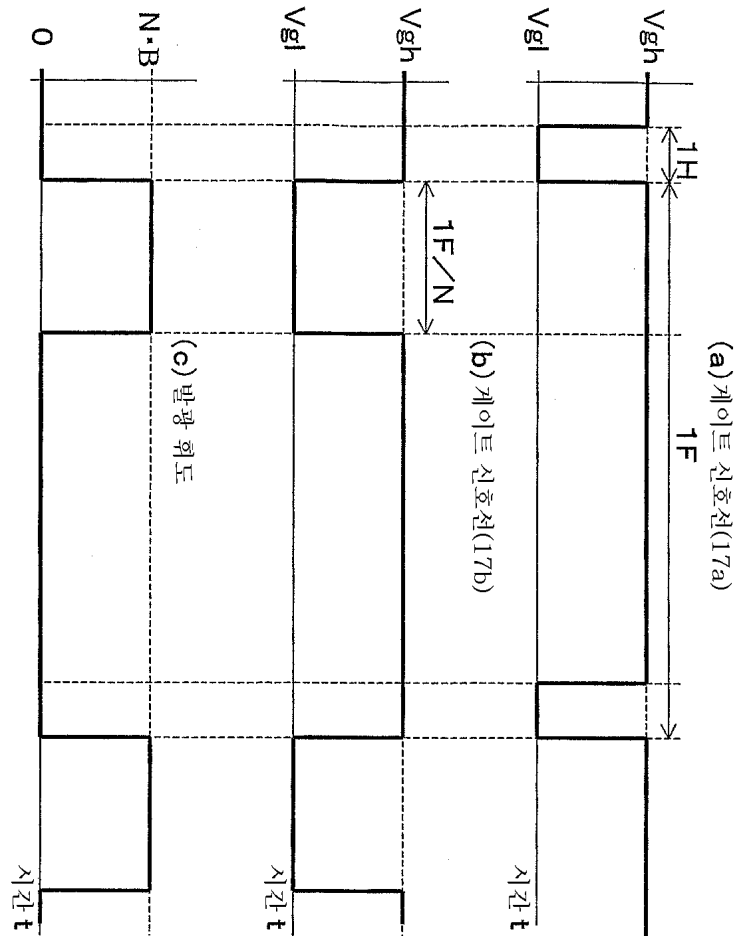
도면12



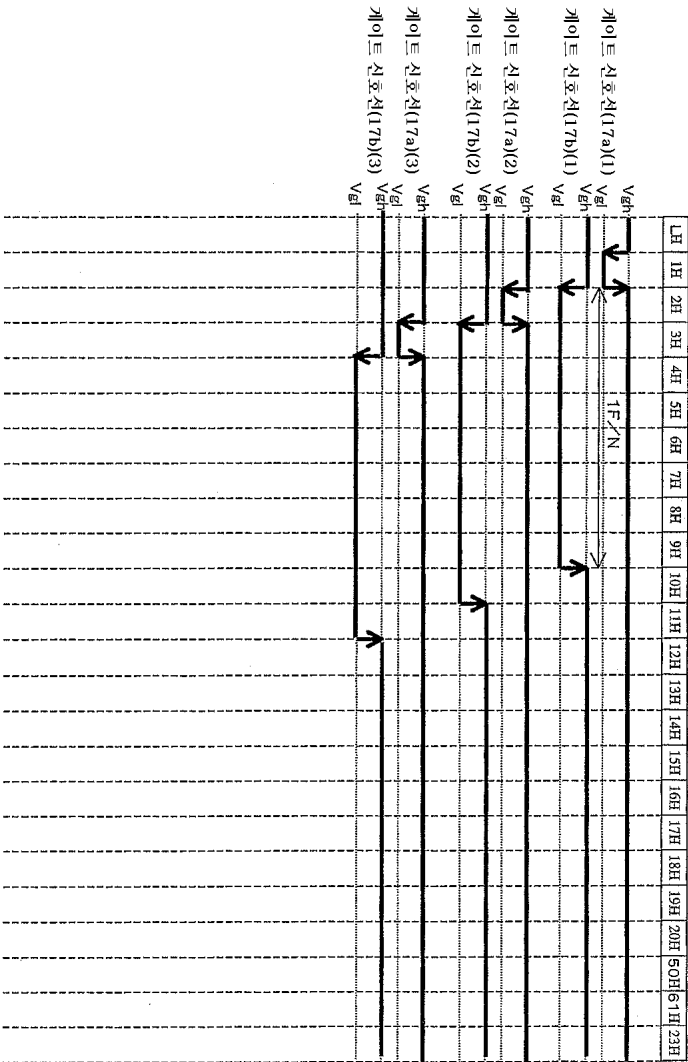
도면13



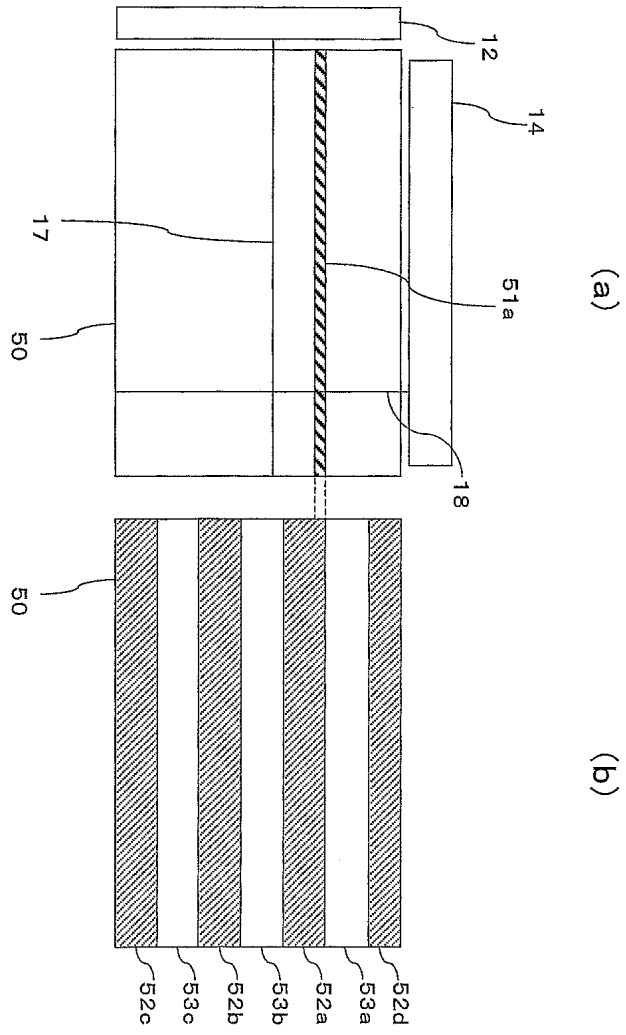
도면14



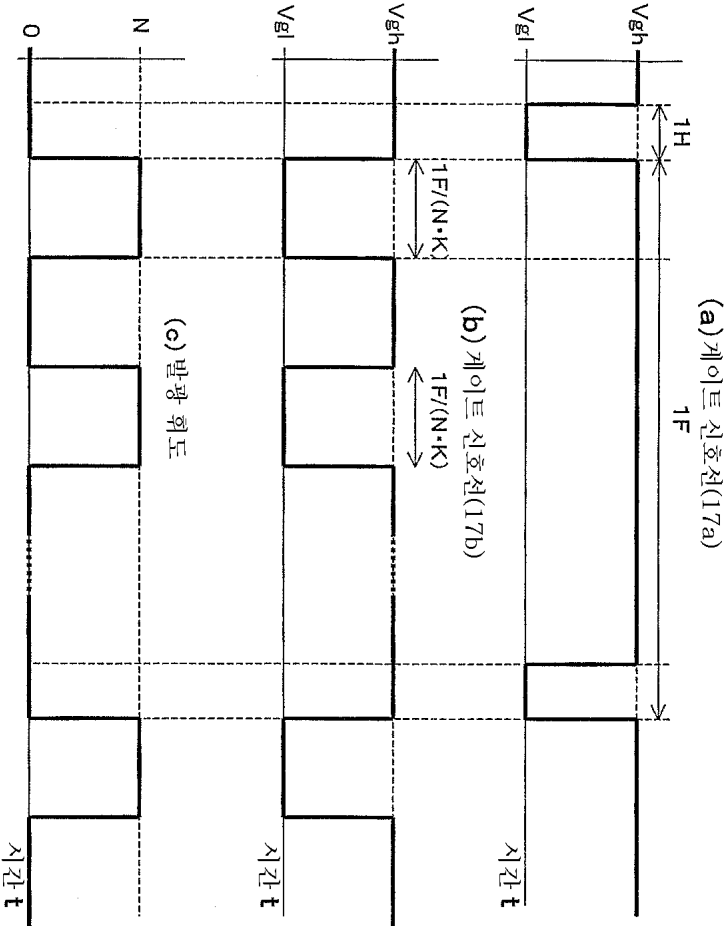
도면15



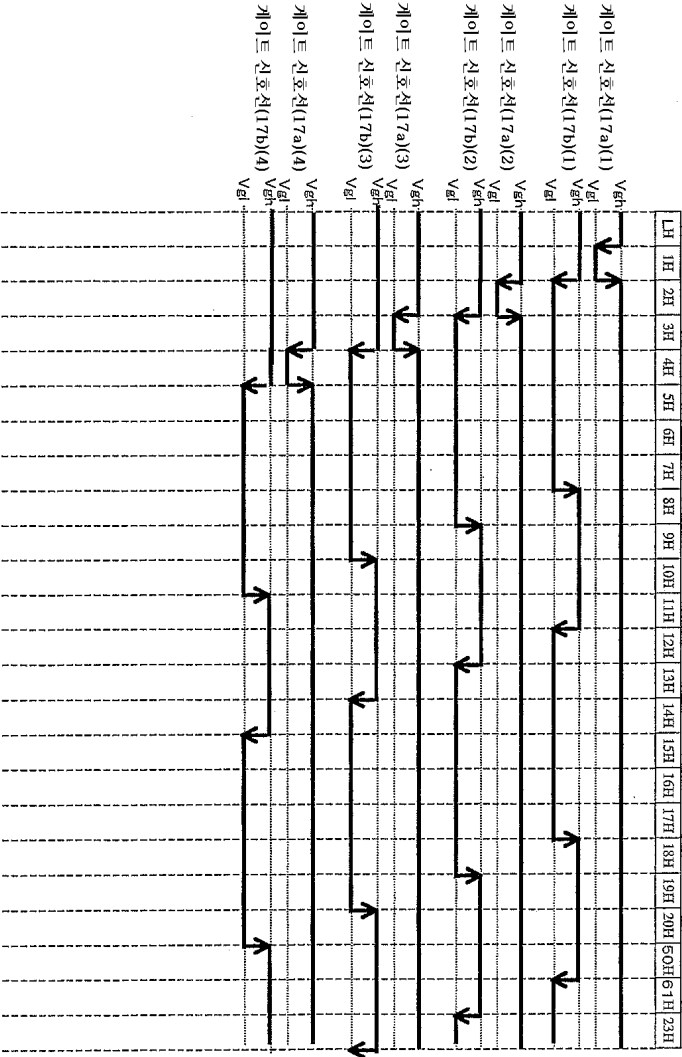
도면16



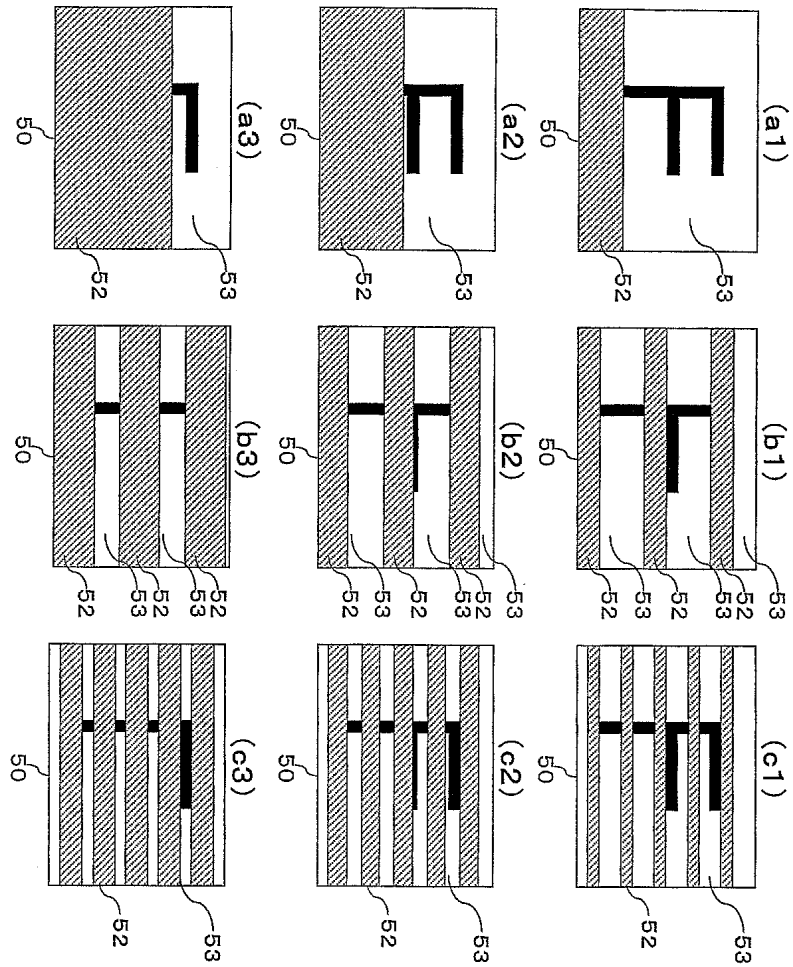
도면17



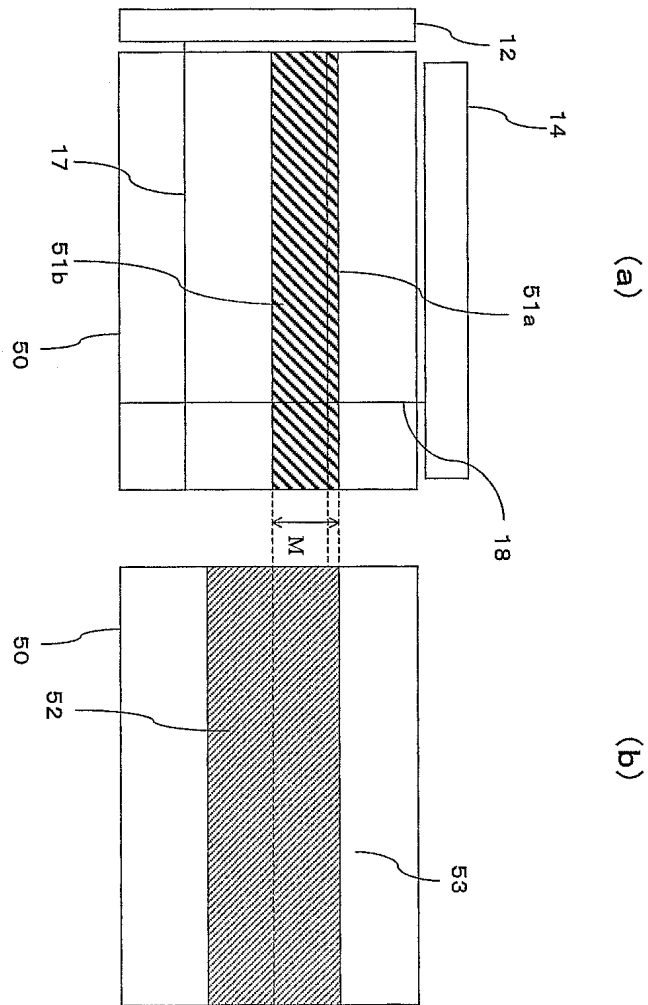
도면18



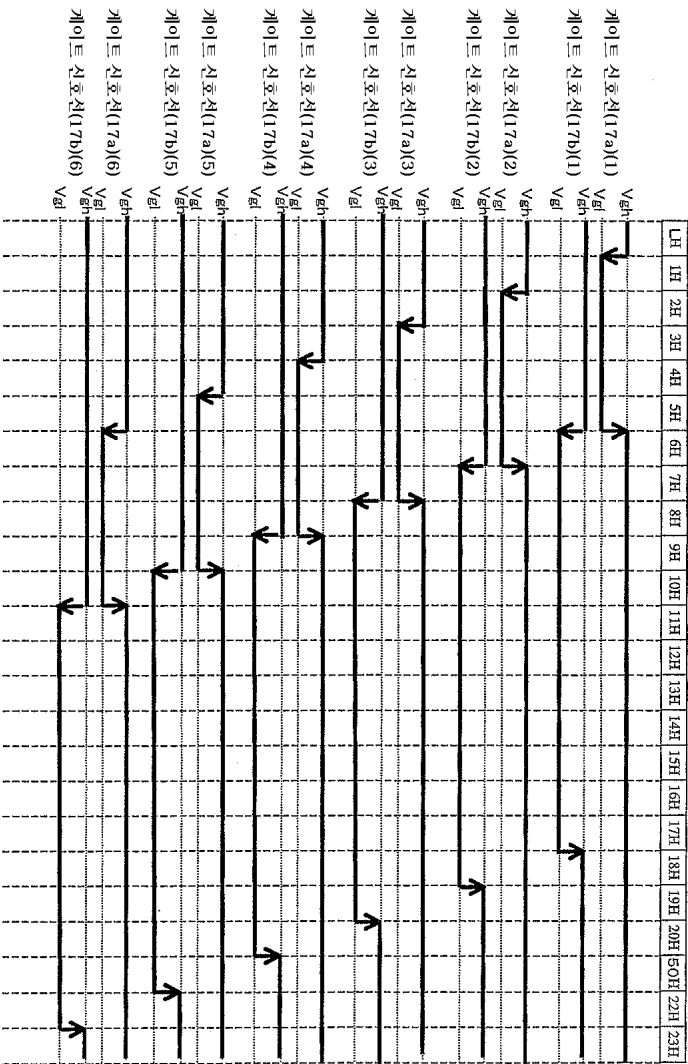
도면19



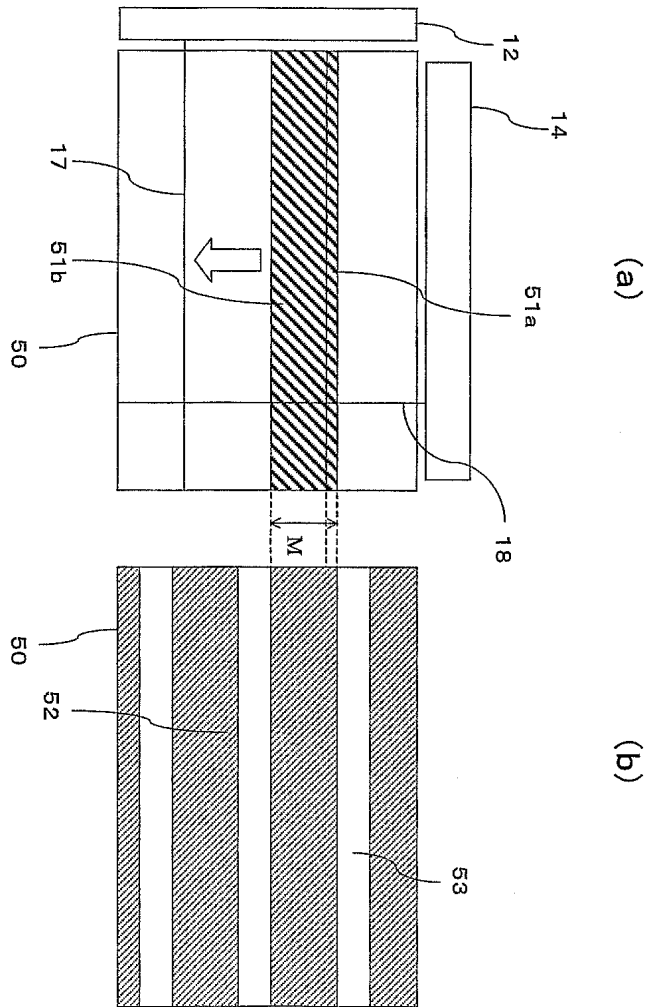
도면20



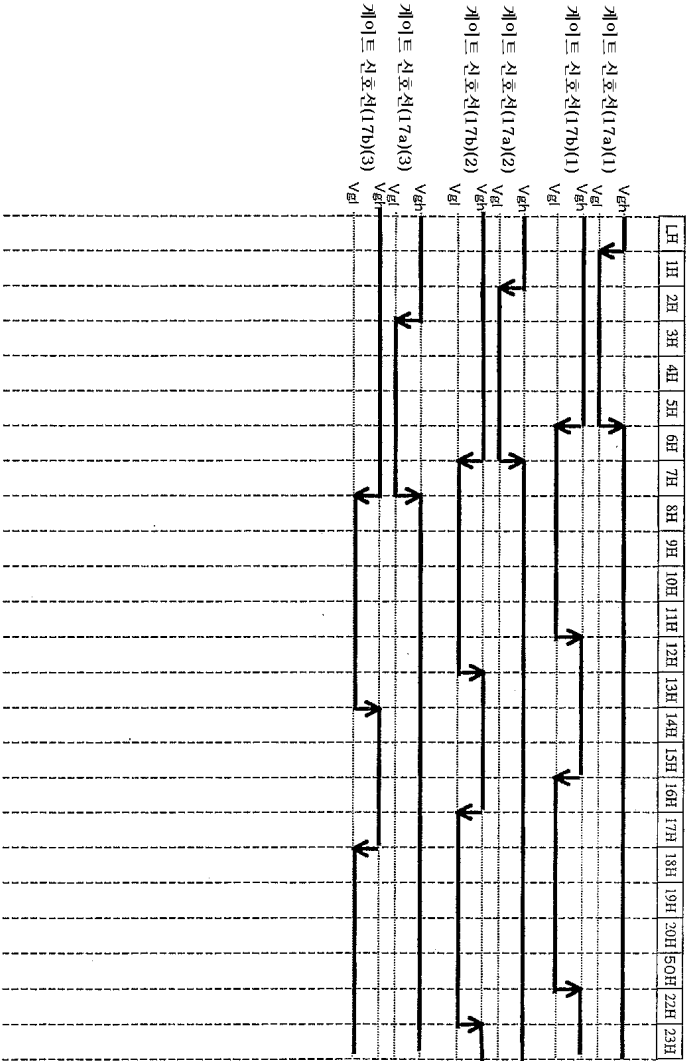
도면21



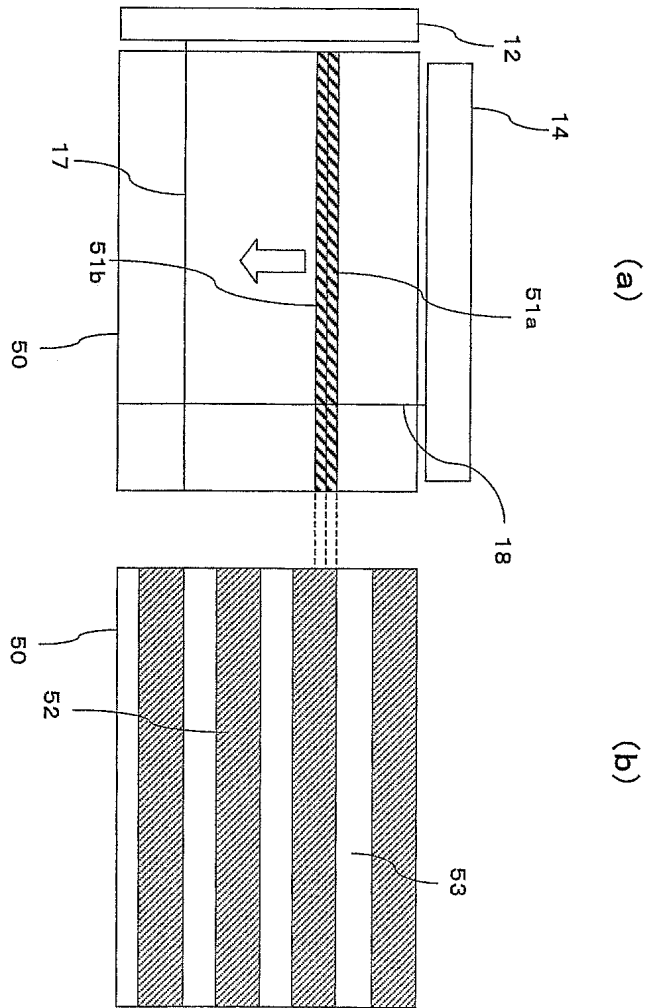
도면22



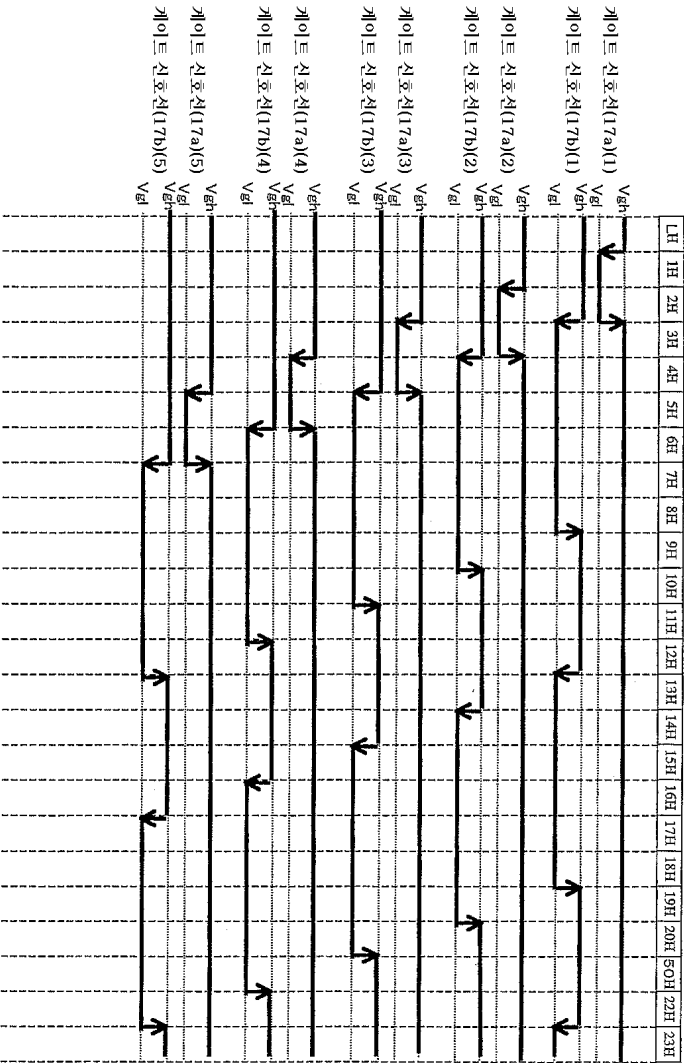
도면23



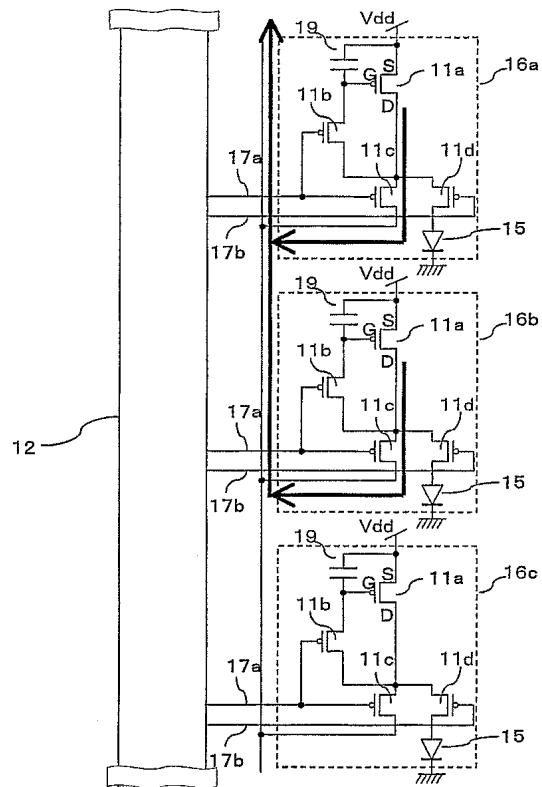
도면24



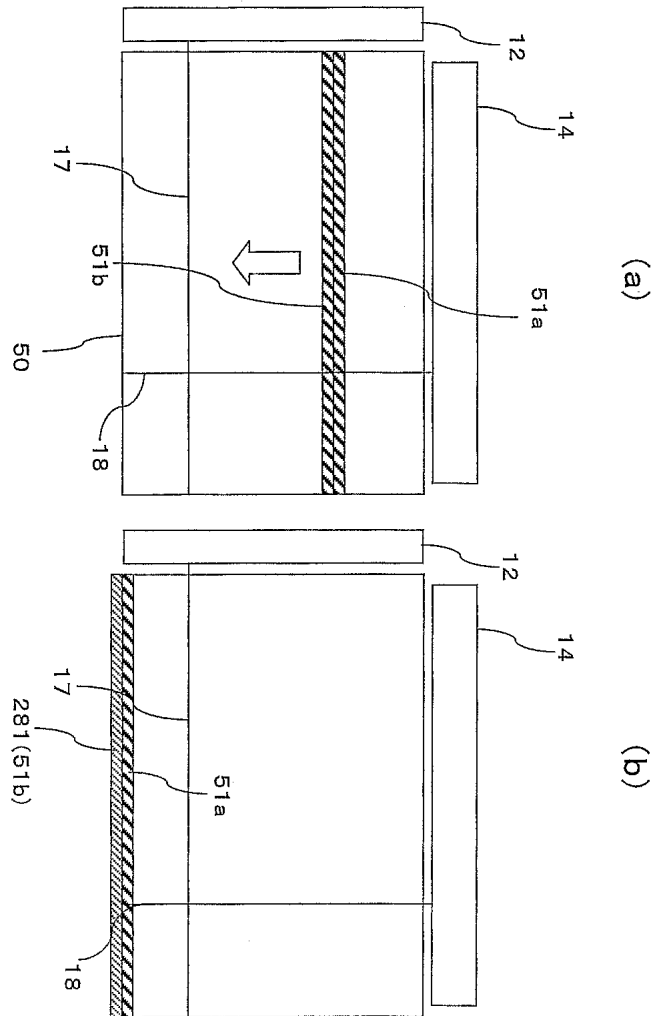
도면25



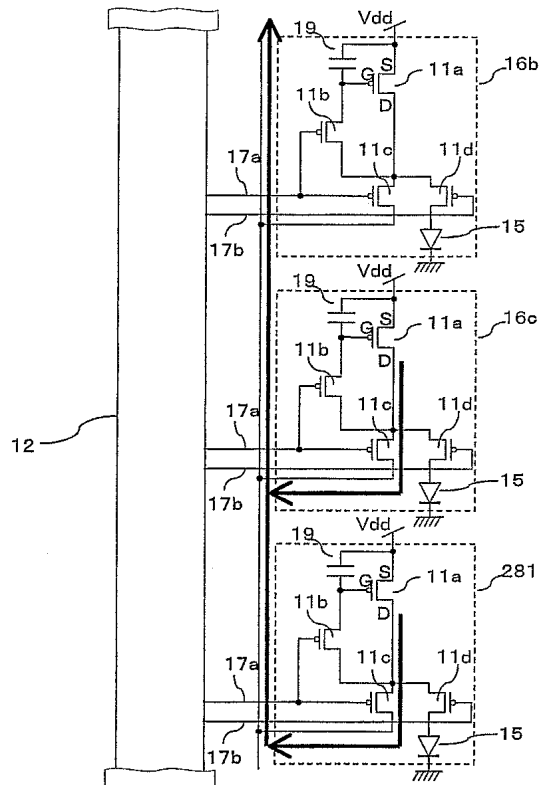
도면26



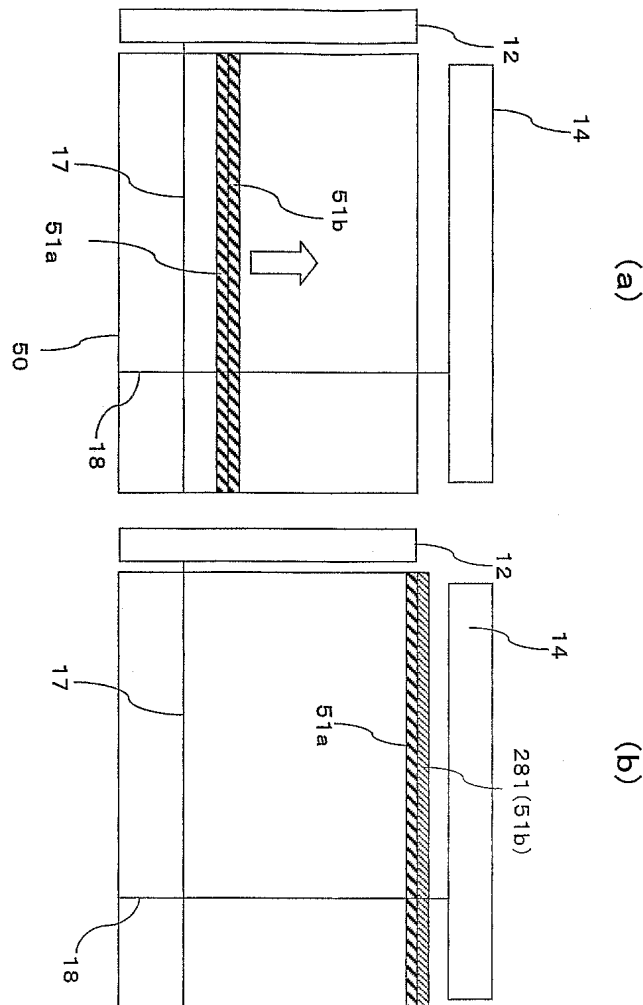
도면27



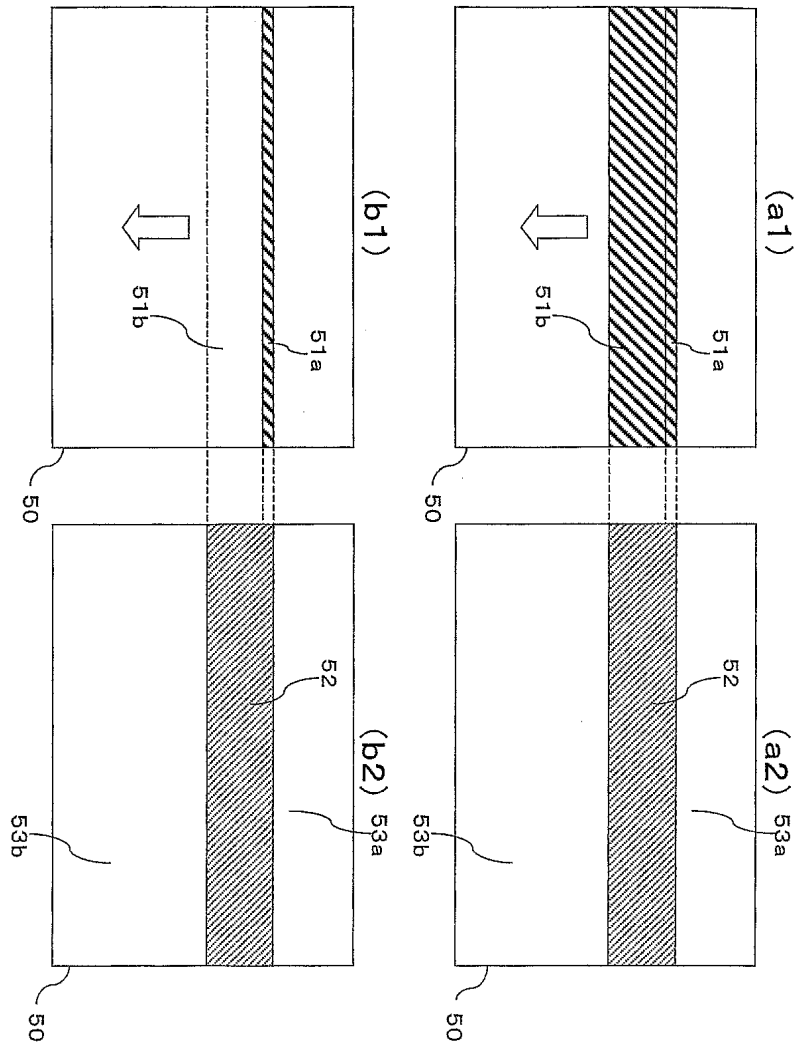
도면28



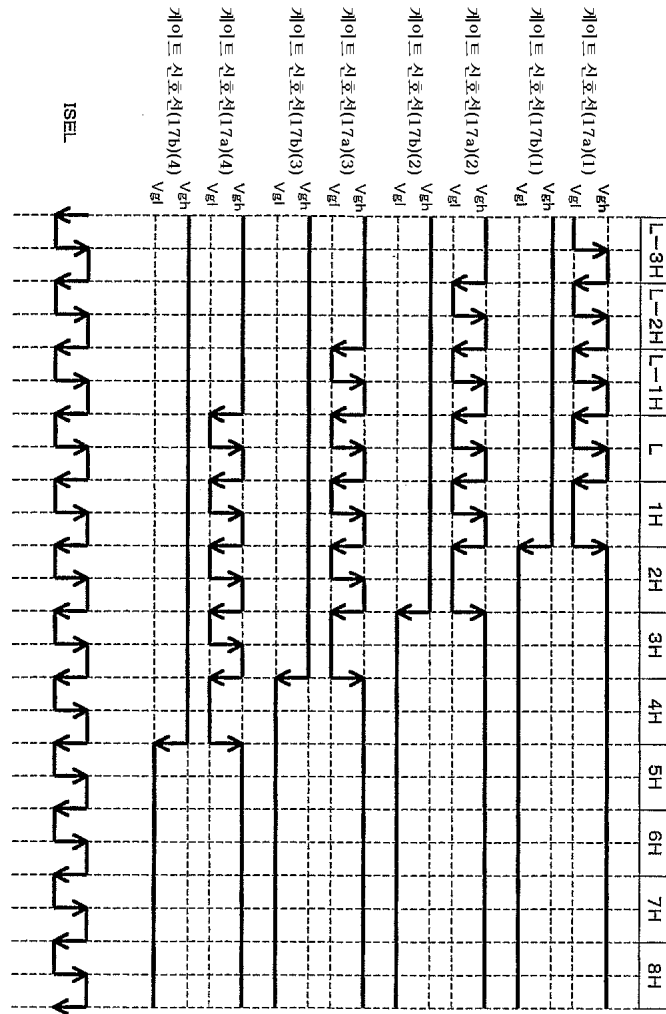
도면29



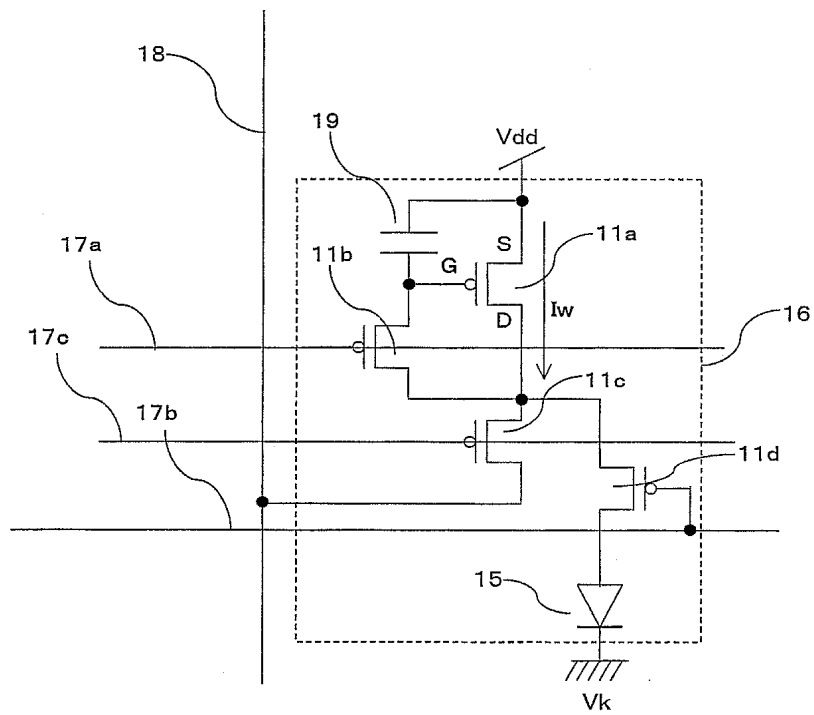
도면30



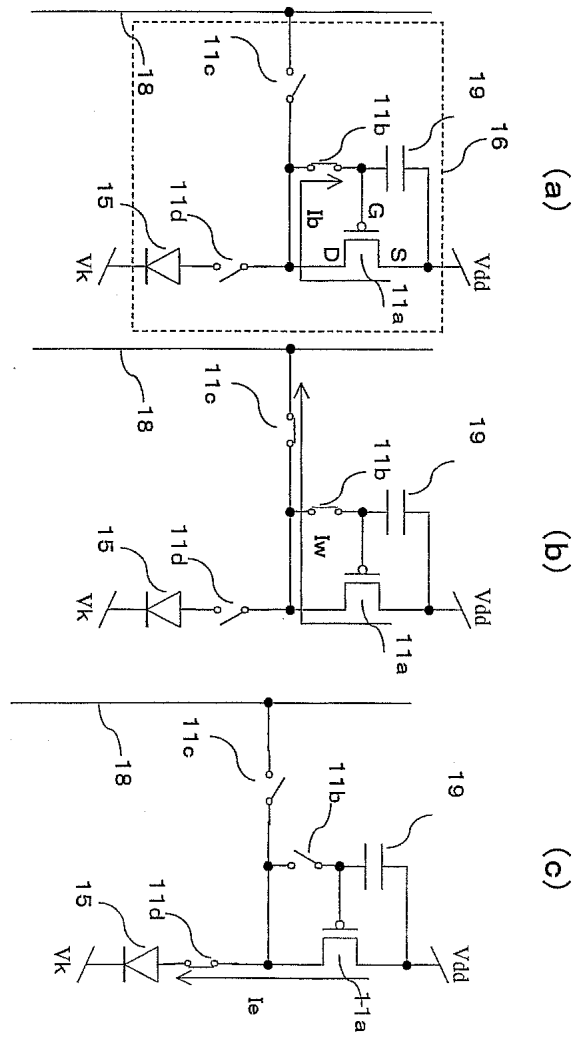
도면31



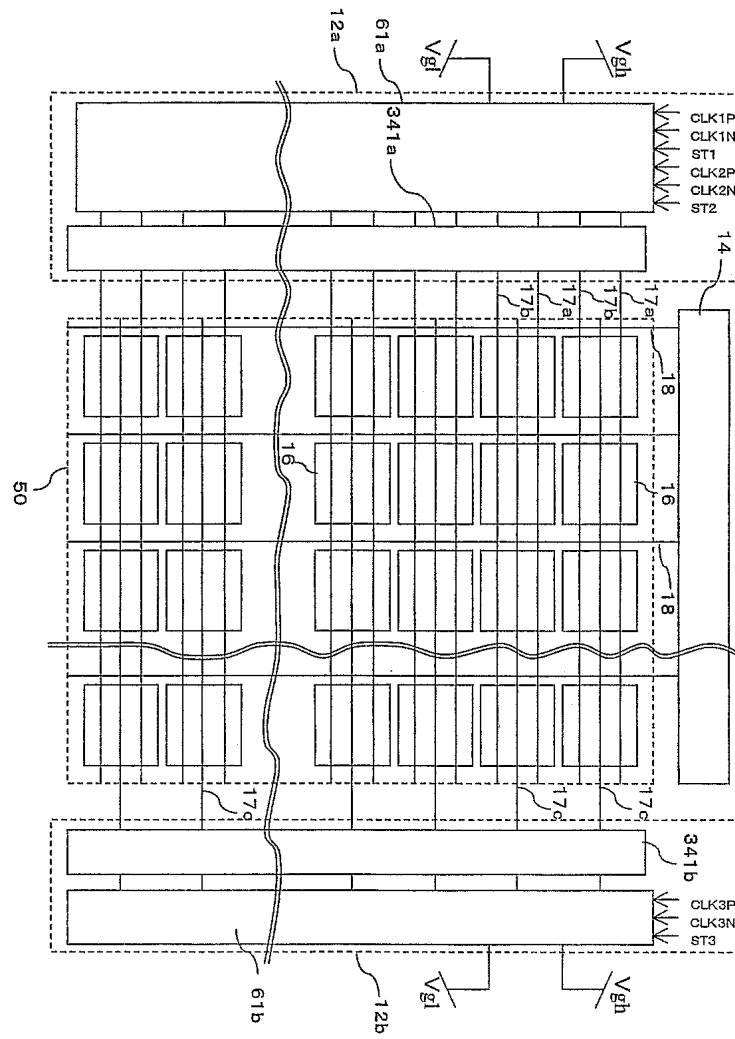
도면32



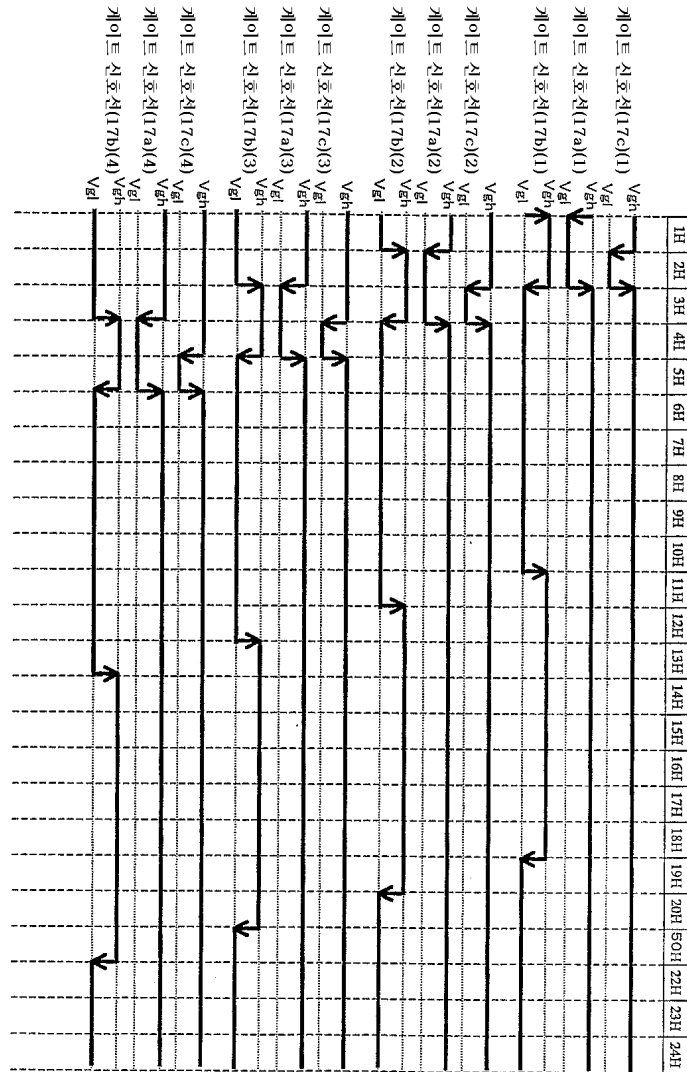
도면33



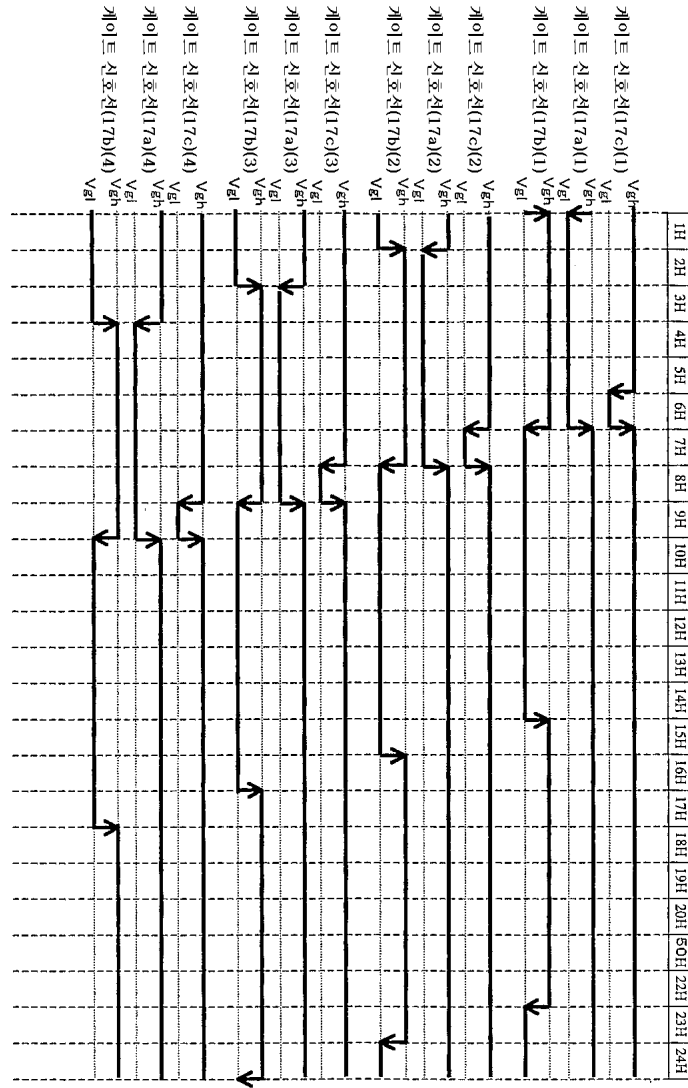
도면34



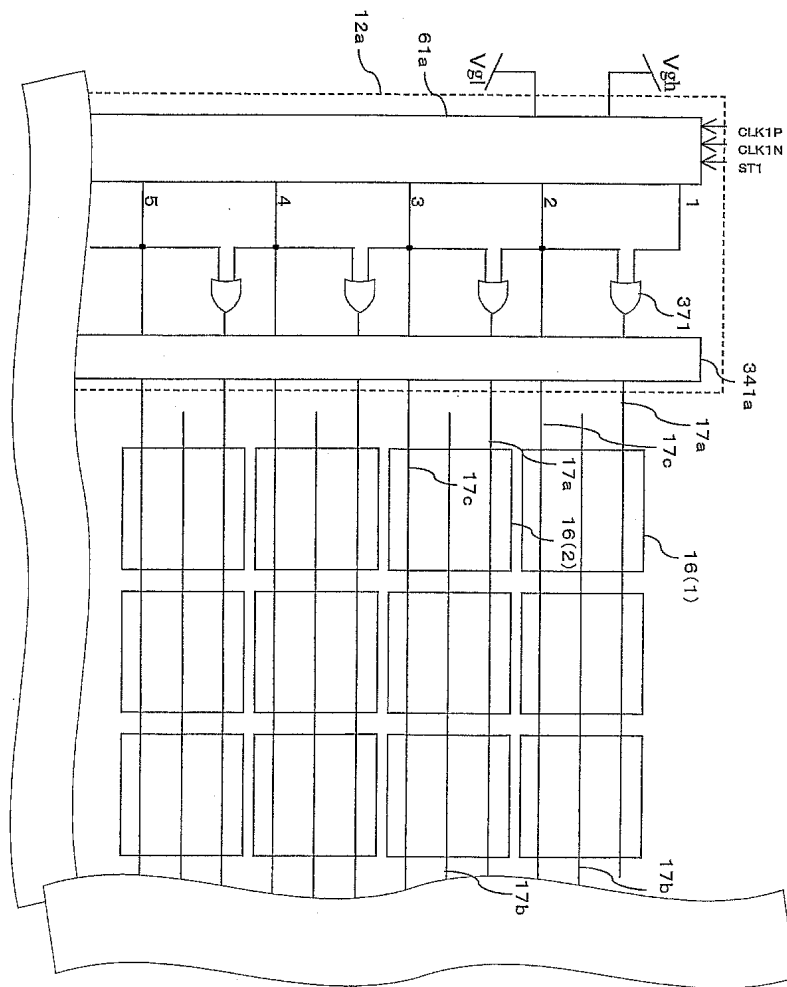
도면35



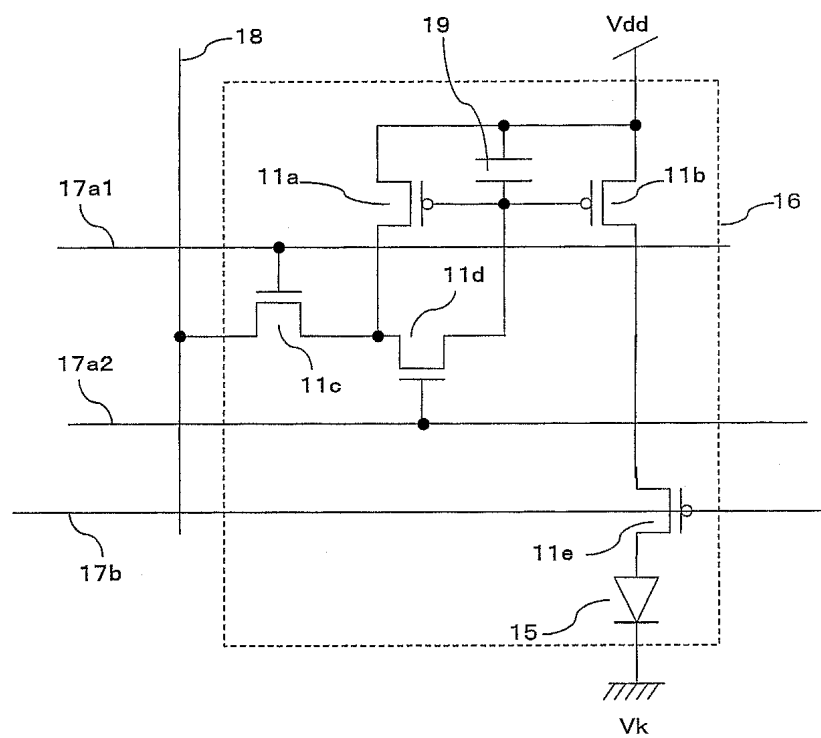
도면36



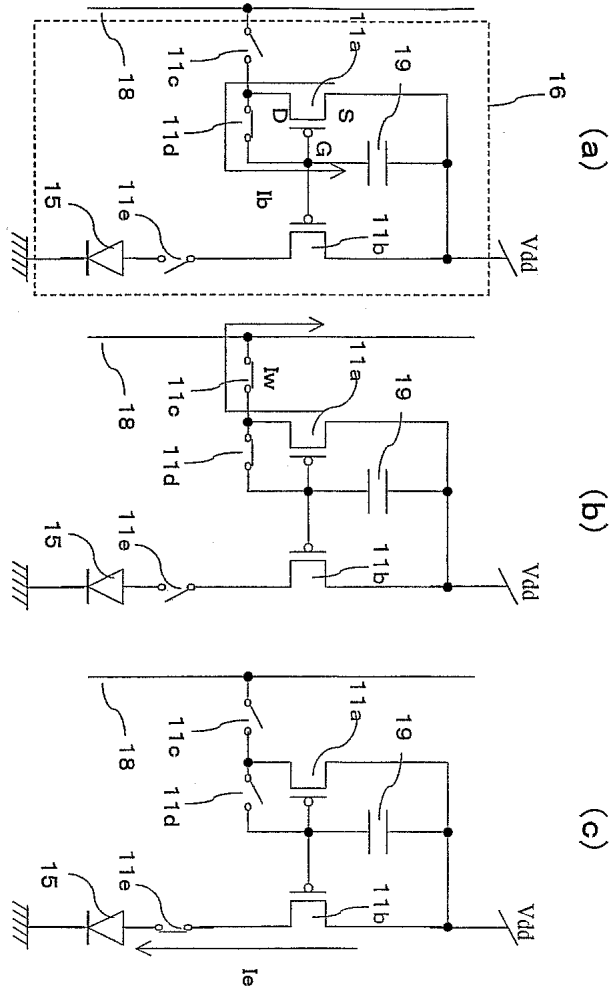
도면37



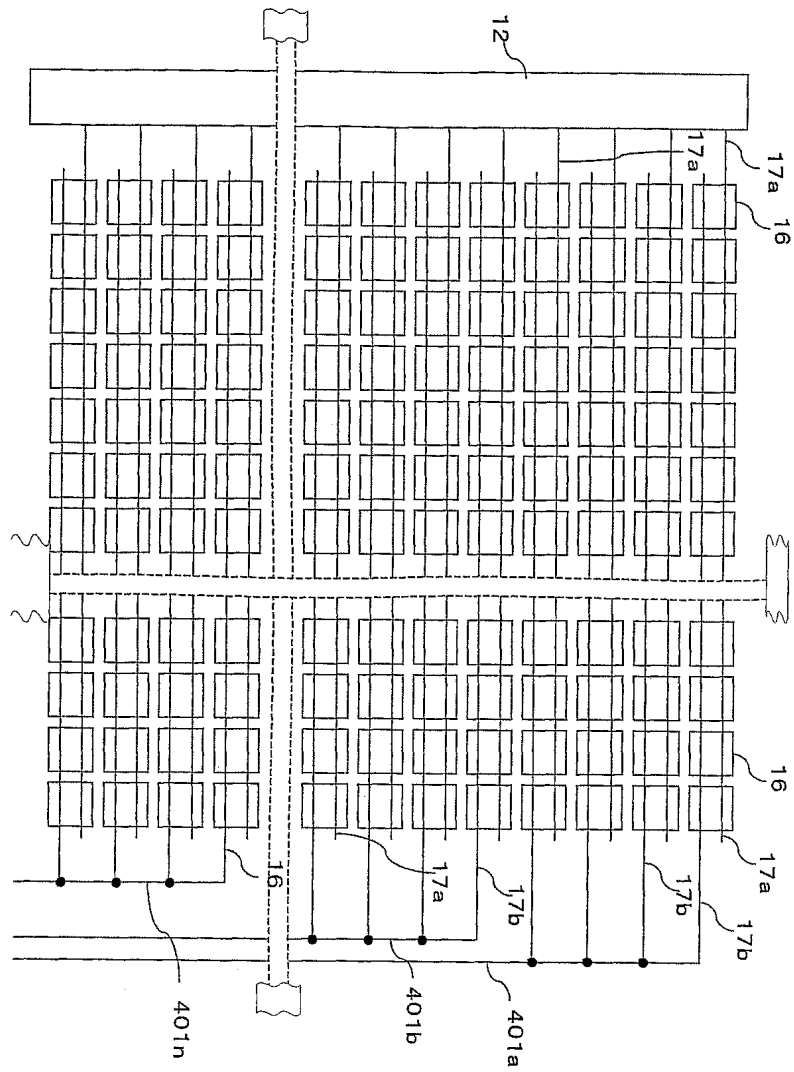
도면38



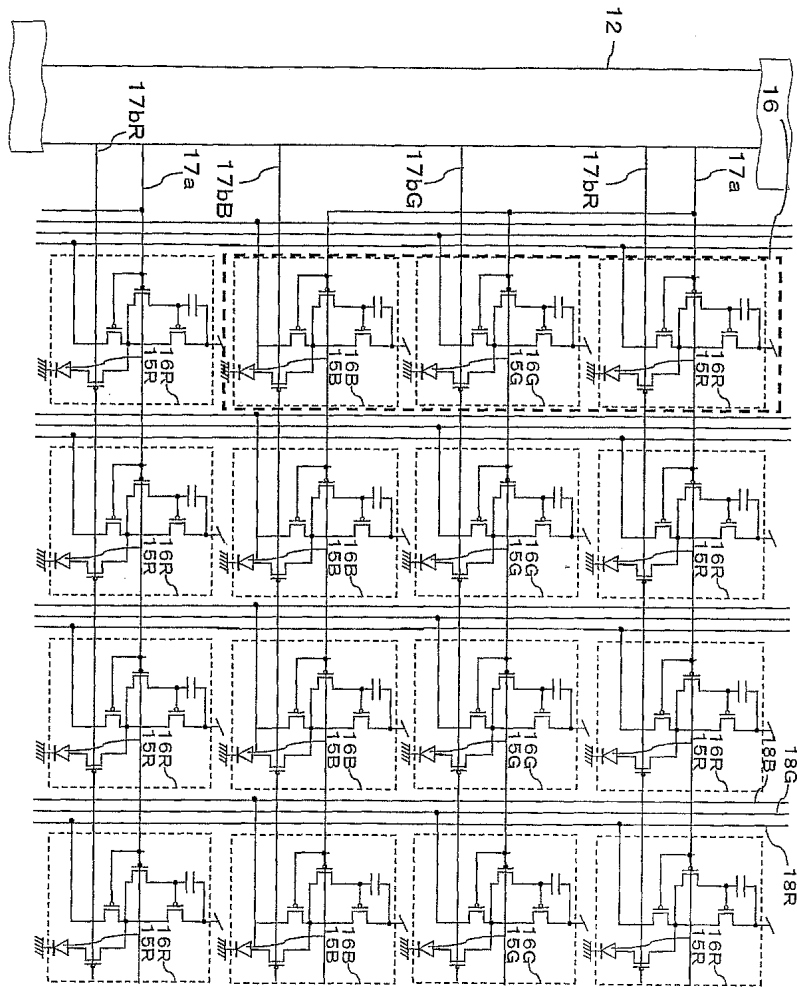
도면39



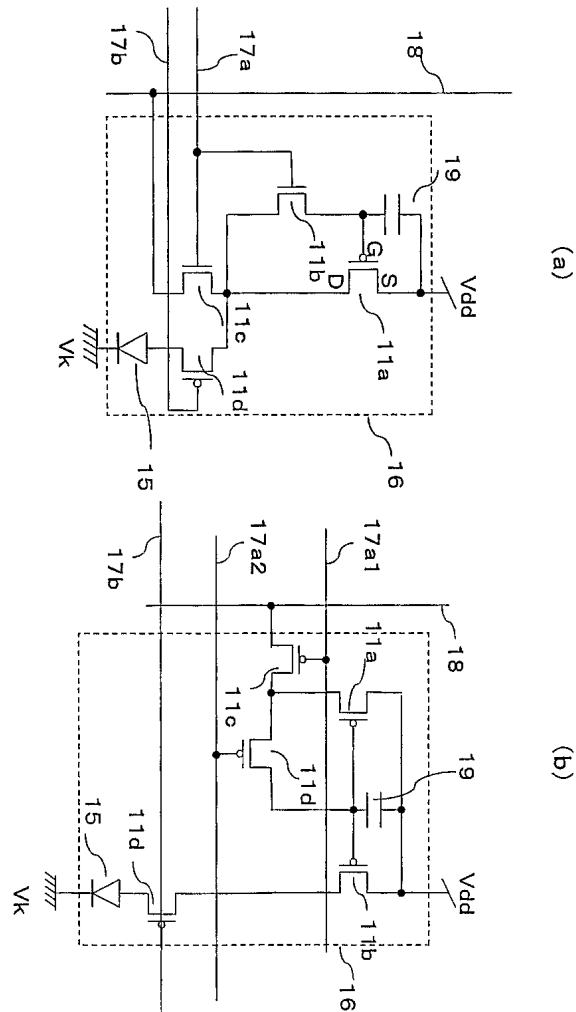
도면40



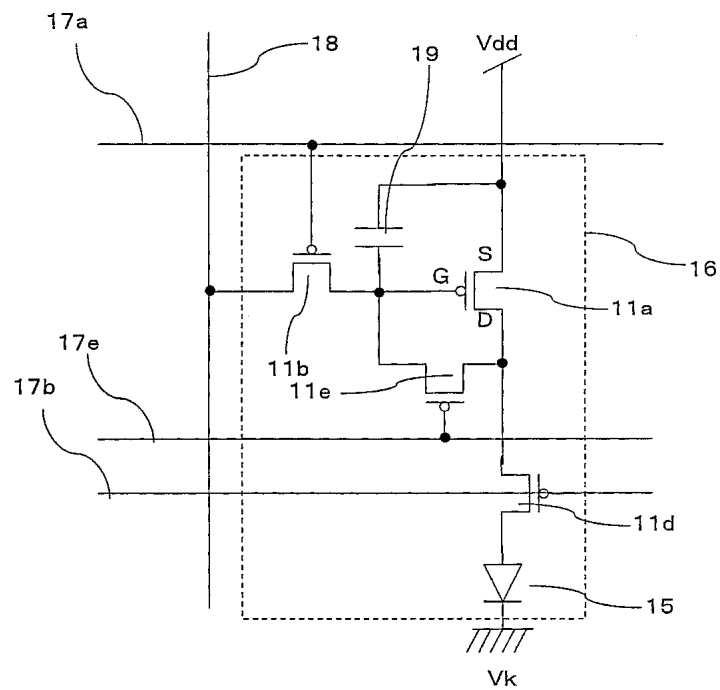
도면41



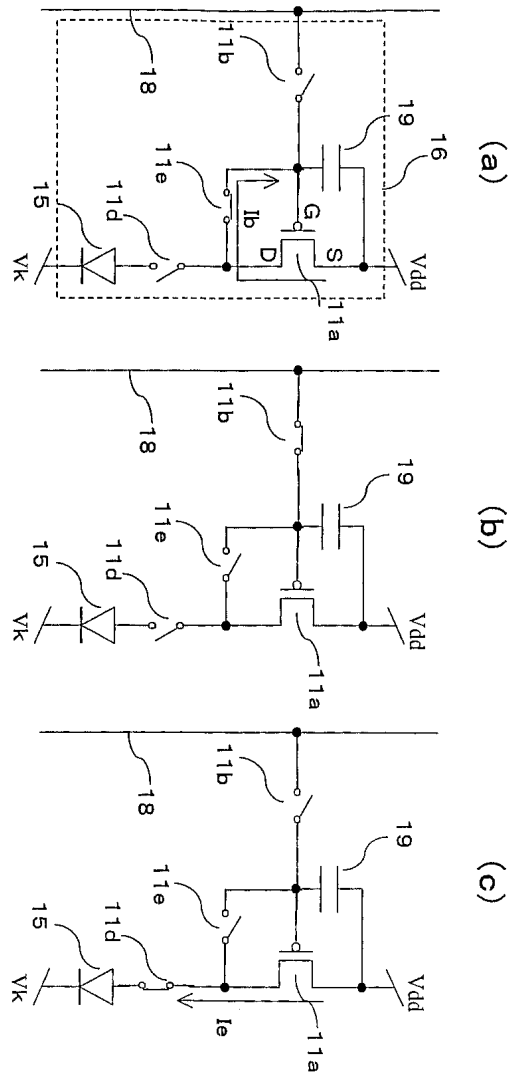
도면42



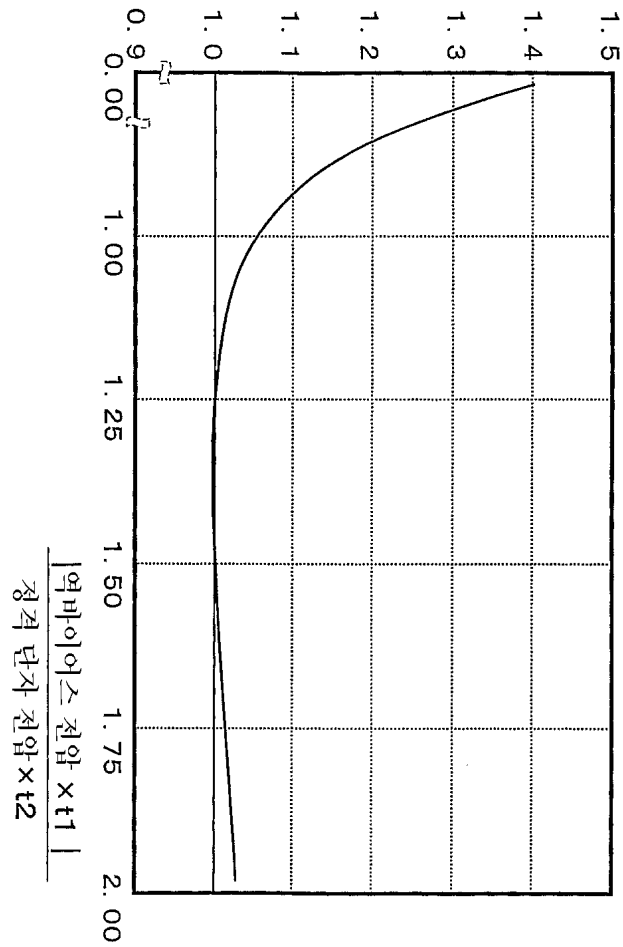
도면43



도면44

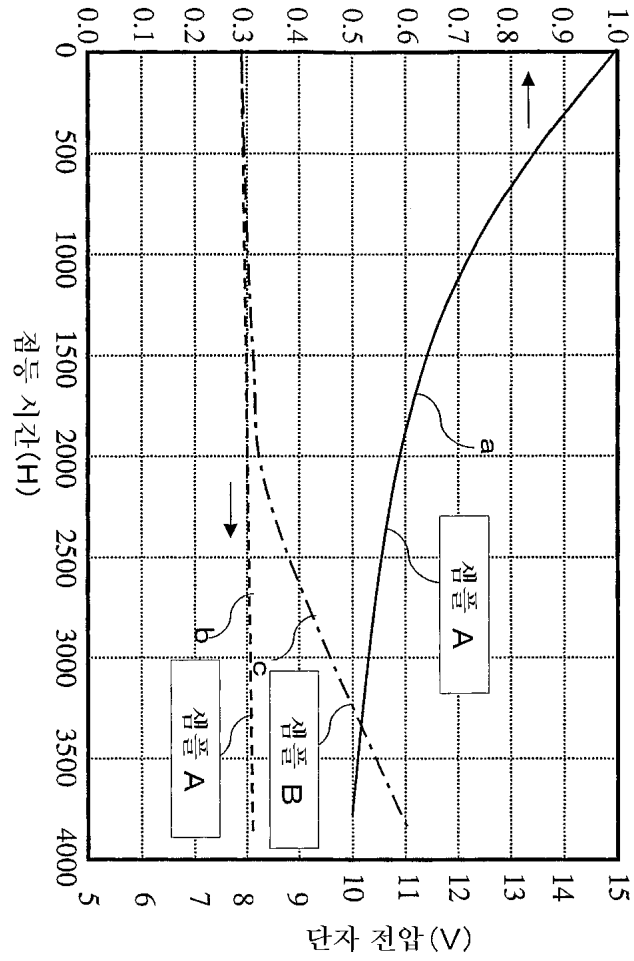


도면45
단자 전압비

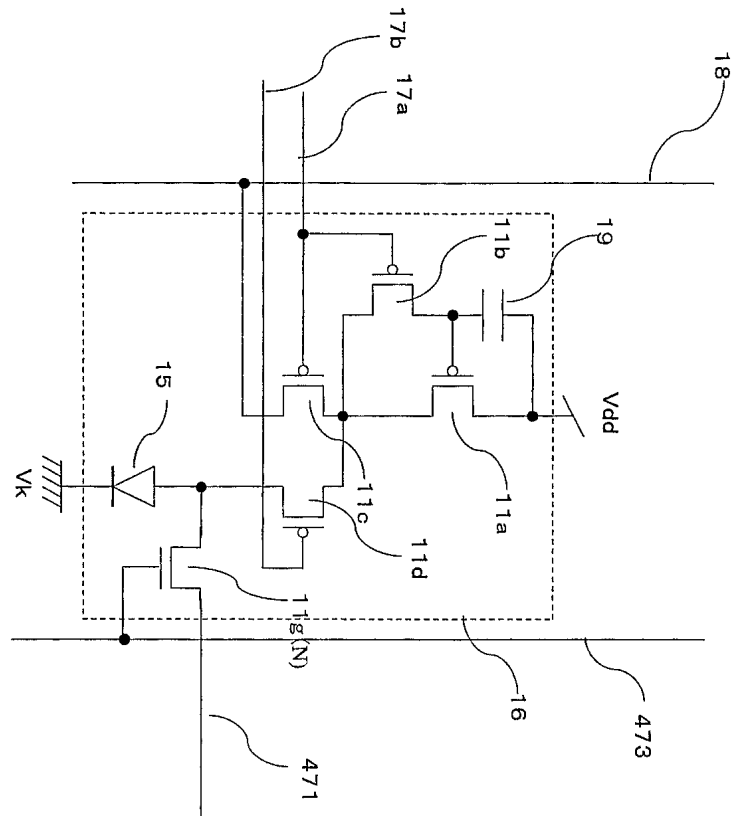


도면46

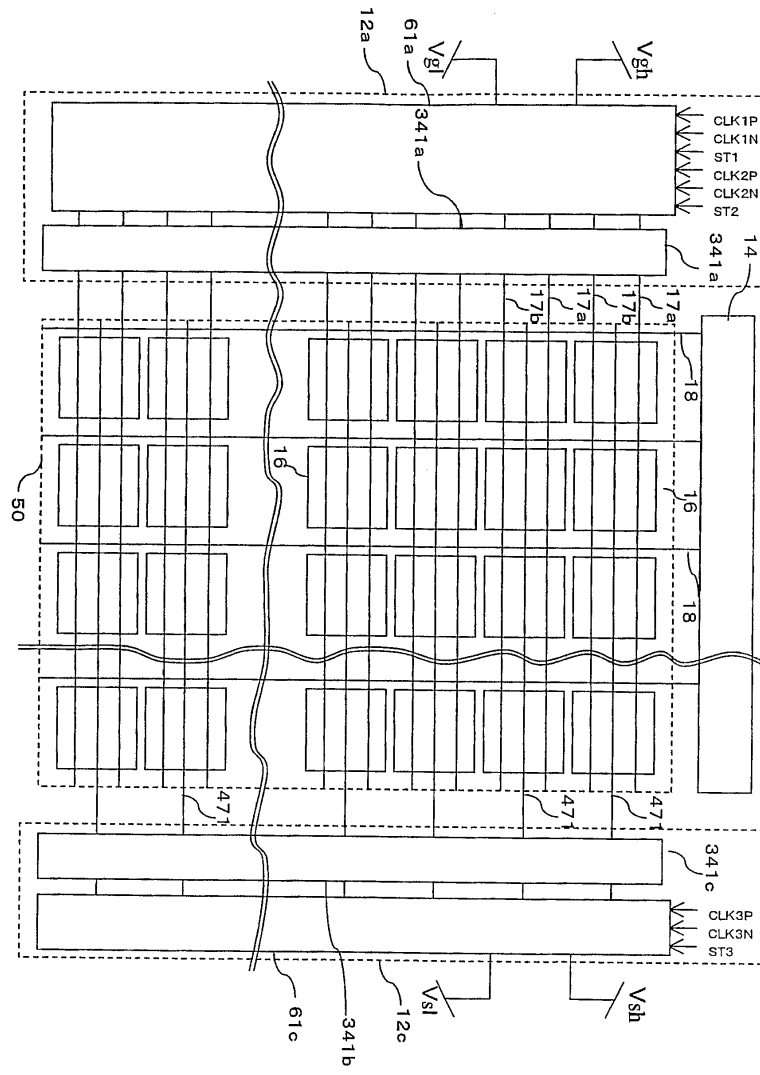
회도비



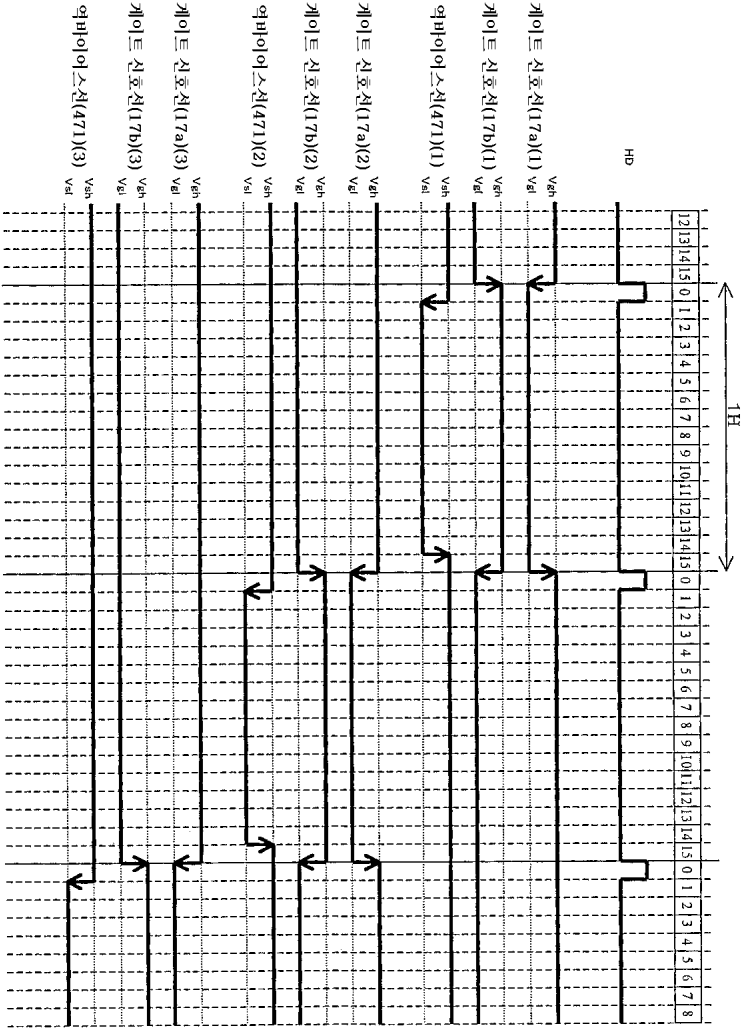
도면47



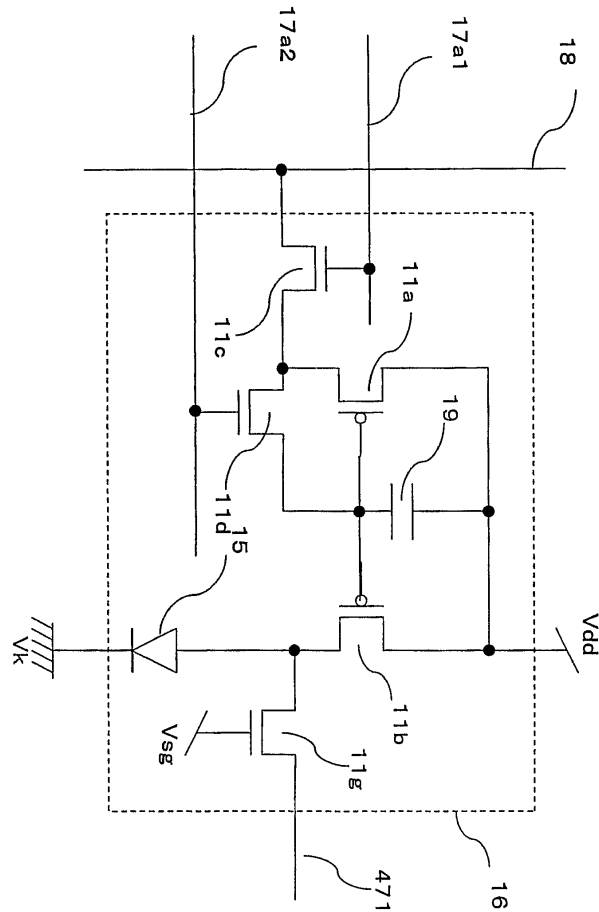
도면48



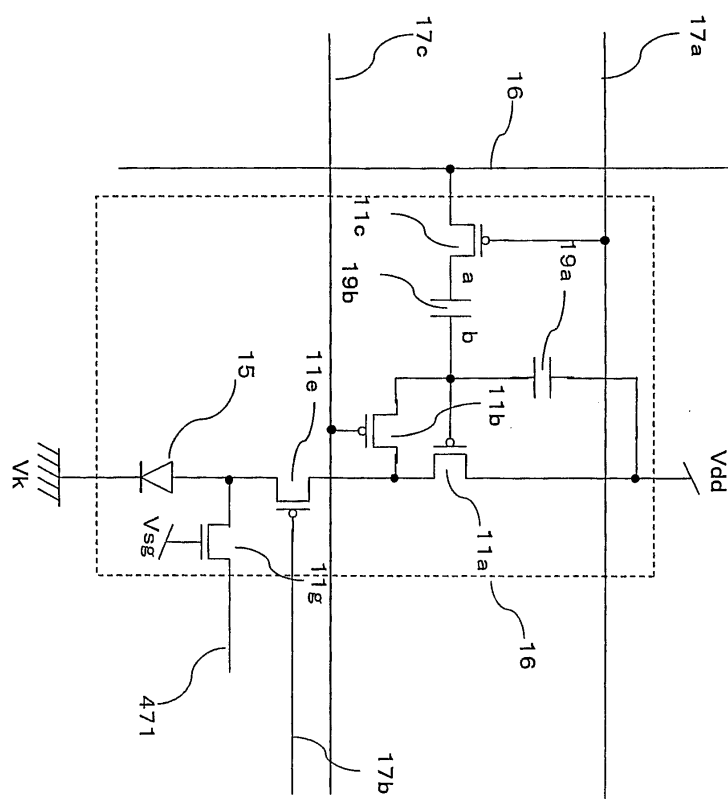
도면49



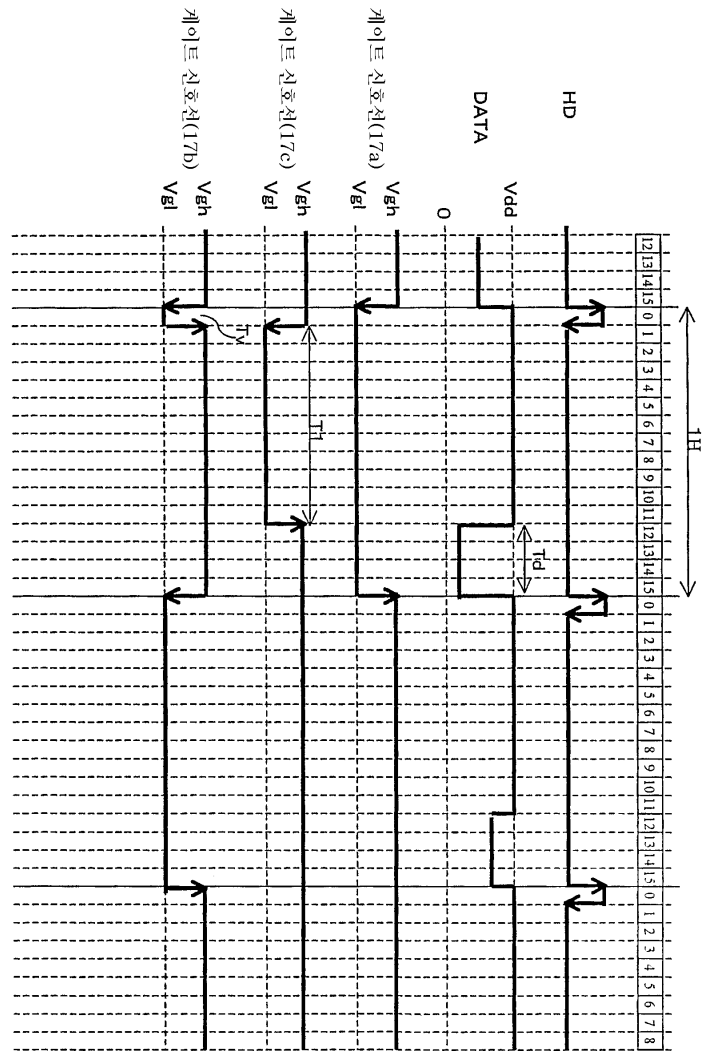
도면50



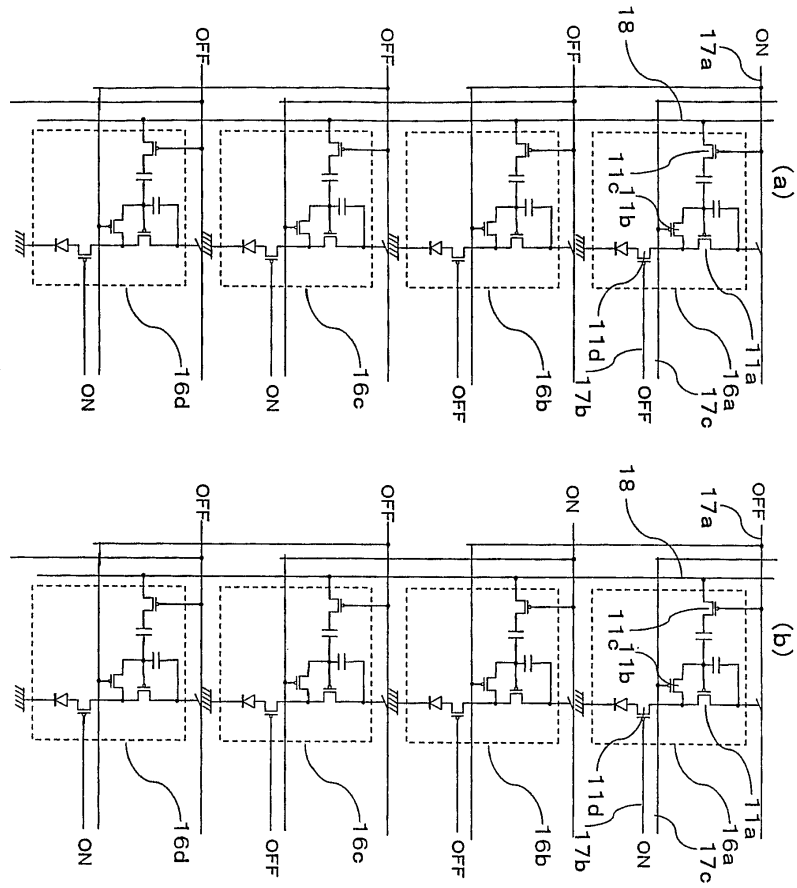
도면51



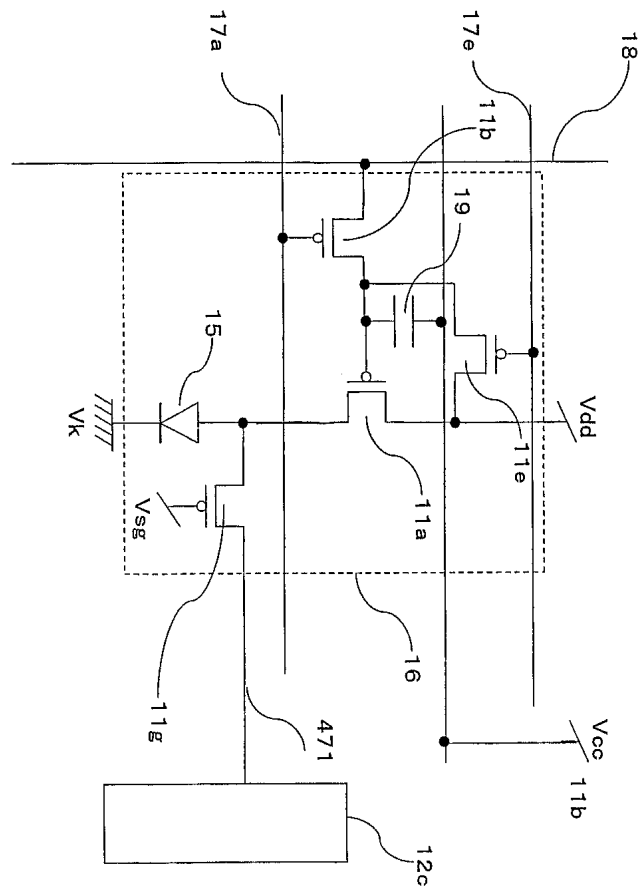
도면52



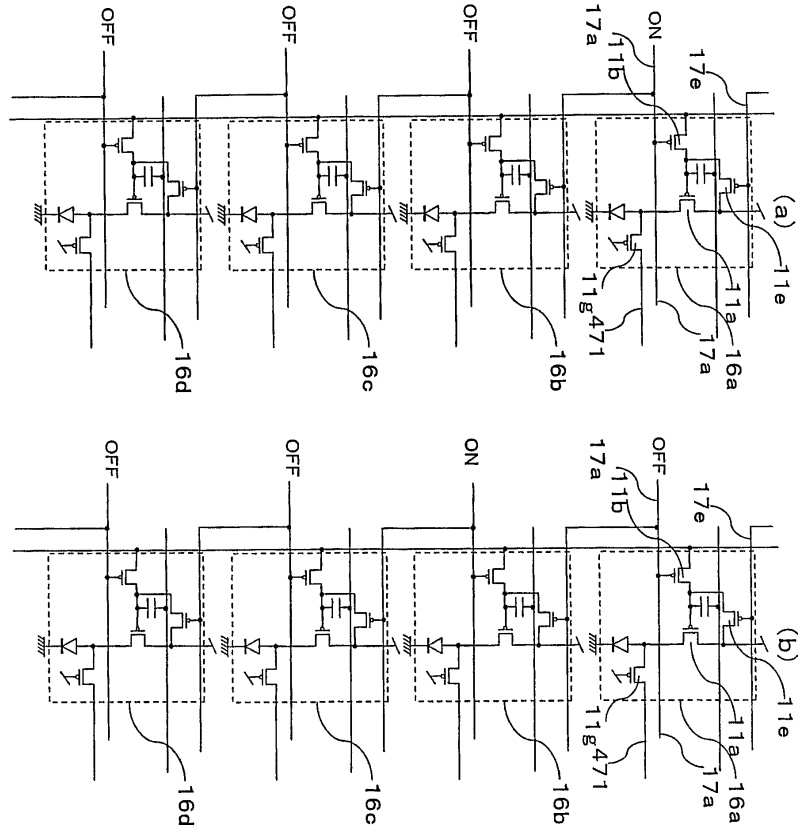
도면53



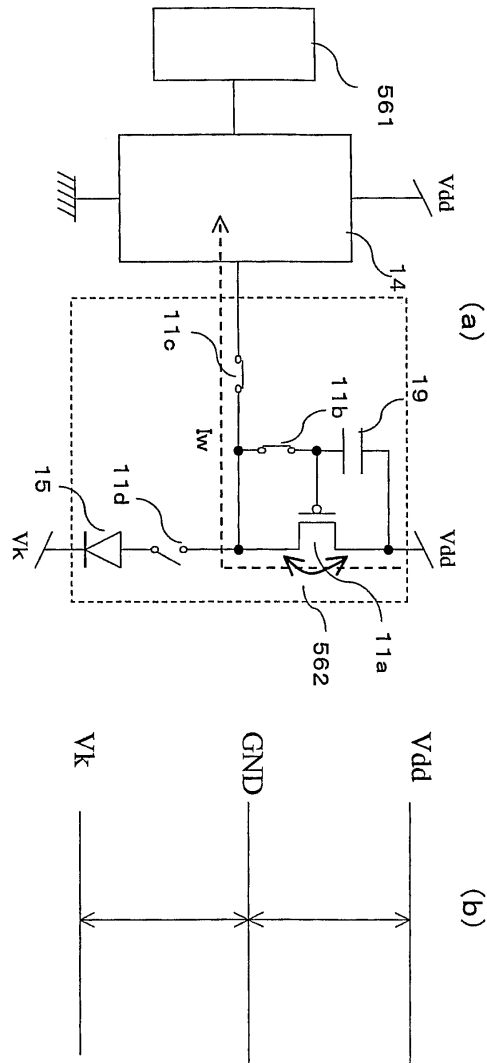
도면54



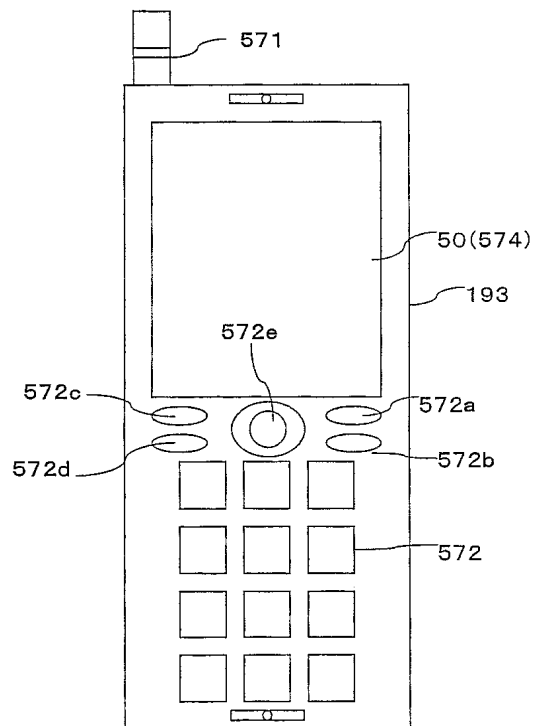
도면55



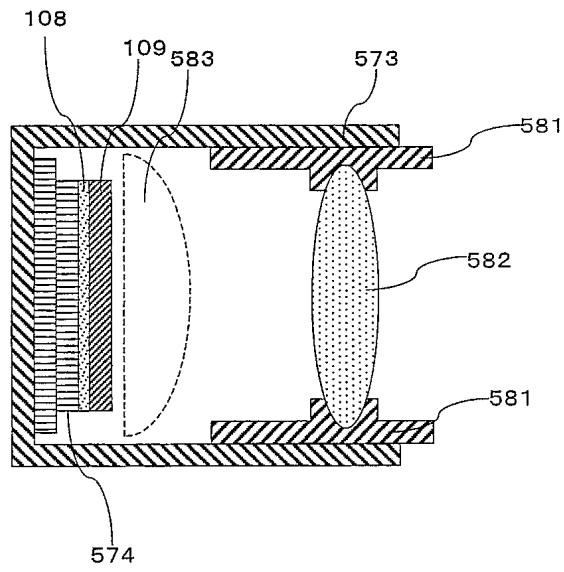
도면56



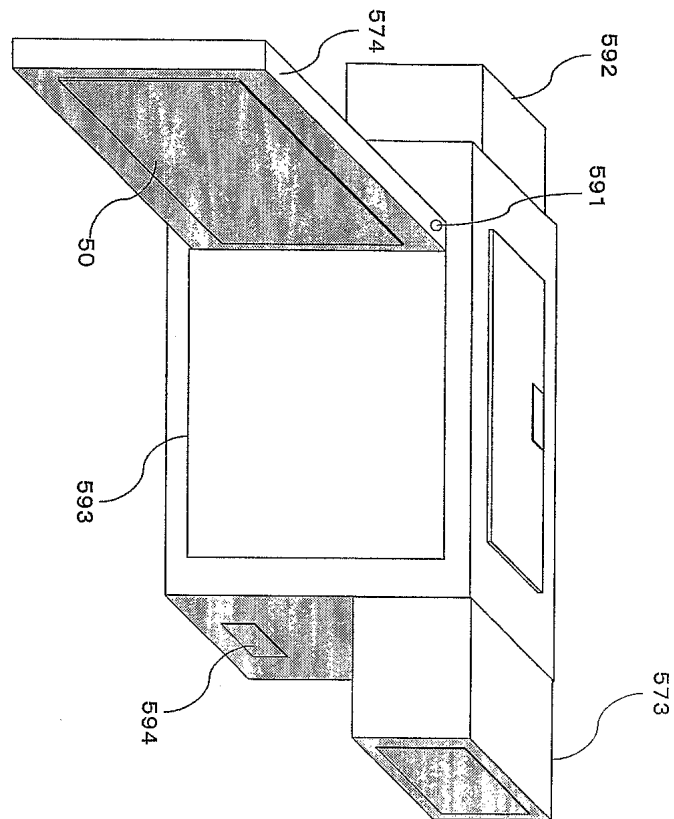
도면57



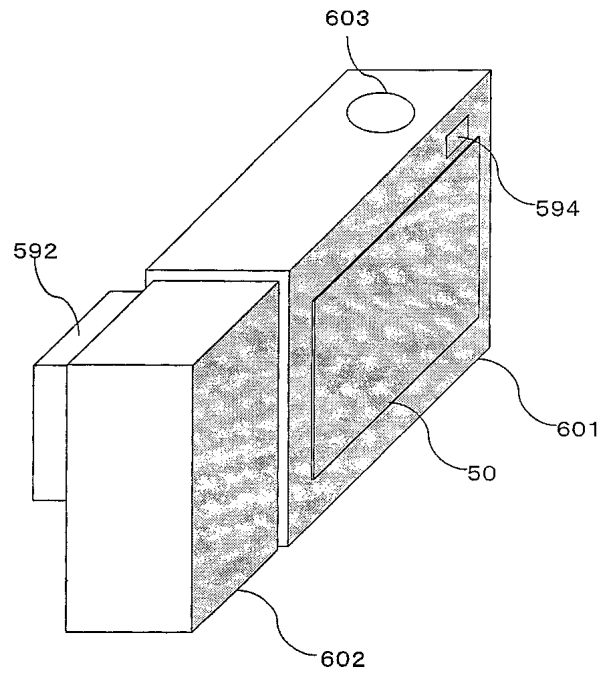
도면58



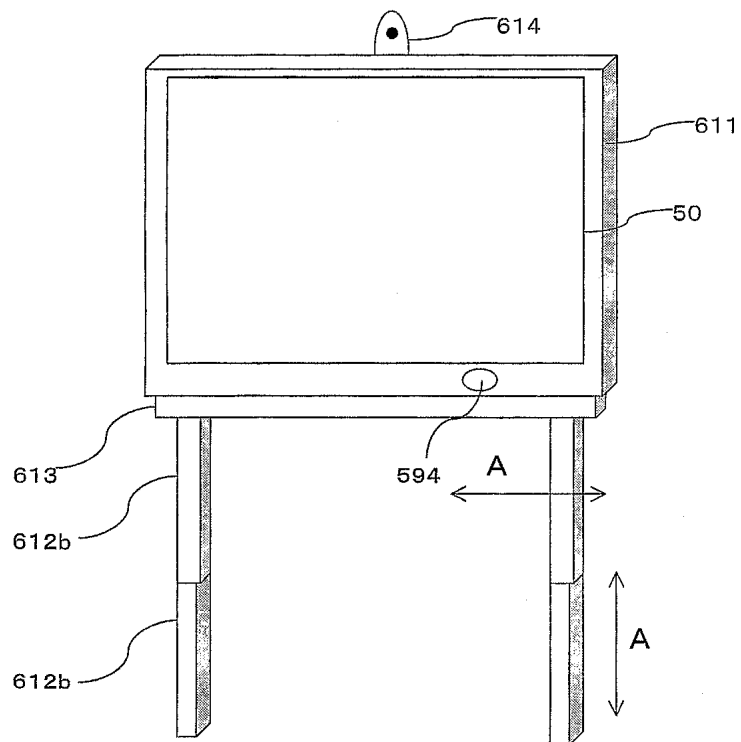
도면59



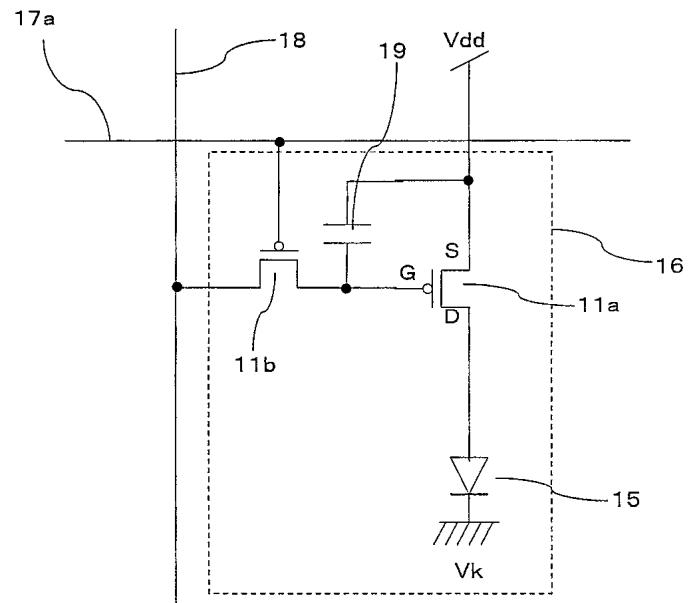
도면60



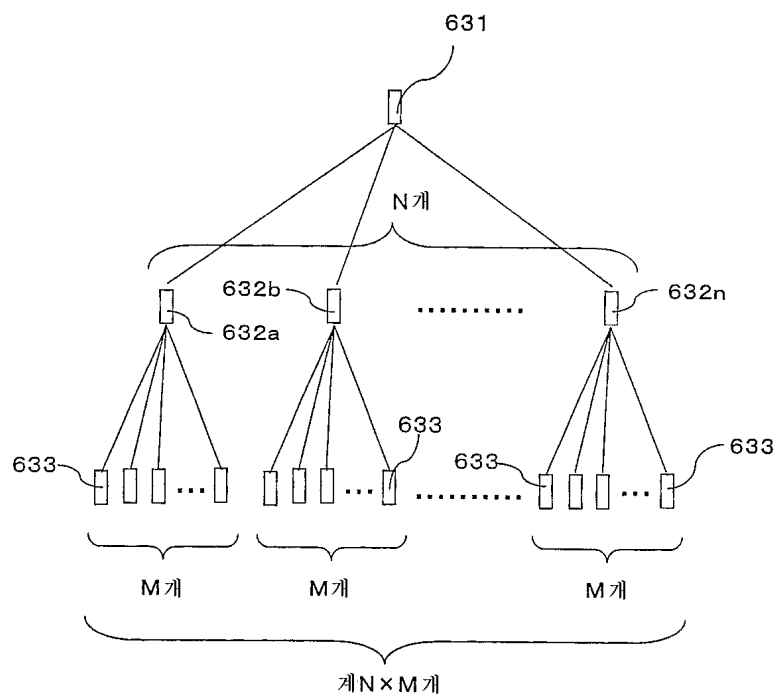
도면61



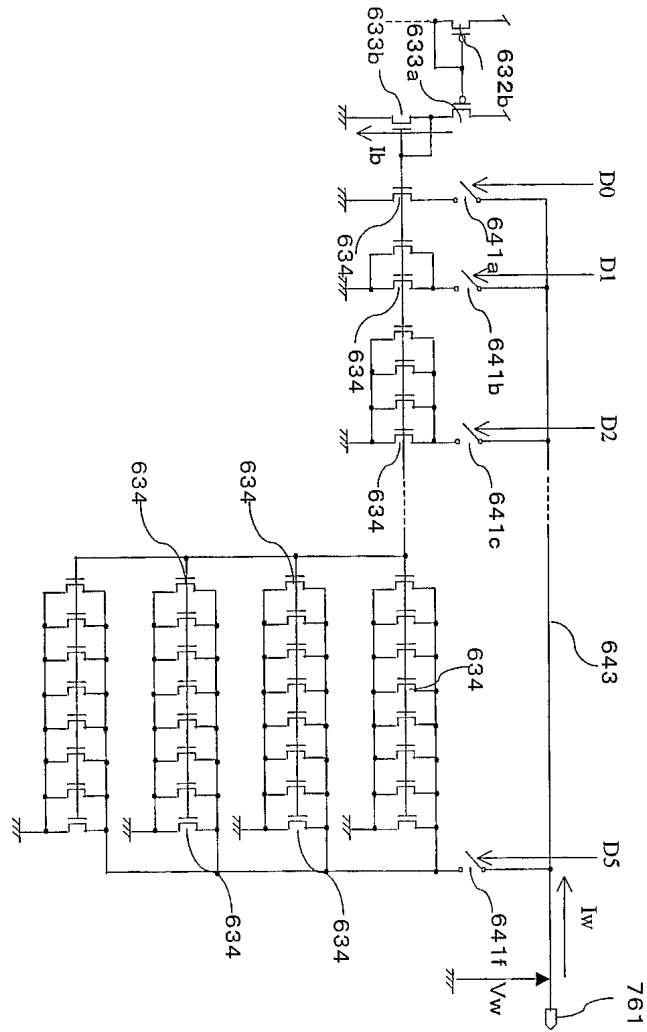
도면62



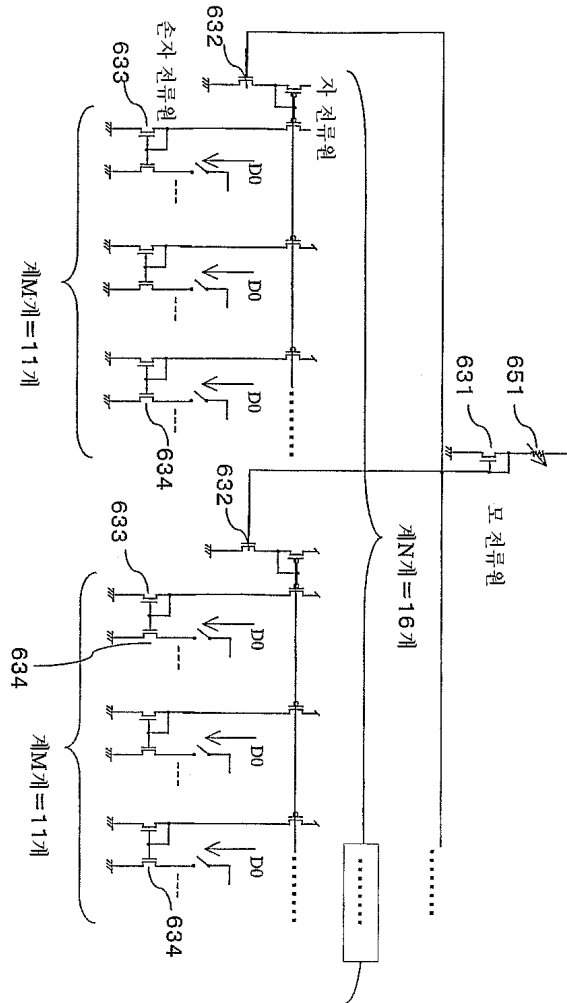
도면63



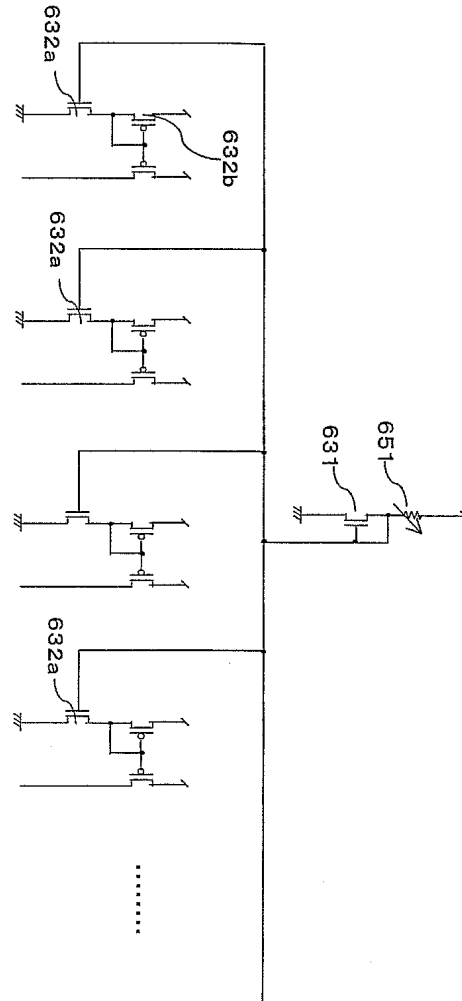
도면64



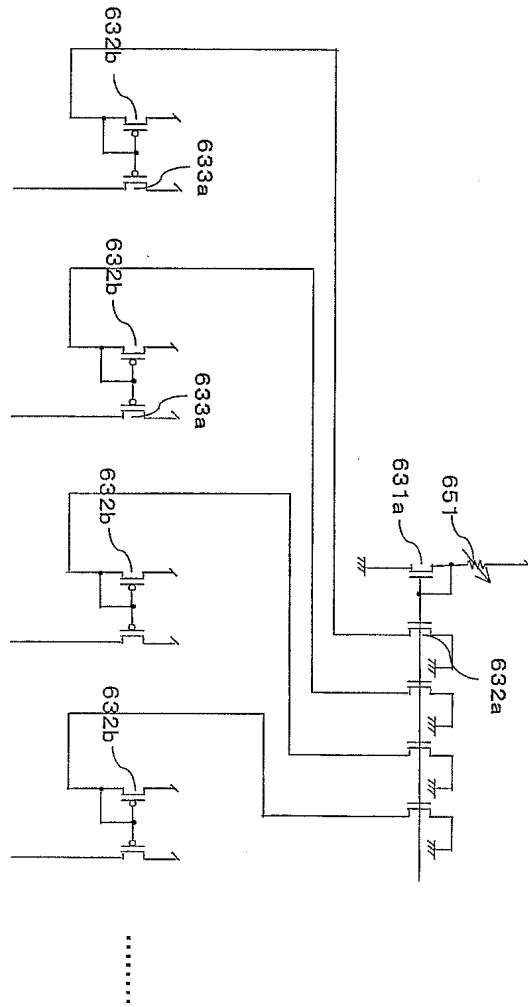
도면65



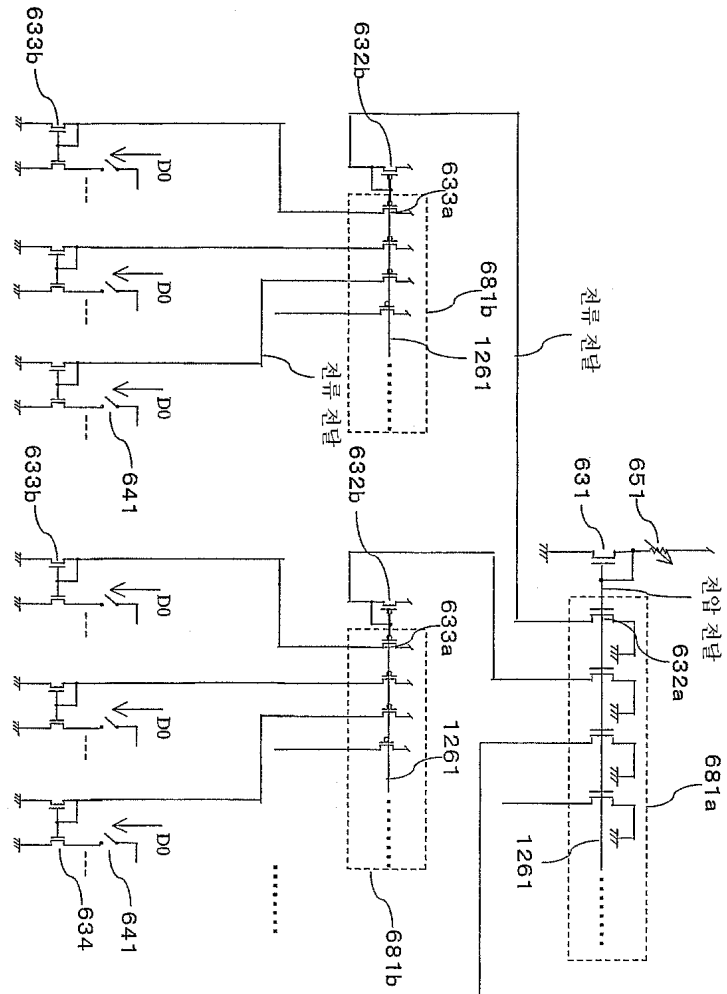
도면66



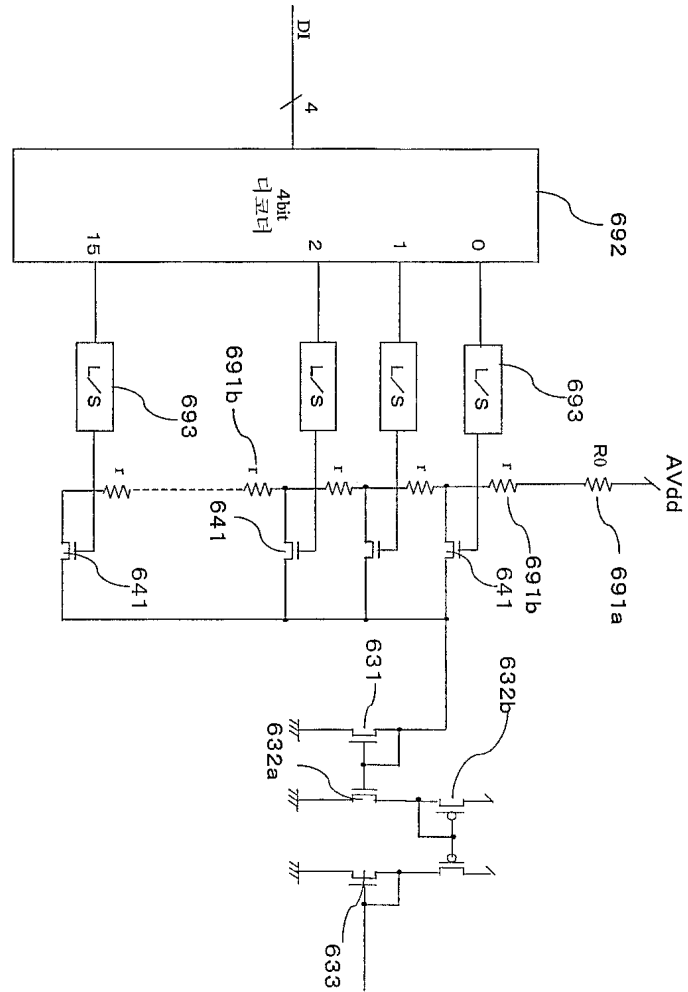
도면67



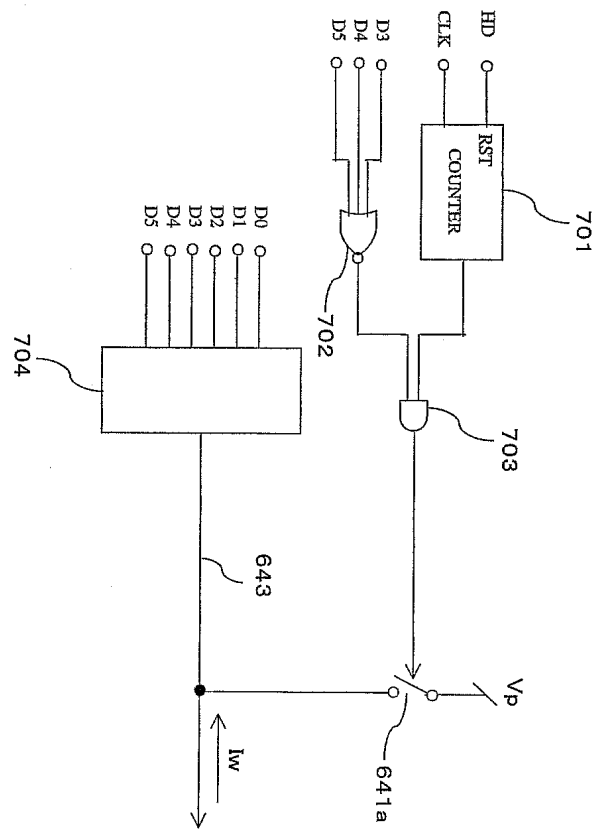
도면68



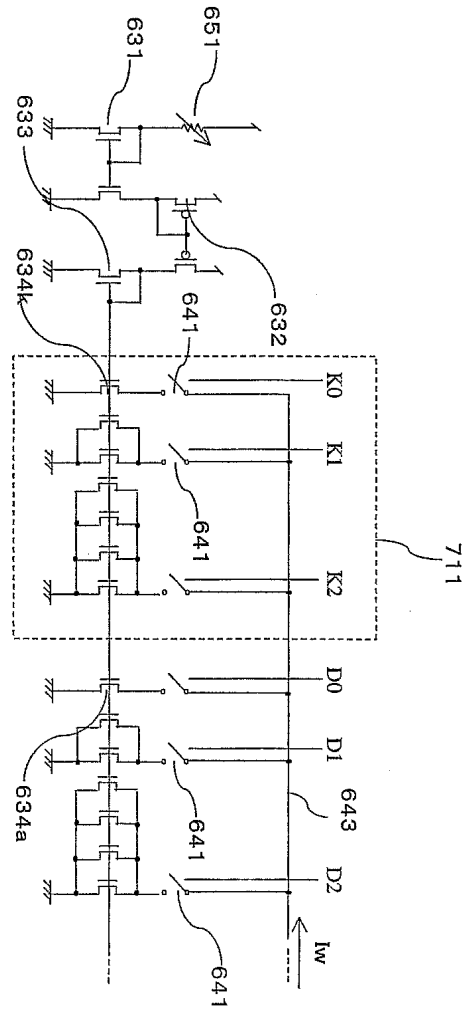
도면 69



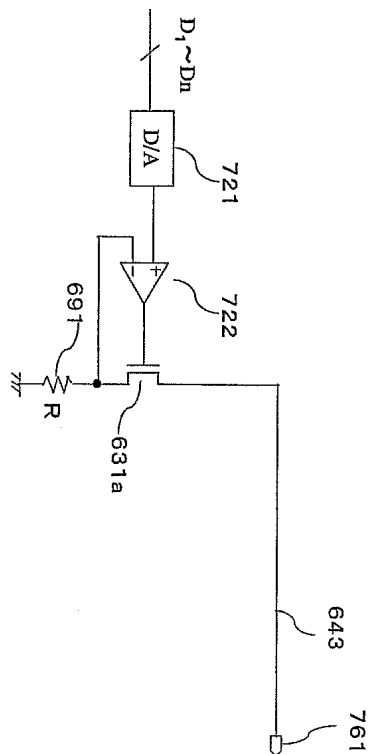
도면70



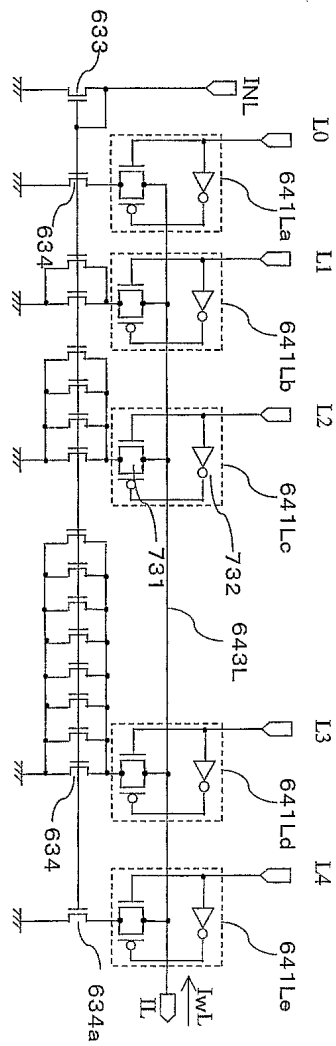
도면71



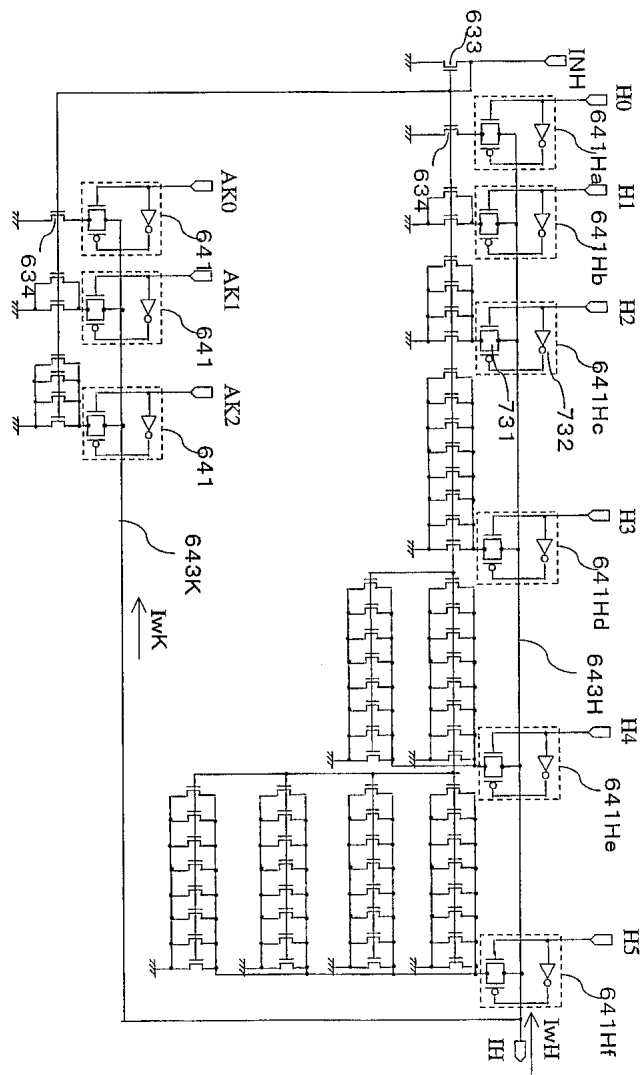
도면72



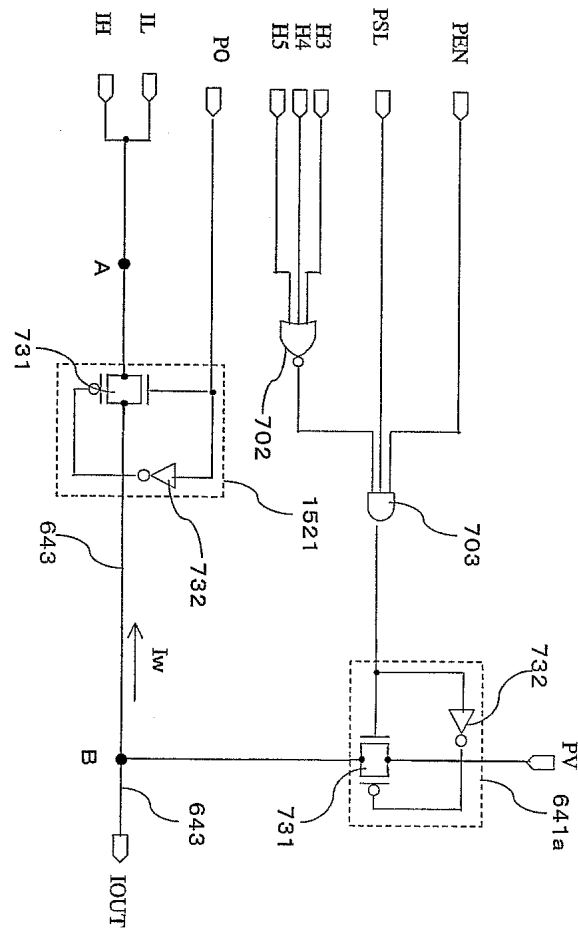
도면73



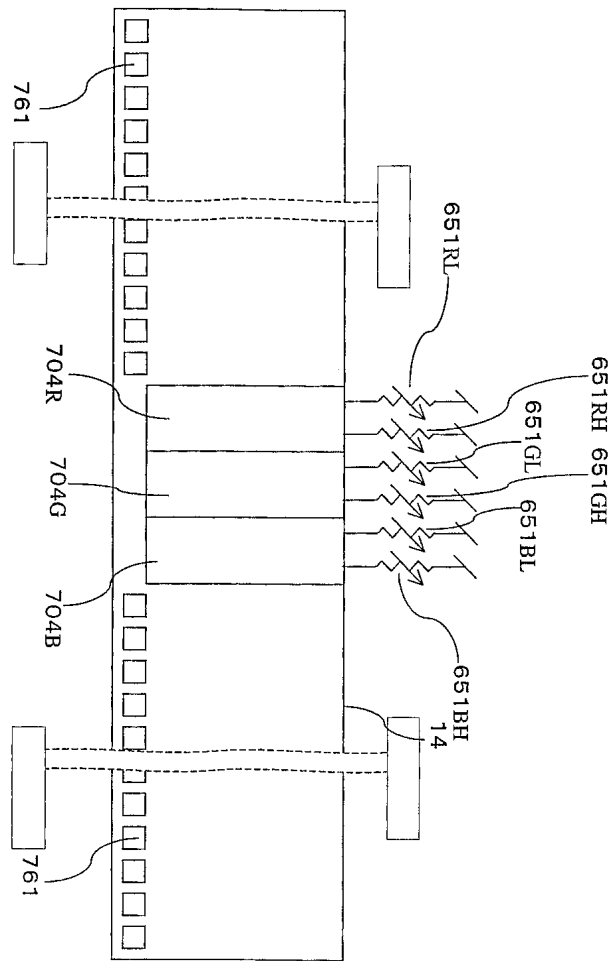
도면74



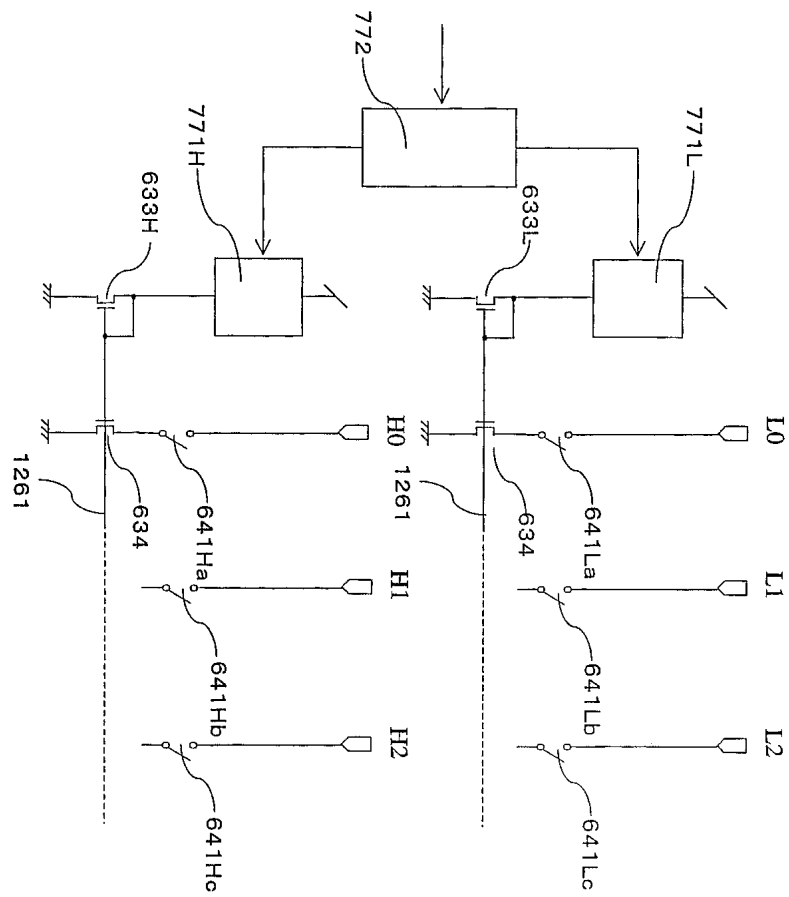
도면75



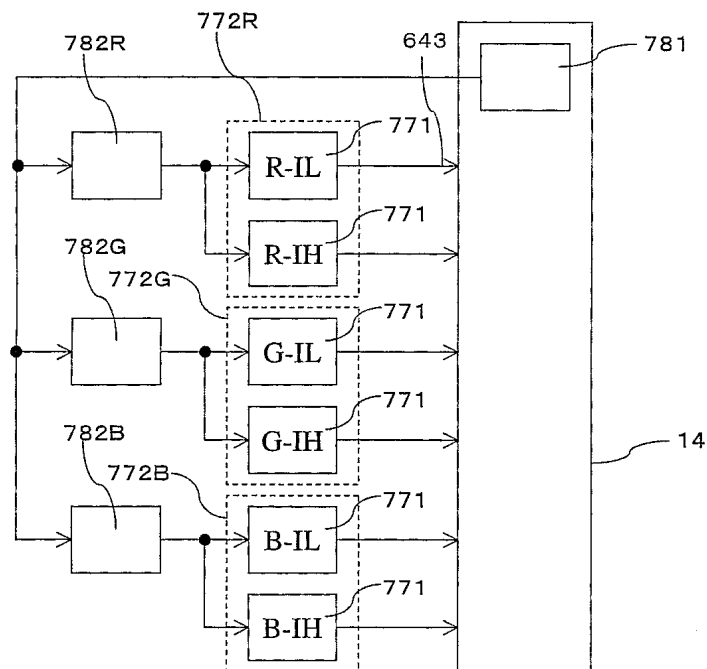
도면76



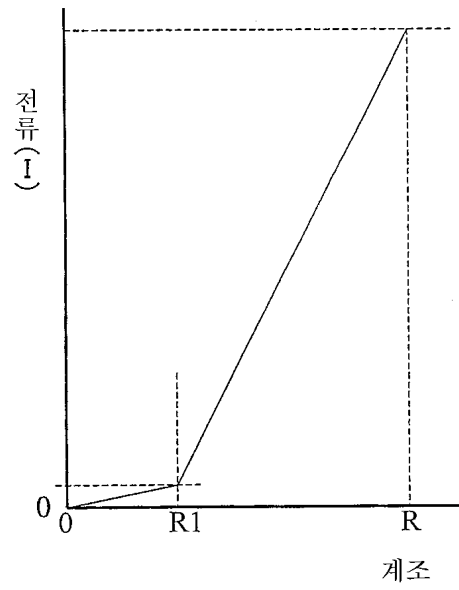
도면77



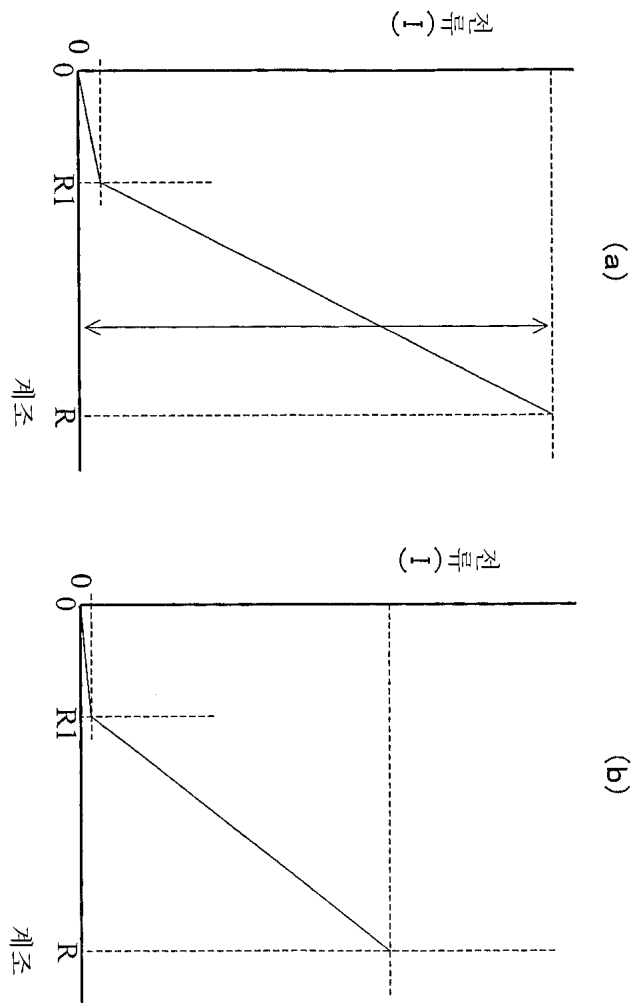
도면78



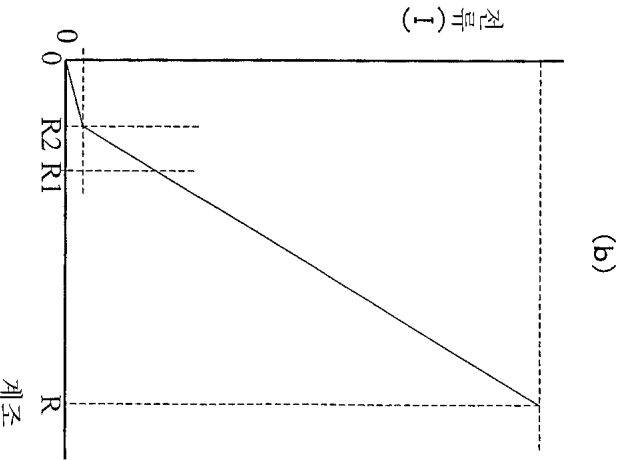
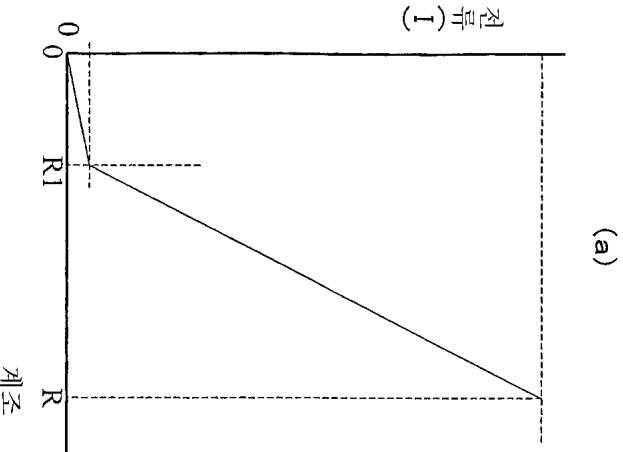
도면79



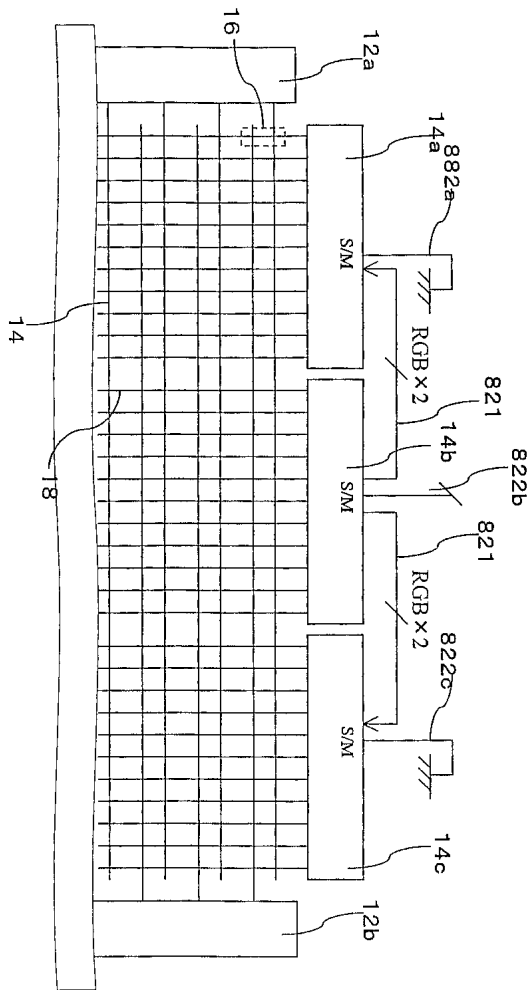
도면80



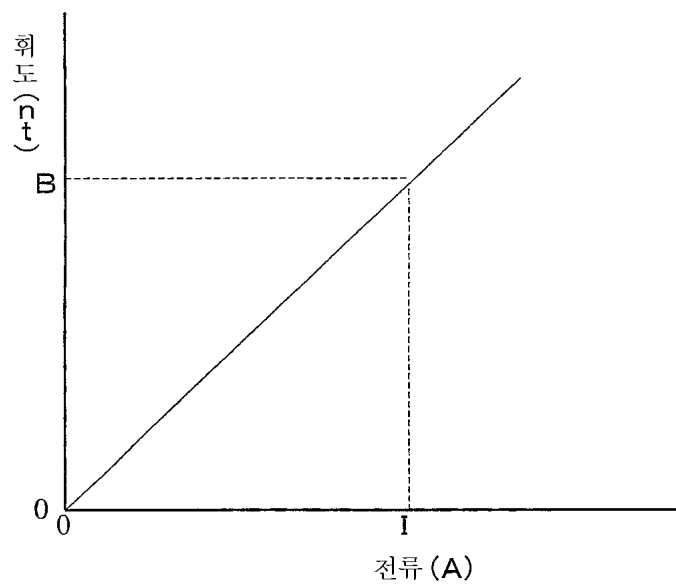
도면81



도면82



도면83



도면84

계조	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	0	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	0	0	1	0
17	1	1	0	0	1	1	0	0	0	1	0
18	1	1	0	0	1	0	1	0	0	1	0
:											

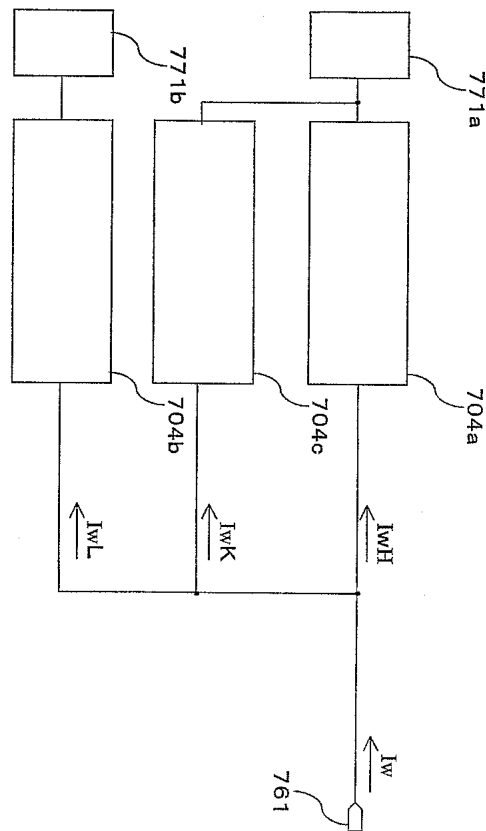
도면85

계조	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	1	0	0	0	0	0	0
9	1	1	1	0	1	1	0	0	0	0	0
10	1	1	1	0	1	0	1	0	0	0	0
11	1	1	1	0	1	1	1	0	0	0	0
12	1	1	1	0	1	0	0	1	0	0	0
13	1	1	1	0	1	1	0	1	0	0	0
14	1	1	1	0	1	0	1	1	0	0	0
15	1	1	1	0	1	1	1	1	0	0	0
16	1	1	1	0	1	0	0	0	1	0	0
17	1	1	1	0	1	1	0	0	1	0	0
18	1	1	1	0	1	0	1	0	1	0	0
:											

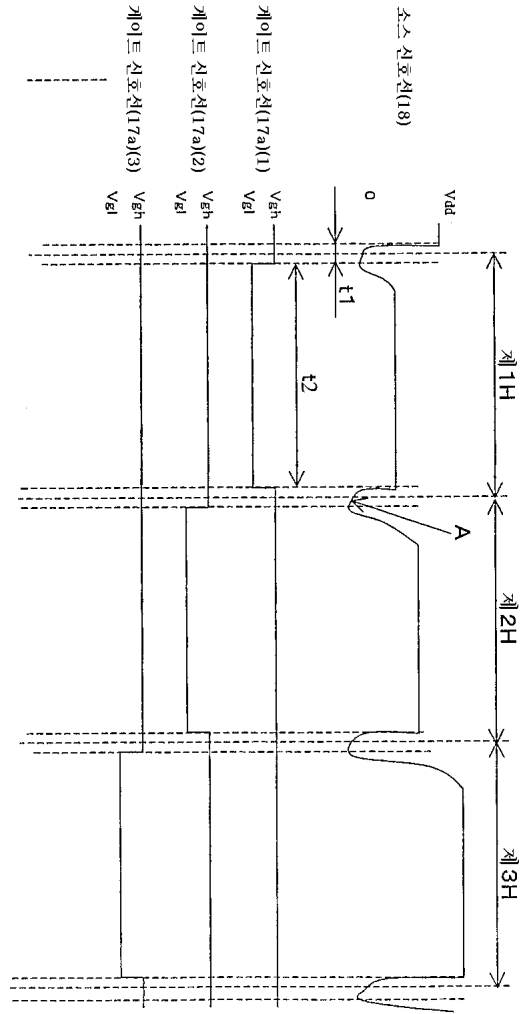
도면86

계조	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
⋮											

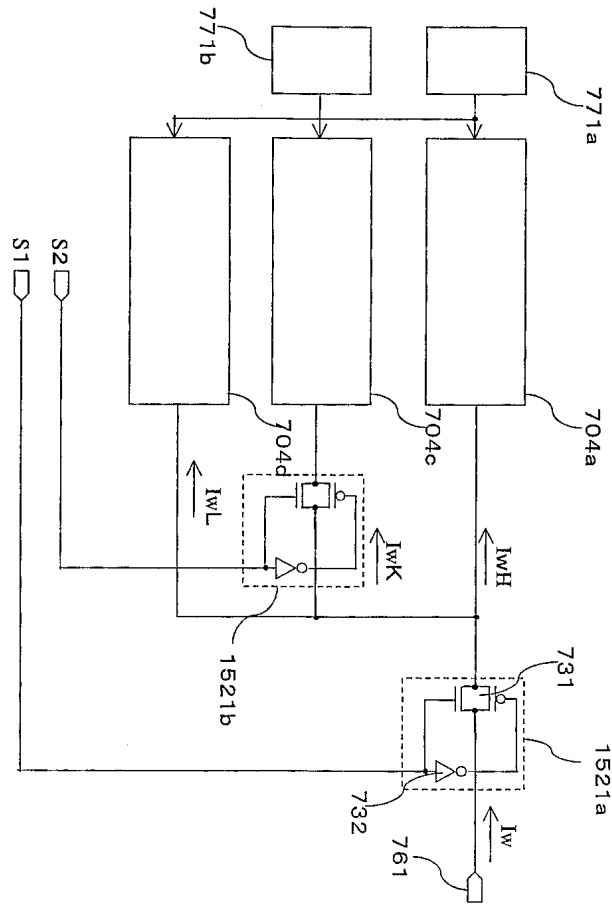
도면87



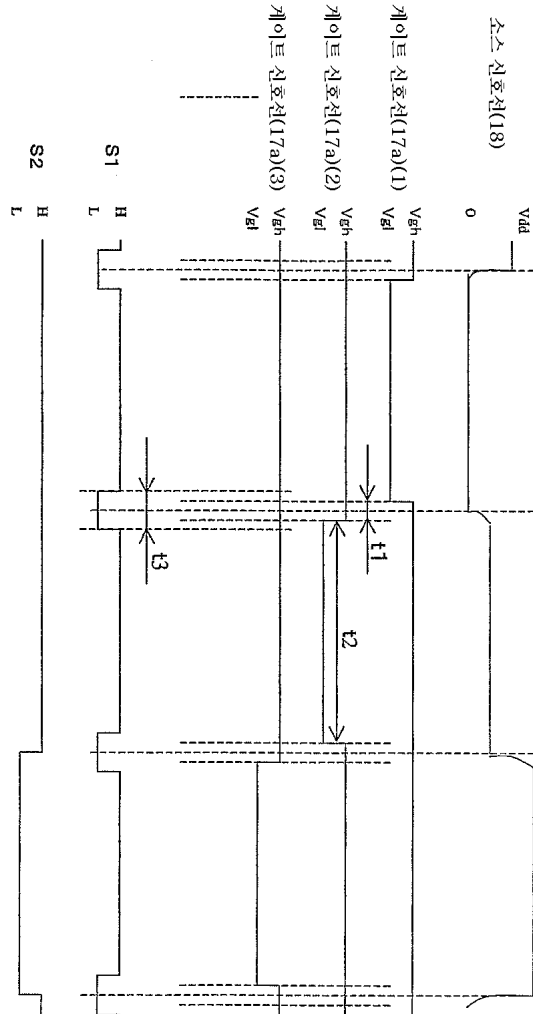
도면88



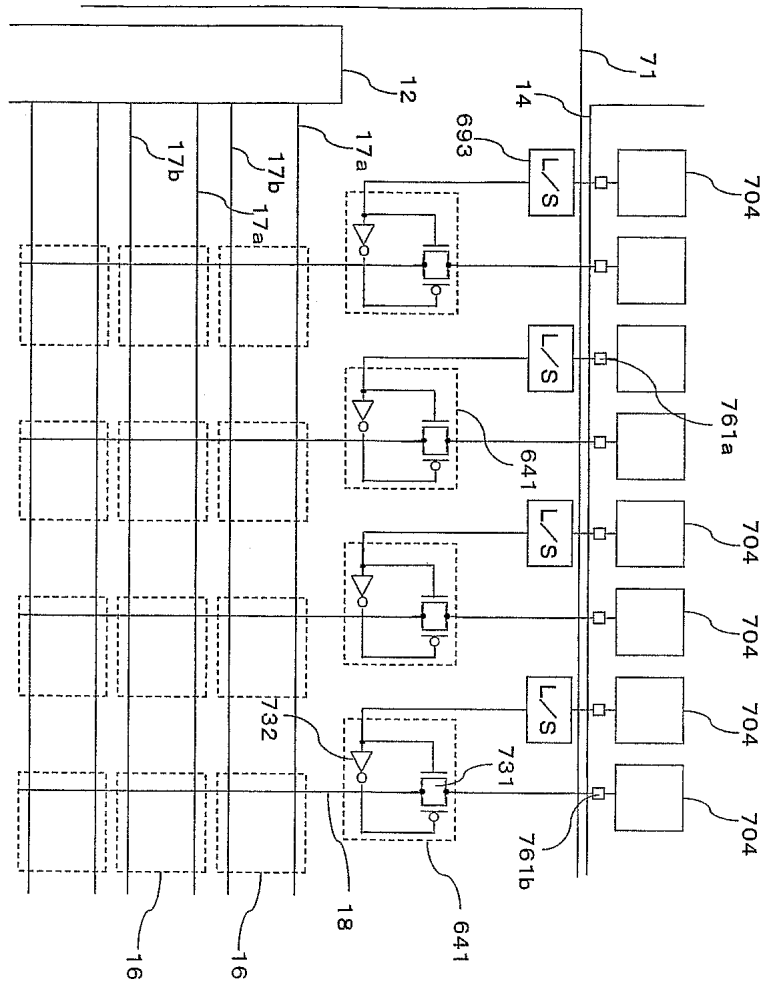
도면89



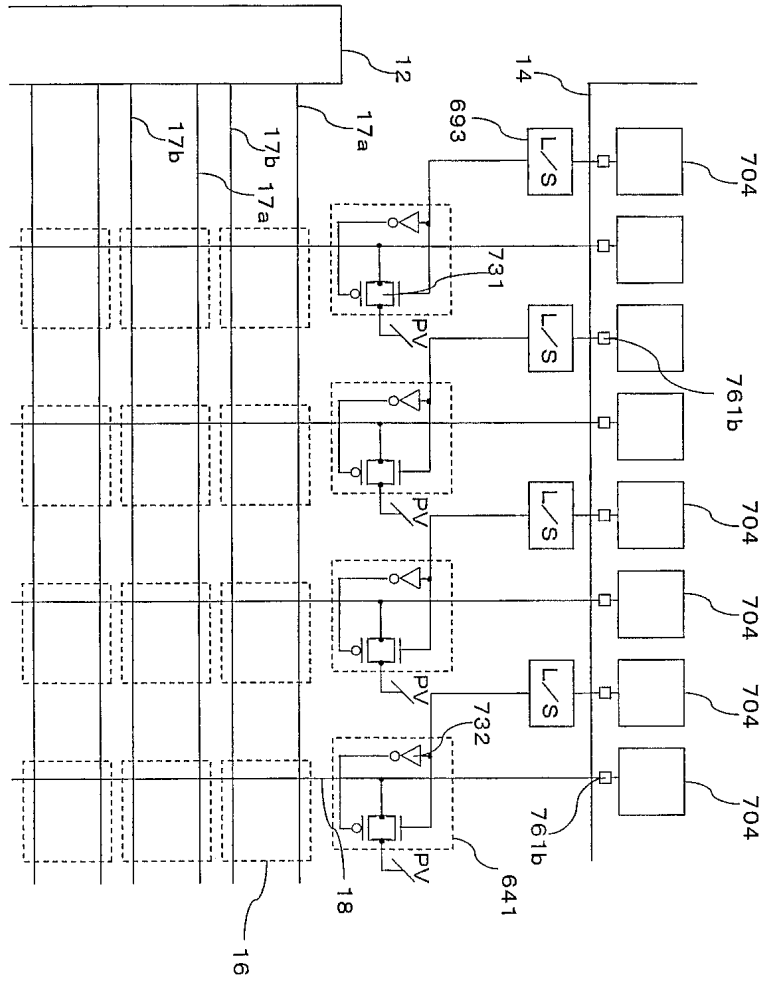
도면90



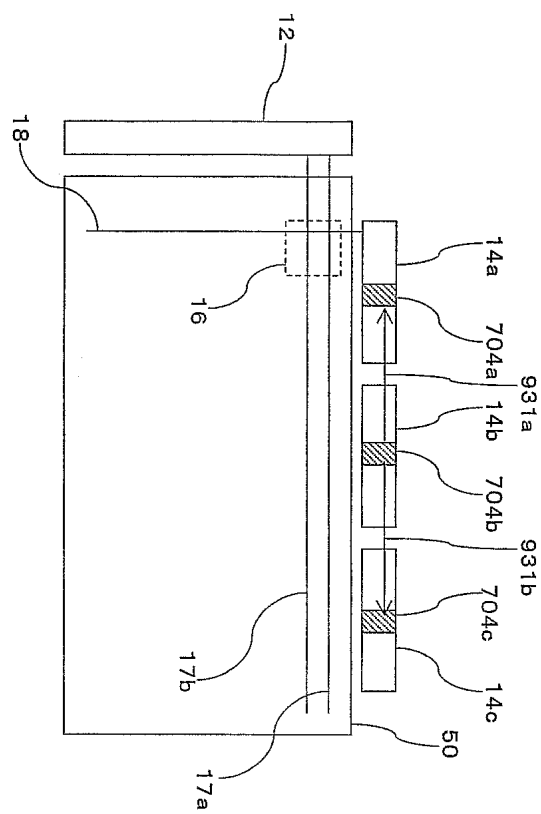
도면91



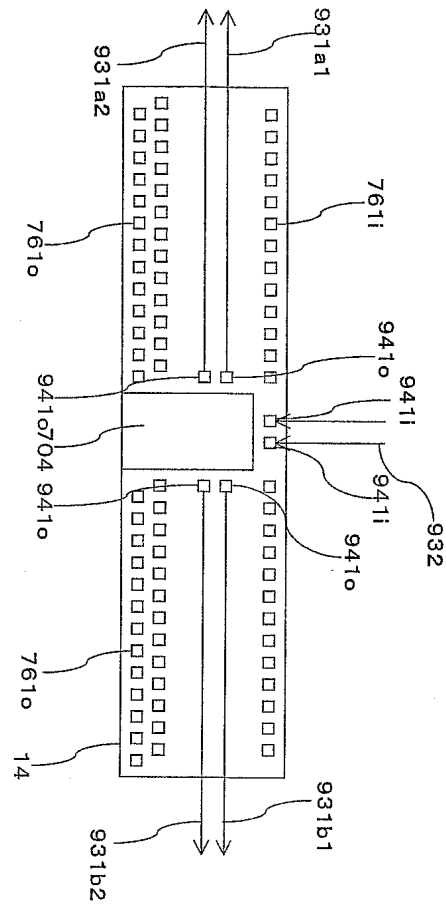
도면92



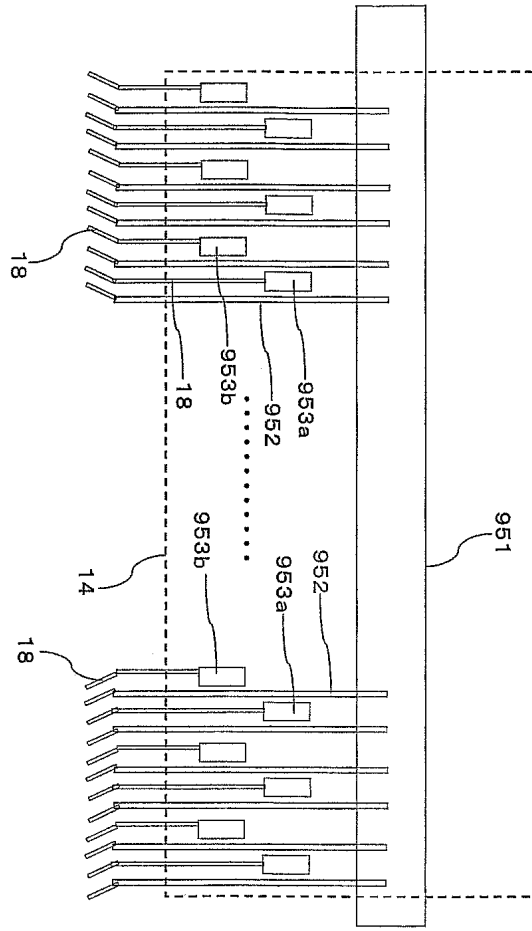
도면93



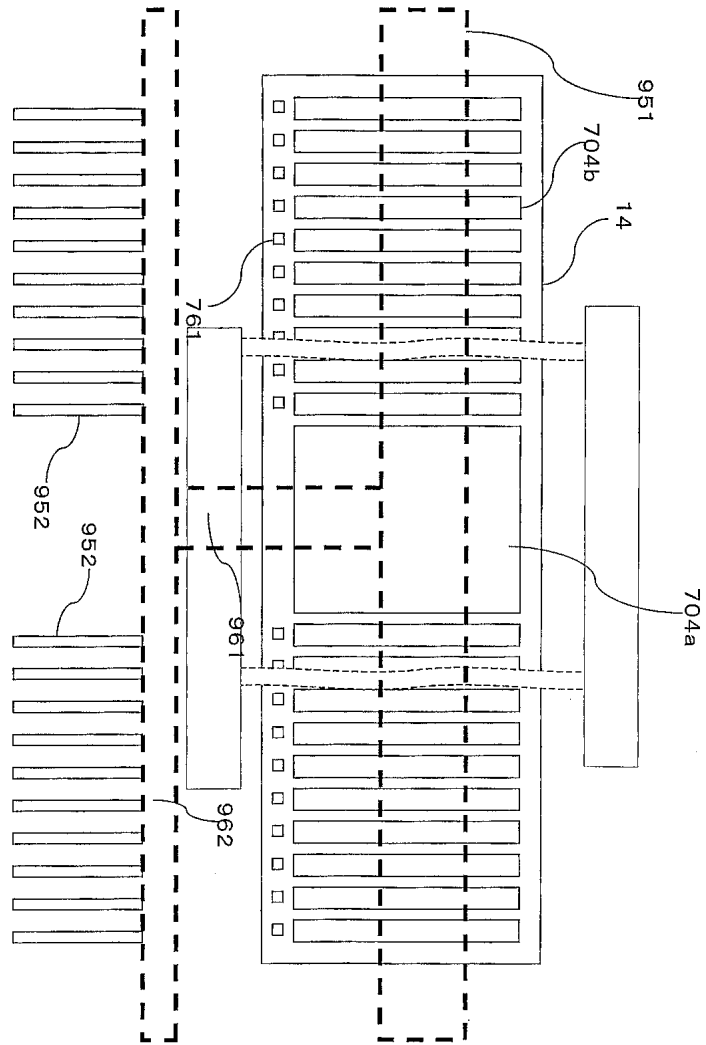
도면94



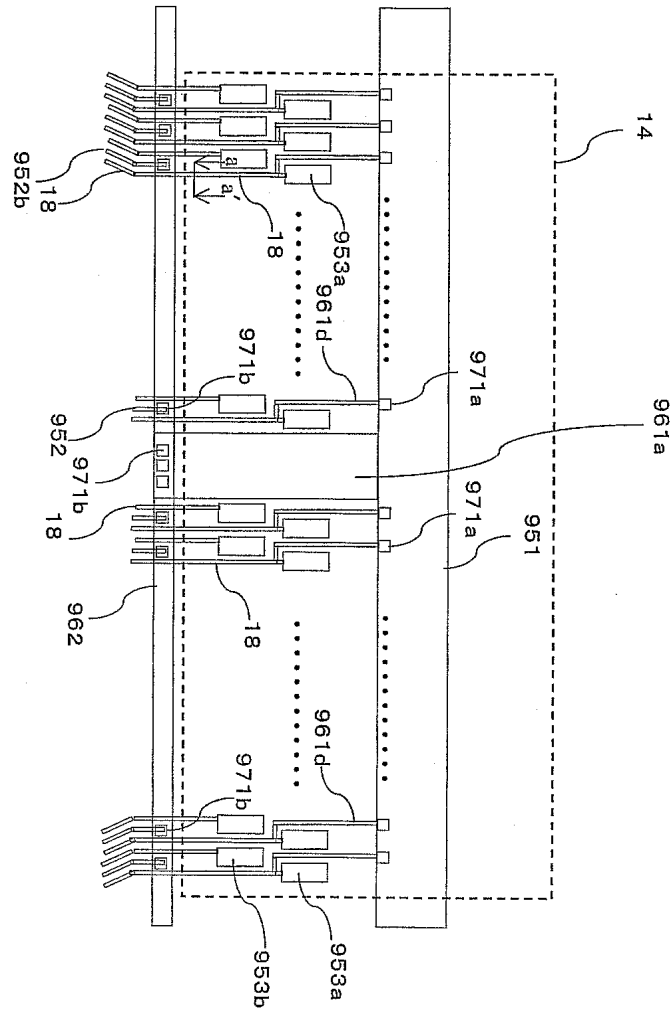
도면95



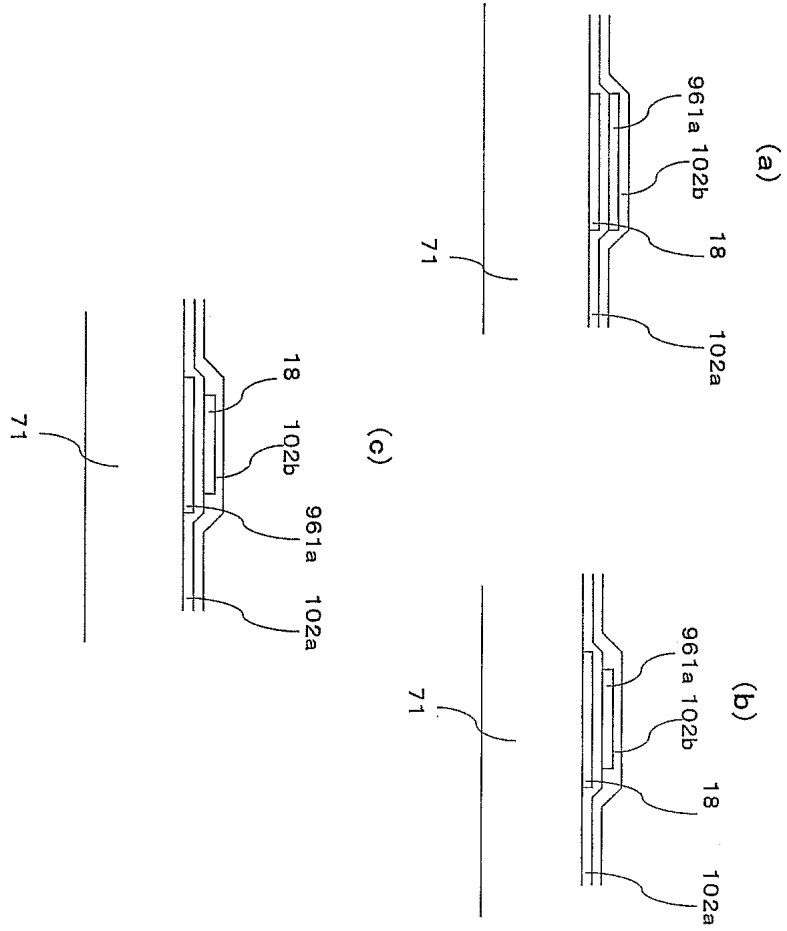
도면96



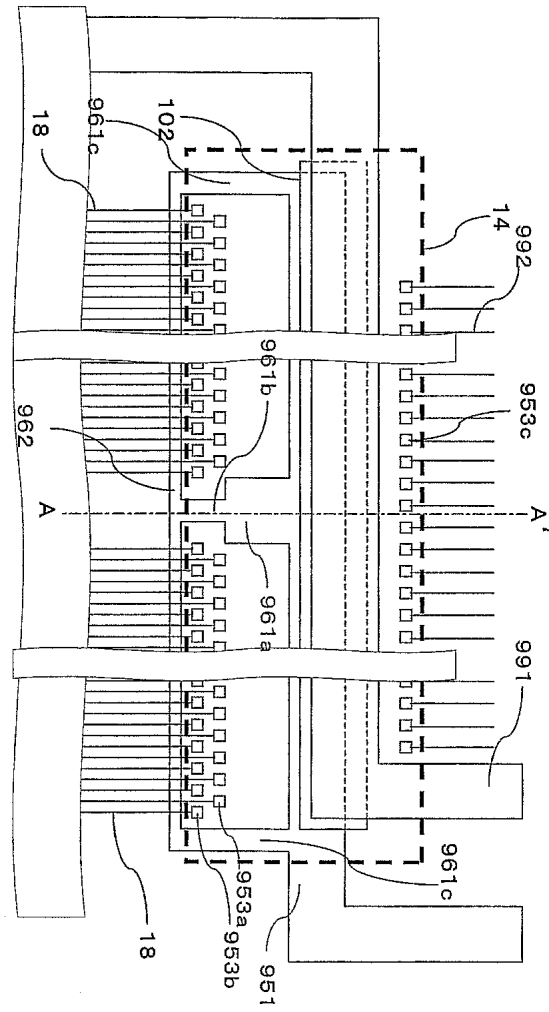
도면97



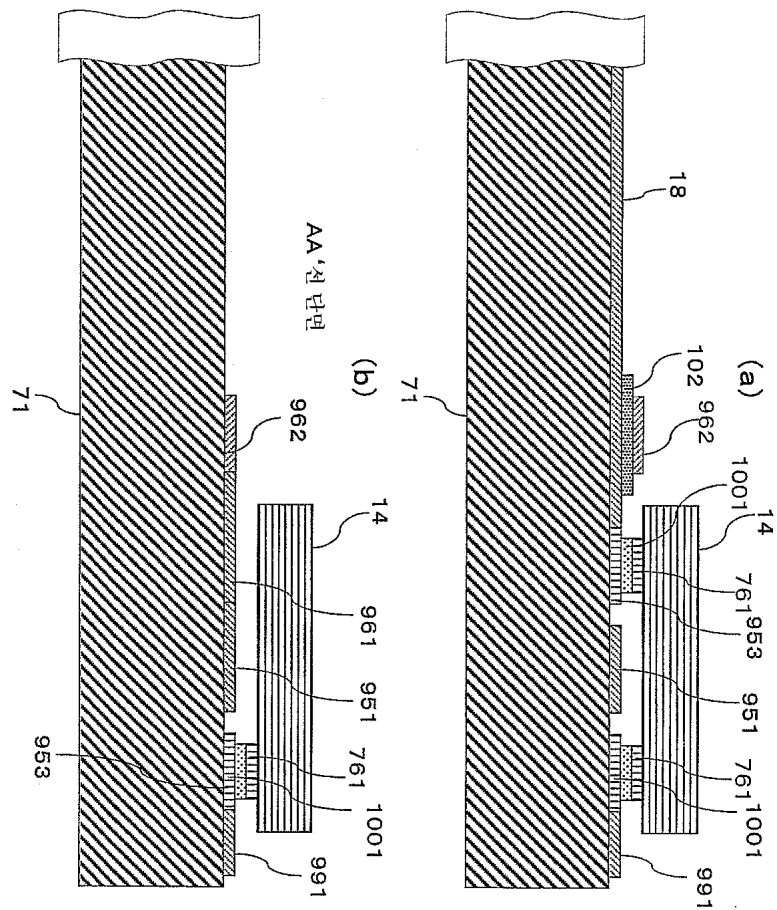
도면98



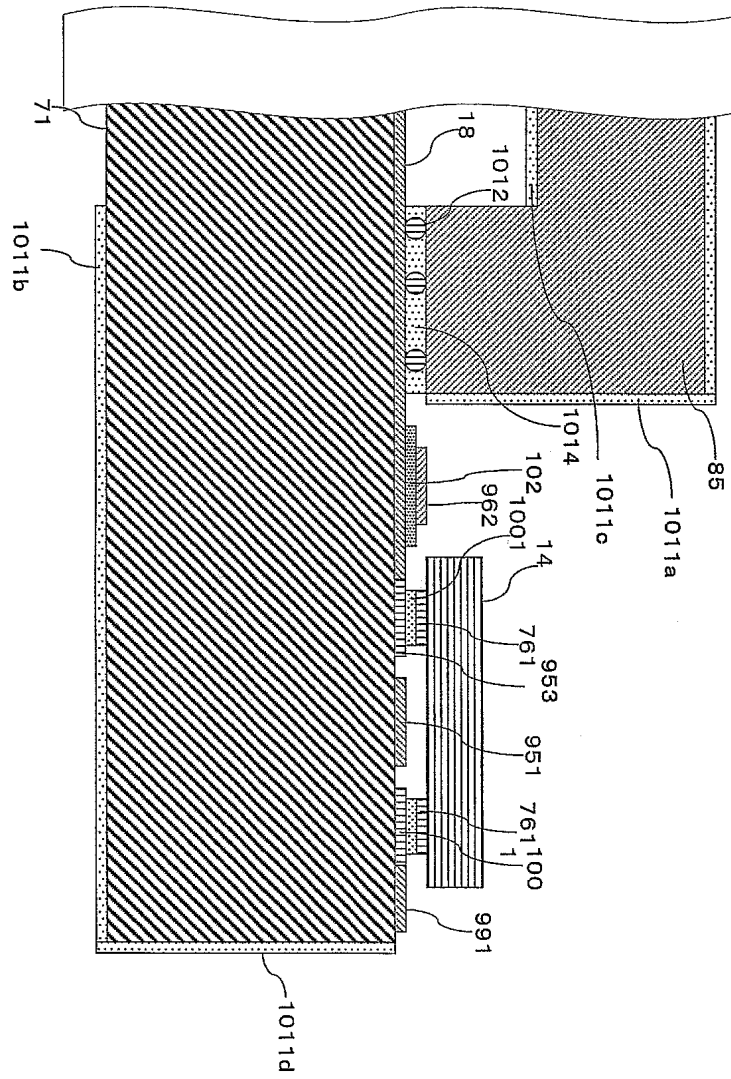
도면99



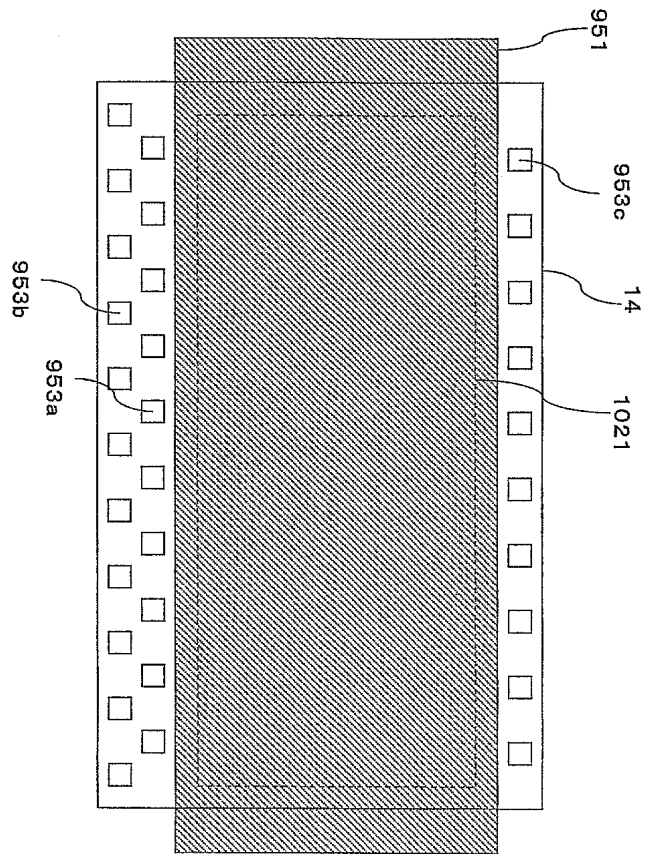
도면100



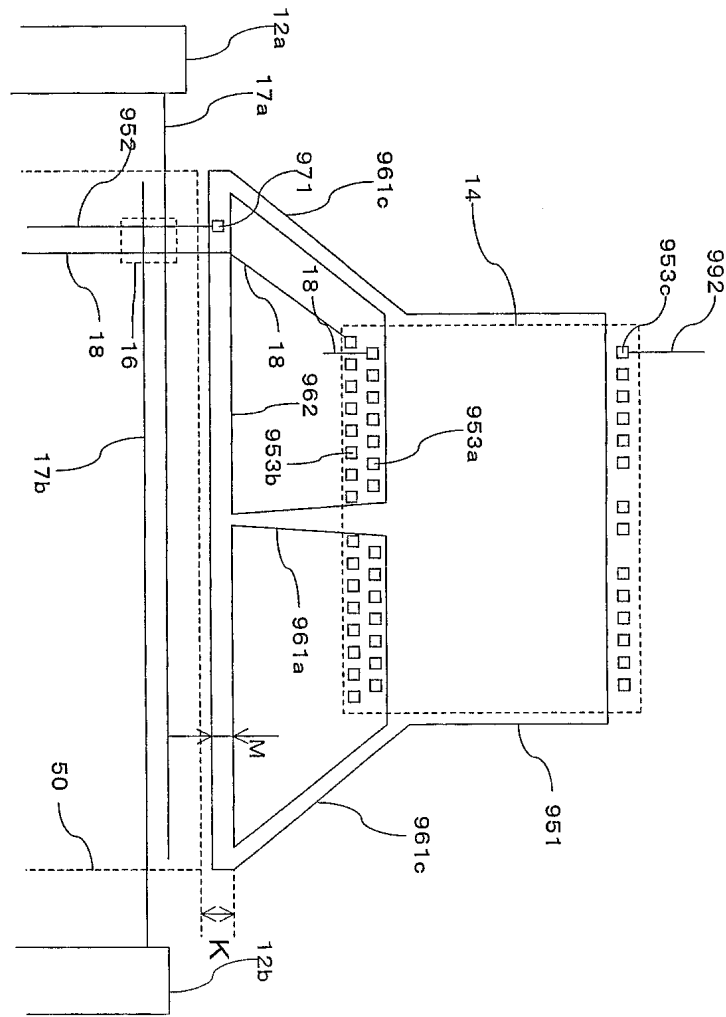
도면101



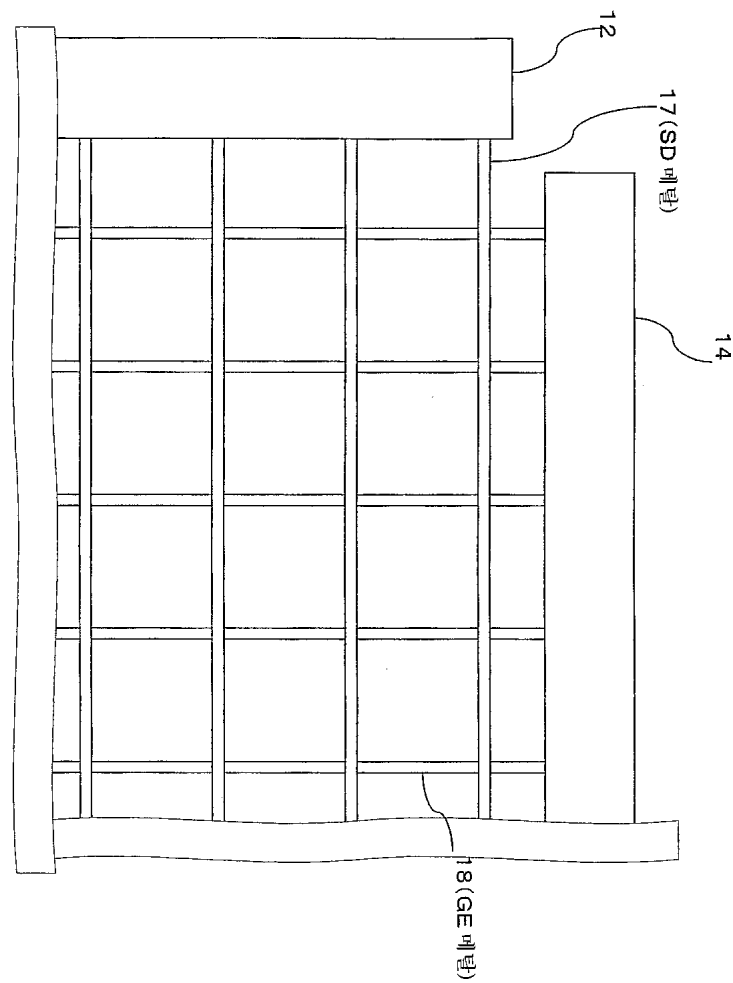
도면102



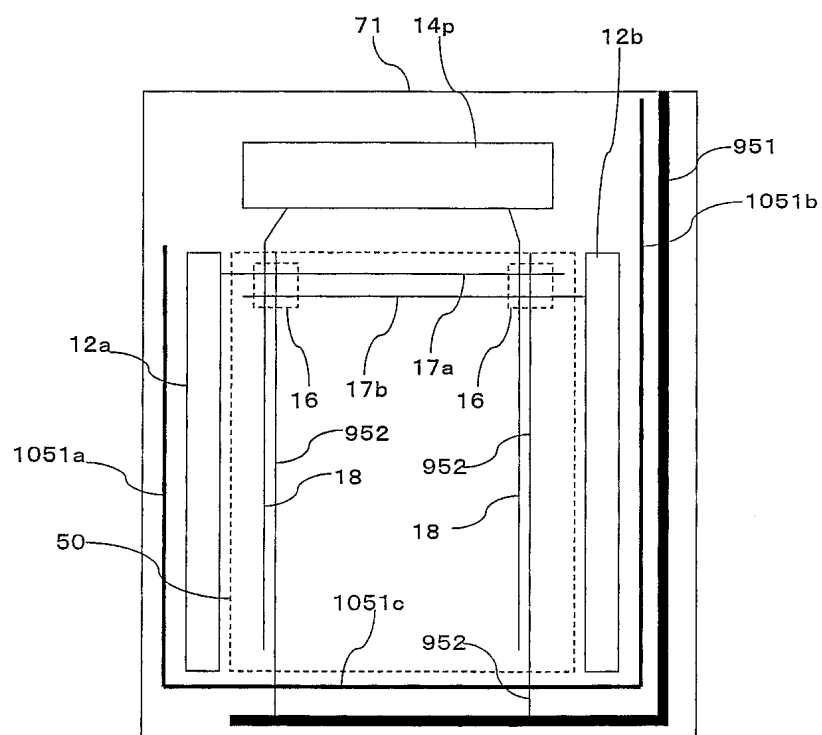
도면103



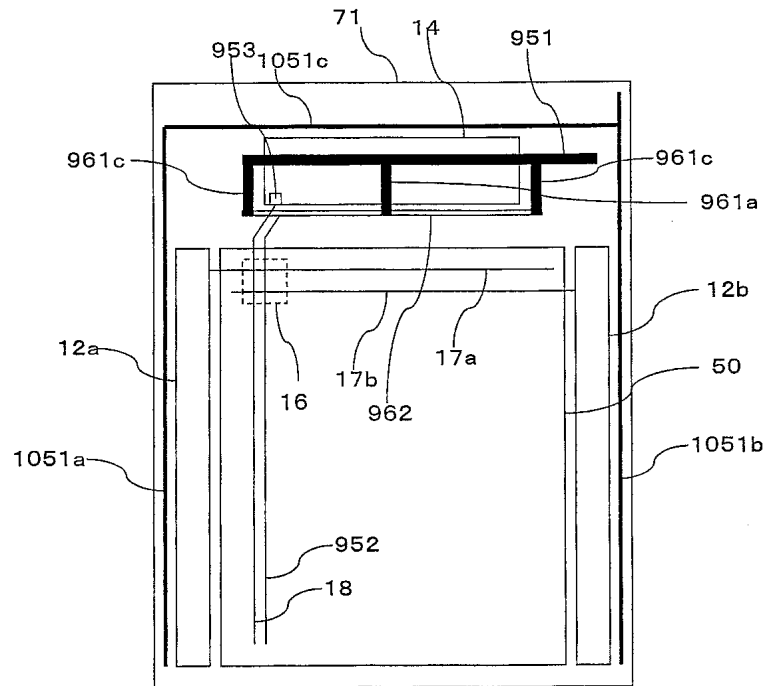
도면104



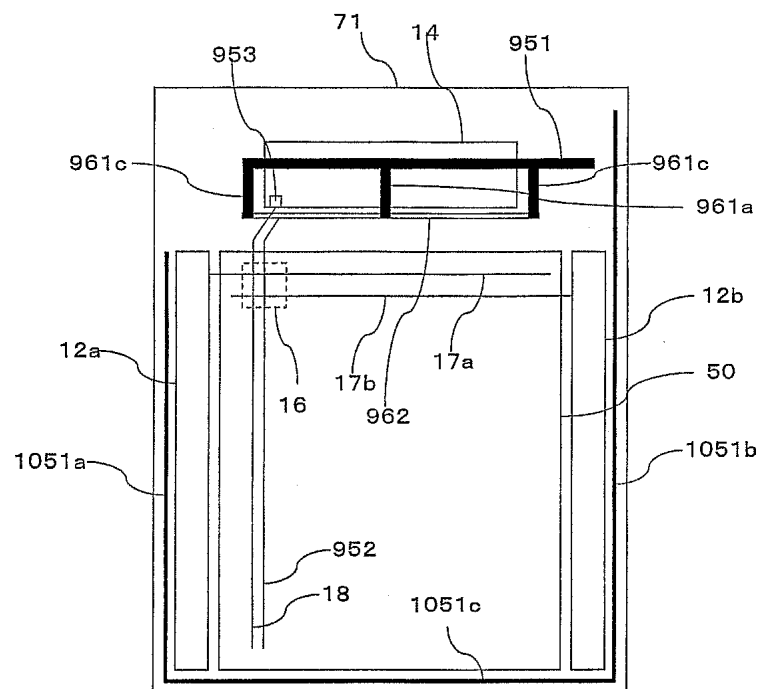
도면105



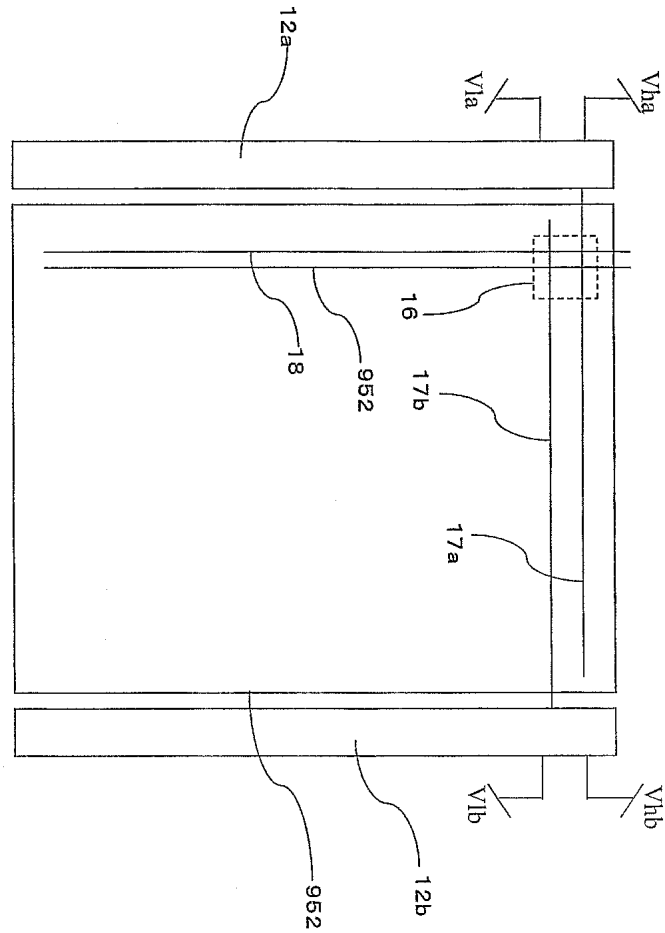
도면106



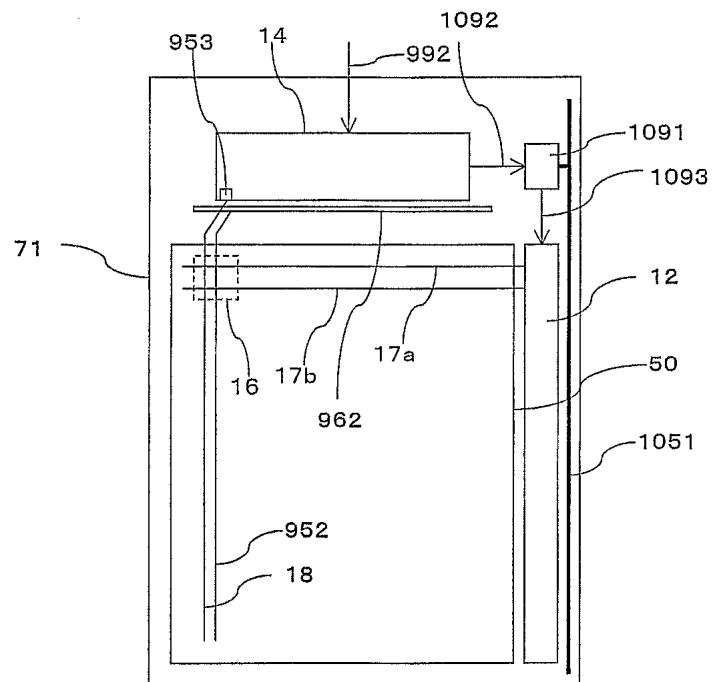
도면107



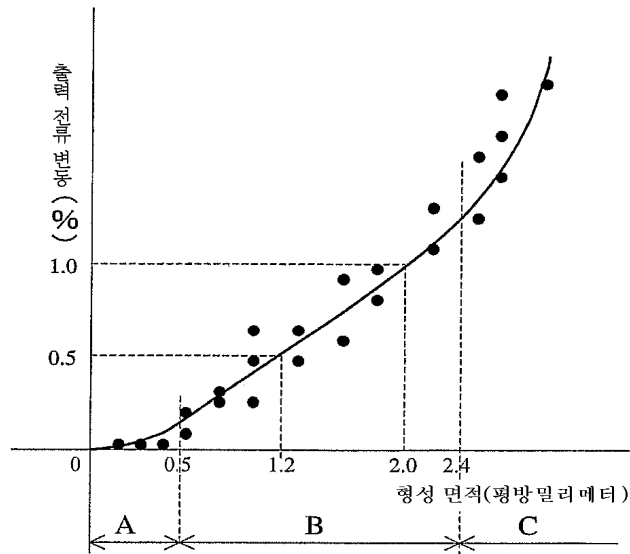
도면108



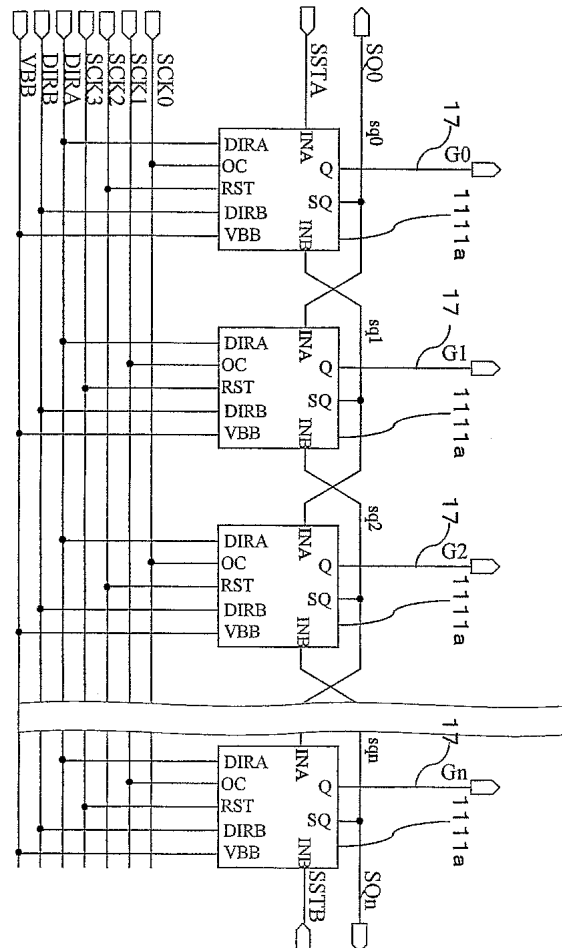
도면109



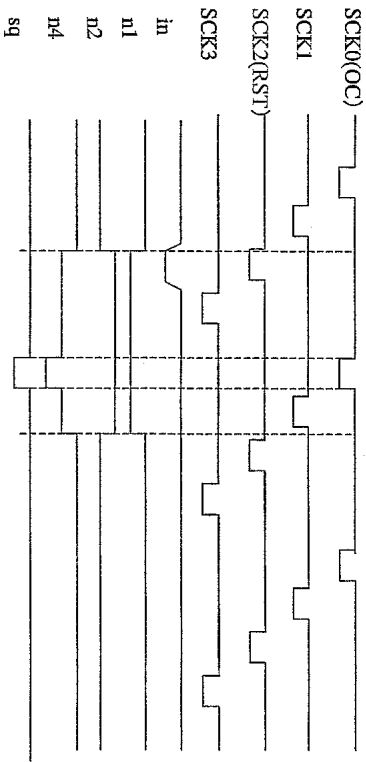
도면110



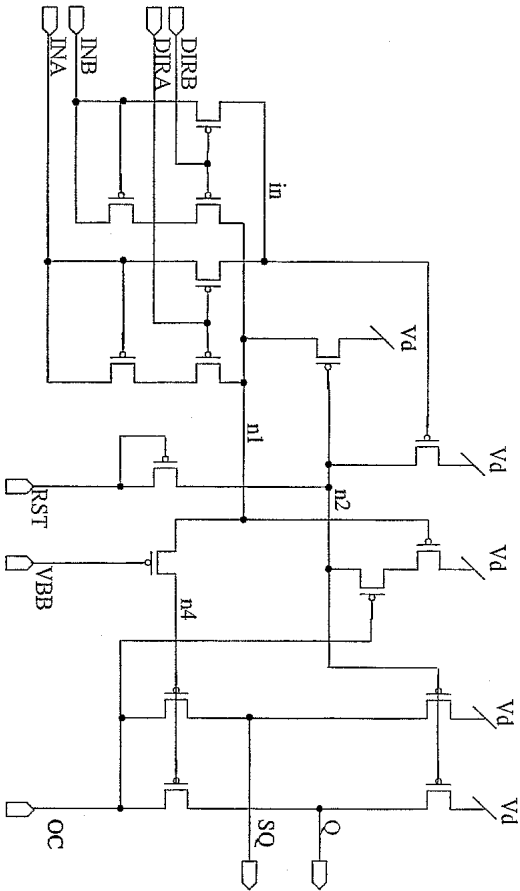
도면111



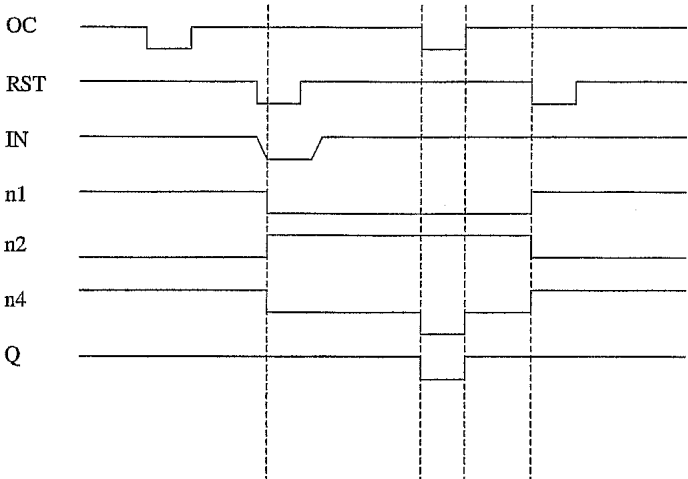
도면112



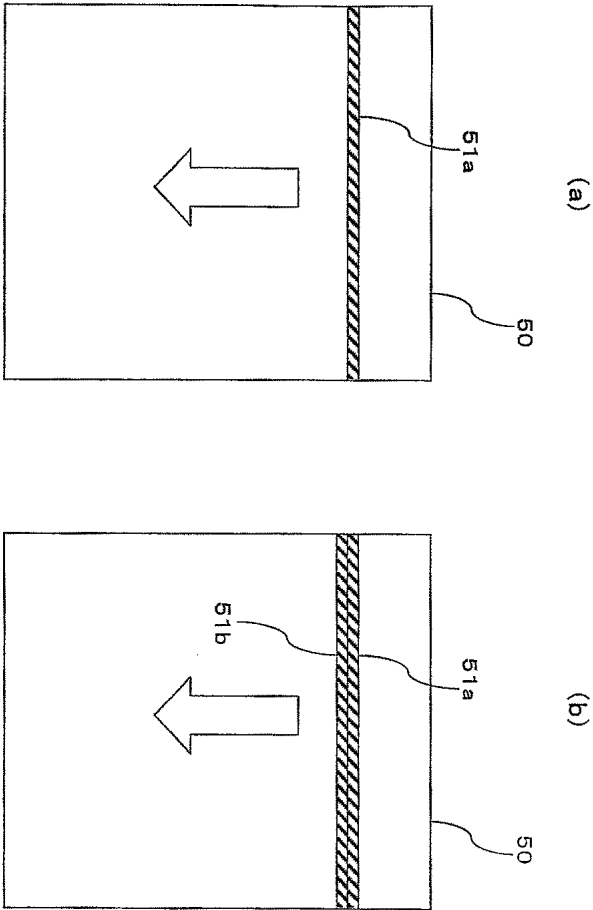
도면113



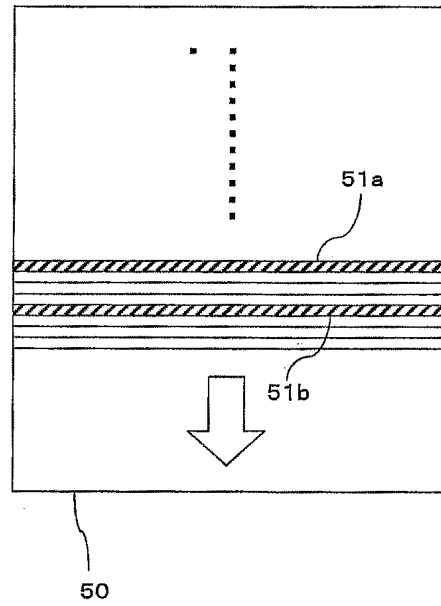
도면114



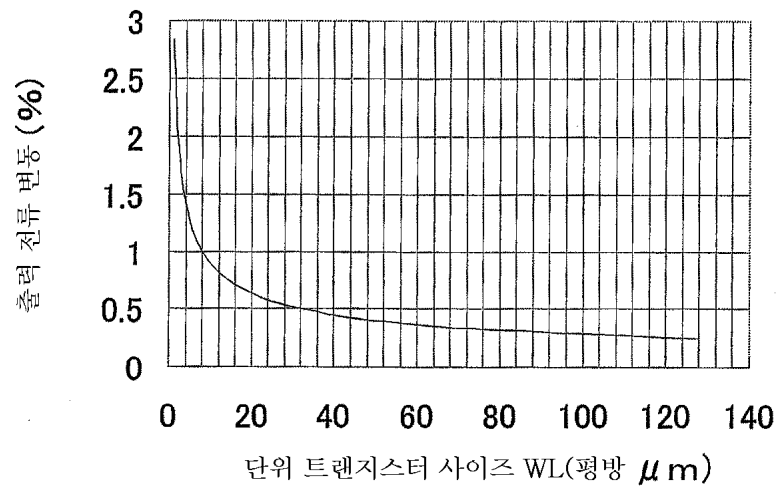
도면115

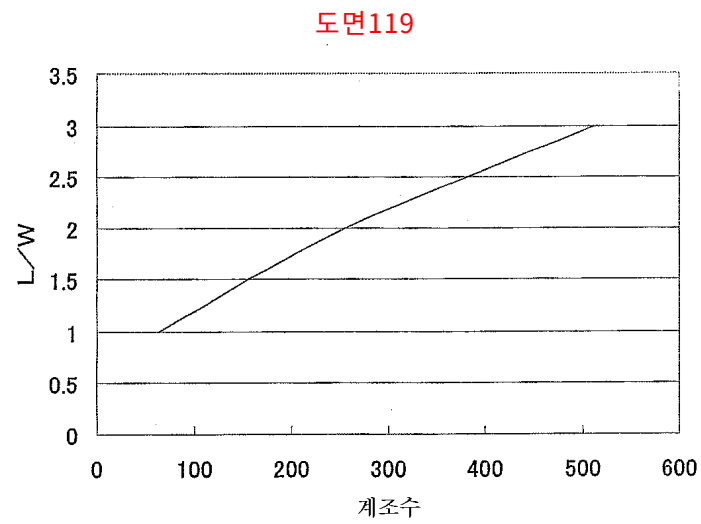
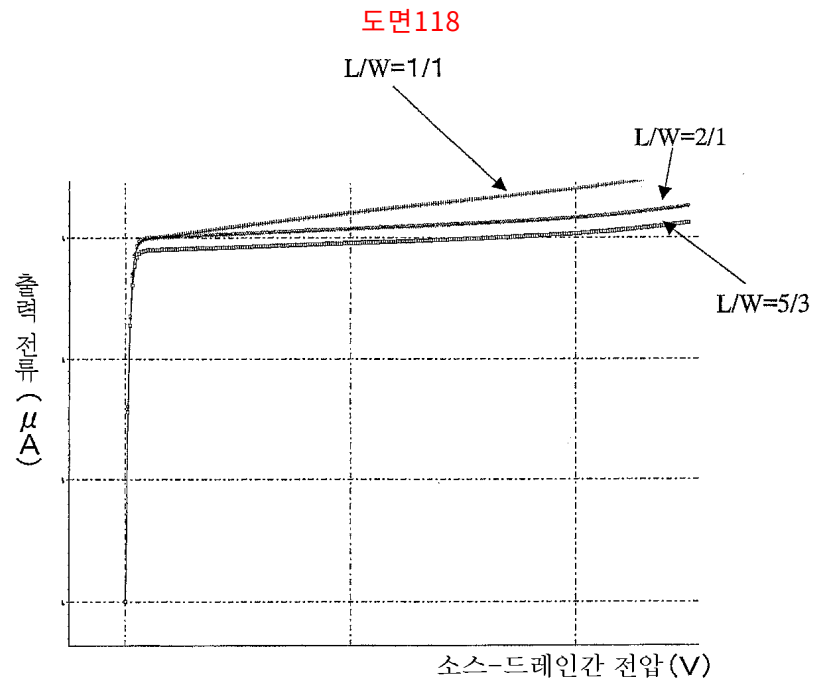


도면116

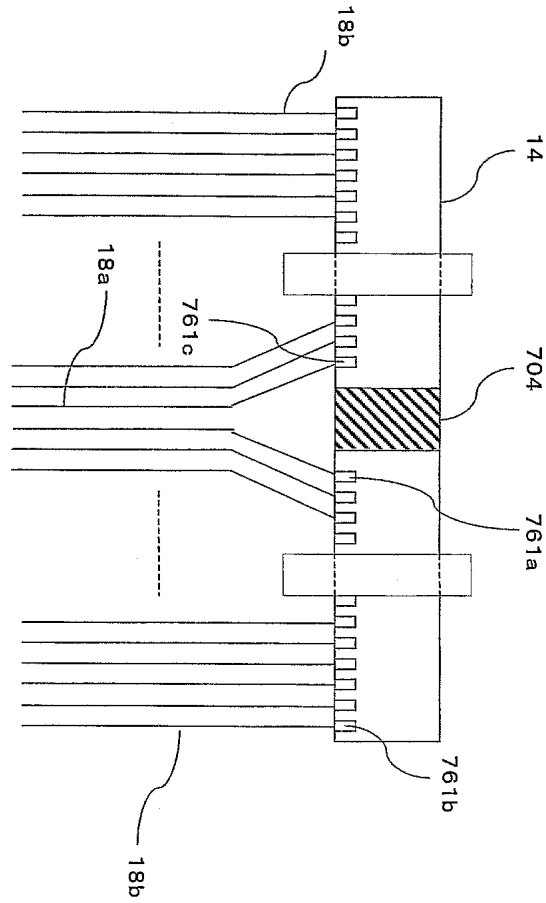


도면117

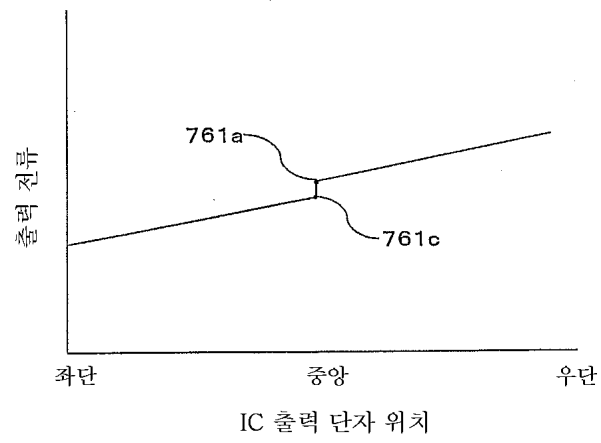




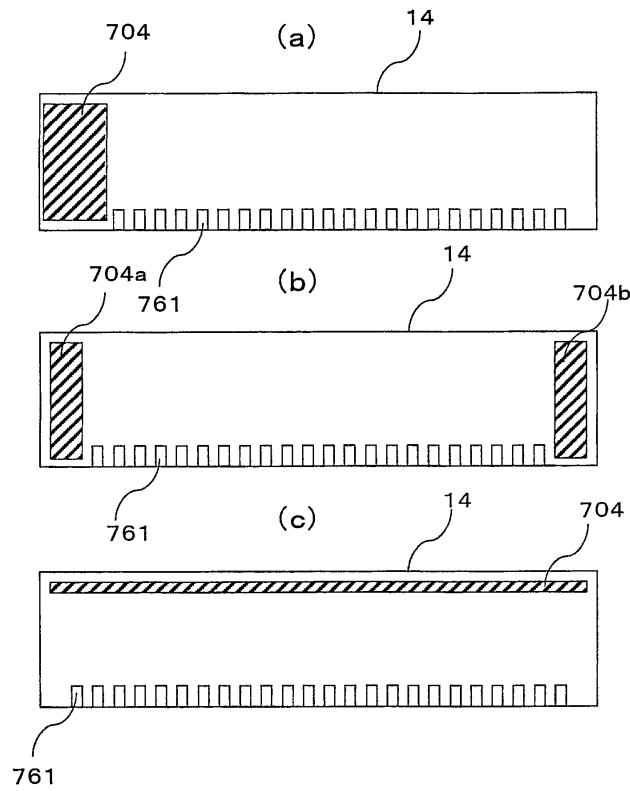
도면120



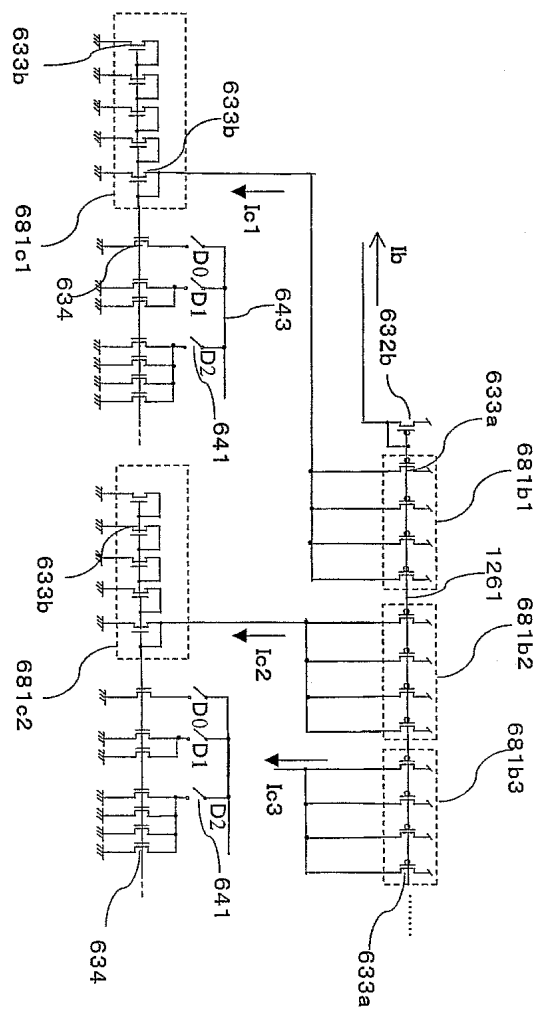
도면121



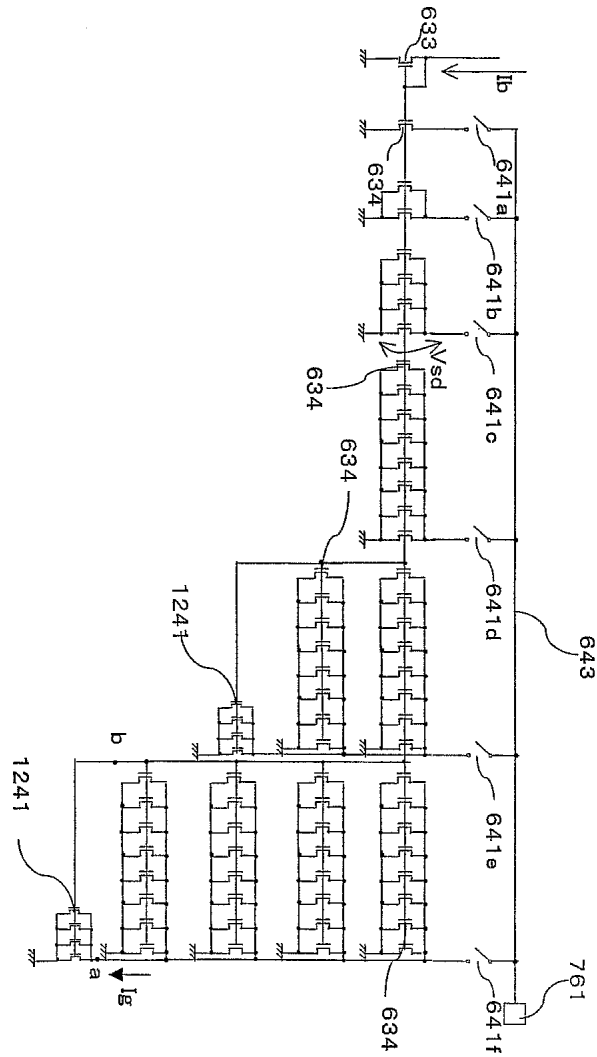
도면122



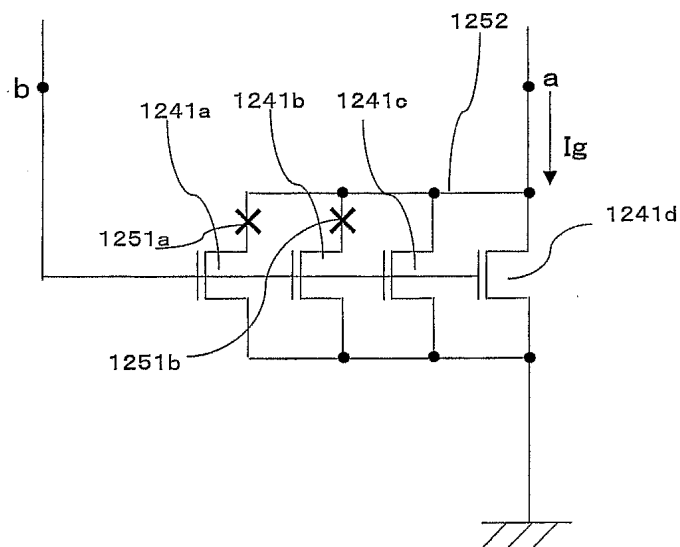
도면123



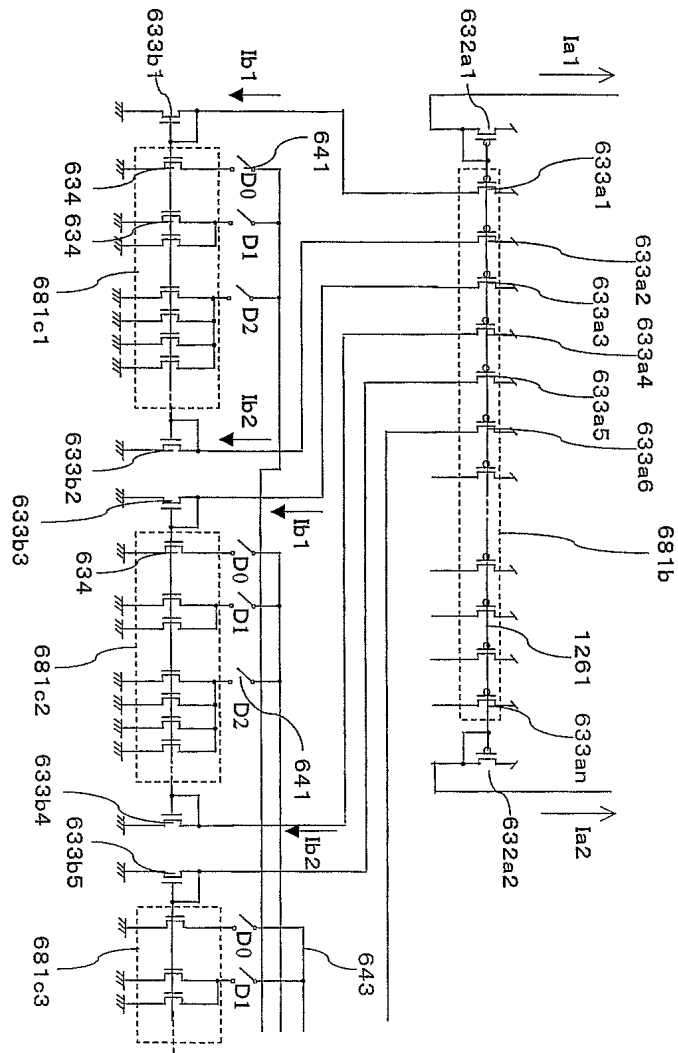
도면124



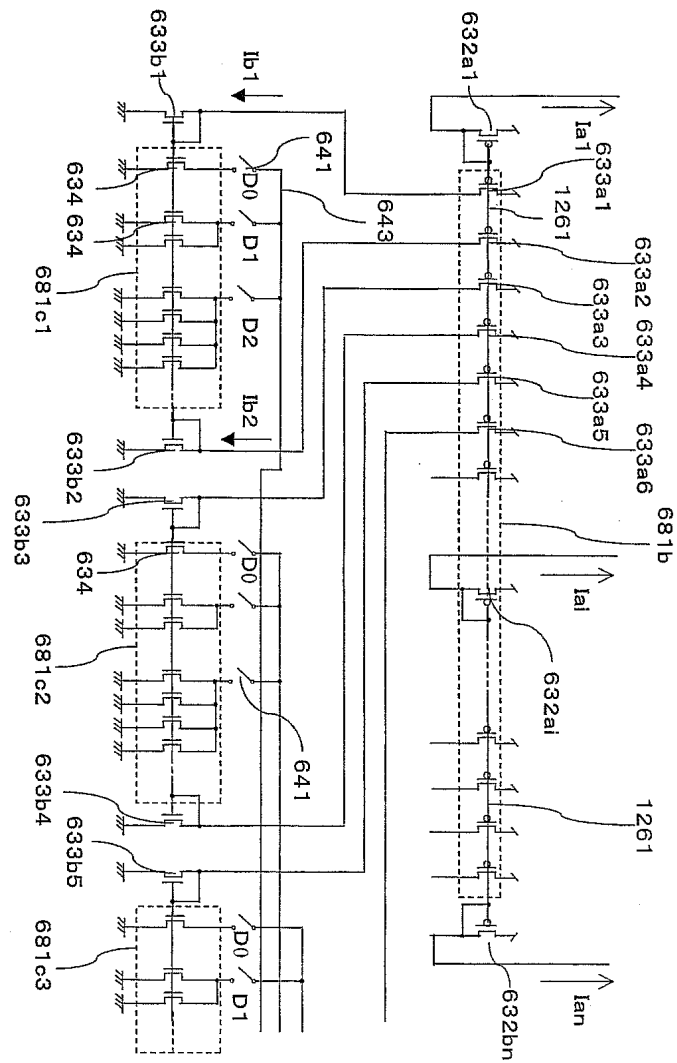
도면125



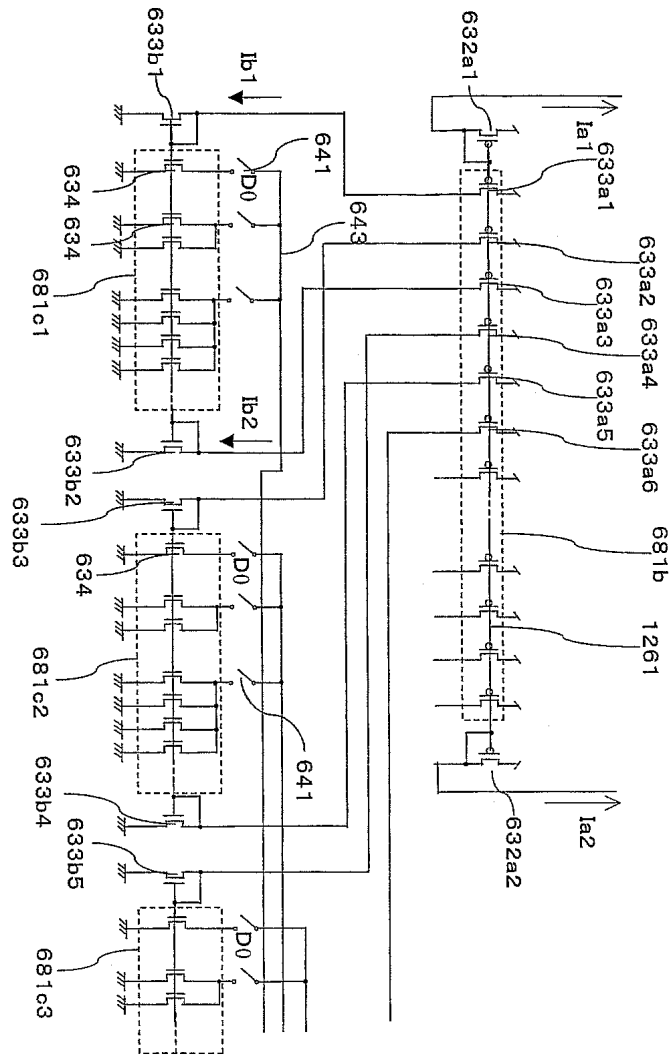
도면126



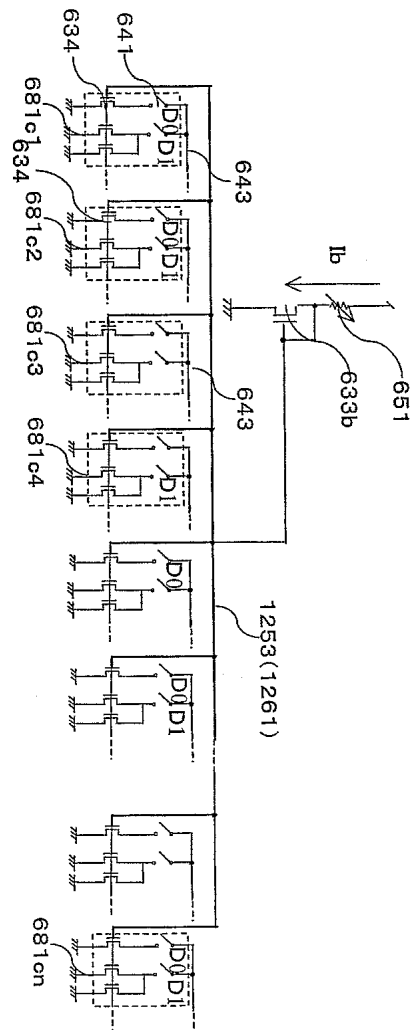
도면127



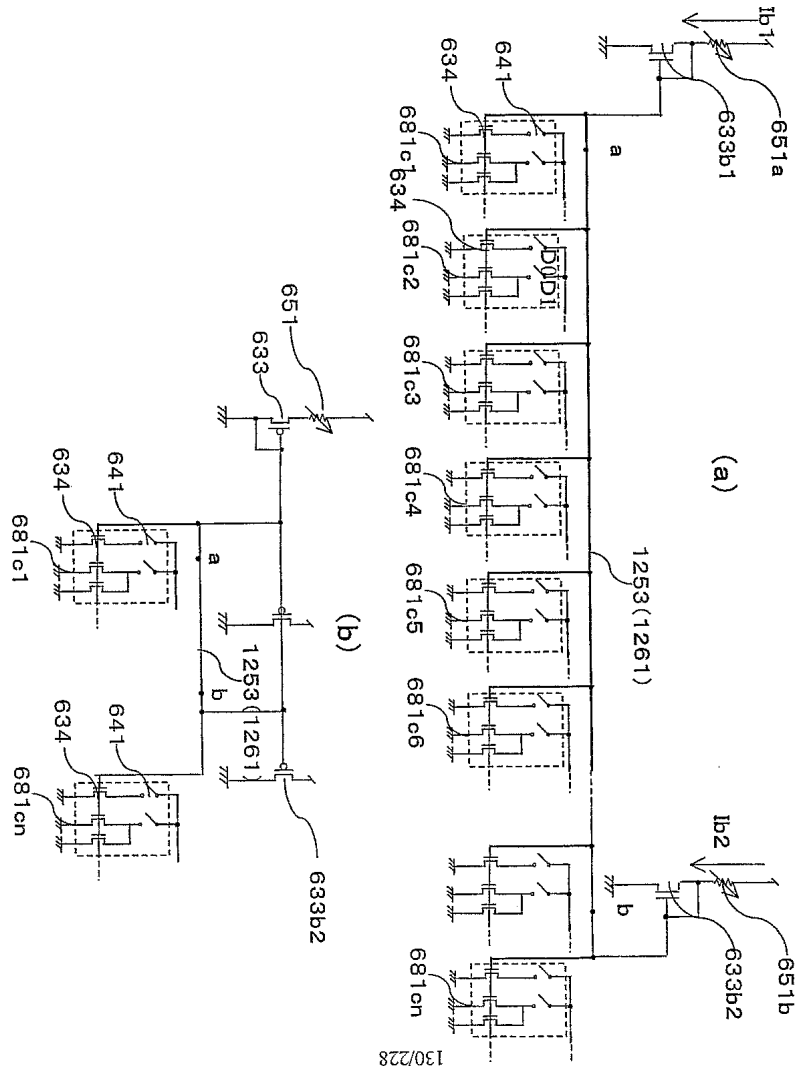
도면128



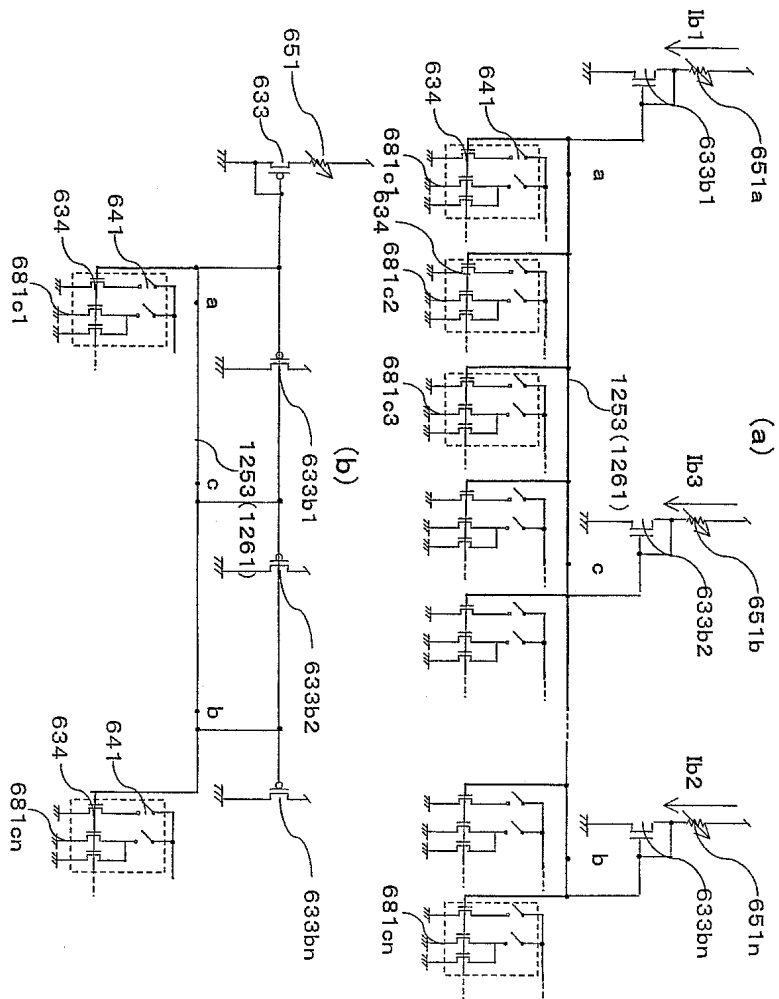
도면129



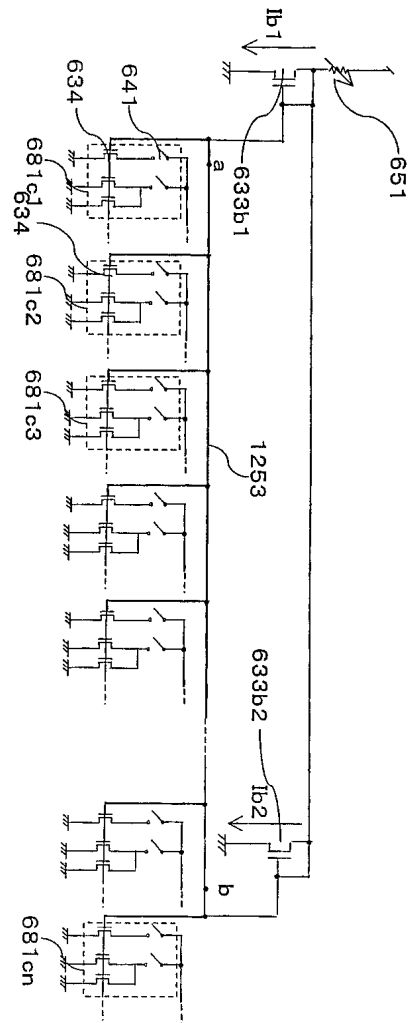
도면130



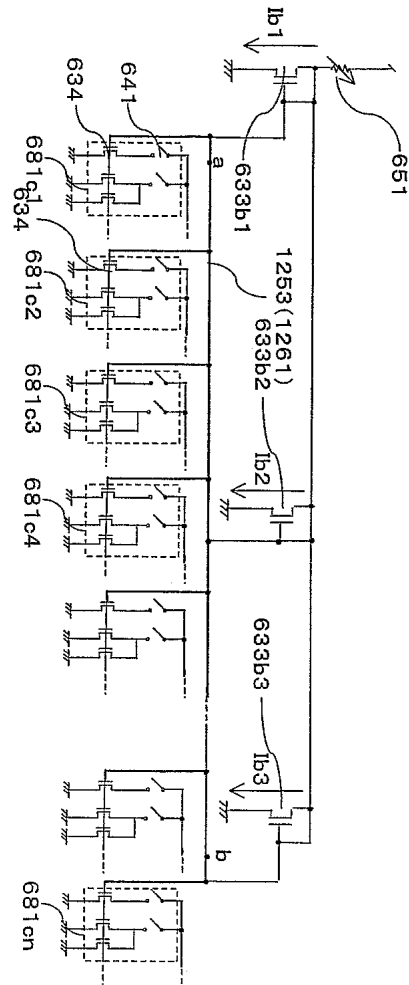
도면131



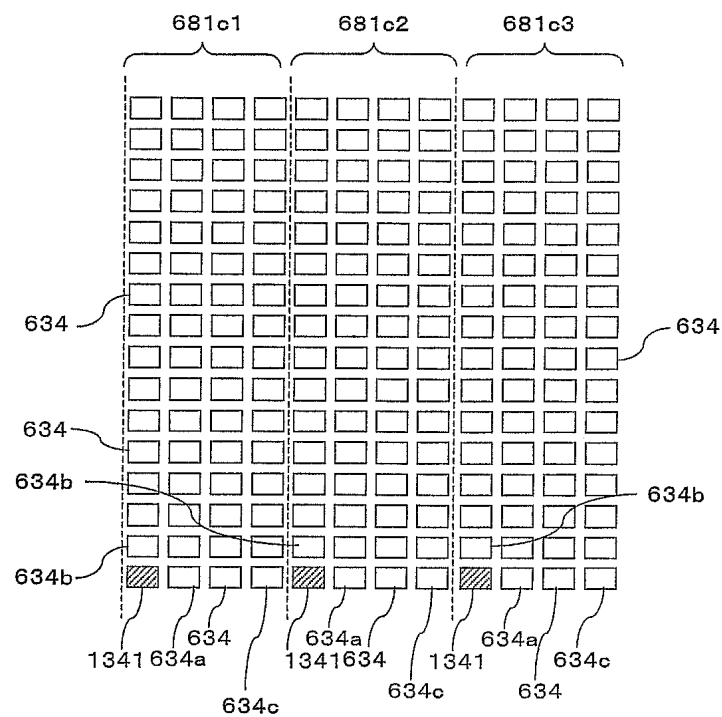
도면132



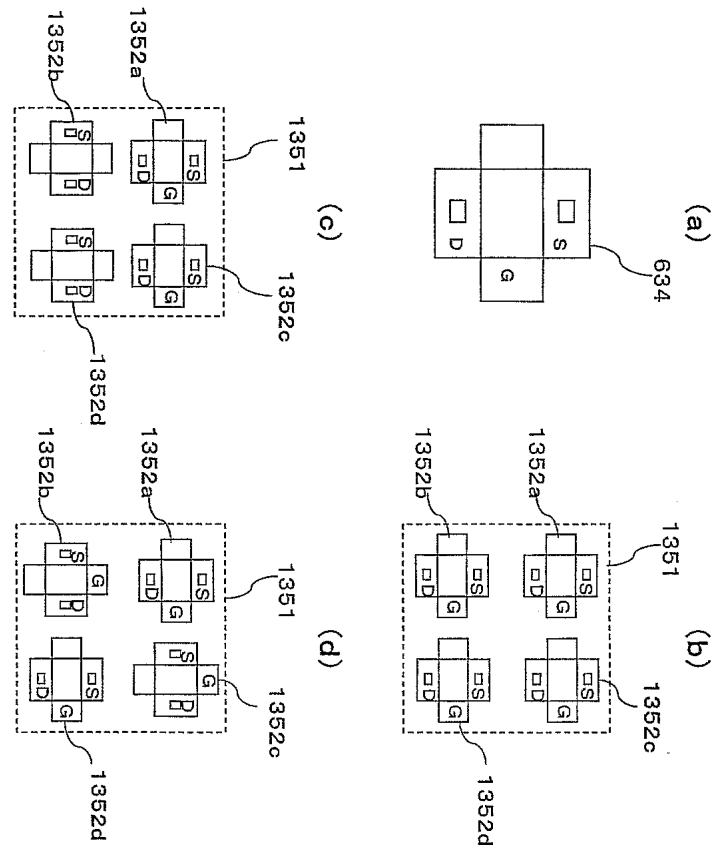
도면133



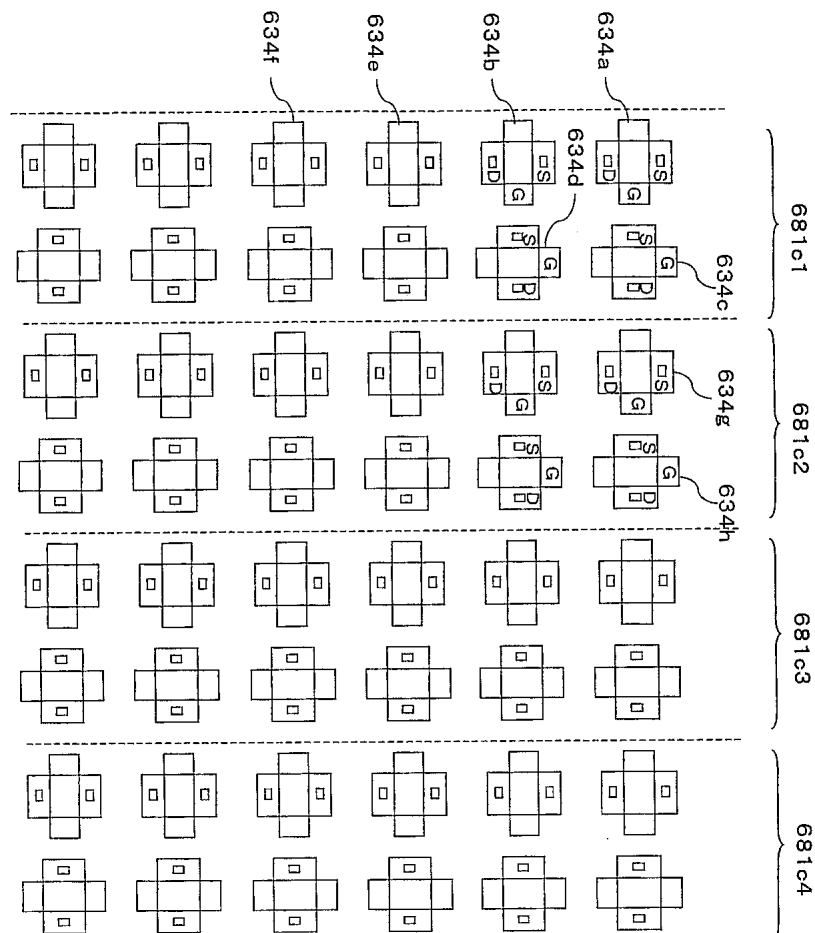
도면134



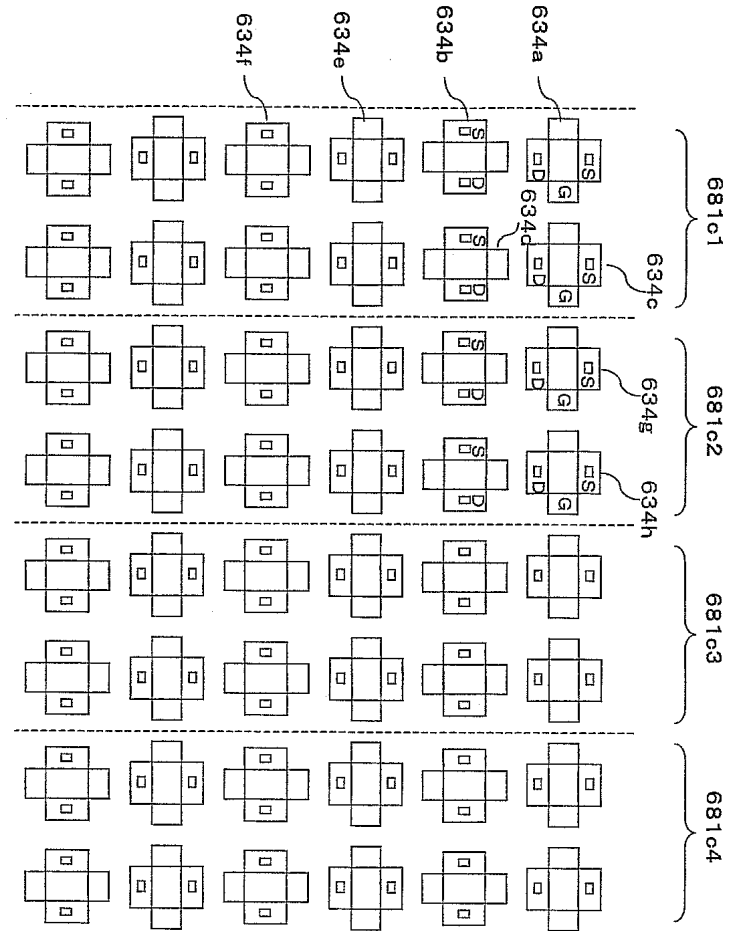
도면135



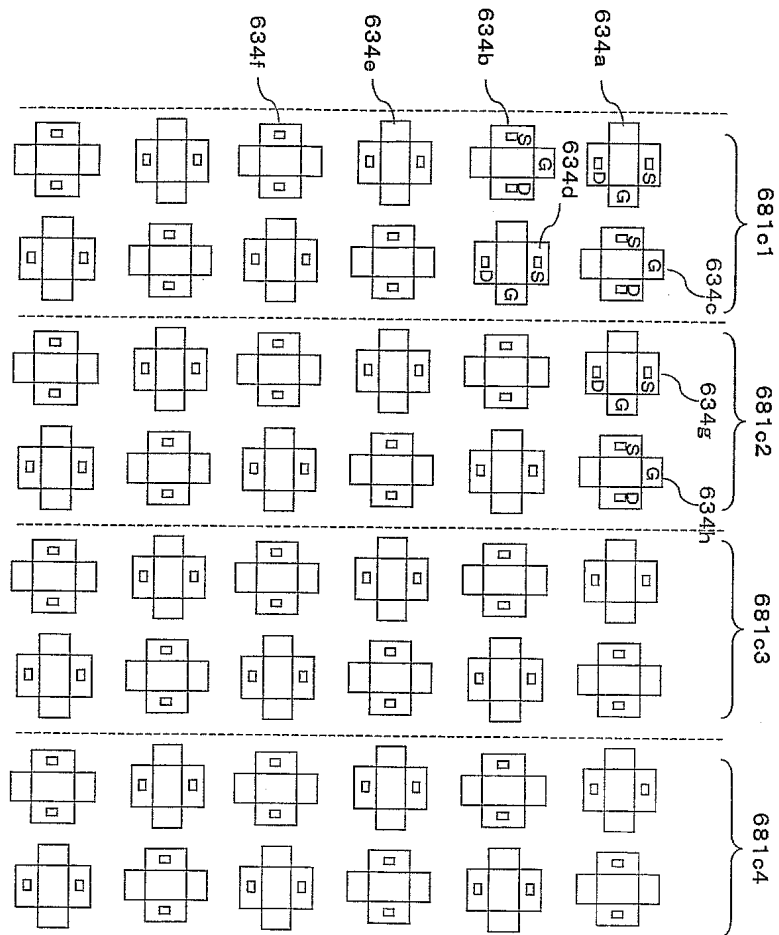
도면136



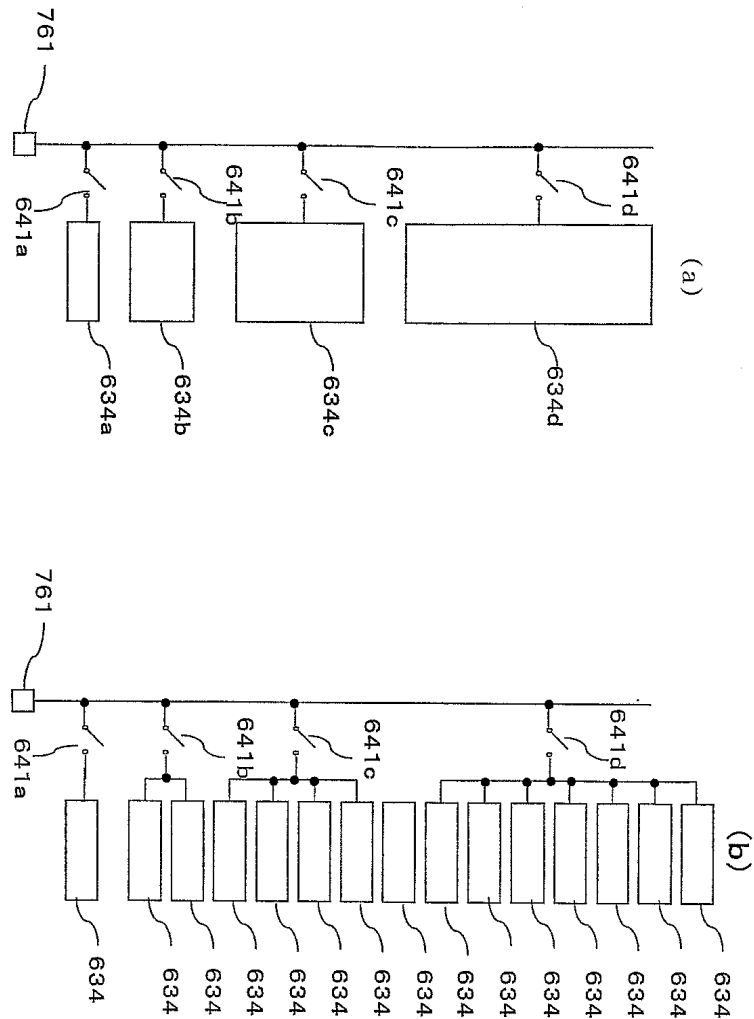
도면137



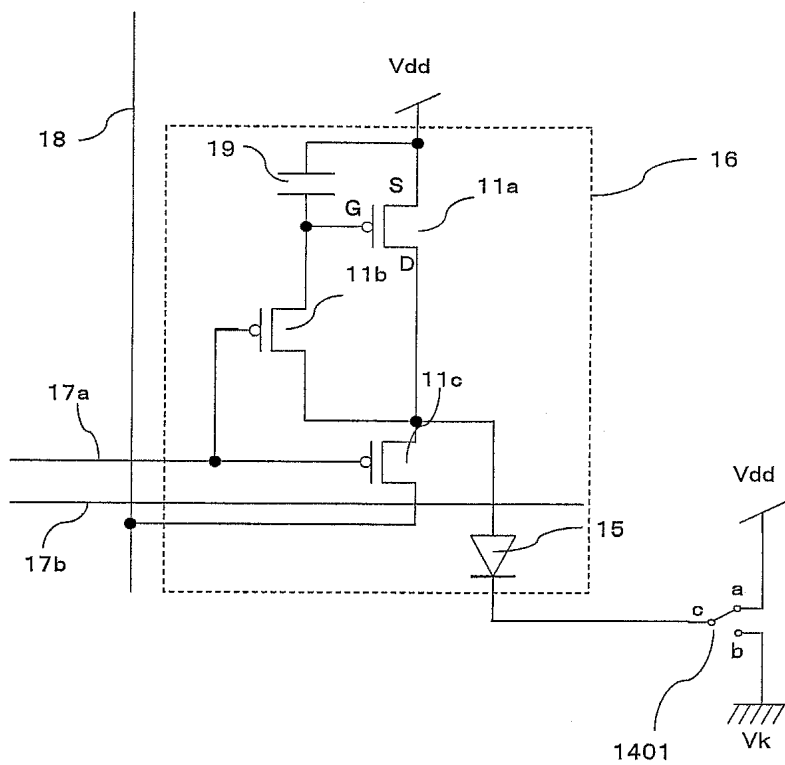
도면138



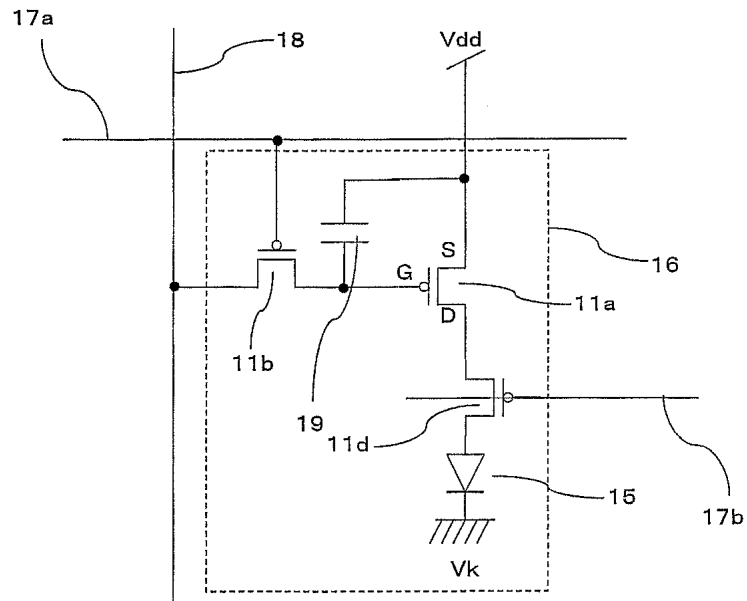
도면139



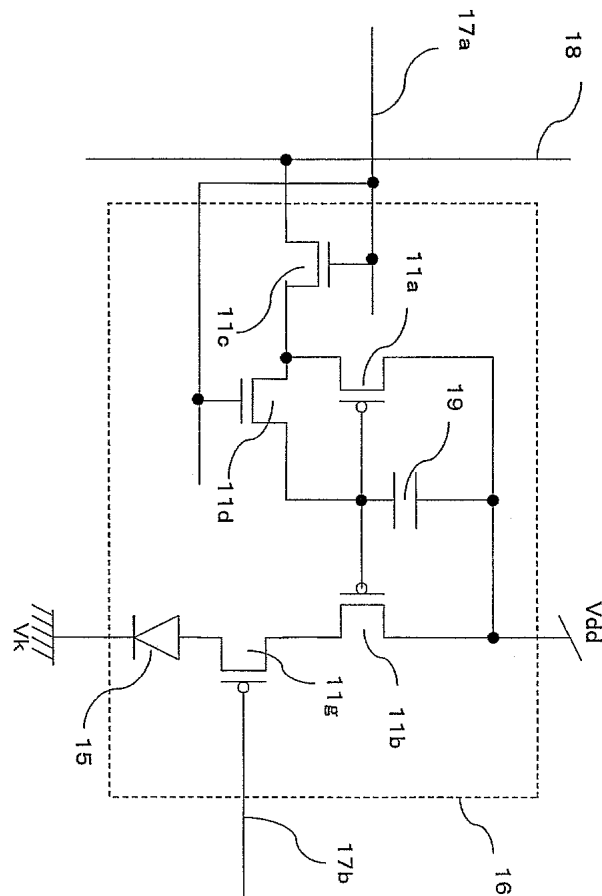
도면140



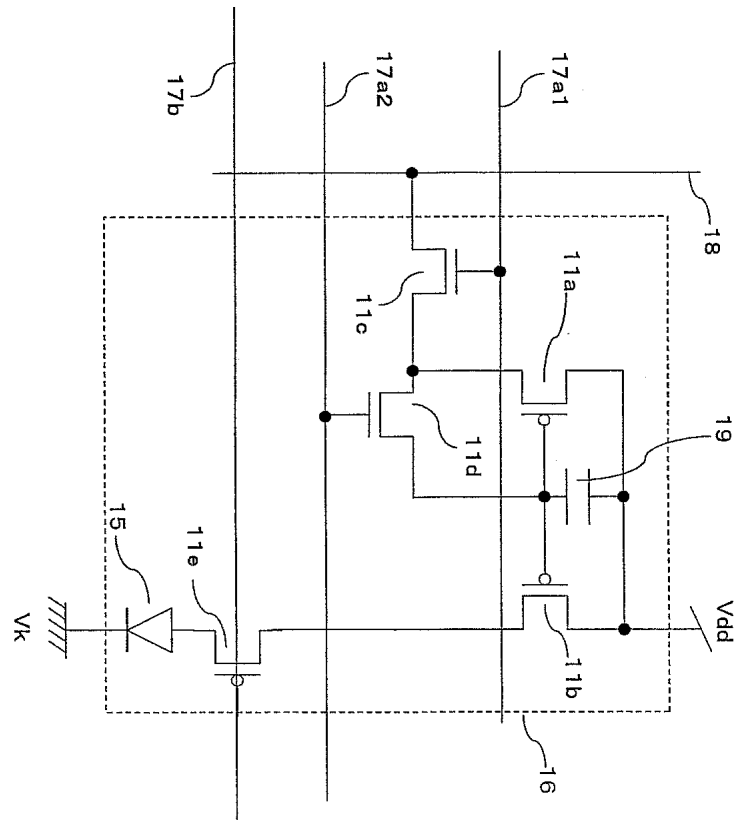
도면141



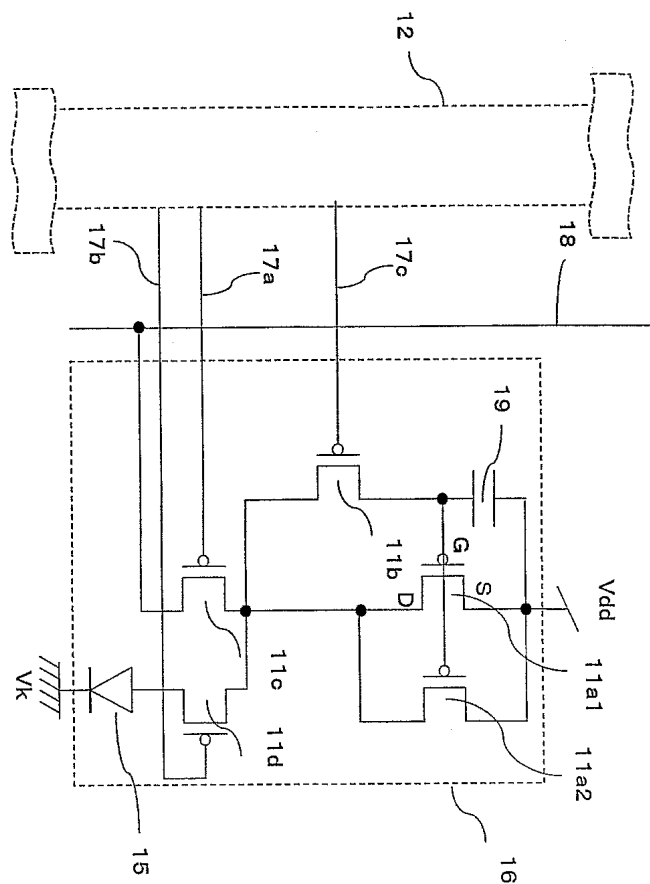
도면142



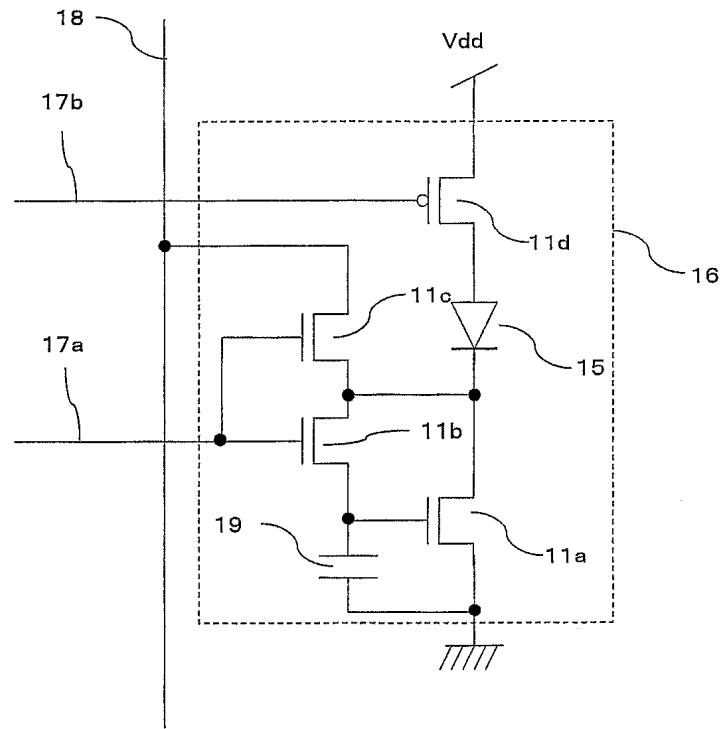
도면143



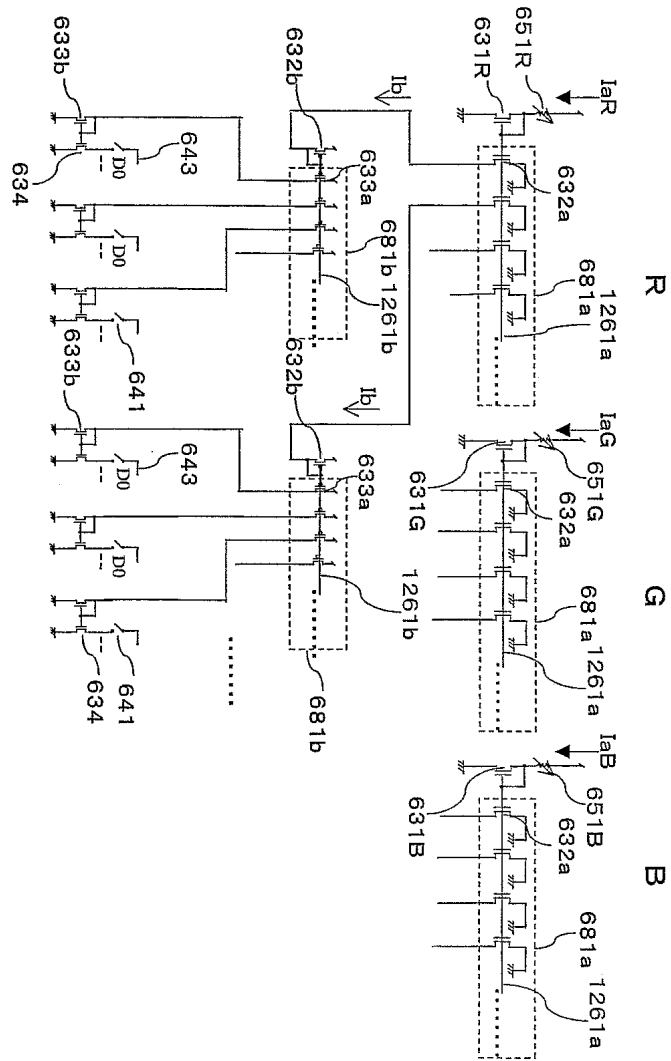
도면144



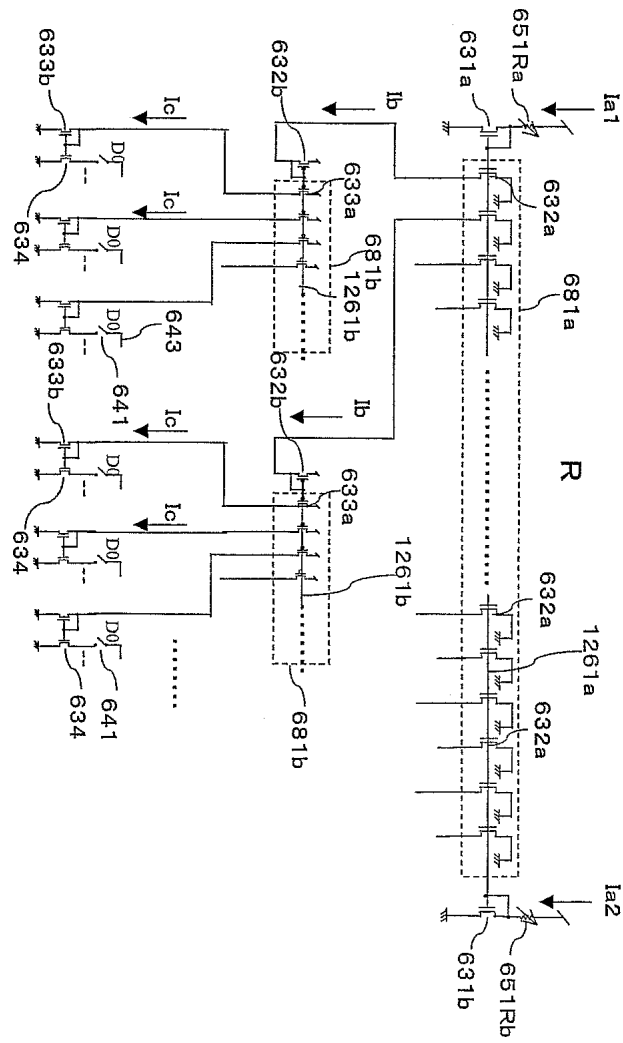
도면145



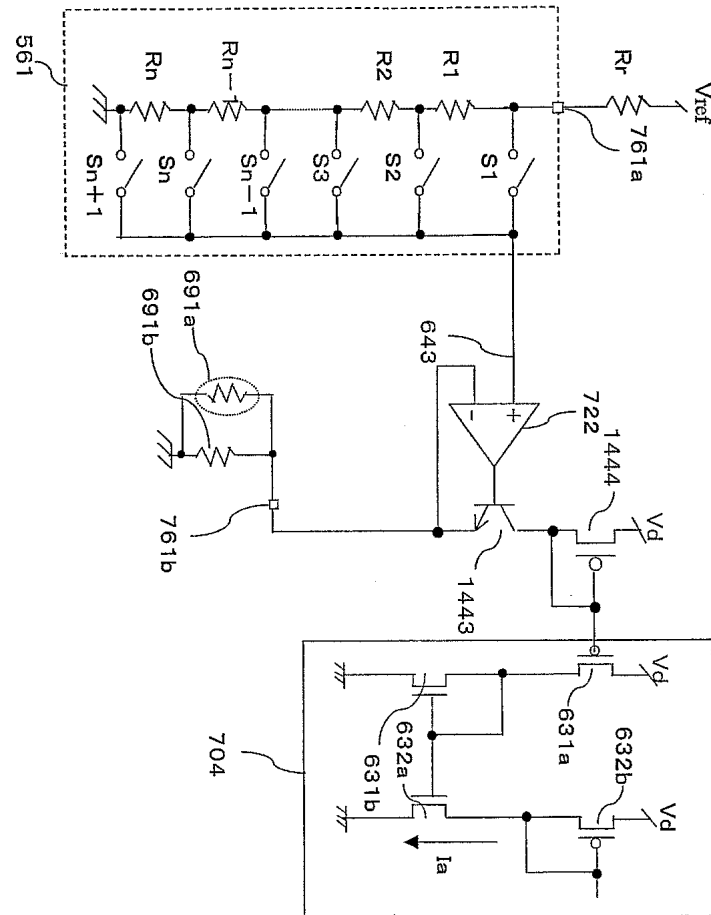
도면146



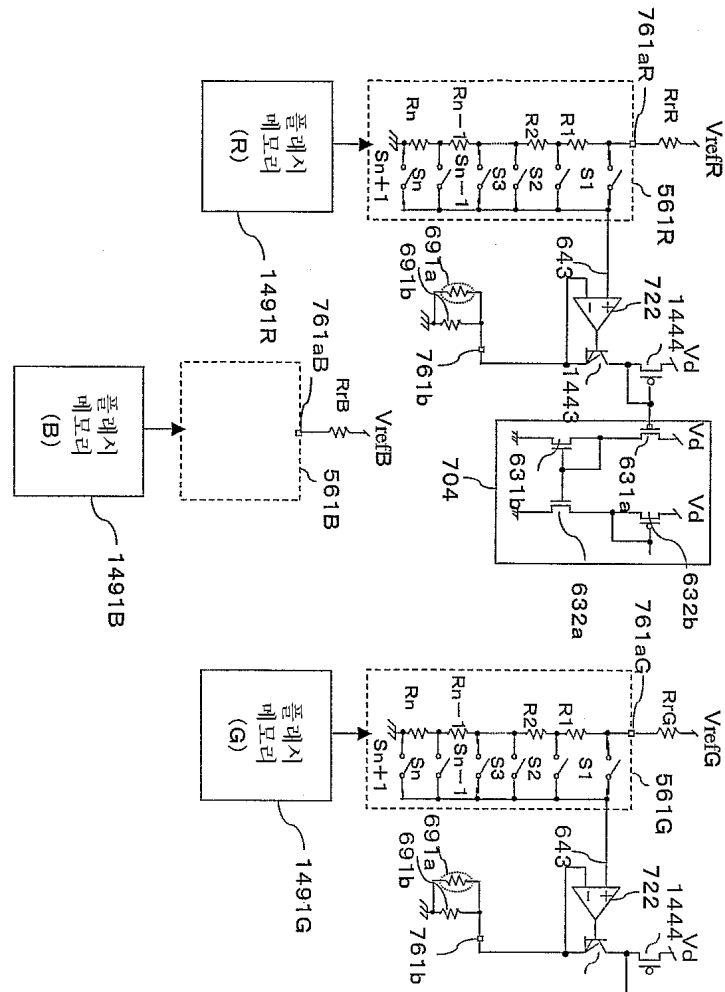
도면147



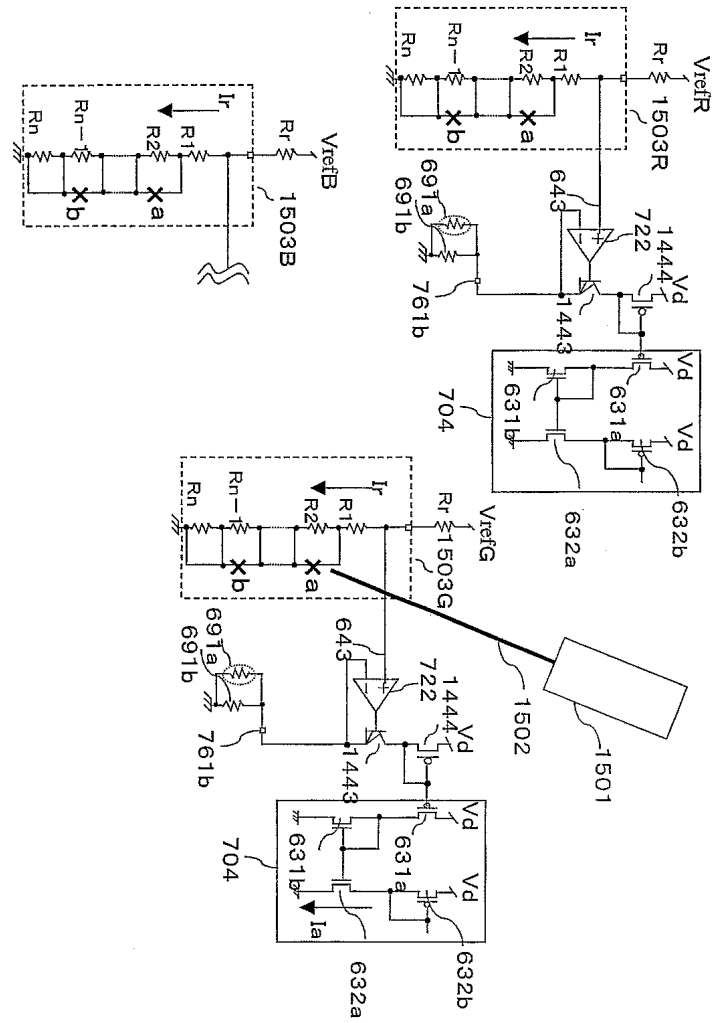
도면148



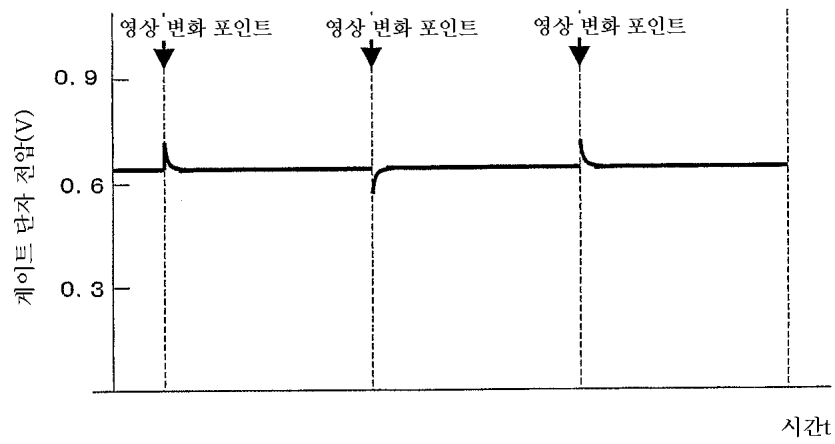
도면149



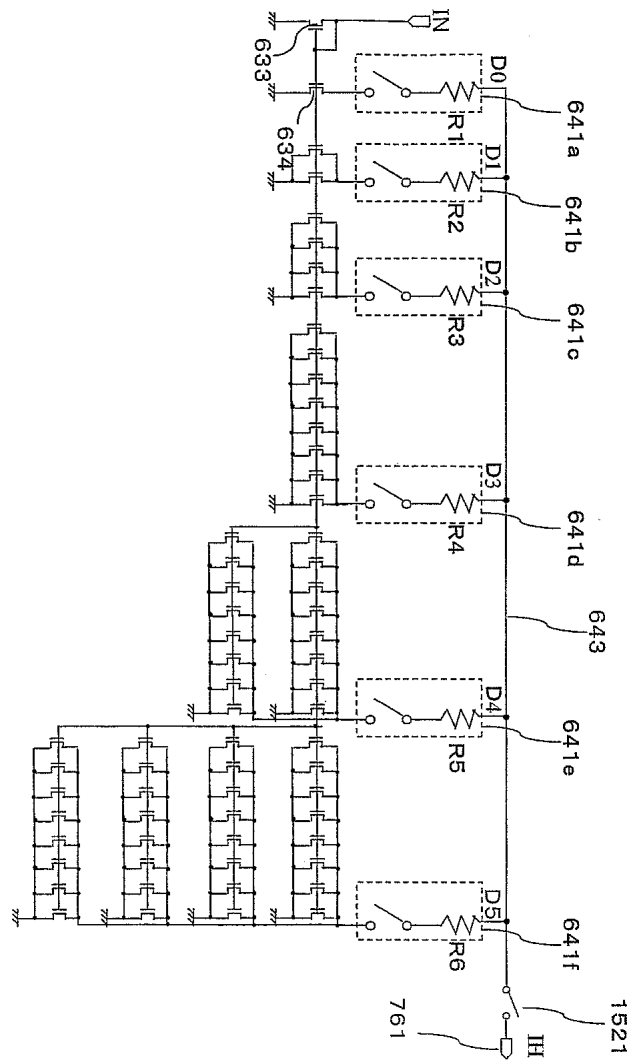
도면150



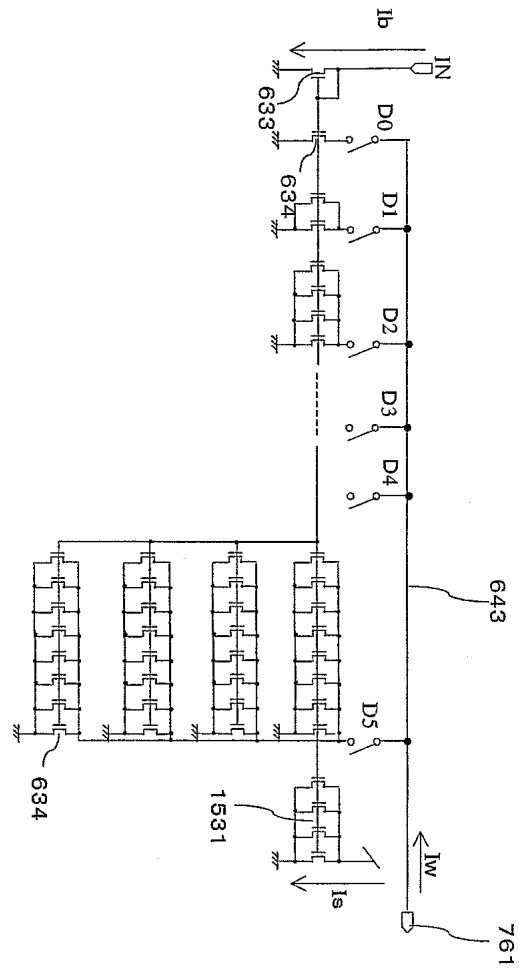
도면151



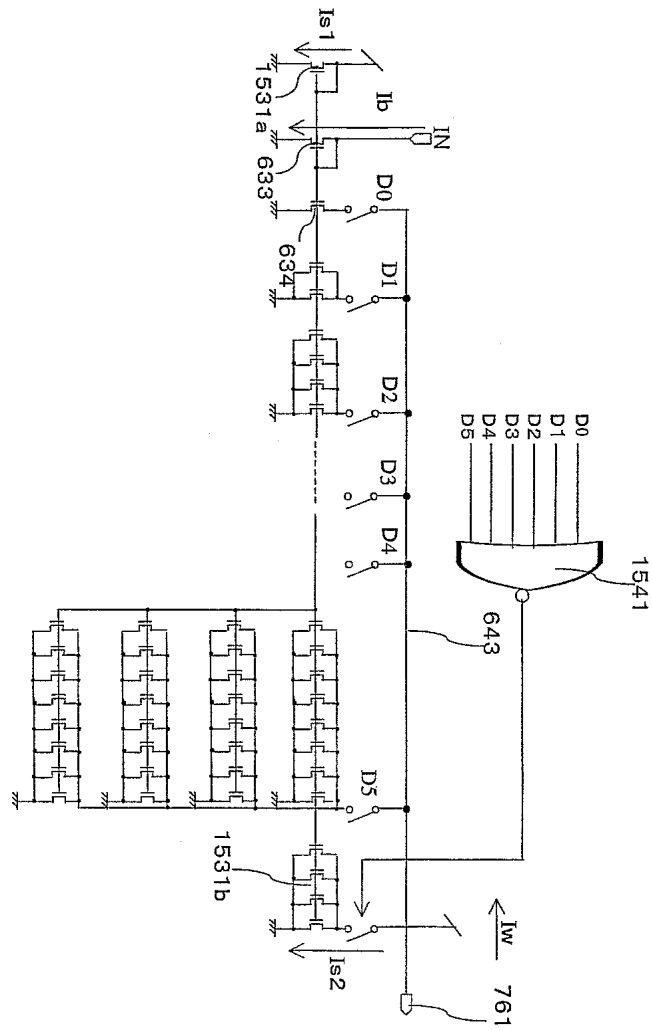
도면152



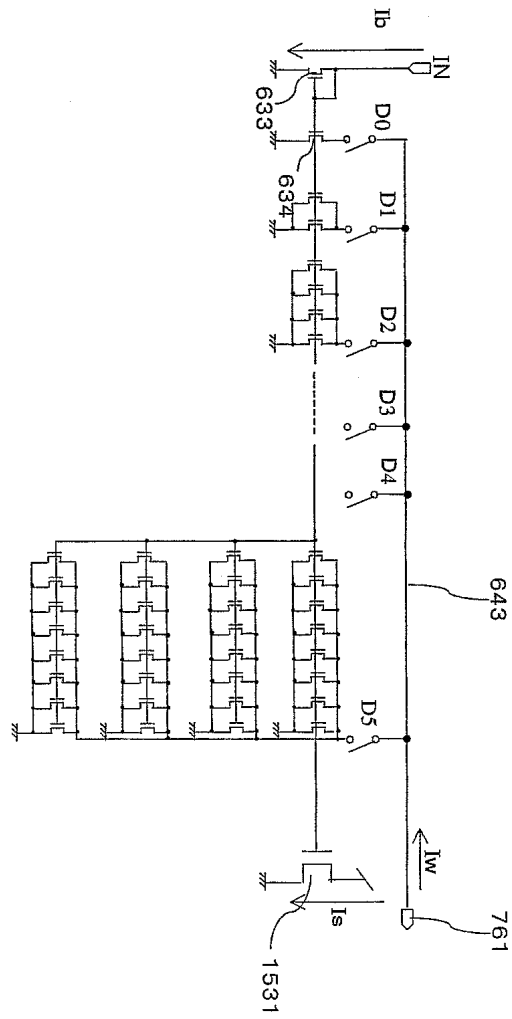
도면153



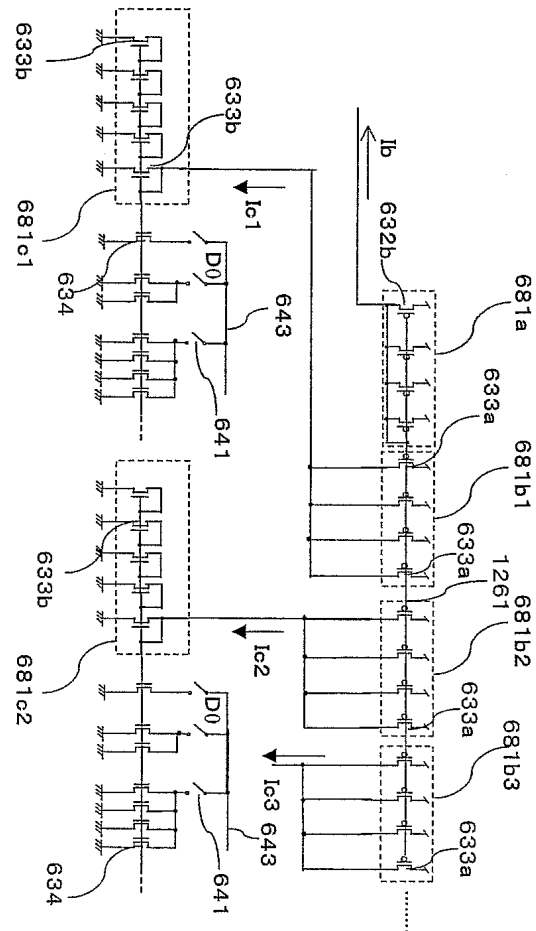
도면154



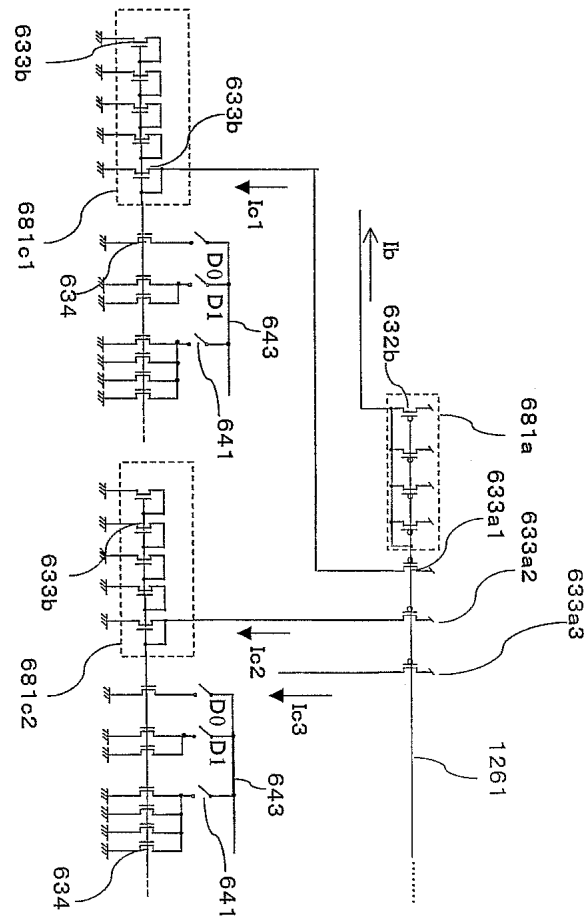
도면155



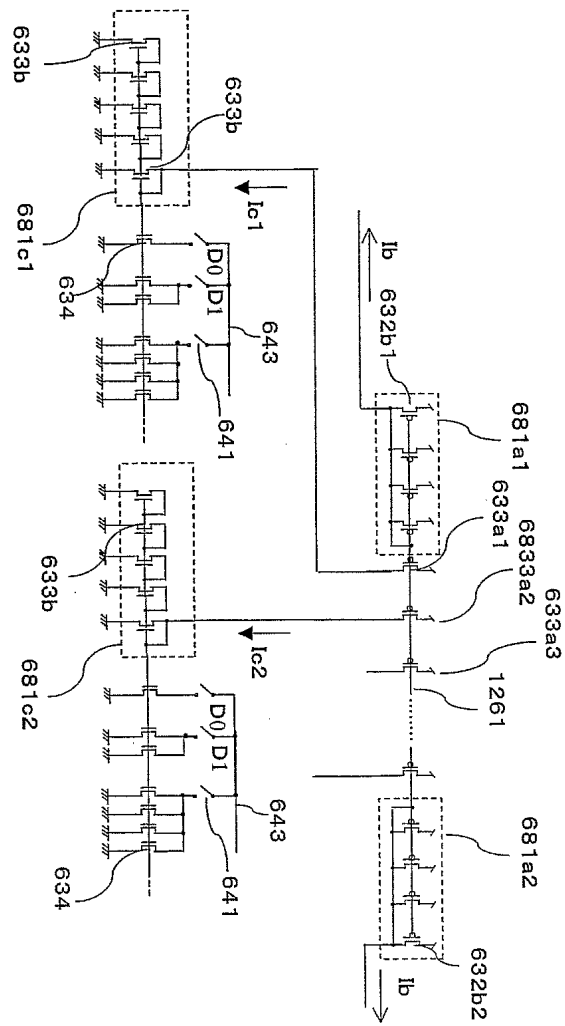
도면156



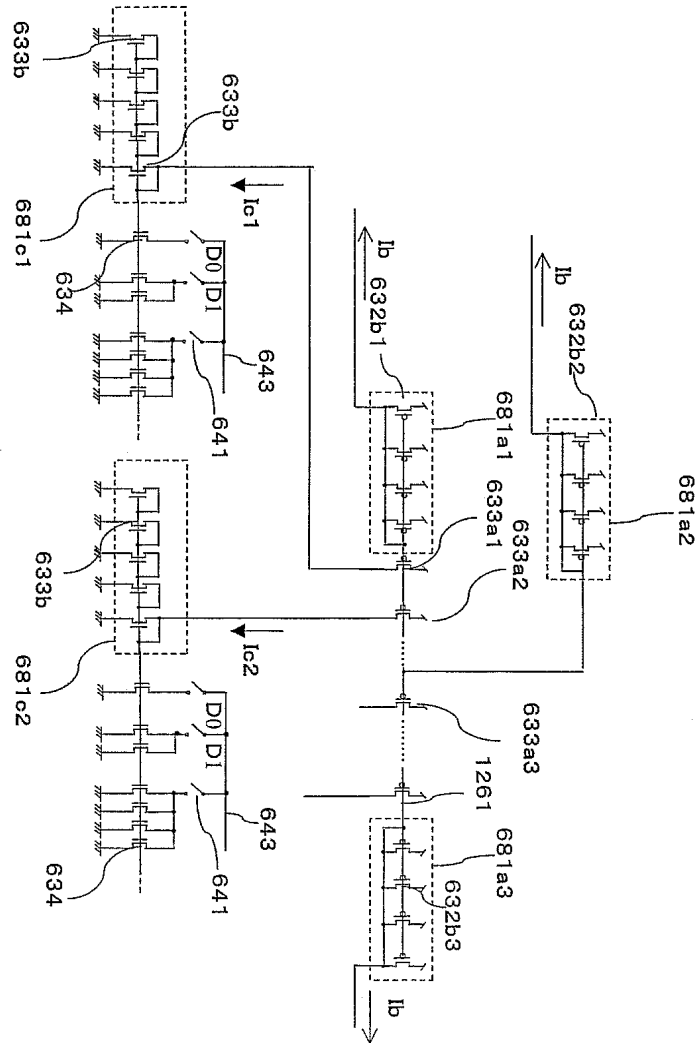
도면157



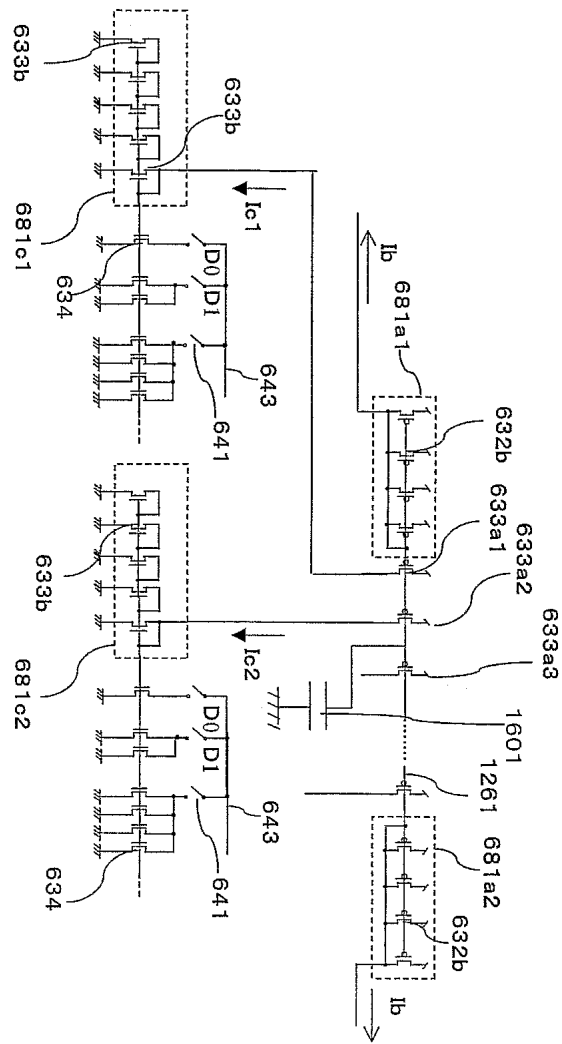
도면158



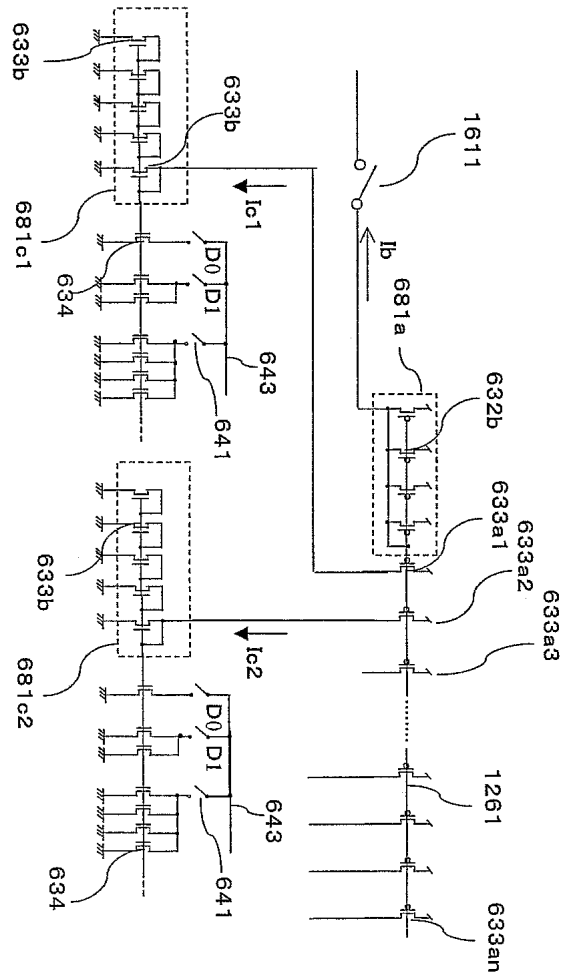
도면159



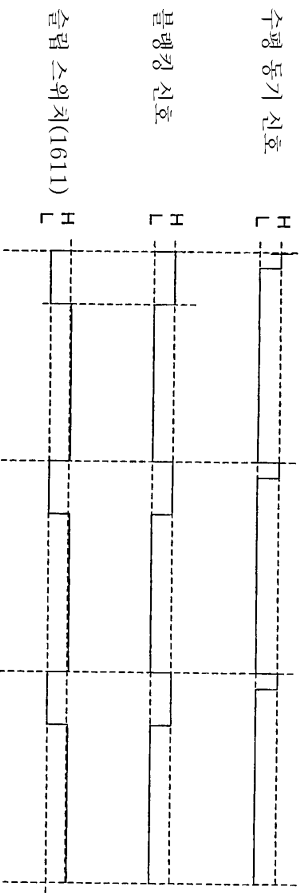
도면160



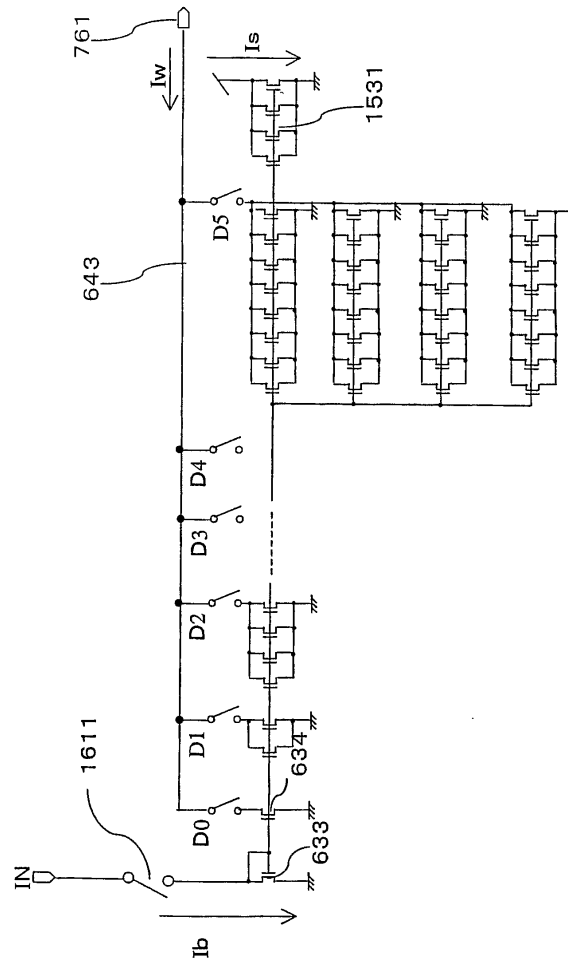
도면161



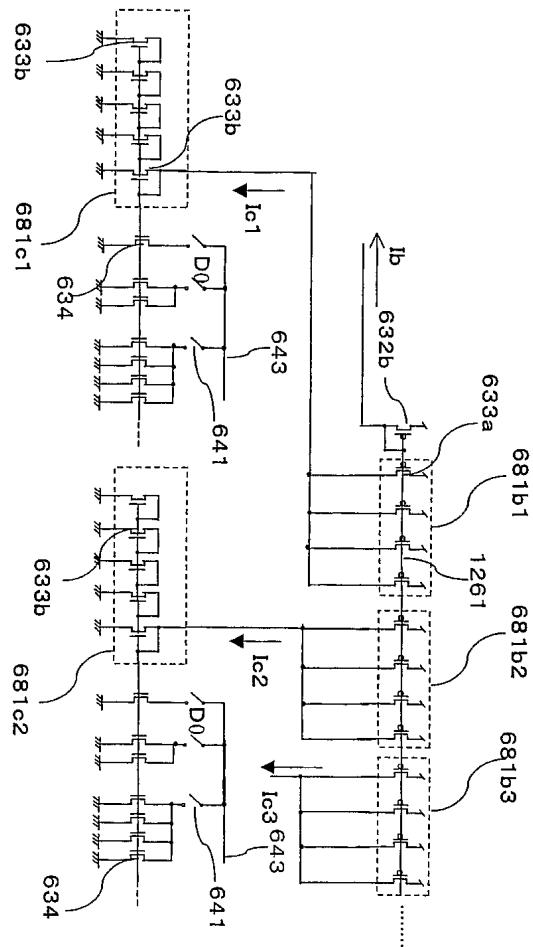
도면162



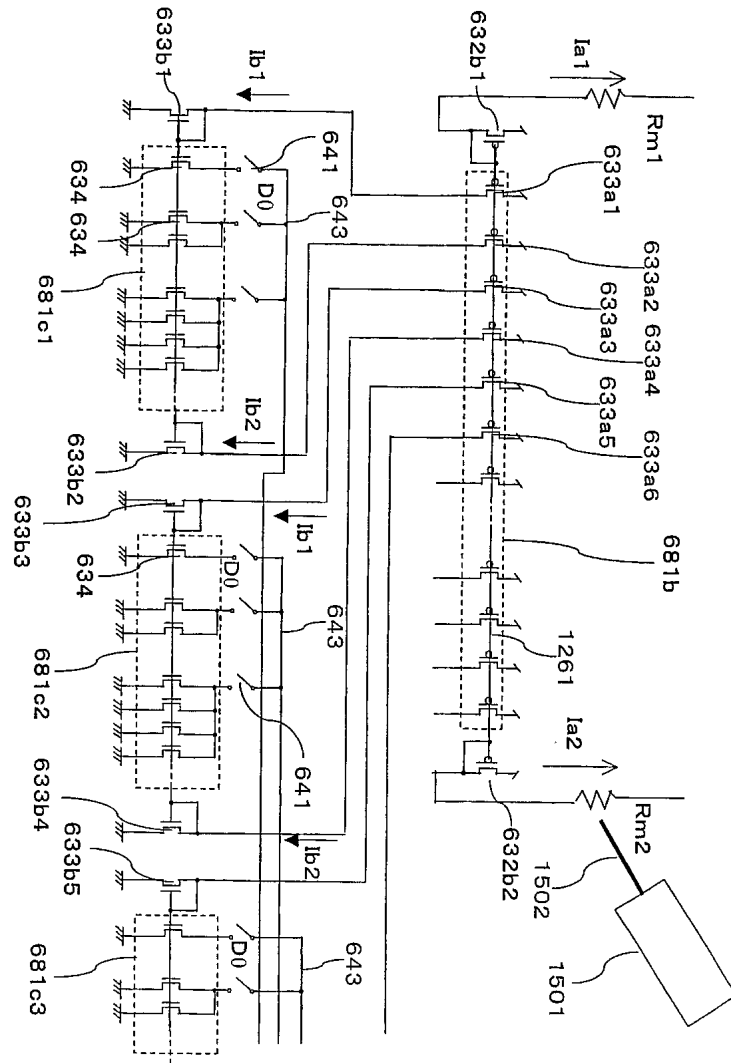
도면163



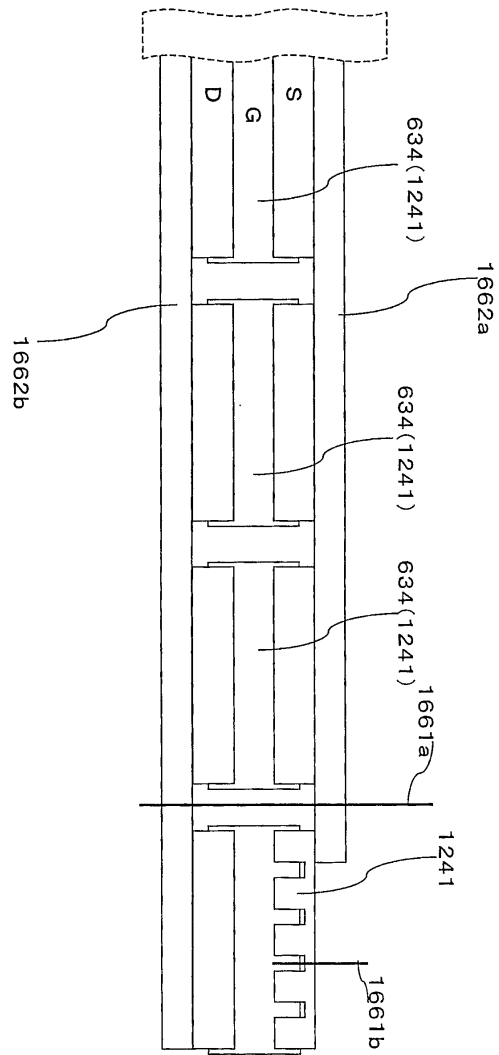
도면164



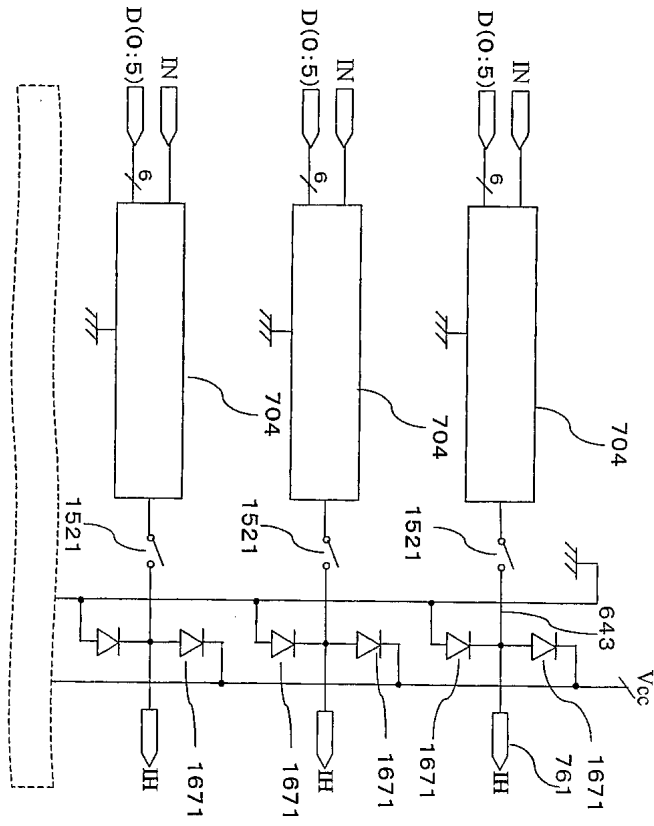
도면165



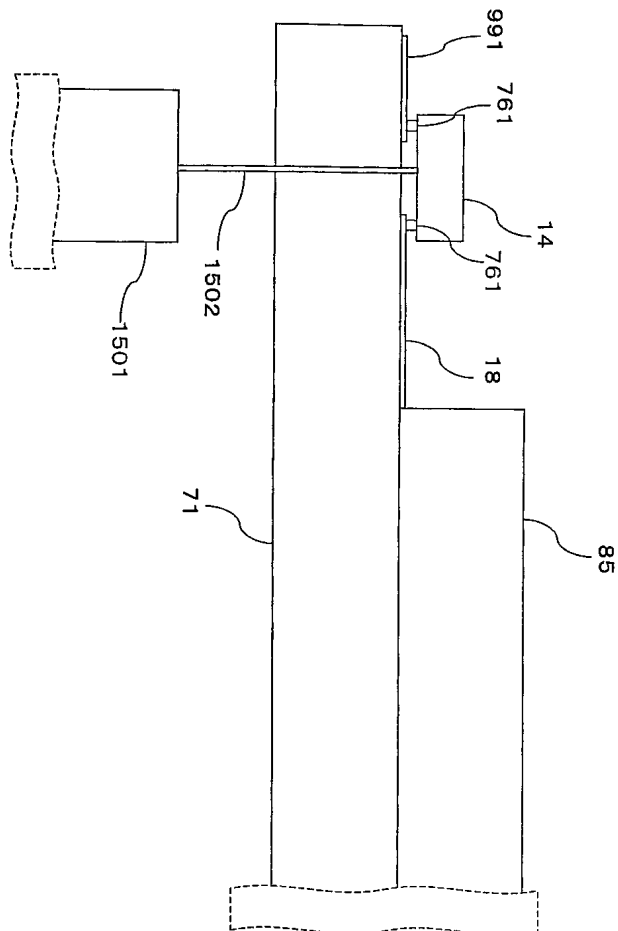
도면166



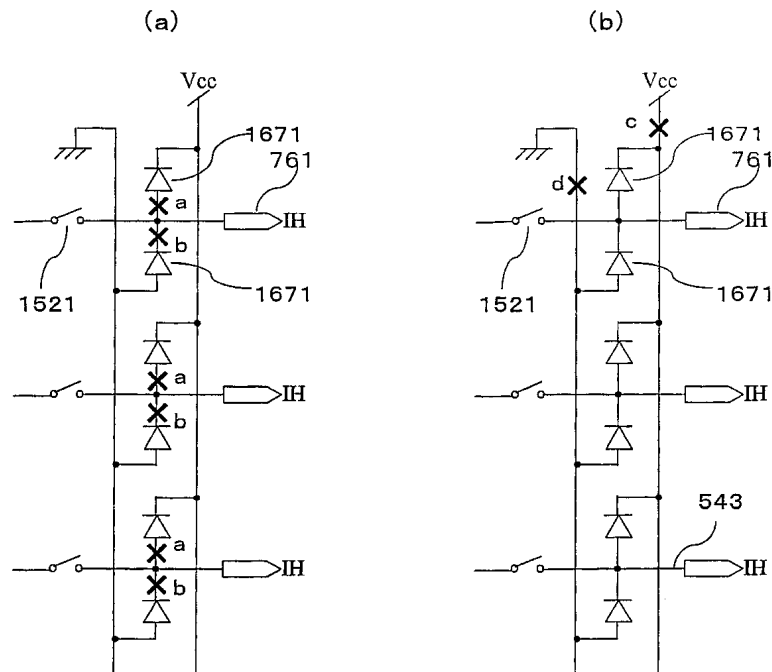
도면167



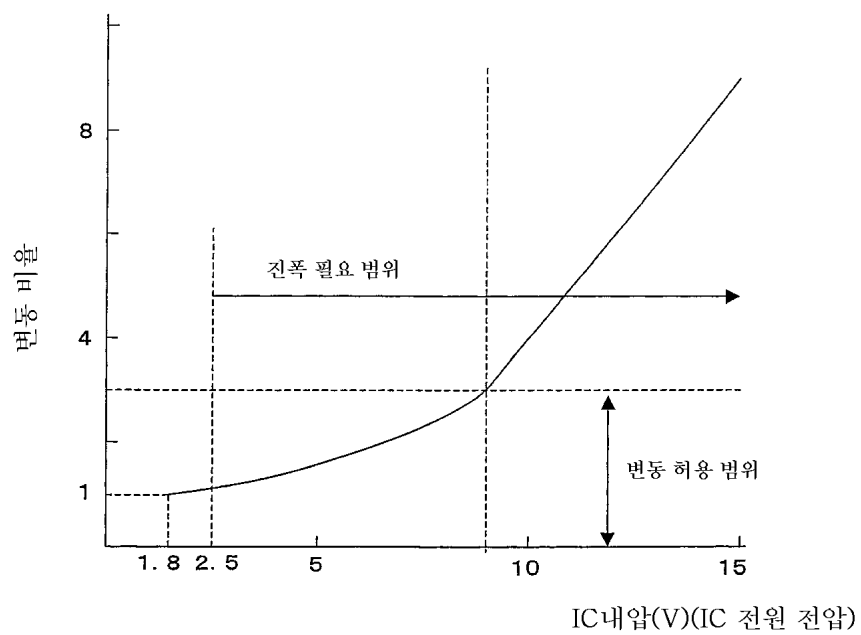
도면168



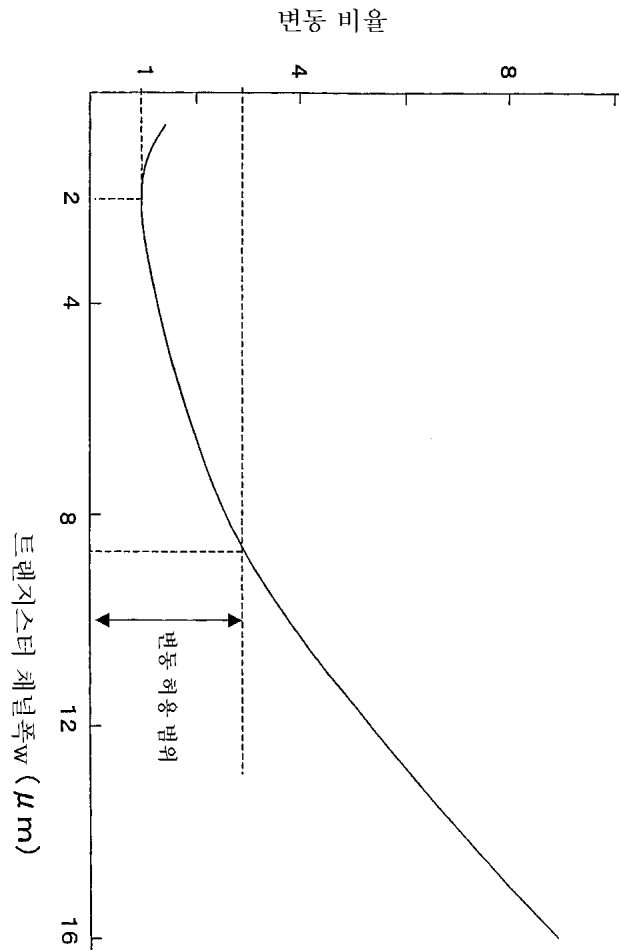
도면169



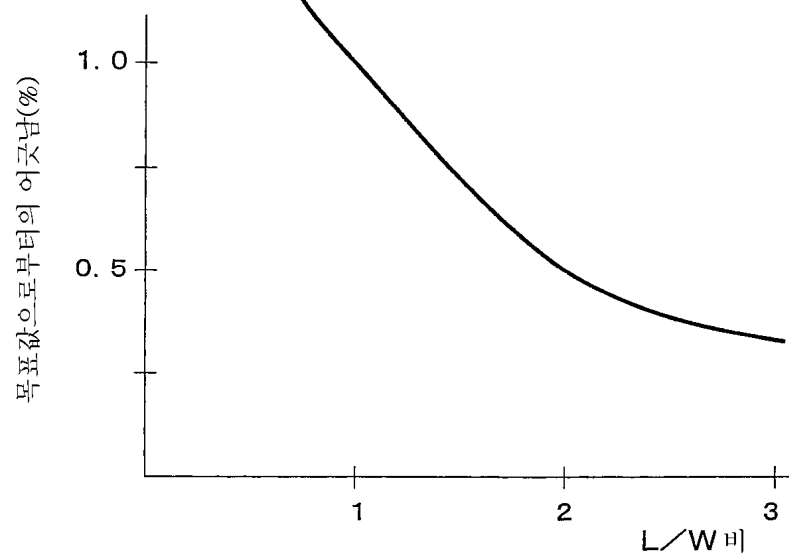
도면170



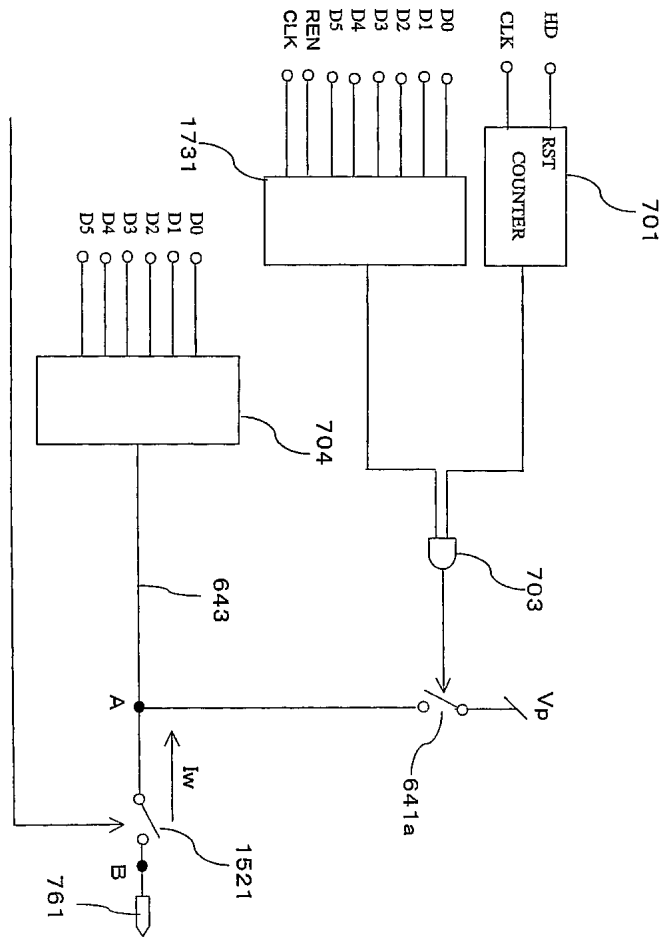
도면171



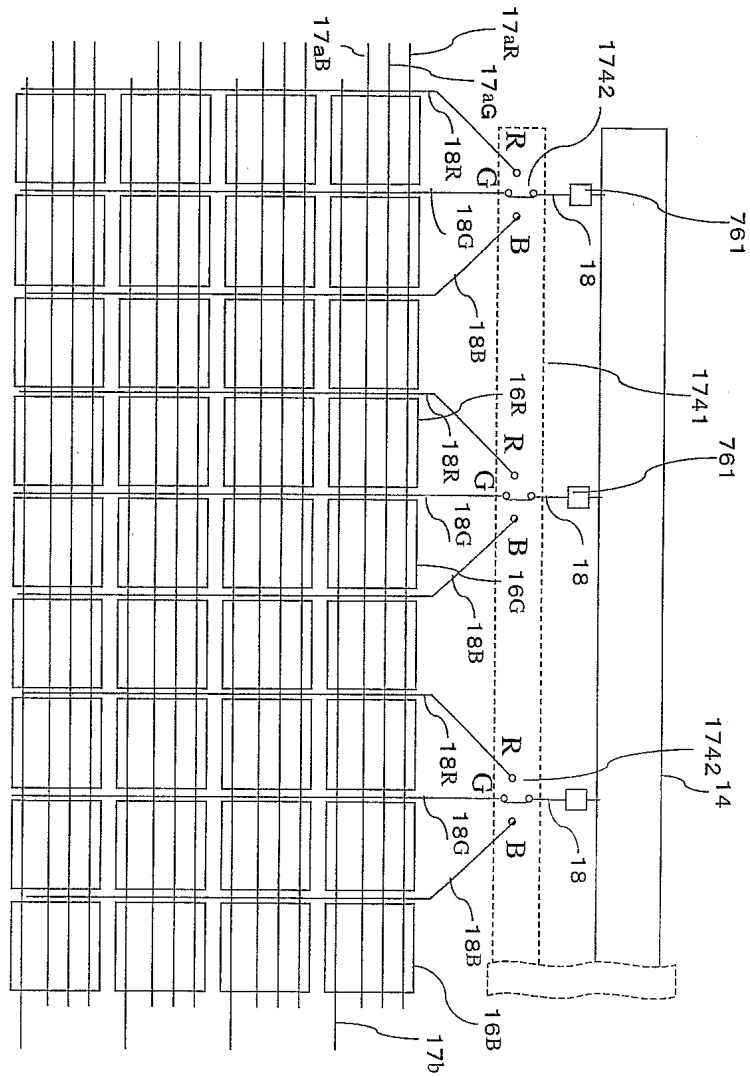
도면172



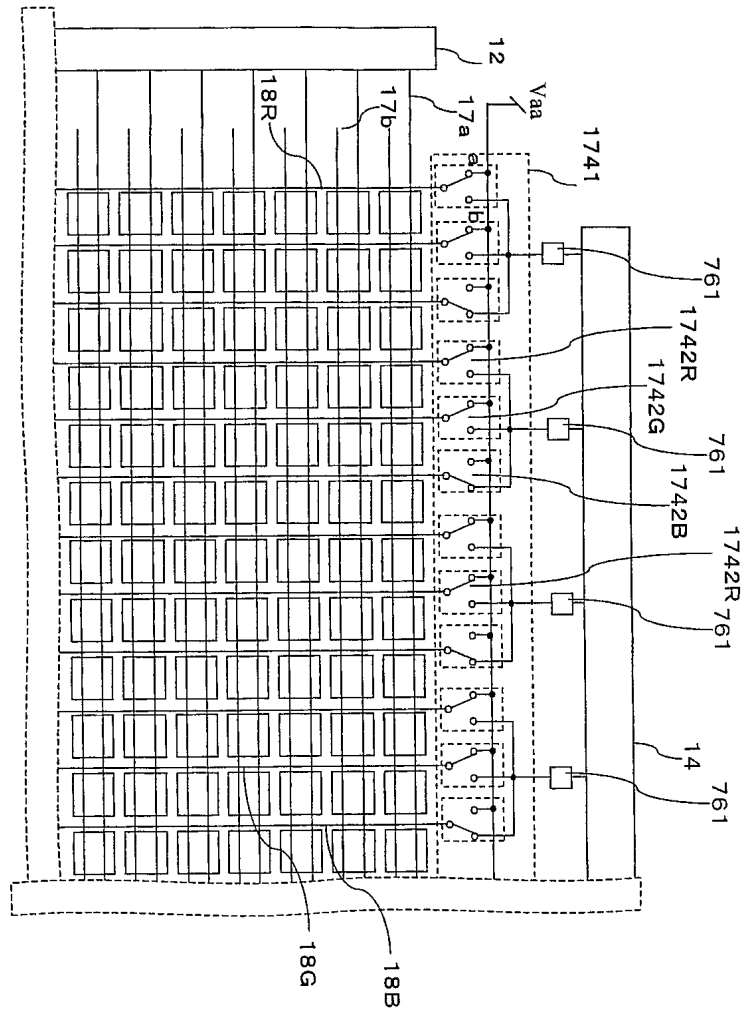
도면173



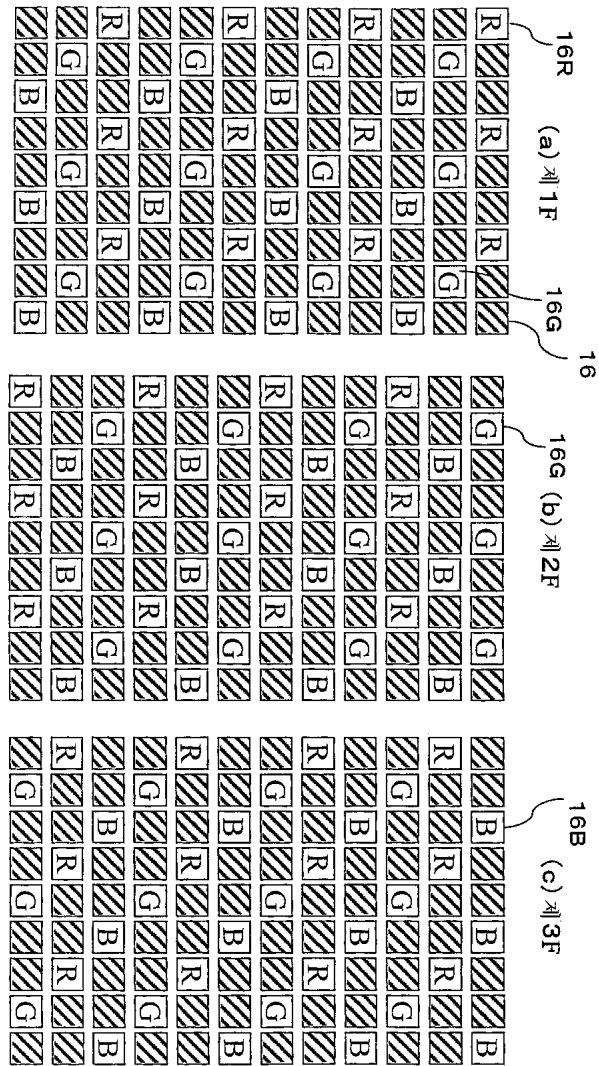
도면174



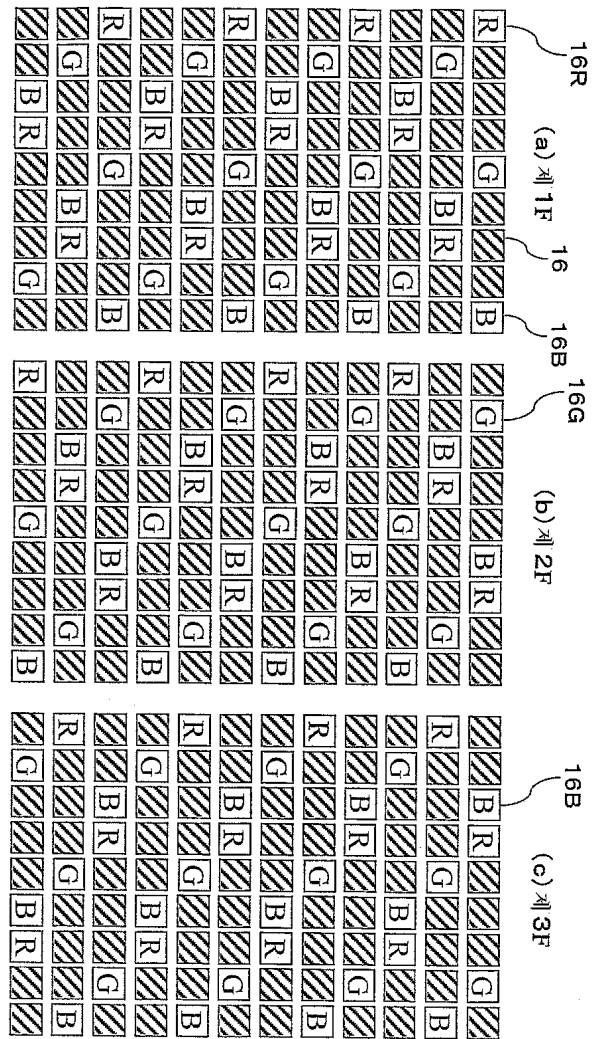
도면175



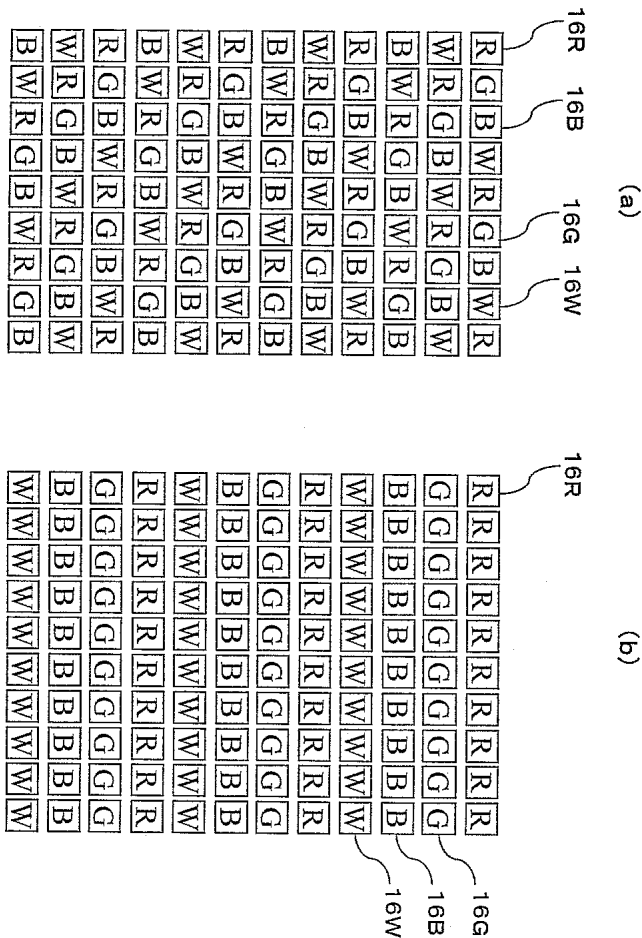
도면176



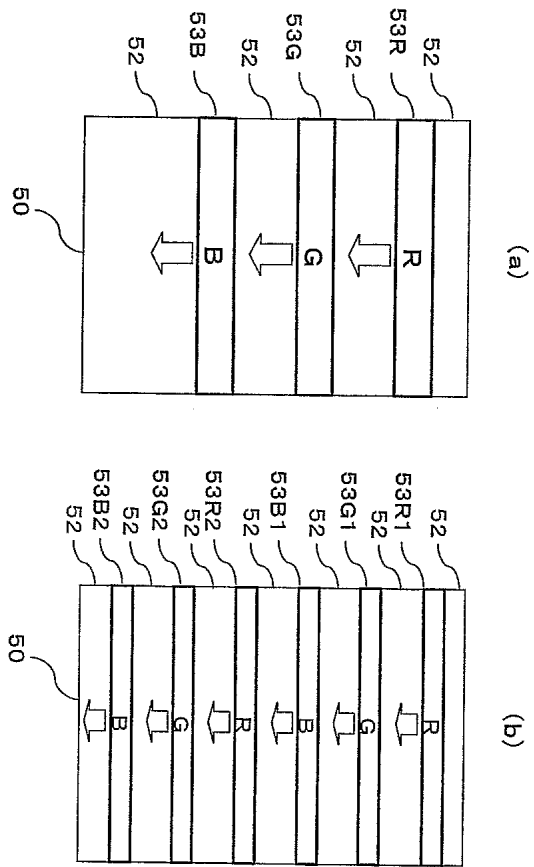
도면177



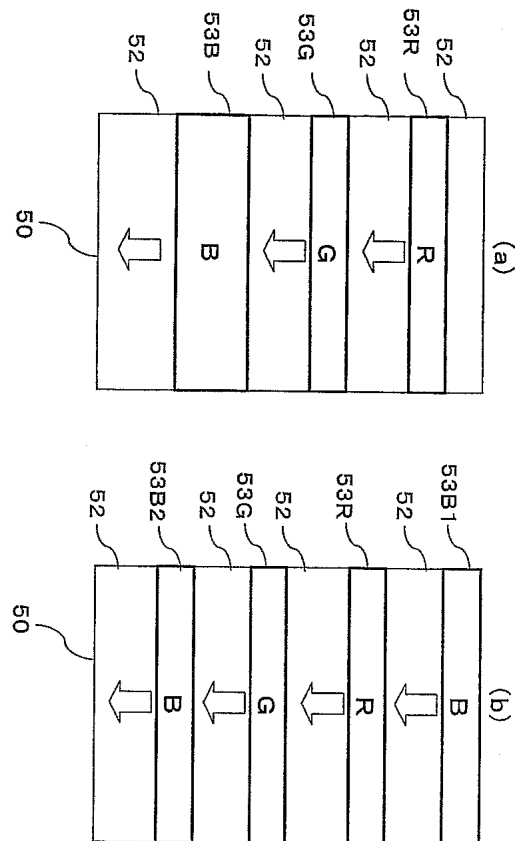
도면178



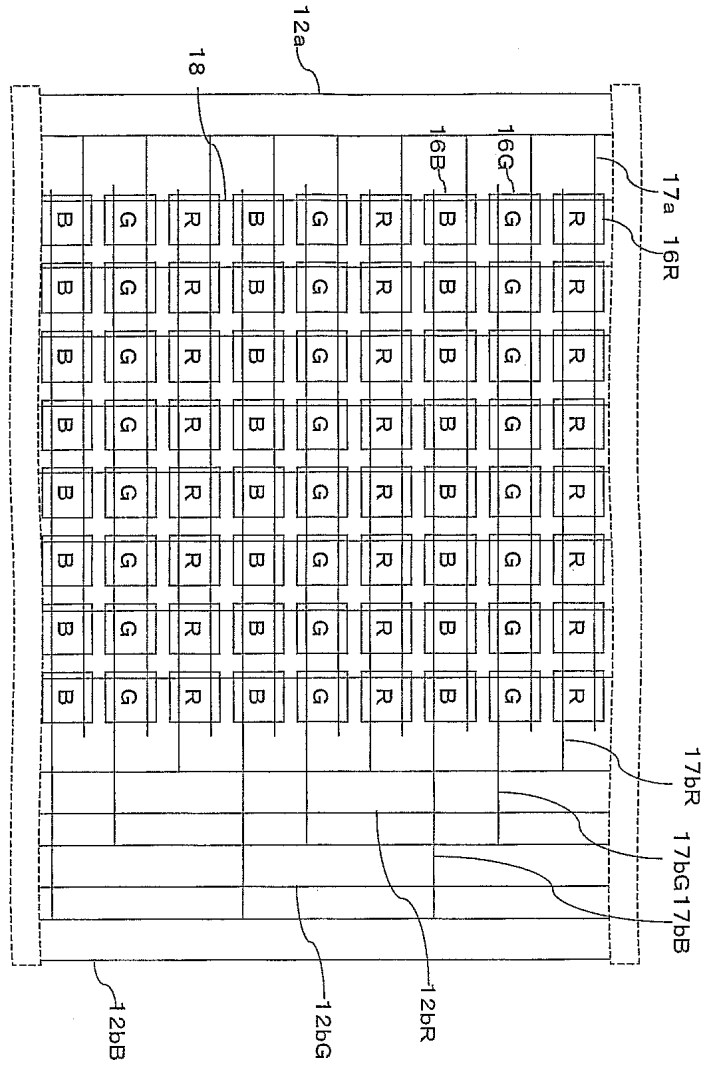
도면179



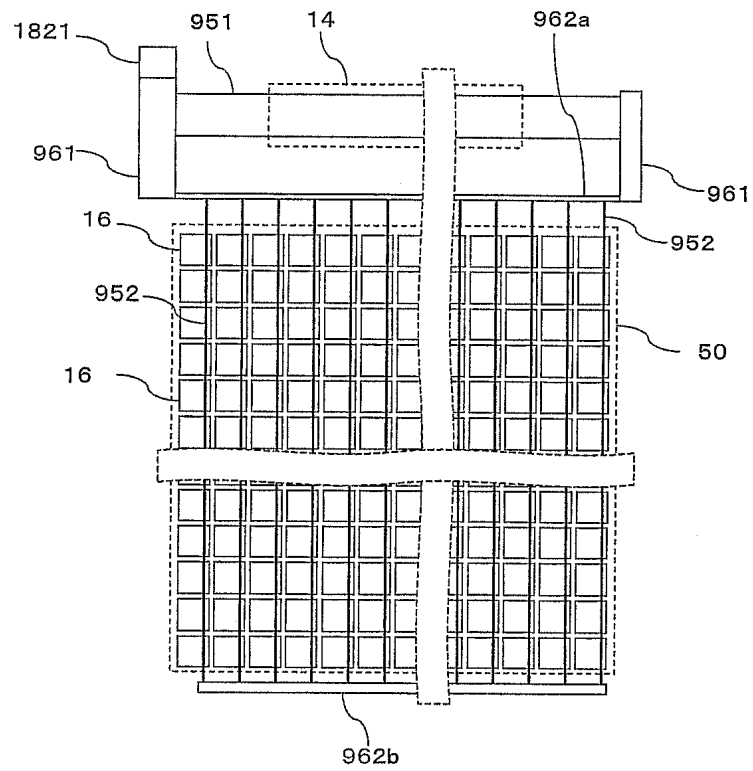
도면180



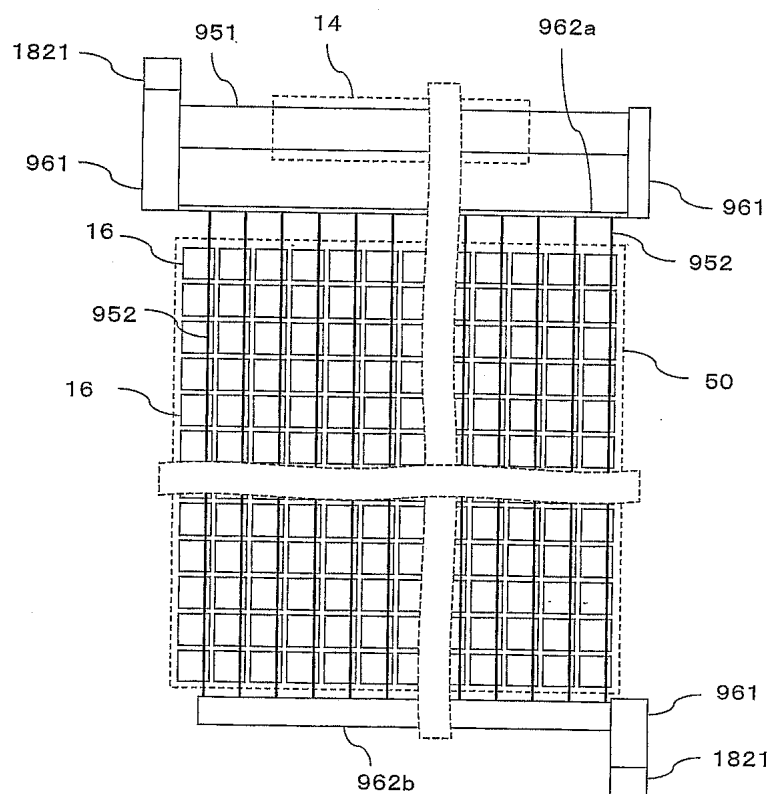
도면181



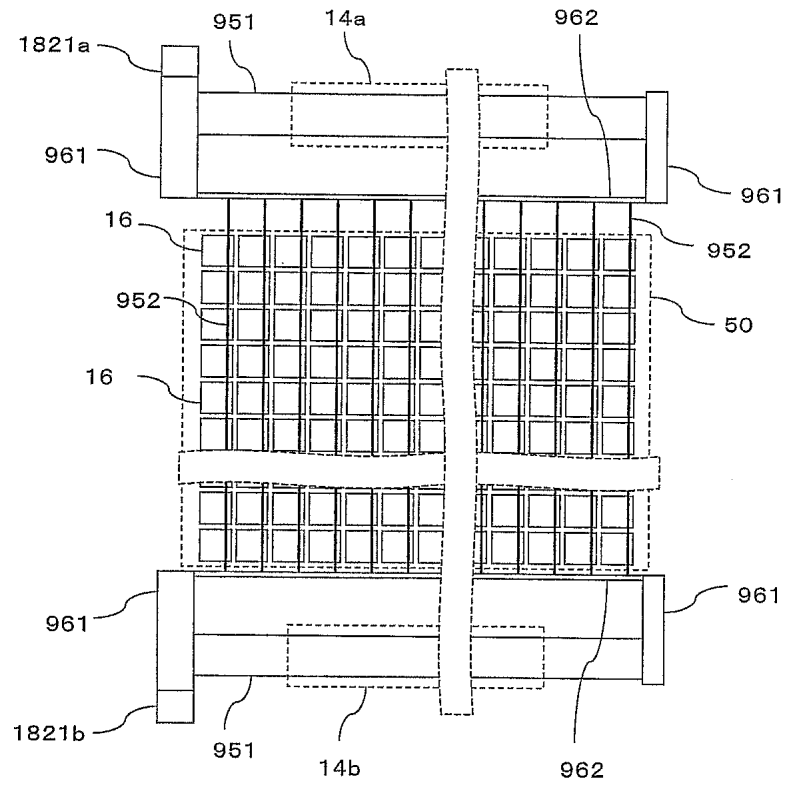
도면182



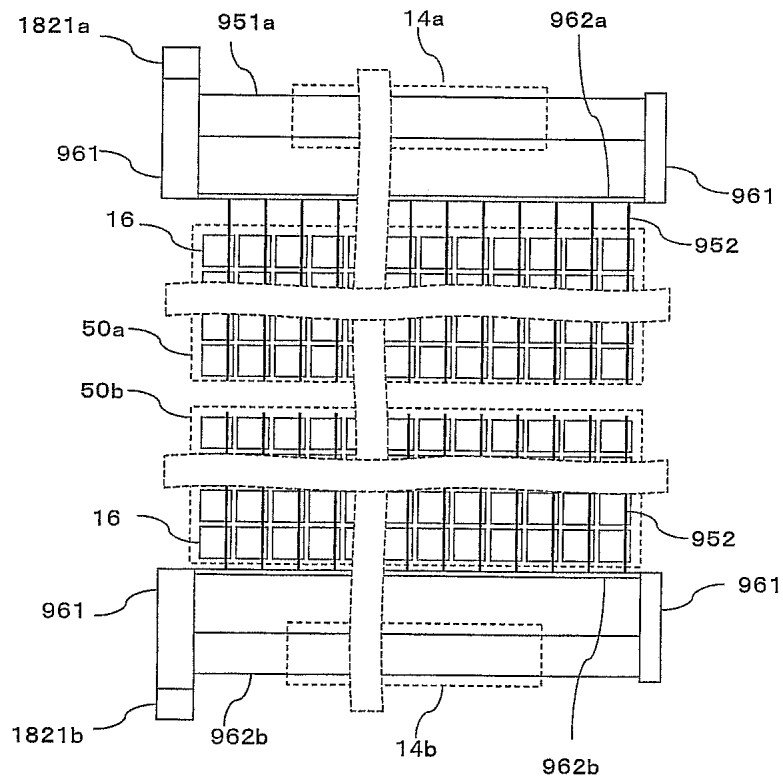
도면183



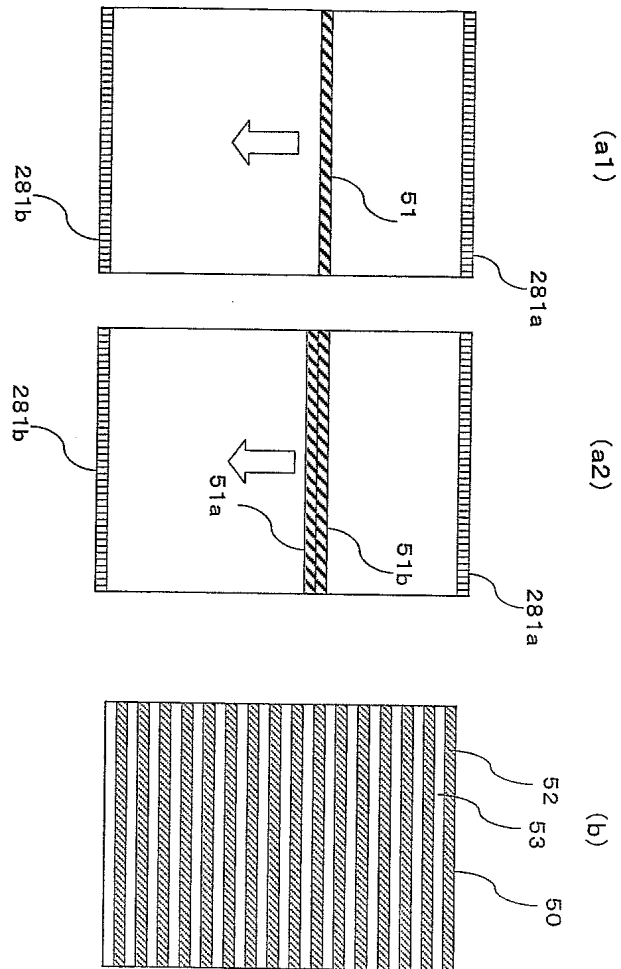
도면184



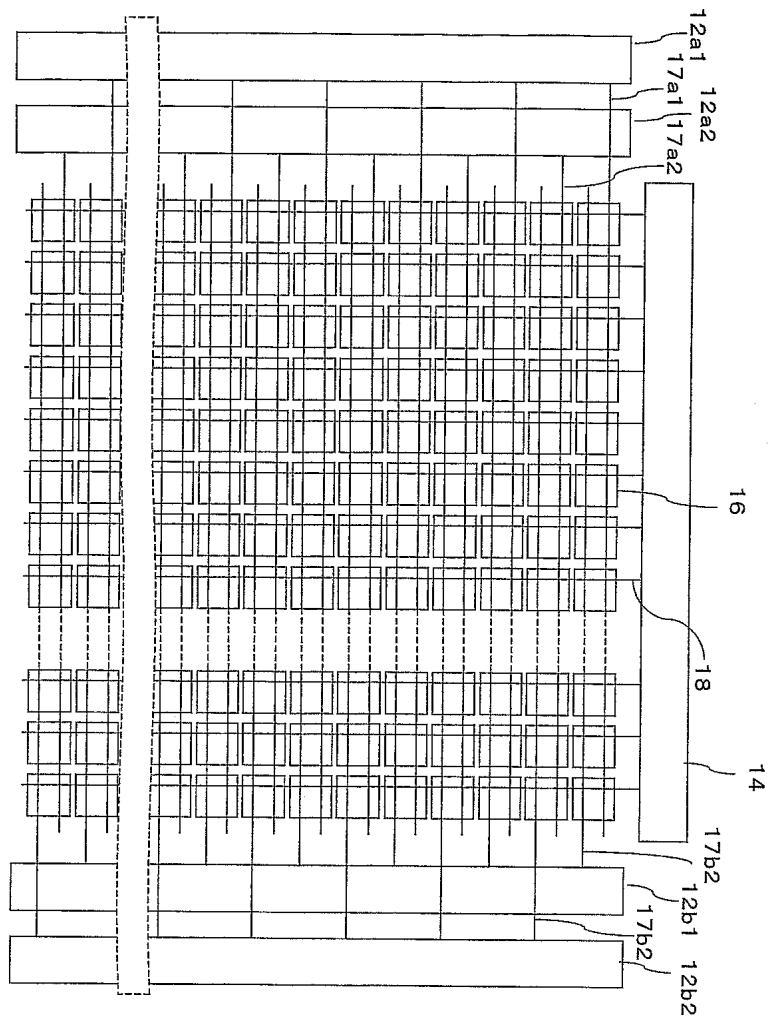
도면185



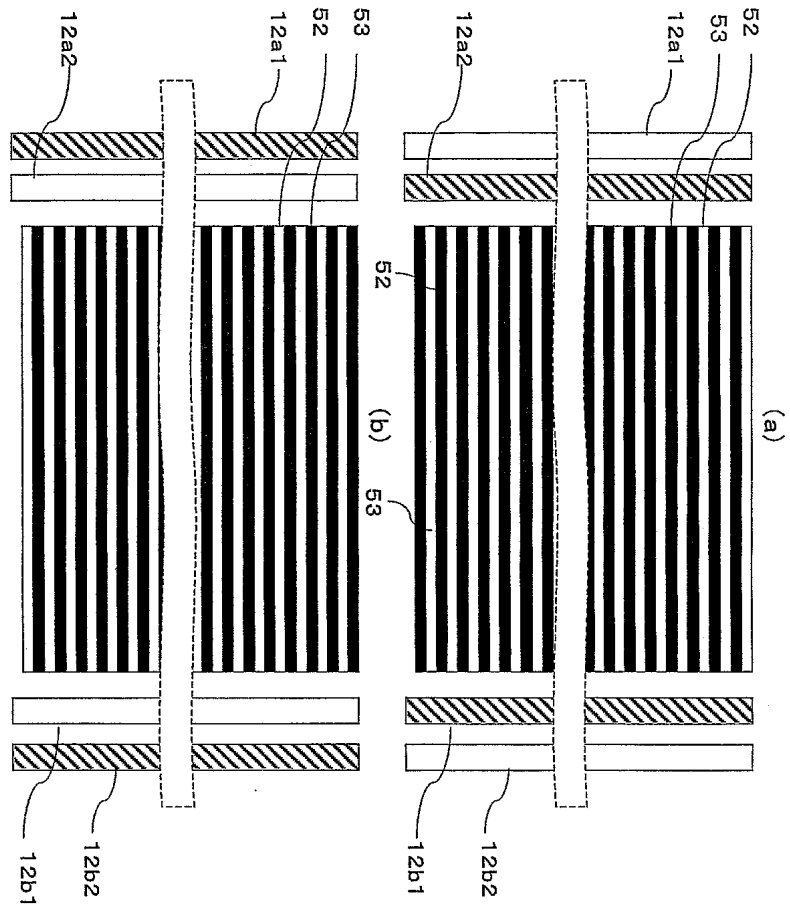
도면186



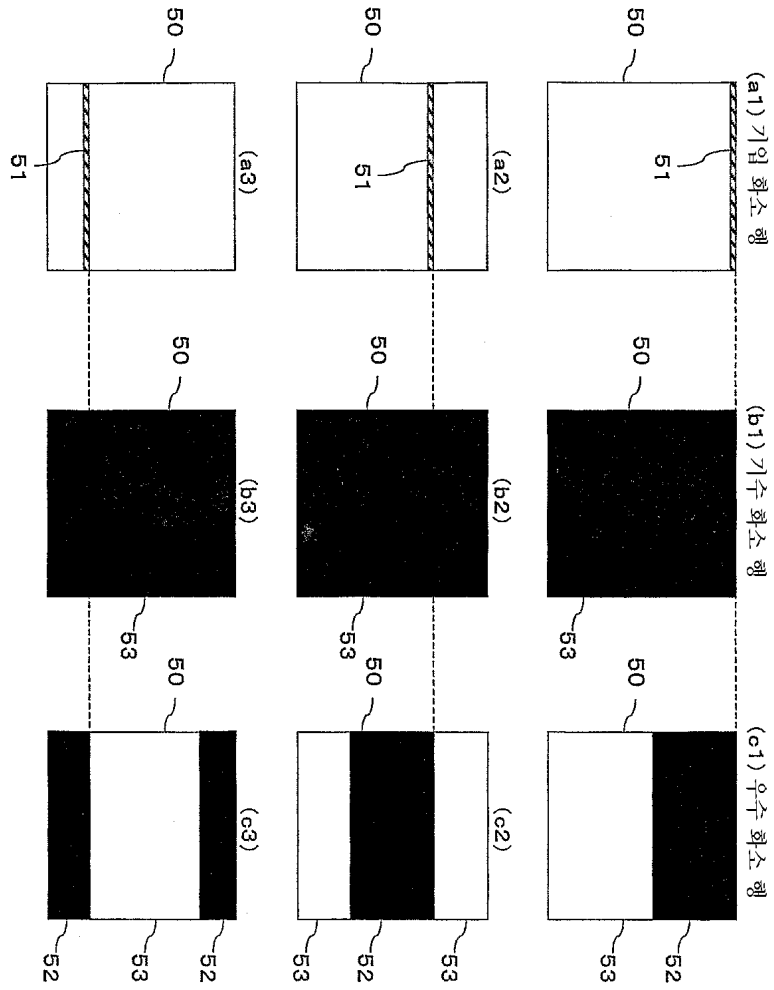
도면187



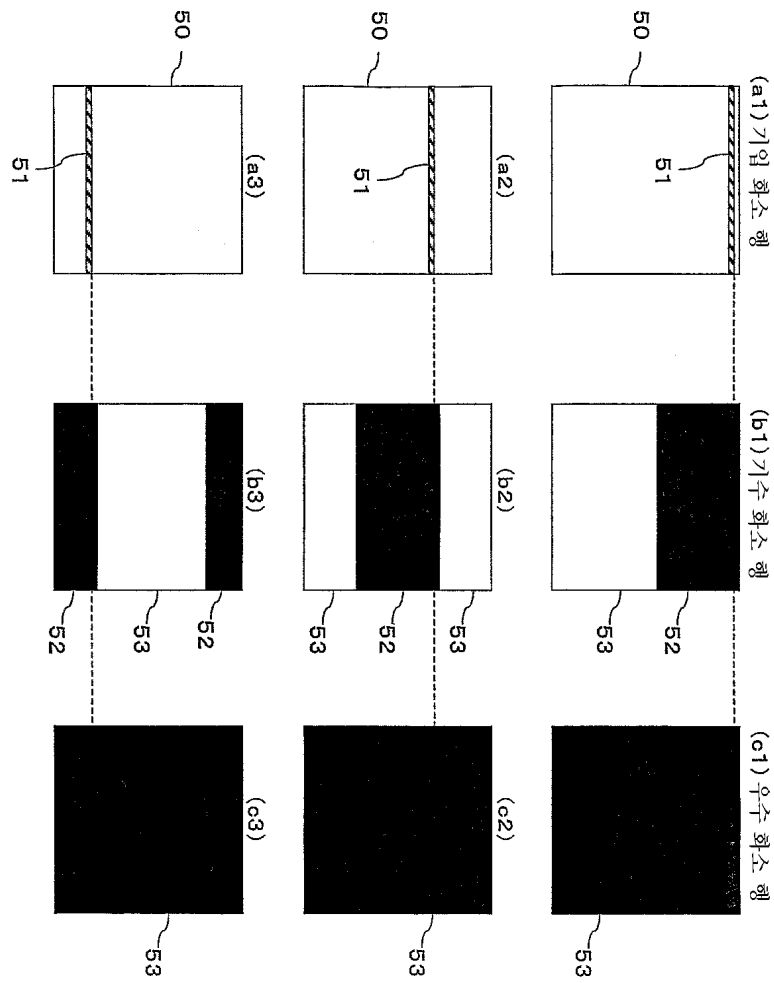
도면188



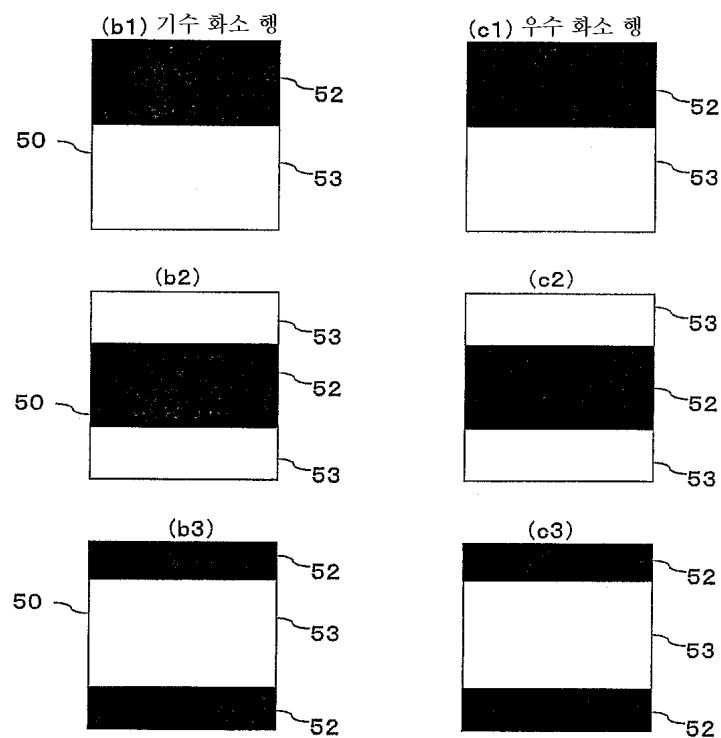
도면189



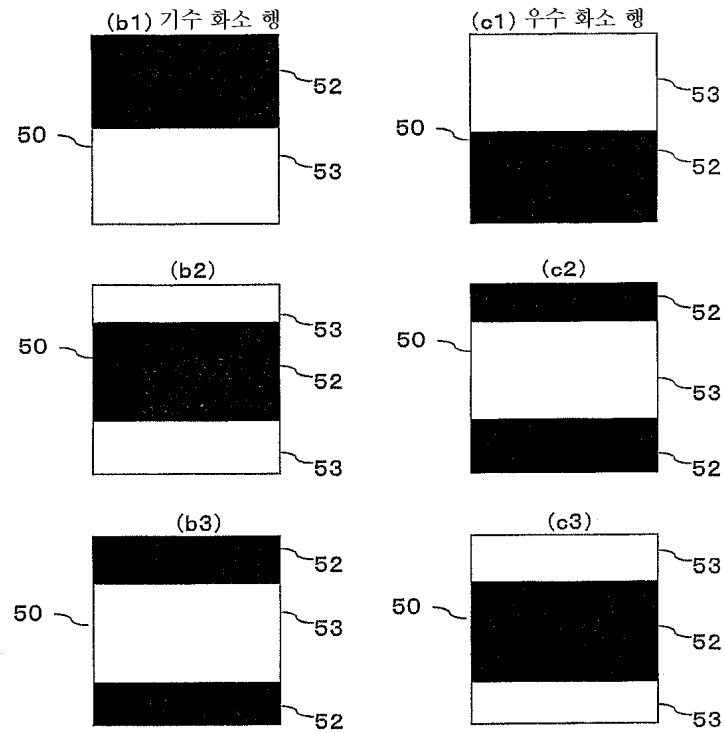
도면190



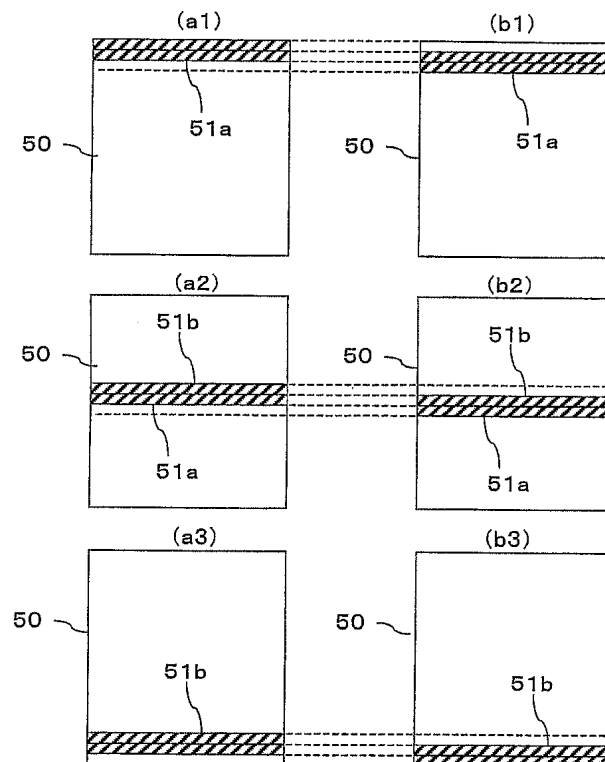
도면191



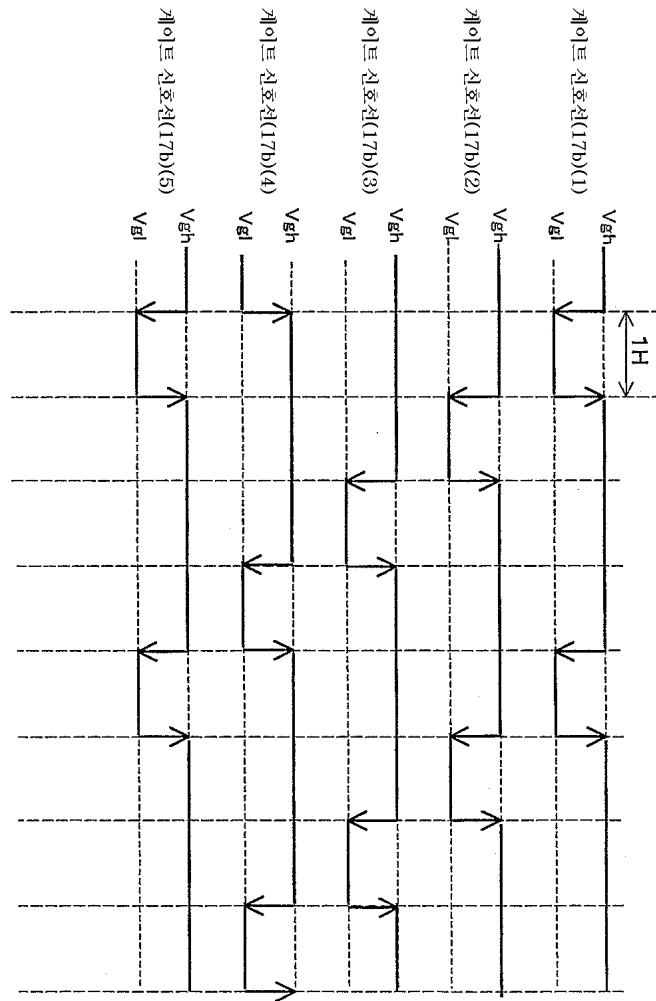
도면192



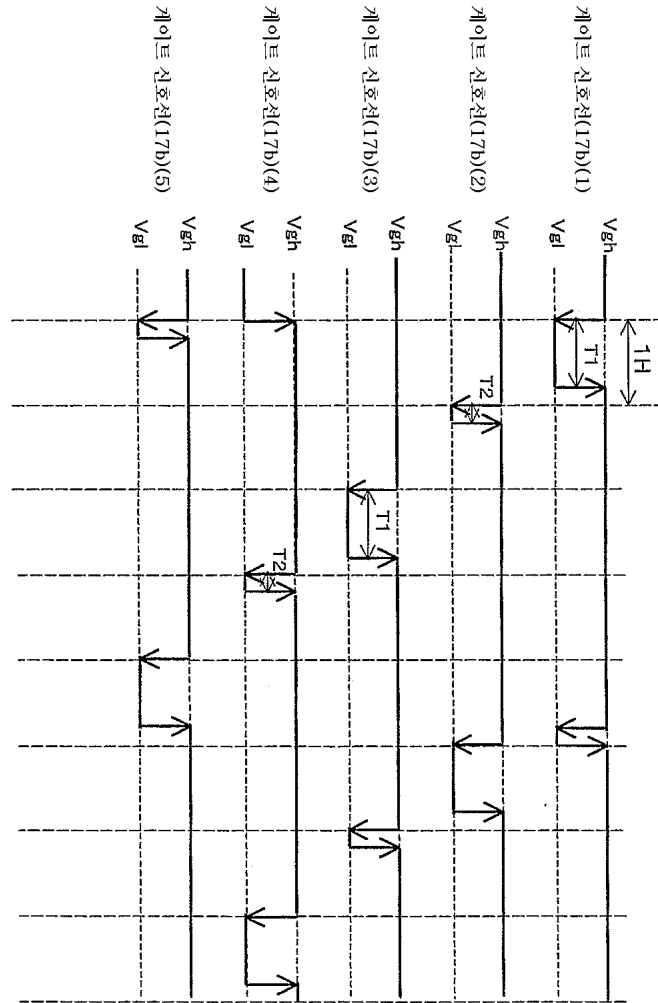
도면193



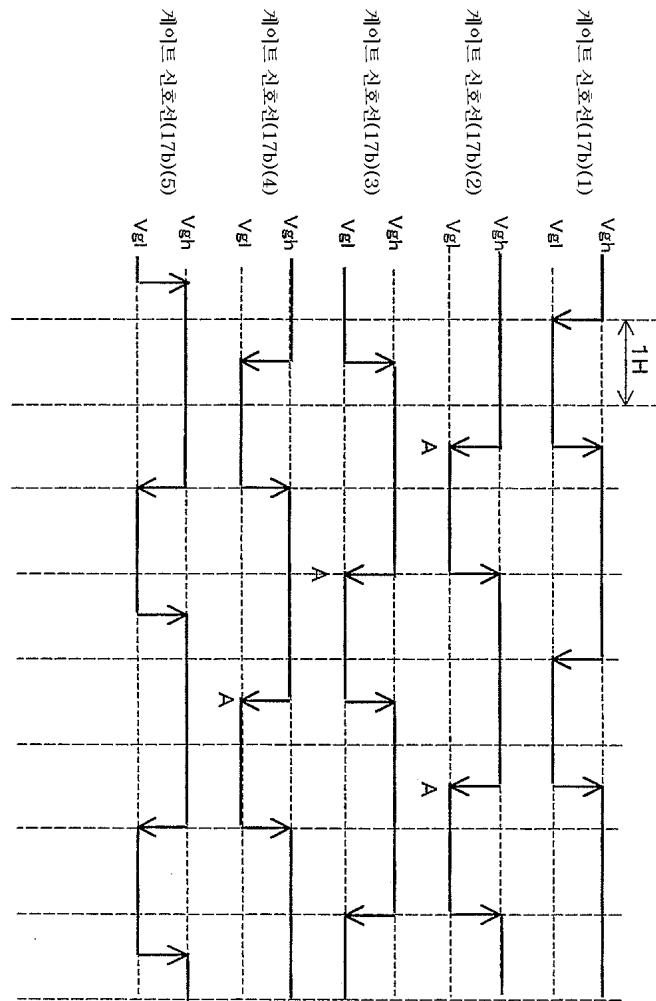
도면194



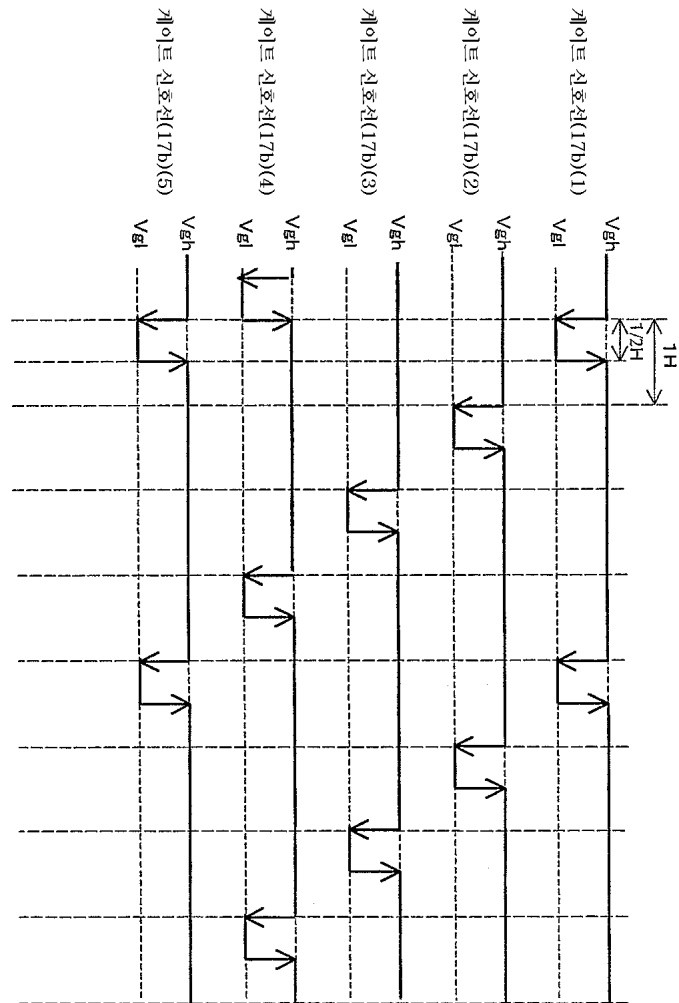
도면195



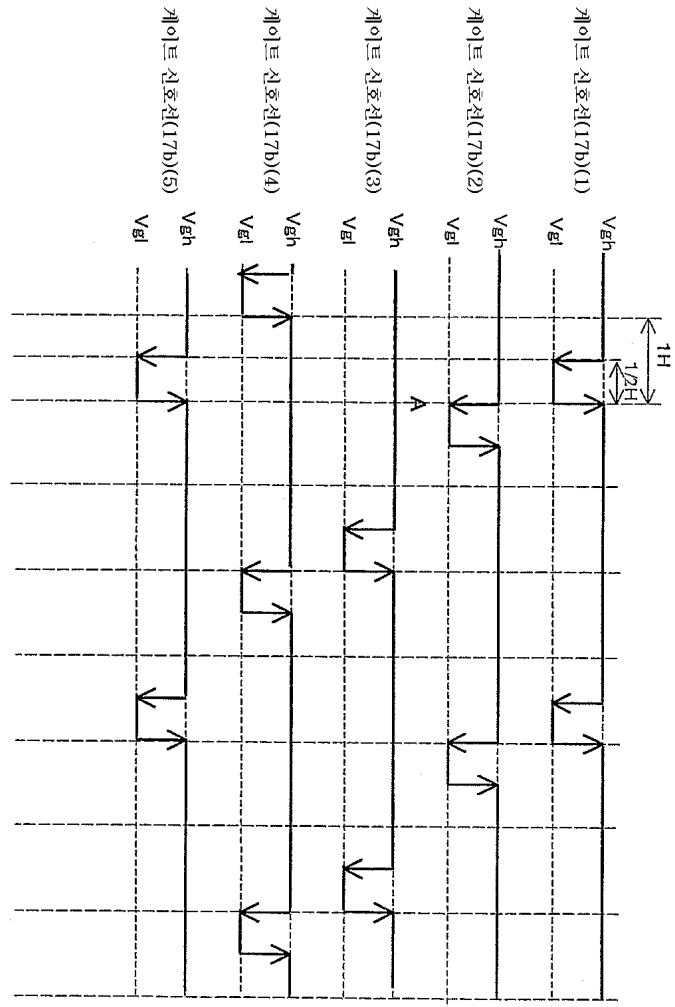
도면196



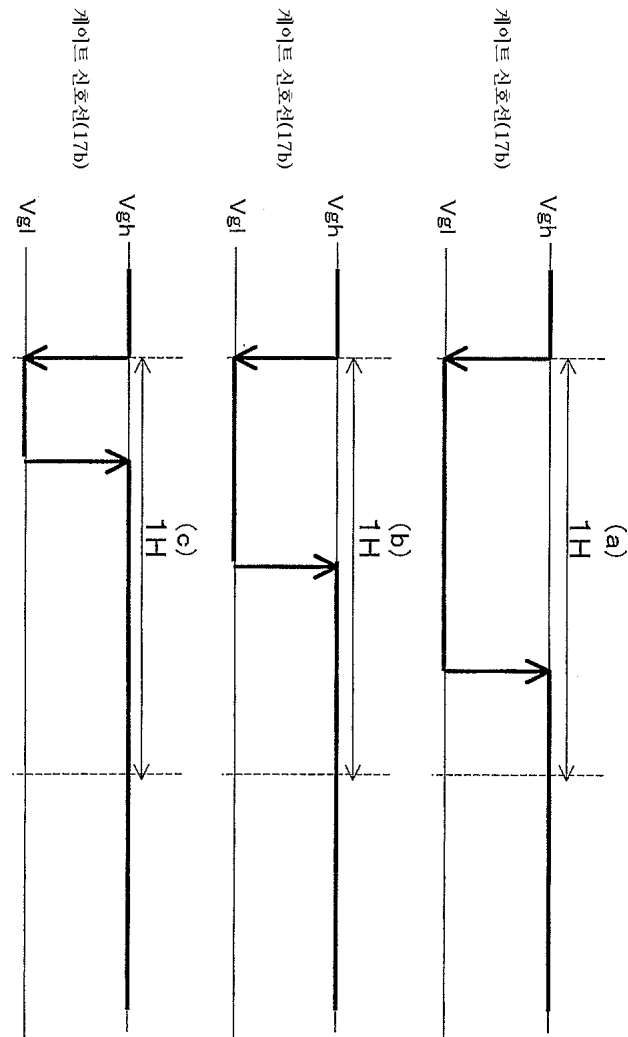
도면197



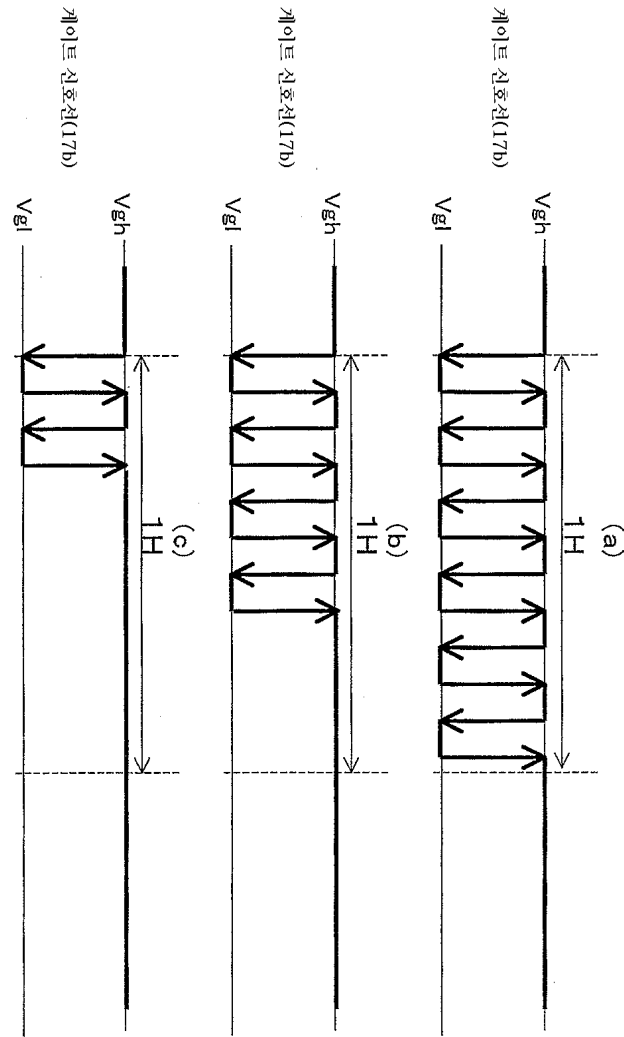
도면198



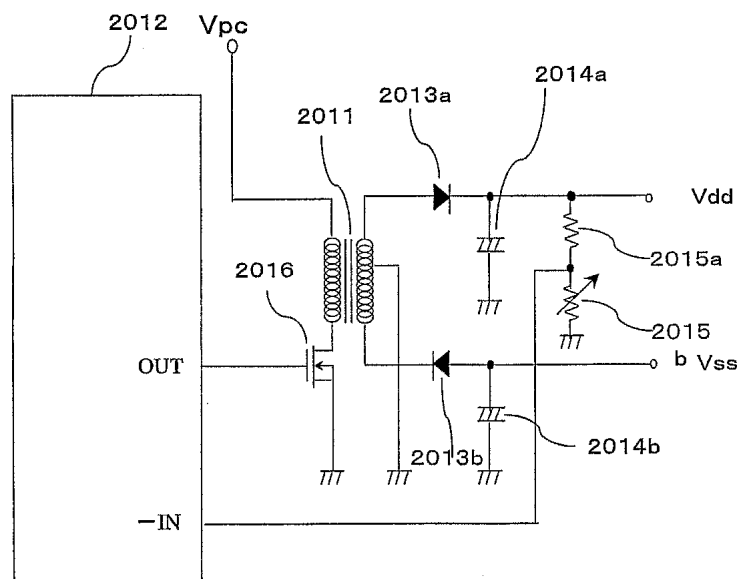
도면199



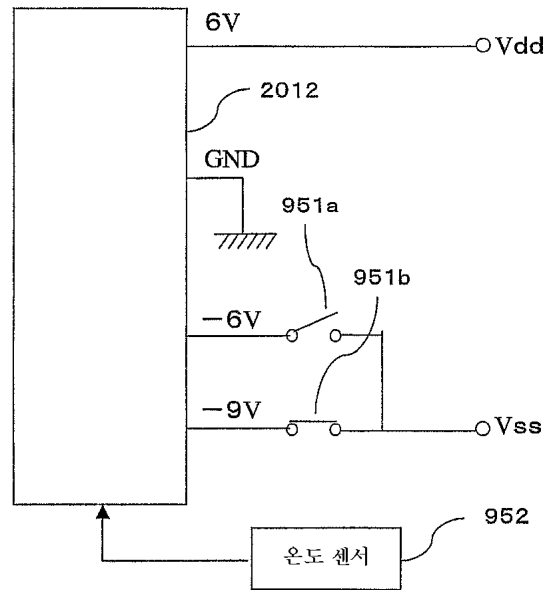
도면200



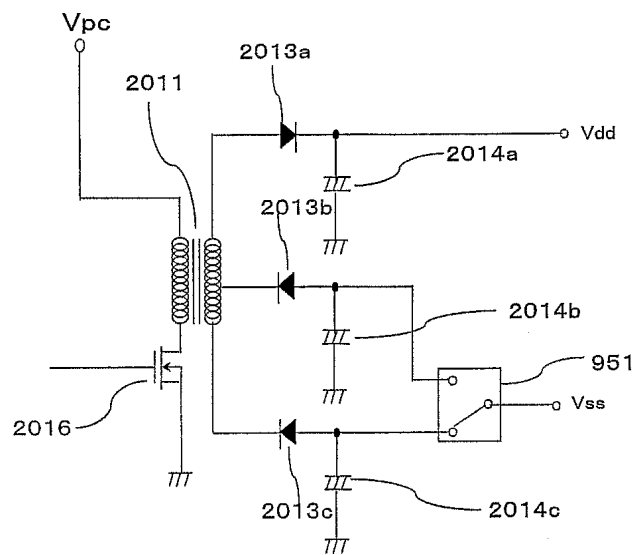
도면201



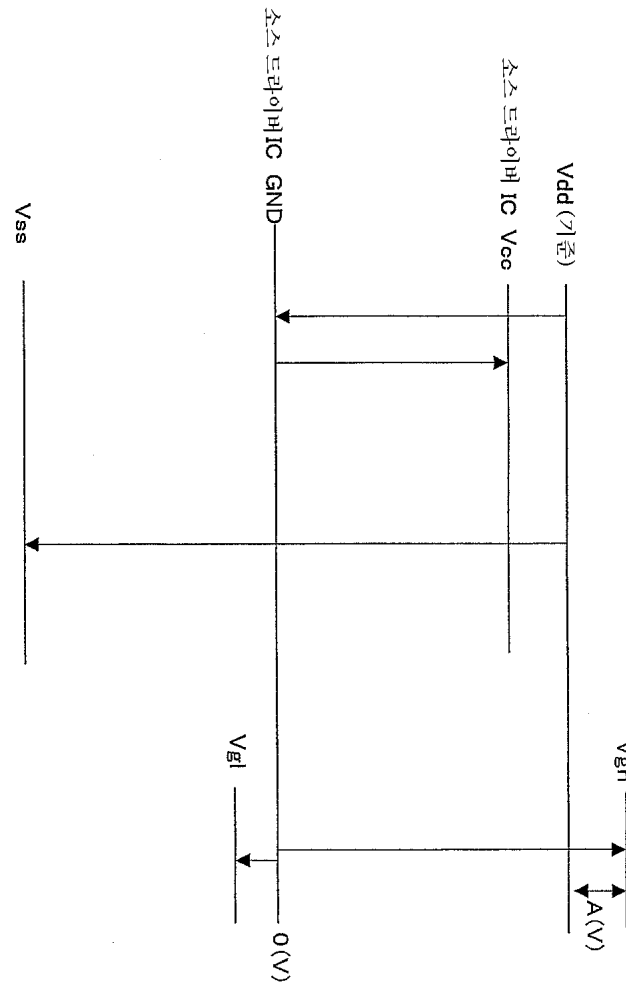
도면202



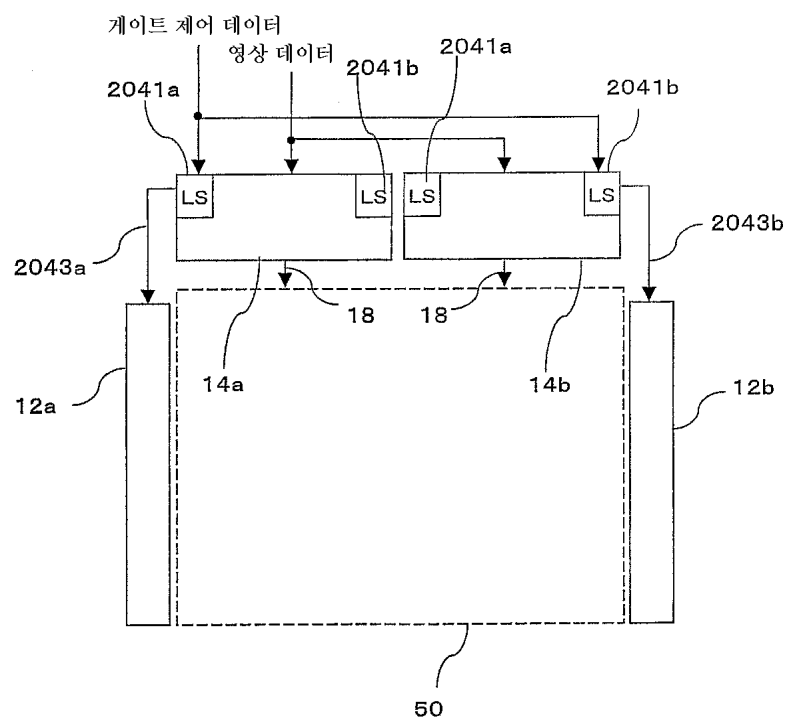
도면203



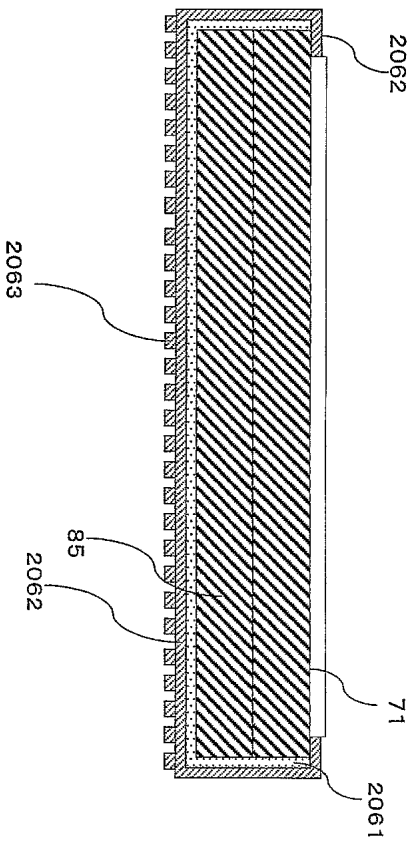
도면204



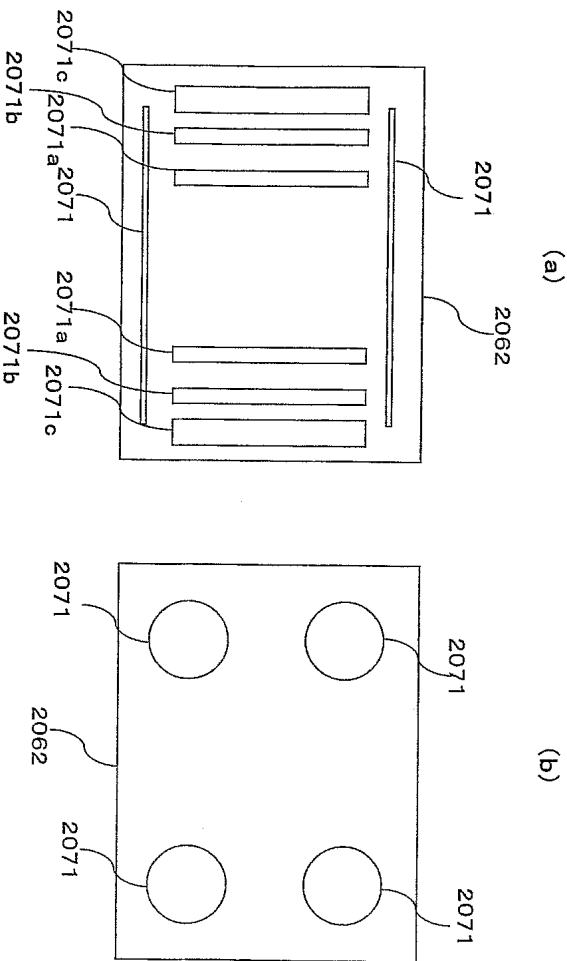
도면205



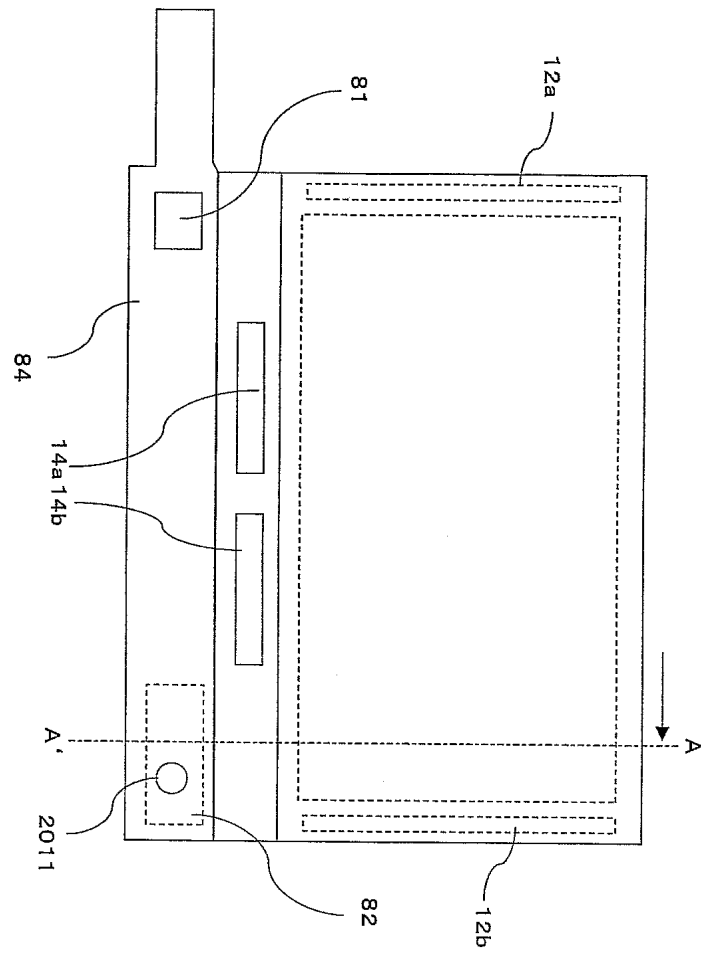
도면206



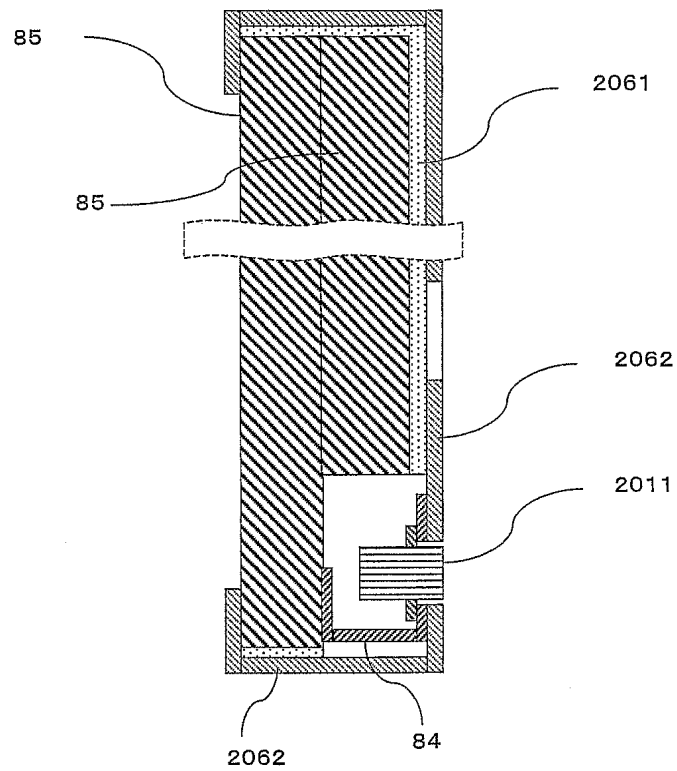
도면207



도면208

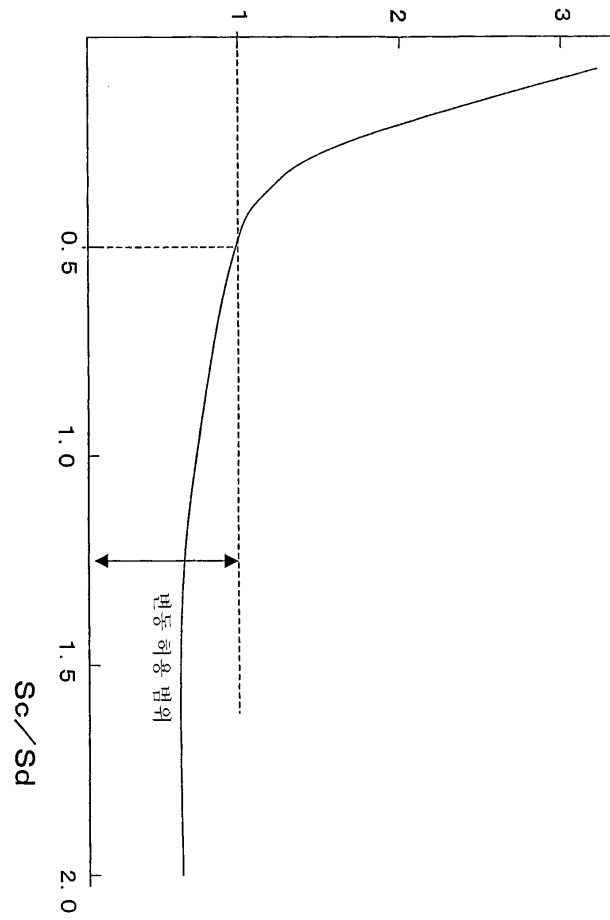


도면209

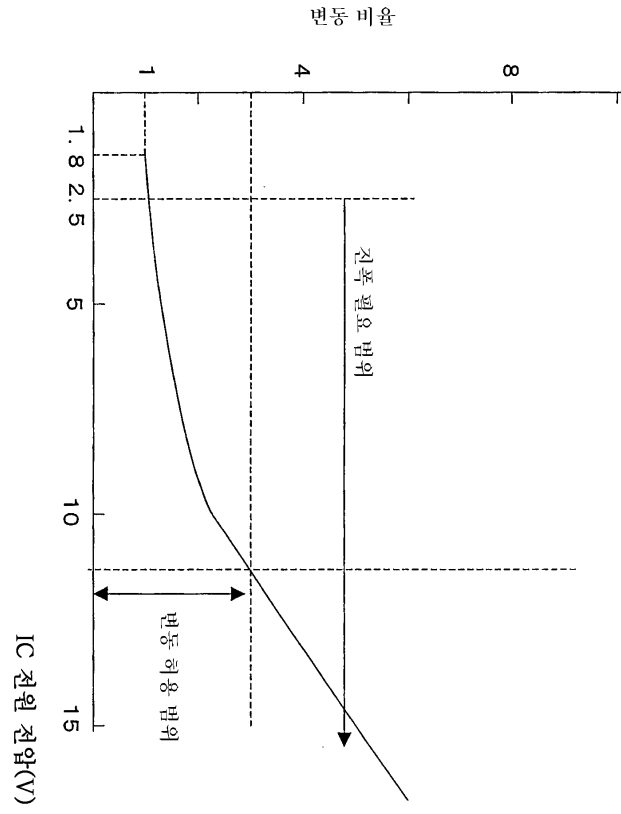


도면210

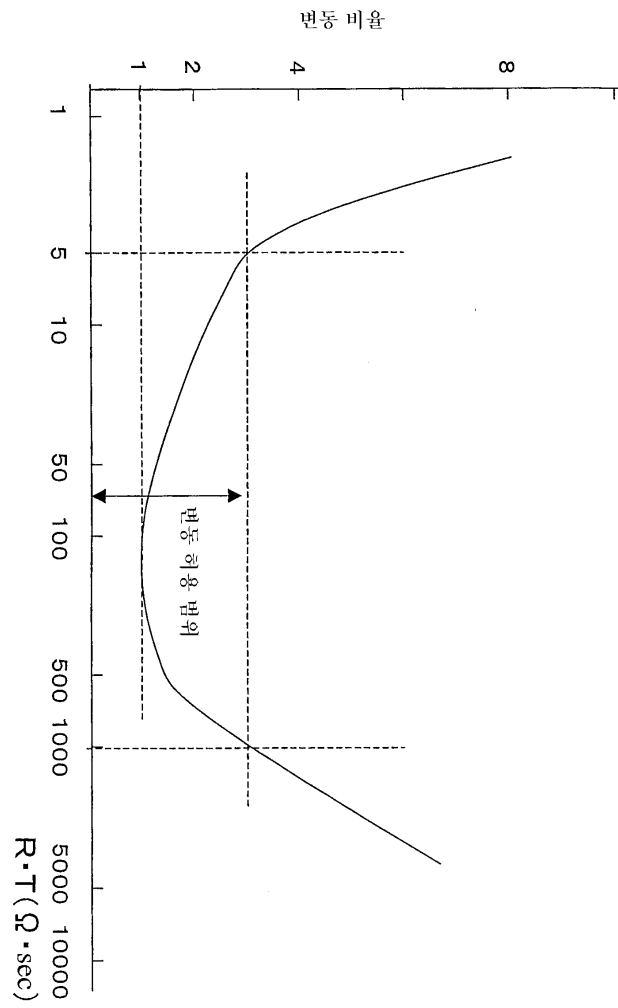
변동 비율



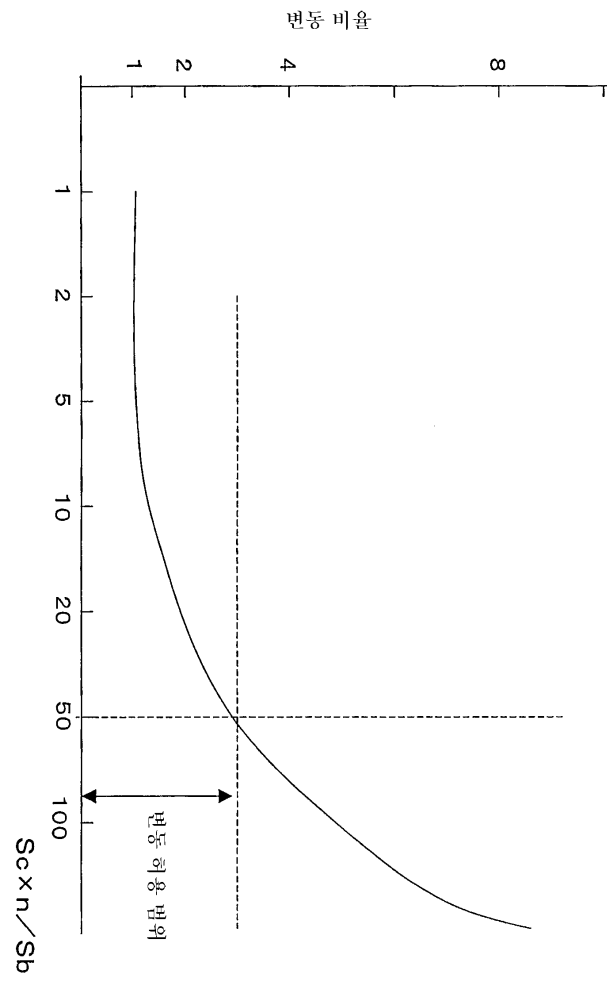
도면211



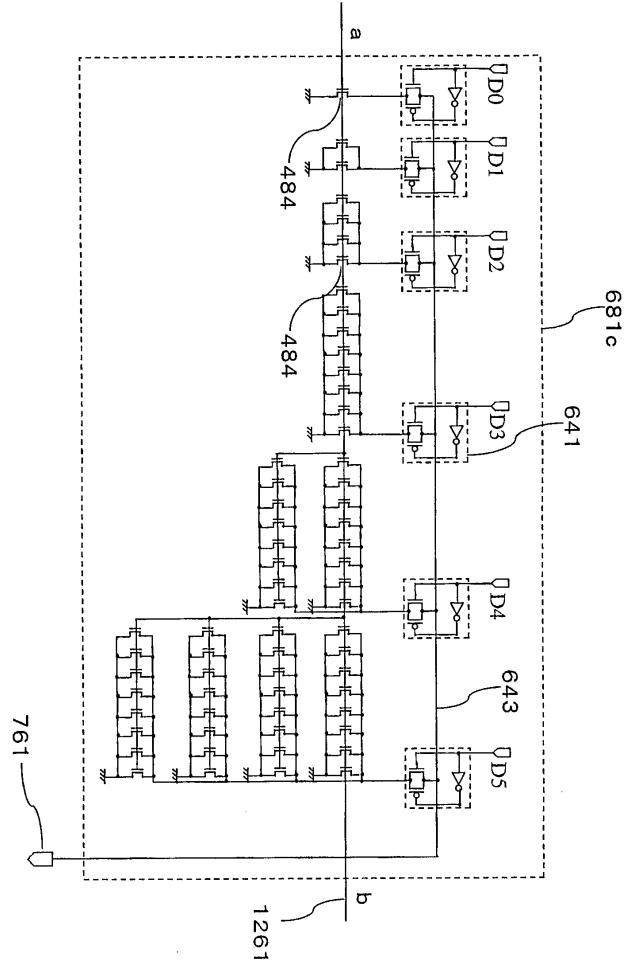
도면212



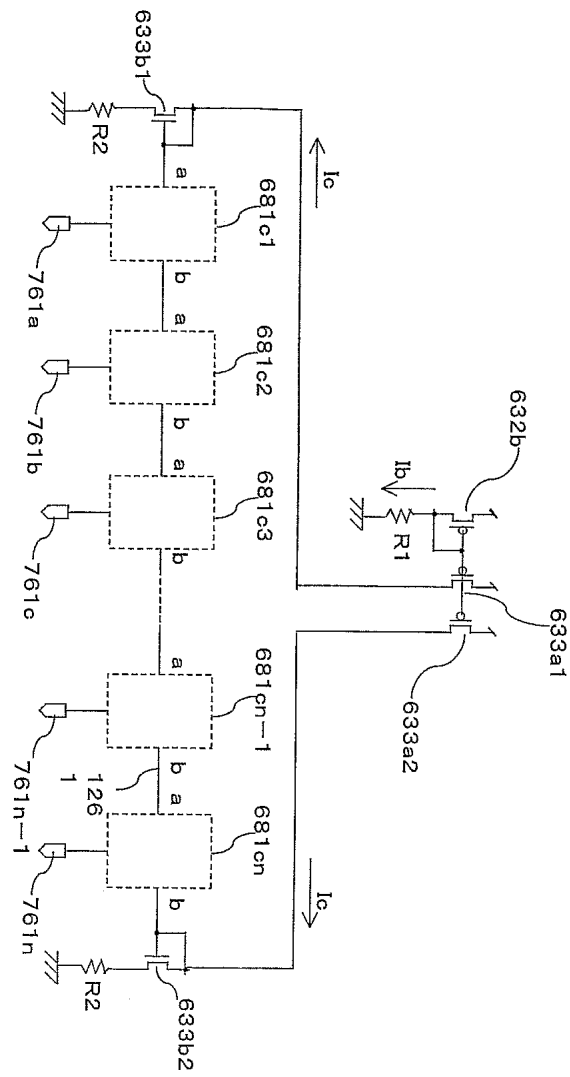
도면213



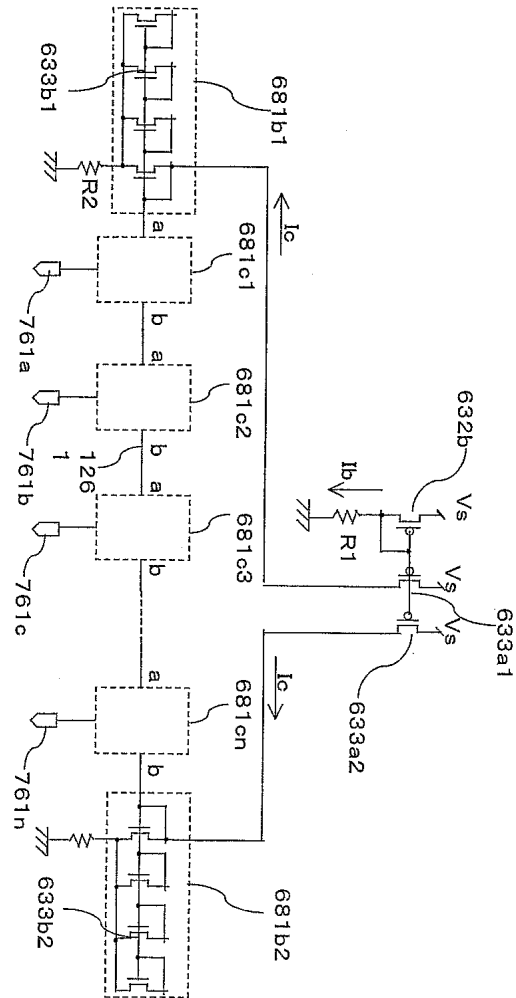
도면214



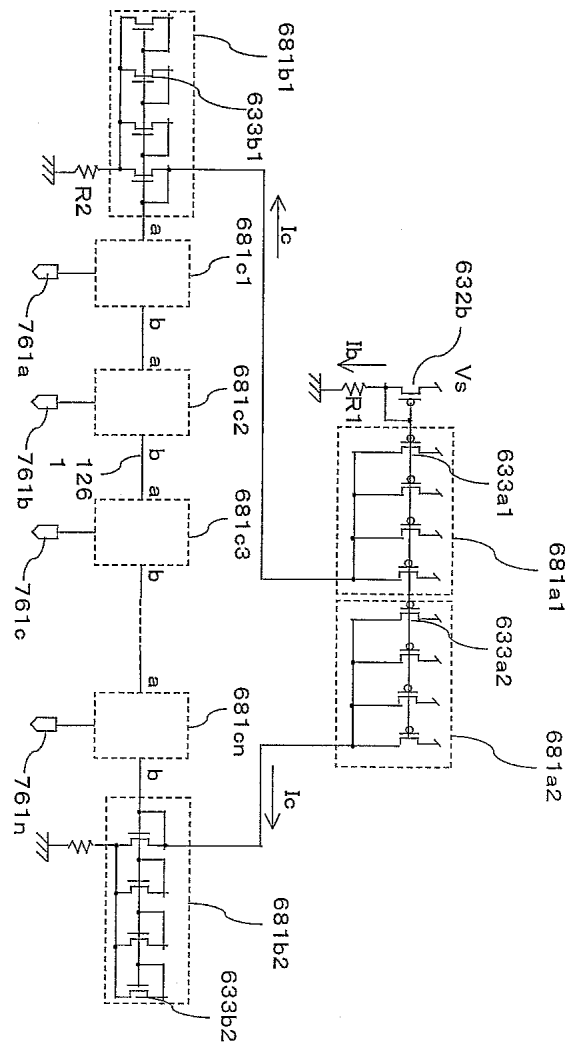
도면215



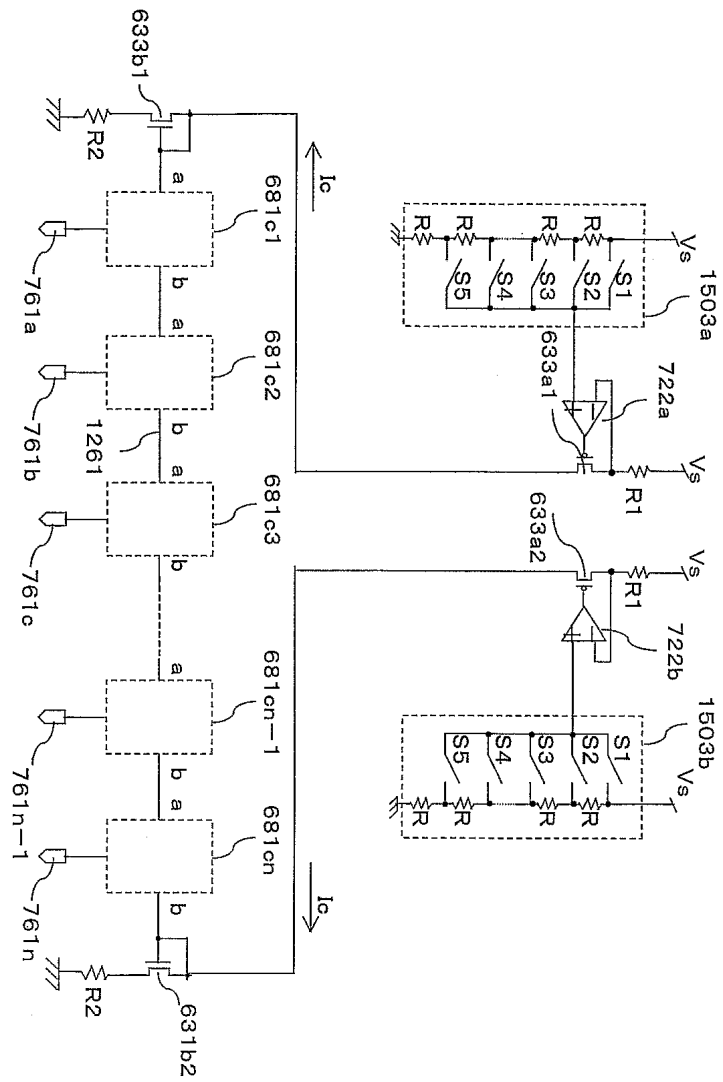
도면216



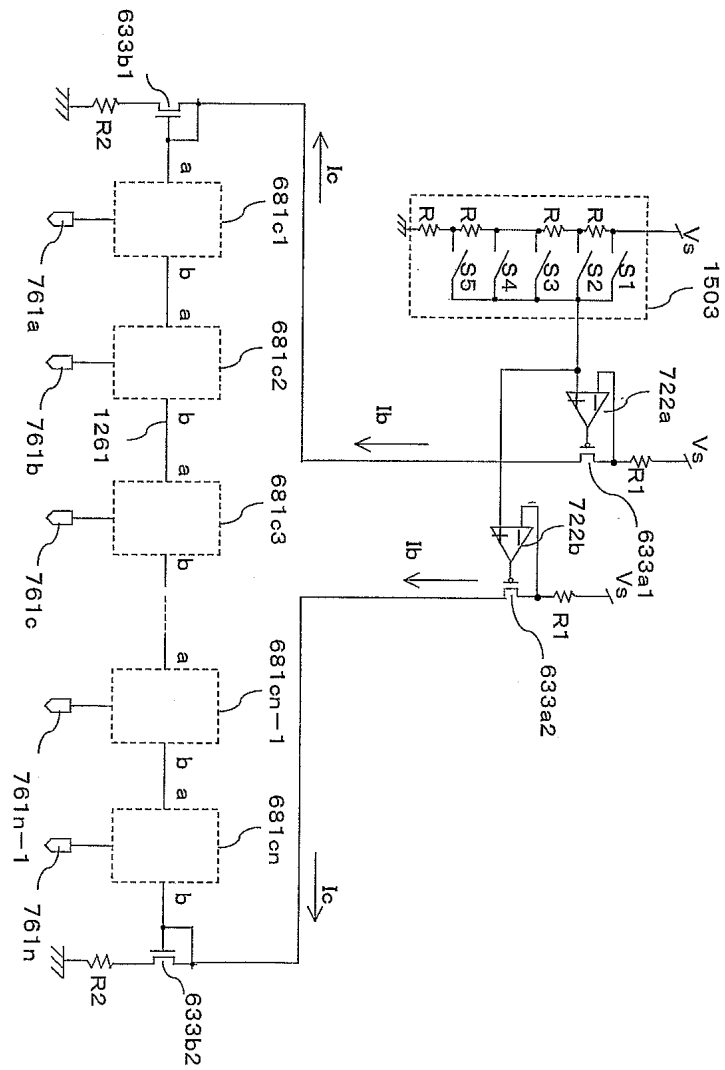
도면217



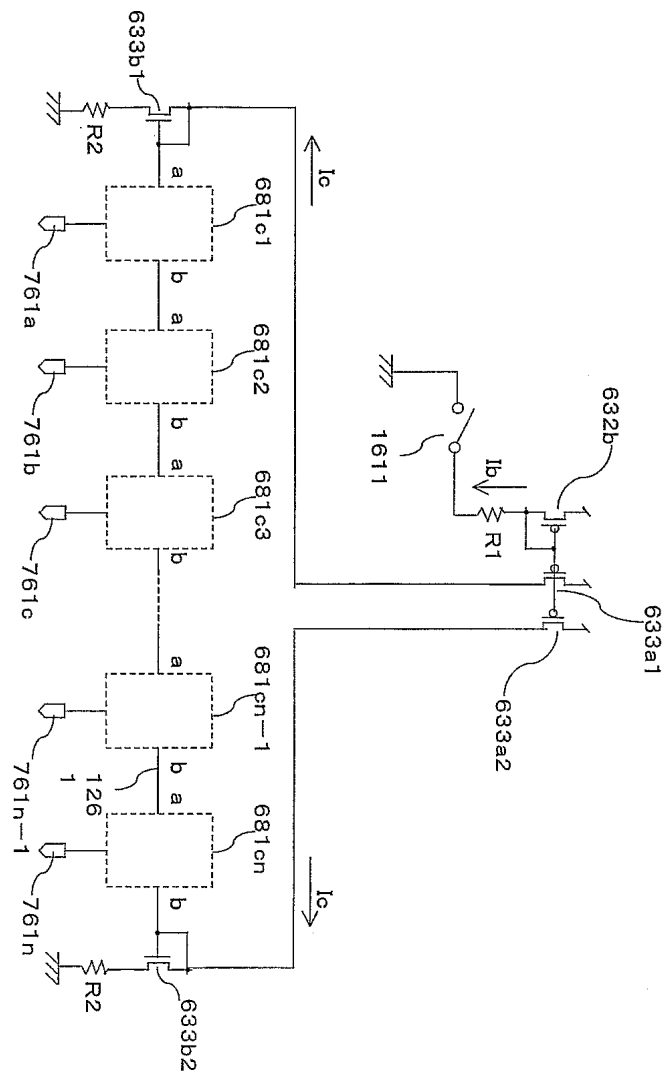
도면218



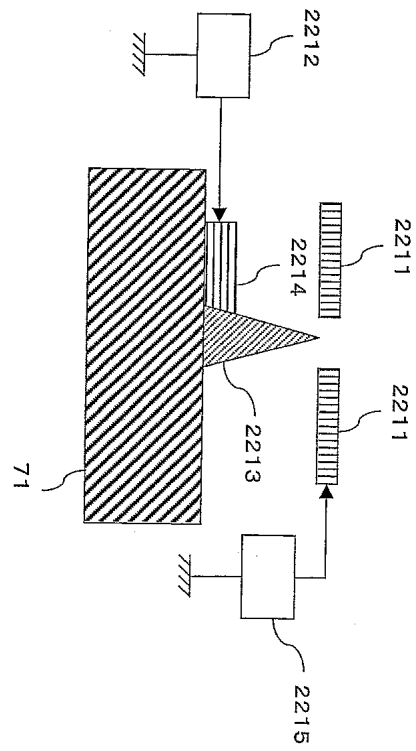
도면219



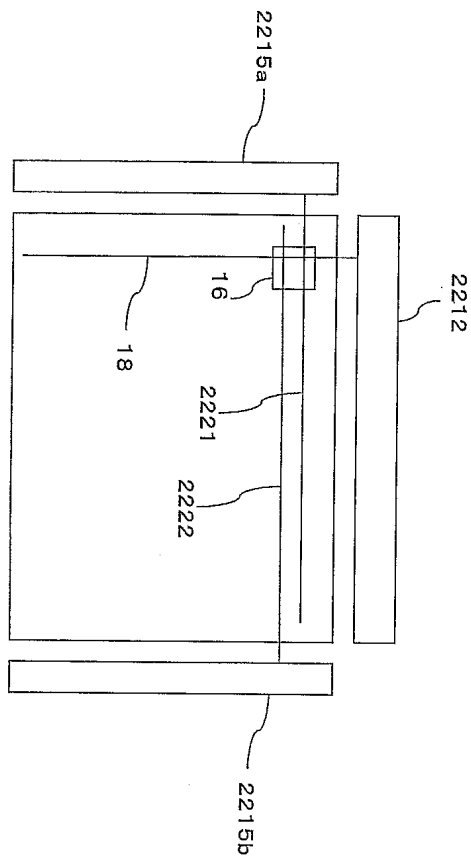
도면220



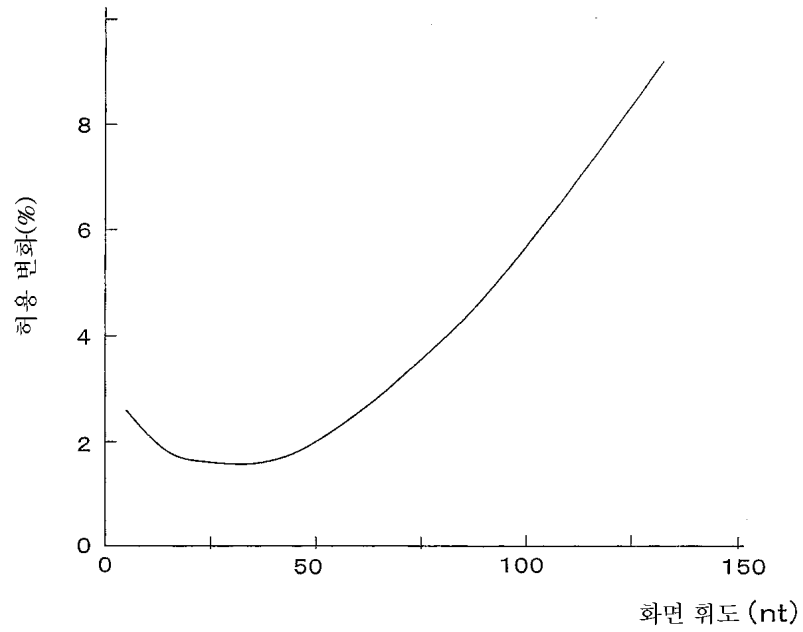
도면221



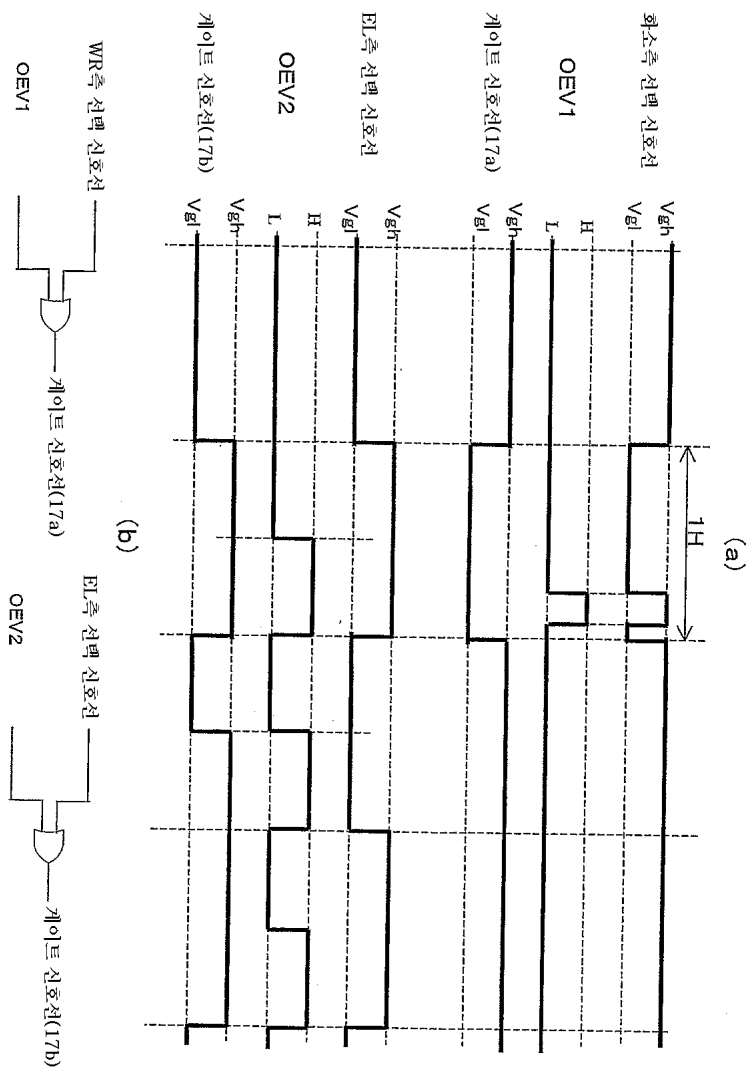
도면222



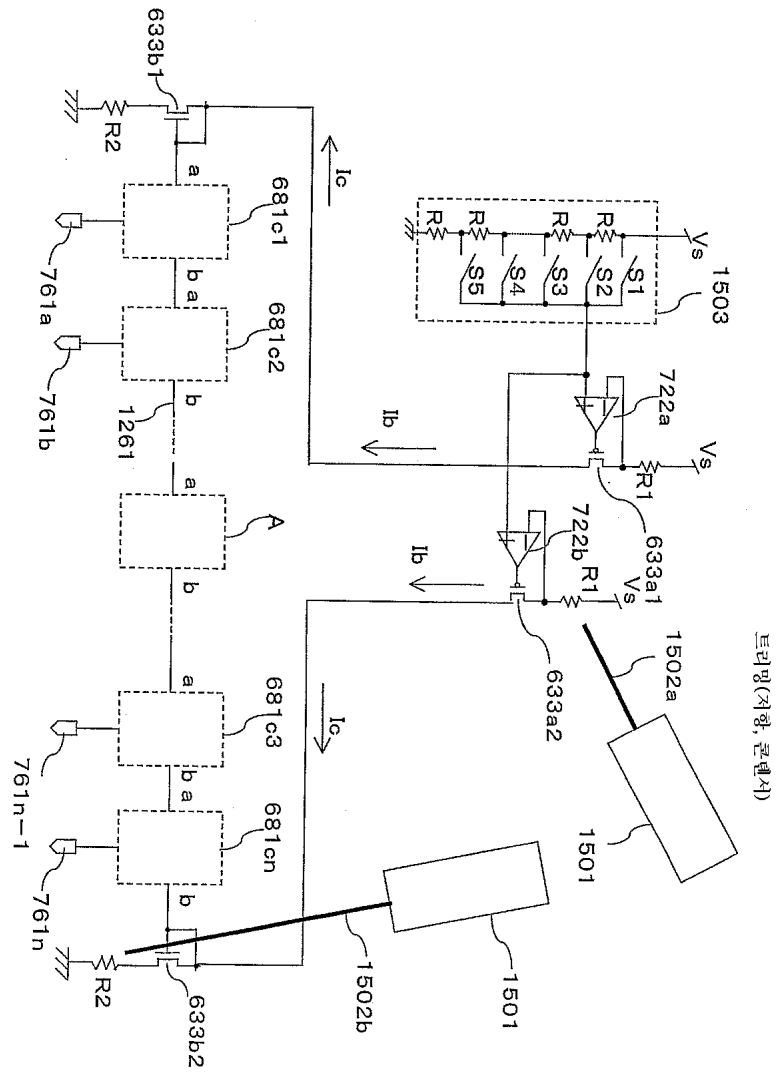
도면223



도면224

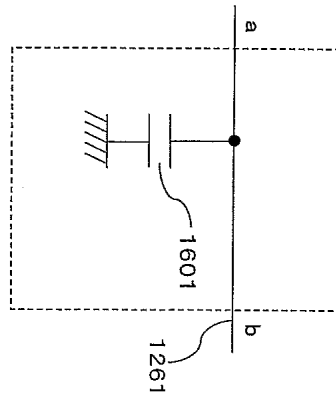


도면225

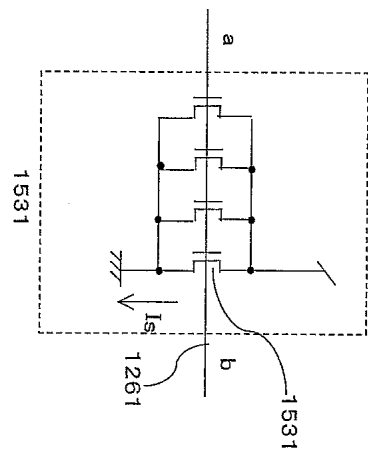


도면226

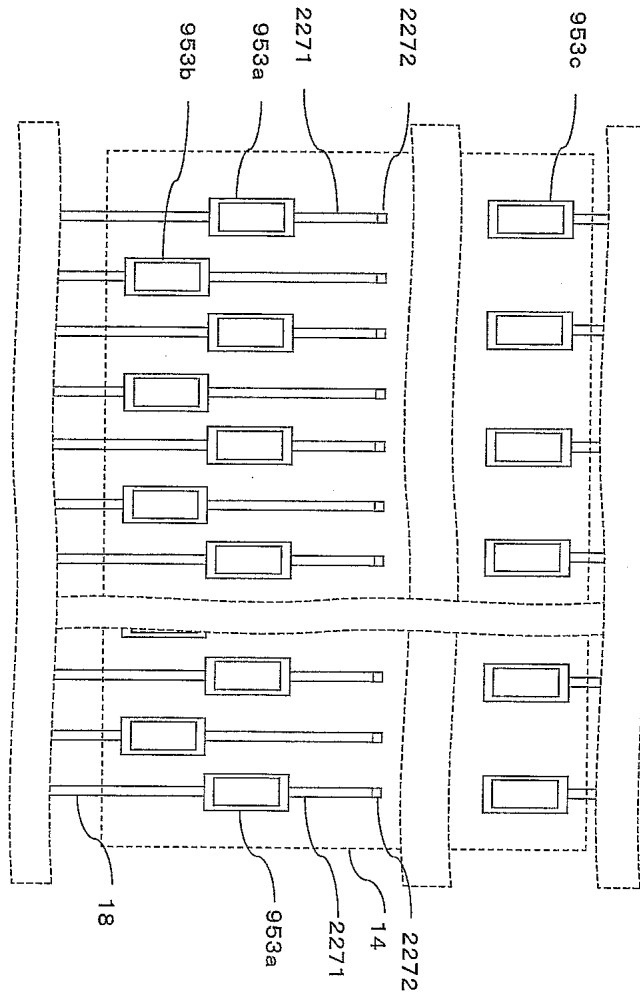
(a)



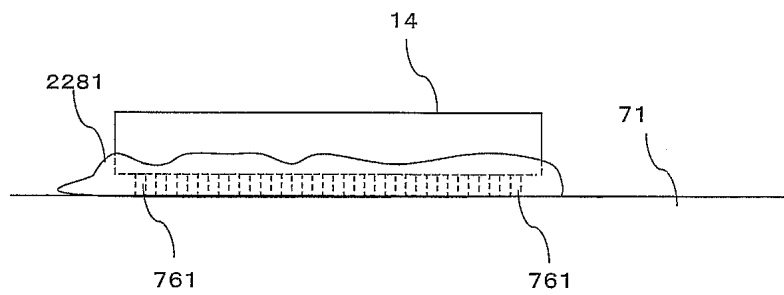
(a)



도면227



도면228



专利名称(译)	EL显示面板的驱动电路		
公开(公告)号	KR1020050003394A	公开(公告)日	2005-01-10
申请号	KR1020047017265	申请日	2003-03-05
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TAKAHARA HIROSHI 다까하라히로시 TSUGE HITOSHI 쯔게히토시		
发明人	다까하라, 히로시 쯔게, 히토시		
IPC分类号	G09G3/30 G09G3/00 G09G3/20 G09G3/22 G09G3/32 H01L27/32 H01L51/52 H05B33/14		
CPC分类号	G09G3/006 G09G3/20 G09G3/2014 G09G3/22 G09G3/3241 G09G3/325 G09G3/3266 G09G3/3283 G09G2300/0408 G09G2300/0417 G09G2300/0452 G09G2300/0809 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/02 G09G2310/0218 G09G2310/0251 G09G2310/0256 G09G2310/0262 G09G2310/027 G09G2310/0283 G09G2310/0297 G09G2310/06 G09G2310/061 G09G2320/0214 G09G2320/0223 G09G2320/0233 G09G2320/0261 G09G2320/043 G09G2320/0606 G09G2320/0626 G09G2320/066 G09G2320/08 G09G2330/02 G09G2330/12 H01L27/3213 H01L27/3218 H01L27/3223 H01L27/3244 H01L27/3276 H01L51/5253 H01L51/5259 H01L51/5262 H01L51/5281 H01L51/529 H01L2251/568		
代理人(译)	Jangsugil Yijunghui		
优先权	2002127532 2002-04-26 JP 2002127637 2002-04-26 JP 2002284393 2002-09-27 JP		
其他公开文献	KR100638304B1		
外部链接	Espacenet		

摘要(译)

EL显示面板的源极驱动电路，其中抑制了输出电流的变化。源极驱动器电路包括每个代表一个单元的单元晶体管（634）。第0位包括一个单位晶体管（634），第一位包括两个单位晶体管（634），第二位包括四个单位晶体管（634），第三位包括八个单位晶体管（634），第四位包括十六个单元晶体管（634），第五位包括三十二个单元晶体管（634）。每个单元晶体管（634）与晶体管（633a）一起构成电流镜电路。流过单元晶体管（634）的电流可以通过调节流过晶体管（633a）的电流I_b来改变。当输出电流电路由单元晶体管构成并且参考电流被调节时，可以调节单元晶体管的输出电流，从而产生高精度的源极驱动器IC，其中输出电流的变化被抑制。

