



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월02일
(11) 등록번호 10-0843117
(24) 등록일자 2008년06월26일

(51) Int. Cl.

H05B 33/04 (2006.01) H05B 33/02 (2006.01)

H05B 33/10 (2006.01)

(21) 출원번호 10-2007-0048753(분할)

(22) 출원일자 2007년05월18일

심사청구일자 2007년05월18일

(65) 공개번호 10-2007-0072441

(43) 공개일자 2007년07월04일

(62) 원출원 특허 10-2005-0095589

원출원일자 2005년10월11일

심사청구일자 2005년10월11일

(30) 우선권주장

JP-P-1999-00290356 1999년10월12일 일본(JP)

JP-P-1999-00301770 1999년10월22일 일본(JP)

(56) 선행기술조사문헌

JP09022779 A*

JP11040346

JP10189238

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 27 항

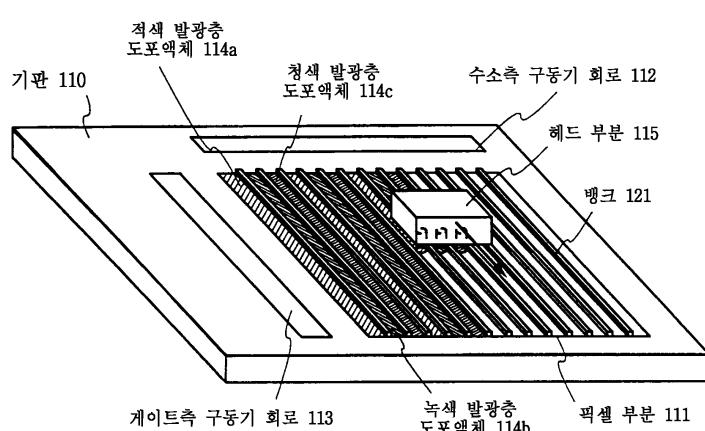
심사관 : 정두한

(54) 디스플레이 디바이스

(57) 요 약

폴리머(polymer)로 구성된 유기체 EL 물질을 위치 쉬프트 없이 정확하게 막 피착하기 위한 높은 처리 량의 막 피착 수단이 제공된다. 픽셀(pixel) 부분은 뱅크(bank)에 의해 복수의 픽셀 행들로 나뉘고, 막 피착 장치의 헤드(head) 부분은 픽셀 행을 따라 주사되어, 그에 의해 적색 발광층 도포액, 녹색 발광층 도포액, 및 청색 발광층 도포액을 스트라이프(stripe) 형태로 동시에 도포한다. 이어서, 열처리가 수행되고, 그에 의해 적색, 녹색, 및 청색을 각각 발하는 발광층을 형성하게 된다.

대표도 - 도1a



(72) 발명자

히로키 마사아키

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤한도오따이 에네루기 켄큐쇼(내)

후쿠나가 다케시

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤한도오따이 에네루기 켄큐쇼(내)

특허청구의 범위

청구항 1

반도체 디바이스에 있어서,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프(stripe) 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층(light emitting layer);

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질; 및

상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 포함하는, 반도체 디바이스.

청구항 2

반도체 디바이스에 있어서,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 복수의 제2 전극들과 상기 제2 유리 기판 사이에 제공되는 건조제; 및

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질을 포함하는, 반도체 디바이스.

청구항 3

반도체 디바이스에 있어서,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 복수의 제2 전극들과 상기 제2 유리 기판 사이에 제공되는 건조제; 및

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질을 포함하며,

상기 복수의 제1 전극들은 투과적(transparent)이며 상기 복수의 제2 전극들은 반사적인(reflective), 반도체 디바이스.

청구항 4

반도체 디바이스에 있어서,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질; 및

상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 포함하며,

상기 발광층에 의해 생성된 광은 상기 제1 유리 기판을 향해 발산되는(irradiated), 반도체 디바이스.

청구항 5

제1항, 제2항, 제3항 또는 제4항에 있어서,

상기 발광층은 유기 EL 물질을 포함하는, 반도체 디바이스.

청구항 6

제2항 또는 제3항에 있어서,

상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 더 포함하는, 반도체 디바이스.

청구항 7

제2항 또는 제3항에 있어서,

상기 건조제는 산화바륨을 포함하는, 반도체 디바이스.

청구항 8

디스플레이 디바이스를 포함하는 자동차 오디오 시스템에 있어서,

상기 디스플레이 디바이스는,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질; 및

상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 포함하는, 자동차 오디오 시스템.

청구항 9

디스플레이 디바이스를 포함하는 자동차 오디오 시스템에 있어서,

상기 디스플레이 디바이스는,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 복수의 제2 전극들과 상기 제2 유리 기판 사이에 제공되는 건조제; 및

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질을 포함하는, 자동차 오디오 시스템.

청구항 10

디스플레이 디바이스를 포함하는 자동차 오디오 시스템에 있어서,
상기 디스플레이 디바이스는,
제1 유리 기판;
상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;
상기 복수의 제1 전극들 상에 형성되는 발광층;
상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;
상기 복수의 제2 전극들 상의 제2 유리 기판;
상기 복수의 제2 전극들과 상기 제2 유리 기판 사이에 제공되는 전조제; 및
상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질을 포함하며,
상기 복수의 제1 전극들은 투과적이며 상기 복수의 제2 전극들 반사적인, 자동차 오디오 시스템.

청구항 11

디스플레이 디바이스를 포함하는 자동차 오디오 시스템에 있어서,
상기 디스플레이 디바이스는,
제1 유리 기판;
상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;
상기 복수의 제1 전극들 상에 형성되는 발광층;
상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;
상기 복수의 제2 전극들 상의 제2 유리 기판;
상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질; 및
상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 포함하며,
상기 발광층에 의해 생성되는 광은 상기 제1 유리 기판을 향해 발산되는, 자동차 오디오 시스템.

청구항 12

제8항, 제9항, 제10항 또는 제11항에 있어서,
상기 발광층은 유기 EL 물질을 포함하는, 자동차 오디오 시스템.

청구항 13

제9항 또는 제10항에 있어서,
상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 더 포함하는, 자동차 오디오 시스템.

청구항 14

제9항 또는 제10항에 있어서,
상기 전조제는 산화바륨을 포함하는, 자동차 오디오 시스템.

청구항 15

디스플레이 디바이스를 포함하는 오디오 재생 디바이스에 있어서,
상기 디스플레이 디바이스는,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질; 및

상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 포함하는, 오디오 재생 디바이스.

청구항 16

디스플레이 디바이스를 포함하는 오디오 재생 디바이스에 있어서,

상기 디스플레이 디바이스는,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 복수의 제2 전극들과 상기 제2 유리 기판 사이에 제공되는 건조제; 및

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질을 포함하는, 오디오 재생 디바이스.

청구항 17

디스플레이 디바이스를 포함하는 오디오 재생 디바이스에 있어서,

상기 디스플레이 디바이스는,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;

상기 복수의 제2 전극들과 상기 제2 유리 기판 사이에 제공되는 건조제; 및

상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 물질을 포함하며,

상기 복수의 제1 전극들은 투과적이며 상기 복수의 제2 전극들은 반사적인, 오디오 재생 디바이스.

청구항 18

디스플레이 디바이스를 포함하는 오디오 재생 디바이스에 있어서,

상기 디스플레이 디바이스는,

제1 유리 기판;

상기 제1 유리 기판 상에, 스트라이프 형태로 배열되는 복수의 제1 전극들;

상기 복수의 제1 전극들 상에 형성되는 발광층;

상기 복수의 제1 전극들과 교차하는 스트라이프 형태의 복수의 제2 전극들;

상기 복수의 제2 전극들 상의 제2 유리 기판;
 상기 제1 및 제2 유리 기판들을 서로 접착시키는 밀봉 재료; 및
 상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 포함하며,
 상기 발광층에 의해 생성되는 광은 상기 제1 유리 기판을 향해 발산되는, 오디오 재생 디바이스.

청구항 19

제15항, 제16항, 제17항 또는 제18항에 있어서,
 상기 발광층은 유기 EL 물질을 포함하는, 오디오 재생 디바이스.

청구항 20

제16항 또는 제17항에 있어서,
 상기 복수의 제1 전극들 사이에 제공되는 복수의 뱅크들;을 더 포함하는, 오디오 재생 디바이스.

청구항 21

제16항 또는 제17항에 있어서,
 상기 건조제는 산화바륨을 포함하는, 오디오 재생 디바이스.

청구항 22

제1항, 제2항, 제3항 또는 제4항에 있어서,
 상기 복수의 제2 전극들 상에 형성되는 보호막(passivation film)을 더 포함하는, 반도체 디바이스.

청구항 23

제8항, 제9항, 제10항 또는 제11항에 있어서,
 상기 복수의 제2 전극들 상에 형성되는 보호막(passivation film)을 더 포함하는, 자동차 오디오 시스템.

청구항 24

제15항, 제16항, 제17항 또는 제18항에 있어서,
 상기 복수의 제2 전극들 상에 형성되는 보호막(passivation film)을 더 포함하는, 오디오 재생 디바이스.

청구항 25

제1항, 제2항, 제3항 또는 제4항에 있어서,
 상기 발광층은 적층된 층(laminated layer)인, 반도체 디바이스.

청구항 26

제8항, 제9항, 제10항 또는 제11항에 있어서,
 상기 발광층은 적층된 층(laminated layer)인, 자동차 오디오 시스템.

청구항 27

제15항, 제16항, 제17항 또는 제18항에 있어서,
 상기 발광층은 적층된 층(laminated layer)인, 오디오 재생 디바이스.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <31> 본 발명은 기판 상에 형성되어, 양극과 음극 사이에 샌드위치형으로 위치하는 EL(Electro Luminescence)을 구할 수 있는 발광 유기체 물질(이후 유기체 EL 물질이라 칭함)로 구성된 EL 소자를 포함하는 EL 디스플레이 디바이스, 및 디스플레이 부분(디스플레이 또는 디스플레이 모니터)으로 EL 디스플레이 디바이스를 갖는 전자 디바이스(전자 장비)를 제작하는 방법에 관한 것이다. 상술된 EL 디스플레이 디바이스는 또한 OLED(Organic Light Emitting Diode)라 칭하여짐을 주목하여야 한다.
- <32> 최근에는 발광 유기체 물질의 EL 현상을 사용하는 자체 발광 소자로 EL 소자를 사용하는 디스플레이 디바이스(EL 디스플레이 디바이스)의 개발이 진행중이다. EL 디스플레이 디바이스는 자체 발광형이므로, 액정 디스플레이 디바이스와 같이 백라이트(backlight)를 사용할 필요가 없다. 더욱이, EL 디스플레이 디바이스의 시청 각도가 더 넓기 때문에, 외부에서 사용하기 위한 이동 장비의 전망 있는 디스플레이 부분으로 생각된다.
- <33> EL 디스플레이 디바이스는 2 종류, 즉 수동형(단순 매트릭스형) 및 능동형(능동 매트릭스형)이 있다. 두 종류의 EL 디스플레이 디바이스의 개발은 적극적으로 진행되고 있다. 특히, 능동 매트릭스 EL 디스플레이 디바이스는 현재 많은 주목을 받고 있다. EL 소자의 코어(core)로 간주될 수 있는 발광층을 형성하는 유기체 EL 물질로 저분자 유기체 EL 물질 및 고분자 유기체 EL 물질(유기체 폴리머(polymer) EL 물질)에 대해 연구가 이루어지고 있다. 고분자 유기체 EL 물질은 저분자 유기체 EL 물질 보다 다루기 쉽고 높은 열 저항 특징을 갖기 때문에 더 많은 관심을 받고 있다.
- <34> 고분자 유기체 EL 물질의 막 피착 방법으로는 세이코 에プ슨(Seiko Epson)사에 의해 제안된 잉크젯(ink-jet) 방법이 좋은 방법으로 생각된다. 일본 특허 출원 공개 번호 제 Hei 10-12377 호, 일본 특허 출원 공개 번호 제 Hei 10-153967 호, 및 일본 특허 출원 공개 번호 제 Hei 11-54270 호 등은 이 기술에 관련되어 참고될 수 있다.
- <35> 그러나, 잉크젯 방법에서는 고분자 유기체 EL 물질이 도포 표면 상에 스프레이 된다. 그래서, 도포 표면과 잉크젯 헤드의 노즐 사이의 거리가 적절하게 설정되지 않으면, 도포될 필요가 없는 부분에도 용액 방울이 분사되어, 비행 곡선(aviation curve)이라 알려진 문제점을 일으키게 된다. 비행 곡선에 대해 상세한 내용은 상술된 일본 특허 출원 공개 번호 제 Hei 11-54270 호에서 설명되고, 여기서는 분사의 위치적인 타깃으로부터 $50 \mu\text{m}$ 이상의 슬립(slip)이 일어남을 주목한다.

발명이 이루고자 하는 기술적 과제

- <36> 본 발명은 상기의 문제점을 고려하여 이루어졌고, 그 목적은 위치의 쉬프트(shift) 없이 폴리머(polymer)로 구성된 유기체 EL 물질을 정확하게 막 피착 시키는 높은 처리 량의 막 피착 수단을 제공하는 것이다. 본 발명의 또 다른 목적은 이러한 수단을 사용하는 EL 디스플레이 디바이스 및 그를 제작하는 방법을 제공하는 것이다. 본 발명의 또 다른 목적은 이러한 EL 디스플레이 디바이스를 디스플레이 부분으로 갖는 전자 장비를 제공하는 것이다.

발명의 구성 및 작용

- <37> 상기 목적을 이루기 위해, 본 발명은 디스펜서(dispenser)와 같은 박막 피착 장치를 사용하여 스트라이프(stripes) 형태로 적색, 녹색, 및 청색 발광 층이 형성되는 것을 특징으로 한다. 스트라이프 형상은 2 이상의 종횡 비를 갖는 길고 좁은 직사각형과, 2 이상의 장축 및 단축의 비를 갖는 길고 좁은 타원형을 포함한다. 본 발명의 박막 피착 장치는 도 1에 도시된다.
- <38> 도 1a는 본 발명이 실시될 때 π 공액 기초의 폴리머(π conjugate-based polymer)로 구성된 유기체 EL 물질의 막 피착 상태를 도시하는 도면이다. 도 1a에서, 기판(110) 상에는 픽셀(pixel) 부분(111), 소스측 구동기 회로(112), 및 게이트측 구동기 회로(113)가 형성되고, 이들은 모두 TFT로 형성된다. 소스측 구동기 회로(112)에 연결된 복수의 소스 와이어들 및 게이트측 구동기 회로(113)에 연결된 복수의 게이트 와이어들로 둘러싸인 영역은 픽셀이다. TFT 및 EL 소자에 전기적으로 연결된 EL 소자는 픽셀에 형성된다. 그래서, 픽셀 부분(111)은 매트릭스로 배열된 이러한 픽셀로 형성된다.
- <39> 여기서, 참고번호(114a)는 적색을 발하는 유기체 EL 물질과 용매의 혼합(이후 적색 발광층 도포액이라 칭함)을 나타내고; (114b)는 녹색을 발하는 유기체 EL 물질과 용매의 혼합(이후 녹색 발광층 도포액이라 칭함)을 나타내

고; 또한 (114c)는 청색을 발하는 유기체 EL 물질과 용매의 혼합(이후 청색 발광층 도포액이라 칭함)을 나타낸다. 폴리머는 이들 도포액에 대한 유기체 EL 물질이고, 폴리머를 형성하는데는 중합된 물질을 도포 용매에 직접 녹이는 방법이나, 모노머(monomer)를 용매에 녹이고 막 피착을 실행함으로써 형성되는, 물질에 열적 중합을 실행하는 방법이 있음을 주목한다. 본 발명에서는 어느 방법이든 사용될 수 있다. 여기서는 폴리머로 처리되고 용매에 녹여진 유기체 EL 물질을 도포하는 예가 도시된다.

<40> 본 발명의 경우에서는 적색 발광층 도포액(114a), 녹색 발광층 도포액(114b), 및 청색 발광층 도포액(114c)이 박막 피착 장치로부터 따로 방출되어 화살표 방향으로 도포된다. 다른 말로 하면, 적색을 발하는 픽셀 행, 녹색을 발하는 픽셀 행, 및 청색을 발하는 픽셀 행로서 스트라이프 형상의 발광층(엄격하게 발광층의 전조)이 동시에 형성된다.

<41> 여기서 칭하여지는 픽셀 행(pixel row)은 소스 와이어의 상단 부분에 형성된 뱅크(bank)(121)에 의해 분할되는 픽셀의 열을 나타냄을 주목한다. 즉, 소스 와이어를 따라 직렬로 줄 세워진 다수의 픽셀들로 구성된 열이 픽셀 행이라 칭하여진다. 여기서는 뱅크(121)가 소스 와이어의 상단 부분에 형성되는 경우가 설명되었지만, 이는 또한 게이트 와이어의 상단 부분에 제공될 수 있다. 이 경우에는 게이트 와이어를 따라 직렬로 줄 세워진 다수의 픽셀들로 구성된 열이 픽셀 행이라 칭하여진다.

<42> 따라서, 픽셀 부분(111)은 복수의 소스 와이어들 또는 게이트 와이어의 상단 부분에 제공된 스트라이프 형상의 뱅크에 의해 나뉘는 다수의 픽셀열의 어셈블리로 관찰될 수 있다. 이와 같이 픽셀이 관찰될 때, 픽셀 부분(111)은 적색을 발하는 스트라이프형 발광층이 형성된 픽셀 행, 녹색을 발하는 스트라이프형 발광층이 형성된 픽셀 행, 및 청색을 발하는 스트라이프형 발광층이 형성된 픽셀 행으로 구성된다고 말할 수 있다.

<43> 또한, 상술된 스트라이프형 뱅크가 복수의 소스 와이어들 또는 복수의 게이트 와이어들의 상단 부분에 제공되므로, 실질적으로, 픽셀 부분은 소스 와이어 또는 게이트 와이어에 의해 분할된 다수의 픽셀열의 어셈블리로 관찰될 수 있다.

<44> 다음에는 도 1a에 도시된 도포 처리가 실행될 때 박막 피착 장치의 헤드 부분 상태(또한, 방출 부분이라 칭하여질 수 있는)가 도 1b에 도시된다.

<45> 참고번호(115)는 적색을 위한 노즐(116a), 녹색을 위한 노즐(116b), 및 청색을 위한 노즐(116c)이 부착된 박막 피착 장치의 헤드 부분을 나타낸다. 더욱이, 각 노즐 내부에는 적색 발광층 도포액(114a), 녹색 발광층 도포액(114b), 및 청색 발광층 도포액(114c)이 저장된다. 불활성 기체로 채워진 파이프(117)에는 압력이 가해져, 이들 도포액이 픽셀 부분(111)에 방출된다. 헤드 부분(115)은 도면의 앞쪽으로 정의된 공간을 따라 수직 방향으로 주사되어, 도 1a에 도시된 도포 처리를 실행한다.

<46> 헤드 부분은 본 명세서를 통해 주사되고 있는 것으로 언급됨을 주목한다. 실제로는 기판이 X-Y 스테이지에 의해 수직 또는 수평 방향으로 이동된다. 그래서, 헤드 부분은 상대적으로 기판에서 수직 또는 수평 방향으로 주사된다. 물론, 기판은 헤드 부분 그 자체가 주사를 실행하도록 고정될 수 있다. 그러나, 안정성을 고려하여, 기판을 이동시키는 방법이 바람직하다.

<47> 도 1c는 참고번호(118)로 나타내지는 방출 부분 부근을 확대하여 도시한 도면이다. 기판(110)상에 형성된 픽셀 부분(111)은 다수의 TFT(119a 내지 119c) 및 다수의 픽셀 전극(120a 내지 120c)으로 구성된 다수의 픽셀의 어셈블리이다. 도 1b에서, 노즐(116a 내지 116c)에 불활성 기체로 압력이 가해질 때, 도포액(114a 내지 114c)은 이 압력으로 인해 노즐(116a 내지 116c)로부터 방출된다.

<48> 수지 물질로 형성된 뱅크(121)는 도포액이 픽셀 사이의 공간으로 혼합되는 것을 방지하도록 픽셀 사이의 공간에 제공됨을 주목한다. 이 구조에서, 뱅크(121)의 폭(사진 석판술(photolithography)로 결정된)은 픽셀 부분의 접적도가 증가되도록 좁게 만들어지므로, 고화질 영상(high definition images)이 구해질 수 있다. 특히, 도포액의 접성률이 1 내지 30 cp인 경우에 효과적이다.

<49> 그러나, 도포액의 접성률이 30 cp 이상이거나, 도포액이 콜(sol) 또는 젤(gel)의 형태이면, 그 구조에서 뱅크를 생략하는 것이 가능하다. 다른 말로 하면, 도포액이 도포된 이후에 그 사이의 접촉 각도 및 도포 표면이 충분히 크면, 도포액은 필요 이상으로 확산되지 않는다. 그러므로, 도포액이 필요 이상으로 확산되는 것을 방지하기 위한 뱅크를 제공하는 것이 요구되지 않는다. 이 경우, 발광층의 최종적인 형상은 타원 형상(장축 및 단축의 비가 2 이상인 길고 좁은 타원), 전형적으로 픽셀 부분의 한 끝부분에서 다른 끝부분으로 확장된 길고 좁은 타원으로 형성된다.

- <50> 뱅크(121)를 형성하는 수지 물질로는 아크릴(acrylic), 폴리이미드(polyimide), 폴리아미드(polyamide), 및 폴리이미 아미드(polyime amide)가 사용될 수 있다. 수지 물질을 검게 만들기 이전에 이들 수지 물질에서 탄소나 흑색 색소 등이 제공되면, 픽셀 사이에서 광차폐막으로 뱅크(121)를 사용하는 것이 가능하다.
- <51> 부가하여, 노즐(116a, 116b, 116c) 중 하나의 끝부분 가까이에 광반사기를 사용하는 센서를 부착함으로써, 도포 표면과 노즐 사이의 거리가 항상 고정된 거리를 유지하도록 조절될 수 있다. 더욱이, 픽셀 피치(pitch)(픽셀 사이의 거리)에 대응하여 노즐(116a 내지 116c)을 따라 캡(gap)을 조절하는 메커니즘이 제공되면, 노즐이 픽셀 피치를 갖는 EL 디스플레이 디바이스에 도포되도록 허용한다.
- <52> 그래서, 노즐(116a 내지 116c)로부터 방출된 응용 액체(114a 내지 114c)는 각 픽셀 전극(120a 내지 120c)을 덮도록 도포된다. 응용 액체(114a 내지 114c)를 도포한 이후에는 도포액(114a 내지 114c)에 포함된 유기체 용매를 휘발시키도록 전공 상태에서 열처리(굽기(bake) 처리나 태우기(burning) 처리)가 실행되고, 그에 의해 유기체 EL 물질로 구성된 발광층을 형성한다. 그러므로, 유기체 EL 물질의 유리 전이 온도(Tg) 보다 더 낮은 온도 하에서 휘발되는 유기체 용매가 사용된다. 또한, 최종적으로 형성된 발광층의 막 두께는 유기체 EL 물질의 점성률에 의해 결정된다. 이 경우에는 비록 점성률이 유기체 용매 또는 도편트(dopant)의 선택에 의해 조절될 수 있더라도, 점성률이 1과 50 cp(바람직하게 5와 20 cp 사이)인 것이 바람직하다.
- <53> 유기체 EL 물질에서 결정질 핵심이 될 수 있는 불순물이 많이 있으면, 유기체 용매가 휘발될 때, 유기체 EL 물질을 결정화할 가능성이 매우 높아진다. 그러므로, 유기체 EL 물질이 결정화될 때, 발광 드롭의 효율성이 나빠질 수 있다. 불순물은 유기체 EL 물질에 포함되지 않는 것이 가능한 한 많이 바람직하다.
- <54> 불순물을 줄이기 위해, 용매와 유기체 EL 물질은 철저히 정제되고, 용매와 유기체 EL 물질을 혼합할 때 가능한 한 깨끗한 환경을 유지하는 것이 중요하다. 용매나 유기체 EL 물질의 정제를 위해, 증착 건조, 승화, 여과, 재결정화, 재침강, 크로마토그래피, 또는 투석과 같은 기술이 반복적으로 실행되는 것이 바람직하다. 금속 원소 및 알칼리 금속 원소와 같은 불순물을 최종적으로 0.1 ppm 이하(바람직하게 0.01 ppm 이하)로 줄이는 것이 바람직하다.
- <55> 부가하여, 도 1에 도시된 박막 피착 장치에 의해 형성된 유기체 EL 물질을 포함하는 도포액을 도포하는 환경에도 충분한 주위를 기울이는 것이 바람직하다. 보다 상세하게, 상술된 유기체 EL 물질의 막 피착은 글로브 박스(glove box) 내부에 질소와 같은 기체로 채워진 깨끗한 부스에서 실행되는 것이 바람직하다.
- <56> 따라서, 박막 피착 장치의 사용으로, 적색, 녹색, 및 청색을 발하는 세종류의 발광층이 동시에 형성될 수 있다. 결과적으로, 고분자 유기체 EL 물질로 구성된 발광층이 높은 처리량으로 형성될 수 있다. 부가하여, 잉크젯 방법과 다르게, 본 발명의 방법은 간격 없이 픽셀 행에 스트라이프 형태로 도포액을 도포할 수 있어, 매우 높은 처리량을 제공하게 된다.
- <57> 실시예 모드
- <58> 도 2, 도 3a, 및 도 3b를 참고로, 본 발명의 일부 실시예가 설명된다. 도 2는 본 발명에 따른 EL 디스플레이 디바이스에서 픽셀 부분의 단면도를 도시한다. 도 3a는 픽셀 부분의 상단면을 도시하고, 도 3b는 그의 회로 구성을 도시한다. 실제 구조에서, 픽셀은 다수의 선으로 매트릭스가 되도록 배열되고, 그에 의해 픽셀 부분(영상 디스플레이 부분)을 형성한다. 도 2는 도 3a에서 선 A-A'를 따라 취해진 단면도를 설명한다. 따라서, 똑같은 구성 성분은 두 도면에서 모두 똑같은 참고번호로 나타내지고, 이는 두 도면을 참고로 구조를 이해하는데 유리하다. 부가하여, 도 3a에 도시된 두 픽셀은 똑같은 구조를 갖는다.
- <59> 도 2에서, 참고번호(11)는 기판을 나타내고, (12)는 기저 절연막(이후 기저막(base film)이라 칭함)을 나타낸다. 기판(11)으로는 유리 기판, 유리 세라믹 기판, 수정 기판, 실리콘 기판, 세라믹 기판, 금속 기판, 또는 플라스틱 기판(플라스틱 막을 포함하는)이 사용될 수 있다.
- <60> 부가하여, 기저막(12)은 이동 이온을 포함하는 기판이나 도전성을 갖는 기판에 유리하지만, 반드시 수정 기판에 제공되어야 하는 것은 아니다. 기저막(12)으로는 실리콘을 포함하는 절연막이 사용될 수 있다. 본 명세서에서, "실리콘을 포함하는 절연막(insulating film containing silicon)"은 실리콘 및 산소 또는 질소를 소정의 비율로 포함하는 절연막, 특별히 산화실리콘막, 질화실리콘막, 또는 질산화실리콘막(SiO_xN_y 로 표시되는)을 칭한다.
- <61> TFT 또는 EL 소자가 변형되는 것을 방지하기 위해 TFT에서 발생된 열을 분산시키도록 기저막(12)에 열 방사 기능을 제공하는 것이 유리하다. 열 방사 기능은 알려진 물질에 의해 제공될 수 있다.

- <62> 본 예에서는 2개의 TFT가 한 픽셀에 제공된다. TFT(201)는 스위칭 소자로 동작하고(이후 스위칭 TFT라 칭함), TFT(202)는 EL 소자를 통해 흐르는 전류 량을 제어하는 전류 제어 소자로 동작한다(이후 전류 제어 TFT라 칭함). TFT(201, 202)는 모두 n-채널 TFT로 구성된다.
- <63> n-채널 TFT가 p-채널 TFT 보다 더 높은 전계 효과 이동성을 가지므로, n-채널 TFT가 더 높은 속도로 동작하고 많은 양의 전류를 수용할 수 있다. 더욱이, p-채널 TFT와 비교해, 똑같은 양의 전류가 더 작은 크기의 n-채널 TFT를 통해 흐를 수 있다. 따라서, 결과적으로 디스플레이 부분에서 증가된 유효 발광 표면적을 제공하게 되므로, n-채널 TFT를 전류 제어 TFT로 사용하는 것이 바람직하다.
- <64> p-채널 TFT는 예를 들면, 핫 캐리어(hot carrier)의 주입이 거의 문제가 되지 않고 OFF 전류 값이 작은 이점을 갖는다. 그래서, p-채널 TFT가 스위칭 TFT 또는 전류 제어 TFT로 사용되는 구조가 이미 보고되었다. 그러나, 본 발명에서는 핫 캐리어의 주입과 작은 OFF 전류 값과 연관된 불편한 점이 LDD 영역의 배열을 제공함으로써 n-채널 TFT에서도 극복될 수 있다. 따라서, n-채널 TFT들로 픽셀 내의 모든 TFT들을 만드는 것이 또한 가능하다.
- <65> 그러나, 본 발명은 스위칭 TFT 및 전류 제어 TFT가 n-채널 TFT로 구성되는 경우에 제한되지 않는다. 스위칭 TFT 및 전류 제어 TFT 중 하나 또는 둘 모두로 p-채널 TFT를 사용하는 것이 가능하다.
- <66> 스위칭 TFT(201)는 소스 영역(13), 드레인 영역(14), LDD 영역(15a 내지 15d), 고농도 불순물 영역(16), 및 채널 형성 영역(17a, 17b)을 포함하는 활성층, 게이트 절연막(18), 게이트 전극(19a, 19b), 제1 층간 절연막(20), 소스 와이어(21), 및 드레인 와이어(22)를 갖도록 형성된다.
- <67> 부가하여, 도 3a 및 도 3b에 도시된 바와 같이, 게이트 전극(19a, 19b)은 다른 물질(게이트 전극(19a, 19b) 보다 더 낮은 저항을 갖는)로 구성된 게이트 와이어(211)를 통해 서로 전기적으로 연결되고, 그에 의해 이중-게이트 구조를 형성한다. 물론, 이중-게이트 구조뿐만 아니라 3중-게이트 구조와 같이 다중-게이트 구조(직렬로 연결된 2개 이상의 채널 형성 영역을 포함하는 활성층을 갖는 구조)를 사용하는 것이 가능하다.
- <68> 다중-게이트 구조는 OFF 전류 값을 감소시키는데 충분히 유리하다. 본 발명에 따라, 낮은 OFF 전류 값을 갖는 스위칭 소자는 다중-게이트 구조를 갖는 픽셀에 스위칭 소자(201)를 제공함으로써 실현될 수 있다.
- <69> 부가하여, 활성층은 결정질 구조를 포함하는 반도체 막으로 형성된다. 이는 단일 결정질 반도체막, 다결정질 반도체막, 또는 미세결정질 반도체막이 될 수 있다. 게이트 절연막(18)은 실리콘을 포함하는 절연막으로 형성된다. 더욱이, 임의의 종류의 도전성 막이 게이트 전극, 소스 와이어, 또는 드레인 와이어로 사용될 수 있다.
- <70> 더욱이, 스위칭 TFT(201)에서, LDD 영역(15a 내지 15d)은 게이트 전극(19a, 19b)과 오버랩 되지 않도록 배치된다. 이러한 구조는 OFF 전류 값을 줄이는데 상당히 유리하다.
- <71> OFF 전류 값을 줄이기 위해, 채널 형성 영역과 LDD 영역 사이에 오프셋 영역(채널 형성 영역과 같은 합성을 갖는 반도체 층으로 구성되고 게이트 전압이 그에 도포되지 않는)을 제공하는 것이 더 유리하다. 부가하여, 2개 이상의 게이트 전극을 갖는 다중-게이트 구조의 경우, 채널 형성 영역 사이에 배치된 고농도 불순물 영역은 OFF 전류 값을 줄이는데 효과적이다.
- <72> 상술된 바와 같이, OFF 전류 값을 다중-게이트 구조 TFT가 픽셀의 스위칭 TFT(201)로 사용되는 경우 충분히 낮추어질 수 있다. 다른 말로 하면, 낮은 OFF 전류 값을 전류 제어 TFT의 게이트에 인가된 전압이 더 오래 유지될 수 있다는 것을 의미한다. 그러므로, 일본 특허 출원 공개 번호 제Hei 10-189252호에서 설명된 도 2와 같이, 전위를 보유하는 캐패시터는 더 작게 만들어질 수 있고, 생략되더라도, 다음 기록 주기까지 전류 제어 TFT의 게이트 전압을 유지할 수 있는 이점이 얻어질 수 있다.
- <73> 이어서, 전류 제어 TFT(202)는 소스 영역(31), 드레인 영역(32), LDD 영역(33)과 채널 형성 영역(34)을 포함하는 활성층, 게이트 절연막(18), 게이트 전극(350, 제1 층간 절연막(20), 소스 와이어(36), 및 드레인 와이어(37)를 갖도록 형성된다. 비록 도시된 게이트 전극(35)은 단일-게이트 구조를 갖지만, 이는 다중-게이트 구조를 가질 수 있다.
- <74> 도 2에 도시된 바와 같이, 스위칭 TFT(201)의 드레인은 전류 제어 TFT(202)의 게이트에 연결된다. 특별히, 전류 제어 TFT(202)의 게이트 전극(35)은 드레인 와이어(22)를 통해 스위칭 TFT(201)의 드레인 영역(14)에 전기적으로 연결된다. 더욱이, 소스 와이어(36)는 전력 공급선(212)(도 3a를 참고)에 연결된다.
- <75> 전류 제어 TFT(202)는 EL 소자(203)에 주입되는 전류 량을 제어하도록 의도되는 디바이스이다. 그러나, EL 소자

의 가능한 변형을 고려하여, 많은 양의 전류가 흐르는 것을 허용하는 것은 바람직하지 못하다. 따라서, 과도한 전류가 전류 제어 TFT(202)를 통해 흐르는 것을 방지하기 위해, 채널 길이(L)는 바람직하게 길게 설계된다. 바람직하게, 채널 길이(L)는 픽셀 당 0.5 내지 2 μm (전형적으로 1 내지 1.5 μm) 길이로 설계된다.

- <76> 상술된 설명을 고려하여, 도 9에 도시된 바와 같이, 채널 길이 L1(여기서, L1 = L1a + L1b)과 스위칭 TFT의 채널폭 W1, 및 채널 길이 L2 및 전류 제어 TFT의 채널폭 W2는 바람직하게 다음과 같이 설정된다: W1은 0.1 내지 5 μm (전형적으로 0.5 내지 2 μm)의 범위이고; W2는 0.5 내지 10 μm (전형적으로 2 내지 5 μm)의 범위이고; L1은 0.2 내지 18 μm (전형적으로 2 내지 15 μm)의 범위이고; 또한 L2는 1 내지 50 μm (전형적으로 10 내지 30 μm)의 범위이다. 그러나, 본 발명은 상술된 값에 제한되지 않는다.
- <77> 스위칭 TFT에 형성된 LDD 영역의 길이(폭)는 0.5 내지 3.5 μm 의 범위, 전형적으로 2.0 내지 2.5 μm 의 범위 내에서 설정된다.
- <78> 도 2에 도시된 바와 같은 EL 디스플레이 디바이스는 전류 제어 TFT(202)에서 드레인 영역(32)과 채널 형성 영역(34) 사이에 LDD 영역(33)이 제공되고, LDD 영역(33)의 일부가 게이트 절연막(18)을 통해 게이트 전극(35)과 오버랩 되는 특성을 갖는다.
- <79> EL 소자(204)가 빛을 발하게 하도록 전류 제어 TFT(202)가 전류를 공급하기 위해서는 도 2에 도시된 바와 같은 핫 캐리어 주입으로 인한 변형에 대해 단계가 취해지는 것이 바람직하다.
- <80> OFF 전류 값을 억제하기 위해서는 게이트 전극의 일부와 오버랩 되도록 LDD 영역을 형성하는 것이 효과적임을 주목한다. 이 경우, 게이트 전극과 오버랩 되는 영역은 핫 캐리어 주입을 억제하고, 게이트 전극과 오버랩 되지 않는 영역은 OFF 전류 값을 방지한다.
- <81> 게이트 전극과 오버랩 되는 LDD 영역의 길이는 이때 0.1 내지 3 μm (바람직하게 0.3 내지 1.5 μm)으로 이루어진다. 또한, 게이트 전극과 오버랩 되지 않는 LDD 영역을 제공하는 경우에, LDD 영역의 길이는 1.0 내지 3.5 μm (바람직하게 1.5 내지 2.0 μm)으로 이루어진다.
- <82> 또한, 전위를 활성적으로 유지하는(전하를 유지하는) 캐패시터로, 게이트 절연막을 통해 게이트 전극과 오버랩 되는 LDD 영역과 게이트 전극 사이의 영역에 형성된 여진 캐패시턴스(parasitic capacitance)(또한, 게이트 캐패시턴스라 칭함)를 사용하는 것이 가능하다. 본 실시예에서, 도 2에 도시된 LDD 영역(33)은 게이트 전극(35)과 LDD 영역(33) 사이에 게이트 캐패시턴스를 형성하도록 형성된다. 이 캐패시턴스는 일본 특허 출원 공개 번호 Hei 10-189252에서 설명되는 도 2에 도시된 바와 같이, 전위를 유지하는 캐패시터로 사용된다.
- <83> 물론, 특별한 캐패시터가 형성된 경우 문제가 되지 않는다. 그러나, 본 실시예와 같은 구조로 캐패시터를 형성함으로써, 매우 작은 면적에 전위를 유지하는 캐패시터를 형성하는 것이 가능하여, 픽셀의 유효 발광 표면적(EL 소자로부터 발광된 빛을 추출할 수 있는 표면적)을 증가시키는 것이 가능해진다.
- <84> 캐리어(이 경우에는 전자) 흐름 방향은 언제나 전류 제어 TFT(202)와 똑같으므로, 핫 캐리어에 대한 측정으로 드레인 영역 측에만 LDD 영역을 형성하는 것으로 충분하다.
- <85> 흐르는 전류의 가능한 양을 증가시킨다는 관점으로부터, 전류 제어 TFT(202)에서 활성층의 막 두께(특히, 채널 형성 영역에서의 두께)를 증가시키는 것이 또한 효과적이다(바람직하게 50 내지 100 nm의 범위에서, 보다 바람직하게 60 내지 80 nm의 범위에서). 한편, 스위칭 TFT(201)의 경우, OFF 전류 값을 줄인다는 관점으로부터, 전류 제어 TFT(202)에서 활성층의 막 두께(특히, 채널 형성 영역에서의 두께)를 감소시키는 것이 또한 효과적이다(바람직하게 20 내지 50 nm, 보다 바람직하게 25 내지 40 nm의 범위에서).
- <86> 또한, 본 발명에서는 전류 제어 TFT(202)가 단일-게이트 구조로 도시된다. 그러나, 이는 또한 직렬로 연결되는 다수의 TFT로 구성된 다중-게이트 구조가 될 수 있다. 더욱이, 전류 제어 TFT는 또한 다수의 TFT가 실질적으로 채널 형성 영역을 다수의 영역으로 나누도록 열로(평행하게) 연결되는 구조가 되어, 그에 의해 매우 효과적인 열 방사를 실행하게 된다.
- <87> 다음에, 참고번호(38)는 제1 비활성화막을 나타내고, 그 막 두께는 10 nm 내지 1 μm 사이로(바람직하게 200 내지 500 nm) 형성된다. 이 막의 물질로는 실리콘을 포함하는 절연막(특히 절산화실리콘막 또는 절화실리콘막이 바람직하다)이 사용될 수 있다. 더욱이, 높은 열적 방사 효과를 갖도록 제1 비활성화막(38)을 형성하는 것이 효과적이다.
- <88> 제1 비활성화막(38)에 형성된 제2 층간 절연막(39)(레벨화 막(leveling film))은 TFT로 형성된 계단형 부분의

레벨화를 실행한다. 제2 층간 절연막(39)으로는 유기체 수지 막이 바람직하고, 폴리이미드, 폴리아미드, 아크릴, 또는 BCB(benzocyclobutane)와 같은 것이 사용될 수 있다. 물론, 충분한 레벨화가 가능하면, 비유기체 막이 또한 사용될 수 있다.

<89> 제2 층간 절연막(39)에 의한 TFT에서의 계단형 부분 레벨화는 매우 중요하다. 이후에 형성되는 EL층은 매우 얇으므로, 계단형 부분의 존재에 의해 열악한 발광이 일어나게 되는 경우가 있다. 그러므로, 가능한 한 동등한 표면상에 EL 층을 형성할 수 있도록 픽셀 전극을 형성하기 이전에 레벨화를 실행하는 것이 바람직하다.

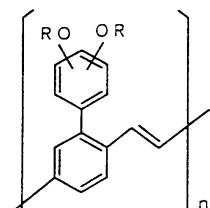
<90> 참고번호(40)는 매우 반사적인 도전성 막으로 구성된 픽셀 전극(EL 소자 음극)을 나타낸다. 제2 층간 절연막(39) 및 제1 비활성화막(38)에 접촉 홀(hole)(오프닝(opening))을 개방시킨 이후에, 픽셀 전극(40)은 형성된 오프닝 부분에서 전류 제어 TFT(202)의 드레인 와이어(37)에 연결되도록 형성된다. 픽셀 전극(40)으로는 알루미늄 합금 및 구리 합금과 같이 낮은 저항의 도전성 막을 사용하는 것이 바람직하다. 물론, 다른 도전성 막과의 적층 구조가 될 수 있다.

<91> 발광층(42)은 도 1에서 설명된 박막 피착 장치와 같은 디바이스에 의해 형성된다. 비록 도면에는 단 하나의 픽셀만이 도시되지만, 각 칼라 R(적색), G(녹색), 및 B(청색)에 대응하는 발광층이 동시에 형성됨을 주목하여야 한다. 발광층인 유기체 EL 물질로는 고분자 물질이 사용된다. 다음과 같은 폴리머가 전형적인 고분자 물질로 주어질 수 있다: PPV(polyparaphenylene vinylene)-기초의 물질; PVK(polyvinyl carbazole)-기초의 물질; 및 폴리플루오렌스(polyfluorenes)-기초의 물질.

<92> 다양한 종류의 PPV-기초 유기체 EL 물질이 있음을 주목한다. 다음과 같은 분자식이 보고되었다.

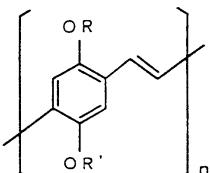
<93> (H. 센크, H. 베커, O. 겔슨, E. 클루지, W. 크루더 및 H. 스프라이저(H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder 및 H. Spreitzer), "발광 다이오드의 폴리머(Polymers for Light Emitting Diodes)", 유로 디스플레이 회보(Euro Display, Proceedings), 1999, pp.33-37)

<94> 화합물 1



<95>

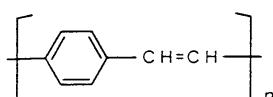
화합물 2



<97>

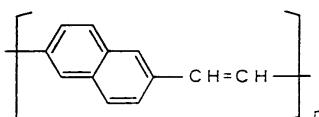
<98> 또한, 일본 특허 출원 공개 번호 10-92576에서 설명되는 폴리페닐렌 비닐렌(polyphenylene vinylene)의 분자식이 사용될 수 있다. 분자식은 다음과 같다:

<99> 화합물 3



<100>

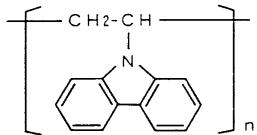
화합물 4



<102>

<103> 또한, PVK-기초 유기체 EL 물질의 분자식으로는 다음과 같은 것이 있다.

<104> 화합물 5



<105>

<106> 고분자 유기체 EL 물질의 도포는 폴리머 상태에 있을 때 고분자 유기체 EL 물질을 용매에 녹임으로서, 또는 모노머 상태에 있을 때 고분자 유기체 EL 물질을 용매에 녹이고 이어서 중합을 실행함으로써 실행될 수 있다. 모노머 상태로 이를 도포하는 경우에는 먼저 폴리머 전조가 형성되고, 이어서 열처리가 진공 상태로 실행되어 이를 폴리머로 중합시킨다.

<107> 구체적인 발광층으로는 시아노-파라페닐렌 비닐렌(cyano-paraphenylene vinylene)이 적색을 발하는 발광층으로 사용되고; 파라페닐렌 비닐렌(paraphenylene vinylene)이 녹색을 발하는 발광층으로 사용되고; 또한 폴리페닐렌 비닐렌(polyphenylene vinylene) 또는 폴리알킬페닐렌(polyalkylphenylene)이 청색을 발하는 발광층으로 사용된다. 발광층의 막 두께는 30 내지 150 nm 사이로(바람직하게 40 내지 100 nm 사이로) 형성된다.

<108> 또한, 형광 물질(전형적으로, 코우마린(coumarin) 6, 루블렌(rubrene), Nile Red, DCM, 퀴나크리돈(quinacridone) 등)은 발광 중심으로 형상 물질을 전달하도록 발광층에 도핑 되므로, 원하는 발광이 구해진다. 임의의 알려진 형광 물질이 사용될 수 있다.

<109> 그러나, 상기의 예는 단지 본 발명의 발광층으로 사용될 수 있는 유기체 EL 물질의 일부 예이고, 절대적으로 EL 물질을 이에 제한할 필요는 없다. 본 발명에서, 유기체 EL 물질과 용매의 혼합은 도 1에 도시된 방법을 사용해 도포된다. 용매는 휘발되므로, 그에 의해 발광층을 형성하도록 용매를 제거한다. 그러므로, 용매의 휘발 동안, 발광층의 유리 전이 온도를 넘지 않는 임의의 종류의 유기체 EL 물질의 조합이 사용될 수 있다.

<110> 전형적인 용매로 클로로포름(chloroform), 디클로로메탄(dichloromethane), γ 부틸 락톤(butyl lactone), 부틸 셀로솔브(butyl cellosolve), 또는 NMP(N-methyl-2-pyrrolidone)가 언급된다. 또한, 도포액의 점성을 상승시키도록 도편트를 부가하는 것이 효과적이다.

<111> 더욱이, 발광층(42)을 형성할 때, 처리 대기는 바람직하게 가능한 한 적은 양의 습기를 포함한 건조 대기로, 불활성 기체 대기에서 형성을 실행한다. EL층의 분해는 습기와 산소의 존재에 의해 용이하게 일어난다. 그러므로, EL층을 형성할 때는 이들 요소를 가능한 한 많이 제거할 필요가 있다. 예를 들면, 건조 질소 대기 및 건조 아르곤 대기와 같은 대기가 바람직하다. 이를 이루기 위해서는 도 1의 박막 피착 장치가 불활성 기체로 채워진 깨끗한 부스내에 설치된다. 발광층의 막 피착 처리는 이 대기에서 실행되는 것이 바람직하다.

<112> 발광층(42)이 상술된 방식으로 형성되면, 다음에는 홀 주입층(43)이 형성된다. 본 발명의 모드는 홀 주입층(43)으로 PEDOT(polythiophene) 또는 PAni(polyaniline)을 사용한다. 이들 물질이 수용성이므로, 발광층(42)은 녹지 않고 형성될 수 있고, 그 막 두께는 5 내지 30 nm(바람직하게 10 내지 20 nm)가 될 수 있다.

<113> 투명 도전성 막으로 구성된 양극(44)은 홀 주입층(43)상에 제공된다. 본 발명의 모드인 경우, 발광층(42)에 의해 주어지는 빛은 상단측 표면 쪽으로(TFT의 상단 쪽으로의 방향으로) 발광된다. 그래서, 양극은 광전송 특징을 가져야 한다. 투명 도전성 막으로는 산화인듐 및 산화주석의 화합물과 산화인듐 및 산화아연의 화합물이 사용될 수 있다. 그러나, 투명 도전성 막은 열 저항이 낮은 발광층 및 홀 주입층의 형성 이후에 형성되기 때문에, 가능한 한 낮은 온도에서 막으로 형성될 수 있는 물질이 바람직하다.

<114> EL 소자(203)는 양극(44)이 형성될 때 완료된다. 여기서 청하여지는 EL 소자(203)는 픽셀 전극(음극)(40), 홀 주입층(43), 발광층(42), 및 양극(44)으로 형성된 캐페시터를 나타냄을 주목한다. 도 3에 도시된 바와 같이, 픽셀 전극(40)은 대부분 픽셀의 표면적과 일치하므로, 전체 픽셀이 EL 소자로 동작한다. 따라서, 발광의 이용 효율성이 매우 높아, 더 밝은 영상을 디스플레이 하는 것을 가능하게 만든다.

<115> 또한, 본 실시예의 모드에서, 픽셀 전극(40)은 그 구조가 음극이 되도록 형성된다. 그러므로, 발광층에 의해 발생된 빛은 모두 양극 측으로 발광된다. 그러나, 이 EL 소자의 구조와 반대로, 그 구조가 투명 도전성 막으로 구성된 양극이 되도록 픽셀 전극을 형성하는 것이 또한 가능하다. 이 경우에도 발광층에 의해 발생된 빛이 또한 양극 측에 발광되므로, 빛은 기판(11)측으로부터 관찰된다.

- <116> 본 발명의 모드에서, 제2 비활성화막(45)은 또한 양극(44)에 제공된다. 제2 비활성화막(45)으로는 질화실리콘막 또는 질산화실리콘막이 바람직하다. 이 목적은 외부로부터 EL 소자를 차폐하는 것으로, 유기체 EL 소자가 산화로 인해 변형되는 것을 방지하는 것과, 유기체 EL 물질로부터의 기체 유출을 억제하는 2가지 의미를 갖는다.
- <117> *본 발명의 EL 디스플레이 디바이스는 도 2에 도시된 바와 같은 구조를 갖는 픽셀을 포함한 픽셀 부분을 포함하고, 그 기능에 대응하여 다른 구조를 갖는 TFT가 픽셀에 배열된다. 충분히 낮은 OFF 전류 값을 갖는 스위칭 TFT 및 핫 캐리어 주입에 대해 강한 전류 제어 TFT가 똑같은 픽셀 내에 형성될 수 있으므로, 높은 확실성을 갖고 양호한 영상 디스플레이(높은 성능)를 갖는 EL 디스플레이 디바이스가 형성될 수 있다.
- <118> 비록 본 실시예에서는 상단 게이트 TFT를 사용하는 예로 평평한 TFT의 구조가 도시되었지만, 하단 게이트 TFT(전형적으로, 역방향 스태거(reverse stagger) TFT)가 또한 사용될 수 있음을 주목하여야 한다. 본 발명은 유기체 EL 소자의 막 피착 방법에 의해 특징 지워지고, 픽셀에 배열되는 TFT의 구조는 제한되지 않는다.
- <119> 실시예 1
- <120> 도 4a 내지 도 6c를 사용하여 본 발명의 실시예가 설명된다. 여기서는 픽셀 부분 및 픽셀 부분 주변에 형성된 구동기 회로 부분의 TFT의 동시 제작 방법이 설명된다. 설명을 간략화하기 위해, CMOS 회로는 구동기 회로에 대한 기본 회로로 도시됨을 주목한다.
- <121> 먼저, 도 4a에 도시된 바와 같이, 기저막(301)은 유리 기판(300)상에 300 nm의 두께로 형성된다. 실시예 1에서는 질산화실리콘막이 기저막(301)으로 적층 된다. 이때, 유리 기판(300)을 포함하는 막에는 10 내지 25 wt% 사이의 질소 농도를 설정하는 것이 적절하다. 부가하여, 기저막(301)은 열적 방사 효과를 갖는 것이 효과적이고, DLC(diamond-like carbon)막이 또한 제공될 수 있다.
- <122> 다음에는 알려진 피착 방법에 의해 기저막(301)에 50 nm의 두께로 비결정질 실리콘막(도면에 도시되지 않은)이 형성된다. 이를 비결정질 실리콘막에 제한할 필요는 없고, 비결정질 구조를 포함하는(미세결정질 반도체막을 포함하는) 반도체막인 경우, 다른 막이 제공될 수 있음을 주목한다. 부가하여, 비결정질 실리콘 게르마늄막과같이, 비결정질 구조를 포함하는 합성 반도체막이 또한 사용될 수 있다. 또한, 막의 두께는 20 내지 100 nm로 이루어진다.
- <123> 비결정질 실리콘막은 알려진 기술에 의해 결정화되어, 결정질 실리콘막(또한 다결정질 실리콘막 또는 폴리실리콘막이라 칭함)을 형성한다. 전기 용광로를 사용하는 열적 결정화, 레이저 광을 사용하는 레이저 가열냉각(annealing) 결정화, 및 적외선 램프를 사용하는 램프 가열냉각 결정화가 알려진 결정화 방법으로 존재한다. 실시예 1에서는 결정화가 XeCl 기체를 사용하는 엑사이머(excimer) 레이저 광을 사용해 실행된다.
- <124> 실시예 1에서는 선형으로 형성된 펄스 방사 엑사이머 레이저 광이 사용되지만, 직사각형이 또한 사용될 수 있고, 연속 방사 아르곤 레이저 광 및 연속 방사 엑사이머 레이저광도 사용될 수 있음을 주목한다.
- <125> 본 실시예에서는 비록 결정질 실리콘막이 TFT의 활성층으로 사용되지만, 비결정질 실리콘막을 사용하는 것이 또한 가능하다.
- <126> OFF 전류를 줄일 필요가 있는 스위칭 TFT의 활성층을 비결정질 실리콘막으로 형성하고, 전류 제어 TFT의 활성층을 결정질 실리콘막으로 형성하는 것이 효과적임을 주목한다. 전류는 비결정질 실리콘막에서 캐리어 이동성이 낮기 때문에 다르게 흐르고, OFF 전류는 쉽게 흐르지 않는다. 다른 말로 하면, 전류가 쉽게 흐르지 않는 비결정질 실리콘막과, 전류가 쉽게 흐르는 결정질 실리콘막의 이점을 모두 이를 수 있다.
- <127> 다음에는 도 4b에 도시된 바와 같이, 보호막(303)이 130 nm의 두께를 갖는 산화실리콘막으로 결정질 실리콘막(302)에 형성된다. 이 두께는 100 내지 200 nm(바람직하게 130 내지 170 nm 사이)의 범위 내에서 선택된다. 더욱이, 실리콘을 포함하는 절연막인 경우, 다른 막도 또한 사용될 수 있다. 보호막(303)은 결정질 실리콘막이 불순물을 첨가하는 동안 플라스마(plasma)에 직접 노출되지 않고, 불순물의 농도를 섭세하게 제어하는 것이 가능하도록 형성된다.
- <128> 이어서, 레지스트 마스크(resist mask)(304a, 304b)가 보호막(303)에 형성되고, n형 도전성을 나타내는 불순물 원소(이후에 n형 불순물 원소라 칭함)가 부가된다. 주기율표 그룹 15에 있는 원소가 일반적으로 n형 불순물 원소로 사용되고, 전형적으로 인이나 비소가 사용될 수 있음을 주목한다. 실시예 1에서는 PH₃이 질량 분리 없이 플라스마 활성화되고, 인이 1x10¹⁸ atoms/cm³으로 부가되는 플라스마 도핑 방법이 사용됨을 주목한다. 물론, 질량 분리가 실행되는 이온 주입 방법이 또한 사용될 수 있다.

- <129> 선량(dose)은 n형 불순물 원소가 n형 불순물 영역(305, 306)에 포함되어, 이 처리에 의해 2×10^{16} 내지 5×10^{19} atoms/cm³(전형적으로 5×10^{17} 내지 5×10^{18} atoms/cm³ 사이)의 농도로 형성되도록 조절된다.
- <130> 다음에는 도 4c에 도시된 바와 같이, 보호막(303)이 제거되고, 부가된 n형 불순물 원소의 활성화가 실행된다. 알려진 활성화 기술은 활성화 수단으로 사용되지만, 실시예 1에서는 활성화가 액사이며 레이저광의 조사에 의해 행해진다. 물론, 펄스 방사 액사이며 레이저 및 연속 방사 액사이며 레이저가 모두 사용될 수 있고, 액사이며 레이저광의 사용에 제한을 둘 필요는 없다. 목적은 부가된 불순물 원소의 활성화이고, 결정화 실리콘막이 녹지 않는 에너지 레벨로 방사가 실행되는 것이 바람직하다. 레이저 방사는 또한 적절하게 보호막(303)으로 실행될 수 있음을 주목한다.
- <131> 열처리(용광로 가열냉각)에 의한 활성화는 또한 레이저 광에 의한 불순물 원소의 활성화와 함께 실행될 수 있다. 열처리에 의해 활성화가 실행될 때는 기판의 열 저항을 고려하여, 450 내지 550 °C 정도로 열처리를 실행하는 것이 좋다.
- <132> n형 불순물 영역(305, 306) 부근에서 n형 불순물 원소가 부가되지 않은 n형 불순물 영역(305, 306), 즉 영역들의 끝부분과의 경계 부분(연결 부분)은 이 처리에 의해 나타내진다. 이는 TFT가 추후 완성될 때, 매우 양호한 연결 부분이 LDD 영역과 채널 형성 영역 사이에 형성될 수 있음을 의미한다.
- <133> 결정질 실리콘막의 불필요한 부분은 도 4d에 도시된 바와 같이 다음에 제거되고, 아일랜드(island)형 반도체막(이후 활성층이라 칭함)(307 내지 310)이 형성된다.
- <134> 이어서, 도 4e에 도시된 바와 같이, 게이트 절연막(311)이 형성되어, 활성층(307 내지 310)을 덮는다. 실리콘을 포함하고 10 내지 200 nm, 바람직하게 50 내지 150 nm의 사이를 갖는 절연막은 게이트 절연막(311)으로 사용될 수 있다. 단일층 구조 또는 적층 구조가 사용될 수 있다. 실시예 1에서는 110 nm의 질산화실리콘막이 사용된다.
- <135> 이어서, 200 내지 400 nm의 두께를 갖는 도전성 막이 형성되고 패턴화되어 게이트 전극(312 내지 316)을 형성한다. 바람직한 실시예에서, 게이트 전극 및 도전성 경로를 제공하도록 게이트 전극에 전기적으로 연결된 와이어(이후 게이트 와이어라 칭함)는 서로 다른 물질로 형성된다. 특별히, 게이트 와이어는 게이트 전극 보다 더 낮은 저항을 갖는 물질로 구성된다. 그래서, 섬세한 처리를 가능하게 하는 물질은 게이트 전극에 사용되고, 게이트 와이어는 더 작은 와이어 저항을 제공할 수 있지만 섬세한 처리에 적절하지 않은 물질로 형성된다. 물론, 게이트 전극과 게이트 와이어를 똑같은 물질로 형성하는 것도 가능하다.
- <136> 비록 게이트 전극이 단일층의 도전성 막으로 구성될 수 있지만, 필요한 경우, 게이트 전극으로 2, 3 이상의 층을 갖는 적층 막을 형성하는 것이 바람직하다. 어떤 알려진 도전 물질들이 게이트 전극을 위하여 사용될 수 있다. 그러나, 섬세한 처리를 가능하게 하는 물질, 특히 2 μm 이하의 선 폭으로 패턴화될 수 있는 물질을 사용하는 것이 바람직함을 주목하여야 한다.
- <137> 전형적으로, 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 및 실리콘(Si)으로부터 선택된 원소로 구성된 막, 상기 원소의 질화물 막(전형적으로 질화탄탈막, 질화텅스텐막, 또는 질화티타늄막), 상기 원소를 조합한 합금막(전형적으로 Mo-W 합금이나 Mo-Ta 합금), 또는 상기 원소의 규화물 막(전형적으로 규화텅스텐막이나 규화티타늄막)을 사용하는 것이 가능하다. 물론, 막은 단일층이나 적층으로 사용될 수 있다.
- <138> 본 실시예에서는 30 nm의 두께를 갖는 질화텅스텐(WN)막과 370 nm의 두께를 갖는 텅스텐(W)막의 적층 막이 사용된다. 이는 스팍터링(sputtering)에 의해 형성될 수 있다. Xe, Ne 등의 불활성 기체가 스팍터링 기체로 부가될 때, 스트레스(stress)로 인한 막의 벗겨짐이 방지될 수 있다.
- <139> 게이트 전극(313, 316)은 이때 게이트 절연막(311)과 샌드위치형으로 위치하여 각각 n형 불순물 영역(305, 306) 중 일부와 오버랩 되도록 형성된다. 이 오버랩 부분은 추후 게이트 전극과 오버랩 되는 LDD 영역이 된다.
- <140> 다음에는 도 5a에 도시된 바와 같이 마스크로서 게이트 전극(312 내지 316)과 자체 정렬되는 방식으로 n형 불순물 원소(실시예 1에서는 인이 사용된다)가 부가된다. 부가는 인이 불순물 영역(317 내지 323)에 부가되어 불순물 영역(305, 306)의 1/10 내지 1/2 농도로(전형적으로 1/4 내지 1/3 사이) 형성되도록 조절된다. 특별히, 1×10^{16} 내지 5×10^{18} atoms/cm³(전형적으로 3×10^{17} 내지 3×10^{18} atoms/cm³)의 농도가 바람직하다.
- <141> 다음에는 도 5b에 도시된 바와 같이 게이트 전극을 덮는 형상으로 레지스트 마스크(324a 내지 324c)가 형성되고, n형 불순물 원소(실시예 1에서는 인이 사용된다)가 부가되어, 고농도로 인을 포함하는 불순물 영역

(325 내지 331)을 형성한다. 여기서는 PH₃을 사용한 이온 도핑도 실행되어, 이들 영역의 인 농도가 1x10²⁰ 내지 1x10²¹ atoms/cm³(전형적으로 2x10²⁰ 내지 5x10²¹ atoms/cm³)이도록 조절된다.

<142> 이 처리에 의해, n-채널 TFT의 소스 영역 또는 드레인 영역이 형성되고, 스위칭 TFT에서는 도 5a의 처리에 의해 형성된 n형 불순물 영역(320 내지 322)의 일부가 남겨진다. 남은 영역은 도 2의 스위칭 TFT 중 LDD 영역(15a 내지 15d)에 대응한다.

<143> 다음에는 도 5c에 도시된 바와 같이, 레지스트 마스크(324a 내지 324c)가 제거되어 새로운 레지스트 마스크(332)가 형성된다. 이어서, p형 불순물 원소(실시예 1에서는 붕소가 사용된다)가 부가되어 고농도로 붕소를 포함하는 불순물 영역(333, 334)을 형성한다. 여기서 붕소는 다이오레인(B₂H₆)을 사용한 이온 도핑에 의해 3x10²⁰ 내지 3x10²¹ atoms/cm³(전형적으로 5x10²⁰ 내지 1x10²¹ atoms/cm³)의 농도로 불순물 영역(333, 334)을 형성한다.

<144> 인(phosphorous)은 이미 1x10²⁰ 내지 1x10²¹ atoms/cm³의 농도로 불순물 영역(333, 334)에 부가되었지만, 여기서는 붕소가 인의 농도의 적어도 3배인 농도로 부가됨을 주목한다. 그러므로, 이미 완전히 형성된 n형 불순물 영역이 p형으로 변환되고, p형 불순물 영역으로 동작한다.

<145> 다음에는 레지스트 마스크(332)를 제거한 이후에, 각 농도로 활성층에 부가된 n형 또는 p형 불순물 원소가 활성화된다. 활성화의 수단으로는 용광로 가열냉각, 레이저 가열냉각, 또는 램프 가열냉각이 사용될 수 있다. 실시예 1에서는 전기 용광로에서 질소 대기로 550 °C에서 4 시간 동안 열처리가 실행된다.

<146> 이때, 주변 대기로부터 산소를 가능한 한 많이 제거하는 것이 중요하다. 이는 작은 양의 산소가 존재하더라도, 게이트 전극의 노출표면이 산화되어, 결과적으로 저항을 증가시키고 추후에 게이트 전극과 저항 접촉을 형성하기 어려워지게 하기 때문이다. 따라서, 활성 처리 동안 주변 대기의 산소 농도는 1 ppm 이하, 바람직하게 0.1 ppm 이하로 설정된다.

<147> 활성화 처리가 완료된 이후에는 300 nm의 두께를 갖는 게이트 와이어(335)가 형성된다. 게이트 와이어(335)의 물질로는 주성분으로(화합물에서 50 내지 100%를 차지하는) 알루미늄(Al)이나 구리(Cu)를 포함하는 금속 막이 사용될 수 있다. 게이트 와이어(335)는 스위칭 TFT의 게이트 전극(314, 315)(도 3a에서 게이트 전극(19a, 19b)에 대응하는)에 전기적 연결을 제공하도록 도 3a에 도시된 게이트 와이어(211)와 같이 배열된다(도 5d를 참고).

<148> 상술된 구조는 게이트 와이어의 와이어 저항이 상당히 감소되도록 허용할 수 있으므로, 큰 면적의 영상 디스플레이 영역(픽셀 부분)이 형성될 수 있다. 특히, 본 실시예에 따른 픽셀 구조는 10 인치 이상(또는 30 인치 이상)의 대각선 크기를 갖는 디스플레이 화면을 갖는 EL 디스플레이 디바이스를 실현하는데 유리하다.

<149> 다음에는 도 6a에 도시된 바와 같이 제1 층간 절연막(336)이 형성된다. 제1 층간 절연막(336)으로는 실리콘을 포함하는 단일층의 절연막이 사용되지만, 적층 막이 사용될 수 있다. 또한, 400 nm 내지 1.5 μm 사이의 막 두께가 사용될 수 있다. 실시예 1에서는 200 nm 두께의 질산화실리콘막과 800 nm 두께의 산화실리콘막의 적층 구조가 사용된다.

<150> 부가하여, 열처리는 수소화를 실행하도록 3 내지 100% 사이의 수소를 포함하는 대기에서 300 내지 450 °C로 1 내지 12 시간 동안 실행된다. 이 처리는 열적으로 활성화되는 수소에 의해 반도체막에서 땅글링 결합(dangling bond)의 수소 종류 중하나이다. 플라스마 수소화(플라스마에 의해 활성화된 수소를 사용하는)가 또한 또 다른 수소화 수단으로 실행될 수 있다.

<151> 수소화 처리는 또한 제1 층간 절연막(336)을 형성하는 동안 삽입될 수 있음을 주목한다. 즉, 수소 처리는 상기와 같이 200 nm 두께의 질산화실리콘막을 형성한 이후에 실행되고, 이어서 나머지 800 nm 두께의 산화실리콘막이 형성될 수 있다.

<152> 다음에는 접촉 흙이 제1 층간 절연막(336)에 형성되고, 소스 와이어(337 내지 340) 및 드레인 와이어(341 내지 343)가 형성된다. 본 실시예에서, 이 전극은 100 nm 두께를 갖는 티타늄막, 300 nm 두께를 갖고 티타늄을 포함하는 알루미늄막, 및 150 nm 두께를 갖는 티타늄막이 스퍼터링 방법에 의해 연속적으로 형성된 3층 구조의 적층 막으로 구성된다.

<153> 다음에는 제1 비활성화막(344)이 50 내지 500 nm(전형적으로 200 내지 300 nm의 사이) 두께로 형성된다. 실시예 1에서는 제1 비활성화막(344)으로 300 nm 두께의 질산화실리콘막이 사용된다. 이는 또한 질화실리콘막으로 대치

될 수 있다. 질산화실리콘막의 형성 이전에 H_2 또는 NH_3 과 같이 수소를 포함하는 기체를 사용해 플라스마 처리를 실행하는 것이 효과적임을 주목한다. 이 처리에 의해 활성화된 수소는 제1 층간 절연막(336)에 공급되고, 제1 비활성화막(344)의 질이 열처리를 실행함으로써 개선된다. 동시에, 제1 층간 절연막(336)에 부가된 수소가 더 낮은 측으로 확산되어, 활성층이 효과적으로 수소화될 수 있다.

<154> 다음에는 도 6b에 도시된 바와 같이 유기체 수지로 구성된 제2 층간 절연막(345)이 형성된다. 유기체 수지로는 폴리이미드, 폴리아미드, 아크릴, BCB(benzocyclobutene) 등을 사용하는 것이 가능하다. 특히, 제2 층간 절연막(345)은 주로 레벨화에 사용되므로, 레벨화 특성이 뛰어난 아크릴이 바람직하다. 본 실시예에서는 아크릴 막이 TFT로 형성된 계단형 부분을 레벨화하기에 충분한 두께로 형성된다. 두께는 1 내지 5 μm (보다 바람직하게 2 내지 4 μm)으로 만들어지는 것이 적절하다.

<155> 이어서, 제2 층간 절연막(345) 및 제1 비활성화막(344)에는 드레인 영역(343)에 당도록 접촉 홀이 형성되고, 픽셀 전극(346)이 형성된다. 본 실시예에서는 픽셀 전극(346)으로 300 nm 두께를 갖는 알루미늄 합금막(1 wt%의 티타늄을 포함하는 알루미늄막)이 형성된다.

<156> 다음에는 도 6c에 도시된 바와 같이 수지 물질로 구성된 뱅크(347)가 형성된다. 뱅크(347)는 1 내지 2 μm 두께의 아크릴 막이나 폴리이미드 막을 패턴화함으로써 형성될 수 있다. 도 3에 도시된 바와 같이, 뱅크(347)는 픽셀 사이에서 스트라이프 형상으로 형성된다. 실시예 1에서는 뱅크(347)가 소스 와이어(339)를 따라 형성되지만, 게이트 와이어(336)를 따라 형성될 수도 있다.

<157> 다음에는 발광층(348)이 도 1을 참고로 설명된 박막 피착 장치를 사용한 막 피착 처리에 의해 형성된다. 특히, 발광층(348)이 되는 유기체 EL 물질은 클로로포름(chloroform), 디클로로메탄(dichloromethane), 크실렌(xylene), 톨루엔(toluene), 및 테트라하이드로푸란(tetrahydrofuran)과 같은 용매에 놓여져 도포된다. 이어서, 용매를 휘발시키도록 열처리가 실행된다. 그래서, 유기체 EL 물질로 구성된 막(발광층)이 형성된다.

<158> 실시예 1에서는 단 하나의 픽셀만이 도시됨을 주목하여야 한다. 그러나, 적색을 발하는 발광층, 녹색을 발하는 발광층, 및 청색을 발하는 발광층이 동시에 모두 형성될 수 있다. 실시예 1에서는 시아노-파라페닐렌 비닐렌(cyano-paraphenylene vinylene)이 적색을 발하는 발광층을 형성하는데 사용되고, 파라페닐렌 비닐렌(paraphenylene vinylene)이 녹색을 발하는 발광층을 형성하는데 사용되고, 또한 폴리알킬페닐렌(polyalkylphenylene)이 청색을 발하는 발광층을 형성하는데 사용된다. 이들 발광층은 각각 50 nm의 두께로 형성된다. 부가하여, 1.2 디클로로메탄이 용매로 사용되고, 이는 1 내지 5 분 동안 80 내지 150 °C로 뜨거운 플레이트에서 열처리를 실행함으로써 휘발된다.

<159> 다음에는 홀 주입층(349)이 20 nm의 두께로 형성된다. 홀 주입층(349)이 모든 픽셀에 공통적으로 제공되므로, 스픬 코팅(spin coating) 방법이나 프린팅 방법을 사용해 홀 주입층(349)을 형성하는 것이 적절하다. 실시예 1에서는 PEDOT(polythiophene)이 용액으로 도포되고, 열처리가 1 내지 5 분 동안 100 내지 150 °C로 뜨거운 플레이트에서 실행되어, 그에 의해 습기를 휘발시킨다. 이 경우, 홀 주입층(349)은 폴리페닐렌 비닐렌 또는 폴리알킬페닐렌이 불용성이기 때문에 발광층(348)을 놓이지 않고 형성될 수 있다.

<160> 홀 주입층(349)으로 저분자 유기체 EL 물질이 사용될 수 있음을 주목하여야 한다. 이 경우에는 증착 방법에 의해 홀 주입층을 형성하는 것이 적절하다.

<161> 실시예 1에서는 발광층 및 홀 주입층으로 구성된 2층 구조가 형성된다. 그러나, 홀 운송층, 전자 주입층, 및 전자 운송층과 같은 다른 층이 또한 제공될 수 있다. 층의 조합으로 다양한 적층 구조의 예가 보고되었고, 본 발명에서는 임의의 구조가 사용될 수 있다.

<162> 발광층(348) 및 홀 주입층(349)의 형성 이후에는 투명 도전성 막으로 구성된 양극(350)이 120 nm의 두께로 형성된다. 실시예 1에서는 투명 도전 막으로 10 내지 20 wt%의 산화아연으로 도핑된 산화인듐이 사용된다. 막 피착 방법으로, 발광층(348) 및 홀 주입층(349)이 변형되지 않도록 실온에서 증착에 의해 양극(350)을 형성하는 것이 바람직하다.

<163> 질산화실리콘막으로 형성된 제2 비활성화막(351)은 양극(350)의 형성 이후에 플라스마 CVD에 의해 300 nm의 두께로 형성된다. 이때, 막 피착 온도에 주의할 필요가 있다. 원격 플라스마 CVD가 막 피착 온도를 낮추는데 사용될 수 있다.

<164> 이와 같이, 도 6c에 도시된 바와 같은 구조를 갖는 능동 매트릭스 기판이 완성된다. 뱅크(347)의 형성 이후에는 연속하여 대기에 노출되지 않고, 비활성화막(351)의 형성까지, 막을 형성하는 처리에 박막 피착 장치의 다중-챔

버(multi-chamber) 방법(또는 인라인(in-line) 방법)을 사용하는 것이 효과적이다.

<165> 본 실시예의 활성 매트릭스 기판에서, 옵션 구조를 갖는 TFT는 픽셀 부분뿐만 아니라 구동기 회로 부분에도 배열되고, 그에 의해 매우 높은 확실성을 나타내고 그의 동작 성능을 증가시키게 된다.

<166> 먼저, 동작 속도를 가능한 한 많이 떨어뜨리지 않도록 핫 캐리어 주입을 감소시키는 구조를 갖는 TFT는 구동기 회로 부분을 형성하는 CMOS 회로의 n-채널 TFT(205)로 사용된다. 여기서, 구동기 회로는 쉬프트 레지스터, 버퍼, 레벨 쉬프터, 샘플링 회로(샘플 및 홀드(hold) 회로) 등을 포함함을 주목한다. 디지털 구동이 이루어지는 경우, D/A 변환기와 같은 신호 변환 회로가 또한 포함될 수 있다.

<167> 실시예 1의 경우에는 도 6c에 도시된 바와 같이, n-채널 TFT(205)의 활성층이 소스 영역(355), 드레인 영역(356), LDD 영역(357), 및 채널 형성 영역(358)으로 구성된다. LDD 영역(357)은 게이트 절연막(311)을 통해 게이트 전극(313)과 오버랩 된다. 이 구조는 전류 제어 TFT(202)의 구조와 동일하다.

<168> 동작 속도가 떨어지지 않도록 고려하는 것은 LDD 영역이 드레인 영역 측에만 형성되기 때문이다. 이 n-채널 TFT(205)에서는 OFF 전류 값에 많은 주위를 기울일 필요가 없고, 그 보다는 동작 속도에 중요성을 두는 것이 더 낫다. 그래서, LDD 영역(357)은 저항 성분을 최소로 감소시키도록 게이트 전극과 완전히 오버랩 되도록 만들어지는 것이 바람직하다. 즉, 오프셋을 제거하는 것이 바람직하다.

<169> 더욱이, 핫 캐리어의 주입으로 인한 CMOS 회로에서의 p-채널 TFT(206)의 변형은 거의 무시할 만 하므로, p-채널 TFT(206)에 LDD 영역을 제공할 필요가 없다. 물론, n-채널 TFT(205)와 유사하게, 핫 캐리어에 대한 대응책을 나타내도록 p-채널 TFT(206)에 LDD 영역을 제공하는 것이 가능하다.

<170> 구동기 회로 중에서, 샘플링 회로는 다른 회로와 비교해 다소 유일하여, 많은 전류가 채널 형성 영역에서 양방향으로 흐름을 주목한다. 즉, 소스 영역 및 드레인 영역의 역할이 상호 교환된다. 부가하여, OFF 전류 값을 가능한 한 작게 제어할 필요가 있고, 샘플링 회로에서 스위칭 TFT와 전류 제어 TFT 사이의 중간 레벨에 있는 기능을 갖는 TFT를 사용하는 것이 바람직하다.

<171> 따라서, 샘플링 회로를 형성하는 n-채널 TFT에서는 도 10에 도시된 바와 같은 구조를 갖는 TFT를 배열하는 것이 바람직하다. 도 10에 도시된 바와 같이, LDD 영역(901a, 901b)의 일부분은 게이트 절연막(902)을 통해 게이트 전극(903)과 오버랩 된다. 이 구조에 의해 얻어질 수 있는 이점은 전류 제어 TFT(202)에 대해 이미 설명되었다. TFT가 샘플링 회로로 사용되는 경우, LDD 영역은 전류 제어 TFT의 경우와 다르게, 그들 사이에 채널 형성 영역(904)을 삽입하도록 배치된다.

<172> 실제로, 대기예 노출되지 않도록, 전달되는 밀봉 물질 또는 기체 유출이 거의 없이 매우 밀폐된 보호막(적층 막이나 자외선 경화 수지 막과 같은)을 사용함으로써 도 6c를 통해 완성된 이후에 패키징(packaging)(밀봉)을 부가하여 실행하는 것이 바람직함을 주목한다. 밀봉 물질의 내부를 불활성 환경으로 만들고, 건조제(예를 들면, 산화바륨)를 밀봉 물질 내부에 배치함으로써, EL 소자의 확실성이 증가된다.

<173> 더욱이, 패키징 처리 등에 의해 밀폐성이 증가된 이후에는 외부 신호 단자와 기판 상에 형성된 소자 또는 회로로부터의 외부 단자를 연결시키는 연결기(FPC(flexible printed circuit))가 부착되어, 제품을 완성한다. 배송될 수 있는 상태로 완성된 제품은 본 명세서를 통해 EL 디스플레이 디바이스(또는 EL 모듈)라 칭하여진다.

<174> 여기서는 도 7의 투시도를 참고로 본 실시예의 활성 매트릭스 EL 디스플레이 디바이스의 구조가 설명된다. 본 실시예의 활성 매트릭스 EL 디스플레이 디바이스는 픽셀 부분(702), 게이트층 구동기 회로(703), 및 유리 기판(701)상에 형성된 소스층 구동기 회로(704)로 구성된다. 픽셀 부분의 스위칭 TFT(705)는 n-채널 TFT이고, 게이트층 구동기 회로(703)에 연결된 게이트 와이어(706) 및 소스층 구동기 회로(704)에 연결된 소스 와이어(707)의 교차점에 배치된다. 스위칭 TFT(705)의 드레인은 전류 제어 TFT(708)의 게이트에 연결된다.

<175> 부가하여, 전류 제어 TFT(708)의 소스는 전류 공급선(709)에 연결된다. 접지 전위(어스(earth) 전위)는 실시예 1과 같은 구조에서 전류 공급선(709)에 주어진다. 또한, EL 소자(710)는 전류 제어 TFT(708)의 드레인에 연결된다. EL 소자(710)의 양극에는 소정의 전압(3 내지 12 V의 사이, 바람직하게 3 내지 5 V의 사이)이 인가된다.

<176> 구동기 회로 부분에 신호를 전송하는 연결 와이어(712, 713)와 전력 공급선(709)에 연결된 연결 와이어(714)는 외부 입력/출력 단자로 FPC(711)에 제공된다.

<177> 도 8은 도 7에 도시된 EL 디스플레이 디바이스의 회로 구조예를 도시한다. 본 실시예의 EL 디스플레이 디바이스에는 소스층 구동기 회로(801), 게이트층 구동기 회로(A)(807), 게이트층 구동기 회로(B)(811), 및 픽셀 부분

(806)이 제공된다. 본 명세서를 통해, 구동기 회로 부분은 소스측 구동기 회로 및 게이트측 구동기 회로에 대한 총칭임을 주목한다.

<178> 소스측 구동기 회로(801)에는 쉬프트 레지스터(802), 레벨 쉬프터(803), 버퍼(804), 및 샘플링 회로(샘플 및 훌드 회로)(805)가 제공된다. 게이트측 구동기 회로(A)(807)에는 쉬프트 레지스터(808), 레벨 쉬프터(809), 및 버퍼(810)가 제공된다. 게이트측 구동기 회로(B)(811)도 또한 똑같은 구조를 갖는다.

<179> 여기서, 쉬프트 레지스터(802, 808)는 각각 5 내지 16 V(전형적으로 10 V)의 구동 전압을 갖고, 도 6c에서(205)로 나타내지는 구조가 그 회로를 형성하는 CMOS 회로에서 사용되는 n-채널 TFT에 적절하다.

<180> 그 외에, 쉬프트 레지스터와 유사하게, 레벨 쉬프트(803, 809) 및 버퍼(804, 810) 각각에는 도 6c의 n-채널 TFT(205)를 포함하는 CMOS 회로가 적절하다. 각 회로의 확실성을 개선하는데는 게이트 와이어를 이중 게이트 구조나 삼중 게이트 구조와 같이 다중 게이트 구조로 만드는 것이 효과적임을 주목한다.

<181> 그 외에, 소스 영역 및 드레인 영역이 반전되고 OFF 전류 값을 감소할 필요가 있으므로, 도 10의 n-채널 TFT(208)를 포함하는 CMOS 회로가 샘플링 회로(805)로 적절하다.

<182> 픽셀 부분(806)은 도 2에 도시된 구조를 갖는 픽셀로 배치된다.

<183> 상기 구조는 도 4a 내지 도 6c에 도시된 제작 처리에 따라 TFT를 제작함으로써 쉽게 실현될 수 있다. 본 실시예에서는 비록 픽셀 부분 및 구동기 회로 부분의 구조만이 도시되지만, 본 실시예의 제작 처리가 사용되면, 같은 기판 상에 신호 분할 회로, D/A 변환기 회로, 연산 증폭기 회로, γ-정정 회로와 같이 구동기 회로 이외의 논리 회로를 형성하는 것이 가능하고, 또한 메모리 부분, 마이크로프로세서 등이 형성될 수 있는 것으로 생각된다.

<184> 더욱이, 도 11a 및 도 11b를 사용해 밀봉 물질을 포함하는 실시예 1의 EL 모듈에 대한 설명이 이루어진다. 필요할 때, 도 7 및 도 8에서 사용되는 기호가 언급됨을 주목한다.

<185> 도 11a는 도 7에 도시된 상태에 밀봉 물질이 제공된 상태의 상단도를 도시하는 도면이다. 점선으로 나타내지는 참고번호(702)는 픽셀 부분을 나타내고, (703)는 게이트측 구동기 회로를 나타내고, 또한(704)은 소스측 구동기 회로를 나타낸다. 본 발명의 밀봉 구조는 충전(filling) 물질(도면에서 도시되지 않은), 커버 물질(1101), 밀봉 물질(도면에서 도시되지 않은), 및 프레임 물질(1102)이 도 7에 도시된 상태에 제공되는 구조이다.

<186> 여기서, 도 11b에는 도 11a의 선 A-A'을 따라 취해진 단면도가 도시된다. 도 11a 및 도 11b에서 똑같은 구성성분에는 똑같은 참고번호가 사용됨을 주목하여야 한다.

<187> 도 11b에 도시된 바와 같이, 픽셀 부분(702) 및 게이트측 구동기 회로(703)는 기판(701)에 형성된다. 픽셀 부분(702)은 전류 제어 TFT(202)를 포함하는 다수의 픽셀과 전류 제어 TFT(202)에 전기적으로 연결된 픽셀 전극(346)으로 형성된다. 또한, 게이트측 구동기 회로(703)는 n-채널 TFT(205) 및 p-채널 TFT(206)의 상보적인 조합인 CMOS 회로를 사용해 형성된다.

<188> 픽셀 전극(346)은 EL 소자의 음극으로 동작한다. 부가하여, 뱅크(347)는 픽셀 전극(346)의 양 끝부분에 형성되고, 발광층(348) 및 훌 주입층(349)이 뱅크(347)의 내부 측에 형성된다. 상단에는 EL 소자의 양극(350)과 제2 비활성화막(351)이 또한 형성된다. 본 발명의 실시예 모드에서 설명된 바와 같이, EL 소자는 물론 양극으로 픽셀 전극과 반대 구조를 가질 수 있다.

<189> 실시예 1의 경우에서, 양극(350)은 또한 모든 픽셀에 공통된 와이어로 동작하고, 연결 와이어(712)를 통해 FPC(711)에 전기적으로 연결된다. 더욱이, 픽셀 부분(702) 및 게이트측 구동기 회로(703)에 포함된 모든 소자는 제2 비활성화막(351)에 의해 커버된다. 제2 비활성화막(351)이 생략될 수 있지만, 외부로부터 각 소자를 차폐하기 위해서는 이 막을 제공하는 것이 바람직하다.

<190> 다음에는 EL 소자를 커버하도록 충전 물질(1103)이 제공된다. 충전 물질(1103)은 또한 커버 물질(1101)을 붙이는 접착제로 동작한다. 충전 물질(1103)로는 PVC(polyvinyl chloride), 에폭시 수지(epoxy resin), 실리콘 수지, PVB(polyvinyl butyral), 또는 EVA(ethylene vinyl acetate)가 사용될 수 있다. 흡수 효과가 유지될 수 있기 때문에, 충전 물질(1103)의 내부에는 건조제(도면에서 도시되지 않은)를 배치하는 것이 바람직하다. 이때, 건조제는 충전 물질로 도핑된 작용제 또는 충전 물질에 포함된 작용제가 될 수 있다. 그러나, 실시예 1에서는 투과율을 갖는 물질이 사용되고, 그에 의해 충전 물질(1103)의 내부로부터 빛을 발광시키게 된다.

<191> 또한, 실시예 1에서는 유리 플레이트, FRP(Fiberglass-Reinforced Plastics) 플레이트, PVF(polyvinyl fluoride)막, 밀라(milar)막, 폴리에스테르막, 또는 아크릴 막이 커버 물질(1101)로 사용될 수 있다. 실시예 1

의 경우에는 충전 물질과 유사하게, 커버 물질(1101)이 투과 물질로 구성되어야 한다. 산화 바륨과 같은 건조제를 충전 물질(1103)에 미리 도핑 하는 것이 효과적임을 주목한다.

<192> 커버 물질(1101)을 붙이는데 충전 물질(1103)을 사용한 이후에, 프레임 물질(1102)은 충전 물질(1103)의 측면(노출면)을 덮도록 다음에 부착된다. 프레임 물질(1102)은 밀봉 물질(접착제로 동작하는)(1104)에 의해 접착된다. 이때, 밀봉 물질(1104)도는 광경화 수지를 사용하는 것이 바람직하다. 그러나, EL층의 열 저항이 허용하는 한, 열경화 수지가 사용될 수 있다. 밀봉 물질(1104)로는 산소 및 습기가 가능한 한 많이 투과되지 않는 물질을 사용하는 것이 바람직함을 주목한다. 부가하여, 밀봉 물질(1104)에는 건조제가 도핑 된다.

<193> EL 소자는 상기 과정을 사용하여 충전 물질(1103)로 밀봉되고, 그에 의해 외부 대기로부터 EL 소자를 완전히 차단시키고, EL층의 산화로 인한 EL 소자의 변형을 자극하는 외부로부터 습기나 산소와 같은 물질이 투과하는 것을 방지한다. 따라서, 매우 확실한 EL 디스플레이 디바이스가 제작될 수 있다.

<194> 실시예 2

<195> 실시예 1에서는 적색, 녹색, 및 청색 빛을 발하는 3가지 종류의 스트라이프형 발광층을 길이 방향으로 또는 측면 방향으로 동시에 형성하는 예가 도시되었다. 실시예 2에서는 길이 방향으로 이를 다수로 나누어 형성된 스트라이프형 발광층의 예가 도시된다.

<196> *도 12a에 도시된 바와 같이, 기판(110)상에는 픽셀 부분(111), 소스측 구동기 회로(112), 및 게이트측 구동기 회로(113)가 형성되고, 이들은 모두 TFT로 형성된다. 픽셀 부분(111)은 뱅크(1201)에 의해 매트릭스로 분할된다. 실시예 2의 경우에는 다수의 픽셀들(1203)이 도 12b에 도시된 바와 같이 뱅크(1201)에 의해 분할된 사각형(1202) 중 하나에 배열된다. 그러나, 픽셀의 수는 제한되지 않는다.

<197> 이러한 상태에서, 발광층으로 동작하는 유기체 EL 물질의 막 피착 처리는 도 1의 박막 피착 장치를 사용해 실행된다. 이 경우에서도, 적색 도포액(114a), 녹색 도포액(114b), 및 청색 도포액(114c)은 분리되어 헤드 부분(115)에 동시 도포된다.

<198> 실시예 2는 도포액(114a 내지 114b)이 상술된 각 사각형(1202)에 분리되어 도포된다는 사실을 특징으로 한다. 다른 말로 하면, 도 1의 방법에서는 단지 각 적색, 녹색, 및 청색의 도포액이 스트라이프 형태로 분리되어 도포될 수 있는 반면, 실시예 2에서는 색깔이 각 사각형에서 자유롭게 배열될 수 있다. 그러므로, 도 12a에 도시된 바와 같이, 전체 열(또는 행)이 쉬프트 되는 방식으로 도포액의 색깔이 선택적인 사각형에 도포되도록 배열하는 것이 가능하다.

<199> 또한, 사각형(1202)에서는 한 픽셀을 제공하는 것이 또한 가능하고, 이 경우에는 일반적으로 엘타 배열(각 색깔 RGB에 대응하는 픽셀이 항상 삼각형을 형성하도록 배열되는 픽셀 구조)이라 칭하여지는 픽셀 구조가 채택될 수 있다.

<200> 실시예 2를 실시할 목적으로 헤드 부분(115)에 주어지는 동작은 다음과 같다. 먼저, 헤드 부분(115)은 화살표 a로 나타내지는 방향으로 이동되고, 그에 의해 도포액으로 3개의 사각형(적색, 녹색, 및 청색에 대응하는 각 사각형) 내부를 모두 잡기게 한다. 이 동작을 완료한 이후에는 헤드 부분(115)이 화살표 b로 나타내지는 방향으로 이동되고, 그에 의해 도포액을 다음 3개의 사각형에 도포하게 된다. 도포액은 이 동작을 반복함으로써 픽셀 부분에 도포된다. 이어서, 용매는 열처리에 의해 휘발되어 유기체 EL 물질을 형성하게 된다.

<201> 종래의 잉크젯 방법으로 설명된 예에서, 액체를 도포하도록 형성된 유기체 EL 물질은 원형이 된다. 그러므로, 완전히 길고 좁은 픽셀을 커버하는 것이 어렵다. 특별히, 전체 픽셀이 발광 영역으로 동작하는 실시예 1의 경우에서는 전체 픽셀이 유기체 EL 물질로 커버될 필요가 있다. 한편, 실시예 2는 화살표 a로 나타내지는 방향으로 헤드 부분(115)을 이동시킴으로서 사각형이 도포액으로 완전히 채워질 수 있는 이점을 갖는다.

<202> 실시예 2의 구성은 실시예 1에서 설명된 EL 디스플레이 디바이스를 제작하는데 사용될 수 있음을 주목한다. 뱅크(1201)는 패턴화함으로써 매트릭스 형태로 형성되고, 헤드 부분(115)의 동작은 전기적으로 제어될 수 있다.

<203> 실시예 3

<204> 실시예 3에서는 도 13을 참고로 수동형(단순 매트릭스형) EL 디스플레이 디바이스에서 본 발명을 사용하는 경우가 설명된다. 도 13에서, 참고 번호(1301)는 플라스틱 기판을 나타내고, (1302)는 알루미늄 합금막으로 구성된 음극을 나타낸다. 음극(1302)은 실시예 3에서 증착 방법에 의해 형성된다. 비록 도 13에서는 도시되지 않았지만, 복수의 음극들선이 지정된 공간에서 수직 방향으로 스트라이프 형상에 배열됨을 주목한다.

- <205> 또한, 뱅크(1303)는 스트라이프로 배열된 음극(1302) 사이의 공간을 채우도록 형성된다. 뱅크(1303)는 정의된 공간에서 수직 방향으로 음극(1302)을 따라 형성된다.
- <206> 이어서, 고분자 유기체 EL 물질로 구성되는 발광층(1304a 내지 1304c)이 도 1의 박막 피착 장치를 사용해 막 피착 방법에 의해 형성된다. 물론, 참고번호(1304a)는 적색을 발하는 발광층이고, (1304b)는 녹색을 발하는 발광층이고, 또한 (1304c)은 청색을 발하는 발광층이다. 실시예 3에서는 실시예 1과 유사한 유기체 EL 물질이 사용될 수 있다. 이들 발광층은 뱅크(1302)에 의해 형성된 그루브(groove)를 따라 형성되고, 이들 층은 정의된 공간에서 수직 방향으로 스트라이프 형상에 배열된다.
- <207> 이어서, 모든 픽셀에 공통된 홀 주입층(1305)이 스판 코팅 방법 또는 프린팅 방법에 의해 형성된다. 홀 주입층은 또한 실시예 1과 유사하다. 부가하여, 투명 도전성 막으로 구성된 양극(1306)은 홀 주입층(1305)에 형성된다. 실시예 3에서는 증착 방법에 의해 형성된 산화인듐과 산화아연의 화합물이 투명 도전성 막으로 형성된다. 비록 도 13에는 도시되지 않았지만, 정의된 공간에서 복수의 양극들선의 평행 방향은 길이 방향이고, 양극(1306)은 음극(1302)과 교차하도록 스트라이프 형상에 배열됨을 주목한다. 더욱이, 도면에 도시되지 않은 와이어는 추후 소정의 전압이 양극(1306)에 도포될 수 있도록 FPC가 부착되는 부분으로 그려진다.
- <208> 또한, 양극(1306)의 형성 이후에는 도면에 도시되지 않은 비활성화막인 질화실리콘막이 제공될 수 있다.
- <209> 이와 같이, EL 소자가 기판(1301)사에 형성된다. 하단 측의 전극이 광차폐 음극이므로, 발광층(1304a 내지 1304c)에 의해 발생된 빛은 상단 표면(기판(1301)에 반대되는 표면)에 발광됨을 주목한다. 그러나, 하단 측 전극은 EL 소자의 구조를 역전시킴으로서 투과 양극이 될 수 있다. 그 경우, 발광층(1304a 내지 1304c)에 의해 발생된 빛은 하단 표면(기판(1301))에 발광된다.
- <210> 커버 물질(1307)로 플라스틱 플레이트가 준비된다. 광 차단 필름 또는 컬러 필터는 필요 시 표면상에 형성될 수 있다. 실시예 3의 구조에서, 커버 물질(1307)은 EL 소자로부터 발광된 빛이 커버 물질(1307)을 투과하여 관찰자의 눈에 들어오기 때문에 투과적이다. 실시예 3에서는 플라스틱 플레이트가 사용되지만, 유리 플레이트 및 PVF 막과 같은 투과성 기판(또는 투과성막)이 사용될 수 있다. 물론, 상술된 바와 같이, EL 소자의 구조를 역전시키는 경우, 커버 물질은 광차폐 특성을 갖는다. 그래서, 세라믹 기판 등이 사용될 수 있다.
- <211> 이와 같이 커버 물질(1307)이 준비될 때, 이는 건조제(도면에 도시되지 않은)인 산화바륨으로 도핑된 충전 물질(1308)에 의해 기판에 부착된다. 이때, 프레임 물질(1310)은 자외선 경화 수지로 구성된 밀봉 물질(1309)을 사용해 부착된다. 실시예 3에서는 스테인레스 물질이 프레임 물질(1310)로 사용된다. 마지막으로, FPC(1312)가 도전성 페이스트(paste)(1311)를 통해 부착되고, 그에 의해 수동형 EL 디스플레이 디바이스를 완료한다.
- <212> 실시예 4
- <213> 본 발명의 활성 매트릭스 EL 디스플레이 디바이스를 도 11a의 방향으로부터 볼 때, 픽셀 행은 길이 방향 또는 측면 방향으로 형성된다. 다른 말로 하면, 픽셀의 배열은 길이 방향으로 픽셀 행을 형성하는 경우에 도 14a와 같이 된다. 한편, 픽셀의 배열은 측면 방향으로 픽셀 행을 형성하는 경우에 도 14b와 같이 된다.
- <214> 도 14a에서, 참고번호(1401)는 길이 방향에서 스트라이프 형태로 형성된 뱅크를 나타내고, (1402a)는 적색을 발하는 EL층을 나타내고, (1402b)는 녹색을 발하는 EL층을 나타낸다. 청색을 발하는 EL층(도면에서 도시되지 않은)은 물론 녹색을 발하는 EL층(1402b) 다음에 형성된다. 절연막을 통한 소스 와이어의 상단 방향에서, 뱅크(1401)는 소스 와이어를 따라 형성됨을 주목하여야 한다.
- <215> 여기서 칭하여지는 EL층은 발광층, 전하 주입층, 및 전하 운송층과 같이 층의 발광에 공헌하는 유기체 EL 물질로 구성된 층을 나타낸다. 단일층으로 발광층을 형성하는 경우가 있다. 그러나, 예를 들어, 홀 주입층과 발광층의 적층을 형성하는 경우에는 적층이 EL층이라 칭하여진다.
- <216> 이때, 점선으로 나타내지는 픽셀(1403)의 상호 거리(D)는 EL층의 막 두께(t) 보다 5배 이상(바람직하게 10배 이상) 더 크게 설정되는 것이 바람직하다. 그 이유는 $D < 5t$ 이면, 픽셀 사이에서 누화(cross-talk)의 문제점이 일어날 수 있다는데 있다. 픽셀 사이의 거리(D)가 또한 너무 멀리 떨어져 있으면, 높은 명석도의 영상이 구해질 수 없음을 주목한다. 그러므로, 거리(D)는 $5t < D < 50t$ (바람직하게 $10t < D < 35t$)가 되는 것이 바람직하다.
- <217> 또한, 도 14b에서, 참고번호(1404)는 측면 방향에서 스트라이프 형태로 형성된 뱅크를 나타내고, (1405a)는 적색을 발하는 EL층으로 나타내고, (1405b)는 녹색을 발하는 EL층을 나타내고, 또한 (1405c)은 청색을 발하는 EL층을 나타낸다. 절연막을 통해 게이트 와이어의 상단 방향에서, 뱅크(1404)는 게이트 와이어를 따라 형성됨을

주목하여야 한다.

<218> 또한, 이러한 경우에는 점선으로 나타내지는 픽셀(1406)의 상호 거리(D)가 EL층의 막 두께(t) 보다 5배 이상(바람직하게 10배 이상) 더 크게 설정되는 것이 적절하고, 또한 거리(D)는 $5t < D < 50t$ (바람직하게 $10t < D < 35t$)가 되는 것이 바람직하다.

<219> 실시예 4의 구성은 실시예 1 내지 3의 구성과 조합되어 실시될 수 있음을 주목한다. 실시예 4에서와 같이 EL층의 막 두께와 픽셀의 거리 사이의 관계를 조절함으로써, 누화 없이 높은 명석도의 영상을 디스플레이 하는 것이 가능해진다.

<220> 실시예 5

<221> 실시예 1에서는 도 1의 박막 피착 장치를 사용함으로써 적색을 발하는 발광층, 녹색을 발하는 발광층, 및 청색을 발하는 발광층의 모든 발광층을 형성하는 예가 설명되었다. 그러나, 도 1의 박막 피착 장치를 사용해 형성된 발광층은 적색, 녹색, 및 청색 중 적어도 하나에 대한 층이 된다.

<222> 즉, 도 1b에서는 노즐(116c)(청색 발광층 도포액을 도포하는 노즐)이 생략된다. 또한, 다른 도포 수단에 의해 청색 발광층 도포액(114c)을 도포하는 것이 가능하다. 도 15에는 이러한 예가 도시된다.

<223> 도 15에서는 실시예 5의 구성이 실시예 3에서 설명된 수동형 EL 디스플레이 디바이스에 사용되는 경우의 예가 도시된다. 기본 구조는 도 13에 도시된 수동형 EL 디스플레이 디바이스와 똑같으므로, 다른 부분의 참고번호만이 변화되어 설명된다.

<224> 도 15에서는 기판(1301)에 음극(1302)을 형성한 이후에, 도 1의 박막 피착 장치를 사용함으로써, 적색을 발하는 발광층(1304a) 및 녹색을 발하는 발광층(1304b)이 형성된다. 이어서, 청색을 발하는 발광층(1501)은 스판 코팅 방법, 프린팅 방법, 또는 증착 방법에 의해 그 위에 형성된다. 부가하여, 홀 주입층(1305) 및 양극(1306)이 형성된다.

<225> 이어서, 실시예 3의 설명에 따라 충전 물질(1308), 커버 물질(1307), 밀봉 물질(1309), 프레임 물질(1310), 도전성 페이스트(1311), 및 FPC(1312)가 형성되고, 그에 의해 도 15의 수동형 EL 디스플레이 디바이스를 완성한다.

<226> 실시예 5의 경우는 적색을 발하는 발광층(1304a), 녹색을 발하는 발광층(1304b), 및 청색을 발하는 발광층(1501)이 다른 수단에 의해 형성되는 것을 특징으로 한다. 물론, 색깔은 자유롭게 조합될 수 있고, 녹색을 발하는 발광층은 상술된 청색을 발하는 발광층 대신에 스판 코팅 방법, 프린팅 방법, 또는 증착 방법에 의해 형성될 수 있다.

<227> 부가하여, 녹색을 발하는 발광층은 도 1의 주입 디바이스를 사용해 형성되고, 적색을 발하는 발광층과 청색을 발하는 발광층은 스판 코팅 방법, 프린팅 방법, 또는 증착 방법에 의해 형성될 수 있다. 이 경우에도, 색깔은 자유롭게 조합될 수 있다.

<228> 발광 픽셀, 즉 적색 발광 픽셀, 녹색 발광 픽셀, 및 청색 발광 픽셀에 대한 실시예 5의 구조에 따라, 적어도 하나는 다른 두 종류의 발광층의 적중인 구조를 발광층으로 갖는다. 이 경우, 다른 두 종류의 발광층 중에서 하나는 에너지의 이동성으로 인해 한가지 색깔을 방사한다. 그러나, 발광될 어떠한 색깔이든 미리 발광될 수 있다. 그래서, 적색, 녹색, 및 청색이 최종적으로 얻어질 수 있도록 구조를 설계하는 것이 적절하다.

<229> 상술된 바와 같이, 발광층을 적층으로 구성하는 이점으로는 핀홀(pinhole)에 의해 발생되는 단락 회로의 가능성 이 낮아진다는 점을 언급할 수 있다. 발광층이 매우 얕으므로, 핀홀에 의해 발생되는 음극 및 양극에서의 단락 회로 발생은 문제가 된다. 그러나, 적층을 구성함으로써, 핀홀이 채워지므로, 단락 회로가 발생될 가능성이 많이 줄어들 수 있다. 이러한 의미에서, 핀홀이 발생되기 어려운 증착 방법에 의해 적층 구조의 상단 층에 제공되는 발광층을 형성하는 것이 효과적이다.

<230> 실시예 5에서는 한 예로 수동형 EL 디스플레이 디바이스를 설명하였음을 주목한다. 그러나, 활성 매트릭스 EL 디스플레이 디바이스가 또한 사용될 수 있다. 따라서, 실시예 5의 구성은 실시예 1 내지 4 중 임의의 구성과 자유롭게 조합되어 실시될 수 있다.

<231> 실시예 6

<232> 도 1에는 3 노즐이 부착된 헤드 부분(115)의 한 예가 도시된다. 그러나, 복수의 픽셀 행들에 대응하여 3개 이상

의 노즐과 더 부착될 수 있고, 그 예는 도 16에 도시된다. 문자 R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응함을 주목하여야 한다.

<233> 도 16에는 픽셀 부분에 형성된 모든 픽셀 행에 유기체 EL 물질(엄격하게, 도포액)을 집합적으로 도포하는 예가 도시된다. 즉, 헤드 부분(1601)에 부착된 노즐의 수는 픽셀열의 수와 똑같다. 이러한 구조를 구성함으로써, 한번의 주사로 전체 픽셀 행에 도포액을 도포하는 것이 가능해지고, 그에 의해 처리량이 신속하게 증가된다.

<234> 또한, 픽셀 부분은 다수의 구역(zone)으로 분할된다. 각 구역에 포함된 픽셀열의 수와 똑같은 수의 노즐이 제공된 헤드 부분이 사용된다. 다른 말로 하면, 픽셀 부분이 n개의 구역으로 나뉘는 경우, 유기체 EL 물질(엄격하게, 도포액)은 n회의 주사에 의해 모든 픽셀 행에 도포될 수 있다.

<235> 실제로 픽셀의 크기가 수십 μm 으로 작은 경우가 있으므로, 픽셀열의 폭도 또한 대략 수십 μm 이다. 이러한 경우, 한 수평 열에 노즐을 배열하기 어렵기 때문에, 노즐의 배열은 연구될 필요가 있다.

<236> 도 17에는 헤드 부분에 대한 노즐의 부착 위치가 변경되는 예가 도시된다. 도 17a에서, 노즐(52a 내지 52c)은 대각선으로 부착 위치를 쉬프트하면서 헤드 부분(51)에 형성된다. 참고번호(52a)는 적색 발광층 도포액을 도포하는 노즐을 나타내고, (52b)는 녹색 발광층 도포액을 도포하는 노즐을 나타내고, 또한(52c)은 청색 발광층 도포액을 도포하는 노즐을 나타낸다. 또한, 각 화살표는 픽셀 행에 대응한다.

<237> 노즐(52a 내지 52c)은 참고번호(53)에 의해 나타내지는 바와 같이 한 유닛으로 간주된다. 그래서, 헤드 부분에는 1 내지 수개의 유닛이 제공된다. 하나의 유닛(53)이 있으면, 유기체 EL 물질은 동시에 3개의 픽셀 행에 도포될 수 있다. 이는 n개의 유닛이 있는 경우 유기체 EL 물질이 동시에 3개의 픽셀 행이 n개인 것에 도포될 수 있음을 의미한다.

<238> 이러한 구조를 형성함으로써, 노즐의 배열 공간에서 자유도가 상승되어, 많은 어려움 없이 매우 세밀한 픽셀 부분에 본 발명을 실시하는 것을 가능하게 만든다. 부가하여, 도 17a의 헤드 부분(51)은 픽셀 부분에서 모든 픽셀 행을 집합적으로 처리하는데(도포액을 도포하는데) 사용되거나, 픽셀 부분이 다수의 구역으로 나뉘고 픽셀열의 처리가 수회로 나뉘는 경우에 사용될 수 있다.

<239> 도 17b에 도시된 헤드 부분(54)은 도 17a의 수정 버전이다. 이는 한 유닛(55)에 포함된 노즐의 수를 증가시키는 경우의 예이다. 다른 말로 하면, 적색 발광층 도포액을 도포하는 2 노즐(56a), 녹색 발광층 도포액을 도포하는 2 노즐(56b), 및 청색 발광층 도포액을 도포하는 2 노즐(56c)이 유닛(55)에 포함된다. 그래서, 총 6개의 픽셀 행에 한 유닛(55)으로 동시에 유기체 EL 물질이 도포될 수 있다.

<240> 실시예 6에서는 상술된 1 내지 다수의 유닛(55)이 제공될 수 있다. 단 하나의 유닛(55)만이 있으면, 유기체 EL 물질은 동시에 6개의 픽셀 행에 도포될 수 있다. n개의 유닛(55)이 있으면, 유기체 EL 물질은 동시에 6개 픽셀 행이 n개 있는 것에 도포될 수 있다. 물론, 유닛(55)에 제공된 노즐의 수는 반드시 6으로 제한되는 것은 아니고, 추가수의 노즐이 제공될 수 있다.

<241> 이러한 구조의 경우에는 도 17a의 경우와 유사하게, 픽셀 부분의 모든 픽셀 행이 집합적으로 처리될 수 있거나, 픽셀 부분이 다수의 구역으로 나뉠 때 처리를 여러 번으로 나누는 것이 가능하다.

<242> 부가하여, 도 17c에 도시된 헤드 부분(57)과 같은 헤드 부분이 사용될 수 있다. 헤드 부분(57)에서, 3개 픽셀열의 공간은 적색 발광층 도포액을 도포하기 위한 노즐(58a), 녹색 발광층 도포액을 도포하기 위한 노즐(58b), 및 청색 발광층 도포액을 도포하기 위한 노즐(58c)을 제공하도록 개방된다.

<243> 먼저, 헤드 부분(57)은 유기체 EL 물질을 픽셀 행에 도포하도록 1회 주사된다. 다음에는 헤드 부분(57)이 3개 픽셀 행 만큼 우측으로 쉬프트되어 다시 주사된다. 이어서, 헤드 부분은 3개 픽셀 행 만큼 우측으로 더 쉬프트되어 다시 주사된다. 그래서, 주사는 3회 실행되고, 그에 의해 유기체 EL 물질은 적색, 녹색, 및 청색의 순서로 줄 세워진 스트라이프에 도포될 수 있다.

<244> 또한, 이러한 구조의 경우에는 도 17a의 경우와 유사하게, 픽셀 부분의 모든 픽셀 행이 집합적으로 처리될 수 있거나, 픽셀 부분이 다수의 구역으로 나뉠 때 처리를 여러 번으로 나누는 것이 가능하다.

<245> 그래서, 도 1의 박막 피착 장치에서는 헤드 부분에 부착된 노즐의 위치를 고려함으로써, 본 발명이 또한 매우 좁은 픽셀 피치(픽셀 사이의 거리)를 갖는 매우 세밀한 픽셀 부분에서도 실시될 수 있다. 더욱이, 제작 처리의 처리량이 증가될 수 있다.

<246> 실시예 6의 구성은 실시예 1 내지 5 중 임의의 구성과 자유롭게 조합되어 실시될 수 있음을 주목한다.

<247> 실시예 7

본 발명이 활성 매트릭스 EL 디스플레이 디바이스를 제작하도록 실시될 때, 기판으로 실리콘 기판(실리콘 웨이퍼(wafer))을 사용하는 것이 효과적이다. 기판으로 실리콘 기판을 사용하는 경우, 픽셀 부분에 형성되는 스위칭 소자 및 전류 제어 소자, 또는 구동기 회로 부분에 형성되는 구동기 소자를 제작하는데는 종래의 IC, LSI 등에서 사용되는 MOSFET의 제작 기술이 사용될 수 있다.

<249> MOSFET는 IC 및 LSI에서 이루어지는 것과 같이 매우 작은 변형을 갖는 회로를 형성할 수 있다. 특별히, 활성 매트릭스 EL 디스플레이 디바이스의 아날로그 구동기의 전류 값에 의해 그레이데이션(gradation) 디스플레이를 실행하는 것이 효과적이다.

<250> 실리콘 기판은 투과성이 아니므로, 발광층으로부터의 빛이 기판과 반대측에 발광되도록 구성될 필요가 있음을 주목하여야 한다. 실시예 7의 EL 디스플레이 디바이스의 구조는 도 11과 유사하다. 그러나, 다른 점은 MOSFET가 TFT 대신에 픽셀 부분(702)과 구동기 회로 부분(703)을 형성하는데 사용된다는 점이다.

<251> 실시예 8

<252> 본 발명을 실시함으로써 형성된 EL 디스플레이 디바이스는 자체 발광형 디바이스이기 때문에 액정 디스플레이 디바이스와 비교해 밝은 위치에서 뛰어난 가시성을 갖고, 시야가 넓다. 따라서, 다양한 전자 디바이스의 디스플레이 부분으로 사용될 수 있다. 예를 들면, 대형 화면의 TV 방송을 감상하기 위해 30 인치 이상(전형적으로 40 인치 이상)의 대각선을 갖는 EL 디스플레이(케이스 내에 EL 디스플레이 디바이스를 포함하는 디스플레이)의 디스플레이 부분으로 본 발명의 EL 디스플레이 디바이스를 사용하는 것이 적절하다.

<253> 개인용 컴퓨터 디스플레이, TV 방송 수신 디스플레이, 또는 광고 디스플레이와 같이 정보를 나타내는(디스플레이 하는) 모든 디스플레이에는 EL 디스플레이로 포함됨을 주목한다. 또한, 본 발명의 EL 디스플레이 디바이스는 다른 다양한 전자 디바이스의 디스플레이 부분으로 사용될 수 있다.

<254> 다음은 이러한 전자 디바이스의 예로 주어질 수 있다: 비디오 카메라; 디지털 카메라; 고글형 디스플레이(머리에 착용하는 디스플레이); 자동차 네비게이션(navigation) 시스템; 오디오 재생 디바이스(예를 들면, 자동차 오디오 시스템, 오디오 컴포(compo) 시스템); 노트북 개인용 컴퓨터; 게임 장비; 휴대용 정보 단말(예를 들면, 이동 컴퓨터, 이동 전화기, 이동 게임 장비, 또는 전자 서적); 및 기록 매체가 제공되는 영상 재생 디바이스(특별히, 기록 매체의 재생을 실행하고, 디지털 비디오 디스크(digital video disk, DVD)와 같이 영상을 디스플레이 할 수 있는 디스플레이가 제공되는 디바이스). 특히, 휴대용 정보 단말은 때로 대각선으로부터 관찰되기 때문에, 시야의 넓이가 매우 중요한 것으로 생각된다. 그래서, EL 디스플레이 디바이스가 사용되는 것이 바람직하다. 이러한 전자 디바이스의 예는 도 18a 내지 도 19b에 도시된다.

<255> 도 18a는 케이스(2001), 지지 대(2002), 및 디스플레이 부분(2003)을 포함하는 EL 디스플레이이다. 본 발명은 디스플레이 부분(2003)에서 사용될 수 있다. EL 디스플레이가 백라이트를 필요로 하지 않는 자체 발광형이므로, 디스플레이 부분은 액정 디스플레이 디바이스 보다 더 얇게 만들어질 수 있다.

<256> 도 18b는 메인 본체(2101), 디스플레이 부분(2102), 오디오 입력 부분(2103), 동작 스위치(2104), 배터리(2105), 및 영상 수신 부분(2106)을 포함하는 비디오 카메라이다. 본 발명의 EL 디스플레이 디바이스는 디스플레이 부분(2102)에서 사용될 수 있다.

<257> 도 18c는 메인 본체(2201), 신호 케이블(2202), 머리 고정 밴드(2203), 디스플레이 부분(2204), 광학 시스템(2205), 및 EL 디스플레이 디바이스(2206)를 포함하는 머리 고정형 EL 디스플레이의 일부(우측)이다. 본 발명은 EL 디스플레이 디바이스(2206)에서 사용될 수 있다.

<258> 도 18d는 메인 본체(2301), 기록 매체(DVD와 같은)(2302), 동작 스위치(2303), 디스플레이 부분(a)(2304), 및 디스플레이 부분(b)(2305)을 포함하고, 기록 매체가 제공되는 영상 재생 디바이스(특별히, DVD 재생 디바이스)이다. 디스플레이 부분(a)은 주로 영상 정보를 디스플레이 하는데 사용되고, 영상 부분(b)은 주로 문자 정보를 디스플레이 하는 사용되고, 본 발명의 EL 디스플레이 디바이스는 영상 부분(a) 및 영상 부분(b)에서 사용될 수 있다. 실내 게임 장비는 기록 매체가 제공되는 영상 재생 디바이스로 포함됨을 주목한다.

<259> 도 18e는 메인 본체(2401), 카메라 부분(2402), 영상 수신 부분(2403), 동작 스위치(2404), 및 디스플레이 부분(2405)을 포함하는 이동 컴퓨터이다. 본 발명의 EL 디스플레이 디바이스는 디스플레이 부분(2405)에서 사용될 수 있다.

- <260> 도 18f는 메인 본체(2501), 케이스(2502), 디스플레이 부분(2503), 및 키보드(2504)를 포함하는 개인용 컴퓨터이다. 본 발명의 EL 디스플레이 디바이스는 디스플레이 부분(2503)에서 사용될 수 있다.
- <261> 미래에 EL 물질의 방사 휘도가 더 높아지면, 출력 영상을 포함하는 빛의 투사(projection)는 렌즈 등에 의해 확대될 수 있음을 주목한다. 이때, 본 발명의 EL 디스플레이 디바이스를 전방형 또는 전방형 프로젝터에서 사용되는 것이 가능해진다.
- <262> 상기의 전자 디바이스는 인터넷 또는 CATV(cable television)과 같은 전자 전송 회로를 통해 제공되는 정보를 디스플레이 하는 보다 자주 사용되고 있고, 특히 애니메이션(animation) 정보를 디스플레이 하는 기회가 증가되고 있다. EL 물질의 응답 속도는 매우 높으므로, EL 디스플레이 디바이스는 애니메이션 디스플레이를 실행하는데 좋다. 그러나, 픽셀 사이의 윤곽이 흐릿해지고, 그에 의해 전체적인 애니메이션도 또한 흐릿해진다. 따라서, 픽셀 사이의 윤곽을 명확하게 하는 기능 때문에 전자 장비의 디스플레이 부분에 본 발명의 EL 디스플레이 디바이스를 사용하는 것이 매우 효과적이다.
- <263> EL 디스플레이 디바이스의 발광 부분은 전력을 소모하므로, 가능한 한 적게 방사 부분을 갖도록 정보를 디스플레이 하는 것이 바람직하다. 그러므로, 휴대용 정보 단말, 특히 휴대용 전화기 및 오디오 재생 디바이스와 같이 문자 정보를 주로 디스플레이 하는 디스플레이 부분에 EL 디스플레이 디바이스를 사용할 때, 비방사 부분을 배경으로 설정하고 방사 부분에는 문자 정보를 형성함으로써 이를 구동시키는 것이 바람직하다.
- <264> 도 19a는 메인 본체(2601), 오디오 출력 부분(2602), 오디오 입력 부분(2603), 디스플레이 부분(2604), 동작 스위치(2605), 및 안테나(2606)를 포함하는 휴대용 전화기이다. 본 발명의 EL 디스플레이 디바이스는 디스플레이 부분(2604)에서 사용될 수 있다. 디스플레이 부분(2604)에서 흑색 배경에 흰색 문자를 디스플레이 함으로써, 휴대용 전화기의 전력 소모가 감소될 수 있음을 주목한다.
- <265> 도 19b는 메인 본체(2701), 디스플레이 부분(2702), 및 동작 스위치(2703, 2704)를 포함하는 오디오 재생 디바이스, 특별히 자동차 오디오 시스템이다. 본 발명의 EL 디스플레이 디바이스는 디스플레이 부분(2702)에서 사용될 수 있다. 더욱이, 자동차의 오디오 재생 디바이스는 실시예 8에서 도시되지만, 이는 또한 이동형 및 실내형 오디오 재생 디바이스에도 사용될 수 있다. 디스플레이 부분(2704)에서 흑색 배경에 흰색 문자를 디스플레이 함으로써, 전력 소모가 감소될 수 있음을 주목한다. 이는 특별히 이동형 오디오 재생 디바이스에서 효과적이다.
- <266> 본 발명의 응용 범위는 매우 넓고, 모든 문자의 전자 디바이스에 본 발명을 도포하는 것이 가능하다. 더욱이, 실시예 1 내지 실시예 7에 도시된 EL 디스플레이 디바이스 중 임의의 구성은 실시예 8의 전자 디바이스에서 사용될 수 있다.
- <267> 실시예 9
- <268> 실시예 9에서는 실시예 1의 도 11에 도시된 EL 디스플레이 디바이스의 단면 구조와 다른 EL 소자를 포함하는 방법의 경우가 도 20을 참고로 설명된다. 실시예 9의 활성 매트릭스 기판을 형성하는 처리는 실시예 1과 유사하므로, 그 설명이 생략됨을 주목한다.
- <269> 실시예 1에 따라 형성된 활성 매트릭스 기판에는 밀봉 물질(2801)이 제공되고, 커버 물질(2802)이 그에 부착된다. 자외선 경화 수지와 같은 접착성을 갖는 수지가 밀봉 물질(2801)로 사용될 수 있다. 특별히, 습기가 가능한 한 많이 투과되지 않고 가능한 한 적게 기체가 누설되는 수지를 사용하는 것이 바람직하다. 부가하여, 광 투명성을 갖는 원도우 멤버가 제공되는 유리 기판, 플라스틱 기판, 또는 세라믹 기판과 같은 기판에 형성된 EL 소자로부터 방사된 빛을 추출할 수 있는 물질이 커버 물질(2802)로 사용된다.
- <270> 실시예 9에서, 자외선 경화 수지로 구성된 밀봉 물질(2801)은 디스펜서(dispenser)를 사용해 픽셀 부분(702) 및 구동기 회로 부분(703)을 둘러싸도록 형성되고, 플라스틱으로 구성된 커버 물질(2802)이 그에 부착된다. 다음에는 밀봉 물질(2801)이 자외선을 조사함으로써 경화되고, 그에 의해 커버 물질(2802)을 활성 매트릭스 기판에 결합시키게 된다.
- <271> 수지로 구성된 칼라 필터(2803, 2804)는 기판에 부착되기 이전에 플라스틱으로 구성된 커버 물질(2802)에 제공됨을 주목한다. 칼라 필터(2803, 2804)는 EL 소자로부터 발광된 빛의 색순도를 개선하도록 각 픽셀 위에 제공된다. 칼라 필터가 제공되지 않는 경우에는 문제되지 않는다.
- <272> 활성 매트릭스 기판, 커버 물질(2802), 및 밀봉 물질(2801)로 형성된 폐쇄 공간(2805)은 불활성 기체(특별히 질소 함유 기체 또는 희귀 기체(noble(rare) gas))로 채워진다. 이를 행하기 위해, 불활성 기체에서 활성 매트릭스 기판과 커버 물질을 결합시키는 처리를 실행하는 것이 적절하다. 더욱이, 폐쇄된 공간(2805)내에 산화바륨과

같은 건조제를 제공하는 것이 효과적이다. 또한, 밀봉 물질(2801), 커버 물질(2802), 또는 칼라 필터(2803, 2804)에 부가적으로 건조제를 도핑 하는 것이 가능하다.

<273> 실시예 1 내지 7의 구성과 자유롭게 조합하여 실시예 9의 구성을 실시하는 것이 가능함을 주목한다. 실시예 9를 실시함으로써 구해진 EL 디스플레이 디바이스는 실시예 8의 전자 장비에 사용될 수 있다.

<274> 실시예 10

<275> 실시예 10에서는 큰 기판에 본 발명의 EL 디스플레이 디바이스를 다수 제작하는 경우가 설명된다. 설명은 도 21a 및 도 21b와 도 22a 및 도 22b에 도시된 상면 도를 사용해 이루어진다. 각 상면 도는 선 A-A' 및 선 B-B'를 따라 취해진 단면도를 모두 가짐을 주목한다.

<276> 도 21a는 실시예 1 내지 7 중 하나에 따라 형성된 활성 매트릭스 기판의 상태를 도시하고, 그 위에는 밀봉 물질이 형성된다. 참고번호(2901)는 수개의 위치에 제공된 밀봉 물질(2902)을 갖는 활성 매트릭스 기판을 나타낸다.

<277> EL 디스플레이 디바이스의 픽셀 부분 및 구동기 회로 부분은 밀봉 물질(2902)로 둘러싸인 각 영역 내부에 포함된다. 즉, 각각이 픽셀 부분과 구동기 회로 부분의 조합으로 구성된 다수의 활성 매트릭스 부분(2903)이 하나의 대형 활성 매트릭스 기판(2901)상에 형성된다. 전형적으로, 620 am X 720 am 또는 400 am X 500 am의 면적을 갖는 기판이 대형 기판으로 사용된다. 물론, 다른 면적을 갖는 기판이 사용될 수 있다.

<278> 도 21b는 커버 물질(2904)이 활성 매트릭스 기판(2901)에 부착된 상태를 도시한다. 활성 매트릭스 기판(2901)과 똑같은 면적을 갖는 기판이 커버 물질(2904)로 사용된다. 따라서, 도 21b에 도시된 상태에서는 공통된 커버 물질이 모든 활성 매트릭스 부분에 사용될 수 있다.

<279> 다음에는 도 21b에 도시된 상태에서 활성 매트릭스 기판을 절단하는 처리가 도 22a 및 도 22b를 참고로 설명된다.

<280> 실시예 10에서, 활성 매트릭스 기판(2901) 및 커버 물질(2904)의 절단은 스크라이버(scriber)를 사용해 실행된다. 스크라이버는 기판을 절단하기 위한 디바이스로, 먼저 기판에서 좁은 그루브(스크라이브 그루브(scribe groove))를 형성하고, 이어서 스크라이브 그루브를 따라 틈을 발생하도록 스크라이브 그루브에 충격을 인가하여 기판을 절단한다.

<281> 기판을 절단하는 또 다른 디바이스로는 다이서(dicer)가 알려져 있음을 주목하여야 한다. 다이서는 매우 고속으로 하드 커터(hard cutter)(또한 다이싱 톱날(dicing saw)이라 칭함)가 회전되어 기판에 적용되는 디바이스이다.

<282> 기판을 절단하는 또 다른 디바이스로는 다이서가 알려져 있음을 주목하여야 한다. 다이서는 매우 고속으로 회전하는 하드 커터(또한 다이싱 톱날이라 칭함)가 기판을 절단하기 위해 기판에 적용되는 디바이스이다. 그러나, 다이서를 사용할 때, 다이싱 톱날에는 열 발생을 방지하고 광택제 면저의 산란을 방지하기 위해 물이 뿌려진다. 그러므로, EL 디스플레이 디바이스를 제작할 때는 물을 사용할 필요가 없는 스크라이버를 사용하는 것이 바람직하다.

<283> 활성 매트릭스 기판(2901) 및 커버 물질(2904)에 스크라이브 그루브를 형성하는 순서는 다음과 같다. 먼저, 화살표(a)로 나타내지는 방향으로 스크라이브 그루브(2905a)가 형성되고, 이어서 화살표(b)로 나타내지는 방향으로 스크라이브 그루브(2905b)가 형성되고, 마지막으로 화살표(c)로 나타내지는 방향으로 스크라이브 그루브(2905c)가 형성된다.

<284> 스크라이브 그루브가 형성될 때는 틈을 발생하도록 실리콘 수지와 같은 신축성 있는 물질로 구성된 막대로 스크라이브 그루브에 충격이 가해지고, 이어서 활성 매트릭스 기판(2901) 및 커버 물질(2904)이 절단된다. 도 22b는 활성 매트릭스 기판(2901) 및 커버 물질(2904)을 절단한 이후의 상태를 도시하는 도면이다. 이 도면에서, 활성 매트릭스 기판(2901') 및 커버 물질(2904')로 구성된 세트는 하나의 활성 매트릭스 부분을 포함한다.

<285> 또한, 커버 물질(2904')은 이때 활성 매트릭스 기판(2901') 보다 더 작게 절단된다. 이를 행하는 목적은 참고번호(2906)로 나타내지는 영역에 FPC(Flexible Print Circuit)를 부착하는 것이다. EL 디스플레이 디바이스는 FPC가 부착될 때 완성된다.

<286> 다수의 EL 디스플레이 디바이스는 이와 같이 실시예 10을 실시함으로써 한 기판으로부터 제작될 수 있다. 예를 들면, 620 am X 720 am 기판으로부터 6개의 13 내지 14 인치 대각선 EL 디스플레이 디바이스 또는 4개의 15 내지 17 인치 대각선 EL 디스플레이 디바이스가 제작될 수 있다. 그러므로, 처리 량이 많이 증가되고 제작비용이

감소될 수 있다.

<287> 실시예 11

<288> 실시예 11에서는 도 23을 참고로 실시예 1에 도시된 픽셀 부분에서 EL 소자(203)의 구조가 역전된 경우가 설명된다. 실시예 11의 구조와 도 2의 구조 사이의 차이는 전류 제어 TFT 및 EL 소자의 일부에만 있으므로, 다른 부분의 설명은 생략됨을 주목한다.

<289> 도 23에서는 실시예 1의 제작 과정에 따라 형성된 p-채널 TFT(206)와 그 구조가 동일한 p-채널 TFT를 사용하여 전류 제어 TFT(61)가 형성된다. 그러므로, 전류 제어 TFT(61)의 상세한 설명은 생략된다.

<290> 실시예 11에서, 투명 도전성 막은 픽셀 전극(양극)으로 사용된다. 특별히, 산화인듐 및 산화아연의 화합물로 구성된 도전성 막이 사용된다. 물론, 산화인듐 및 산화주석의 화합물로 구성된 도전성 막이 또한 사용될 수 있다.

<291> 절연막으로 구성된 뱅크(63a, 63b)가 형성된 이후에는 용매가 도포되고, 그에 의해 폴리비닐 카바졸(polyvinyl carbazole)로 구성된 발광층(64)을 형성한다. 포타시뮴 아세틸 아세토네이트(potassium acetyl acetonate)로 구성된 전자 주입층(65)은 발광층(64)에 형성되고, 알루미늄 합금으로 구성된 음극(66)은 그 위에 형성된다. 이 경우, 음극(66)은 또한 비활성화막으로 동작한다. 이와 같이, EL 소자(67)가 형성된다.

<292> 실시예 11의 경우, 화살표로 나타내지는 바와 같이, 발광층(64)으로부터 발생된 빛은 그 위에 TFT가 형성된 기판 쪽으로 발광된다. 실시예 11과 같은 구조를 형성할 때, 전류 제어 TFT(61)를 p-채널 TFT로 형성하는 것이 바람직하다. 그러나, 전류 제어 TFT는 또한 n-채널 TFT로 형성될 수 있다.

<293> 실시예 1 내지 7, 9, 및 10 중 임의의 구성과 자유롭게 조합되어 실시예 11의 구성을 실시하는 것이 가능함을 주목한다. 부가하여, 실시예 8의 전자 장비 중 디스플레이 부분으로 실시예 11의 구조를 갖는 EL 디스플레이 디바이스를 사용하는 것이 효과적이다.

<294> 실시예 12

<295> 실시예 12에서는 도 24에 도시된 픽셀 구성이 도 3b에 도시된 회로도(구성)와 다른 경우의 예가 설명된다. 실시예 12에서, 참고번호(71)는 스위칭 TFT(72)의 소스 와이어를 나타내고, (73)는 스위칭 TFT(72)의 게이트 와이어를 나타내고, (74)는 전류 제어 TFT를 나타내고, (75)는 캐패시터를 나타내고, (76, 78)는 전류 공급 선을 나타내고, 또한 (77)은 EL 소자를 나타낸다.

<296> 캐패시터(75)는 n-채널 TT로 형성된 전류 제어 TFT(74)의 게이트 캐패시턴스(게이트 전극과 LDD 영역 사이에 형성된 게이트 캐패시턴스)를 사용함을 주목하여야 한다. 실제로, 캐패시터(75)는 제공되지 않으므로, 이는 점선으로 나타내진다. 물론, 캐패시터는 다른 구조로 형성될 수 있다.

<297> 도 24a는 전류 공급선(76)이 두 픽셀 사이에서 공통적인 경우의 예이다. 즉, 이는 두 픽셀이 전류 공급선(76) 주위에서 선형 대칭을 갖고 형성되는 것을 특징으로 한다. 이 경우, 전류 공급선의 수가 감소될 수 있으므로, 픽셀 부분은 더 높은 명석도로 이루어질 수 있다.

<298> 또한, 도 24b는 전류 공급선(78)이 게이트 와이어(73)와 평행하게 형성된 경우의 예이다. 도 24b에서는 전류 공급선(78) 및 게이트 와이어(73)가 오버랩 되지 않지만, 둘 모두가 다른 층에 형성된 와이어이면, 절연막을 통해 오버랩 되도록 형성될 수 있는 구조가 형성됨을 주목한다. 이 경우, 독점적인 표면적이 전류 공급선(78) 및 게이트 와이어(73)에 의해 공유될 수 있어, 픽셀 부분은 더 높은 명석도로 이루어질 수 있다.

<299> 더욱이, 도 24c는 도 24b의 구조와 유사하게 전류 공급선(78) 및 게이트 와이어(73)가 나란히 형성되고, 부가하여 두 픽셀이 전류 공급선(78) 주위에서 선형 대칭을 갖도록 형성되는 것을 특징으로 한다. 부가하여, 게이트 와이어(73) 중 하나와 오버랩 되도록 전류 공급선(78)을 형성하는 것이 효과적이다. 이 경우, 전류 공급선의 수가 감소될 수 있으므로, 픽셀 부분은 더 높은 명석도로 이루어질 수 있다.

<300> 실시예 1 내지 7, 9, 및 10 중 임의의 구성과 자유롭게 조합되어 실시예 12의 구성을 실시하는 것이 가능함을 주목한다. 부가하여, 실시예 8의 전자 장비 중 디스플레이 부분으로 실시예 12의 구조를 갖는 EL 디스플레이 디바이스를 사용하는 것이 효과적이다.

<301> 실시예 13

<302> 실시예 11에서는 전류 제어 TFT(61)로 p-채널 TFT가 사용된다. 실시예 13에서는 LDD 영역을 갖는 p-채널 TFT를 사용하는 예가 도시된다. 실시예 13의 전류 제어 TFT의 구조는 도 25a에 도시된다.

- <303> 도 25a에서, 참고번호(81)는 소스 영역을 나타내고, (82)는 드레인 영역을 나타내고, (83)는 LDD 영역을 나타내고, (84)는 채널 형성 영역을 나타내고, (85)는 게이트 절연막을 나타내고, (86)는 게이트 전극을 나타내고, (87)는 제1 층간 절연막을 나타내고, (88)는 소스 와이어를 나타내고, (89)는 드레인 와이어를 나타내고, 또한 (90)은 제1 비활성화막을 나타낸다.
- <304> 실시예 13의 구조를 형성하는 경우, 이는 게이트 전극(86)이 게이트 절연막(85)을 통해 LDD 영역(83)과 오버랩 되고, 그 사이에 게이트 캐패시턴스가 형성되는 상태이다. 실시예 13은 게이트 캐패시턴스가 전류 제어 TFT의 게이트 전압을 유지하는 캐패시터로 사용되는 것을 특징으로 한다.
- <305> 실시예 13에 따른 픽셀 구성의 예는 도 25b에 도시된다. 도 25b에서, 참고번호(91)는 소스 와이어를 나타내고, (92)는 게이트 와이어를 나타내고, (93)는 스위칭 TFT를 나타내고, (94)는 전류 제어 TFT를 나타내고, (95)는 전류 제어 TFT의 게이트 캐패시턴스로 형성된 캐패시터를 나타내고, (96)는 EL 소자를 나타내고, 또한 (97)은 전류 공급 선을 나타낸다.
- <306> 도 25a의 구조는 전류 제어 TFT의 구조 및 24a에서 EL 소자의 방향이 변경된 구조임을 주목한다. 즉, 도 24b 및 도 24c에 도시된 바와 같은 회로 구성을 갖는 픽셀 구성을 형성하는 것이 가능하다.
- <307> 실시예 13의 전류 제어 TFT를 형성하는 경우에는 p-채널 TFT의 LDD 영역을 형성하는 처리가 요구된다. 그러나, LDD 영역(83)을 형성하는 패턴화 처리 및 p형 불순물 원소의 도핑 처리가 실시예 1의 제작 처리에 부가될 수 있다. 이들 처리를 부가할 때, LDD 영역(83)에 포함된 p형 불순물 원소의 농도를 1×10^{15} 내지 1×10^{18} atoms/cm³(전형적으로 5×10^{16} 내지 5×10^{17} atoms/cm³) 사이로 설정하는 것이 적절하다.
- <308> 실시예 1 내지 7, 9, 및 10 중 임의의 구성과 자유롭게 조합되어 실시예 13의 구성을 실시하는 것이 가능함을 주목한다. 부가하여, 실시예 8의 전자 장비 중 디스플레이 부분으로 실시예 13의 구조를 갖는 EL 디스플레이 디바이스를 사용하는 것이 효과적이다.

발명의 효과

- <309> 본 발명을 실시하면, 의심할 여지없이 잉크젯 방법에서 일어나는 비행 곡선 문제점을 일으키지 않고 유기체 EL 물질의 막 피착을 실행하는 것이 가능해진다. 즉, 고분자 유기체 EL 물질이 위치 쉬프트 문제점을 일으키지 않고 정확하게 막 피착될 수 있으므로, 고분자 유기체 EL 물질을 사용하는 EL 디스플레이 디바이스의 산출량이 증가될 수 있다. 또한, 유기체 EL 물질은 잉크젯 방법에서와 같이 "도트(dot)"의 형태로 뿐만 아니라, "라인(line)"의 형태로 도포되므로, 높은 처리 량을 얻게 된다.

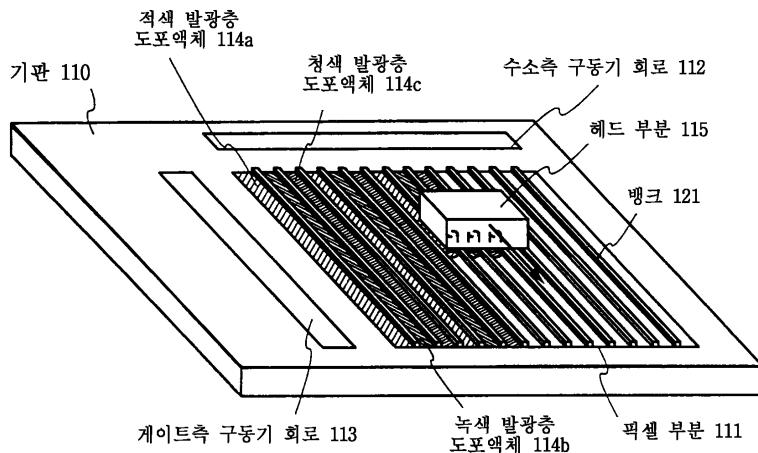
도면의 간단한 설명

- <1> 도 1a 내지 도 1c는 본 발명에서 유기체 EL 물질의 도포 처리를 도시하는 도면.
- <2> 도 2는 픽셀(pixel) 부분의 단면 구조를 도시하는 도면.
- <3> 도 3a 및 도 3b는 픽셀 부분의 상단 구조 및 구성을 각각 도시하는 도면.
- <4> 도 4a 내지 도 4e는 EL 디스플레이 디바이스의 제작 처리를 도시하는 도면.
- <5> 도 5a 내지 도 5d는 EL 디스플레이 디바이스의 제작 처리를 도시하는 도면.
- <6> 도 6a 내지 도 6c는 EL 디스플레이 디바이스의 제작 처리를 도시하는 도면.
- <7> 도 7은 EL 디스플레이 디바이스의 외부 도를 도시하는 도면.
- <8> 도 8은 EL 디스플레이 디바이스의 회로 블록 구조를 도시하는 도면.
- <9> 도 9는 픽셀 부분의 확대도.
- <10> 도 10은 EL 디스플레이 디바이스의 샘플링 회로의 소자 구조를 도시하는 도면.
- <11> 도 11a 및 도 11b는 능동 매트릭스 EL 디스플레이 디바이스의 상단 구조 및 단면 구조를 각각 도시하는 도면.
- <12> 도 12a 및 도 12b는 본 발명의 유기체 EL 물질의 도포 처리 및 픽셀 부분의 확대 도를 각각 도시하는 도면.
- <13> 도 13은 수동형 EL 디스플레이 디바이스의 단면 구조를 도시하는 도면.

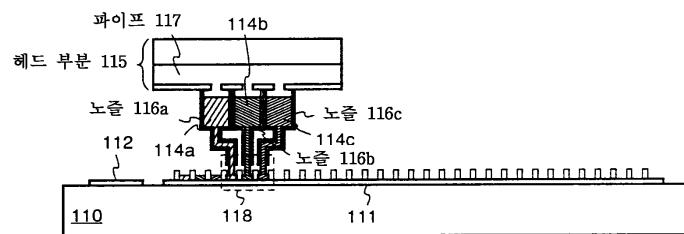
- <14> 도 14a 및 도 14b는 픽셀 부분의 확대도.
- <15> 도 15는 수동형 EL 디스플레이 디바이스의 단면 구조를 도시하는 도면.
- <16> 도 16은 본 발명에서 유기체 EL 물질의 응용 처리를 도시하는 도면.
- <17> 도 17a 내지 도 17c는 헤드 부분에서 노즐의 배열을 도시하는 도면.
- <18> 도 18a 내지 도 18f는 전자 장비의 특정한 예를 도시하는 도면.
- <19> 도 19a 및 도 19b는 전자 장비의 특정한 예를 도시하는 도면.
- <20> 도 20은 능동 매트릭스 EL 디스플레이 디바이스의 단면 구조를 도시하는 도면.
- <21> 도 21a 및 도 21b는 기판의 결합 처리를 도시하는 도면.
- <22> 도 22a 및 도 22b는 기판의 분할 처리를 도시하는 도면.
- <23> 도 23은 능동 매트릭스 EL 디스플레이 디바이스의 단면 구조를 도시하는 도면.
- <24> 도 24a 내지 도 24c는 EL 디스플레이 디바이스의 픽셀의 합성을 도시하는 도면.
- <25> 도 25a 및 도 25b는 전류 제어 TFT의 구조 및 픽셀의 합성을 각각 도시하는 도면.
- <26> * 도면의 주요부분에 대한 부호의 설명 *
- <27> 113; 게이트측 구동기 회로 114b; 녹색 발광층 도포액체
- <28> 201; 스위칭 TFT 203; EL 소자
- <29> 302; 폴리실리콘막 305; n형 불순물 영역
- <30> 706; 게이트 와이어 708; 전류 제어 TFT

도면

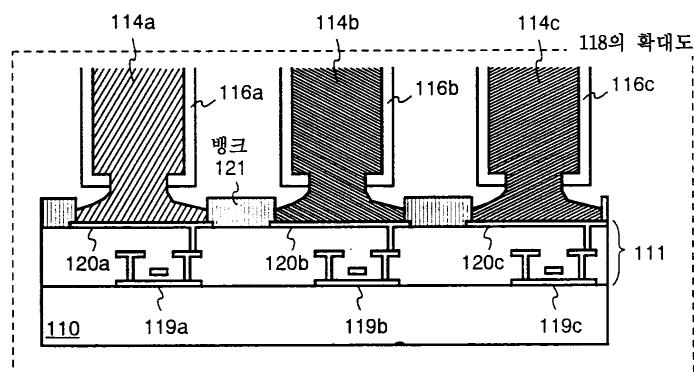
도면1a



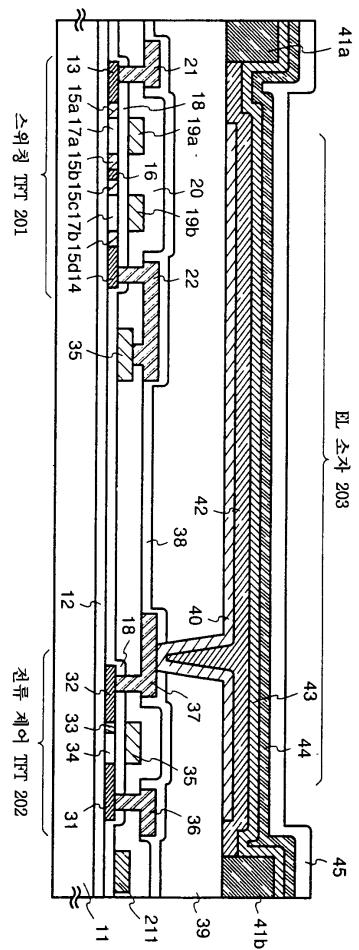
도면1b



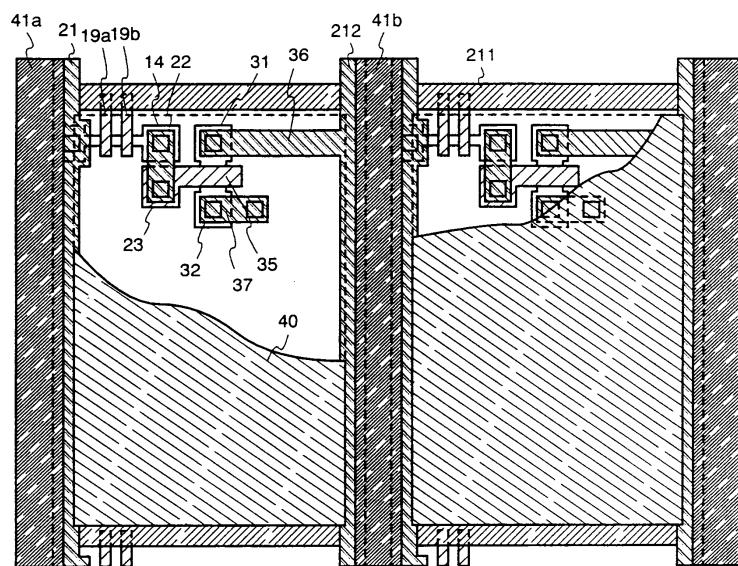
도면1c



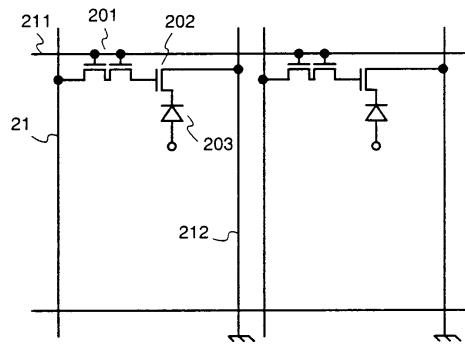
도면2



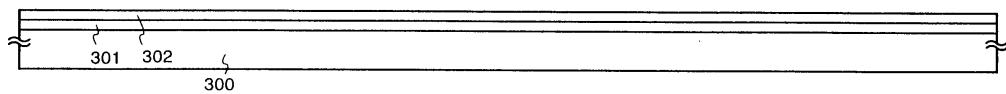
도면3a



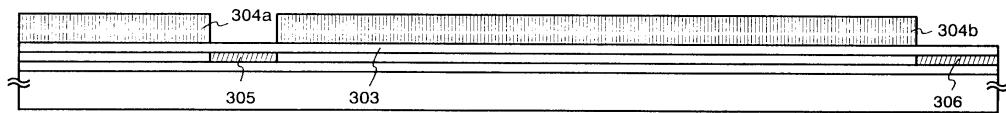
도면3b



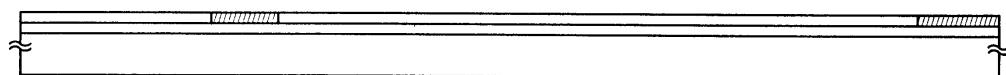
도면4a



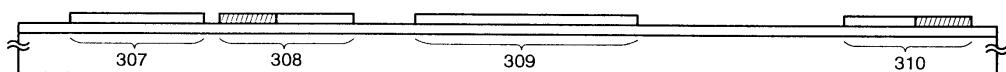
도면4b



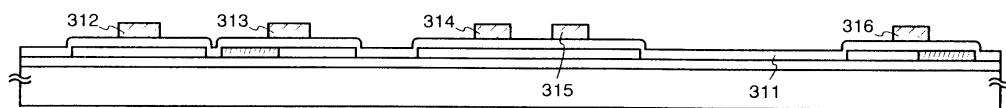
도면4c



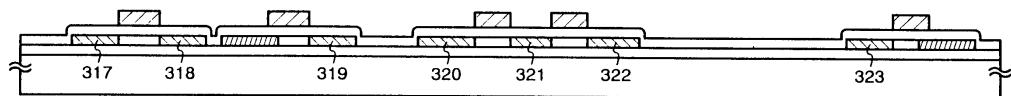
도면4d



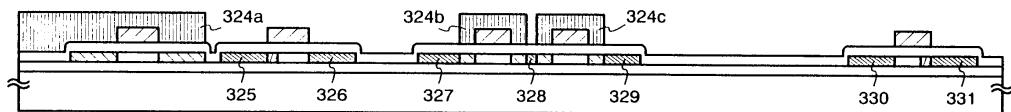
도면4e



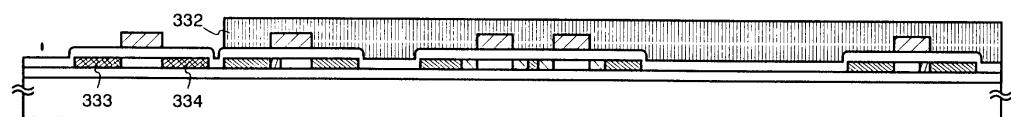
도면5a



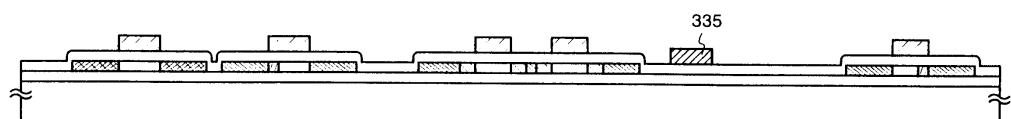
도면5b



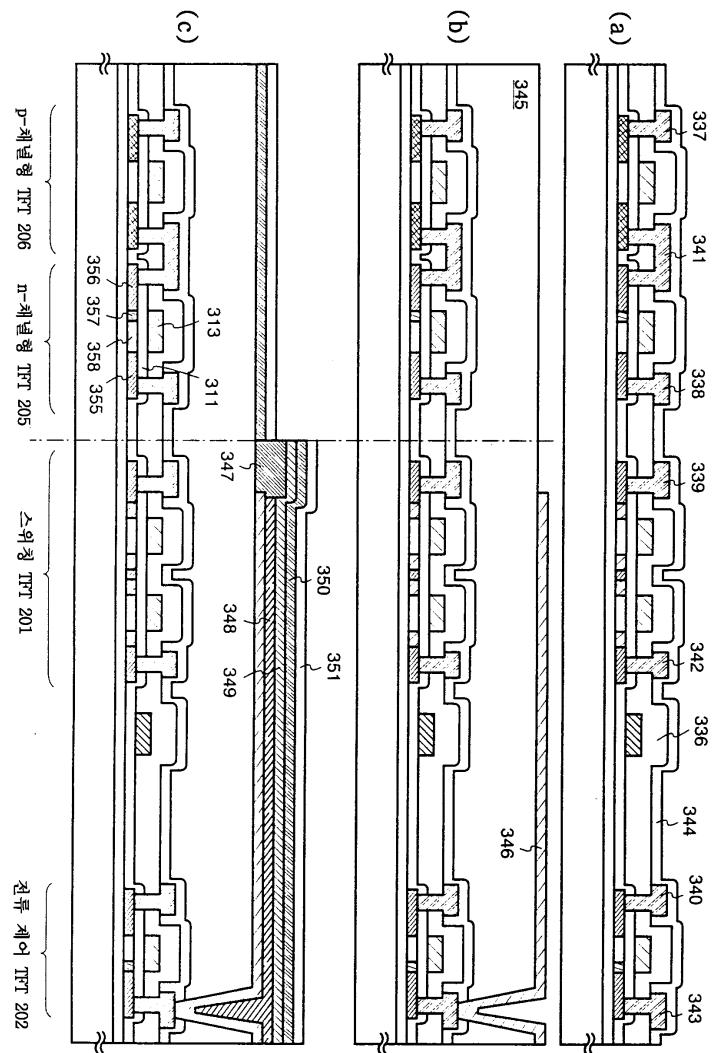
도면5c



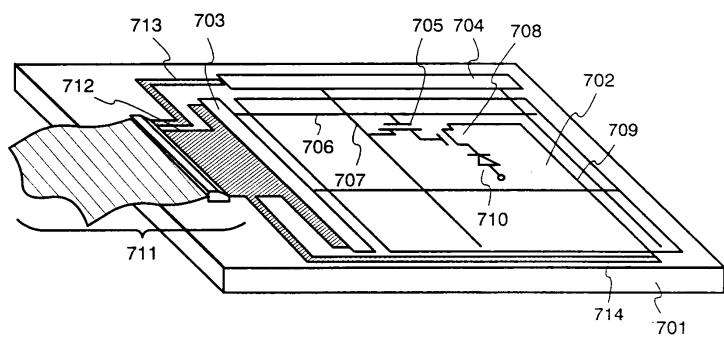
도면5d



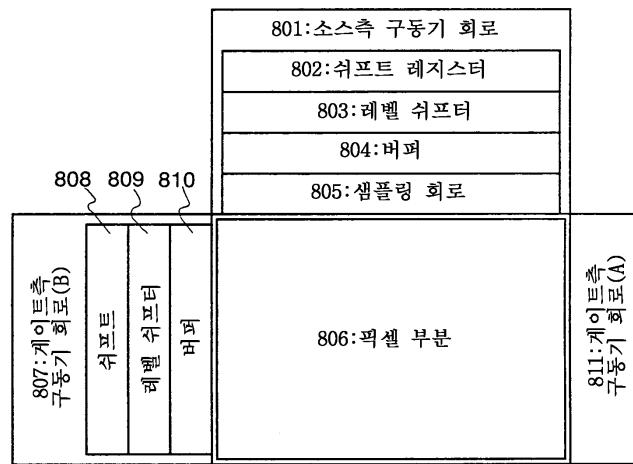
도면6



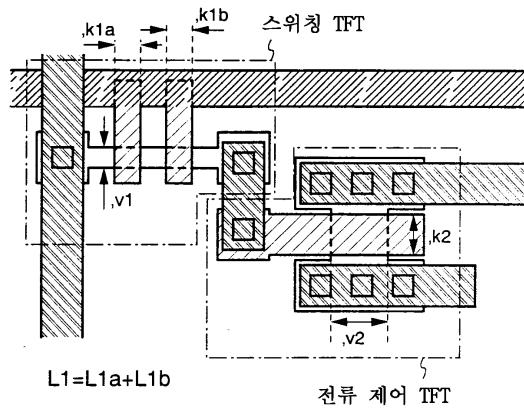
도면7



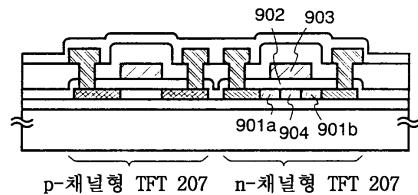
도면8



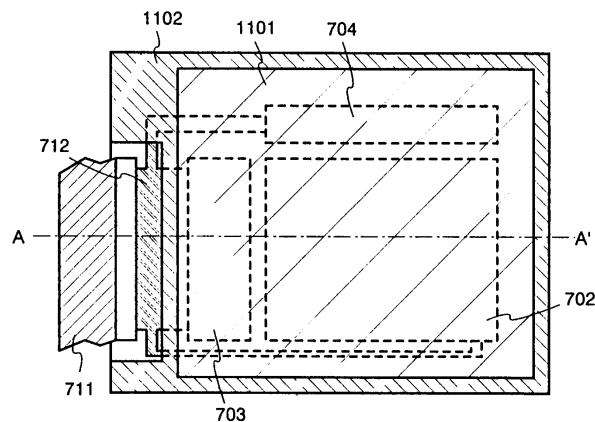
도면9



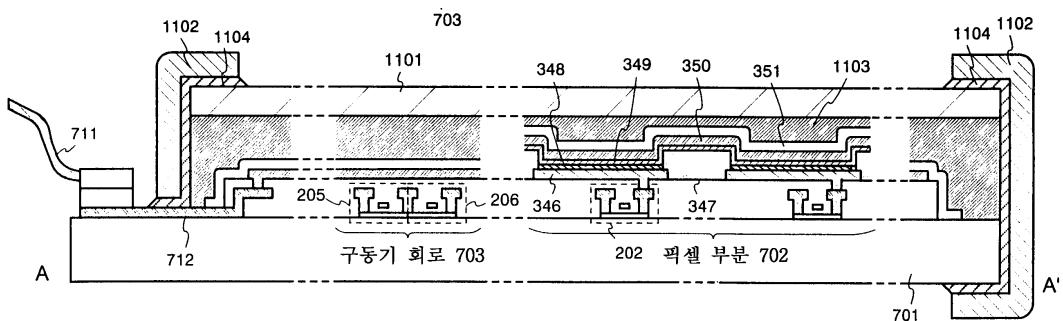
도면10



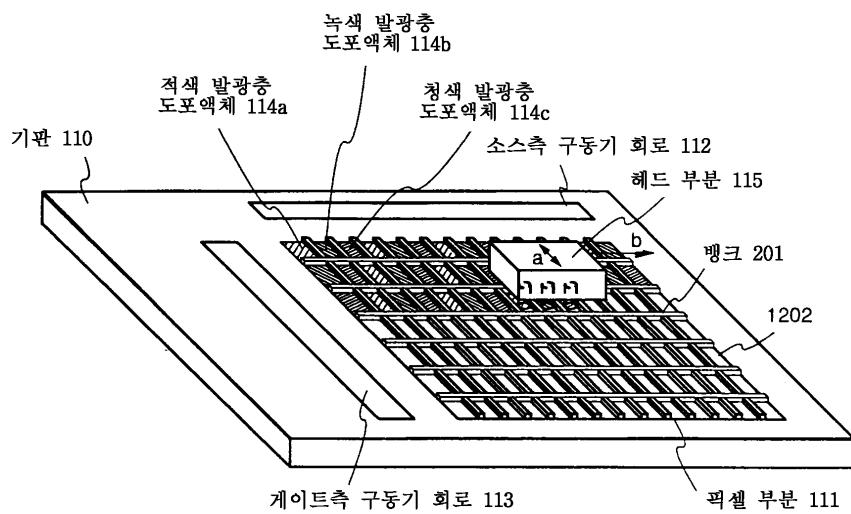
도면11a



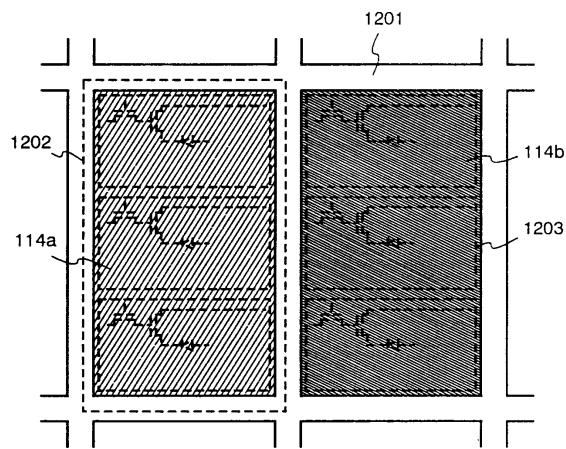
도면11b



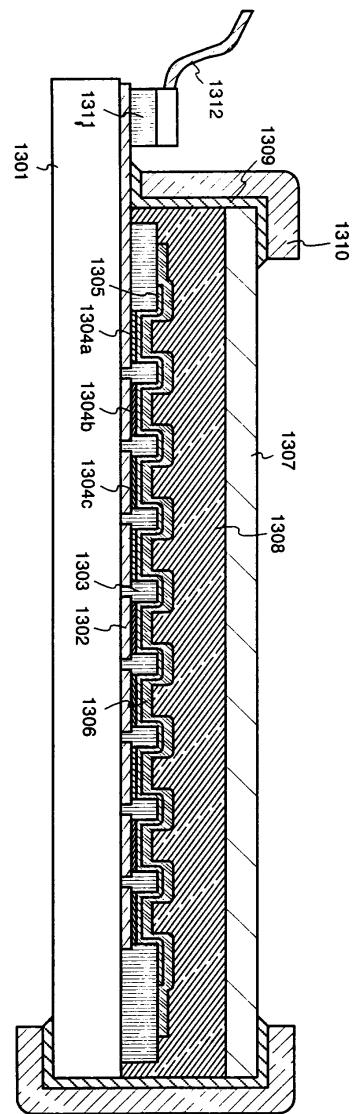
도면12a



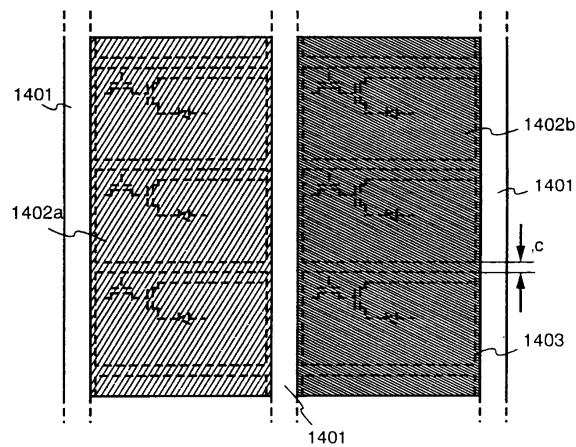
도면12b



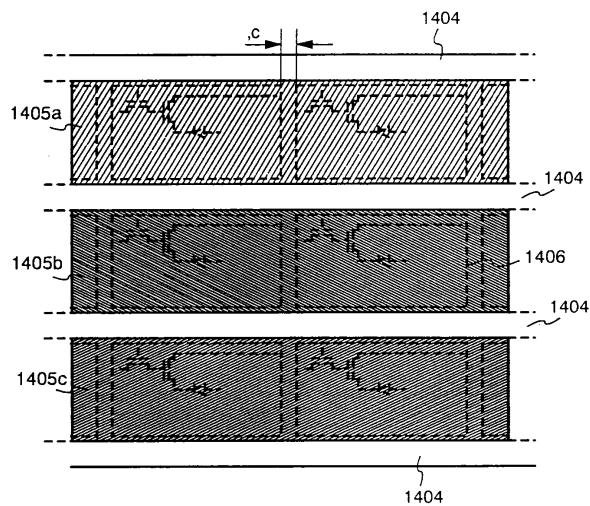
도면13



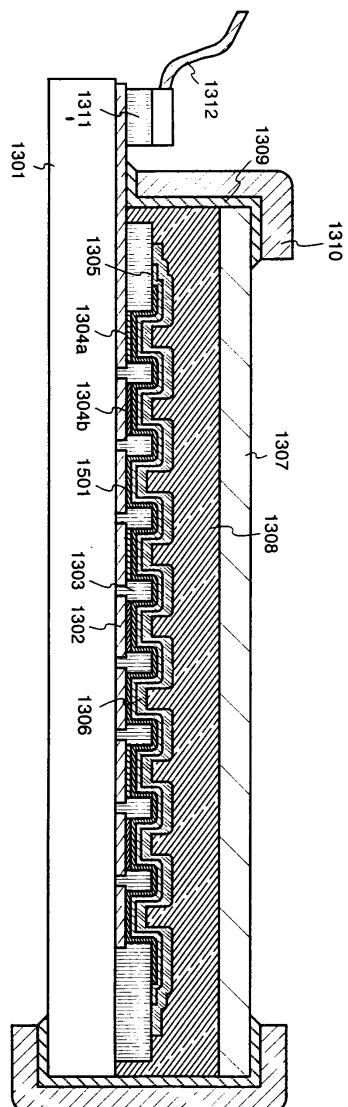
도면14a



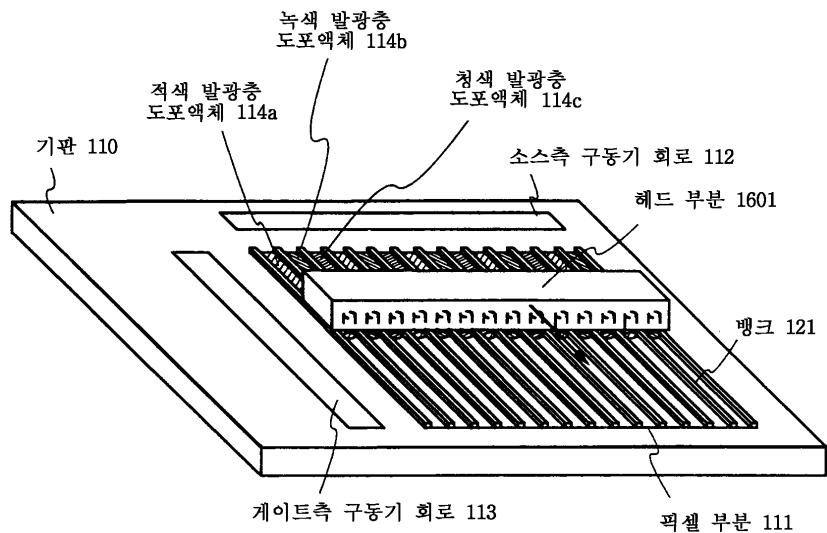
도면14b



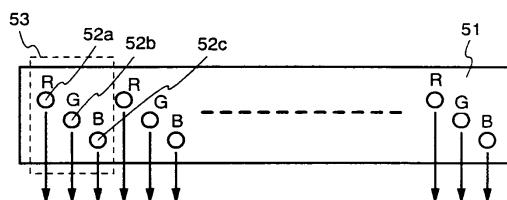
도면15



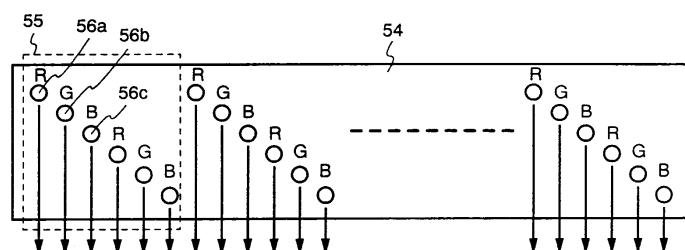
도면16



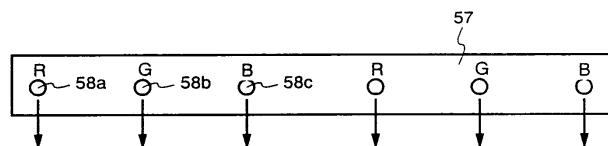
도면17a



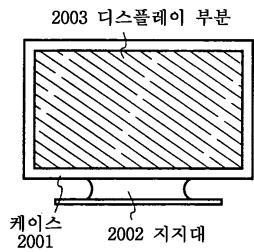
도면17b



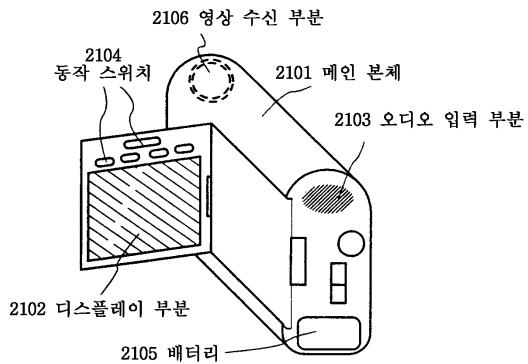
도면17c



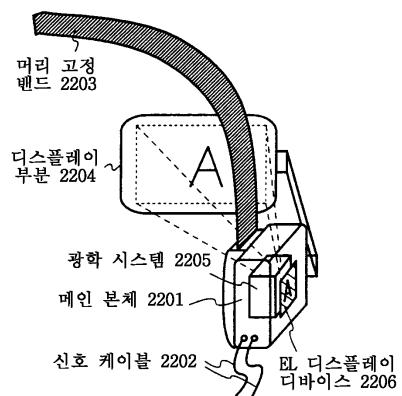
도면18a



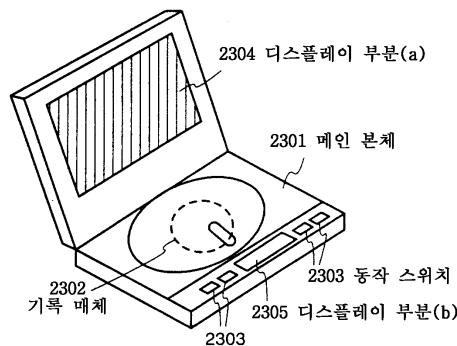
도면18b



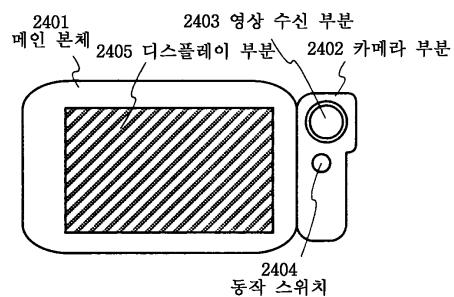
도면18c



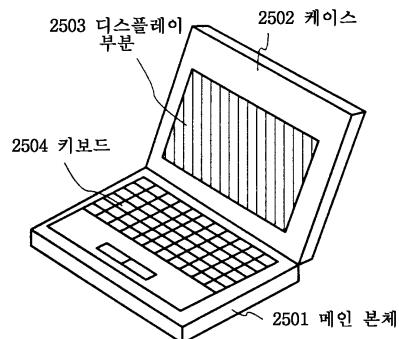
도면18d



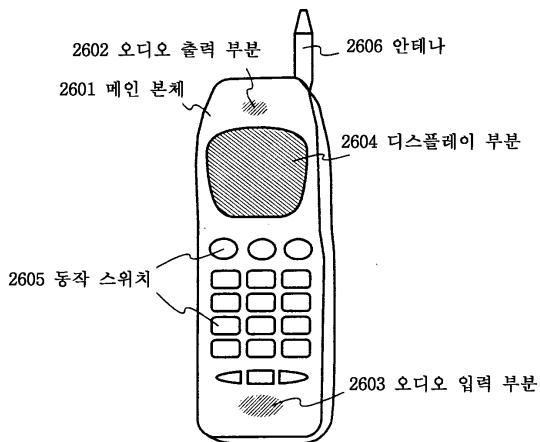
도면18e



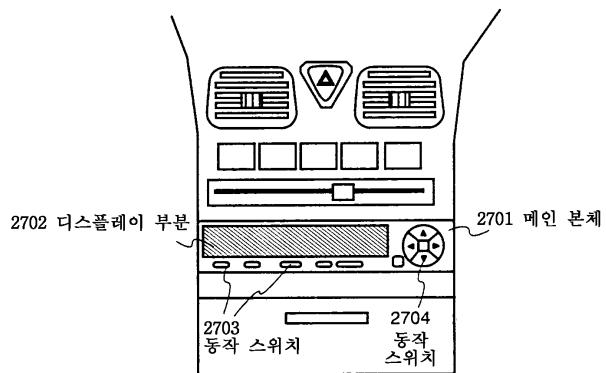
도면18f



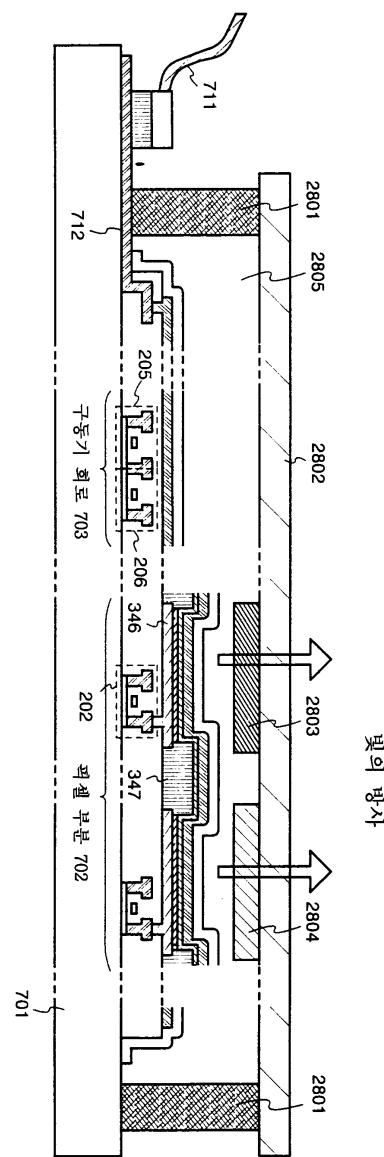
도면19a



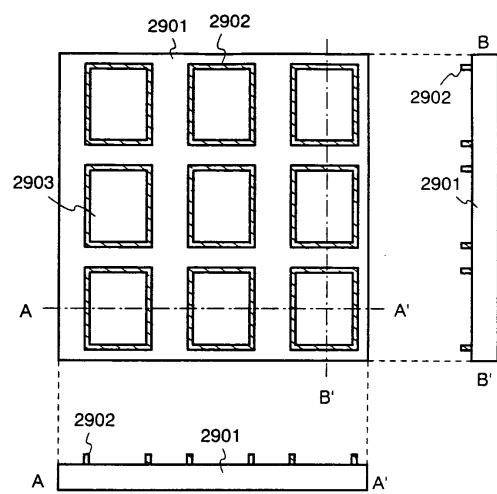
도면19b



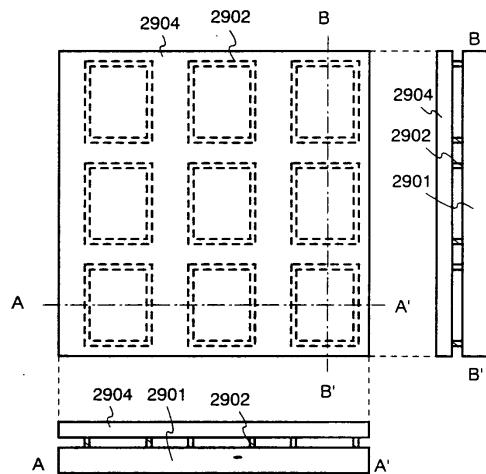
도면20



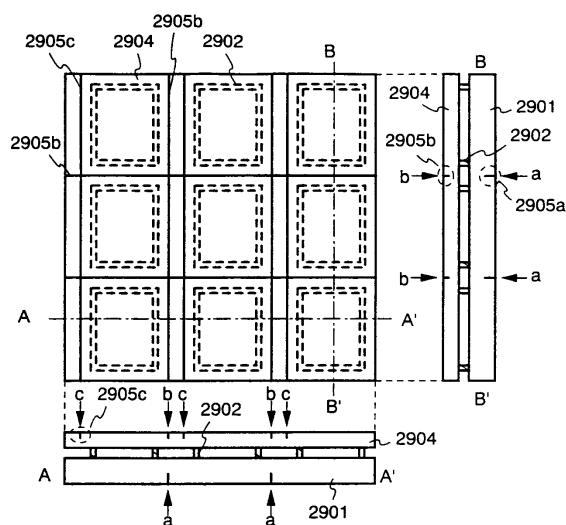
도면21a



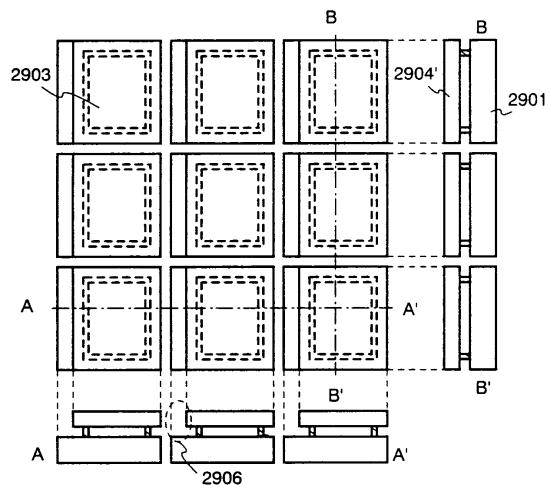
도면21b



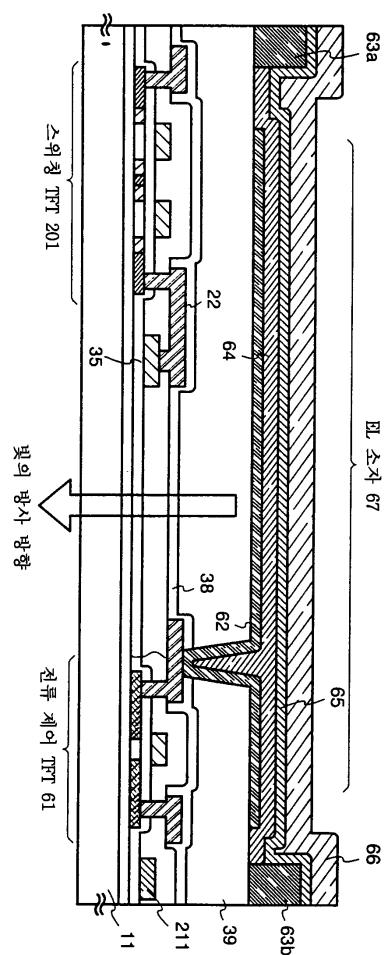
도면22a



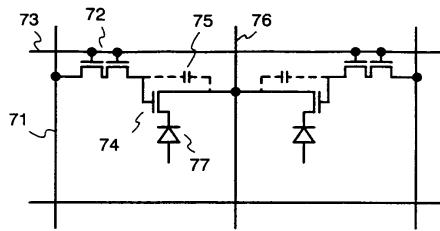
도면22b



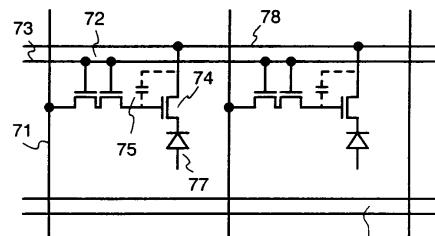
도면23



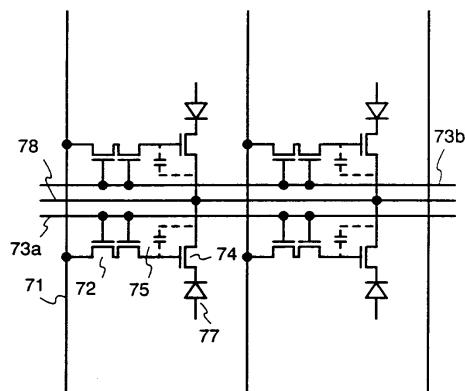
도면24a



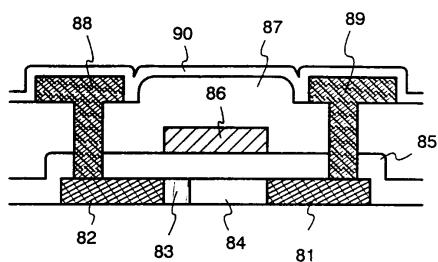
도면24b



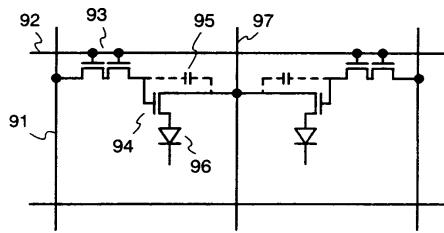
도면24c



도면25a



도면25b



专利名称(译)	显示设备		
公开(公告)号	KR100843117B1	公开(公告)日	2008-07-02
申请号	KR1020070048753	申请日	2007-05-18
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 YAMAMOTO KUNITAKA 야마모토구니타카 HIROKI MASAAKI 히로키마사아키 FUKUNAGA TAKESHI 후쿠나가다케시		
发明人	야마자키순페이 야마모토구니타카 히로키마사아키 후쿠나가다케시		
IPC分类号	H05B33/04 H05B33/02 H05B33/10 H01L31/12 H01L27/32 H01L51/00 H01L51/40 H01L51/52		
CPC分类号	H01L27/322 H01L27/3244 H01L2251/5315 H01L51/0005 H01L51/5237 H01L51/0003 H01L27/3258 H01L51/5246 H01L51/5259 H01L2251/566		
代理人(译)	李贝尔 李昌勋		
优先权	1999290356 1999-10-12 JP 1999301770 1999-10-22 JP		
其他公开文献	KR1020070072441A		
外部链接	Espacenet		

摘要(译)

提供一种高产量的薄膜沉积装置，用于薄膜沉积由聚合物制成的有机EL材料，并且没有任何位置偏移。通过堤将像素部分划分为多个像素行，并且沿像素行扫描薄膜沉积设备的头部，从而同时施加红色发光层涂布液，绿色发光层涂布液和条形的蓝色发光层涂敷液。然后进行热处理，从而形成发光红色，绿色和蓝色中的每种颜色的发光层。<IMAGE>

