

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ G09G 3/30 (2006.01)		(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년01월24일 10-0545343 2006년01월16일
(21) 출원번호 (22) 출원일자	10-2003-0070973 2003년10월13일	(65) 공개번호 (43) 공개일자	10-2004-0034422 2004년04월28일
(30) 우선권주장	JP-P-2002-00302824	2002년10월17일	일본(JP)
(73) 특허권자	로무 가부시킴가이샤 일본 교토시 우교구 사이잉 미조사키쵸 21		
(72) 발명자	마에데준 일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내 아베시니치 일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내 후지카와아키오 일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내		
(74) 대리인	황의인		

심사관 : 천대식

(54) 유기 E L 소자 구동 회로 및 이 구동 회로를 이용한 유기 E L 디스플레이 장치

요약

판정 수단은 모든 컬럼 핀에 대해서 현재의 수평 스캔 기간(디스플레이 기간)의 디스플레이 데이터가 다음의 수평 스캔 기간(디스플레이 기간)의 디스플레이 데이터와 동일한지의 여부를 판정한다. 한 수평 라인에 대한 디스플레이 데이터가 동일한 경우, OEL 소자의 애노드는 단자 핀과 연결되고 수직 방향으로 다음에 스캔될 캐소드를 갖는 상기 OEL 소자의 구동 전류는 실질적으로 동일하게 된다. 그 다음, 동일하다고 판정된 디스플레이 데이터를 갖는 컬럼 핀에 대한 다음 수직 라인이 스캔되는 경우, 상기 OEL 소자의 리셋이 리셋 금지 회로에 의해 금지되고 다음 수평 스캔 기간(디스플레이 기간 D)에서의 피크 전류의 발생이 정지된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 EL 디스플레이 패널의 컬럼 드라이버의 모든 단자 핀에 대해 제공되는 전류 구동 회로를 나타내는 블록 회로도.

도 2는 도 1의 D/A 컨버터 회로의 작동 정지 회로를 나타내는 회로도.

도 3은 단자 핀을 구동하는 전류의 파형과 이 파형을 생성하는 타이밍 신호를 나타내는 도면.

도 4는 디스플레이 이미지의 예를 나타내는 도면.

도 5는 각 R, G, B 디스플레이 컬러에 대한 한 수평 라인의 디스플레이 데이터에 따라 한 수평 라인의 리셋을 금지하는 전류 구동 회로를 나타내는 블록 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(Electro Luminescence) 소자 구동 회로 및 이 구동 회로를 이용한 유기 EL 디스플레이 장치에 관한 것으로, 보다 상세하게는 유기 EL 디스플레이 장치의 전력 소모를 감소시킬 수 있는 유기 EL 디스플레이 장치 및 상기 유기 EL 소자 구동 회로를 포함하는 유기 EL 디스플레이 장치의 향상에 관한 것이다.

유기 EL 디스플레이 장치는 자발광을 이용한 고 휘도 디스플레이를 실현할 수 있기 때문에, 소형 스크린상의 디스플레이에 적합한 것으로 알려져 있다. 또한 유기 EL 디스플레이 장치는 이동전화기, PHS, DVD 플레이어, 또는 PDA(Personal Digital Assistants)등에 장착되는 차세대 디스플레이 장치로 주목받고 있다. 그러나, 이 유기 EL 디스플레이 장치는 액정 디스플레이 장치와 같이 전압에 의해 구동되는 경우, 휘도 변동이 상당히 커지며 R(red), G(green), B(blue) 디스플레이 컬러 사이의 감도상 차이로 인해 디스플레이의 제어가 어려워지는 문제점이 있다.

또한, 396(132×3)개의 컬럼(column)라인용 단자 핀 및 162개의 로우(row)라인용 단자 핀을 갖는 이동전화기의 유기 EL 디스플레이 장치의 유기 EL 디스플레이 패널이 제시되었다. 그러나, 컬럼라인과 로우라인의 수가 계속해서 증가되는 경향이 있다.

또한, JPH9-232074A에서는, 매트릭스에 배열된 유기 EL 소자 각각이 전류에 의해 구동되고, 유기 EL 소자의 단자 전압은 유기 EL 소자의 애노드(anode) 및 캐소드(cathode)를 접지함으로써 리셋되는 기술이 개시되었다. 또한, JP2001-143867A에서, 유기 EL 디스플레이 장치의 전력 소모는 DC-DC 컨버터를 이용하여 유기 EL 소자를 전류로 구동함으로써 감소되는 기술이 공지되었다.

이 유기 EL 디스플레이 장치에서, 컬럼측(애노드측)상의 한 라인은 전류 방전측이 되고 로우측(캐소드측)상의 한 라인은 전류 싱크측(sink side)이 된다. 구동 전류는 로우측 스캔에 따라 컬럼측 전류 구동 회로로부터 유기 EL 소자(이하 "OEL 소자"라 칭함)의 애노드측으로 공급된다. OEL 소자의 캐소드측은 CMOS 푸시-풀(push-pull) 회로를 통해 접지되어 구동 전류를 강화시킨다. 상기 OEL 소자가 용량성 소자이기 때문에, 구동 전류의 일부가 전하로서 OEL 소자에 축적된다. 이에 따라, 매트릭스에 배열된 OEL 소자를 갖는 디스플레이 장치에서, 전하는 주위부분에 배열된 스캔되지 않을 OEL 소자에서 스캔될 OEL 소자로 흐를 것이다. 그러므로, 스캔되지 않은 OEL 소자가 발광하거나 빛/또는 구동되어 OEL 소자의 휘도가 변동하게 되고, 그 결과 에러형 광이 방사되는 문제점이 발생한다.

이같은 에러형 광이 방사되는 것을 방지하기 위해서, 로우측 스캔(수직 스캔)내에서 각 수직 스캔 라인과 연결되는 한 수평 라인내의 모든 OEL 소자의 애노드측을 정전압으로 리셋하고, 스캔되지 않은 다른 수평 라인의 OEL 소자의 캐소드측을 역-바이어스하는 종류의 디스플레이 장치에 수평 스캔의 귀선 기간에 상응하는 리셋 기간을 제공한다.

근래 고 해상도의 요구에 따라, 구동 핀의 수가 증가되는 경향이 있다. 이로 인해, 구동 주파수가 높아지고 전력 소모가 증가된다. 스캔되지 않은 다른 OEL 소자의 로우측이 에러형 발광을 방지하기 위해 역-바이어스되는 경우, 역-바이어스에

따른 양만큼의 OEL 소자의 전하가 OEL 소자의 구동 방향에 대향하는 방향으로 축적된다. 이에 따라, 상기 OEL 소자가 스캔되는 경우, 다른 OEL 소자를 구동하는데 충분한 과도 전류가 흐르고 동시에 축적된 전하가 소멸된다. 그 결과, 역-바이어스에 대응하게 전하를 축적하기 위한 전류로 인해 초대되는 전력 소모가 증가함에 따라 구동 전류 및 과도 전류가 무시할 수 없는 정도가 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 유기 EL 디스플레이 장치의 전력 소모가 감소될 수 있는 유기 EL 소자 구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 전력 소모가 감소될 수 있는 유기 EL 디스플레이 장치를 제공하는 것이다.

상술한 목적을 달성하기 위해서, 수평 스캔 기간에 상응하는 디스플레이 기간 및 수평 스캔 기간의 귀선 기간에 상응하는 리셋 기간이 제공되고, 유기 EL 소자가 상기 디스플레이 기간내에서 단자 핀을 통해 전류-구동되고, 상기 유기 EL 소자의 단자 전압이 상기 리셋 기간내에서 리셋되는 방식으로 유기 EL 소자를 전류-구동하는 유기 EL 소자 구동 회로에 있어서,

리셋 기간내에서 단자 핀을 통해 상기 유기 EL 소자의 애노드측을 소정 전위로 설정하여 상기 유기 EL 소자를 리셋하는 스위치 회로;

상기 유기 EL 소자의 구동 전류상에 피크 전류를 발생하는 피크 전류 발생 회로;

상기 스위치 회로를 이용하여 리셋을 금지하고 상기 피크 전류 발생 회로를 통해 피크 전류의 발생을 정지하는 리셋 금지 회로; 및

현재의 수평 스캔의 디스플레이 기간에서 단자 핀을 통한 구동 전류가 다음 수평 스캔의 디스플레이 기간에서의 구동 전류와 실질적으로 동일한지의 여부를 판정하는 판정 수단을 포함하되, 현재 수평 스캔의 디스플레이 기간에서의 구동 전류가 다음 수평 스캔의 구동 전류와 실질적으로 동일한 경우 상기 리셋 금지 회로가 리셋을 금지하고 피크 전류의 발생을 정지한다.

또한, OEL 소자의 단자 핀을 정전압으로 리셋하는 것은 상기 단자 핀을 소정 정전압으로 예비 충전(precharge)함으로써 행해진다. 이에 따라, 유기 EL 소자 구동 회로의 각 컬럼 핀에 공급된 상기 유기 EL 소자를 구동하는 구동 전류의 파형은 도 3(g)에서 실선으로 도시된 바와 같이 소정 정전류에서 시작하는 피크 전류를 포함한다. 또한, 도 3(g)의 점선은 전압 파형을 나타낸다.

이같은 정전압으로의 리셋은 수평 스캔의 귀선 기간에 상응하는 리셋 기간 RT 및 한 라인의 수평 스캔 기간에 상응하는 디스플레이 기간 D내에서 행해진다. 상기 리셋 기간 RT와 디스플레이 기간 D의 분리는 (D+RT)에 대응하는 기간에서의 리셋 제어 펄스(타이밍 제어 펄스)에 의해 행해진다. 또한, 도 3은 각 단자 핀에 공급된 구동 전류 및 이 구동 전류를 발생하는 타이밍 신호를 나타낸다.

도 3을 상세히 기술하면, 도 3(a)은 제어 신호의 타이밍의 기본을 형성하는 동기 클럭(sync clock) CLK를 나타낸다. 도 3(b)는 픽셀 카운터(pixel counter)의 카운트 스타트 펄스 CSTP를 나타낸다. 상기 픽셀 카운터의 카운트 값은 도 3(c)에 도시된다. 도 3(d)는 디스플레이 스타트 펄스 DSTP를 나타낸다. 도 3(e), 도 3(f), 도 3(h)는 각각 리셋 제어 펄스 RS, 피크 발생 펄스 Pp, 스캔 대상을 임의의 로우 라인에서 다음 로우 라인(수직 스캔)으로 전환하는 로우측 스캔 라인 스위칭 펄스 RCLK를 나타낸다.

또한, 상기 동기 클럭 CLK, 카운트 스타트 펄스 CSTP, 디스플레이 스타트 펄스 DSTP, 리셋 제어 펄스 RS, 피크 발생 펄스 Pp, 라인 스위칭 펄스 RCLK 등은 타이밍 펄스 발생 회로를 갖는 제어 회로(도 1에 도시된 제어 회로(23) 참조)에 의해 생성된다.

본 발명에서, 상기 판정 수단은 각 컬럼 핀(단자 핀)에 대해서 현재 수평 스캔 기간(디스플레이 기간)의 디스플레이 데이터가 다음 수평 스캔 기간의 디스플레이 데이터와 동일한지의 여부를 판정한다. 한 수평 라인내 컬럼 핀의 디스플레이 데이터가 동일한 경우, 컬럼 핀과 연결된 애노드 및 다음 수직 스캔에 의해 스캔될 캐소드를 갖는 OEL 소자의 구동 전류는 동일해진다. 이에 따라, 본 발명에 따라, 동일한 디스플레이 데이터를 갖는 컬럼 핀 중 하나가 다음 수직 스캔에 의해 스캔될 대상인 경우, OEL 소자의 리셋은 리셋 금지 회로에 의해 금지되고 리셋 기간 다음의 수평 스캔 기간(디스플레이 기간 D)내에서의 피크 전류의 발생은 정지된다.

이에 따라, 리셋이 로우측 스캔 회로를 이용한 수직 스캔에 의해 금지되고, 컬럼 핀과 연결된 애노드를 갖는 OEL 소자의 캐소드가 스캔될 대상인 경우, OEL 소자의 예비 충전은 동일한 컬럼 핀과 연결되며 로우측 스캔 회로에 의한 스캔이 완료되기 직전의 OEL 소자의 애노드의 전하를 다음 스캔될 대상인 동일한 컬럼 핀과 연결된 OEL 소자의 애노드에 공급함으로써 행해진다.

이같은 경우, 리셋되지 않은 OEL 소자상에 일부의 전하가 잔류하므로, OEL 소자의 예비 충전 전압은 발광의 정지 시간 직전에 구동된 OEL 소자의 단자 전압에 가깝다. 이에 따라, 리셋이 금지된 동일한 컬럼 핀과 연결된 OEL 소자는 직전에 구동된 OEL 소자의 잔여 전하에 의해 예비 충전된다. 또한 직전의 로우측 스캔에서의 컬럼 핀의 구동 전류와 실질적으로 동일한 전류가 OEL 소자를 통해 흐른다. 이에 따라 리셋이 수평 스캔 기간(디스플레이 기간 D)에서 금지된 컬럼 핀에 대한 OEL 소자의 휘도는 실질적으로 균일해진다.

그 결과, 리셋에 의해 소모되는 전력과 리셋이 금지된 컬럼 핀과 연결된 OEL 소자의 피크 전류를 발생하기 위한 전력이 억제되어, 유기 EL 디스플레이 장치에 대한 전체 전력의 소모를 감소할 수 있게 된다.

본 발명의 또다른 일면에서, 세계의 주요 컬러 각각에 대해서 각 컬럼 핀에 대한 디스플레이 데이터가 아닌 한 수평 라인에 대한 전체 디스플레이 데이터의 동일성이 판정된다.

즉, 다음 수평 스캔 라인에서 세계의 주요 컬러 각각에 대한 전체 디스플레이 데이터를 판독한 후, 판독한 데이터를 현재 수평 라인의 전체 디스플레이 데이터와 비교한다. 그 다음, 상기 주요 컬러 각각에 대해서 다음 수평 스캔 라인의 디스플레이 데이터가 현재 수평 스캔 라인의 디스플레이 데이터와 동일한지의 여부를 판정한다. 각 주요 컬러에 대해서 두 수평 스캔 라인의 데이터가 동일한 경우, 리셋 기간내 수평 스캔 라인에 대한 컬럼 핀의 리셋이 금지되고 상기 수평 라인에 대한 피크 전류의 발생이 정지된다. 그러므로, 전력 소모가 억제될 수 있다.

발명의 구성 및 작용

도 1에서, 유기 EL 디스플레이 패널의 유기 EL 소자 구동 회로로서의 컬럼 드라이버(10)는 상기 디스플레이 패널의 각 컬럼 핀에 대해 제공된 전류 구동 회로(1)를 포함한다.

상기 전류 구동 회로(1)는 플래그(flag) 레지스터(2), D/A 컨버터 회로(3), 피크 전류 발생 회로(4), 출력단 전류원(5), 리셋 금지 회로(6), 리셋 회로(7), 디스플레이 데이터 레지스터(8)를 포함한다.

또한, 상기 플래그 레지스터(2)는 모든 컬럼 핀에 대해 제공되는 것은 아니다. 즉, 상기 플래그 레지스터(2)는 컬럼 드라이버(10)에 제공되고, 상기 플래그 레지스터(2)에 저장된 플래그 데이터 비트(bit) 중 하나는 전류 구동 회로(1) 중 상이한 하나와 대응한다. 이에 따라, 상기 플래그 데이터 비트는 컬럼 핀에 대응하여 각각 제공된다.

상기 컬럼 드라이버(10)는 이 컬럼 드라이버(10)의 작동을 제어하는 MPU(20), 메모리(21), 스크린 메모리(22), 제어 회로(23)를 추가로 포함한다. 상기 제어 회로(23)는 MPU(20)의 제어 조건하에서 피크 발생 펄스 Pp 및 리셋 제어 펄스 RS와 같은 타이밍 펄스를 발생한다.

상기 MPU(20)는 모든 컬럼 핀에 대해서 현재의 디스플레이 기간의 디스플레이 데이터가 다음 디스플레이 기간의 디스플레이 데이터와 동일한지의 여부를 판정한다. 판정 결과, 현재 디스플레이 기간과 다음 디스플레이 기간의 디스플레이 데이터가 동일한 경우 "1"이고, 상기 디스플레이 데이터가 상이한 경우 "0"인 1-비트 플래그 데이터가 컬럼 핀에 대응하는 플래그 레지스터(2)의 위치에 설정된다.

이같은 디스플레이 데이터 일치 판정 프로그램(21a)은 프로세싱 프로그램으로서 메모리(21)에 저장된다.

현재 표시될 전체 스크린의 디스플레이 데이터를 저장하는 스크린 메모리(22)는 MPU(20)에 포함된다. 상기 MPU(20)는 다음 수직 스캔 라인(로우측 라인)에 대응하는 한 수평 라인내의 모든 컬럼 핀의 디스플레이 데이터를 스크린 메모리(22)에서 판독하고, 판독한 데이터와 현재 수직 스캔 라인에 대응하는 한 수평 라인내의 모든 컬럼 핀의 디스플레이 데이터를 비교한다. 그 결과 상기 현재의 디스플레이 데이터가 다음의 디스플레이 데이터와 일치하는지의 여부를 모든 컬럼 핀에 대해 판정함으로써 디스플레이 일치 판정 프로그램(21a)을 실행한다. 이에 따라 획득된 플래그 데이터는 플래그 레지스터(2)에 설정된다.

또한, 상술한 바와 같이, 현재의 디스플레이 데이터와 다음의 디스플레이 데이터가 일치하는 경우 모든 컬럼 핀에 대한 플래그 데이터의 데이터 비트는 "1"이고, 일치하지 않는 경우는 "0"이다.

상기 플래그 데이터 설정의 타이밍은 제어 회로(23)로부터 피크 발생 펄스 Pp(도 3(f)참조)의 폴링 엣지(falling edge)와 동기된다. 그러나, 상기 플래그 데이터는 상기 피크 발생 펄스 Pp의 폴링 엣지에서 상기 리셋 제어 펄스 RS의 라이징 엣지(rising edge)까지의 기간내의 모든 시간에 설정될 것이다.

상기 스크린 메모리(22)에서 판독된, 다음의 수직(로우측) 스캔 라인에 상응하는 한 수평 라인에 대한 디스플레이 데이터는 다음의 수직 스캔 라인의 스캔 타이밍때까지 보유되고, 다음의 스캔 타이밍때에 현재 한 수평 라인에 대한 디스플레이 데이터가 된다. 상기 디스플레이 데이터는 다음 리셋 기간에서 각 컬럼 핀에 대응하게 디스플레이 데이터 레지스터(8)에 설정된다. 이에 따라, 상기 수평 라인에서 디스플레이 데이터를 판독하는 것은 수직 라인 스캔에 대응하는 다음 수평 라인을 일회 사전 판독함으로써 행해진다.

이 경우, 전원이 온(ON)으로 켜진 초기 상태에서 디스플레이 데이터의 비교를 실행하기 위해서, 현재 수평 라인과 다음 수평 라인의 디스플레이 데이터를 판독한다. 그러나, 상기 초기 상태의 디스플레이 데이터를 판독하는 것이 항상 필수적인 것은 아니다. 즉, 스크린상에서 다음 수평 라인에 대한 디스플레이 데이터가 현재 수평 라인에 대한 디스플레이 데이터에 이어진다면, 이들의 비교는 다음 수평 스캔 라인에 대한 판독을 끝없이 순환함으로써 완료될 수 있다.

상기 정전류원(16)은 모든 컬럼 핀에 설치된 것이며, 기준 구동 전류를 D/A 컨버터 회로(3)에 공급한다. 상기 정전류원(16)은 하나의 입력측 트랜지스터와 복수(n)의 출력측 트랜지스터를 갖는 커런트 미러 회로를 구비하고, 출력측 트랜지스터에 의해 구동된 기준 구동 전류의 복제를 행한다. 상기 복제된 전류는 각 컬럼 핀에 공급된다.

상기 피크 전류 발생 회로(4)는 PNP형 입력측 트랜지스터 Qs 및 이 트랜지스터 Qs에 다이오드-연결된 PNP형 출력측 트랜지스터 Qt를 포함한다. 상기 트랜지스터 Qs 및 Qt의 이미터는 각각 P 채널 MOSFET Trs 및 P 채널 MOSFET Trt를 통해 출력단 전류원(5)의 입력 단자(5a)와 연결된다.

상기 트랜지스터 Qs의 컬렉터는 D/A 컨버터 회로(3)의 출력 단자(3b)와 연결된다. 상기 트랜지스터 Qt의 컬렉터는 접지된다. 상기 트랜지스터 Qs 및 트랜지스터 Qt의 이미터 면적비는 1:x이다.

상기 D/A 컨버터 회로(3)의 출력 전류를 Ia라고 가정하면, 상기 트랜지스터 Trt가 온 상태인 경우 상기 피크 전류 발생 회로(4)는 입력 단자(5a)에서 구동 전류 $(x+1) \times I_a$ 를 발생시킨다. 상기 트랜지스터 Trs는 트랜지스터 Trt에 대응하여 설치된 부하 트랜지스터이고 접지된 게이트를 갖는다. 상기 트랜지스터 Trs는 구동 라인을 균형잡기 위해 삽입된다. 또한, 트랜지스터 Trt는 피크 전류를 수용하고, 초기 구동 단계에서 일정 기간동안 리셋 금지 회로(6)를 이용하여 단자 CONT에서 도 3(f)의 피크 발생 펄스 Pp를 발생시킨다. 상기 트랜지스터 Trt는 피크 발생 펄스 Pp의 "H" 기간동안 온 상태이다.

상기 피크 전류 발생 회로(4)는 입력 단자(5a)와 베이스 전류 보정을 위한 PNP형 커런트 미러 트랜지스터 Qu 및 Qw를 이용하여 출력단 전류원(5)의 PNP형 입력측 트랜지스터 Qx를 구동한다.

그 결과, 구동 전류 $(1+x) \times I_a$ 는 트랜지스터 Trt의 일정한 온 기간동안 입력측 트랜지스터 Qx를 통해 흐른다. 그 다음 상기 구동 전류 Ia는 보통의 구동 전류로서 트랜지스터 Qx에서 흐른다. 상술된 파형을 갖는 구동 전류는 출력단 전류원(5)의 PNP형 출력 트랜지스터 Qy에 의해 N배 증폭되고, 유기 EL 디스플레이 패널의 출력 핀(9)(컬럼 핀)에 출력된다.

최근 상기 출력 핀(9)은 가요성 기판이 아닌 IC 칩상에 제공된 패드이고, 골드 범프(bump), 골드 볼(ball), 솔더(solder) 범프 또는 솔더 볼을 이용하여 유기 EL 디스플레이 패널의 각 컬럼 핀에 일체식으로 연결된다. 이에 따라, 도 1에 도시된 바와 같이, 상기 출력 핀(9)은 유기 EL 디스플레이 패널의 각 컬럼 핀에 대응하고, 상기 출력 핀이 컬럼 핀에 연결된 경우 컬럼 핀과 일체화된다. 각 출력 핀(9)에 제공된 회로는 각 컬럼 핀에 대응하여 설치된다. 그러므로, 이 설명에서, "출력 핀"이 "컬럼 핀"과 유사하다는 점을 인식해야 한다.

상기 출력단 전류원의 트랜지스터 Qx 및 Qy의 이미터 면적비는 1:N이다. 상기 트랜지스터의 이미터는 예컨대 +15V 내지 +20V의 범위내에 있는 전원 라인 +Vcc와 연결된다. 상기 출력측 트랜지스터 Qy의 컬렉터는 애노드측 연결 라인(17) 또는 컬럼측 배선 라인(17)(이하 본 발명에서는 애노드측 연결 라인(17)을 이용하여 기술할 것임)을 통해 로우 방향(수직 방

향)으로 배열된 OEL 소자(11a, 11b, ...) 중 하나의 애노드와 연결된 출력 핀(9)과 연결된다. 또한, 애노드측 연결 라인(17)은 모든 컬럼 핀에 설치된다. 예를 들면 132개의 애노드측 연결 라인(17)이 모든 컬럼 드라이버(10)에 설치됨에 따라, 총 396개의 애노드측 연결 라인(17)이 하나의 수평 스캔 라인에 제공된다.

상기 수평 스캔 라인(디스플레이 기간)에서, 전류 구동 회로(1)는 구동 전류 $N \times (1+x) \times I_a$ 및 구동 전류 $N \times I_a$ 를 피크 전류 및 보통 전류로서 출력 핀(9)에 출력한다. 그러므로, 용량성 부하 특성을 갖는 OEL 소자(11a, 11b, ...) 중 하나로서의 OEL 소자(11)는 피크 전류에 의해 초기 충전되고, 그 후 보통 구동 전류에 의해 구동된다.

또한, 출력 핀(9)은 리셋 회로(7)을 통해 접지된다. 상기 리셋 회로(7)는 방전 스위치 회로(14) 및 이 방전 스위치 회로(14)와 직렬 연결된 제너 다이오드(15)를 구비한다. 방전 스위치 회로(14)의 한 단부는 출력 핀(9)과 연결된다. 제너 다이오드(15)의 한 단부는 접지된다.

상기 방전 스위치 회로(14)는 리셋 금지 회로(6)로부터의 리셋 제어 펄스 RS(도 3(e))의 리셋 기간동안 온 상태이다. 그러므로, OEL 소자(11)의 애노드측은 상기 리셋 제어 펄스 RS가 "H" 레벨인 기간동안 정전압 회로로서의 제너 다이오드(15)에 의해 설정된 정전압 V_z 에 (예비 충전됨)리셋된다.

상기 애노드측 연결 라인(17)과 연결된 OEL 소자(11)의 캐소드는 스위치 회로(13a, 13b, ...) 중 하나인 푸시-풀 스위치의 입/출력 단자(130)와 연결된다. 상기 OEL 소자(11)는 선택적으로 스위치 회로(13)를 통해 전원 라인 + V_{cc} 과 연결되거나 또는 접지된다.

또한, 하나의 출력 핀(9)만이 도 1에 도시되어 있지만, 한 수평 스캔 라인에 대한 출력 핀(9)들이다. 각 출력 핀(9)과 연결된 한 수평 라인에 대한 OEL 소자(11a, 11b, ...)의 캐소드측은 일반적으로 입/출력 단자(130)와 연결된다. 상기 수직 라인 스캔은 한 수평 라인에서 OEL 소자의 캐소드를 접지함으로써 행해진다.

상기 리셋 금지 회로(6)는 두개의 2-입력 AND 회로(6a 및 6c)와 한개의 2-입력 NAND 회로(6b)를 구비한다. 상기 리셋 금지 회로(6)는 "0"(또는 "L") 또는 "1"(또는 "H")인 플래그 레지스터(2)로부터의 1-비트 플래그 데이터와, 제어 회로(23)으로부터의 리셋 펄스 RS와, 피크 발생 펄스 P_p 에 응답하여 "1"(또는 "H")의 신호를 출력한다. 이러한 리셋 금지 조건하에서, 리셋 금지 회로(6)는 인버터(2a) 및 AND 회로(6a)의 수단을 이용하여 리셋 제어 펄스 RS의 발생을 막는다. 또한, 리셋 금지 회로(6)의 NAND 회로(6b)는 디스플레이 기간 D(도 3(e))에서 피크 전류의 발생을 블럭화한다. 추가로, AND 회로(6c)는 리셋 기간 RT (도 3(e))에서 출력단 전류원(5)의 전류 출력 작동을 정지시킨다.

또한, 출력단 전류원(5)의 전류 출력 작동이 정지된 경우, 출력 핀(9)의 출력 임피던스는 하이 임피던스가 된다. 또한, 피크 전류 발생이 정지된 경우, OEL 소자(11)는 리셋 기간 다음의 수평 스캔 기간(디스플레이 기간 D)에서 피크 전류에 의해 예비 충전없이도 구동되고, 이에 따라 구동 전류는 직전의 수평 스캔 라인(디스플레이 D)의 구동 전류와 실질적으로 동일하게 된다.

또한, 현재 수직 스캔 라인에서 다음 수직 스캔 라인으로의 전환은 도 3(h)에 도시된 바와 같이 리셋 기간 RT 의 중간 시점에서 실행된다. 상기 리셋 기간 RT 의 시작 시점에서, 모든 수직 스캔 라인은 로우측 스캔 회로(12)에 의해 일시적으로 접지된다. 전환 시점에서 스캔될 대상인 다음 수직 스캔 라인만은 접지된 상태로 유지되고 나머지 수직 스캔 라인은 예컨대 "H" 레벨인 상태로 유지됨에 따라, 상술한 전환이 종료된다. 상기 리셋 기간 RT 가 종료된 경우, 한 수평 라인에서 컬럼 핀에 대응하는 방전 스위칭 회로(14)는 오프(OFF)로 꺼지게 되어 디스플레이 기간 D이 시작된다.

또한, AND 회로(6a)는 인버터(2a)를 통해 플래그 레지스터(2)로부터 1-비트 데이터를 공급받은 하나의 입력을 게이트 신호로서 포함한다. 상기 게이트 신호 "0"인 경우, 인버터(2a)의 출력은 "H"가 된다. 그러므로, AND 회로(6a)의 다른 입력에 입력된 리셋 제어 펄스 RS(도 3(e))가 방전 스위치 회로(14)에 공급되고 리셋 제어 펄스 RS가 "H"인 동안 방전 스위치 회로(14)가 온으로 켜짐에 따라, OEL 소자(11)의 단자 전압을 정전압 V_z (=제너 다이오드(15)의 제너 전압)으로 리셋(예비 충전)된다. 상기 리셋 제어 펄스 RS는 상기 기간 이외에서 "L"(도 3(e))이기 때문에, AND 회로(6a)의 출력은 "L"이고 방전 스위치 회로(14)는 오프로 꺼진다.

한편, 1-비트 데이터가 "1"인 경우, 인버터(2a)의 출력이 "L"이기 때문에 AND 회로(6a)의 AND 조건은 성립되지 않는다. 그러므로, AND 회로(6a)의 출력이 "L"로 지속되어, 리셋 제어 펄스 RS는 동일한 AND 회로에 의해 블럭된다.

NAND 회로(6b)의 입력은 인버터(2a)를 통해 플래그 레지스터(2)로부터 1-비트 데이터를 게이트 신호로서 공급받는다. 상기 1-비트 데이터가 "0"인 경우, NAND 회로(6b)는 다른 입력에 입력된 피크 발생 펄스 P_p 를 역변환하고, 피크 발생 펄

스 Pp의 "H" 기간동안 단자 CONT에 "L"("L"은 중요함)을 생성하여 P 채널 트랜지스터 Trt를 온으로 켜에 따라 OEL 소자(11)를 피크 전류로 구동한다. 상기 "H" 이외의 기간에서는 피크 발생 펄스가 없기 때문에, NAND 회로(6b)의 출력은 "H"이고 트랜지스터 Trt는 오프 상태가 된다. 다시 말하면, 1-비트 데이터가 "1"인 경우, 인버터(2a)의 출력이 "L"이고 NAND 회로(6b)의 다른 입력은 "L"이다. 그러므로, NAND 회로(6b)의 출력은 "H"가 된다. 따라서, 피크 발생 펄스 Pp는 NAND 회로(6b)에 의해 블럭되고, 이의 출력은 "L"이 된다. 그러므로, 트랜지스터 Trt는 디스플레이 기간동안 오프 상태이다. 이 같은 경우 출력 핀(9)에서 발생된 구동 전류는 보통의 구동 전류($N \times I_a$)이다.

상기 AND 회로(6c)의 한 입력은 플래그 레지스터(2)로부터의 1-비트 데이터를 게이트 신호로서 공급받는다. 그 이외의 입력은 리셋 제어 펄스 RS(도 3(e))를 공급받는다. 상기 1-비트 데이터가 "0"인 경우, AND 회로(6c)의 출력은 항상 "L"이며 여기서 "L"은 입력 단자(3a)를 통해 D/A 컨버터 회로(3)에 공급된 것이다. 상기 신호 "L"은 D/A 컨버터 회로(3)의 작동에 대해 무효한 신호이다.

한편, 상기 플래그 레지스터(2)로부터의 1-비트 데이터가 "1"인 경우, 상기 리셋 제어 펄스 RS(도 3(e))는 "H"가 된다. 즉, 상기 회로의 작동이 리셋 기간에 진입하여 행해지는 경우, D/A 컨버터 회로(3)의 작동을 정지하는 정지 신호 SP("H")가 AND 회로(6c)의 한 입력에 출력된다. 입력 단자(3)에 공급된 정지 신호 SP("H")에 응답하여, D/A 컨버터 회로(3)가 이 회로의 작동을 정지함에 따라 회로의 출력이 "0"이 된다. 그 결과, 출력단 전류원(5)의 작동이 정지된다.

그러므로, 출력 핀(9)의 출력 임피던스는 리셋 기간 RT동안 하이 임피던스가 된다.

결과적으로, 상기 리셋은 리셋 금지 회로(6)에 의해 금지된다. 상기 출력 핀(9)이 리셋되지 않는 경우, 즉 플래그 레지스터(2)로부터의 1-비트 데이터가 "1"인 경우, 리셋 기간 직전의 디스플레이 기간 D에서의 구동 전류에 대응하는 소정 전압은 OEL 소자(11)의 애노드에 잔류하고 상기 나머지 전압에 대응하는 전하는 OEL 소자(11)에 축적된다. 그러므로, 로우측 스캔의 구동이 다음 스캔 라인의 OEL 소자(11)에서 전환되는 경우, 전자의 스캔 라인의 OEL 소자(11)의 애노드의 전하는 후자의 스캔 라인의 OEL 소자(11)의 애노드에 공급된다. 이 경우, 출력 핀(9)의 출력 임피던스가 하이 임피던스이기 때문에 실질적으로 출력 핀(9)으로의 전하 유출은 없다.

이 경우, 출력 핀(9)의 구동 전류는 직전의 수직 스캔 라인에서의 전류와 동일하다. 또한, 직전의 OEL 소자(11)로부터의 전하로 인한 초기 충전이 리셋 기간에서 행해지기 때문에, 출력 핀(9)과 연결된 OEL 소자(11)의 휘도는 실질적으로 변동하지 않는다.

또한, 로우측 스캔이 종료된 라인에 속하는 OEL 소자(11)의 캐소드가 스위치 회로(13a, 13b,...) 중 하나에 의해 "H"로 풀업되는 경우에도, 전하는 로우측 스캔이 종료된 라인에 속하는 OEL 소자(11)에서 다음 로우측 스캔이 실행될 라인에 속하는 OEL 소자(11)의 애노드까지 순식간에 전달된다.

그러므로, 이 경우에도 스캔이 종료된 라인에 속하는 OEL 소자(11)로부터 전하를 전달할 수 있다. 본 발명에 있어서는, 로우측 스캔에서 일부의 전하가 직전의 OEL 소자(11)에서 직후의 OEL 소자(11)까지 공급되어 후자의 OEL 소자(11)를 초기 충전하는 것으로 충분하다. 이러한 초기 충전이 행해지면, 후자의 OEL 소자(11)가 동일한 전류값으로 구동되는 경우 후자의 OEL 소자(11)의 휘도 변동이 약해진다.

도 2는 AND 회로(6c)의 "H" 출력에 따른 D/A 변환 작동을 정지하는 D/A 컨버터 회로(3)의 회로도도를 나타낸다.

상기 D/A 컨버터 회로(3)는 정전류원(16)으로부터 기준 구동 전류를 공급받은 입력측 N 채널 트랜지스터 TNa를 포함하는 커런트 미러 회로를 구비하고, 상기 기준 구동 전류를 디스플레이 데이터로 증폭하는 기능을 행한다.

상세하게는, D/A 컨버터 회로(3)를 구성하는 커런트 미러 회로는 상기 N 채널 트랜지스터 TNa에 추가로, N 채널 트랜지스터 TNb 내지 T_{Nn-1}와, 입력측 트랜지스터 TNa의 게이트 및 접지 GND 사이에 제공된 N 채널 MOS 트랜지스터 TNp를 포함한다. 상기 디스플레이 데이터는 단자 Do 내지 D_{n-1}에 공급된다. 트랜지스터 TNp의 게이트는 입력 단자(3a)와 연결된다.

또한, 커런트 미러 회로의 전류를 균형잡는 기능을 행하는 출력측 트랜지스터 TNb 내지 T_{Nn-1}의 하행측상에 제공된 저항 Ra 내지 R_{n-1} 및 이 저항 Ra 내지 R_{n-1} 각각의 하행측상에 제공된 N 채널 트랜지스터 Trb 내지 Tr_{n-1}은 디스플레이 데이터에 의해 온/오프 제어되는 트랜지스터를 전환한다.

상기 리셋 금지 상태에서, 트랜지스터 TNp의 게이트는 입력 단자(3a)를 통해 AND 회로(6c)로부터 정지 신호 SP("H")를 수신한다. 이 경우, 트랜지스터 TNp는 온으로 켜지고 트랜지스터 TNa 및 TNb 내지 TNn-1은 오프로 꺼짐으로써 D/A 컨버터 회로(3)의 작동이 정지된다. 이 때, D/A 컨버터 회로(3)의 출력 단자(3b)에서의 전류가 "0"이 됨에 따라, 디스플레이 데이터에 대응하는 변환 전류가 발생되지 않는다.

한편, AND 회로(6c)에서 공급된 "L" 신호에 응답하여 트랜지스터 TNp의 게이트가 오프로 꺼짐으로써, 트랜지스터 TNa 및 TNb 내지 TNn-1은 커런트 미러 회로로 작동하고 D/A 컨버터 회로(3)는 디스플레이 데이터에 대응하게 D/A 변환을 행한다.

도 4는 디스플레이 스크린상에 표시될 디스플레이 이미지 A의 예를 나타낸다. 도 4에서, 디스플레이 이미지 A는 이미지 B 및 이 이미지의 백그라운드 C를 포함한다. 백그라운드 C의 디스플레이 영역이 단색이거나 또는 주요 컬러 중 하나인 경우, 전류에 대응하고 수평 스캔 라인을 잇는 컬럼 핀은 동일한 휘도를 갖는다. 이 경우, 리셋 금지 제어에 전류 구동 회로(1)에서 리셋 금지 회로(6)에 의해 행해지는 본 발명의 컬럼 드라이버(10)에서, 이미지의 표시는 백그라운드에 대응하는 OEL 소자를 리셋하지 않으며 피크 전류도 생성하지 않으면서 동일한 구동 전류를 통해 출력 핀을 구동함으로써 동일한 휘도로 행해진다. 그러므로, OEL 소자가 리셋되지 않고 피크 전류도 발생되지 않으면서 백그라운드 C의 디스플레이 영역으로 인한 OEL 디스플레이 장치의 전력 소모가 감소된다.

상술한 실시예에서, OEL 소자의 리셋 금지는 각 컬럼 핀에 대해 행해진다. 도 5는 한 수평 라인에 대한 컬럼 핀이 R, G, B 디스플레이 컬러에 대한 수평 라인의 디스플레이 데이터에 대응하여 동시에 금지되는 다른 실시예를 나타낸다.

또한, 현재 하나의 수평 라인에 대한 디스플레이 데이터는 복수의, 예컨대 세개의 컬럼 구동 IC를 커버한다. 도 1에 도시된 실시예에서 모든 컬럼 핀에 대한 디스플레이 데이터의 동일성이 판정되기 때문에, 컬럼 드라이버(10)내에 리셋 금지 회로(6) 및 플래그 레지스터(2)를 제공할 수 있다. 도 5에 도시된 실시예에서, 상기 리셋 금지 회로(6) 및 플래그 레지스터(2)는 컬럼 드라이버(10)의 외측에 별개의 회로로서 설치된다. 예를 들어 상기 회로가 제어 회로(23)내에 제공될 수도 있다.

도 5에서, 한 수평 라인의 세개의 주요 컬러에 대한 방전 스위치 회로는 R, G, B 디스플레이 컬러에 대한 출력 핀(9)에 대응하여 설치된 PMOS 트랜지스터(14R, 14G, 14B)를 각각 구비한다. 상기 PMOS 트랜지스터의 소스는 각 출력 핀(9)과 연결된다. 상기 PMOS 트랜지스터의 드레인은 상기 PMOS 트랜지스터(14R)에 의해 사용되는 제너 다이오드 DZR, 상기 PMOS 트랜지스터(14G)에 의해 사용되는 제너 다이오드 DZG, 상기 PMOS 트랜지스터(14B)에 의해 사용되는 제너 다이오드 DZB를 통해 각각 접지된다.

또한, 제너 다이오드 DZR, DZG, DZB는 도 1에서 제너 다이오드(15)와 대응한다. 그러므로, 제너 다이오드 DZR, DZG, DZB는 제너 다이오드(15)로 대체되어도 좋다.

도 5에서, 단말 핀(9G1, 9R1, 9B1, 9G2, 9R2, 9B2,...)은 도 1에서 출력 핀(9)과 대응한다.

방전 스위치 회로(14R, 14G, 14B)는 R, G, B 디스플레이 컬러에 대응하여 설치된 리셋 금지 회로(6R, 6G, 6B)로부터 R, G, B 디스플레이 컬러에 대응하여 설치된 구동 라인(16, 17, 18)을 이용하여 리셋 금지 펄스 RS를 각각 수용한다.

각 수평 라인에 대한 D/A 컨버터 회로(3R, 3G, 3B)의 입력 단자(3a)는 구동 라인(16a, 17a, 18a)과 연결되고, 이 라인을 통해 리셋 금지 회로(6R, 6G, 6B)로부터 정지 신호 SP를 각각 수용한다. 또한 피크 전류 발생 회로(4R, 4G, 4B)의 단말 CONT은 구동 라인(16b, 17b, 18b)과 각각 연결되고, 이 라인을 통해 리셋 금지 회로(6R, 6G, 6B)로부터 피크 발생 펄스 Pp를 수용한다.

상기 리셋 금지 회로(6R, 6G, 6B)는 도 1에 도시된 리셋 금지 회로(6)와 대응한다. 도 5에 도시되지는 않았지만, 리셋 제어 펄스 RS는 각 리셋 금지 회로의 AND 회로(6a)로부터 출력된다. 상기 리셋 금지가 무효한 경우, 상기 NAND 회로(6b)는 "H" 피크 발생 펄스 Pp를 역변환하여 획득된 출력 신호 "L"를 출력한다. 또한 상기 리셋 금지가 유효한 경우, NAND 회로(6b)는 신호 "H"를 출력하고 AND 회로(6c)는 정지 신호 SP를 출력한다.

상기 D/A 컨버터 회로(3R, 3G, 3B) 각각은 도 1에 도시된 D/A 컨버터 회로(3)와 대응한다. 또한 상기 피크 전류 발생 회로(4R, 4G, 4B) 각각은 도 1에 도시된 피크 전류 발생 회로(4)와 대응한다.

상기 플래그 레지스터(2b)는 도 1에 도시된 플래그 레지스터(2)와 대응한다.

상기 MPU(20)는 R, G, B 디스플레이 컬러 각각에 대한 다음 수직 스캔 라인(로우측 라인)에 대응하는 한 수평 라인에 대한 디스플레이 데이터를 스크린 메모리(22)에서 판독하고, 판독한 디스플레이 데이터와 현재의 수직 스캔 라인에 대응하는 한 수평 라인에 대한 디스플레이 데이터를 비교한다. 그 결과, 현재의 디스플레이 데이터가 다음의 디스플레이 데이터와 동일하는지의 여부를 판정하여 디스플레이 데이터 일치 판정 프로그램(21a)을 실행한다. 상기 획득된 3-비트 플래그 데이터는 플래그 레지스터(2b)에 설정된다.

그러므로, 한 라인 직전의 수평 라인의 휘도와 동일한 한 수평 라인의 휘도(동일한 구동 전류)가 상기 수직 라인 스캔내의 R, G, B 디스플레이 컬러 각각에 대한 휘도와 동일한 경우, 이전 라인의 리셋은 피크 전류의 발생을 블럭하기 위해 금지된다. 그 결과, OEL 소자의 리셋은 금지되고, 피크 전류의 발생은 도 4에 도시된 이미지의 백그라운드 부분 및 둘이상의 수평 라인의 휘도가 동일한 디스플레이 영역 B에서 블럭된다. 그러므로, 이러한 구동 회로를 이용하여 유기 EL 디스플레이 장치의 전력 소모를 감소시킬 수 있다.

상술된 바와 같이, 본 실시예에 따라, 출력 핀(9)의 리셋이 금지된 경우, 출력 핀(9)의 출력 임피던스는 리셋 기간동안 하이 상태를 유지한다. 이를 실현하기 위해서, D/A 컨버터 회로의 작동을 리셋 기간동안 정지시켜서 출력 전류의 발생을 블럭한다. 그러나, 출력 임피던스를 하이로 유지하는 방법은 D/A 컨버터 회로의 작동을 정지하는 것이라면 특별히 제한되지 않는다. 예를 들어, 전류 방전 전류원이 출력 핀(9)과 연결되는 경우, 출력 핀(9)의 출력 임피던스는 전류원의 작동을 정지함으로써 유지될 수 있다.

또한, 출력 핀(9)의 출력 임피던스를 하이로 유지하지 않으면서 출력 전류원을 리셋 기간동안 연속 작동함으로써 구동 전류가 현재 수평 스캔 기간(디스플레이 기간)동안 전류원으로부터 연속적으로 흐르게 할 수 있다. 이 경우, 다음 수평 스캔에 대한 디스플레이 데이터가 리셋 기간동안 D/A 컨버터 회로(3)에 설정되는 경우에도, 동일한 디스플레이 데이터가 리셋 기간에 설정된다. 그러므로, 잡음이 디스플레이 스크린상에서 실질적으로 거의 발생하지 않는다.

또한, 본 발명의 실시예에서, 정전압 리셋은 출력 핀(9)과 연결된 OEL 소자의 애노드를 정전압으로 예비 충전함으로써 행해진다. 그러나, OEL 소자의 애노드를 접지하거나 또는 이를 접지한 후 예비 충전하여 실현될 수도 있다. 다시 말하면, 리셋 방법은 OEL 소자의 애노드가 소정 전위로 설정되는 것이라면 제한되지 않는다.

또한, 본 실시예에서, 디스플레이 데이터의 동일성을 판정하는 것은 MPU를 이용하여 판정 프로그램을 실행함으로써 행해진다. 그러나, 상기 판정은 디스플레이 데이터를 저장하는 레지스터와 같은 하드 회로 및 컴퓨터를 제공함으로써 실행될 수도 있다.

발명의 효과

본 발명에 따른 유기 EL 소자 구동 회로 및 이 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공함으로써, 리셋에 의해 소모되는 전력과 피크 전류로 인한 전력을 감소시켜서 장치의 전체 전력 소모를 감소시킬 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

수평 스캔 기간에 상응하는 디스플레이 기간 및 수평 스캔 라인의 귀선 기간에 상응하는 리셋 기간이 제공되고, 유기 EL 소자가 상기 디스플레이 기간내에서 단자 핀을 통해 전류-구동되고, 상기 유기 EL 소자의 단자 전압이 상기 리셋 기간내에서 리셋되는 방식으로 유기 EL 소자를 전류-구동하는 유기 EL 소자 구동 회로에 있어서,

리셋 기간내에서 단자 핀을 통해 상기 유기 EL 소자의 애노드측을 소정 전위로 설정하여 상기 유기 EL 소자를 리셋하는 스위치 회로;

상기 유기 EL 소자의 구동 전류상에 피크 전류를 발생시키는 피크 전류 발생 회로;

상기 스위치 회로를 이용하여 리셋을 금지하고 상기 피크 전류 발생 회로를 통해 피크 전류의 발생을 정지하는 리셋 금지 회로; 및

현재의 수평 스캔 라인의 디스플레이 기간에서의 구동 전류가 다음의 수평 스캔 라인의 디스플레이 기간에서의 구동 전류와 동일한지의 여부를 판정하는 판정 수단을 포함하되, 현재의 수평 라인의 디스플레이 기간에서의 구동 전류가 다음의 수평 라인의 구동 전류와 실질적으로 동일한 경우 상기 리셋 금지 회로가 리셋을 금지하고 피크 전류의 발생을 정지하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 2.

제1항에 있어서,

수직 방향으로 스캔될 대상인 유기 EL 소자의 캐소드를 소정 기준 전위로 설정하고, 상기 스캔이 종료된 유기 EL 소자의 캐소드를 상기 소정 기준 전위 이상으로 풀링 업(pulling up)하는 스캔 회로를 추가로 포함하되, 상기 수평 스캔 라인은 상기 스캔 회로에 의해 수평 스캔 라인으로서 선택되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 3.

제2항에 있어서,

상기 판정 수단은 각 단자 핀에 대해서 현재 수평 스캔 라인의 디스플레이 기간에 대한 구동 전류가 다음 수평 스캔 라인의 디스플레이 기간에 대한 구동 전류와 동일한지의 여부를 판정하고, 상기 리셋 금지 회로는 구동 전류가 다음 수평 스캔 라인의 구동 전류와 동일한 단자 핀과 연결된 OEL 소자의 리셋을 금지하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 4.

제3항에 있어서,

상기 단자 핀은 상기 수평 스캔 라인 각각에 대응하여 설치되고, 복수의 전류원은 상기 각 단자 핀과 연결되고, 상기 소정 기준 전위는 접지 전위이고, 상기 스위치 회로 각각은 출력 핀과 소정 전위의 라인 사이에 설치되며 귀선 기간에서 디스플레이 기간을 분리하는 타이밍 신호에 응답하여 리셋을 행하고, 상기 리셋 금지 회로는 스위치 회로에 공급된 타이밍 제어 신호를 블럭화하여 리셋을 금지하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 5.

제4항에 있어서,

임의의 한 단자 핀을 리셋할 때, 상기 리셋 금지 회로는 상기 단자 핀에 대응하는 전류원의 작동을 정지하여 출력 핀의 출력 임피던스를 하이(high)로 설정하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 6.

제5항에 있어서,

디스플레이 데이터를 D/A-변환하여 상기 전류원을 구동하는 전류를 생성하는 D/A 컨버터 회로를 추가로 포함하되, 상기 전류원의 작동 정지는 D/A 컨버터 회로의 작동을 정지함으로써 행해지는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 7.

제6항에 있어서,

상기 판정 수단이 현재 수평 스캔 라인의 디스플레이 기간에서 각 단자 핀의 디스플레이 데이터를 다음 수평 스캔 라인의 디스플레이 기간의 디스플레이 데이터와 비교하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 8.

제7항에 있어서,

레지스터를 추가로 포함하되, 상기 판정 수단이 상기 레지스터에서의 판정 결과를 1-비트(bit) 데이터로 설정하고, 상기 리셋 금지 회로가 타이밍 제어 신호를 공급받은 제1 및 제2 논리 회로를 포함하고, 상기 제1 논리 회로가 상기 레지스터에 설정된 1-비트 데이터에 응답하여 리셋을 금지하는 논리 신호를 생성하고, 상기 제2 논리 회로가 피크 전류의 발생을 정지하는 논리 신호를 생성하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 9.

제7항에 있어서,

상기 소정 전위를 갖는 라인이 한 수평 스캔 라인에 대한 출력 핀에 공통으로 제공된 정전압 라인이고, 상기 판정 수단이 한 수평 스캔 라인에 대한 디스플레이 데이터를 비교하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 10.

제9항에 있어서,

상기 유기 EL 소자가 각 R, G, B 디스플레이 컬러에 제공되고, 상기 정전압 라인이 각 R, G, B 디스플레이 컬러의 수평 스캔 라인의 출력 핀에 공통으로 제공되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 11.

제10항에 있어서,

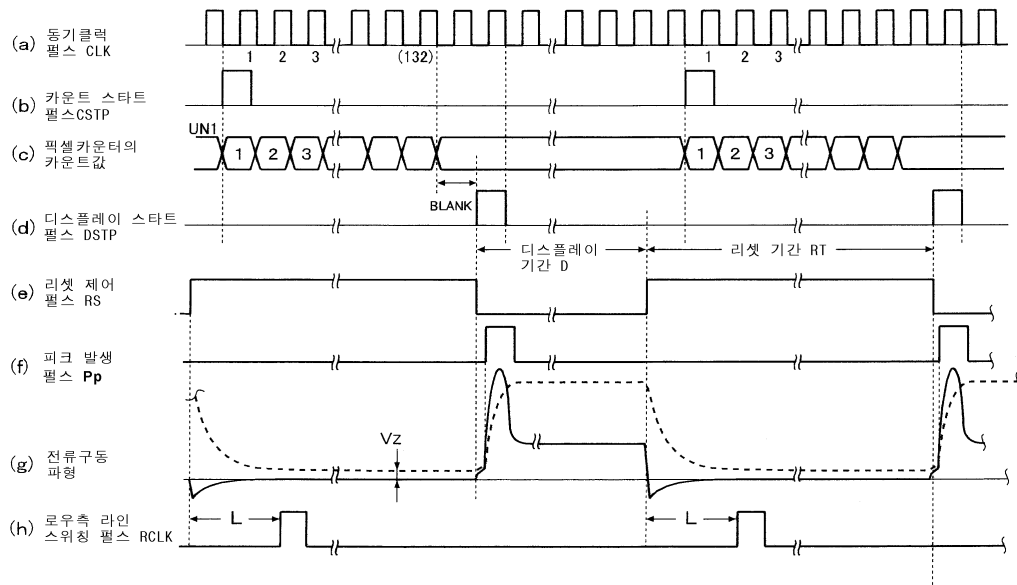
상기 각 전류원 및 각 D/A 컨버터 회로는 IC회로로 일체화되고, 상기의 한 수평 스캔 라인의 출력 핀은 상기 IC에 할당되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

청구항 12.

제1항 내지 제11항 중 어느 한 항에 기재된 유기 EL 소자 구동 회로를 포함하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

도면

도면3



도면4

