

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>7</sup> G09G 3/30	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월04일 10-0498843 2005년06월23일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0025015 2003년04월21일	(65) 공개번호 (43) 공개일자	10-2003-0084636 2003년11월01일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	JP-P-2002-00120128	2002년04월23일	일본(JP)
(73) 특허권자	로무 가부시킴가이샤 일본 교토시 우교구 사이잉 미조사키쵸 21		
(72) 발명자	기타하라신지 일본국교토후교토시우교구사이인미조사키쵸21번지로무가부시킴가이샤내		
(74) 대리인	황의인		

심사관 : 천대식

(54) 유기 EL 소자 구동 회로 및 유기 EL 디스플레이 장치

요약

유기 EL 디스플레이 패널을 전류-구동하는 전류 출력 회로의 커런트 미러 회로는 임의 채널형 제1 MOS 트랜지스터와, 이 제1 MOS 트랜지스터의 드레인과 연결된 소스를 갖는 동일 채널형 제2 MOS 트랜지스터를 각각 포함하는 복수(n)(n은 3이상의 정수)의 유닛 회로로 구성되는 것으로, 상기 복수의 유닛 회로 중 적어도 2개의 제1 MOS 트랜지스터 또는 제2 MOS 트랜지스터의 게이트는 공통 게이트를 형성하도록 상호 연결되며, 상기 적어도 2개의 유닛 회로 중 하나는 커런트 미러 회로의 입력측 회로를 구성하고, 다른 하나의 유닛 회로는 커런트 미러 회로의 출력측을 구성하며, 상기 공통 게이트 및 전류 구동측상의 입력측 회로의 단자는 나머지 유닛 회로중 적어도 하나의 제1 MOS 트랜지스터 또는 제2 MOS 트랜지스터를 통해 상호 연결된다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예에 따른 유기 EL 소자 구동 회로를 나타내는 블록회로도;
- 도 2는 도 1의 실시예에 사용된 각종 제어 신호의 파형을 나타내는 도면;
- 도 3은 통상의 유기 EL 소자 구동 회로를 나타내는 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(Electro Luminescence) 소자 구동 회로 및 이를 이용한 유기 EL 디스플레이 장치에 관한 것으로, 보다 상세하게는 유기 EL 소자 구동 회로를 IC로 형성한 경우, 전류 구동 회로의 배선과 레이아웃의 자유도가 증가하며, 그 점유 면적이 절감되고, 또한 전력 소비가 감소될 수 있는, 칼럼(column) 라인(유기 EL 패널의 양극측 구동 라인 중 하나)용 유기 EL 소자 구동 회로 및 이를 이용한 유기 EL 디스플레이 장치에 관한 것이다.

자발광을 이용한 고 휘도 디스플레이를 실현시키는 유기 EL 디스플레이 장치는 소형 디스플레이 스크린상의 디스플레이에 적합한 것으로 알려져 있다. 또한 유기 EL 디스플레이 장치는 이동전화기, PHS, DVD 플레이어, 또는 PDA(Personal Digital Assistants)등에 장착되는 차세대 디스플레이 장치로 주목받고 있다. 이 유기 EL 디스플레이 장치는, 액정 디스플레이 장치와 같이 전압에 의해 구동되는 경우, 휘도 변동이 상당히 커지며, R(red), G(green), B(blue) 사이의 감도상 차이가 있으므로 컬러 디스플레이의 휘도 조절이 어려워지는 문제점이 있다. 이러한 문제점을 고려하여, 전류 구동 회로를 사용하는 유기 EL 디스플레이 장치가 최근까지 제안되고 있다. 예를 들어, JPH10-112391A는 전류 구동 시스템을 적용하므로써 휘도 변동의 문제점을 해소하는 기술을 개시한다.

396(132\*3)개의 칼럼라인용 단자 핀 및 162개의 로우(row)라인용 단자 핀을 갖는, 이동전화기용 유기 EL 디스플레이 장치의 유기 EL 디스플레이 패널이 제시되었다. 그러나, 칼럼라인과 로우라인의 수가 계속해서 증가되는 경향이 있다.

액티브 매트릭스(active matrix)형태 또는 단순 매트릭스(simple matrix)형태의 상기 유기 EL 디스플레이 패널의 전류 구동 회로의 출력단은, 예컨대 각 단자 핀용 커런트 미러 회로로 구성된 출력 회로와 같은, 전류원 구동 회로를 포함한다. 미국특허 출원 제 10,102,671의 일본 대응 특허 JP2002-82662(JP2001-86967 및 JP2001-396219을 가지고 우선권 주장하는 국내 출원)에 공지된 바와 같이, 회로의 구동단은 각 단자 핀용 복수의 출력측 트랜지스터를 갖는 병렬-구동형 커런트 미러 회로(레퍼런스 전류 분배 회로)를 포함한다. 개시된 구동단에서, 출력회로를 구동하기 위해서 레퍼런스 전류 발생 회로에서 공급된 레퍼런스 전류에 의해 및 이를 상기 각 핀에 공급하므로써 각 단자 핀에 대응하여 복수의 미러 전류가 발생된다. 또한, 각 단자 핀에 공급된 미러 전류는 각각 k-배 전류 증폭 회로(k-time currents amplifier circuit)에 의해 증폭되며, 상기 k는 2이상의 정수이고, 출력 회로는 증폭된 전류로 구동된다. k-배 증폭 회로를 포함하는 구동단은 JP 2002-33719에 공지된 바와 같으며, 여기서 D/A 컨버터 회로는 각 단자 핀에 대응하여 제공된다. 이같이 공지된 회로 구조에서, D/A 컨버터 회로는 칼럼측 단자 핀에 대응하는 디스플레이 데이터를 아날로그 데이터로 변환하여 동시에 칼럼측 구동 전류를 발생시킨다.

상기 공지된 구조에서, 피크 전류는 용량성 부하 특성을 갖는 유기 EL 소자를 초기 충전하기 위해 발생되어 유기 EL 소자를 구동한다. 이 피크 전류는 JP 2002-33719에 기술된 바와 같이 레퍼런스 전류로서 구동단의 회로 부분, D/A 컨버터 회로 후에 이어지는 회로 부분에 발생할 수 있으며, 또는 전류 출력단에 발생할 수도 있다.

도 3은 JP2002-33937의 미국 대응 특허 10,360,715에 공지되고 본 양수인에게 양도된 기술을 나타내는 것으로, 피크 전류 발생 회로가 D/A 컨버터 회로에 구비된다.

도 3에서, 유기 EL 소자 구동 회로의 칼럼 구동기는 디스플레이 데이터에 대응하는 구동 전류를 발생시키는 구동 전류 발생 회로(10), 구동 전류 발생 회로(10)에 제공된 D/A 컨버터 회로(11), Ip값을 갖는 전류를 공급하는 정전류 공급원(12), 커런트 미러형 전류 출력 회로(13), 피크전류 발생 회로(14), 제어 회로(15) 및 레지스터(16)를 포함한다.

상기 D/A 컨버터 회로(11)는 N채널 입력측 트랜지스터 TNa 및 이 N채널 입력측 트랜지스터 TNa에 미러-연결된 N채널 입력측 트랜지스터 TNp를 포함한다. 상기 D/r 컨버터 회로(11)는 입력측 트랜지스터 TNa 및 TNp와 커런트-미러 연결된 N채널 출력측 트랜지스터 TNb 내지 TNn-1를 추가로 포함한다.

상기 트랜지스터 TNb에 대한 TNa의 채널폭(게이트폭) 비율은 1:9로 설정된다. 트랜지스터 TNa의 소스(source)는 저항 Ra를 통해 접지되며 상기 트랜지스터 TNp의 소스는 저항 Rpa 및 스위치 회로 SWpa를 통해 접지된다. 기술의 간소화를 위하여, 미국특허 10,360,715의 도 1에 도시된, 저항 Rpa 및 접지 GND 사이에 구비된 스위치 SWa는 도 3에 도시하지 않는다.

상기 1:9의 채널폭(게이트폭) 비율은 나머지 하나의 MOS 트랜지스터에 대해 동일한 구조 및 우수한 페어링(pairing) 특성을 갖는 10개의 MOS 트랜지스터 중 병렬-연결식의 9개를 통해 얻을 수도 있다.

입력측 트랜지스터 TNa 및 TNp는 입력단자(11a)와 연결되며 이 입력단자(11a)를 통해 정전류 공급원(12)으로부터 전류 Ip를 공급받는다.

전류값 Ip를 갖는 전류가 입력측 트랜지스터 TNa에 흐르는 경우, 디스플레이 데이터에 대응하는 피크 전류 Ia(=Ipa)가 D/A 컨버터 회로(11)의 출력 단자(11b)에서 발생된다. 전류 Ip가 입력측 트랜지스터 TNa 및 TNp로 분기되어 흐르는 경우, 커런트 미러 회로의 입력측 구동 전류는 실질적으로 전류 Ip의 1/10이 되며, 디스플레이 데이터에 대응하는 구동 전류 Ia(=Ipa/10)는 D/A 컨버터 회로(11)의 출력 단자(11b)에서 발생된다.

저항 Rb 내지 Rn-1는 출력측 트랜지스터 TNb 내지 TNn-1의 소스 및 트랜지스터 Trb 내지 Trn-1의 드레인 사이에 각각 제공된다. 상기 저항들로 인해, D/A 컨버터 회로(11)의 커런트 페어링 특성의 정밀도를 향상시킬 수 있다.

트랜지스터 Trb 내지 Trn-1의 게이트는 n-bit의 디스플레이 데이터가 입력된 입력단자 Do 내지 Dn-1와 접속된다. 이에 따라, 트랜지스터 Trb 내지 Trn-1는 레지스터(16)로부터 디스플레이 데이터를 수취한다. 트랜지스터 Trb 내지 Trn-1의 소스는 접지된다.

커런트 미러형 전류 출력 회로(13)는 구동 레벨 시프트 회로(deive level shifter circuit)(13a) 및 출력단 커런트 미러 회로(13b)를 포함한다.

상기 구동 레벨 시프트 회로(13a)는 D/A 컨버터 회로(11)의 출력을 출력단 커런트 미러 회로(13b)에 전달하도록 작동하며 N채널 MOSFET  $T_{Nv}$ 를 포함한다. 트랜지스터  $T_{Nv}$ 의 게이트는 바이어스 라인  $V_b$ 와 연결되며, 이 트랜지스터의 소스는 D/A 컨버터 회로(11)의 출력단자(11b)와 연결된다. 트랜지스터  $T_{Nv}$ 의 드레인은 출력단 커런트 미러 회로(13b)의 입력단자(13c)와 연결된다.

이에 따라, D/A 컨버터 회로(11)의 출력 전류를  $I_a$ 라 가정하면, 입력단자(13c)에서  $I_a$ 의 구동 전류를 발생시킬 수 있다.

출력단 커런트 미러 회로(13b)는 게이트 구동 전압 수정용 P채널 MOSFET  $T_{Pu}$ 와  $T_{Pw}$ , 상기 트랜지스터  $T_{Pu}$  및  $T_{Pw}$ 에 의해 구동되는 P채널 MOSFET  $T_{Px}$ 와  $T_{Py}$ 가 구비된 커런트 미러 회로를 포함한다. 출력단 커런트 미러 회로(13b)의 트랜지스터  $T_{Py}$ 에 대한  $T_{Px}$ 의 게이트폭 비율은 1:N이다. 트랜지스터  $T_{Px}$  및  $T_{Py}$ 의 소스는 전역 공급원 라인 + VDD이 아니라 전역 공급원 라인 + VDD보다 높은 전압을 갖는 전역 공급원 라인 + VCC와 연결되는 것으로, 예컨대 약 +15V이다. 트랜지스터  $T_{Py}$ 는 칼럼축 단자 핀(9)과 연결되며 N배의 구동 전류  $I_a$ 를 공급하여 단자 핀(9)을 구동한다. 유기 EL 소자(8)는 단자 핀(9) 및 그라운드 GND 사이에 연결된다. 또한 도 3의  $V_c$ 도 바이어스 라인이다.

입력측 트랜지스터  $T_{Np}$ , 저항  $R_{pa}$  및 스위치 회로  $SW_{pa}$ 는 피크 전류 발생 회로(14)를 구성한다. 상기 스위치 회로  $SW_{pa}$ 는 구동 초기의 일정 시간  $t_p$ 동안 제어 회로(15)로부터 제어 신호 CONT를 받는 일 없이 오프(OFF)로 되고, 일정 시간  $t_p$  후 제어 신호 CONT를 받아서 온(ON)으로 켜진다.

상기 스위치 회로  $SW_{pa}$ 는 구동 초기에 제어 회로(15)로부터 제어 신호 CONT를 받지 않으므로, 전류  $I_p$ 가 입력측 트랜지스터  $T_{Na}$ 에 흐른다. 이에 따라 입력단자 DO 내지  $D_{n-1}$  각각에 설정된 디스플레이 데이터에 대응하는 배수, 예를 들면 M배의, 전류  $I_p$ , 즉  $M \cdot I_p (=I_{pa})$ 가 발생되어, 피크 전류  $I_a = M \cdot I_p$ 가 D/A 컨버터 회로(11)의 출력단자(11b)에 발생되도록 한다. 상기 제어 신호 CONT는 피크 전류 발생 시간  $t_p$ 이 지난 후 발생되며, 스위치 회로  $SW_{pa}$ 는 온으로 켜진다. 입력측 트랜지스터  $T_{Na}$ 에 흐르는 전류는 입력측 트랜지스터  $T_{Np}$ 에 분기된다. 이에 따라, 게이트폭 비율 1:9에 따른,  $I_p/10$ 인 구동 전류는 입력측 트랜지스터  $T_{Na}$ 에 흐르며, 구동 전류  $9 \cdot I_p/10$ 는 입력측 트랜지스터  $T_{Np}$ 에 흐른다. 결과적으로, 커런트 미러 회로의 입력측 구동 전류는 실질적으로  $1/10$ 가 되며 전류  $I_a (=I_{pa}/10)$ 는 D/A 컨버터 회로(11)의 출력단자(11b)에서 발생된다.

근래, 구동 핀 수는 고해상도화의 필요로 인해 증가하는 추세이다. 구동단자 핀이 증가함에 따라, 커런트 구동 회로의 출력단 수가 증가하는 경향이 있다. 이에 따라, 전력 소비도 증가되어, 커런트 구동 회로의 전력의 절감이 요구된다. 이같은 문제점을 해소하기 위하여, 도 3에 도시된 바와 같이, MOS 트랜지스터로 형성된 커런트 구동 회로가 제안되어왔다. 이 MOS 트랜지스터로 형성된 출력단(커런트 미러형 전류 출력 회로(13))에서, MOS 트랜지스터가 구비된 구동 회로 및 MOS 트랜지스터가 구비되며 상기 구동 회로와 직렬 연결된 커런트 미러 출력 회로는 보다 높은 전압의 전역 공급원 라인과 연결된다.

MOS 트랜지스터가 구비된 커런트 구동 회로가 사용되는 경우, 기본 전류(base current) 등을 수정하는데 요구되는 전류 및 바이어스 전류와 같은 회로 작동용의 각종 전류들은, 양극성 트랜지스터가 구비된 커런트 구동 회로 및 누설 전류에 문제점이 발생하는 경우에 필요하다. 상기 전류들은 단자 핀의 수의 증가와 함께 증가되며, 전체 회로의 전력 소비에서 상기 전류들의 영향도 그만큼 커지고, 그 결과 전력 소비 절감화에 방해가 된다.

또한, 도 3에 도시된 커런트 구동 회로에서, D/A 컨버터 회로(11)의 회로 구성, D/A 컨버터 회로(11)에 구비된 피크전류 발생 회로, 및 MOS 트랜지스터가 구비된 출력단이 서로 다르다. 상기 커런트 구동 회로는 각 회로의 레이아웃 및 배선을 규정하여 설계되어야 한다. 이에 따라, 레이아웃의 효율이 낮으며 배선의 자유도도 적다. 이러한 이유로, 회로 규모를 감소시키는 것이 상대적으로 어려워진다.

**발명이 이루고자 하는 기술적 과제**

본 발명의 목적은 복수의 유기 EL 소자 구동 회로가 IC로 제조되는 경우, 커런트 구동 회로의 레이아웃 및 배선 설계시 자유도가 증가되며, 이에 따라 점유 면적이 감축되고, 전력 소비도 감소될 수 있는 유기 EL 소자 구동 회로를 제공하는 것이다.

본 발명의 다른 목적은 복수의 유기 EL 소자 구동 회로가 IC로 제조되는 경우, 커런트 구동 회로의 레이아웃 및 배선 설계시 자유도가 증가되며, 이에 따라 점유 면적이 감축되고, 전력 소비도 감소될 수 있는 복수의 유기 EL 소자 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공하는 것이다.

이같은 목적을 달성하기 위해서, 본 발명에 따른, 상기 패널의 대응하는 단자 핀을 통해 커런트-미러 회로로 형성된 전류 출력 회로로부터 공급된 출력 전류를 이용하여 유기 EL 디스플레이 패널의 모든 유기 EL 소자를 전류-구동하는 유기 EL 소자 구동 회로는, 임의 채널형 제1 MOS 트랜지스터 및 동일 채널형 제2 MOS 트랜지스터를 각각 포함하며 상기 제1 MOS 트랜지스터의 드레인과 연결된 소스를 각각 갖는 복수( $n$ ,  $n$ 은 3이상의 정수)의 유닛 회로를 포함하는 것을 특징으로 한다. 상기  $n$ 개의 유닛 회로 중 적어도 두개의 제1 MOS 트랜지스터 또는 제2 MOS 트랜지스터의 게이트는 공통 게이트를 형성하도록 상호 연결된다. 상기 두개의 유닛 회로 중 하나는 출력단 커런트 미러 회로의 입력측 유닛 회로를 구성하며, 상기 두개의 유닛 회로 중 나머지 하나는 커런트 미러형 출력단 회로의 출력측 회로를 구성한다. 상기 공통 게이트는 구동측 유닛 회로로서 다른 유닛 회로의 제1 MOS 트랜지스터 또는 제2 MOS 트랜지스터를 통해 입력측 유닛 회로의 전류 구동측 단자와 연결된다.

본 발명의 실시예에서, 유닛 회로는 P 또는 N채널형 제1 MOS 트랜지스터의 드레인과 동일 채널형의 제2 MOS 트랜지스터의 소스를 연결함으로써 구성되며, 복수의 유닛 회로는 IC 칩내에 형성된다. 상기 유닛 회로를 IC 칩상에서 선택적으로 배선화함으로써, 유기 EL 소자 구동 회로의 출력단의 커런트 미러 회로가 구성될 수 있다.

입력측 유닛 회로는 물론 출력단 커런트 미러 회로의 출력측 유닛 회로는 서로 직렬 연결된 두개의 MOS 트랜지스터를 포함한다. 이에 따라, 공통 게이트를 갖는 MOS 트랜지스터와의, 상기 두개의 유닛 회로 중 하나의 MOS 트랜지스터를 온으로 켜고, 공통 게이트를 가지며 상기 입력측 유닛 회로의 커런트 구동측 단자와 공통 게이트를 연결하는 유닛 회로의 MOS 트랜지스터를 온으로 하므로써, 다이오드-연결식 입력측 회로를 갖는 보통의 커런트 미러 회로가 실현된다.

이같은 회로 구조로 된, 공통 게이트를 갖지않는 MOS 트랜지스터인, 출력측 유닛 회로의 MOS 트랜지스터는, 구동측 유닛 회로로부터 구동 전류가 출력되지않는 동안 오프로 될 수 있기 때문에, 불필요한 전류는 출력측 유닛 회로에서부터 이 회로와 연결된 그의 유닛 회로까지 흐르지않게 된다. 특히, 각 유닛 회로를 한쌍의 직렬-연결식 P채널형 MOS 트랜지스터로 형성하고, 공통 게이트를 갖지않는 MOS 트랜지스터인 상부(upstream)의 MOS 트랜지스터 중 하나를 온으로 켜서 구동 전류를 발생시키므로써, 불필요한 전류는 상부측 트랜지스터가 오프상태인 동안 하부측 트랜지스터에 흐르지않게 된다. 또한, 공통 게이트와 입력측 유닛 회로의 커런트 구동측 단자를 연결하는 그의 유닛 회로의 MOS 트랜지스터 중 적어도 하나가 온으로 켜진 후 출력단 커런트 미러 회로가 구동되기 때문에, 실질적으로 누설 전류가 없게 된다.

이에 따라, 상술된 동일한 유닛 회로로 구성된 출력단 커런트 미러 회로에서, 구동용 바이어스 전류, 기본 전류 및 누설 전류 수정용 전류 등과 같은 전류는 단자 핀이 전류-구동되지않은 상태의 주기동안 실질적으로 없게 된다.

결과적으로, 유닛 회로가 IC로 제조되며, 레이아웃 및 배선의 자유도가 증가된다. 또한, 커런트 구동 회로에 의해 점유된 면적을 감축시키고 전력 소비를 감소시킬 수 있는 유기 EL 소자 구동 회로 및 유기 EL 디스플레이 장치를 실현할 수 있다.

**발명의 구성 및 작용**

도 1은 본 발명의 실시예에 따른, 칼럼 구동기용 유기 EL 소자 구동 회로(1)를 나타내는 블록회로도이다. 도 1에 도시된 유기 EL 소자 구동 회로(1)는 커런트-미러형 전류 출력 회로(2), 피크전류 발생 회로(3), 및 D/A 컨버터(11)의 피크전류 발생 회로(14)가 제거된 점을 제외하고 도 3의 D/A 컨버터(11)와 대응하는 D/A 컨버터(4)를 포함한다.

이에 따라, D/A 컨버터(4)는 도 3의 D/A 컨버터(11)의 입력측 트랜지스터 TNa에 대응하는 트랜지스터를 포함하며, D/A 컨버터(11)의 트랜지스터 TNp에 대응하는 트랜지스터가 제거된다. 상기 D/A 컨버터(11)의 트랜지스터 TNa에 대응하는 트랜지스터는, 피크전류에 대응하는 전류  $I_p$ 의 1/10인 전류가 정전류 공급원(12a)으로부터 공급된 입력 단자(4a)를 갖는다. 도시하지는 않았지만, D/A 컨버터(4)는 D/A 컨버터(11)의 출력측 트랜지스터 TNb 내지 TNn-1에 대응하는 출력측 트랜지스터를 포함하며, 상기 출력측 트랜지스터들로부터 출력된 총전류는 D/A 컨버터(11)의 출력단자(11b)에 대응하는 출력단자(4b)로부터 출력된다.

커런트-미러형 전류 출력 회로(2)는 도 3에 도시된 커런트 미러형 전류 출력 회로(13)에 대응하며, 구동 회로(2a) 및 출력단 커런트 미러 회로(2b)로 형성된다. 상기 구동 회로(2a)는 P채널 MOS 트랜지스터 Tr1 및 이 트랜지스터 Tr1와 직렬 연결된 P채널 MOS 트랜지스터 Tr2를 포함하는 유닛 회로(5a)로서 구비된다. 상기 출력단 커런트 미러 회로(2b)는 유닛 회로(5a)와 동일한 회로 구성을 갖는 입력측 유닛 회로(5b) 및 출력측 유닛 회로(5c)를 포함한다.

상기 출력단 커런트 미러 회로(2)를 유닛 회로(5a, 5b) 및 출력측 유닛 회로(5c)로 형성하므로써, 전력 소비의 감소 및 레이아웃 및 배선 설계의 자유도가 실현된다. 또한, 상기 유닛 회로(5a 및 5b)의 트랜지스터 Tr1 및 Tr2의 백 게이트는 공통 전력 공급원 라인 Vcc과 연결된다.

구동 회로(2a)를 먼저 기술하면, 구동 회로(2a)를 형성하는 유닛 회로(5a)는 상술된 바와 같이 P채널 MOS 트랜지스터 Tr1 및 Tr2로 구성된다. 즉, 트랜지스터 Tr1의 드레인은 트랜지스터 Tr2의 소스와 연결되며, 트랜지스터 Tr1의 드레인은 스위치 회로(6)를 통해 D/A 컨버터(4)의 출력단자(4b)와 연결된다. 트랜지스터 Tr1 및 Tr2의 게이트는 제어 라인(7a)을 통해 제어 회로(15)로부터 제어 신호 So가 공급된 제어 단자 Go와 연결된다.

상기 출력단 커런트 미러 회로(2b)의 입력측 유닛 회로(5b)는 상술된 바와 같이 P채널 MOS 트랜지스터 Tr1 및 트랜지스터 Tr2로 구성된다. 입력측 유닛 회로(5b)의 트랜지스터 Tr1의 소스는 전력 공급원 라인 +Vcc와 연결된다. 입력측 유닛 회로(5b)의 트랜지스터 Tr2의 드레인은 구동 회로(2a)의 유닛 회로(5a)의 트랜지스터 Tr1의 드레인과 연결되고 구동 회로(2a)에서 출력된 구동 전류에 의해 구동된다.

입력측 유닛 회로(5b)의 트랜지스터 Tr1의 게이트는 접지된다. 이에 따라, 유닛 회로(5b)의 트랜지스터 Tr1는 일반적으로 임의의 임피던스로 온 상태에 있게 된다. 이 임피던스에서, 트랜지스터 Tr1의 게이트가 접지되더라도, 이 게이트는 트랜지스터 바이어스용 바이어스 라인과 연결되어 소정의 온 임피던스로 온 상태가 될 수도 있다.

상기 임의의 온 임피던스를 갖는 유닛 회로(5b)의 트랜지스터 Tr1를 이용함에 있어서, 상기 입력측 유닛 회로(5b)는 출력단 커런트 미러 회로(2b)의 출력측 유닛 회로(5c)와 동일한 유닛 회로를 이용하여 구성될 수 있다. 이에 따라, 이 입력측 유닛 회로의 작동 레벨은 출력측 유닛 회로(5c)와 매치될 수 있다.

출력단 커런트 미러 회로(2b)의 출력측 유닛 회로(5c)는 각각 입력측 유닛 회로(5b)와 동일한 복수(p)(p는 2이상의 정수)의 병렬-연결식 유닛 회로로 구성될 수 있다. 출력측 유닛 회로의 p개의 트랜지스터 Tr1의 소스는 전력 공급원 라인 +Vcc과 연결된다. 출력측 유닛 회로의 p개의 트랜지스터 Tr2의 드레인은 단자 핀(9)과 연결된다. p개의 트랜지스터 Tr1의 게이트는 일반적으로 제어 신호 S1가 제어 회로(15)로부터 공급되는 제어 단자 G1와 연결된다. 이같은 경우, 병렬-연결식 p개의 트랜지스터 Tr1의 드레인과 병렬-연결식 p개의 트랜지스터 Tr2의 소스 각각을 연결하므로써 p개의 유닛 회로를 형성할 수 있다. 출력단 커런트 미러 회로(2b)의 입력측 유닛 회로(5b)의 트랜지스터 Tr2의 게이트 및 출력측 유닛 회로(5c)의 트랜지스터 Tr2의 게이트는 일반적으로 게이트 연결 라인(7b)과 연결된다. 캐패시터 C는 게이트 연결 라인

(7b)과 전력 공급원 라인 + Vcc 사이에 제공된다. 또한, 구동 회로(2a)의 유닛 회로(5a)의 트랜지스터 Tr1의 소스는 게이트 연결 라인(7b)과 연결됨에 따라, 구동 회로(2a)를 형성하는 유닛 회로(5a)의 트랜지스터 Tr1의 게이트 및 출력단 커런트 미러 회로(2b)의 트랜지스터 Tr2의 게이트가 캐패시터 C에 걸친 전압에 의해 구동되도록 한다.

구동 회로(2a)의 유닛 회로(5a)의 트랜지스터 Tr1의 소스는 게이트 연결 라인(7b)과 연결되며, 드레인은 출력단 커런트 미러 회로(2b)의 입력측 유닛 회로(5b)의 트랜지스터 Tr2의 드레인과 연결된다. 이에 따라, 구동 회로(2a)의 트랜지스터 Tr1가 온으로 켜지는 경우, 입력측 유닛 회로(5b)의 트랜지스터 Tr2가 다이오드-연결되어, 입력측 유닛 회로(5b) 및 출력측 유닛 회로(5c)가 커런트 미러 회로로 작동하도록 한다.

피크전류 발생 회로(3)는 트랜지스터 Tr1 및 Tr2를 각각 포함하는 복수(n)(n은 p보다 큰 정수)의 병렬-연결식 유닛 회로를 포함한다. 피크전류 발생 회로(3)에서, n개의 트랜지스터 Tr1의 소스는 전력 공급원 라인 + Vcc과 연결되며, n개의 트랜지스터 Tr2의 드레인은 단자 핀(9)과 연결된다. n개의 트랜지스터 Tr1의 게이트는 일반적으로 제어 신호 S2가 제어 신호(15)로부터 공급된 제어 단자 G2와 연결된다. 또한 이같은 경우, 병렬-연결식 p개의 트랜지스터 Tr1의 드레인과 병렬-연결식 p개의 트랜지스터 Tr2의 소스를 각각 연결함으로써 피크전류 발생 회로(3)를 형성할 수 있다.

유기 EL 소자 구동 회로의 단자 G4는 로(L) 레벨의 리셋 신호 RS를 제어 회로(15)로부터 수취한다. 스위치(6)는 제어 라인(7c)을 통해 공급된 L 레벨의 리셋 신호 RS에 의해 오프로 된다. 상기 L 레벨의 리셋 신호는 또한 버퍼 증폭기(buffer amplifier)(6a)를 통해 제어 라인(7a)에 제공되어, 구동 회로(2a)를 형성하는 유닛 회로(5a)의 트랜지스터 Tr1를 온 시킨다. 그러므로 캐패시터 C는, 온으로 된 트랜지스터 Tr1과 온 상태인 입력측 유닛 회로(5b)의 트랜지스터 Tr1 및 Tr2를 통해 방전됨에 따라 온으로 켜지고, 이에 따라 캐패시터 C의 전압이 리셋된다.

구동 회로(2a)의 유닛 회로(5a)의 트랜지스터 Tr1는, 단자 G4에 공급된 리셋 신호 RS로 스위치 회로(6)를 오프시키고 동시에 제어 라인(7a)을 L 레벨로 설정하므로써, 온으로 될 수 있다.

커런트 미러형 전류 출력 회로(2)의 작동은 도 2를 참조하여 기술할 것이다. 여기서 L 레벨의 제어 신호 So 내지 S2 및 리셋 신호 RS는 현저히 크다고 가정된다. 커런트 미러 작동용 구동 전압은 캐패시터 C내에 일시 저장되고 실제 전류 출력 작동은 제어 신호 S1 및 S2의 발생 타이밍에 따라 실행되는 것으로 가정된다.

디스플레이 데이터는 먼저 D/A 컨버터(4)에 설정되며, 그 다음 도 2(a)에 도시된 래치(latch) 펄스 Lp에 따른 도 3에 도시된 래지스터(16)에 설정된다. 그 다음, 도 2(b)에 나타난 바와 같이, L 레벨의 제어 신호 So가 일정 시간동안 발생되어 제어 라인 Go을 L 레벨상태로 만든다. 제어 신호 So가 L 레벨 상태인 일정 시간동안, 구동 회로(2a)의 트랜지스터 Tr1 및 Tr2는 온 상태에 있게됨에 따라, 게이트 라인(7b)은 디스플레이 데이터에 대응하는 구동 전류에 의해 구동되어 캐패시터 C를 소정의 전압 레벨로 충전시킨다. 스위치 회로(6)는 일반적으로 하이(H) 레벨의 리셋 신호 RS에 의해 온 상태가 된다.

이같은 경우, 입력측 유닛 회로(5b)의 트랜지스터 Tr2 및 출력측 유닛 회로(5c)는 캐패시터 C의 전압에 의해 온으로 된다. 그러나, 제어 단자 G1 및 G2 각각에 공급된 제어 신호 S1 및 S2는 H 레벨이며, 출력측 유닛 회로(5c)의 트랜지스터 Tr1의 게이트 및 피크전류 발생 회로(3)는 H 레벨이 된다. 그러므로, 상기 트랜지스터 Tr1는 오프 상태로 유지된다. 결과적으로, 전류가 단자 핀(9)에 공급되지않는다.

그 다음, 도 2(c)에 도시된 바와 같이 제어 라인 Go이 H 레벨로 될 때 제어 신호 S1가 L 레벨이 되는 경우, 출력측 유닛 회로(5c)의 트랜지스터 Tr1는 온이 되며, 전류는 캐패시터 C의 전압에 따라 온 상태인 상기 출력측 유닛 회로(5c)의 트랜지스터 Tr2를 통해 단자 핀(9)에 공급된다. 제어 신호 S2가 도 2(d)에 도시된 바와 같이 L 레벨이 되는 경우, 피크전류 발생 회로(3)의 트랜지스터 Tr1는 온이 되며, 추가 전류는 캐패시터 C의 전압에 의해 온 상태로 유지된 피크전류 발생 회로(3)의 트랜지스터 Tr2를 통해 단자 핀(9)에 공급된다.

결과적으로, 도 2(e)에 도시된 바와 같이 피크를 갖는 구동 전류는 제어 신호 S1 및 S2가 L 레벨 상태에 있는 주기 동안 단자 핀(9)내에 발생되며, 이에 따라 유기 EL 소자(8)가 전류-구동된다. 이같은 경우, 트랜지스터 Tr1가 오프 상태인 동안에는 비효율적인 전류가 출력단 커런트 미러 회로(2b)의 출력측 유닛 회로(5c)에 흐르지않는다. 또한, 제어 신호 So에 의해 온으로 된 구동 회로(2a)의 유닛 회로(5a)의 트랜지스터 Tr1 및 Tr2는 캐패시터 C 충전용 구동 전류가 흐르도록 허용하는 기능을 수행하기 때문에, 실질적으로 누설 전류와 같은 구동 전류는 상기 트랜지스터들이 오프인 경우 흐르지않는다.

제어 신호 S1에 대한 제어 신호 S2의 타이밍은 상술된 타이밍에 제한되지않는다. 용량성 특성을 갖는 유기 EL 소자(8)를 초기 충전하기위한 누설 전류가 발생될 수 있는 것이라면 어떤 것이라도 좋다.

도 2(f)에 도시된 리셋 신호 RS는 다음 칼럼 라인의 구동이 개시되기 전에 캐패시터 C의 전압이 리셋되는 타이밍에 발생된다.

제어 신호 So 내지 S2 및 리셋 신호 RS가 L 레벨이 큰 것으로 알려져왔다해도, 상기 신호들은 인버터를 통해 공급되는 경우 H 레벨이 크게 될 수 있다.

피크전류 발생 회로(3)가 트랜지스터 Tr1 및 트랜지스터 Tr2를 포함하는 유닛 회로(5d)로 구성된다해도, 상기 유닛 회로로 피크전류 발생 회로(3)를 형성하는 것이 항상 필수적이지는 않다. 또한, 피크 전류 발생 회로(3)가 항상 출력단 커런트 미러 회로에 평행하게 구비되는 것은 아니다. D/A 컨버터(4)는 도 3에 도시된 피크전류 발생 회로(14)를 포함하는 D/A 컨버터(11)로 대체되기도 한다.

또한, 캐패시터 C가 커런트 미러 출력 회로의 구동 전류를 일시 저장하도록 제공되며 그 다음 상기 구동 전류가 제어 신호에 따른 단자 핀에 출력된다해도, 상기 캐패시터 C는 단자 핀 구동 전류를 직접 출력하기 위해 제거되기도 한다. 이같은 경우, 출력측 유닛 회로(5c)는 트랜지스터 Tr1 및 트랜지스터 Tr2를 포함하기 때문에, 하부측 트랜지스터 Tr1이 온으로 켜진 경우 구동 전류를 출력하는 것이 가능하다. 이에 따라, 트랜지스터 Tr1가 오프 상태인 동안에는 비효율적인 전류가

출력단 커런트 미러 회로(2b)의 출력측 유닛 회로(5c)에 흐르지않게 된다. 이같은 경우, 구동 회로(2a)의 유닛 회로(5a)의 트랜지스터 Tr1 및 Tr2는 동시에 온으로 된다. 그러나, 구동 전류가 상기 온되는 타이밍에 출력되며 그 다음 트랜지스터 Tr1 및 Tr2가 오프로 되기 때문에, 실질적으로 누설 전류와 같은 비효율적인 구동 전류가 흐르지않는다.

상술된 실시예에 따른 유기 EL 소자 구동 회로 및 유기 EL 디스플레이 장치가 주로 P채널 MOSFET으로 구성된다해도, P채널 트랜지스터는 N채널 트랜지스터로 대체되기도 한다. 이같은 경우, 전원 전압은 부로 되고 상부측(upstream side)에 제공된 트랜지스터들이 하부측에 제공되어야한다.

**발명의 효과**

본 발명에 따른 유기 EL 소자 구동 회로 및 이 유기 EL 소자 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공하여, 복수의 유기 EL 소자 구동 회로가 IC로 제조되는 경우, 커런트 구동 회로의 레이아웃 및 배선 설계시 자유도가 증가되며, 이에 따라 점유 면적이 감축되고, 전력 소비도 감소될 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위안에서 다양한 수정 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

**(57) 청구의 범위**

**청구항 1.**

유기 EL 디스플레이 패널의 대응하는 단자 핀을 통해 커런트-미러 회로로 구성된 전류 출력 회로로부터 공급된 출력 전류를 이용하여 유기 EL 디스플레이 패널의 모든 유기 EL 소자를 전류-구동하는 유기 EL 소자 구동 회로에 있어서,

복수(n, n은 3이상의 정수)의 유닛 회로는 임의 채널형 제1 MOS 트랜지스터 및 동일 채널형 제2 MOS 트랜지스터를 각각 포함하며 상기 제1 MOS 트랜지스터의 드레인과 연결된 소스를 각각 구비하고,

상기 n개의 유닛 회로 중 적어도 두개의 제1 MOS 트랜지스터 또는 제2 MOS 트랜지스터 중 하나의 게이트는 공통 게이트를 형성하도록 상호 연결되며,

상기 적어도 두개의 유닛 회로 중 하나는 상기 커런트 미러 회로의 입력측 회로를 구성하고,

상기 적어도 두개의 유닛 회로 중 다른 하나는 상기 커런트 미러 회로의 출력측을 구성하며,

상기 공통 게이트는 나머지 유닛 회로 중 적어도 하나의 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 중 하나를 통해 입력측 회로의 전류 구동측 단자와 연결되는 것을 특징으로 하는 유기 EL 소자 구동 회로.

**청구항 2.**

제1항에 있어서,

상기 공통 게이트와 전류 구동측 단자를 연결하는 한 MOS 트랜지스터는 상기 MOS 트랜지스터와 제1 및 제2 MOS 트랜지스터 중 다른 하나를 온으로 하므로써 트랜지스터들의 소스-드레인을 통해 상기 공통 게이트와 전류 구동측 단자를 연결하여, 상기 단자 핀에 공급될 출력 구동 전류를 발생시키는 것을 특징으로 하는 유기 EL 소자 구동 회로.

**청구항 3.**

제2항에 있어서,

상기 입력측 회로의 제1 및 제2 MOS 트랜지스터 중 다른 하나의 게이트는 소정의 바이어스 전압과 연결되어 이 MOS 트랜지스터의 임피던스를 소정의 값으로 설정하며, 상기 나머지 유닛 회로 중 적어도 하나의 제1 및 제2 MOS 트랜지스터의 게이트는 소정의 제어 라인과 연결되어 상기 제어 라인에 공급된 제어 신호에 대응적으로 상기 나머지 하나의 유닛 회로의 제1 및 제2 MOS 트랜지스터를 온/오프(ON/OFF) 제어하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

**청구항 4.**

제3항에 있어서,

상기 n개의 유닛 회로 각각의 제1 및 제2 MOS 트랜지스터는 P채널 트랜지스터이며, 상기 출력측 회로는 병렬 연결된 복수(m, m은 2이상의 정수)의 유닛 회로를 포함하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

### 청구항 5.

제4항에 있어서,

상기 각각의 유닛 회로와 동일한 유닛 회로가 구비되며 상기 출력측 회로와 병렬 연결되는 피크전류 발생 회로를 추가로 포함하며, 상기 피크 전류는 제1 MOS 트랜지스터 및 이 제1 P채널 MOS 트랜지스터의 게이트에 공급된 제2 제어 신호에 따른 피크전류 발생 회로의 상기 유닛 회로의 제2 MOS 트랜지스터 중 하나를 온/오프 제어함으로써 발생하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

### 청구항 6.

제5항에 있어서,

디스플레이 데이터에 대응하는 구동 전류 발생용 D/A 컨버터 회로를 추가로 포함하며, 상기 소정의 바이어스 전압은 접지 퍼텐셜이고, 상기 피크전류 발생 회로는 복수의 병렬-연결식 유닛 회로로 구성되며 상기 다른 유닛 회로의 다른 MOS 트랜지스터를 온으로 하므로써 상기 구동 전류를 전류 구동측 단자에 공급하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

### 청구항 7.

제1항에 있어서,

상기 공통 게이트 및 전력 공급원 라인 사이에 구비된 캐패시터를 추가로 포함하며, 상기 다른 유닛 회로의 한 MOS 트랜지스터를 온으로 하여 상기 캐패시터가 소정의 전압으로 충전된 후, 상기 출력 구동 전류는 상기 출력측 회로의 다른 MOS 트랜지스터를 온으로 하므로써 발생하는 것을 특징으로 하는 유기 EL 소자 구동 회로

### 청구항 8.

제7항에 있어서,

디스플레이 데이터에 대응하는 구동 전류를 발생시키는 D/A 컨버터 회로를 추가로 포함하며, 상기 출력측 회로는 상호 병렬 연결된 복수의 유닛 회로로 구성되며 상기 출력 회로의 다른 MOS 트랜지스터를 온으로 하므로써 구동 전류를 전류 구동측 단자에 공급하는 것을 특징으로 하는 유기 EL 소자 구동 회로.

### 청구항 9.

유기 EL 디스플레이 패널의 대응하는 단자 핀을 통해 커런트-미러 회로로 구성된 전류 출력 회로로부터 공급된 출력 전류를 이용하여 유기 EL 디스플레이 패널의 모든 유기 EL 소자를 전류-구동하는 유기 EL 소자 구동 회로를 포함하는 유기 EL 디스플레이 장치에 있어서:

복수( $n$ ,  $n$ 은 3이상의 정수)의 유닛 회로는 임의 채널형 제1 MOS 트랜지스터 및 동일 채널형 제2 MOS 트랜지스터를 각각 포함하며 상기 제1 MOS 트랜지스터의 드레인과 연결된 소스를 각각 구비하고,

상기  $n$ 개의 유닛 회로 중 적어도 두개의 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 중 하나의 게이트는 공통 게이트를 형성하도록 상호 연결되며,

상기 적어도 두개의 유닛 회로 중 하나는 상기 커런트 미러 회로의 입력측 회로를 구성하고,

상기 적어도 두개의 유닛 회로 중 다른 하나는 상기 커런트 미러 회로의 출력측을 구성하며,

상기 공통 게이트는 나머지 유닛 회로 중 적어도 하나의 제1 MOS 트랜지스터 및 제2 MOS 트랜지스터 중 하나를 통해 입력측 회로의 전류 구동측 단자와 연결되고,

상기 단자 핀용 출력 구동 전류는 나머지 유닛 회로의 한 MOS 트랜지스터 및 출력측 회로의 다른 MOS 트랜지스터를 온으로 하므로써 발생하는 것을 특징으로 하는 유기 EL 소자 구동 회로를 포함하는 유기 EL 디스플레이 장치.

**청구항 10.**

제9항에 있어서,

상기 입력측 회로의 제1 및 제2 MOS 트랜지스터 중 다른 하나의 게이트는 소정의 바이어스 전압과 연결되어 상기 다른 MOS 트랜지스터의 임피던스를 소정의 값으로 설정하며, 상기 나머지 유닛 회로의 제1 및 제2 MOS 트랜지스터의 게이트는 소정의 제어 라인과 연결되어 상기 제어 라인에 공급된 제어 신호에 대응적으로 상기 나머지 유닛 회로의 제1 및 제2 MOS 트랜지스터를 온/오프(ON/OFF) 제어하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

**청구항 11.**

제9항에 있어서,

상기 공통 게이트 및 전력 공급원 라인 사이에 구비된 캐패시터를 추가로 포함하며, 상기 다른 유닛 회로의 한 MOS 트랜지스터를 온으로 하여 상기 캐패시터가 소정의 전압으로 충전된 후, 상기 출력 구동 전류는 출력측 회로의 다른 MOS 트랜지스터를 온으로 하므로써 발생하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

**청구항 12.**

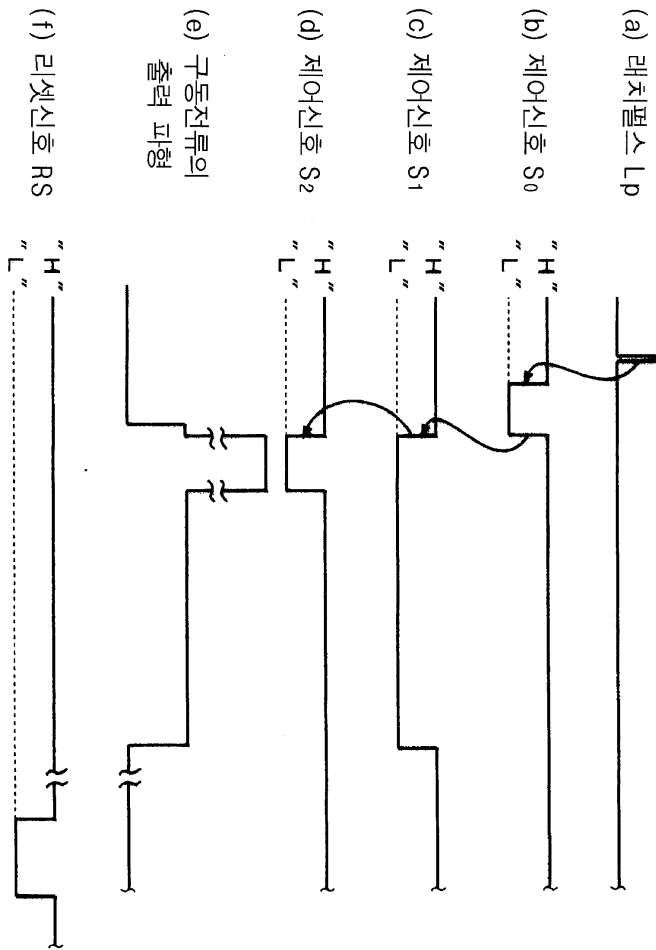
제11에 있어서,

디스플레이 데이터에 대응하는 구동 전류를 발생시키는 D/A 컨버터 회로를 추가로 포함하며, 상기 소정의 바이어스 전압은 접지 퍼텐셜이고, 상기 출력측 회로는 상호 병렬 연결된 복수의 유닛 회로로 구성되며 상기 나머지 유닛 회로의 다른 MOS 트랜지스터를 온으로 하므로써 구동 전류를 전류 구동측 단자에 공급하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

도면



도면2





专利名称(译)	有机EL元件驱动电路和有机EL显示装置		
公开(公告)号	<a href="#">KR100498843B1</a>	公开(公告)日	2005-07-04
申请号	KR1020030025015	申请日	2003-04-21
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	KITAHARA SHINJI		
发明人	KITAHARA,SHINJI		
IPC分类号	G09G3/30 H01L51/50 G09G3/20 G09G3/32		
CPC分类号	G09G3/3283 G09G3/3216 G09G2310/0248 G09G2310/027		
优先权	2002120128 2002-04-23 JP		
其他公开文献	KR1020030084636A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

它包括多个 ( n ) 的单位电路 ( n 是大于3的固定数 ) , 包括均匀沟道型第二MOS晶体管, 其具有驱动有机电致发光的电流输出电路的电流镜电路。具有电流的显示面板 - 连接到辅助通道兄弟1 MOS晶体管的漏极, 并且该第一-MOS晶体管。它互连, 使得至少2个第一-MOS晶体管或第二MOS晶体管的栅极形成多个单元电路中的共用栅极。并且在至少2个单元电路中组织电流镜电路的输入侧电路。另一个单元电路组织电流镜电路的输出侧。并且, 共用栅极和电流驱动器上的输入侧电路的端子通过至少一个第一-MOS晶体管或第二MOS晶体管在剩余单元电路之间互连。

