



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0049783
(43) 공개일자 2011년05월12일

(51) Int. Cl.

H01L 51/50 (2006.01) H05B 33/10 (2006.01)
H05B 33/06 (2006.01)

(21) 출원번호 10-2011-7002216

(22) 출원일자(국제출원일자) 2009년07월23일

심사청구일자 없음

(85) 번역문제출일자 2011년01월28일

(86) 국제출원번호 PCT/JP2009/063190

(87) 국제공개번호 WO 2010/013639

국제공개일자 2010년02월04일

(30) 우선권주장

JP-P-2008-195772 2008년07월30일 일본(JP)

(71) 출원인

스미토모 가가꾸 가부시키키가이샤

일본국 도쿄도 주오구 신카와 2쵸메 27반 1코

(72) 발명자

마쯔무로, 도모노리

일본 3050051 이바라끼켄 츠꾸바시 니노미야 1쵸
메 21반지 3 그랜드 팔레스 엔에스-1 403코

(74) 대리인

이석재, 장수길

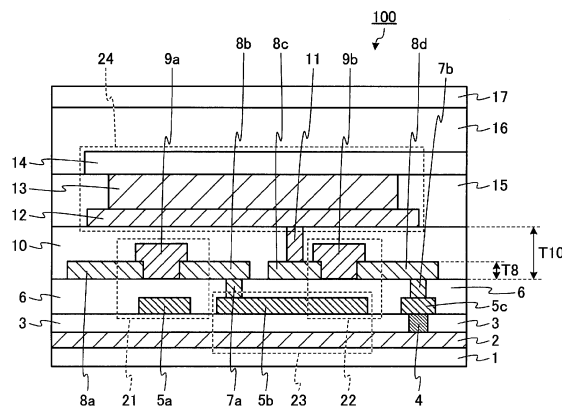
전체 청구항 수 : 총 7 항

(54) 표시 장치 및 표시 장치의 제조 방법

(57) 요약

본 발명은 전원에 접속됨과 동시에, 기관 (1)의 두께 방향으로부터 보았을 때 유기 EL 소자 (24)가 설치되는 영역을 내포하도록 반도체 소자 (21), (22) 및 유기 EL 소자와 기관 사이에 형성된 배선층 (2)와, 반도체 소자 (21), (22) 및 유기 EL 소자와 배선층 사이에 설치되며, 콘택트홀 (4a)가 형성된 층간 절연막 (3)과, 콘택트홀 내에 형성되며, 소스 전극 (8a), (8d), 드레인 전극 (8b), (8c) 및 유기 EL 소자의 애노드 전극 (12) 중 적어도 어느 하나와 배선층을 전기적으로 접속하는 콘택트 내 배선 (4)를 구비한 표시 장치를 제공한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

게이트 전극, 소스 전극, 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 사이에 형성된 반도체막을 포함하는 반도체 소자와,

전극을 포함하며 상기 반도체 소자에 전기적으로 접속된 발광 소자와,

상기 반도체 소자 및 상기 발광 소자가 설치되는 기판과,

전원에 접속됨과 동시에, 상기 기판의 두께 방향으로부터 보았을 때 상기 발광 소자가 설치되는 영역을 내포하도록 상기 반도체 소자 및 상기 발광 소자와 상기 기판 사이에 형성된 배선층과,

상기 반도체 소자 및 상기 발광 소자와 상기 배선층 사이에 설치되며, 콘택트홀이 형성된 층간 절연막과,

상기 콘택트홀 내에 형성되며, 상기 소스 전극, 상기 드레인 전극 및 상기 발광 소자의 상기 전극 중 적어도 어느 하나와 상기 배선층을 전기적으로 접속하는 콘택트 내 배선

을 구비한 것을 특징으로 하는 표시 장치.

청구항 2

제1항에 있어서, 상기 배선층은 금속 재료 또는 산화물 도전 재료로 구성되는 표시 장치.

청구항 3

제1항에 있어서, 상기 반도체막은 무기 산화물 반도체 재료로 구성되는 표시 장치.

청구항 4

제1항에 있어서, 상기 반도체막은 유기 반도체 재료로 구성되는 표시 장치.

청구항 5

제1항에 있어서, 상기 발광 소자는 유기 전계 발광 소자인 표시 장치.

청구항 6

제1항에 있어서, 상기 기판의 두께 방향으로부터 보았을 때, 상기 배선층은 상기 발광 소자가 설치되는 영역의 전체 둘레로부터 상기 영역의 외측으로 돌출된 돌출 영역을 갖는 표시 장치.

청구항 7

게이트 전극, 소스 전극, 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 사이에 형성된 반도체막을 포함하는 반도체 소자와,

전극을 가지며 상기 반도체 소자에 전기적으로 접속된 발광 소자와,

상기 반도체 소자 및 상기 발광 소자가 설치되는 기판을 구비한 표시 장치의 제조 방법으로서,

전원에 접속됨과 동시에, 상기 기판의 두께 방향으로부터 보았을 때 상기 발광 소자가 설치되는 영역을 내포하도록 상기 배선층을 상기 기판 위에 형성하는 배선층 형성 공정과,

상기 배선층을 기준으로 하여 상기 기판측과 반대측에 층간 절연막을 형성하는 층간 절연막 형성 공정과,

상기 층간 절연막을 관통하며, 한쪽 말단이 상기 배선층에 전기적으로 접속된 콘택트 내 배선을 형성하는 콘택트 내 배선 형성 공정과,

상기 층간 절연막을 기준으로 하여 상기 기판측과 반대측에 상기 소스 전극과 상기 드레인 전극을 형성하는 전극 형성 공정과,

복수의 상기 발광 소자를 형성하는 발광 소자 형성 공정을 포함하고,

상기 소스 전극, 상기 드레인 전극 및 상기 발광 소자의 전극 중 적어도 어느 하나는 상기 콘택트 내 배선의 다른쪽 말단과 전기적으로 접속되도록 형성되는 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 반도체 소자와, 이 반도체 소자의 구동에 따라 발광하는 발광 소자를 구비한 표시 장치 및 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 장치는 반도체 소자와, 이 반도체 소자의 구동에 따라 발광하는 발광 소자를 포함하여 구성되며, 발광 소자의 발광을 제어함으로써 소정의 화상 정보를 표시한다. 발광 소자로서, 예를 들면 유기 전계 발광(Electro Luminescence: 이하, EL이라고 함) 소자를 사용한 표시 장치의 실용화가 진행되고 있다(예를 들면, 특허문헌 1 참조). 유기 EL 소자를 사용한 표시 장치에서는, 유기 EL 소자와 이 유기 EL 소자를 구동하는 트랜지스터(반도체 소자) 등에 의해 각 화소를 구성하고 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 제2005-346055호 공보

발명의 내용

해결하려는 과제

[0004] 유기 EL 소자는 전압 구동 소자인 액정 표시 소자와는 달리, 전원선으로부터 공급되는 전류에 따라 발광하는 전류 구동 소자이기 때문에, 다수의 유기 EL 소자가 집적되는 표시 장치에서는 유기 EL 소자와 전원을 접속하는 전원선 등의 배선에 매우 큰 구동 전류를 흘릴 필요가 있다. 구동 전류를 흘리는 배선의 저항값이 크면 전압 강하가 커지기 때문에 구동 전압을 높일 필요가 있으며, 결과로서 표시 장치의 소비 전력이 증가한다는 문제점이 발생한다. 따라서, 종래에는 전원에 접속하는 배선이나 각 소자에서의 전극 등의 폭을 넓게 하고, 두께를 매우 두껍게 함으로써 전원으로부터 유기 EL 소자까지의 전류 경로에서의 저항값 감소를 도모하였다.

[0005] 그러나, 배선이나 전극 등의 후막화(厚膜化)를 도모한 경우, 이 후막화에 기인하여 배선이나 전극 등의 상층에 형성된 층의 상면에 큰 요철이 발생하게 된다. 따라서, 일반적으로 트랜지스터 소자가 형성되는 기판과는 반대 측으로부터 빛을 취출하는 탑 에미션형이라고 불리는 유기 EL 소자의 발광층은, 큰 요철이 발생한 층의 상면에 형성되게 된다. 상기 탑 에미션형의 유기 EL 소자의 발광층은, 배선이나 전극 등이 형성된 층보다 상층에 예를 들면 용액 도포 공정이나 진공 증착법 등의 성막 기술을 이용하여 형성된다. 그 결과, 종래에는 용액 도포 공정에 의한 유기 EL 소자의 성막 기술을 이용한 경우, 진공 증착법에 비해 현저하게 요철의 영향을 받아 유기 EL 소자의 발광층이 동일한 화소 내임에도 불구하고, 불균일한 막 두께로 형성되게 된다. 발광층의 막 두께가 불균일하면, 가령 동일한 화소 내에서도 막 두께 분포의 영향을 받아 유기 EL 소자의 발광 특성이 크게 상이해진다. 그 때문에, 동일한 구동 전류에 대한 화소 내의 발광 휘도가 불균일해지고, 결과로서 표시 장치의 성능 열화가 발생한다는 문제점이 있었다.

[0006] 따라서, 본 발명은 상기한 문제점을 감안하여 이루어진 것이며, 배선 저항에 의한 전압 강하를 작게 억제함과 동시에, 동일한 화소 내에서의 소자 막 두께의 평탄성을 향상시키고, 동일한 화소 내의 발광 특성의 변동을 감소시키는 것이 가능한 표시 장치 및 표시 장치의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0007] 상술한 과제를 해결하여 목적을 달성하기 위해, 본 발명에 따르면,
- [0008] [1] 게이트 전극, 소스 전극, 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 사이에 형성된 반도체막을 포함하는 반도체 소자와, 전극을 포함하며 상기 반도체 소자에 전기적으로 접속된 발광 소자와, 상기 반도체 소자 및 상기 발광 소자가 설치되는 기판과, 전원에 접속됨과 동시에, 상기 기판의 두께 방향으로부터 보았을 때 상기 발광 소자가 설치되는 영역을 내포하도록 상기 반도체 소자 및 상기 발광 소자와 상기 기판 사이에 형성된 배선층과, 상기 반도체 소자 및 상기 발광 소자와 상기 배선층 사이에 설치되며, 콘택트홀이 형성된 층간 절연막과, 상기 콘택트홀 내에 형성되며, 상기 소스 전극, 상기 드레인 전극 및 상기 발광 소자의 상기 전극 중 적어도 어느 하나와 상기 배선층을 전기적으로 접속하는 콘택트 내 배선을 구비한 것을 특징으로 하는 표시 장치,
- [0009] [2] 상기 [1]에 있어서, 상기 배선층은 금속 재료 또는 산화물 도전 재료로 구성되는 표시 장치,
- [0010] [3] 상기 [1] 또는 [2]에 있어서, 상기 반도체막은 무기 산화물 반도체 재료로 구성되어 있는 표시 장치,
- [0011] [4] 상기 [1] 또는 [2]에 있어서, 상기 반도체막은 유기 반도체 재료로 구성되는 표시 장치,
- [0012] [5] 상기 [1] 내지 [4] 중 어느 하나에 있어서, 상기 발광 소자는 유기 전계 발광 소자인 표시 장치,
- [0013] [6] 상기 [1] 내지 [5] 중 어느 하나에 있어서, 상기 기판의 두께 방향으로부터 보았을 때, 상기 배선층은 상기 발광 소자가 설치되는 영역의 전체 둘레로부터 상기 영역의 외측으로 돌출된 돌출 영역을 갖는 표시 장치,
- [0014] [7] 게이트 전극, 소스 전극, 드레인 전극, 상기 소스 전극 및 상기 드레인 전극 사이에 형성된 반도체막을 포함하는 반도체 소자와, 전극을 가지며 상기 반도체 소자에 전기적으로 접속된 발광 소자와, 상기 반도체 소자 및 상기 발광 소자가 설치되는 기판을 구비한 표시 장치의 제조 방법으로서, 전원에 접속됨과 동시에, 상기 기판의 두께 방향으로부터 보았을 때 상기 발광 소자가 설치되는 영역을 내포하도록 상기 배선층을 상기 기판 위에 형성하는 배선층 형성 공정과, 상기 배선층을 기준으로 하여 상기 기판측과 반대측에 층간 절연막을 형성하는 층간 절연막 형성 공정과, 상기 층간 절연막을 관통하며, 한쪽 말단이 상기 배선층에 전기적으로 접속된 콘택트 내 배선을 형성하는 콘택트 내 배선 형성 공정과, 상기 층간 절연막을 기준으로 하여 상기 기판측과 반대측에 상기 소스 전극과 상기 드레인 전극을 형성하는 전극 형성 공정과, 복수의 상기 발광 소자를 형성하는 발광 소자 형성 공정을 포함하고, 상기 소스 전극, 상기 드레인 전극 및 상기 발광 소자의 전극 중 적어도 어느 하나는 상기 콘택트 내 배선의 다른쪽 말단과 전기적으로 접속되도록 형성되는 표시 장치의 제조 방법
- [0015] 이 제공된다.

발명의 효과

- [0016] 본 발명은, 전원과 접속하는 평탄한 배선층 위에 게이트 전극, 소스 전극 및 드레인 전극을 형성함으로써 유기 EL 소자가 형성되는 층의 표면의 요철을 감소시키는 것이 가능해지기 때문에, 이 층 위에 형성되는 유기 EL 소자의 발광층이 불균일한 막 두께가 되는 것을 감소시킬 수 있다. 이에 따라, 장치 전체 및 동일한 화소 내의 발광 특성의 변동을 감소시킬 수 있으며, 결과로서 성능을 향상시킬 수 있는 표시 장치 및 표시 장치의 제조 방법을 실현하는 것이 가능해진다.

도면의 간단한 설명

- [0017] 도 1은, 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치의 블록도의 일례를 나타낸 도면이다.
- 도 2는, 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치의 한 화소에 대응하는 회로도이다.
- 도 3은, 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치의 한 화소를 구성하는 각 소자의 단면을 나타낸 도면이다.
- 도 4-1은, 도 3에 나타난 기판 및 배선층의 레이아웃도이다.
- 도 4-2는, 도 4-1에 나타난 배선층의 레이아웃에서의 전류의 개략적인 경로를 설명하기 위한 개념도이다.
- 도 5는, 종래의 유기 EL 표시 장치에서의 구동 신호선의 배선 구조를 개략적으로 나타낸 도면이다.
- 도 6은, 종래의 유기 EL 표시 장치에서의 화소의 구동 트랜지스터와 유기 EL 소자의 단면도이다.
- 도 7-1은, 도 3에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 7-2는, 도 3에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 7-3은, 도 3에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 7-4는, 도 3에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 7-5는, 도 3에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 7-6은, 도 3에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 7-7은, 도 3에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 8은, 본 발명의 실시 형태 1에 따른 유기 EL 표시 장치의 한 화소를 구성하는 각 소자의 단면의 다른 예를 나타낸 도면이다.

도 9-1은, 도 8에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 9-2는, 도 8에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 9-3은, 도 8에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 9-4는, 도 8에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 9-5는, 도 8에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 9-6은, 도 8에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 10은, 본 발명의 다른 실시 형태에 따른 유기 EL 표시 장치의 한 화소를 구성하는 각 소자의 단면을 나타낸 도면이다.

도 11-1은, 도 10에 나타난 기관 및 배선층의 레이아웃도이다.

도 11-2는, 도 11-1에 나타난 배선층의 레이아웃에서의 전류의 개략적인 경로를 설명하기 위한 개념도이다.

도 11-3은, 도 11-1에 나타난 A-A 단면의 층 구조를 설명하기 위한 개략적인 도면이다.

도 12-1은, 도 10에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 12-2는, 도 10에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 12-3은, 도 10에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 12-4는, 도 10에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 12-5는, 도 10에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 12-6은, 도 10에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 13은, 본 발명의 다른 실시 형태에 따른 유기 EL 표시 장치의 한 화소를 구성하는 각 소자의 단면의 다른 예를 나타낸 도면이다.

도 14-1은, 도 13에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 14-2는, 도 13에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 14-3은, 도 13에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 14-4는, 도 13에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 14-5는, 도 13에 나타난 화소의 제조 방법을 나타낸 단면도이다.

도 15는, 시뮬레이션에 적용한 기관 및 배선층의 레이아웃의 개략적인 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018]

이하, 본 발명의 실시 형태에 대하여 도면을 참조하여 설명한다. 또한, 이 실시 형태에 의해 본 발명이 한정되는 것은 아니다. 도면의 기재에서는, 동일한 부분에 동일한 부호를 부여하였다. 또한, 도면은 모식적인 것이며, 각 층의 두께와 폭의 관계, 각 층의 비율 등은 현실의 것과는 상이하다는 것에 유의할 필요가 있다. 도면

의 상호간에서도 서로 치수의 관계나 비율이 상이한 부분이 포함되어 있다.

[0019] (실시 형태 1)

[0020] 우선, 실시 형태 1에 대하여 설명한다. 도 1은, 본 실시 형태 1에 따른 유기 EL 표시 장치의 블록도의 일례를 나타낸 도면이다. 도 1에 나타낸 바와 같이, 실시 형태 1에 따른 유기 EL 표시 장치는 디스플레이 패널 (603), 및 이에 접속되는 주사 구동부 (604), 데이터 구동부 (605), 구동 전압 생성부 (607) 및 이들을 제어하는 신호 제어부 (606)을 갖는다. 디스플레이 패널 (603)은 주사 구동부 (604)에 접속되며, 각 주사 신호 (V_g)를 전달하는 주사 신호선 (G_1), (G_2), (G_3), $\dots$, (G_n), 및 데이터 구동부 (605)에 접속되며, 각 데이터 신호 (V_d)를 전달하는 데이터 신호선 (D_1), (D_2), (D_3), $\dots$, (D_m) 등의 복수의 신호선에 접속되어 있다. 각 주사 신호선 (G_1) 내지 (G_n)은 대략 행 방향으로 연신하고 있으며, 각 데이터 신호선 (D_1) 내지 (D_m)은 대략 열 방향으로 연신하고 있다. 디스플레이 패널 (603)은, 주사 신호선 (G_1) 내지 (G_n) 및 각 데이터 신호선 (D_1) 내지 (D_m)에 각각 접속되도록 행렬상으로 배열된 복수의 화소 (PX)를 구비한다.

[0021] 도 2는, 본 실시 형태 1에 따른 유기 EL 표시 장치의 한 화소에 대응하는 회로도이다. 도 2에 나타낸 바와 같이, 디스플레이 패널 (603)은 구동 전압 생성부 (607)로부터 출력되는 구동 전압 신호 (V_p)를 전달하는 신호선 ($L3$)을 추가로 포함한다. 이 신호선 ($L3$)은, 전류를 공급하는 전원선으로서 기능한다. 또한, 도 2에 나타낸 바와 같이, 각 화소는 반도체 소자에 상당하는 스위칭 트랜지스터 (21), 구동 트랜지스터 (22), 캐패시터 (23) 및 발광 소자에 상당하는 유기 EL 소자 (24)를 갖는다. 또한, 도 2에 나타낸 신호선 ($L1$)은 이 화소의 데이터 신호선에 대응하고, 신호선 ($L2$)는 이 화소의 주사 신호선에 대응한다.

[0022] 스위칭 트랜지스터 (21)의 입력 단자는 신호선 ($L1$)에 접속되며, 제어 단자는 신호선 ($L2$)에 접속되어 있고, 출력 단자는 구동 트랜지스터 (22)의 제어 단자 (Ng)에 접속되어 있다. 스위칭 트랜지스터 (21)은, 주사 신호선인 신호선 ($L2$)에 인가되는 주사 신호 (V_g)에 따라, 데이터선인 ($L1$)에 인가되어 있는 데이터 신호 (V_d)를 구동 트랜지스터 (22)에 출력한다.

[0023] 구동 트랜지스터 (22)의 제어 단자 (Ng)는 스위칭 트랜지스터 (21)에 접속되어 있으며, 출력 단자 (Nd)는 유기 EL 소자 (24)에 접속되어 있다. 구동 트랜지스터 (22)의 입력 단자 (Ns)는 신호선 ($L3$)에 접속되어 있다. 구동 트랜지스터 (22)는, 제어 단자 (Ng)와 입력 단자 (Ns) 사이에 가해지는 전압 (V_{gs})의 크기에 따라 크기가 제어되는 출력 전류 (I)를 유기 EL 소자 (24)에 공급한다. 이 출력 전류 (I)는, 전원선으로서 기능하는 신호선 ($L3$)으로부터 입력 단자 (Ns)를 통해 공급된 것이다.

[0024] 캐패시터 (23)은 구동 트랜지스터 (22)의 제어 단자 (Ng)와 입력 단자 (Ns) 사이에 설치되어 있으며, 구동 트랜지스터 (22)의 제어 단자 (Ng)에 인가되는 데이터 신호 (V_d)를 충전하여 일정한 기간 동안 유지한다.

[0025] 유기 EL 소자 (24)의 캐소드 전극은 공통 전압 (V_{com})에 접속되어 있으며, 애노드 전극은 구동 트랜지스터 (22)의 출력 단자 (Nd)에 접속되어 있다. 유기 EL 소자 (24)는, 구동 트랜지스터 (22)의 구동에 의해 출력 전류 (I)에 따른 휘도로 발광한다.

[0026] 이어서, 본 실시 형태 1에 따른 유기 EL 표시 장치의 한 화소당 구조에 대하여 설명한다. 도 3은, 본 실시 형태 1에 따른 유기 EL 표시 장치의 한 화소를 구성하는 각 소자의 단면을 나타낸 도면이다.

[0027] 도 3에 나타낸 바와 같이, 본 실시 형태 1에 따른 유기 EL 표시 장치의 화소 (100)은, 유리, 플라스틱 등의 기판 (1) 위에 스위칭 트랜지스터 (21), 구동 트랜지스터 (22), 캐패시터 (23) 및 유기 EL 소자 (24)가 형성된다.

[0028] 스위칭 트랜지스터 (21)은 제어 단자로서 기능하는 게이트 전극 (5a)와, 입력 단자로서 기능하는 소스 전극 (8a)와, 출력 단자로서 기능하는 드레인 전극 (8b)와, 소스 전극 (8a) 및 드레인 전극 (8b) 사이에 형성되어 채널층으로서 기능하는 반도체막 (9a)를 갖는다. 게이트 전극 (5a)는 도시하지 않은 영역에서 신호선 ($L2$)에 접속되며, 소스 전극 (8a)는 도시하지 않은 영역에서 신호선 ($L1$)에 접속된다. 게이트 전극 (5a)와 소스 전극 (8a), 드레인 전극 (8b) 및 반도체막 (9a) 사이에는, 게이트 절연막 (6)이 형성된다.

[0029] 구동 트랜지스터 (22)는 제어 단자 (Ng)로서 기능하는 게이트 전극 (5b)와, 입력 단자 (Ns)로서 기능하는 소스 전극 (8d)와, 출력 단자 (Nd)로서 기능하는 드레인 전극 (8c)와, 소스 전극 (8d) 및 드레인 전극 (8c) 사이에 형성되어 채널층으로서 기능하는 반도체막 (9b)를 갖는다. 게이트 전극 (5b)는, 콘택트 내 배선 (7a)를 통해 스위칭 트랜지스터 (21)의 드레인 전극 (8b)와 접속된다. 게이트 전극 (5b)와 소스 전극 (8d), 드레인 전극 (8c) 및 반도체막 (9b) 사이에는, 게이트 절연막 (6)이 형성된다. 또한, 콘택트 내 배선 (7a)는 게이트 전극

(5a), (5b)(제1 게이트 전극 (5a), 제2 게이트 전극 (5b))와, 소스 전극 (8a), (8d)(제1 소스 전극 (8a), 제2 소스 전극 (8b)) 및 드레인 전극 (8b), (8c)(제1 드레인 전극 (8a), 제2 드레인 전극 (8c)) 사이의 게이트 절연막 (6)에 설치된다. 또한, 콘택트 내 배선 (7a)는 도 2에 나타난 포인트 (P3)에 대응한다.

[0030] 유기 EL 소자 (24)는, 구동 트랜지스터 (22)의 드레인 전극 (8c)와 콘택트 내 배선 (11)을 통해 접속되는 애노드 전극 (12)와, 애노드 전극 (12) 위에 형성되는 유기막 (13)과, 유기막 (13) 위에 형성된 캐소드 전극 (14)를 구비한다. 또한, 유기막 (13)은 적어도 유기 발광층을 포함하여 구성되며, 애노드 전극 (12)로부터 공급된 전류량에 따른 휘도로 발광한다. 또한, 애노드 전극 (12)와 캐소드 전극 (14) 사이에는, 필요에 따라 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층 및 정공 장벽층 등을 설치할 수도 있다. 콘택트 내 배선 (11)은, 소스 전극 (8a), (8d), 드레인 전극 (8b), (8c) 및 반도체막 (9a), (9b)(제1 반도체막 (9a), 제2 반도체막 (9b))와 유기 EL 소자 (24)의 애노드 전극 (12) 사이에 형성된 층간 절연막 (10)에 설치된다. 이 층간 절연막 (10)은, 예를 들면 트랜지스터의 반도체를 보호하는 반도체 보호막과, 평탄화를 위해 형성되는 평탄화막에 의해 구성된다. 층간 절연막 (10)과 캐소드 전극 (14) 사이에는, 유기 EL 소자 (24)가 형성되는 영역에만 개구부가 설치된 층간막 (15)이 적층된다. 또한, 콘택트 내 배선 (11)은 도 2에 나타난 포인트 (P4)에 대응한다.

[0031] 캐소드 전극 (14)는 투명막 또는 반투명막으로 형성된다. 캐소드 전극 (14) 위에는, 투명막 또는 반투명막으로 형성된 보호막 (16) 및 투명 또는 반투명한 상부 기관 (17)이 설치되어 있다. 유기막 (13)으로부터 발생한 빛은, 캐소드 전극 (14), 보호막 (16) 및 상부 기관 (17)을 순차적으로 투과하여 외부로 출력된다. 따라서, 이 유기 EL 소자 (24)는 소위 톱 에미션형이다.

[0032] 기관 (1)의 바로 위에는 배선층 (2)가 형성되어 있다. 즉, 배선층 (2)는 스위칭 트랜지스터 (21), 구동 트랜지스터 (22) 및 유기 EL 소자 (24)와 기관 (1) 사이에 설치된다. 이 배선층 (2)는 도전성 재료로 구성되며, 전원에 접속된다. 또한, 이 배선층 (2)에는 콘택트홀이 형성되어 있으며, 이 콘택트홀 내에 콘택트 내 배선이 형성된다. 도 4-1의 기관 (1) 및 배선층 (2)의 레이아웃도에 나타난 바와 같이, 배선층 (2)는 기관 (1)의 두께 방향으로부터 보았을 때 유기 EL 소자 (24)가 행렬상으로 배열되어 설치되는 영역(이것을 표시 영역으로 함) (100a)를 내포하는 상태에서 이 표시 영역 (100a)와 중첩되도록 존재한다. 즉, 두께 방향으로부터 본 배선층 (2)의 면적은 두께 방향으로부터 본 표시 영역 (100a)의 면적보다 대면적이다. 배선층 (2)는, 기관 (1)의 두께 방향으로부터 보았을 때 발광 소자(본 실시 형태에서는 유기 EL 소자 (24))가 설치되는 영역(표시 영역 (100a))의 전체 둘레로부터 상기 영역(표시 영역 (100a))의 외측으로 돌출된 돌출 영역 (100b)를 갖는다. 따라서, 배선층 (2)에서의 표시 영역 (100a)와 중첩된 영역의 외측에는, 이 중첩 영역으로부터 돌출된 돌출 영역 (100b)가 존재한다. 또한, 표시 영역 (100a)는 바꾸어 말하면, 예를 들면 적어도 최외주에 배치된 유기 EL 소자 (24)의 외측의 변을 연결함으로써 둘러싸인 영역이며, 전체적으로 영상을 표현하는 영역이다.

[0033] 본 실시 형태에서는, 도 4-2에 나타난 바와 같이 기관 (1)의 단부에 설치된 전원 단자 (2a)로부터 배선층 (2)에 유입된 전류 (i)가 배선층 (2)에서의 돌출 영역 (100b) 부분에 돌아서 유입된 후, 표시 영역 (100a) 내에 배열된 각 화소 (100)에 사방으로부터 유입되는 구성으로 되어 있다. 이와 같이 기관 (1)의 두께 방향에서 표시 영역 (100a)와 중첩되지 않는 돌출 영역 (100b)가 전원선의 주배선 부분으로서 기능하는 구성으로 함으로써, 본 실시 형태에서는 전원선을 구성하는 배선층 (2)에서 발생하는 전압 강하를 억제할 수 있다. 결과로서 유기 EL 표시 장치의 표시 품질을 향상시킬 수 있으며, 전원 마진을 삭감할 수 있기 때문에 소비 전력을 감소시키는 것이 가능해진다. 또한, 이 배선층 (2)는, 기관 (1)에서의 평탄한 소자 형성면인 상면의 바로 위에 형성되기 때문에, 거의 균일한 막 두께로 형성될 뿐만 아니라, 후막화하여도 상층으로의 영향이 거의 없다. 또한, 배선층 (2)는, 예를 들면 기관 (1)의 주연부의 절단 영역 및 밀봉 영역과 단자부를 제외한 영역, 즉 기관 (1)의 외연보다 내측의 영역에 형성된다. 또한, 도 4-1 또는 도 4-2에 나타난 바와 같이, 배선층 (2)와 전원(도시하지 않음)을 전기적으로 접속하기 위한 전원 단자 (2a)는, 예를 들면 기관 (1)의 외측 말단을 형성하는 4변 중 적어도 1개의 변에 다른 전극 단자 (2b)와 함께 배치할 수 있다.

[0034] 또한, 배선층 (2)는, 전원으로서 기능하는 구동 전압 생성부 (607)과 접속된 신호선 (L3)에 대응한다. 즉, 배선층 (2)는 전원과 접속하고, 구동 트랜지스터 (22)를 통해 유기 EL 소자 (24)에 전류를 공급하고 있다. 이 배선층 (2)는, 배선층 (2)의 바로 위의 층간 절연막 (3)에 형성된 콘택트 내 배선 (4), 게이트 전극 (5a), (5b)와 동일한 층에서 형성된 접속막이며, 콘택트 내 배선 (4)의 바로 위에 형성된 접속막 (5c), 및 접속막 (5c)의 바로 위에 형성된 게이트 절연막 (6) 내의 콘택트 내 배선 (7b)를 통해 구동 트랜지스터 (22)의 소스 전극 (8d)와 접속하고, 이 구동 트랜지스터 (22)를 통해 유기 EL 소자 (24)의 애노드 전극 (12)에 전류를 공급한다. 또한, 캐패시터 (23)은, 이 배선층 (2)의 일부 영역, 게이트 전극 (5b)의 일부 영역 및 층간 절연막 (3)의 일부 영역

에 의해 형성된다.

[0035] 여기서, 종래의 유기 EL 표시 장치에서의 구동 신호선의 배선 구조에 대하여 설명한다. 도 5는 종래의 유기 EL 표시 장치에서의 구동 신호선의 배선 구조를 개략적으로 나타낸 도면이며, 도 6은 종래의 유기 EL 표시 장치에서의 화소의 구동 트랜지스터와 유기 EL 소자의 단면도이다.

[0036] 종래의 유기 EL 표시 장치에서 구동 신호선은 주사 신호선 또는 데이터 신호선과 동일한 레이어에 형성되었으며, 도 5에 나타난 바와 같이, 예를 들면 기판 (K1)의 두께 방향으로부터 보았을 때 디스플레이 패널 (603)(도 1 참조)의 표시 영역 (K2)를 둘러싸도록 배치된 프레임상의 주배선 (Lvm)과, 주배선 (Lvm)에서의 행 방향으로 연장된 부분으로부터 열 방향으로 연장되고 분지되어 각 화소에 구동 전압 신호를 전달하는 복수의 분지 배선 (Lvb)에 의해 구성된다. 또한, 주배선 (Lvm)과 전원(도시하지 않음)을 전기적으로 접속하기 위한 전원 단자 (Ta)는, 예를 들면 기판 (K1)의 외측 말단을 형성하는 4번 중 적어도 1개의 변에 다른 전극 단자 (Tb)와 함께 배치할 수 있다. 이 레이아웃에서, 종래의 유기 EL 표시 장치에서는 주배선 (Lvm)에 접속된 각 분지 배선 (Lvb)에 각 화소의 구동 트랜지스터의 입력 단자가 접속되어 있었다.

[0037] 여기서, 유기 EL 소자는 전원선으로부터 공급되는 전류에 따라 발광하는 전류 구동 소자이기 때문에, 다수의 유기 EL 소자를 집적한 발광 장치에서는 유기 EL 소자에 전류를 공급하는 전원선에 매우 큰 전류를 흘릴 필요가 있다. 이로부터, 전원선을 구성하는 분지 배선 (Lvb)의 저저항화를 도모하기 위해 전원선 패턴의 면적 확대가 요망되고 있지만, 전원선 패턴에 사용할 수 있는 스페이스는 한정되어 있다. 그 때문에, 종래의 구성에서는 도 6에 나타난 바와 같이, 전원선에 접속하는 배선이나 구동 트랜지스터의 소스 전극 (108d)의 적어도 일부의 폭을 넓게 하고, 적어도 일부의 두께를 매우 두껍게 함으로써 전원선의 저저항화를 도모하였다. 구체적으로는, 종래의 구성에서 구동 트랜지스터의 소스 전극 (108d)의 막 두께 (T108)은, 예를 들면 1 μm 정도로 설정되어 있었다.

[0038] 그러나, 전원선에 접속하는 배선 및 구동 트랜지스터의 소스 전극 (108d)의 후막화를 도모한 경우에는, 배선 및 전극의 후막화에 의해 배선 및 전극의 상층에 큰 요철이 발생한다. 유기 EL 소자를 구성하는 유기막은 배선 및 전극의 후막화에 의해 큰 요철이 발생한 막 위에 도포되기 때문에, 유기 EL 소자의 유기막은 바탕막의 요철의 영향을 받아 불균일한 막 두께로 도포되게 된다. 그 결과, 발광 휘도의 불균일 등에 기인하는 특성 열화가 발생한다. 그 때문에, 종래에는 이 배선 및 전극의 후막화에 의해 발생하는 요철을 흡수하기 위해, 배선 및 전극 위에 형성되는 층간 절연막 (110)을 매우 두껍게 형성할 필요가 있었다. 구체적으로, 종래에는 층간 절연막 (110)을 5 내지 10 μm 의 매우 두꺼운 막 두께 (T110)으로 형성함으로써 요철을 흡수하였다. 또한, 종래의 구성에서는 층간 절연막 (110)의 막 두께가 매우 두껍기 때문에, 층간 절연막 (110)에 형성되는 콘택트홀의 깊이가 깊어진다. 깊이가 얇은 경우에는 애노드 전극 (12)를 형성하는 공정과 동일한 공정에서 전극과 함께 콘택트 내 배선 (111)을 형성할 수 있지만, 종래의 구성에서는 깊이가 깊기 때문에, 구동 트랜지스터의 드레인 전극 (108c)와 유기 EL 소자 (24)의 애노드 전극 (12)를 적절하게 접속하는 콘택트 내 배선 (111)을 형성하기 위해, 애노드 전극 (12)를 형성하는 공정과는 별도로 콘택트홀에 배선 재료를 매립하는 공정이 필요하였다.

[0039] 이에 비해, 본 실시 형태 1에서는, 적어도 유기 EL 소자 (24)가 형성되는 표시 영역 (100a) 전체를 덮도록 기판 (1)의 바로 위에 배선층 (2)를 형성하고 있기 때문에, 전원선 패턴의 면적을 최대한 확보할 수 있다. 따라서, 본 실시 형태 1에서는, 각 전극의 막 두께를 두껍게 하지 않고도 전원선에 접속되는 배선층 (2)의 저항을 충분히 저하시킬 수 있기 때문에, 도 3에 나타난 바와 같이 종래의 막 두께 (T108)(도 6 참조)보다 얇은 막 두께 (T8)로 소스 전극 (8d)를 형성한 경우에도 유기 EL 소자 (24)에 대한 전류 공급을 원활하게 행할 수 있다. 본 실시 형태에서의 소스 전극 및 드레인 전극의 막 두께는, 30 nm 내지 500 nm 정도이다. 또한, 소스 전극 및 드레인 전극은 Cr, Au, Pt, Pd, APC(Ag-Pd-Cu), Mo, MoO₃, PEDOT, ITO(인듐 주석 산화물), Ag, Cu, Al, Ti, Ni, Ir, Fe, W, MoW, 및 이들 중 금속의 합금, 및 이들의 적층막 등에 의해 구성되며, 바람직하게는 Mo나 Mo/Al/Mo, Ta/Cu/Ta의 적층막에 의해 구성된다.

[0040] 또한, 배선층 (2)는 기판 (1)에서의 평탄한 소자 형성면인 상면의 바로 위에 형성되기 때문에, 거의 균일한 막 두께로 형성된다. 이와 같이 관상의 배선층 (2)를 설치함으로써 종래의 선상 배선에 비해 전압 강하를 감소시킬 수 있기 때문에, 상술한 바와 같이 본 실시 형태 1에서는, 종래보다 얇은 막 두께로 소스 전극 (8d)를 형성할 수 있다. 그 때문에, 본 실시 형태 1에서는, 도 3에 나타난 바와 같이 종래의 막 두께 (T110)(도 6 참조)보다 얇은 막 두께 (T10)으로 형성한 경우에도, 배선 및 전극 위에 형성되는 층간 절연막 (10)을 종래와 동일한 정도나 또는 보다 평탄한 표면으로 할 수 있다. 그 결과, 본 실시 형태 1에서는, 이 층간 절연막 (10) 위에 형성되는 유기 EL 소자 (24)의 유기막 (13)을 보다 균일한 막 두께로 도포할 수 있다. 따라서, 본 실시 형태 1에

서는 유기 EL 소자 (24)의 유기막이 불균일한 막 두께로 형성되는 것을 감소시키고, 장치 전체 및 동일한 화소 내에서 보다 균일한 발광 휘도를 실현할 수 있다. 또한, 본 실시 형태 1에서는 중간 절연막 (10)의 막 두께가 종래보다 얇기 때문에, 중간 절연막 (10)에 설치되는 콘택트 내 배선 (11)이 형성되는 콘택트홀도 습식 공정으로 정확하게 개구할 수 있으며, 구동 트랜지스터 (22)의 드레인 전극 (8c)와 유기 EL 소자 (24)의 애노드 전극 (12)의 접속 불량도 방지할 수 있다. 또한, 중간 절연막 (3)에 형성된 콘택트 내 배선 (4), 접속막 (5c) 및 게이트 절연막 (6)에 형성된 콘택트 내 배선 (7b)와 같이, 배선층 (2)와 구동 트랜지스터 (22)의 소스 전극 (8d) 사이에 필요에 따라 콘택트 내 배선이나 접속층을 설치함으로써, 배선층 (2)와 구동 트랜지스터 (22)의 소스 전극 (8d)를 적절하게 접속할 수 있다.

[0041] 또한, 종래의 구성에서는, 도 5에 나타난 주배선 (Lvm)으로부터 분지된 각 분지 배선 (Lvb)는 라인 패턴으로 형성되기 때문에, 배선 저항에 의한 전압 강하가 발생하는 경우가 있었다. 따라서, 종래의 구성에서는 소비 전력에 비례하여 유기 EL 소자 (24)에 인가되는 전압에 큰 변동이 발생하는 경우가 있었기 때문에, 이 전압의 변동에 의한 휘도 변동을 보정하기 위해, 전압 강하에 의한 변동분을 추가한 전압을 전원 전압으로서 주배선 (Lvm)에 인가하여 드레인-소스간 전압을 보상한다는 점에서, 표시 장치 전체의 소비 전력을 억제하는 것이 곤란하였다.

[0042] 이에 비해, 본 실시 형태 1에서는, 전원과 접속하는 배선층 (2)를 기관 (1)의 상면에서의 적어도 유기 EL 소자 (24)가 형성되는 표시 영역 (100a)를 중첩하고, 돌출되도록 형성하기 때문에 전원 전압 강하가 종래보다 작다. 따라서, 본 실시 형태 1에서는, 전압 강하에 의한 변동분으로서 전원 전압에 추가하는 전압값 자체를 종래보다 작게 할 수 있기 때문에, 종래보다 표시 장치 전체의 소비 전력을 감소시키는 것이 가능해진다.

[0043] 또한, 종래의 구성에서는 디스플레이 패널에서 발생한 열에 의해 각 화소를 구성하는 재료가 열화되는 것을 방지하기 위해, 디스플레이 패널에 열 확산용의 시트 부재를 별도로 부착하여 디스플레이 패널에서 발생한 열을 확산시켰다.

[0044] 이에 비해, 본 실시 형태 1에서는 배선층 (2)를 통해 디스플레이 패널 전체에 열이 확산된다. 따라서, 열 확산용의 시트 부재와 조합함으로써 보다 높은 열 확산 효과와 방열 효과를 기대할 수 있기 때문에, 각 화소의 구성 재료의 열화를 억제하고, 표시 장치의 장기간 신뢰성을 향상시킬 수 있다.

[0045] 또한, 본 실시 형태 1에서는 기관 (1)의 바로 위에 면상(평판상)으로 배선층 (2)를 형성하기 때문에, 분지 배선 (Lvb) 자체가 불필요해져서, 이 분지 배선 (Lvb)의 형성을 위한 배선 면적을 확보하지 않을 수도 있다는 점에서 이 배선 면적만큼 개구율을 크게 할 수 있다. 또한, 본 실시 형태 1에서는 분지 배선 (Lvb) 자체가 불필요하기 때문에, 보다 고정밀화가 가능해진다. 또한, 본 실시 형태 1에서 캐패시터 (23)의 한쪽 전극은 기관 (1) 위에 형성된 면상의 배선층 (2)의 일부에 의해 구성되기 때문에, 캐패시터 (23)의 다른쪽 전극은 배선층 (2) 위의 층간 절연막 (3) 위이면 어떠한 영역이나 형성할 수 있다. 따라서, 본 실시 형태 1에서는, 캐패시터 (23)의 형성 영역을 유연하게 선택하는 것이 가능해진다.

[0046] (시뮬레이션)

[0047] 배선층이 평판상이며, 돌출 영역을 갖는다는 효과를 확인하기 위해 행한 시뮬레이션 및 그 결과에 대하여 도 15를 참조하여 설명한다. 도 15는 시뮬레이션에 적용한 기관 및 배선층의 레이아웃의 개략도이다.

[0048] 모델 (I) 내지 모델 (III)의 3개의 형태의 배선층을 상정한 등가 회로에 대하여 시뮬레이션을 행하였다. 모델 (I)은, 도 5를 참조하여 설명한 스트라이프상의 분지 배선을 구비하는 종래의 배선층이다. 모델 (II)는 평판상이며, 돌출 영역이 없는 배선층이다. 도 15에 나타난 바와 같이 모델 (III)은 평판상이며, 돌출 영역 (100b)를 갖는 배선층 (2)이다.

[0049] 여기서, 배선층의 재료를 알루미늄으로 하고, 그 막 두께를 350 nm 내지 400 nm로 상정하고, 시트 저항을 0.065 $\Omega/\square$ 로 가정하였다. 돌출 영역의 연장 방향에 직교하는 방향의 폭 (W)는 462 μm 로 하였다.

[0050] 또한, 평판상의 배선층의 등가 회로로서 배선층 전면에 메쉬상으로 확대되는 평형 브릿지 회로를 사용하였다. 평형 브릿지 회로를 구성함으로써, 2차원적으로 확대되는 평판상의 배선층을 모의할 수 있다.

[0051] 한편, 도 5를 참조하여 설명한 종래의 배선층의 분지 배선 (Lvb)의 등가 회로로서는 직렬 저항을 이용하였다. 또한, 인접하여 배치되는 분지 배선 (Lvb)끼리는 주배선 (Lvm)(도 5 참조)을 통해 전기적으로 접속하였다. 종래 배선층의 주배선 (Lvm)의 등가 회로로서는 저항을 이용하였으며, 인접하는 분지 배선 (Lvb)의 한쪽 말단끼리 및 다른쪽 말단끼리의 사이에 주배선 (Lvm)으로서의 저항을 각각 배치하였다.

[0052] 발광 소자에 흐르는 전류는 이 발광 소자를 구동하는 트랜지스터에 흐르는 전류와 동일하기 때문에, 발광 소자가 발광하고 있는 상태를 모의하기 위해, 발광 소자를 트랜지스터로 대체하여 공통 전압 (Vcom)과 구동 전압 신호 (Vp) 사이에 트랜지스터를 배치한 회로를 구성하였다(도 2 참조). 표시 영역 (100a)를 대각의 길이가 40인 치인 사각형상으로 하고, 이 표시 영역 (100a) 내에 트랜지스터를 바둑판의 눈금상으로 25(5행×5열)개 배치하였다(도시하지 않음).

[0053] 평판상의 배선층에 전력을 공급하기 위한 전원 단자 (2c)는, 사각형상의 배선층의 4 모서리 중 1 모서리의 근방에 배치하였다.

[0054] 모델 (I) 내지 모델 (III)의 배선층을 각각 상정한 등가 회로에서, 전원 단자 (2c)에 10 V의 전압을 인가했을 때의 동작에 대하여 시뮬레이션을 행하였다. 5개의 모니터 영역(제1 모니터 영역 (2d1), 제2 모니터 영역 (2d2), 제3 모니터 영역 (2d3), 제4 모니터 영역 (2d4) 및 제5 모니터 영역 (2d5)) 각각에 대하여 전압을 산출하였다. 도 15에서는, 제1 내지 제5 모니터 영역 (2d1) 내지 (2d5)를 각각 파선으로 둘러싸인 영역으로서 나타낸다. 결과를 표 1에 나타낸다.

표 1

	모델 (I) [단위: V]	모델 (II) [단위: V]	모델 (III) [단위: V]
제1 모니터 영역	9.6356	9.9624	9.9737
제2 모니터 영역	9.7488	9.9567	9.9691
제3 모니터 영역	9.8056	9.9995	9.9995
제4 모니터 영역	9.7741	9.9601	9.9725
제5 모니터 영역	9.7620	9.9601	9.9725

[0055]

[0056] 표 1로부터 분명한 바와 같이, 모델 (II), 모델 (III)이 종래의 스트라이프상의 배선층의 모델 (I)보다 전압 강하가 작다는 것이 확인되었다. 또한, 돌출 영역을 갖는 모델 (III)에서는, 돌출 영역이 없는 모델 (II)에 비해 전압 강하가 더욱 작아진다는 것이 확인되었다.

[0057] 발광 소자의 휘도는 발광 소자에 흐르는 전류량에 따라 결정되지만, 이 전류량은 발광 소자를 구동하는 트랜지스터의 게이트/소스 전극간 전압(Vgs라고 하는 경우가 있음)에 크게 의존한다. 표 1로부터 알 수 있는 바와 같이, 트랜지스터의 소스 전극에 인가되는 전압은 배선층에서 발생하는 전압 강하 때문에 트랜지스터가 배치되는 위치에 따라 상이하며, 결과로서 배선층에서 발생하는 전압 강하가 발광 소자의 휘도에 영향을 준다.

[0058] 낮은 구동 전압으로 다계조의 휘도를 표현하는 경우에는, 각 계조간에서의 Vgs의 차가 매우 작아지기 때문에 Vgs를 고정밀도로 제어할 필요가 있지만, 트랜지스터가 배치되는 위치에 따라 소스 전극에 인가되는 전압이 상이하면 Vgs의 고정밀도의 제어가 곤란해진다. 그러나, 본 실시 형태와 같이 돌출 영역을 설치함으로써 구동시의 배선층에서 발생하는 전압 강하를 억제하고, 각 트랜지스터의 소스 전극에 인가되는 전압을 거의 일정하게 할 수 있기 때문에, 이에 따라 낮은 구동 전압으로 다계조의 휘도를 표현하는 것이 가능한 회로를 비교적 용이하게 실현할 수 있다.

[0059] 돌출 영역의 폭 (W)를 보다 넓게 함으로써 배선층에서 발생하는 전압 강하를 보다 작게 할 수 있기 때문에, 돌출 영역의 폭은 1 μ m 이상이 바람직하고, 50 μ m 이상이 더욱 바람직하다. 또한, 돌출 영역의 폭에 상한은 없지만, 소형화의 관점에서 허용되는 범위 내로 설정된다.

[0060] 또한, 배선층의 돌출 영역의 막 두께는, 배선층의 표시 영역(발광 소자가 설치되는 영역)의 막 두께보다 두껍게 하는 것이 바람직하다. 이와 같이 배선층의 돌출 영역을 표시 영역보다 후막으로 함으로써 돌출 영역 부분의 배선층을 표시 영역 부분의 배선층보다 저저항화할 수 있으며, 표시 영역을 둘러싼 돌출 영역의 배선층을 등전압화할 수 있다. 이에 따라, 적극적으로 돌출 영역을 통과하여 소자에 전류를 흘릴 수 있으며, 전원 단자와, 이 전극 단자로부터 비교적 이격된 위치에 배치되는 트랜지스터의 소스 전극 사이에서 발생하는 전압 강하를 억제할 수 있다.

[0061] 이어서, 도 3에 나타난 화소 (100)의 제조 방법에 대하여 설명한다. 도 7-1 내지 도 7-7은, 도 3에 나타난 화

소 (100)의 제조 방법을 나타내는 단면도이다. 우선, 도 7-1에 나타난 바와 같이 기판 (1)의 두께 방향과 수직인 면이며, 한쪽 주면(이것을 상면으로 함) 위의 영역이고, 예를 들면 기판 (1)의 외면보다 내측의 영역에 배선층 (2)를 형성한다. 기판 (1)은 유리, 플라스틱 등의 절연 기판일 수 있다. 기판 (1)은 유연성이 있고, 크게 변형시키는 것이 가능한 소위 플렉시블 기판일 수도 있다. 또한, 화소 (100)은 톱 에미션형이기 때문에, 기판 (1)은 반드시 투명할 필요는 없다. 또한, 배선층 (2)는, 예를 들면 Cr, Ag, Au, Ti, Mo, Al, Cu 등의 금속 재료나, ITO, IZO 등의 투명 산화물 도전 재료 등의 도전성이 높은 재료에 의해 형성된다. 배선층 (2)는, 진공 증착법, 스퍼터법, 도포법, 인쇄법, 마스크 증착법, 잉크젯 프린트법 등 재료에 따른 방법을 이용하여 형성되며, 필요에 따라 포토리소그래피법(본 명세서에서, "포토리소그래피법"에는 에칭 공정과 같은 패터닝 공정이 포함되는 경우가 있음)을 이용하여 배선 패턴이 형성된다.

[0062] 이어서, 이 배선층 (2)의 바로 위에 막 두께가 500 nm 내지 2 μ m 정도인 층간 절연막 (3)을 형성한다. 층간 절연막 (3)은, 예를 들면 스핀온글라스(SOG: Spin On Glass), 포토레지스트, 폴리이미드, SiN_x, SiO₂ 등에 의해 형성되며, 스핀 코팅법, 스퍼터법, 및 CVD(Chemical vapor deposition)법 등에 의해 형성된다. 이어서, 도 7-2에 나타난 바와 같이, 접속막 (5c)에 대응하는 위치에 포토리소그래피법을 이용하여 콘택트홀 (4a)를 형성한다. 이 때, 기판 (1) 단부에서의 전극 단자 (2b)와 다른 신호선간용의 콘택트홀도 형성할 수 있다.

[0063] 또한, 콘택트홀 (4a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (4)를 형성한다. 이어서, 게이트 전극 (5a), (5b) 및 접속막 (5c)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 층간 절연막 (3) 및 콘택트 내 배선 (4) 위에 형성한 후, 도 7-3에 나타난 바와 같이 포토리소그래피법을 이용하여 게이트 전극 (5a), (5b) 및 접속막 (5c)를 패터닝한다. 또한, 도전성 재료의 매립 처리를 행하지 않아도, 직접적으로 콘택트홀 (4a) 내와 게이트 전극 (5a), (5b) 및 접속막 (5c) 형성 영역에 상기 방법을 이용하여 금속 재료나 투명 산화물 도전 재료 등을 전면으로 형성한 후, 포토리소그래피법에 의해 패터닝함으로써 콘택트 내 배선 (4)와 게이트 전극 (5a), (5b) 및 접속막 (5c)를 일괄적으로 형성할 수도 있다. 또한, 잉크젯 프린트법, 인쇄법 등을 이용하여 콘택트 내 배선 (4)와 게이트 전극 (5a), (5b) 및 접속막 (5c)를 형성할 수도 있다. 또한, 이 공정에서 기판 (1) 단부에서의 전극 단자 (2b)와 다른 신호선간을 접속하기 위한 콘택트 내 배선도 형성할 수 있다.

[0064] 이어서, 도 7-4에 나타난 바와 같이, 유기 감광성 수지 등을 재료로서 게이트 절연막 (6)을 형성한다. 이 게이트 절연막 (6)은, 각 트랜지스터의 구동 능력을 확보하기 위해 바람직하게는 유전율이 1.5 이상이며, 500 nm 이하의 막 두께로 형성되는 것이 바람직하다. 게이트 절연막 (6)은, 도포법 등 재료에 따른 방법을 이용하여 형성된다. 또한, 게이트 절연막 (6)에 포토리소그래피법 등을 이용하여 콘택트홀 (7c), (7d)(제1 콘택트홀 (7c), 제2 콘택트홀 (7d))를 형성한다.

[0065] 이어서, 콘택트홀 (7c), (7d) 내에 도전성 재료를 매립함으로써, 도 7-5에 나타난 콘택트 내 배선 (7a), (7b)(제1 콘택트 내 배선 (7a), 제2 콘택트 배선 (7b))를 형성한다. 또한, 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법 등을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 전면으로 형성한 후, 포토리소그래피법 등을 이용하여 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 패터닝한다. 또한, 도전성 재료의 매립 처리를 행하지 않아도, 직접적으로 콘택트홀 (7c), (7d) 내와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c) 형성 영역에 상기 방법을 이용하여 금속 재료나 투명 산화물 도전 재료 등을 전면으로 형성한 후, 포토리소그래피법에 의해 패터닝함으로써 콘택트 내 배선 (7a), (7b)와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 일괄적으로 형성할 수도 있다. 또한, 잉크젯 프린트법, 인쇄법 등을 이용하여 콘택트 내 배선 (7a), (7b)와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 형성할 수도 있다.

[0066] 또한, 도 7-6에 나타난 바와 같이, 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c) 사이에 반도체막 (9a), (9b)를 형성한다. 반도체막 (9a), (9b)는, ZTO 등의 무기 산화물 반도체 재료, 또는 펜타센이나 테트라벤조포르피린의 전구체를 갖는 유기 반도체 재료, 또는 비정질 규소 및 폴리실리콘 등의 무기 반도체 재료에 의해 구성된다. 반도체막 (9a), (9b)는 진공 증착법, 스퍼터법, 도포법이나 CVD법 등 재료에 따른 방법을 이용하여 형성된 후, 포토리소그래피법을 이용하여 패터닝된다. 또한, 잉크젯 프린트법, 인쇄법 등을 이용하여 반도체막 (9a), (9c)를 형성할 수도 있다. 이어서, 이 반도체막 (9a), (9b) 위에 보호막(도시하지 않음)을 형성한 후, 소스 전극 (8a), (8d), 드레인 전극 (8b), (8c) 및 반도체막 (9a), (9b)의 요철을 흡수하기 위해 평탄화의 기능을 갖는 층간 절연막 (10)을 형성한다. 이 층간 절연막 (10)은 예를 들면 감광성 수지에 의해 형성되며, 두께가 2 μ m 내지 10 μ m 정도이다. 이어서, 포토리소그래피법을 이용하여 층간 절연막 (10)에 콘택트홀 (11a)를 형성한다. 또한, 보호막(도시하지 않음)은 상부 전극과의 전기적 결합에 의해 형성되는 백 채널을 방지하기

위해, 유전율이 3.5 이하인 것이 바람직하고, 반도체 특성에 영향을 주지 않는 것일 필요가 있다.

[0067] 그 후, 도 7-7에 나타난 바와 같이, 콘택트홀 (11a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (11)을 형성한다. 또한, 유기 EL 소자 (24)의 애노드 전극 (12)를 형성하기 위해 진공 증착법, 스퍼터법 등을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 전면에 형성한 후, 포토리소그래피법 등을 이용하여 애노드 전극 (12)를 패터닝한다. 이 애노드 전극 (12)는, 예를 들면 ITO/Ag/ITO나 ITO/Al/ITO의 적층막에 의해 형성된다. 또한, 도전성 재료의 매립 처리를 행하지 않아도, 직접적으로 콘택트홀 (11a) 내와 애노드 전극 (12) 형성 영역에 상기 방법을 이용하여 금속 재료나 투명 산화물 도전 재료 등을 전면에 형성한 후, 포토리소그래피법에 의해 패터닝함으로써 콘택트 내 배선 (11)과 애노드 전극 (12)를 일괄적으로 형성할 수도 있다.

[0068] 이어서, 유기 EL 소자 (24)의 유기막을 애노드 전극 (12) 위에 도포한 후, 투명 또는 반투명한 금속 재료 또는 산화물 도전 재료에 의해 캐소드 전극 (14)를 형성한다. 이 캐소드 전극 (14)는, 예를 들면 Mg와 Ag의 합금 재료에 의해 형성된다. 또한, 유기 EL 소자 (24) 보호용의 투명막 또는 반투명막의 보호막 (16)을 형성한 후, 상부 기판 (17)을 보호막 (16) 위에 설치함으로써 도 3에 나타난 화소 (100)을 얻을 수 있다.

[0069] 또한, 본 실시 형태 1의 화소 구조로서, 도 3에 나타난 바와 같이 게이트 전극이 소스 전극 및 드레인 전극의 하층의 기판층에 형성된 바텀 게이트 구조를 갖는 화소 (100)을 예로서 설명했지만, 물론 도 8에 나타난 바와 같이 게이트 전극 (5a), (5b)가 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)의 상층의 유기 EL 소자 (24)층에 형성된 톱 게이트 구조를 갖는 화소 (200)일 수도 있다.

[0070] 도 8에 나타난 바와 같이, 화소 (200)은 화소 (100)과 마찬가지로 게이트 전극 (5a), 소스 전극 (8a), 드레인 전극 (8b) 및 반도체막 (9a)를 갖는 스위칭 트랜지스터 (21)과, 게이트 전극 (5b), 소스 전극 (8d), 드레인 전극 (8c) 및 반도체막 (9b)를 갖는 구동 트랜지스터 (22)와, 애노드 전극 (12), 유기막 (13) 및 캐소드 전극 (14)를 갖는 유기 EL 소자 (24)를 구비한다. 소스 전극 (8a), (8d), 드레인 전극 (8b), (8c) 및 반도체막 (9a), (9b)와 게이트 전극 (5a), (5b) 사이에는, 게이트 절연막 (6)이 형성된다. 또한, 게이트 전극 (5a), (5b) 위에는, 각 전극의 요철을 흡수하기 위한 층간 절연막 (10)이 형성된다. 이와 같이, 화소 (200)은 게이트 전극 (5a), (5b)가 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)의 상층의 유기 EL 소자 (24)층에 형성된 톱 게이트 구조를 갖는다.

[0071] 또한, 화소 (200)은 화소 (100)과 마찬가지로 기판 (1)의 바로 위에 형성된 배선층 (2)를 갖는다. 또한, 배선층 (2)는, 층간 절연막 (3)에 형성된 콘택트 내 배선 (204)를 통해 구동 트랜지스터 (22)의 소스 전극 (8d)와 접속한다. 구동 트랜지스터 (22)의 드레인 전극 (8c)는, 게이트 절연막 (6)에 형성된 콘택트 내 배선 (207b), 게이트 전극 (5a), (5b)와 동일한 층에서 형성된 접속막이며, 콘택트 내 배선 (207b)의 바로 위에 형성된 접속막 (5d), 및 접속막 (5d)의 바로 위에 형성된 층간 절연막 (10) 내의 콘택트 내 배선 (211)을 통해 유기 EL 소자 (24)의 애노드 전극 (12)와 접속된다. 또한, 구동 트랜지스터 (22)의 게이트 전극 (5b)는, 게이트 절연막 (6)에 형성된 콘택트 내 배선 (207a)를 통해 스위칭 트랜지스터 (21)의 드레인 전극 (8b)와 접속된다. 또한, 캐패시터 (23)은, 이 배선층 (2)의 일부 영역, 드레인 전극 (8b)의 일부 영역 및 층간 절연막 (3)의 일부 영역에 의해 형성된다.

[0072] 이와 같이, 톱 게이트 구조의 화소 (200)의 경우에도, 기판 (1)의 바로 위에 형성된 배선층 (2)를 설치하여 유기 EL 소자 (24)에 대한 전류 공급을 행함으로써, 각 전극의 막 두께를 두껍게 하지 않고도 전원선으로서 기능하는 배선층 (2)의 저항을 충분히 저하시킬 수 있으며, 배선층 (2)에 기인하여 층간 절연막 (10)의 표면에 큰 요철이 발생하지 않고, 평탄하다는 점에서 균일한 막 두께의 유기막 (13)을 형성할 수 있기 때문에, 발광 휘도의 장치 전체 및 동일한 화소 내의 균일화를 실현할 수 있음과 동시에 소비 전력의 감소 및 열 집중의 방지를 실현할 수 있다는 화소 (100)과 동일한 효과를 발휘하는 것이 가능해진다.

[0073] 이어서, 도 8에 나타난 화소 (200)의 제조 방법에 대하여 설명한다. 도 9-1 내지 도 9-6은, 도 8에 나타난 화소 (200)의 제조 방법을 나타내는 단면도이다. 우선, 도 9-1에 나타난 바와 같이, 도 7-1에 나타난 경우와 마찬가지로 배선층 (2)를 형성한다. 이어서, 도 9-2에 나타난 바와 같이 배선층 (2)의 바로 위에 층간 절연막 (3)을 형성한 후, 소스 전극 (8d)에 대응하는 위치에 포토리소그래피법을 이용하여 콘택트홀 (204a)를 형성한다. 또한, 도 9-3에 나타난 바와 같이, 콘택트홀 (204a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (204)를 형성한 후, 화소 (100)의 경우와 마찬가지로 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법 등을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 형성하고, 포토리소그래피법 등을 이용하여 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 패터닝한다. 또한, 콘택트 내 배선 (204)와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)는 일괄 형성하는 것도 가능하다.

- [0074] 이어서, 도 9-4에 나타난 바와 같이, 화소 (100)의 경우와 마찬가지로 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)와의 사이에 반도체막 (9a), (9b)를 형성하고, 도 7-4에 나타난 경우와 마찬가지로 게이트 절연막 (6)을 형성한다. 또한, 이 게이트 절연막 (6)에 콘택트홀 (207c), (207d)(제1 콘택트홀 (207c), 제2 콘택트홀 (207d))를 형성한 후, 도 9-5에 나타난 바와 같이 콘택트홀 (207c), (207d) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (207a), (207b)(제1 콘택트 내 배선 (207a), 제2 콘택트 내 배선 (207b))를 형성한다. 이어서, 화소 (100)의 경우와 마찬가지로 게이트 전극 (5a), (5b) 및 접속막 (5d)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 게이트 절연막 (6) 및 콘택트 내 배선 (207a), (207b) 위에 형성한 후, 도 9-5에 나타난 바와 같이 포토리소그래피법을 이용하여 게이트 전극 (5a), (5b) 및 접속막 (5d)를 패터닝한다. 또한, 콘택트 내 배선 (207a), (207b)와 게이트 전극 (5a), (5b) 및 접속막 (5d)는 일괄 형성하는 것도 가능하다.
- [0075] 또한, 도 9-6에 나타난 바와 같이, 화소 (100)의 경우와 마찬가지로 보다 하층의 막의 요철을 흡수하기 위한 층간 절연막 (10)을 형성한 후, 층간 절연막 (10)에 콘택트홀 (211a)를 형성한다. 그 후, 화소 (100)의 경우와 마찬가지로 콘택트홀 (211a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (211)을 형성하고, 유기 EL 소자 (24)의 애노드 전극 (12)를 형성한 후, 유기 EL 소자 (24)의 유기막을 애노드 전극 (12) 위에 도포한다. 또한, 화소 (100)의 경우와 마찬가지로 캐소드 전극 (14)를 형성하고, 유기 EL 소자 (24)의 보호층의 보호막 (16)을 형성한 후, 상부 기판 (17)을 보호막 (16) 위에 설치함으로써 도 8에 나타난 화소 (200)을 얻을 수 있다.
- [0076] 또한, 본 실시 형태 1에서는 소위 톱 에미션형의 화소 (100) 및 화소 (200)을 예로서 설명했지만, 이것으로 한정되지 않으며, 소위 바텀 에미션형의 구조를 갖는 화소에 적용하는 것도 물론 가능하다. 바텀 에미션형의 경우에는 각 트랜지스터의 각 전극을 투명 전극으로 형성함과 동시에, 투명 기판 위에 투명 도전성 재료를 사용하여 구동 트랜지스터의 소스 전극에 접속하는 배선층을 형성할 수 있다.
- [0077] (다른 실시 형태)
- [0078] 이어서, 본 발명을 실시하기 위해 참고가 되는 다른 실시 형태에 대하여 설명한다. 도 10은, 본 실시 형태에 따른 유기 EL 표시 장치의 한 화소를 구성하는 각 소자의 단면을 나타낸 도면이다. 또한, 본 실시 형태에 따른 유기 EL 표시 장치는, 실시 형태 1과 마찬가지로 도 1에 나타난 장치 구성을 가짐과 동시에, 각 화소는 각각 도 2에 나타난 회로 구성을 갖는다.
- [0079] 이어서, 본 실시 형태에 따른 유기 EL 표시 장치의 한 화소당 구조에 대하여 설명한다. 도 10에 나타난 바와 같이, 본 실시 형태에 따른 유기 EL 표시 장치의 화소 (300)은, 스위칭 트랜지스터 (21)과 구동 트랜지스터 (22)와 캐패시터 (23)과 유기 EL 소자 (24)를 포함하여 구성된다. 이 화소 (300)은 도전성이 높고, 전원선으로서 기능하는 금속 기판 (301) 위에 형성되어 있다. 또한, 금속 기판 (301)의 일부가 화소 (300)의 일부로서 기능하는 경우도 있다.
- [0080] 스위칭 트랜지스터 (21)은 제어 단자로서 기능하는 게이트 전극 (5a)와, 입력 단자로서 기능하는 소스 전극 (8a)와, 출력 단자로서 기능하는 드레인 전극 (8b)와, 소스 전극 (8a) 및 드레인 전극 (8b) 사이에 형성되어 채널층으로서 기능하는 반도체막 (9a)를 갖는다. 게이트 전극 (5a)는 도시하지 않은 영역에서 신호선 (L2)에 접속되며, 소스 전극 (8a)는 도시하지 않은 영역에서 신호선 (L1)에 접속된다. 게이트 전극 (5a)와 소스 전극 (8a), 드레인 전극 (8b) 및 반도체막 (9a) 사이에는, 게이트 절연막 (6)이 형성된다.
- [0081] 구동 트랜지스터 (22)는 제어 단자 (Ng)로서 기능하는 게이트 전극 (5b)와, 입력 단자 (Ns)로서 기능하는 소스 전극 (8d)와, 출력 단자 (Nd)로서 기능하는 드레인 전극 (8c)와, 소스 전극 (8d) 및 드레인 전극 (8c) 사이에 형성되며, 채널층으로서 기능하는 반도체막 (9b)를 갖는다. 게이트 전극 (5b)는, 콘택트 내 배선 (7a)를 통해 스위칭 트랜지스터 (21)의 드레인 전극 (8b)와 접속한다. 게이트 전극 (5b)와 소스 전극 (8d), 드레인 전극 (8c) 및 반도체막 (9b) 사이에는, 게이트 절연막 (6)이 형성된다. 또한, 콘택트 내 배선 (7a)는, 게이트 전극 (5a), (5b)와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c) 사이의 게이트 절연막 (6)에 설치된다. 또한, 콘택트 내 배선 (7a)는 도 2에 나타난 포인트 (P3)에 대응한다.
- [0082] 유기 EL 소자 (24)는, 구동 트랜지스터 (22)의 드레인 전극 (8c)와 콘택트 내 배선 (11)을 통해 접속되는 애노드 전극 (12)와, 애노드 전극 (12) 위에 형성되는 유기막 (13)과, 유기막 (13) 위에 형성된 캐소드 전극 (14)를 구비한다. 또한, 유기막 (13)은 적어도 유기 발광층을 포함하여 구성되며, 애노드 전극 (12)로부터 공급된 전류량에 따른 휘도로 발광한다. 또한, 애노드 전극 (12)와 캐소드 전극 (14) 사이에는, 필요에 따라 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층 및 정공 장벽층 등을 설치할 수도 있다. 콘택트 내 배선 (11)은,

소스 전극 (8a), (8d), 드레인 전극 (8b), (8c) 및 반도체막 (9a), (9b)와 유기 EL 소자 (24)의 애노드 전극 (12) 사이에 형성된 층간 절연막 (10)에 설치된다. 이 층간 절연막 (10)은, 예를 들면 트랜지스터의 반도체층을 보호하는 반도체 보호막과 평탄화를 위해 형성되는 평탄화막에 의해 구성된다. 층간 절연막 (10)과 캐소드 전극 (14) 사이에는, 유기 EL 소자 (24)가 형성되는 영역에만 개구부가 설치된 층간막 (15)이 적층된다. 또한, 콘택트 내 배선 (11)은, 도 2에 나타난 포인트 (P4)에 대응한다.

[0083] 캐소드 전극 (14)는 투명막 또는 반투명막으로 형성된다. 캐소드 전극 (14) 위에는, 투명막 또는 반투명막으로 형성된 보호막 (16) 및 투명 또는 반투명한 상부 기관 (17)이 설치되어 있다. 유기막 (13)으로부터 발생한 빛은, 캐소드 전극 (14), 보호막 (16) 및 상부 기관 (17)을 순차적으로 투과하여 외부로 출력된다. 따라서, 이 유기 EL 소자 (24)는, 소위 톱 에미션형이다.

[0084] 본 실시 형태에서는, 반도체 소자로서의 스위칭 트랜지스터 (21) 및 구동 트랜지스터 (22)와 발광 소자로서의 유기 EL 소자 (24)가, 예를 들면 금속 기관 (301)의 소자 형성면인 한쪽 주면측(예를 들면 상면측)에 설치된다. 금속 기관 (301)은, 전원으로서 기능하는 구동 전압 생성부 (607)(도 1 참조)과 접속된 신호선 (L3)에 대응한다. 즉, 금속 기관 (301)은 전원과 접속된 전원선으로서 기능하고, 구동 트랜지스터 (22)를 통해 유기 EL 소자 (24)에 전류를 공급하고 있다. 이 금속 기관 (301)에는, 콘택트홀이 형성된 층간 절연막 (3)이 설치된다. 금속 기관 (301)은 층간 절연막 (3)의 콘택트홀 내에 형성된 콘택트 내 배선 (4), 게이트 전극 (5a), (5b)와 동일한 층에서 형성된 접속막이며, 콘택트 내 배선 (4)의 바로 위에 형성된 접속막 (5c), 및 접속막 (5c)의 바로 위에 형성된 게이트 절연막 (6) 내의 콘택트 내 배선 (7b)를 통해 구동 트랜지스터 (22)의 소스 전극 (8d)와 접속되며, 이 구동 트랜지스터 (22)를 통해 유기 EL 소자 (24)의 애노드 전극 (12)에 전류를 공급한다. 또한, 캐패시터 (23)은 금속 기관 (301)의 일부 영역, 게이트 전극 (5b)의 일부 영역 및 층간 절연막 (3)의 일부 영역에 의해 형성된다.

[0085] 도 11-1의 레이아웃도에 나타난 바와 같이, 금속 기관 (301)은 금속 기관 (301)의 두께 방향으로부터 보았을 때 유기 EL 소자 (24)가 행렬상으로 배열되어 설치되는 영역(이것을 표시 영역으로 함) (300a)를 내포하는 상태로 중첩되도록 존재한다. 따라서, 금속 기관 (301)에서의 표시 영역 (300a)와 중첩되는 영역의 외측에는, 이 중첩 영역으로부터 돌출된 돌출 영역 (300b)가 존재한다. 본 실시 형태에서는, 도 11-2에 나타난 바와 같이 금속 기관 (301)의 단부에 설치된 전원 단자 (301a)로부터 금속 기관 (301)에 유입된 전류 (i)가 금속 기관 (301)에서의 돌출 영역 (300b)에 돌아서 유입된 후, 표시 영역 (300a) 내에 배열된 각 화소 (300)에 사망으로부터 유입되는 구성으로 되어 있다. 이와 같이 금속 기관 (301)의 두께 방향에서 표시 영역 (300a)와 중첩되지 않는 돌출 영역 (300b)가 전원선의 주배선 부분으로서 기능하는 구성으로 함으로써, 본 실시 형태에서는 전원선을 구성하는 금속 기관 (301)에서 발생하는 전압 강하를 억제할 수 있다. 결과로서 유기 EL 표시 장치의 소비 전력을 감소시키는 것이 가능해진다. 또한, 금속 기관 (301)은, 도 11-3에 나타난 바와 같이 이 금속 기관 (301)의 4변의 근방을 덮고, 소자 형성면측과 반대측의 면을 덮도록 형성된 절연막 (318)에 의해 절연 실드된다. 또한, 금속 기관 (301)을 전원에 접속하기 위한 전원 단자 (301a)는, 예를 들면 금속 기관 (301)의 외연을 덮는 절연막 (318) 위에, 예를 들면 다른 전극 단자 (301b)와 함께 배치된다. 또한, 금속 기관 (301)과 전원 단자 (301a)는, 예를 들면 절연막 (318)을 관통하는 콘택트 플러그 (301c)에 의해 전기적으로 접속된다.

[0086] 이와 같이, 본 실시 형태에서는 금속 기관 (301) 자체를 전원선으로서의 배선의 일부로서 이용하고 있기 때문에, 전원선 패턴의 면적을 최대한 확보할 수 있다. 따라서, 본 실시 형태에서는, 각 전극의 막 두께를 두껍게 하지 않고도 전원선의 일부인 금속 기관 (301)의 저항을 충분히 저하시킬 수 있기 때문에, 도 10에 나타난 바와 같이 종래의 막 두께 (T108)(도 6 참조)보다 얇은 막 두께 (T8)(도 3과 동일함)로 소스 전극 (8d)를 형성한 경우에도 유기 EL 소자 (24)에 대한 전류 공급을 원활하게 행할 수 있다. 본 실시 형태에서의 소스 전극 및 드레인 전극의 막 두께는, 30 nm 내지 500 nm 정도이다. 또한, 소스 전극 및 드레인 전극은 Cr, Au, Pt, Pd, APC(Ag-Pd-Cu), Mo, MoO₃, PEDOT, ITO(인듐 주석 산화물), Ag, Cu, Al, Ti, Ni, Ir, Fe, W, MoW, 및 이들 중 금속의 합금, 및 이들의 적층막 등에 의해 구성되며, 바람직하게는 Mo, Ta/Cu/Ta, Mo/Al/Mo에 의해 구성된다.

[0087] 또한, 본 실시 형태에서는 금속 기관 (301) 자체를 전원선으로서의 배선의 일부로서 이용하고 있기 때문에, 전원선으로서의 배선층을 별도로 형성할 필요가 없다. 이에 따라, 디스플레이 패널의 두께를 보다 감소시키는 것이 가능해진다. 결과로서, 유기 EL 표시 장치를 더욱 박형화하는 것이 가능해진다.

[0088] 또한, 금속 기관 (301)에서의 소자 형성면인 상면은 평탄하다. 이와 같이 판상의 금속 기관 (301)을 설치함으로써 종래의 선상 배선에 비해 전압 강하를 감소시킬 수 있기 때문에, 상술한 바와 같이 본 실시 형태에서는 종래보다 얇은 막 두께로 소스 전극 (8d)를 형성할 수 있다. 그 때문에, 본 실시 형태에서는, 도 10에 나타난 바

와 같이 종래의 막 두께 (T110)(도 6 참조)보다 얇은 막 두께 (T10)(도 3과 동일함)으로 형성한 경우에도, 배선 및 전극 위에 형성되는 층간 절연막 (10)의 상면을 종래와 동일한 정도나 또는 보다 평탄한 면으로 할 수 있다. 그 결과, 본 실시 형태에서는, 이 층간 절연막 (10) 위에 형성되는 유기 EL 소자 (24)의 유기막 (13)을 보다 균일한 막 두께로 형성할 수 있다. 따라서, 본 실시 형태에서는, 유기 EL 소자 (24)의 유기막이 불균일한 막 두께로 형성되는 것을 감소시키고, 장치 전체 및 동일한 화소 내에서 보다 균일한 발광 휘도를 실현할 수 있다. 또한, 본 실시 형태에서는 층간 절연막 (10)의 막 두께가 종래보다 얇기 때문에, 층간 절연막 (10)에 설치되는 콘택트 내 배선 (11)이 형성되는 콘택트홀도 습식 공정으로 정확하게 개구할 수 있으며, 구동 트랜지스터 (22)의 드레인 전극 (8c)와 유기 EL 소자 (24)의 애노드 전극 (12)의 접속 불량도 방지할 수 있다. 또한, 층간 절연막 (3)에 형성된 콘택트 내 배선 (4), 접속막 (5c) 및 게이트 절연막 (6)에 형성된 콘택트 내 배선 (7b)와 같이, 금속 기판 (301)과 구동 트랜지스터 (22)의 소스 전극 (8d) 사이에 필요에 따라 콘택트 내 배선이나 접속층을 설치함으로써, 금속 기판 (301)과 구동 트랜지스터 (22)의 소스 전극 (8d)를 적절하게 접속할 수 있다.

[0089] 또한, 종래의 구성에서는, 도 5에 나타난 주배선 (Lvm)으로부터 분지된 각 분지 배선 (Lvb)가 라인 패턴으로 형성되기 때문에, 배선 저항에 의한 전압 강하가 발생하는 경우가 있었다. 따라서, 종래에는 소비 전류에 비례하여 유기 EL 소자 (24)에 인가되는 전압에 큰 변동이 발생하는 경우가 있었기 때문에, 이 전압의 변동에 의한 휘도 변동을 보정하기 위해, 전압 강하에 의한 변동분을 추가한 전압을 전원 전압으로서 주배선 (Lvm)에 인가하여 드레인-소스간 전압을 보상한다는 점에서, 표시 장치 전체의 소비 전력을 억제하는 것이 곤란하였다.

[0090] 이에 비해, 본 실시 형태에서는, 전원과 접속하는 전원선에 디스플레이 패널 (603) 전체에 걸쳐서 존재하는 금속 기판 (301)을 이용하고 있기 때문에, 전압 강하가 종래보다 작다. 따라서, 본 실시 형태에서는, 전압 강하에 의한 변동분으로서 전원 전압에 추가하는 전압값 자체를 종래보다 작게 할 수 있기 때문에, 종래보다 표시 장치 전체의 소비 전력을 감소시키는 것이 가능해진다.

[0091] 또한, 종래에는 디스플레이 패널에서 발생한 열에 의해 각 화소를 구성하는 재료가 열화되는 것을 방지하기 위해, 디스플레이 패널에 열 확산용의 시트 부재를 별도로 부착하여 디스플레이 패널에서 발생한 열을 확산시켰다.

[0092] 이에 비해, 본 실시 형태에서는 열 전도율이 큰 금속 기판 (301)이 디스플레이 패널의 상면 전체에 걸쳐서 존재하기 때문에, 이 금속 기판 (301)에 의해 디스플레이 패널 전체에 열이 확산된다. 따라서, 열 확산용의 시트 부재와 조합함으로써 보다 높은 열 확산 효과와 방열 효과를 기대할 수 있기 때문에, 각 화소의 구성 재료의 열화를 억제하고, 표시 장치의 장기간 신뢰성을 향상시킬 수 있다.

[0093] 또한, 본 실시 형태에서는 전원선에 디스플레이 패널의 상면 전체에 걸쳐서 존재하는 금속 기판 (301)을 이용하고 있기 때문에, 분지 배선 (Lvb) 자체가 불필요해져서, 이 분지 배선 (Lvb)의 형성을 위한 배선 면적을 확보하지 않을 수도 있다는 점에서 이 배선 면적만큼 개구율을 크게 할 수 있다. 또한, 본 실시 형태에서는 분지 배선 (Lvb) 자체가 불필요하기 때문에, 보다 고정밀화가 가능해진다. 또한, 본 실시 형태에서 캐패시터 (23)의 한쪽 전극은 금속 기판 (301)의 일부 영역에 의해 구성되기 때문에, 캐패시터 (23)의 다른쪽 전극은 금속 기판 (301) 위의 층간 절연막 (3) 위이면 어떠한 영역에나 형성할 수 있다. 따라서, 본 실시 형태에서는, 캐패시터 (23)의 형성 영역을 유연하게 선택하는 것이 가능해진다.

[0094] 이어서, 도 10에 나타난 화소 (300)의 제조 방법에 대하여 설명한다. 도 12-1 내지 도 12-6은, 도 10에 나타난 화소 (300)의 제조 방법을 나타낸 단면도이다. 우선, 도 12-1에 나타난 바와 같이 금속 기판 (301)의 두께 방향과 수직인 면이며, 한쪽 주면(이것을 상면으로 함) 위에 막 두께가 500 nm 내지 2 μ m 정도인 층간 절연막 (3)을 형성한다. 이 때, 전원으로부터 공급된 전류를 저저항으로 구동 트랜지스터 (22)에 전달할 필요가 있기 때문에, 금속 기판 (301)으로는 도전성이 높은 금속 또는 그의 합금을 사용하여 형성된 기판을 사용한다. 또한, 층간 절연막 (3)은, 예를 들면 스핀온글라스(SOG), 포토레지스트, 폴리이미드, SiN_x, SiO₂ 등에 의해 형성되며, 스핀 코팅법, 스퍼터법 및 CVD 등에 의해 형성된다. 이어서, 층간 절연막 (3)에서의 접속막 (5c)에 대응하는 위치에 포토리소그래피법을 이용하여 콘택트홀 (4a)를 형성한다.

[0095] 또한, 콘택트홀 (4a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (4)를 형성한다. 이어서, 게이트 전극 (5a), (5b) 및 접속막 (5c)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 층간 절연막 (3) 및 콘택트 내 배선 (4) 위에 형성한 후, 도 12-2에 나타난 바와 같이 포토리소그래피법을 이용하여 게이트 전극 (5a), (5b) 및 접속막 (5c)를 패터닝한다. 또한, 도전성 재료의 매립 처리를 행하지 않아도, 직접적으로 콘택트홀 (4a) 내와 게이트 전극 (5a), (5d) 및 접속막 (5c) 형성 영역에 상기 방법을 이용하여 금속 재료나 투명 산화물 도전 재료 등을 전면 형성한 후, 포토리소그래피법에 의해 패터닝

함으로써 콘택트 내 배선 (4)와 게이트 전극 (5a), (5b) 및 접속막 (5c)를 일괄적으로 형성할 수도 있다. 또한, 잉크젯 프린트법, 인쇄법 등을 이용하여 콘택트 내 배선 (4)와 게이트 전극 (5a), (5b) 및 접속막 (5c)를 형성할 수도 있다.

[0096] 이어서, 도 12-3에 나타난 바와 같이, 유기 감광성 수지 등을 재료로서 게이트 절연막 (6)을 형성한다. 이 게이트 절연막 (6)은, 각 트랜지스터의 구동 능력을 확보하기 위해 유전율 1.5 이상, 500 nm 이하의 막 두께로 형성되는 것이 바람직하다. 게이트 절연막 (6)은, 도포법 등 재료에 따른 방법을 이용하여 형성된다. 또한, 게이트 절연막 (6)에 포토리소그래피법, 에칭법 등을 이용하여 콘택트홀 (7c), (7d)를 형성한다.

[0097] 이어서, 콘택트홀 (7c), (7d) 내에 도전성 재료를 매립함으로써, 도 12-4에 나타난 콘택트 내 배선 (7a), (7b)를 형성한다. 또한, 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법 등을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 전면에 형성한 후, 포토리소그래피법, 에칭법 등을 이용하여 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 패터닝한다. 또한, 도전성 재료의 매립 처리를 행하지 않아도, 직접적으로 콘택트홀 (7c), (7d) 내와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c) 형성 영역에 상기 방법을 이용하여 금속 재료나 투명 산화물 도전 재료 등을 전면에 형성한 후, 포토리소그래피법에 의해 패터닝함으로써 콘택트 내 배선 (7a), (7b)와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 일괄적으로 형성할 수도 있다. 또한, 잉크젯 프린트법, 인쇄법 등을 이용하여 콘택트 내 배선 (7a), (7b)와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 형성할 수도 있다.

[0098] 또한, 도 12-5에 나타난 바와 같이, 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c) 사이에 반도체막 (9a), (9b)를 형성한다. 반도체막 (9a), (9b)는, ZTO 등의 무기 산화물 반도체 재료, 또는 펜타센이나 테트라벤조포르피린의 전구체를 갖는 유기 반도체 재료, 또는 비정질 규소 및 폴리실리콘 등의 무기 반도체 재료에 의해 구성된다. 반도체막 (9a), (9b)는 진공 증착법, 스퍼터법, 도포법이나 CVD법 등 재료에 따른 방법을 이용하여 형성된 후, 포토리소그래피법을 이용하여 패터닝된다. 또한, 잉크젯 프린트법, 인쇄법 등을 이용하여 반도체막 (9a), (9b)를 형성할 수도 있다. 이어서, 이 반도체막 (9a), (9b) 위에 보호막(도시하지 않음)을 형성한 후, 소스 전극 (8a), (8d), 드레인 전극 (8b), (8c) 및 반도체막 (9a), (9b)의 요철을 흡수하기 위해 평탄화의 기능을 갖는 층간 절연막 (10)을 형성한다. 이 층간 절연막 (10)은 예를 들면 감광성 수지에 의해 형성되며, 두께가 2 μm 내지 10 μm 정도이다. 이어서, 포토리소그래피법을 이용하여 층간 절연막 (10)에 콘택트홀 (11a)를 형성한다. 또한, 보호막(도시하지 않음)은 상부 전극과의 전기적 결합에 의해 형성되는 백 채널을 방지하기 위해, 유전율이 3.5 이하인 것이 바람직하고, 반도체 특성에 영향을 주지 않는 것일 필요가 있다.

[0099] 그 후, 도 12-6에 나타난 바와 같이, 콘택트홀 (11a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (11)을 형성한다. 또한, 유기 EL 소자 (24)의 애노드 전극 (12)를 형성하기 위해 진공 증착법, 스퍼터법 등을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 전면에 형성한 후, 포토리소그래피법, 에칭법 등을 이용하여 애노드 전극 (12)를 패터닝한다. 이 애노드 전극 (12)는, 예를 들면 ITO/Ag/ITO나 ITO/Al/ITO의 적층막에 의해 형성된다. 또한, 도전성 재료의 매립 처리를 행하지 않아도, 직접적으로 콘택트홀 (11a) 내와 애노드 전극 (12) 형성 영역에 상기 방법을 이용하여 금속 재료나 투명 산화물 도전 재료 등을 전면에 형성한 후, 포토리소그래피법에 의해 패터닝함으로써 콘택트 내 배선 (11)과 애노드 전극 (12)를 일괄적으로 형성할 수도 있다.

[0100] 이어서, 유기 EL 소자 (24)의 유기막을 애노드 전극 (12) 위에 도포한 후, 투명 또는 반투명한 금속 재료 또는 산화물 도전 재료에 의해 캐소드 전극 (14)를 형성한다. 이 캐소드 전극 (14)는, 예를 들면 Mg와 Ag의 합금 재료에 의해 형성된다. 또한, 유기 EL 소자 (24) 보호용의 투명막 또는 반투명막의 보호막 (16)을 형성한 후, 상부 기판 (17)을 보호막 (16) 위에 설치함으로써 도 10에 나타난 화소 (300)을 얻을 수 있다. 또한, 금속 기판 (318)의 이면과 4면 근방을 덮는 절연막 (318) 및 금속 기판 (301)을 전원에 접속하기 위한 전원 단자 (301a), 및 각종 배선을 외부에 접속하기 위한 전극 단자 (301b)의 각 형성 공정은, 적절하게 상기한 각 공정의 이전, 이후 또는 사이에 삽입된다.

[0101] 또한, 본 실시 형태의 화소 구조로서, 도 10에 나타난 바와 같이 게이트 전극이 소스 전극 및 드레인 전극의 하측의 기판측에 형성된 바텀 게이트 구조를 갖는 화소 (300)을 예로서 설명했지만, 물론 도 13에 나타난 바와 같이 게이트 전극 (5a), (5b)가 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)의 상측의 유기 EL 소자 (24)측에 형성된 톱 게이트 구조를 갖는 화소 (400)일 수도 있다.

[0102] 도 13에 나타난 바와 같이, 화소 (400)은 화소 (300)과 마찬가지로 게이트 전극 (5a), 소스 전극 (8a), 드레인 전극 (8b) 및 반도체막 (9a)를 갖는 스위칭 트랜지스터 (21)과, 게이트 전극 (5b), 소스 전극 (8d), 드레인 전극 (8c) 및 반도체막 (9b)를 갖는 구동 트랜지스터 (22)와, 애노드 전극 (12), 유기막 (13) 및 캐소드 전극

(14)를 갖는 유기 EL 소자 (24)를 구비한다. 소스 전극 (8a), (8d), 드레인 전극 (8b), (8c) 및 반도체막 (9a), (9b)와 게이트 전극 (5a), (5b) 사이에는, 게이트 절연막 (6)이 형성된다. 또한, 게이트 전극 (5a), (5b) 위에는, 각 전극의 요철을 흡수하기 위한 층간 절연막 (10)이 형성된다. 이와 같이, 화소 (400)은 게이트 전극 (5a), (5b)가 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)의 상층의 유기 EL 소자 (24)측에 형성된 틈 게이트 구조를 갖는다.

[0103] 또한, 화소 (400)은 화소 (300)과 마찬가지로 스위칭 트랜지스터 (21) 및 구동 트랜지스터 (22)와, 유기 EL 소자 (24)가 설치되는 기판이 전원선으로서 기능하는 금속 기판 (301)이다. 또한, 금속 기판 (301)은, 층간 절연막 (3)에 형성된 콘택트 내 배선 (204)를 통해 구동 트랜지스터 (22)의 소스 전극 (8d)와 접속한다. 구동 트랜지스터 (22)의 드레인 전극 (8c)는, 게이트 절연막 (6)에 형성된 콘택트 내 배선 (207b), 게이트 전극 (5a), (5b)와 동일한 층에서 형성된 접속막이며, 콘택트 내 배선 (207b)의 바로 위에 형성된 접속막 (5d), 및 접속막 (5d)의 바로 위에 형성된 층간 절연막 (10) 내의 콘택트 내 배선 (211)을 통해 유기 EL 소자 (24)의 애노드 전극 (12)와 접속한다. 또한, 구동 트랜지스터 (22)의 게이트 전극 (5b)는, 게이트 절연막 (6)에 형성된 콘택트 내 배선 (207a)를 통해 스위칭 트랜지스터 (21)의 드레인 전극 (8b)와 접속한다. 또한, 캐패시터 (23)은, 이 금속 기판 (301)의 일부 영역, 드레인 전극 (8b)의 일부 영역 및 층간 절연막 (3)의 일부 영역에 의해 형성된다.

[0104] 이와 같이, 틈 게이트 구조의 화소 (400)의 경우에도, 디스플레이 패널 (603) 전체에 존재하는 금속 기판 (301)을 이용하여 유기 EL 소자 (24)에 대한 전류 공급을 행함으로써, 각 전극의 막 두께를 두껍게 하지 않고도 전원선으로서 기능하는 금속 기판 (301)의 저항을 충분히 저하시킬 수 있다. 또한, 금속 기판 (301)에 기인하여 층간 절연막 (10) 표면에 큰 요철이 발생하지 않고, 평탄하다는 점에서 균일한 막 두께의 유기막 (13)을 형성할 수 있기 때문에, 발광 휘도의 장치 전체 및 동일한 화소 내의 균일화를 실현할 수 있음과 동시에 소비 전력 감소 및 열 집중 방지를 실현할 수 있다는 화소 (300)과 동일한 효과를 발휘하는 것이 가능해진다.

[0105] 이어서, 도 13에 나타난 화소 (400)의 제조 방법에 대하여 설명한다. 도 14-1 내지 도 14-5는, 도 13에 나타난 화소 (400)의 제조 방법을 나타낸 단면도이다. 우선, 도 14-1에 나타난 바와 같이, 도 12-1에 나타난 경우와 마찬가지로 금속 기판 (301) 위에 층간 절연막 (3)을 형성한다. 이어서, 층간 절연막 (3)에서의 소스 전극 (8d)에 대응하는 위치에 포토리소그래피법을 이용하여 콘택트홀 (204a)를 형성한다. 또한, 도 14-2에 나타난 바와 같이, 콘택트홀 (204a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (204)를 형성한 후, 화소 (300)의 경우와 마찬가지로 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법 등을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 형성하고, 포토리소그래피법, 에칭법 등을 이용하여 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)를 패터닝한다. 또한, 콘택트 내 배선 (204)와 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)는 일괄 형성하는 것도 가능하다.

[0106] 이어서, 도 14-3에 나타난 바와 같이, 화소 (300)의 경우와 마찬가지로 소스 전극 (8a), (8d) 및 드레인 전극 (8b), (8c)와의 사이에 반도체막 (9a), (9b)를 형성하고, 도 12-3에 나타난 경우와 마찬가지로 게이트 절연막 (6)을 형성한다. 또한, 이 게이트 절연막 (6)에 콘택트홀 (207c), (207d)를 형성한 후, 도 14-4에 나타난 바와 같이 콘택트홀 (207c), (207d) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (207a), (207b)를 형성한다. 이어서, 화소 (300)의 경우와 마찬가지로 게이트 전극 (5a), (5b) 및 접속막 (5d)를 형성하기 위해, 진공 증착법, 스퍼터법, 도포법을 이용하여 금속 재료, 투명 산화물 도전 재료 등을 게이트 절연막 (6) 및 콘택트 내 배선 (207a), (207b) 위에 형성한 후, 도 14-4에 나타난 바와 같이 포토리소그래피법을 이용하여 게이트 전극 (5a), (5b) 및 접속막 (5d)를 패터닝한다. 또한, 콘택트 내 배선 (207a), (207b)와 게이트 전극 (5a), (5b) 및 접속막 (5d)는 일괄 형성하는 것도 가능하다.

[0107] 또한, 도 14-5에 나타난 바와 같이, 화소 (300)의 경우와 마찬가지로 보다 하층의 막의 요철을 흡수하기 위한 층간 절연막 (10)을 형성한 후, 층간 절연막 (10)에 콘택트홀 (211a)를 형성한다. 그 후, 화소 (300)의 경우와 마찬가지로 콘택트홀 (211a) 내에 도전성 재료를 매립함으로써 콘택트 내 배선 (211)을 형성하고, 유기 EL 소자 (24)의 애노드 전극 (12)를 형성한 후, 유기 EL 소자 (24)의 유기막을 애노드 전극 (12) 위에 도포한다. 또한, 화소 (300)의 경우와 마찬가지로 캐소드 전극 (14)를 형성하고, 유기 EL 소자 (24) 보호용의 보호막 (16)을 형성한 후, 상부 기판 (17)을 보호막 (16) 위에 설치함으로써 도 13에 나타난 화소 (400)을 얻을 수 있다.

[0108] 또한, 본 실시 형태에서는 소위 틈 에미션형의 화소 (300), (200)을 예로서 설명했지만, 이것으로 한정되지 않으며, 소위 바텀 에미션형의 구조를 갖는 화소에 적용하는 것도 물론 가능하다. 바텀 에미션형의 경우에는 각 트랜지스터의 각 전극을 투명 전극으로 형성함과 동시에, 금속 기판 (301) 대신에 투명한 도전체 재료를 사용하

여 형성된 기판을 사용할 수 있다.

부호의 설명

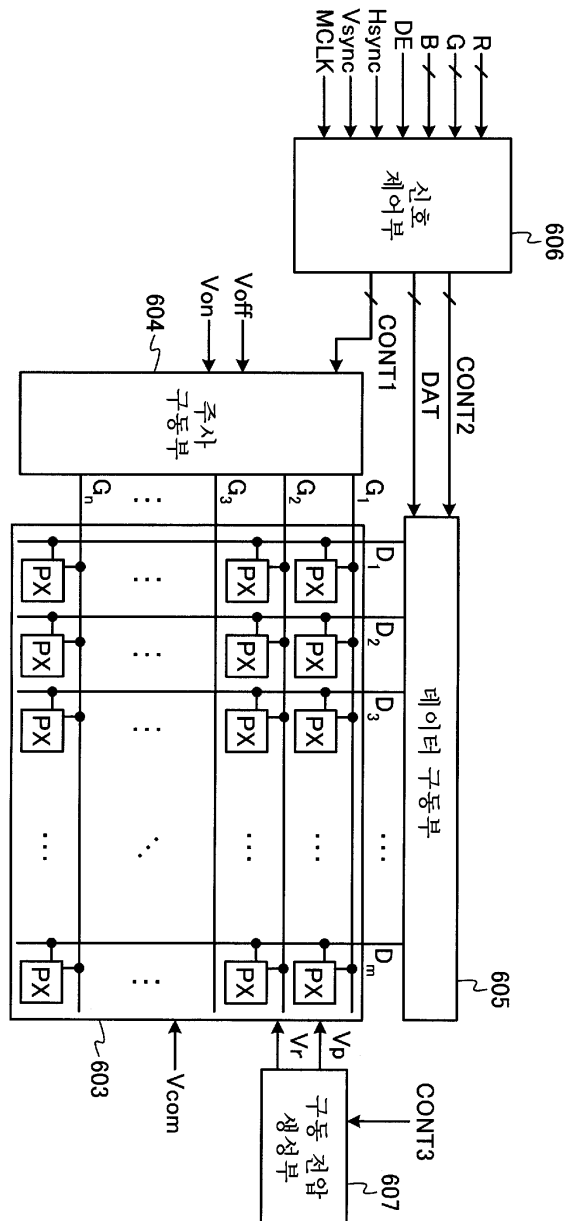
[0109]

- 1: 기판
- 2: 배선층
- 2a, 2b, 2c: 전극 단자
- 2d1: 제1 모니터 영역
- 2d2: 제2 모니터 영역
- 2d3: 제3 모니터 영역
- 2d4: 제4 모니터 영역
- 2d5: 제5 모니터 영역
- 3: 층간 절연막
- 4, 7a, 7b, 11, 111, 204, 207a, 207b, 211: 콘택트 내 배선
- 4a, 7c, 7d, 11a, 204a, 207c, 207d, 211a: 콘택트홀
- 5a, 5b: 게이트 전극
- 5c, 5d: 접속막
- 6: 게이트 절연막
- 8a, 8d, 108d: 소스 전극
- 8b, 8c, 108c: 드레인 전극
- 9a, 9b: 반도체막
- 10, 110: 층간 절연막
- 12: 애노드 전극
- 13: 유기막
- 14: 캐소드 전극
- 16: 보호막
- 17: 상부 기판
- 21: 스위칭 트랜지스터
- 22: 구동 트랜지스터
- 23: 캐패시터
- 24: 유기 EL 소자
- 100, 200, 300, 400: 화소
- 100a, 300a: 표시 영역
- 100b, 300b: 돌출 영역
- 301: 금속 기판
- 318: 절연막
- 603: 디스플레이 패널

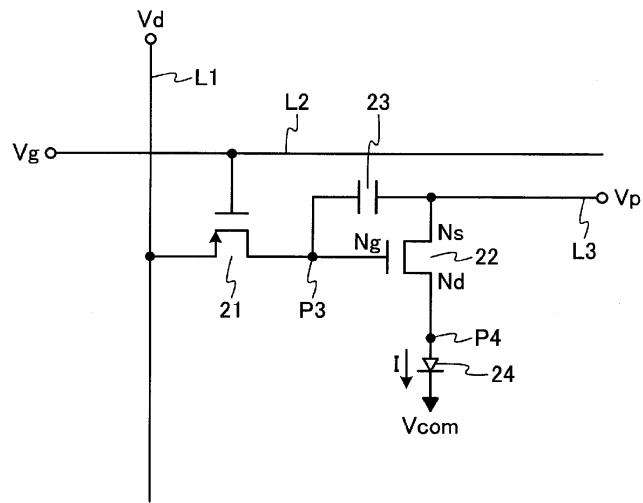
- 604: 주사 구동부
- 605: 데이터 구동부
- 606: 신호 제어부
- 607: 구동 전압 생성부

도면

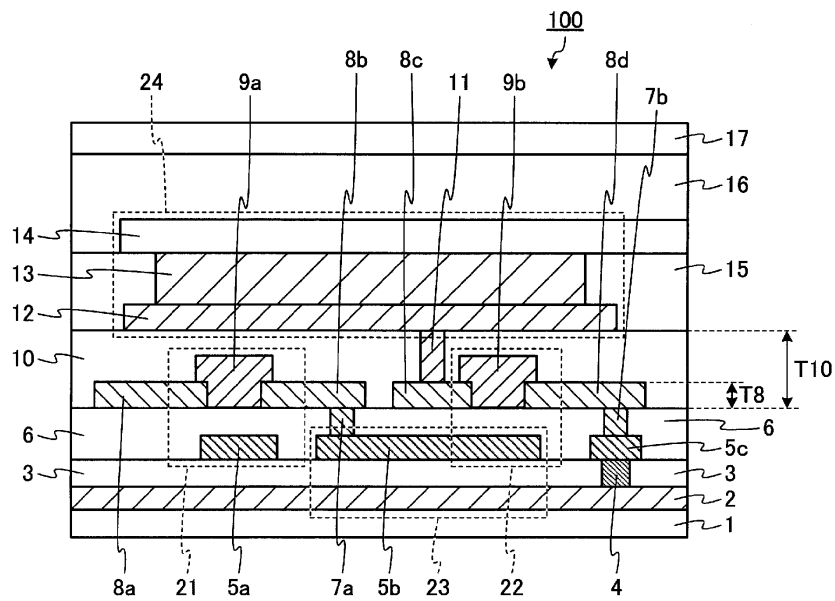
도면1



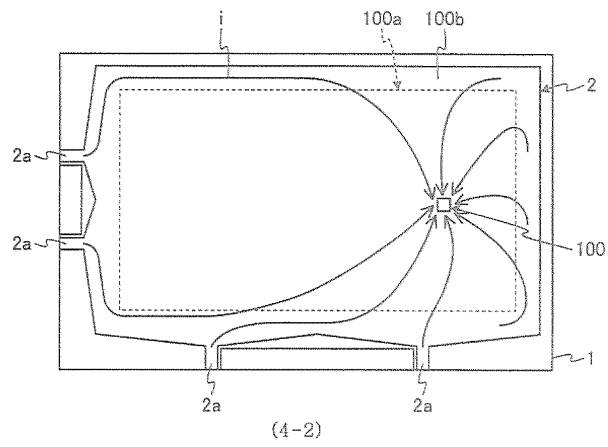
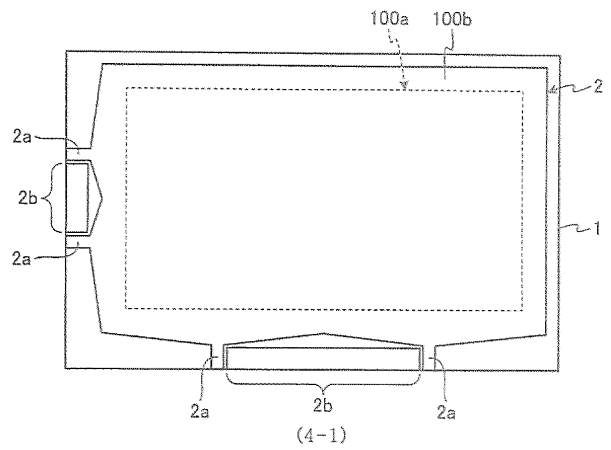
도면2



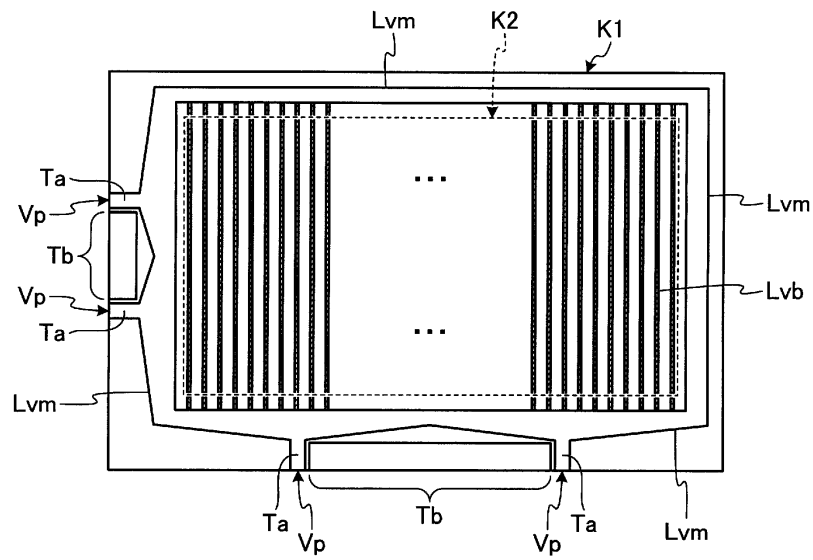
도면3



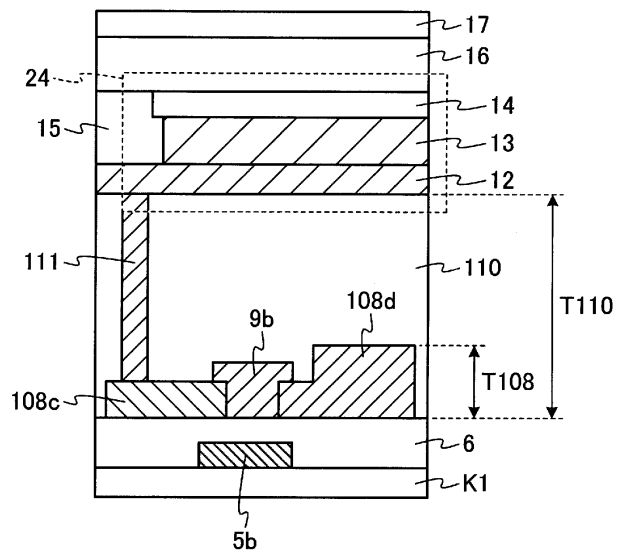
도면4



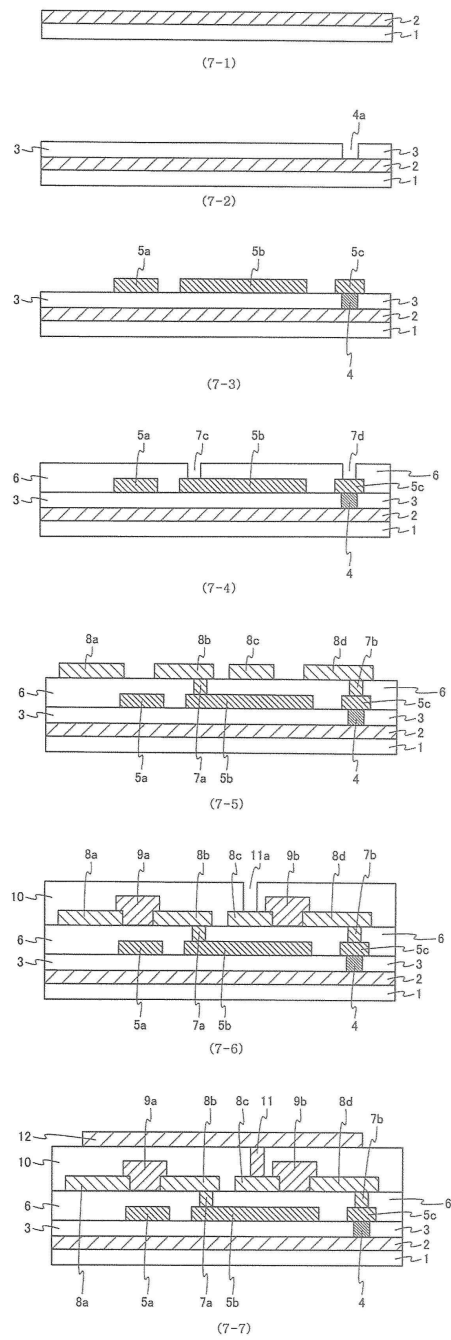
도면5



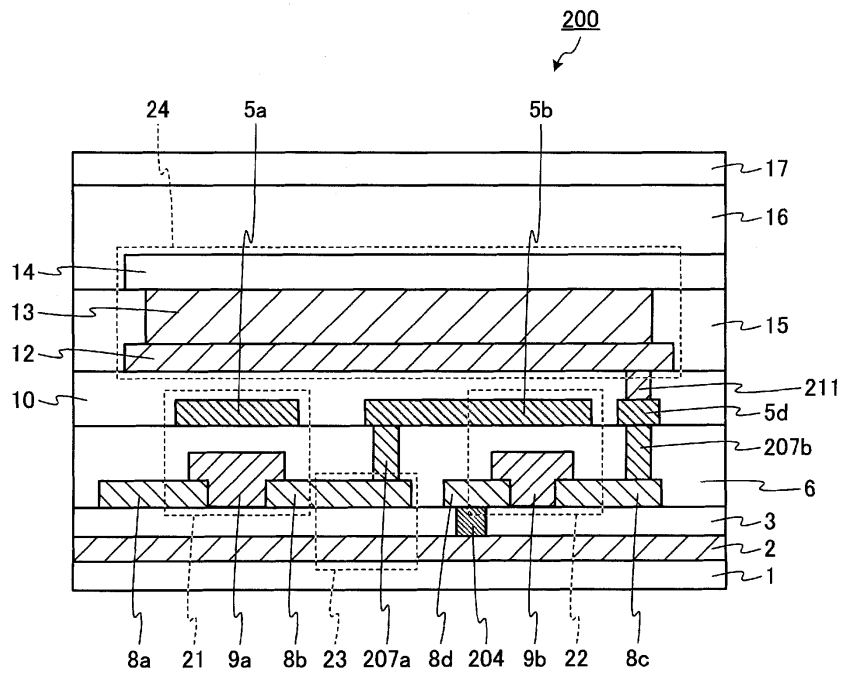
도면6



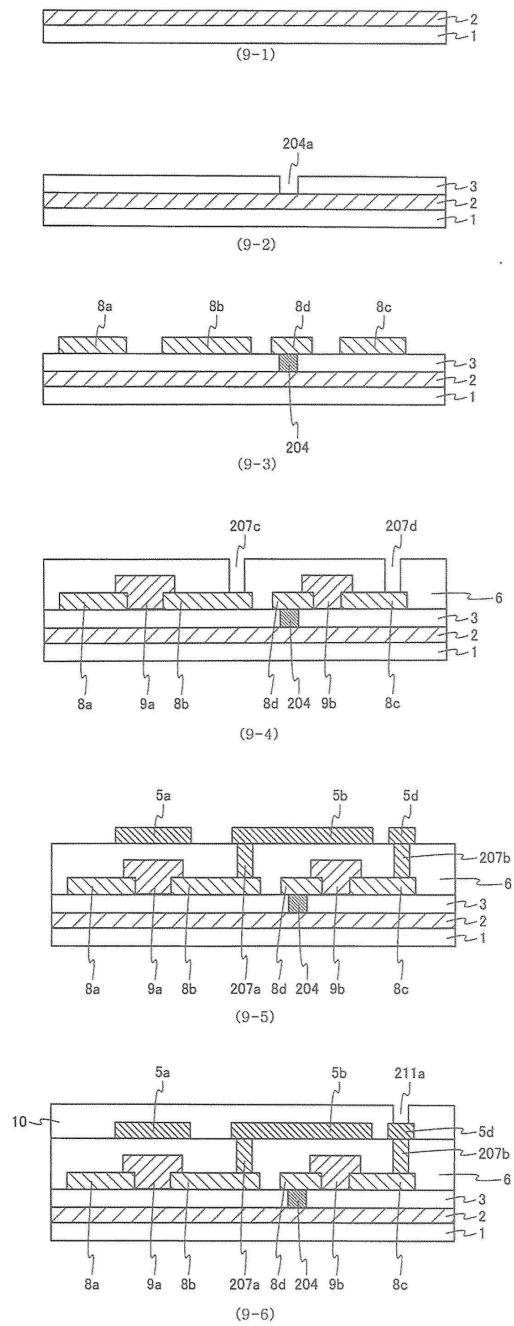
도면7



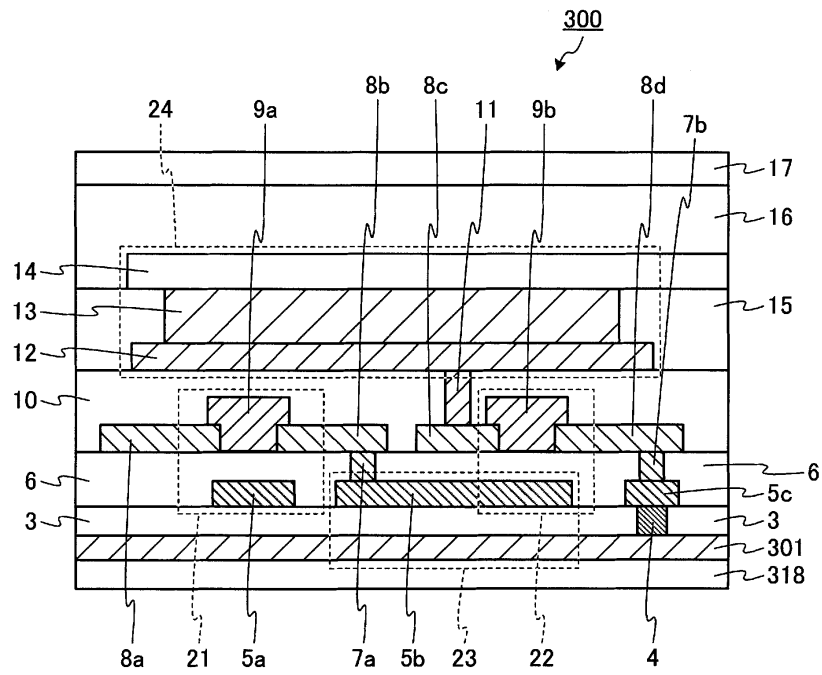
도면8



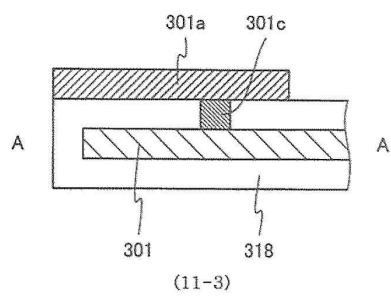
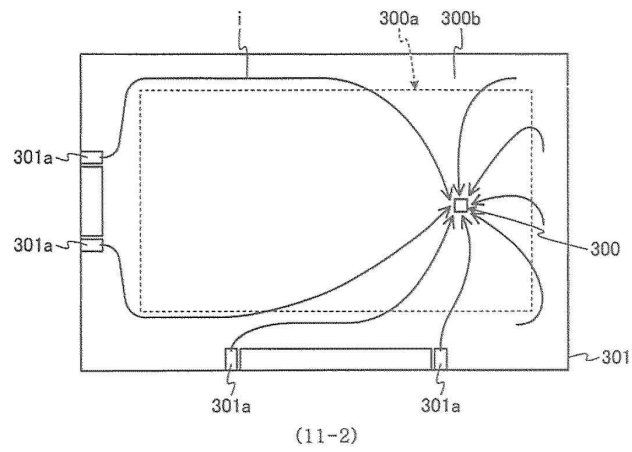
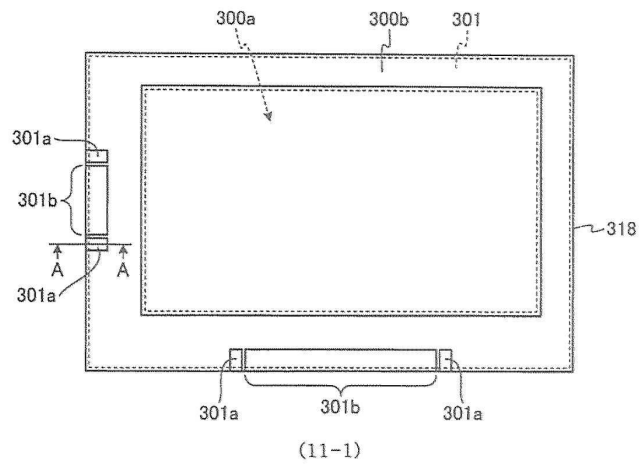
도면9



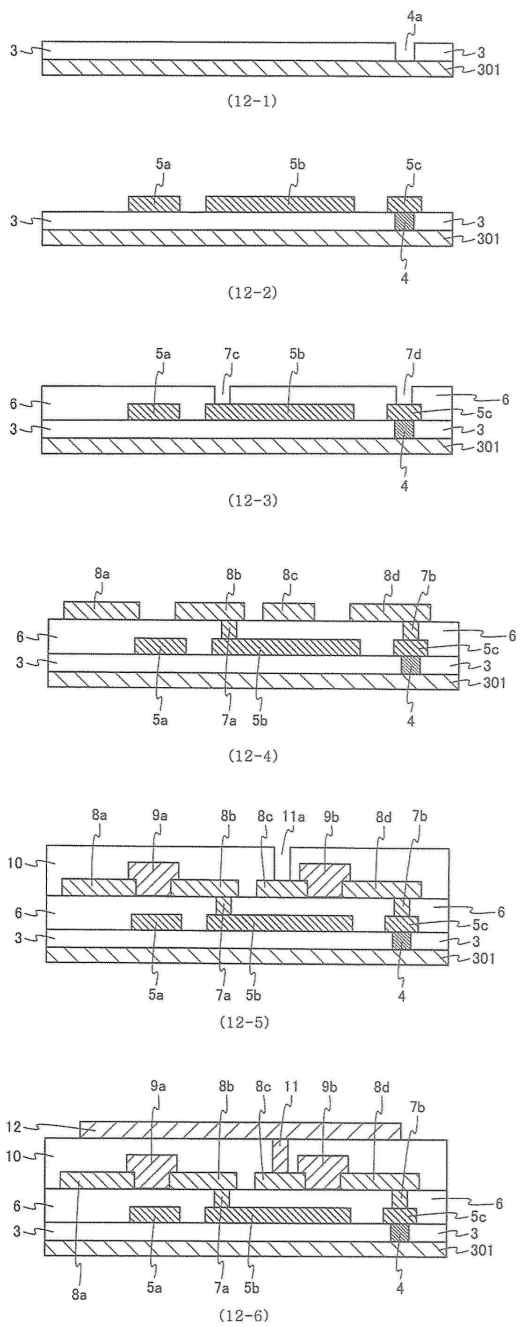
도면10



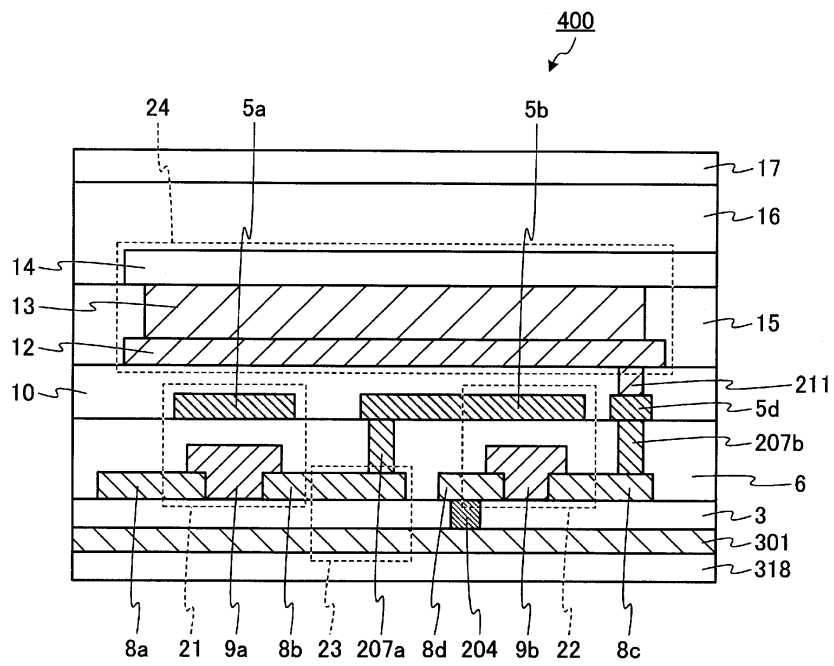
도면11



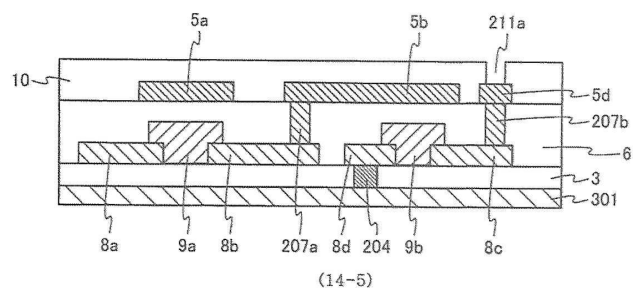
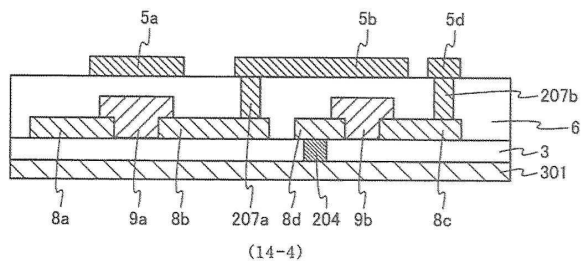
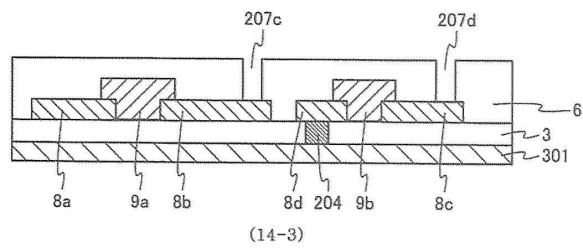
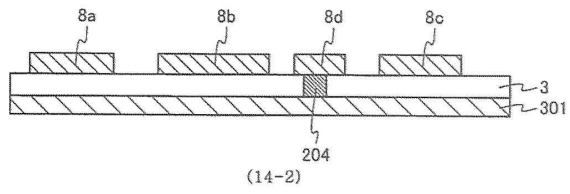
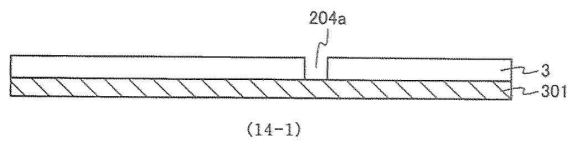
도면12



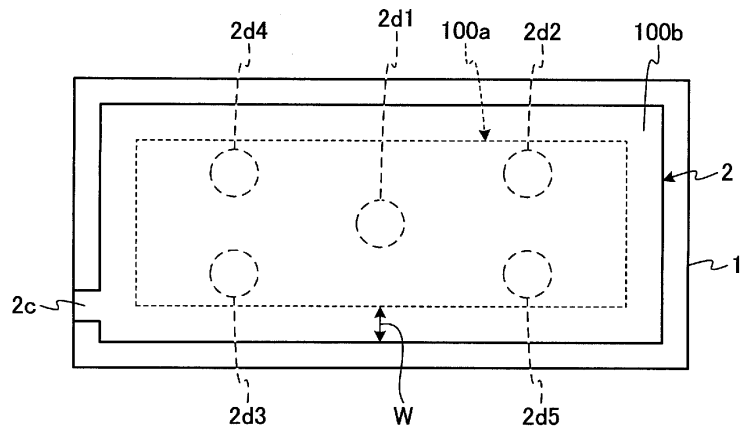
도면13



도면14



도면15



专利名称(译)	显示装置和显示装置的制造方法		
公开(公告)号	KR1020110049783A	公开(公告)日	2011-05-12
申请号	KR1020117002216	申请日	2009-07-23
[标]申请(专利权)人(译)	住友化学有限公司 另一位家长住友化学有限公司是分租		
申请(专利权)人(译)	住友化学 (株) 制		
当前申请(专利权)人(译)	住友化学 (株) 制		
[标]发明人	MATSUMURO TOMONORI		
发明人	MATSUMURO, TOMONORI		
IPC分类号	H01L51/50 H05B33/10 H05B33/06		
CPC分类号	H01L27/3274 H01L27/3276 H01L27/1214 H01L29/7869 H01L27/124 H01L51/5209		
代理人(译)	CHANG, SOO KIL LEE, SEOK JAE		
优先权	2008195772 2008-07-30 JP		
外部链接	Espacenet		

摘要(译)

本发明提供一种显示装置，包括布线层（2），其形成在半导体器件（21）和（22）之间，有机电致发光显示器和基板包含有机电致发光显示器（24）所在的区域。从安装有电源的基板（1）的厚度方向观察电源，并且在半导体器件之间安装有层间绝缘膜（3），其中形成有接触孔（4a）（21），和（22），有机电致发光显示器和布线层以及在接触孔内形成的布线（4）的接触内部，并且电连接阳极电极（12）中的至少任一个和布线层）有机电致发光显示器和源电极（8a），（8d），漏电极（8b），（8c）。

