



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0103182
(43) 공개일자 2007년10월23일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0034959

(22) 출원일자 2006년04월18일

심사청구일자 2006년04월18일

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

신동용

서울특별시 관악구 봉천1동 969-37

(74) 대리인

신영무

전체 청구항 수 : 총 21 항

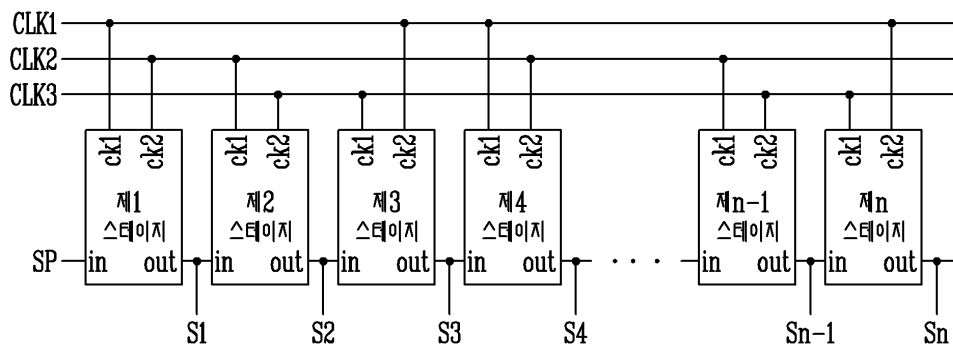
(54) 주사구동회로 및 이를 이용한 유기발광표시장치

(57) 요약

본 발명의 목적은 주사구동회로가 PMOS 트랜지스터로 구현되도록 하며, 주사구동회로의 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭하도록 하는 주사구동회로 및 이를 이용한 유기발광 표시장치를 제공함에 그 목적이 있다.

본 발명은 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 2 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프 동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부 및 상기 출력단의 전압을 소정시간 동안 유지하되, 상기 입력신호에 대응하여 제 3 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로 및 이를 이용한 유기발광표시장치를 제공하는 것이다.

대표도 - 도5



특허청구의 범위

청구항 1

순차적으로 발생하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 스위치;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 스위치의 온오프동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부; 및

상기 출력단의 전압을 소정시간 동안 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로.

청구항 2

제 1 항에 있어서,

상기 저장부는 상기 스위치와 연결되어 상기 입력신호를 전달받는 제 1 노드의 전압에 대응하여 클럭을 제 2 노드에 전달하는 제 2 트랜지스터와 상기 제 1 노드와 상기 제 2 노드의 전압을 유지하는 캐패시터를 포함하는 주사구동회로.

청구항 3

제 1 항에 있어서,

상기 스위치부는 클럭의 전압에 대응하여 제 2 전압을 제 3 노드에 전달하는 제 3 트랜지스터;

상기 입력신호에 대응하여 클럭의 전압을 상기 제 2 노드에 전달하는 제 4 트랜지스터; 및

게이트가 상기 제 2 노드에 연결되어 상기 제 2 노드의 전압에 대응하여 상기 제 1 전압을 상기 출력단으로 전달하는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 4

제 1 항에 있어서,

상기 스위치부는 게이트는 상기 제 1 클럭단자에 연결되고 소스는 제 2 전압에 연결되고 드레인인 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 제 1 노드에 연결되고 소스는 상기 제 1 클럭단자에 연결되고 드레인인 상기 제 3 노드에 연결되도록 하는 제 4 트랜지스터; 및

게이트는 상기 제 3 게이트에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인인 출력단에 연결되는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 5

제 1 항에 있어서,

상기 복수의 스테이지는 순차적으로 발생하는 세개의 클럭 중 첫번째 클럭에 대응하여 상기 입력신호를 전달받는 프리차지기간과 두번째 클럭에 대응한 전압을 상기 출력단으로 출력하는 평가기간과 세번째 클럭이 발생하는 동안 상기 저장부에 저장되어 있는 신호를 출력하는 휴식기간의 단계로 구분되어 동작하는 주사구동회로.

청구항 6

제 5 항에 있어서,

상기 복수의 스테이지 중 하나의 스테이지는 이전단의 스테이지에서 주사신호가 출력될 때 입력기간으로 동작되는 주사구동회로.

청구항 7

제 1 항에 있어서,

상기 제 1 전압은 구동전원의 전압인 주사구동회로.

청구항 8

제 3 항 또는 제 4 항에 있어서,

상기 제 2 전압은 접지인 주사구동회로.

청구항 9

순차적으로 펄스파를 형성하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부; 및

상기 출력단의 전압을 소정시간 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 입력되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로.

청구항 10

제 9 항에 있어서,

상기 저장부는 상기 제 1 트랜지스터와 연결되어 상기 입력신호를 전달받는 제 1 노드와 연결되어 상기 제 1 노드의 전압에 대응하여 상기 제 2 클럭을 제 2 노드에 전달하는 제 2 트랜지스터와 상기 제 1 노드와 상기 제 2 노드의 전압을 유지하는 캐패시터를 포함하는 주사구동회로.

청구항 11

제 9 항에 있어서,

상기 스위치부는

게이트는 상기 제 1 클럭단자에 연결되고 소스는 제 2 전압에 연결되며 드레인온 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 상기 출력단에 연결되고 소스는 상기 제 1 클럭단자에 연결되며 드레인은 상기 제 3 노드에 연결되는 제 4 트랜지스터; 및

게이트는 상기 제 3 노드에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인은 상기 출력단에 연결되는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 12

제 9 항에 있어서,

상기 스위치부는

게이트와 소스가 상기 제 1 클럭단자에 연결되고 드레인은 제 3 노드에 연결되도록 하는 제 3 트랜지스터;

게이트는 상기 출력단에 연결되고 소스는 상기 제 1 클럭단자에 연결되며 드레인은 상기 제 3 노드에 연결되는 제 4 트랜지스터; 및

게이트는 상기 제 3 노드에 연결되고 소스는 상기 제 1 전압에 연결되며 드레인온 상기 출력단에 연결되는 제 5 트랜지스터를 포함하는 주사구동회로.

청구항 13

제 9 항에 있어서,

상기 복수의 스테이지는 순차적으로 발생하는 세개의 클럭 중 첫번째 클럭에 대응하여 상기 입력신호를 전달받는 프리차지기간과 두번째 클럭에 대응한 전압을 상기 출력단으로 출력하는 평가기간과 세번째 클럭이 발생하는 동안 상기 저장부에 저장되어 있는 신호를 출력하는 휴식기간의 단계로 구분되어 동작하는 주사구동회로.

청구항 14

제 13 항에 있어서,

상기 복수의 스테이지 중 하나의 스테이지는 이전단의 스테이지에서 주사신호가 출력될 때 입력기간으로 동작되는 주사구동회로.

청구항 15

제 12 항에 있어서,

상기 복수의 스테이지 중 하나의 스테이지는 이전단의 스테이지에서 로우신호가 출력될 때 입력기간으로 동작되는 주사구동회로.

청구항 16

제 12 항에 있어서,

상기 제 1 전압은 구동전원의 전압인 주사구동회로.

청구항 17

제 11 항에 있어서,

상기 제 2 전압은 접지인 주사구동회로.

청구항 18

복수의 화소에 의해 화상을 표현하는 화소부;

상기 화소부에 주사신호를 전달하는 주사구동회로; 및

상기 화소부에 데이터신호를 전달하는 데이터구동회로를 포함하되,

상기 주사구동회로는 순차적으로 펄스파를 형성하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부; 및

상기 출력단의 전압을 소정시간 동안 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치.

청구항 19

복수의 화소에 의해 화상을 표현하는 화소부;

상기 화소부에 주사신호를 전달하는 주사구동회로; 및

상기 화소부에 데이터신호를 전달하는 데이터구동부를 포함하되,

상기 주사구동회로는 순차적으로 펄스파를 형성하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되,

상기 스테이지는,

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터;

제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부; 및

상기 출력단의 전압을 소정시간 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 입력되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치.

청구항 20

제 18 항 또는 제 19 항에 있어서,

상기 복수의 스테이지는 순차적으로 발생하는 세개의 클럭 중 첫번째 클럭에 대응하여 상기 입력신호를 전달받는 프리차지시간과 두번째 클럭에 대응한 전압을 상기 출력단으로 출력하는 평가기간과 세번째 클럭이 발생하는 동안 상기 저장부에 저장되어 있는 신호를 출력하는 휴식기간의 단계로 구분되어 동작하는 주사구동회로.

청구항 21

제 20 항에 있어서,

상기 복수의 스테이지 중 하나의 스테이지는 이전단의 스테이지에서 주사신호가 출력될 때 입력기간으로 동작되는 주사구동회로.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <17> 본 발명은 주사구동회로 및 이를 이용한 유기 발광표시장치에 관한 것으로, 더욱 상세히 설명하면, 소비전력이 줄어들도록 하는 주사구동회로 및 이를 이용한 유기발광표시장치에 관한 것이다.
- <18> 일반적으로 유기 전계발광 장치와 같은 액티브 매트릭스 표시장치는 데이터 선들과 주사선들과의 교차부들에 매트릭스 형태로 배열된 화소 어레이(array)를 구비한다.
- <19> 여기서, 상기 주사선들은 상기 매트릭스 화소부의 수평라인(로우라인)들을 구성하며, 이는 주사구동회로에 의해 순차적으로 소정의 신호 즉, 주사 신호를 상기 매트릭스 화소 어레이에 제공한다.
- <20> 도 1은 일반적인 주사구동회로의 구성을 나타내는 블록도이다. 도 1을 참조하면, 일반적인 주사구동회로는 스타트 펄스(SP) 입력 라인에 종속적으로 접속된 다수의 스테이지(ST1 내지 STn)으로 구성되며, 상기 다수의 스테이지들(ST1 내지 STn)은 스타트 펄스(SP)를 클럭 신호(C)에 따라 순차적으로 쉬프트시켜 출력신호(S01 내지 S0n)를 발생한다. 이 경우 제 2 내지 제 n 스테이지(ST2 내지 STn) 각각은 전단 출력 신호를 스타트 펄스로 입력받아 이를 쉬프트시키게 된다.
- <21> 이에 따라 상기 스테이지들은 상기 스타트 펄스가 순차적으로 쉬프트되는 형태의 출력신호(S01 내지 S0n)를 발생하여 이를 상기 매트릭스 화소 어레이에 제공하게 되는 것이다.
- <22> 도 2는 도 1에 도시된 주사구동회로에서 임의 스테이지의 회로도이고, 도 3는 도 2에 도시된 스테이지의 입/출력 신호 파형도이다.

- <23> 도 2 및 도 3을 참조하면, 종래의 경우 주사구동회로를 구성하는 각 스테이지는 마스터-슬레이브(Master-Slave) 형태의 플립플롭(flip/flop)을 사용한다. 이러한 플립플롭은 클럭(CLK)이 로우 레벨일 때 입력을 계속 받으며, 출력은 이전의 출력을 유지한다.
- <24> 반면에 상기 클럭(CLK)이 하이 레벨인 경우에는 상기 클럭(CLK)이 로우 레벨일 때 받은 입력(IN)을 유지하며 이를 출력으로 내보내고 더 이상의 입력을 받지 않는다.
- <25> 이와 같은 회로에 있어서, 상기 플립플롭 내부에 구비되는 인버터(inverter)의 경우 그 입력(in)이 로우 레벨일 때 스테틱 전류(static current)가 흐르는 문제가 있다. 또한, 상기 플립플롭 내부에서 하이 레벨 입력(in)을 받은 인버터와 로우 레벨 입력(in)을 받는 인버터의 수가 같으므로 상기 플립플롭 내부의 인버터 중 절반에서는 상기 스테틱 전류가 발생되어 소비전력이 크게 되는 단점이 있다.
- <26> 그리고, 도 2의 회로에서 출력 전압(OUT)의 하이 레벨은 공급전압(VDD)과 접지(GND) 사이를 연결하는 저항의 비에 의한 전압값으로 결정되며(ratioed logic), 출력 전압(OUT)의 로우 레벨은 접지(GND)보다 트랜지스터의 문턱 전압 만큼 높게 된다.
- <27> 즉, 트랜지스터의 특성 편차에 따라 각 스테이지마다 하이 레벨로 받아들이는 입력전압 레벨이 다르게 되기 때문에 이와 같은 회로를 채용할 경우 출력 전압의 하이 레벨에도 편차가 생겨 회로가 오동작할 수 있게 되는 단점이 있다.
- <28> 또한, 상기 출력 전압의 로우 레벨 편차는 도 2의 회로에 구비된 인버터의 입력 트랜지스터(T1)의 온(on) 저항의 편차로 반영되어 출력 전압의 하이 레벨 편차를 가중시킬 수 있다. 특히 유기 전계발광 장치 패널에서는 특성 편차가 큰 트랜지스터를 사용하므로 이러한 문제가 더욱 심각해 진다.
- <29> 또한, 상기 인버터는 입력 트랜지스터(T1)를 통해서 전류가 흘러 출력단(out)을 충전하며, 로드 트랜지스터(T2)를 통해서 전류가 흘러 출력단(out)을 방전하는데, 상기 출력단을 충전할 경우 상기 로드 트랜지스터(T2)의 소스-게이트 전압이 점점 줄어 방전 전류가 급격히 감소해 방전 효율이 떨어지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <30> 따라서, 본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 창출된 것으로, 본 발명의 목적은 주사구동회로가 PMOS 트랜지스터로 구현되도록 하며, 주사구동회로의 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭하도록 하는 주사구동회로 및 이를 이용한 유기발광 표시장치를 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <31> 상기 목적을 달성하기 위하여 본 발명의 제 1 측면은, 순차적으로 발생하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달되도록 하고 상기 상기 제 1 트랜지스터의 온오프 동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부 및 상기 출력단의 전압을 소정시간 동안 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로를 제공하는 것이다.
- <32> 본 발명의 제 2 측면은, 순차적으로 발생하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부 및 상기 출력단의 전압을 소정시간 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 입력되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 주사구동회로를 제공하는 것이다.
- <33> 본 발명의 제 3 측면은, 복수의 화소에 의해 화상을 표현하는 화소부, 상기 화소부에 주사신호를 전달하는 주사구동회로 및 상기 화소부에 데이터신호를 전달하는 데이터구동회로를 포함하되, 상기 주사구동회로는 순차적으로 발생하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지

연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압이 상기 출력단에 전달 되도록 하고 상기 상기 제 1 트랜지스터의 온오프동작에 의해 상기 입력단을 통해 상기 입력신호를 전달받아 상기 입력신호에 대응하여 상기 제 1 전압이 상기 출력단에 전달되지 않도록 하는 스위치부 및 상기 출력단의 전압을 소정시간 동안 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 전달되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치를 제공하는 것이다.

<34> 본 발명의 제 4 측면은, 복수의 화소에 의해 화상을 표현하는 화소부, 상기 화소부에 주사신호를 전달하는 주사 구동회로 및 상기 화소부에 데이터신호를 전달하는 데이터구동부를 포함하되, 상기 주사구동회로는 순차적으로 발생하는 3 개의 클럭 중 2 개의 클럭을 전달받아 동작하고 입력단을 통해 입력신호를 입력받아 일정시간 지연하여 출력단을 통해 출력신호를 출력하며, 상기 입력단에 이전단의 스테이지의 출력단이 연결되는 복수의 스테이지를 포함하되, 상기 스테이지는, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 상기 입력단과의 연결을 온오프하는 제 1 트랜지스터, 제 1 클럭단자를 통해 입력되는 클럭에 대응하여 제 1 전압과 상기 출력단이 온 또는 오프 상태가 되도록 하는 스위치부 및 상기 출력단의 전압을 소정시간 유지하되, 상기 입력신호에 대응하여 제 2 클럭단자를 통해 입력되는 클럭의 전압을 상기 출력단으로 전달하는 저장부를 포함하는 유기발광표시장치를 제공하는 것이다.

<35> 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.

<36> 도 4는 본 발명에 따른 유기발광표시장치의 구조를 나타내는 구조도이다. 도 4를 참조하여 설명하면, 유기 발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(40)을 포함하는 화소부(30)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사구동회로(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동회로(20)와, 주사구동회로(10) 및 데이터 구동회로(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.

<37> 타이밍 제어부(50)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(50)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동회로(20)로 공급되고, 주사 구동제어신호(SCS)는 주사구동회로(10)로 공급된다. 그리고, 타이밍 제어부(50)는 외부로부터 공급되는 데이터(Data)를 데이터 구동회로(20)로 공급한다.

<38> 데이터 구동회로(20)는 타이밍 제어부(50)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동회로(20)는 데이터신호를 생성하고, 생성된 데이터신호를 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다.

<39> 화소부(30)는 외부로부터 제 1 전원(ELVDD) 및 제 2 전원(ELVSS)을 공급받아 각각의 화소들(40)로 공급한다. 제 1 전원(ELVDD) 및 제 2 전원(ELVSS)을 공급받은 화소들(40) 각각은 데이터신호에 대응하여 제 1 전원(ELVDD)으로부터 발광소자를 경유하여 제 2 전원(ELVSS)으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 빛을 생성한다.

<40> 또한, 주사구동회로(10)는 타이밍 제어부(50)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사구동회로(10)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.

<41> 즉, 상기 주사구동회로(10)는 상기 복수의 화소들을 구동하기 위해 순차적으로 상기 주사신호를 생성하여 이를 화소부(30)에 제공하는 역할을 수행한다.

<42> 도 5는 본 발명에 따른 주사구동회로의 구조를 나타내는 구조도이다. 도 5를 참조하여 설명하면, 주사구동회로는 $m \times n$ 화소 어레이(Pixel Array)를 구동하기 위하여 스타트 펄스 입력 라인에 종속 접속되어진 n개의 스테이지들을 구비한다.

<43> 이들 n개의 스테이지들의 출력라인들은 상기 화소 어레이에 포함된 n개의 로우라인들(ROW1 내지 ROWn)에 각각 접속된다. 제 1 스테이지에는 스타트 펄스(SP)가 공급되고 제 1 내지 제 n-1 스테이지들의 출력신호는 각각 후단의 스테이지들에 스타트 펄스로서 공급된다. 그리고, 상기 각 스테이지들은 제 1 클럭신호(CLK1)와 제 2 클럭신호(CLK2) 또는 제 2 클럭신호와 제 3 클럭신호(CLK3) 또는 제 1 클럭신호(CLK1)와 제 3 클럭신호(CLK3)를 입력받아 동작하며 각 스테이지들은 제 1 클럭단자(CK1)와 제 2 클럭단자(CK2)를 구비한다. 여기서, 상기 스테이지가 3k-2 번째 인 경우에는 도시된 바와 같이 상기 제 1 클럭단자(CK1)에 제 1 클럭(CLK1)이 공급되고, 제 2

클럭단자(CK2)에 제 2클럭(CLK2)가 공급된다. 그리고, 상기 스테이지가 3k-1 번째인 경우에는 상기 제 1 클럭단자(CK1)에는 제 2 클럭신호(CLK2)가 공급되고 제 2 클럭단자(CK2)에는 제 3 클럭(CLK3)이 공급된다. 그리고, 상기 스테이지가 3k 번째인 경우에는 상기 제 1 클럭단자(CK1)에는 제 3 클럭(CLK3)이 전달되고 제 2 클럭단자(CK2)에는 제 1 클럭(CLK1)이 전달된다. 여기서 k는 자연수이다.

- <44> 즉, 각 스테이지는 제 1 내지 제 3 클럭(CLK1 내지 CLK3) 중 두 개의 클럭을 전달받아 동작하고, 나머지 하나의 클럭은 전달받지 않아 나머지 하나의 클럭에 대해 동작하지 않도록 한다.
- <45> 그리고, 제 1 스테이지가 제 1 클럭과 제 2 클럭에 의해 신호를 출력할 때 제 2 스테이지는 제 2 클럭과 제 3 클럭을 전달받아 동작을 하게 되고, 제 2 스테이지가 제 2 클럭과 제 3 클럭에 의해 신호를 출력할 때 제 3 스테이지는 제 3 클럭과 제 1 클럭을 전달받아 동작을 하게 된다. 즉, 제 1 스테이지와 제 2 스테이지와 제 3 스테이지는 순차적으로 신호를 출력하게 되어 유기 발광표시장치의 화소부를 라인별로 순차 구동하게 되는 것이다.
- <46> 이와 같은 주사구동회로에 있어서의 입력 신호들, 즉 스타트 펄스(SP), 제 1 내지 제 3 클럭(CLK1 내지 CLK3)과, 공급전압(VDD) 등은 외부 제어회로로부터 공급된다.
- <47> 도 6은 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 1 실시예를 나타내는 회로도이고, 도 7은 도 6에 도시된 스테이지의 입/출력 신호 파형의 제 1 실시예를 나타내는 타이밍도이다.
- <48> 도 6에 도시된 바와 같이 본 발명의 실시예의 경우 스테이지에 포함된 트랜지스터가 모두 PMOS 트랜지스터로 구성되어 있으며, 주사 구동회로를 통해 순차적으로 로우 레벨의 출력을 내보낸다. 즉, 본 발명에 의한 주사 구동회로에서는 유기 전계발광 장치와 같은 액티브 매트릭스 표시장치의 화소부에 도 6에 도시된 바와 같이 대부분의 시간 동안 하이 레벨의 신호를 출력하고 여러 스테이지를 통해 순차적으로 로우 레벨의 펄스를 출력한다.
- <49> 도 6을 참조하면, 스테이지는, 이전단 출력전압(si) 또는 최초 스타트 펄스(SP)를 입력 받고 제 1 클럭단자(CK1)에 게이트가 접속되어 선택적으로 이전단 출력전압(si) 또는 최초 스타트 펄스(SP)를 제 1 노드(N1)로 전달하는 제 1 PMOS 트랜지스터(M1), 게이트가 제 1 노드(N1)에 연결되고 제 2 클럭단자(CK2)와 제 2 노드(N2) 사이에 접속되는 제 2 PMOS 트랜지스터(M2), 게이트에 제 1 클럭단자(CK1)가 연결되고 기저전압원과 제 3 노드(N3) 사이에 연결되는 제 3 PMOS 트랜지스터(M3), 게이트에 제 1 노드(N1)가 연결되고 제 1 클럭단자(CK1)와 제 3 노드(N3)사이에 연결되는 제 4 PMOS 트랜지스터(M4), 게이트가 제 3 노드(N3)에 연결되고 전원공급선(VDD) 및 출력 라인(OUT) 사이에 접속된 제 5 PMOS 트랜지스터(M5) 및 제 1 노드(N1)와 제 2 노드(N2) 사이에 연결되어 소정의 전압을 유지하는 캐패시터(C1)를 포함한다.
- <50> 상기 기저전압원(VSS)에는 별도의 음의 전원 또는 접지(GND) 되어 구성될 수도 있으며, 본 발명의 실시예에서는 상기 기저전압원이 접지(GND)로 구현되는 것이 도시되어 있다.
- <51> 이하, 도 6에 도시된 스테이지 중 3k-2 번째 스테이지의 회로 구성을 통해 보다 구체적으로 스테이지의 동작을 설명하도록 한다.
- <52> 도 7을 참조하면, 상기 주사 구동회로의 각 스테이지는 제 1 클럭(CLK1), 제 2 클럭(CLK2) 및 제 3 클럭(CLK3)에 의해 한 주기를 프리차지기간, 입력기간 및 휴식기간으로 구분할 수 있다. 프리차지기간은 스테이지의 제 1 클럭단자(CK1)로 로우 신호인 제 1 클럭(CLK1)이 입력되고 제 2 클럭단자(CK2)에 하이 신호인 제 2 클럭(CLK2)가 입력되며, 입력단(in)을 통해 스타트 펄스(SP) 또는 이전단의 주사신호(Si)가 입력된다. 이때, 제 1 PMOS 트랜지스터(M1)과 제 3 PMOS 트랜지스터(M3)가 제 1 클럭에 의해 온상태가 되어 제 1 노드(N1)와 제 3 노드(N3)는 로우상태의 전압을 유지하게 된다. 제 1 노드(N1)이 로우상태가 되면 제 2 PMOS 트랜지스터(M2)와 제 4 PMOS 트랜지스터(M4)가 온 상태가 된다. 제 2 PMOS 트랜지스터(M2)가 온상태가 되면 캐패시터(C1)에는 제 1 노드(N1)와 제 2 노드(N2)의 전압의 차이에 해당하는 전압이 충전된다. 그리고, 제 4 PMOS 트랜지스터(M4)가 온상태가 되면 제 1 클럭(CLK1)의 전압이 제 3 노드(N3)에 전달된다. 따라서, 제 5 PMOS 트랜지스터(M5)가 온상태가 되어 출력단(out)으로 구동전압이 출력된다.
- <53> 그리고, 평가기간은 제 1 클럭단자(CK1)로 하이신호인 제 1 클럭(CLK1)이 입력되고 제 2 클럭단자(CK2)에 로우 신호인 제 2 클럭(CLK2)가 입력된다. 이때, 제 1 PMOS 트랜지스터(M1)는 오프 상태가 되어 프리팅 상태가 되어 캐패시터(C1)에 의해 제 1 노드(N1)는 이전의 전압을 유지하게 된다. 따라서, 제 2 PMOS 트랜지스터와 제 4 PMOS 트랜지스터(M4)는 온 상태를 유지하게 된다. 먼저, 제 4 PMOS 트랜지스터(M4)가 온상태를 유지하게 되면 제 1 클럭단자(CK1)으로 전달되는 제 1 클럭(CLK1)은 하이상태를 유지하게 되어 제 5 PMOS 트랜지스터(M5)가 오프 상태가 되도록 한다. 그리고, 제 2 PMOS 트랜지스터(M2)가 온상태가 되면 제 2 노드(N2)의 전압은 제 2 클

력의 전압에 따라 변화하게 되어 출력단의 전압은 제 2 클럭(CLK2)의 파형과 동일하게 된다. 그리고, 출력단(out)의 전압은 제 5 PMOS 트랜지스터(M5)에 의해 전원공급선(VDD)으로부터 구동전압이 전달되지 않아 제 2 노드(N2)의 전압에 대응하여 변화된다.

<54> 마지막으로, 휴식기간은 제 3 클럭(CLK3)이 로우신호일 때를 나타내는것으로, 제 1 클럭(CLK1)과 제 2 클럭(CLK2)은 하이신호로 스테이지에 전달되고, 제 3 클럭(CLK3)은 스테이지에 전달되지 않는다. 이때, 출력단(out)의 전압은 하이상태를 유지하게 된다.

<55> 그리고, 제 2 클럭이 다시 로우신호가 되면 제 1 노드(N1)는 캐패시터에 의해 하이 상태의 전압을 갖게 되고 출력단(out)의 전압은 하이상태의 전압을 갖게 된다. 그리고, 입력단을 통해 스타트 펄스(SP) 또는 이전단의 주사신호(si)가 전달되지 않는 상태에서 다시 제 1 클럭(CLK1)과 제 2 클럭(CLK2)이 로우상태로 전달되면 제 1 노드(N1)의 전압이 하이상태를 유지하게 되며, 제 5 PMOS 트랜지스터(M5)와 제 2 PMOS 트랜지스터(M2)는 오프상태가 된다. 따라서, 출력단(out)의 전압은 제 2 노드(N2)의 전압에 따라 결정되며 제 2 PMOS 트랜지스터(M2)가 오프상태가 되어 제 2 노드(N2)의 전압은 변화가 없어 하이상태를 유지하게 된다.

<56> 따라서, 각각의 스테이지는 입력단(in)을 통해 로우신호가 입력되지 않으면 출력단(out)은 하이신호를 유지하게 되어 각각의 스테이지는 이전단의 스테이지에서 출력된 로우신호를 입력받아 로우신호를 출력하게 되어 주사신호를 순차적으로 출력할 수 있게 된다.

<57> 도 8은 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 2 실시예를 나타내는 회로도이다. 도 8을 참조하여 설명하면, 스테이지는 제 1 PMOS 트랜지스터(M1), 제 2 PMOS 트랜지스터(M2), 제 3 PMOS 트랜지스터(M3), 제 4 PMOS 트랜지스터(M4), 제 5 PMOS 트랜지스터(M5) 및 캐패시터(C1)를 구비한다.

<58> 제 1 PMOS 트랜지스터(M1)는 제 1 클럭(CLK1)에 의해 입력신호를 제 1 노드(N1)에 전달하고, 제 2 PMOS 트랜지스터(M2)는 제 1 노드(N1)의 전압에 대응하여 제 2 클럭(CLK2)을 제 2 노드(N2)에 전달한다. 제 3 PMOS 트랜지스터(M3)는 제 1 클럭(CLK1)에 의해 접지전압을 제 5 PMOS 트랜지스터(M5)의 게이트에 전달하며, 제 4 PMOS 트랜지스터(M4)는 게이트가 출력단(out)과 연결되어 출력단(out)의 전압에 대응하여 제 1 클럭(CLK1)을 제 5 PMOS 트랜지스터(M5)의 게이트에 전달한다. 그리고, 제 5 PMOS 트랜지스터(M5)는 게이트의 전압에 대응하여 전원공급선(VDD)의 전압을 출력단(out)에 전달한다. 그리고, 캐패시터(C1)는 제 1 노드(N1)와 제 2 노드(N2) 사이에 연결되어 소정의 전압을 유지한다.

<59> 상기와 같이 구성된 스테이지는 도 7에 도시된 타이밍도와 같은 제 1 내지 제 3 클럭(CLK1 내지 CLK3) 중 제 1 클럭(CLK1)과 제 2 클럭(CLK2)을 전달받아 동작하고, 제 1 클럭(CLK1)이 로우상태일 때는 프리차지기간으로 동작하고, 제 2 클럭(CLK2)이 로우상태일 때는 평가기간으로 동작하며, 제 3 클럭(CLK3)이 로우상태일 때에는 휴식기간을 갖는다.

<60> 도 9는 본 발명에 의한 주사 구동회로 내의 임의 스테이지의 제 3 실시예를 나타내는 회로도이다. 도 9를 참조하여 설명하면, 도 8에 도시된 스테이지와 유사한 구성을 하며 차이점은 제 3 PMOS 트랜지스터(M3)의 소스와 게이트가 제 1 클럭(CLK1)을 전달받도록 한다. 따라서, 제 1 클럭(CLK1)이 로우레벨일 때 제 5 PMOS 트랜지스터(M5)가 온상태가 된다. 나머지 동작은 도 8에 도시된 스테이지와 동일한 동작을 한다.

<61> 도 10a와 도 10b는 도 6에 도시된 스테이지의 입/출력 신호 파형의 제 2 실시예를 나타내는 타이밍도이다. 도 10a와 도 10b의 파형은 도 8과 도 9에 도시된 스테이지에도 적용된다. 그리고, 제 1 클럭, 제 2 클럭 및 제 3 클럭이 외부의 영향 등에 의해 일정부분 겹쳐지게 된 경우의 동작을 나타내는 것으로, 도 10a의 경우 제 1 클럭(CLK1), 제 2 클럭(CLK2) 및 제 3 클럭(CLK3) 중 제 1 클럭(CLK1)과 제 2 클럭(CLK2)이 겹쳐지게 되는 것을 나타내며, 도 10b의 경우는 제 1 클럭(CLK1), 제 2 클럭(CLK2) 및 제 3 클럭(CLK3)이 겹쳐지게 되는 것을 나타낸다.

<62> 도 10a의 경우를 살펴보면, 제 2 클럭(CLK2)의 오동작에 의해 제 1 클럭(CLK1)과 제 2 클럭(CLK2)이 겹쳐지게 되면 정상적인 동작을 하는 제 3 클럭(CLK3)과는 겹쳐지지 않게 된다. 따라서, 첫번째 스테이지에서 출력되는 주사신호는 제 1 클럭(CLK1)과 제 2 클럭(CLK2)이 겹쳐지게 되어 주사신호의 시작부분이 찌그러지게 된다. 하지만, 제 2 클럭(CLK2)과 제 3 클럭(CLK3)은 겹쳐지지 않게 되어 두번째 스테이지에서 출력되는 주사신호는 찌그러지지 않게 된다. 또한, 제 3 클럭(CLK3)과 두번째 제 1 클럭(CLK1)은 겹쳐지지 않아 세번째 스테이지에서 출력되는 주사신호 역시 찌그러지지 않게 된다.

<63> 그리고, 도 10b의 경우를 살펴보면, 제 1 클럭(CLK1)과 제 2 클럭(CLK2)이 겹쳐지게 되고 제 2 클럭(CLK2)과 제 3 클럭(CLK3)이 겹쳐지게 되면, 제 3 클럭(CLK3)과 두번째 발생한 제 1 클럭(CLK1)은 겹쳐지지 않게 된다. 따

라서, 첫번째 스테이지와 두번째 스테이지에서 출력되는 주사신호의 시작부분이 찌그러지게 되고 세번째 스테이지에서 출력되는 주사신호는 찌그러지지 않게 된다.

<64> 따라서, 주기적으로 주사신호의 파형이 다시 정상적인 파형을 나타나게 되어 첫번째 주사선에 입력되는 주사신호와 마지막 주사선에 입력되는 주사신호의 파형이 크게 변화되지 않게 된다.

<65> 도 11은 도 5에 도시된 주사구동회로에서 채용된 스테이지의 제 4 실시예를 나타내는 회로도이고, 도 12는 도 11에 도시된 스테이지의 타이밍의 일례를 나타내는 도이다. 도 11과 도 12를 참조하여 설명하면, 스테이지는 NMOS 트랜지스터로 구성되어 있으며, 도 6에 도시된 스테이지와 유사한 구성을 하여 스테이지는 프리차지기간, 입력기간 및 평가기간을 갖고 동작하게 된다.

발명의 효과

<66> 본 발명은 주사구동회로 및 그를 이용한 유기발광표시장치에 의하면, 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭할 수 있게 되게 하며 동작속도가 빨라지도록 한다. 또한, 주사구동회로에 전달되는 클럭이 오동작을 하는 경우가 발생하더라도 주사신호의 파형의 변화가 크지 않도록 한다.

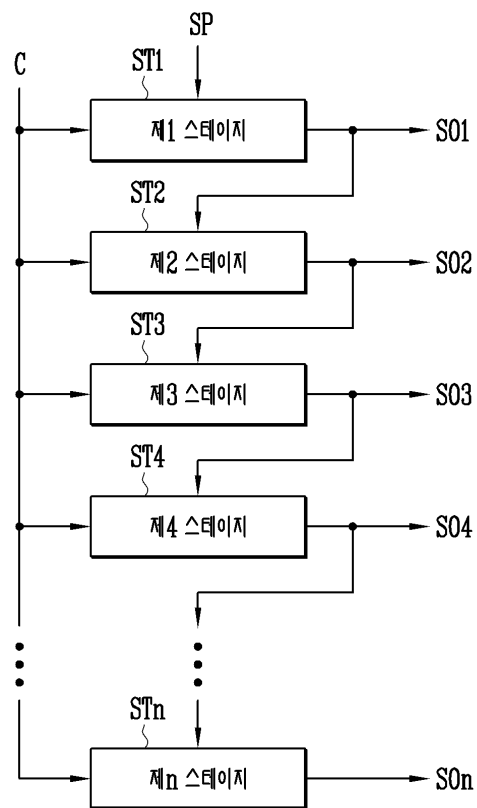
<67> 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 단지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어져야 한다.

도면의 간단한 설명

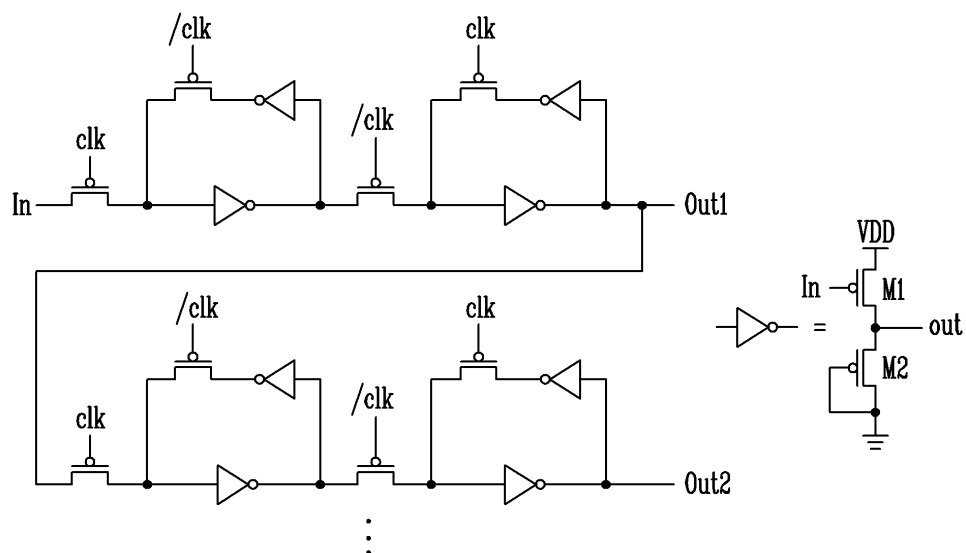
- <1> 도 1은 일반적인 주사구동회로의 구조를 나타내는 구조도이다.
- <2> 도 2는 도 1에 도시된 주사구동회로의 스테이지를 나타내는 회로도이다.
- <3> 도 3은 도 2에 도시된 스테이지의 타이밍도이다.
- <4> 도 4는 본 발명에 따른 유기발광표시장치의 구조도이다.
- <5> 도 5는 본 발명에 따른 주사구동회로의 구조를 나타내는 구조도이다.
- <6> 도 6은 도 5에 도시된 주사구동회로에서 채용된 스테이지의 제 1 실시예를 나타내는 회로도이다.
- <7> 도 7은 도 6에 도시된 스테이지의 입/출력 신호 파형의 제 1 실시예를 나타내는 타이밍도이다.
- <8> 도 8은 도 5에 도시된 주사구동회로에서 채용된 스테이지의 제 2 실시예를 나타내는 회로도이다.
- <9> 도 9는 도 5에 도시된 주사구동회로에서 채용된 스테이지의 제 3 실시예를 나타내는 회로도이다.
- <10> 도 10a와 도 10b는 도 6에 도시된 스테이지의 입/출력 신호 파형의 제 2 실시예를 나타내는 타이밍도이다.
- <11> 도 11은 도 5에 도시된 주사구동회로에서 채용된 스테이지의 제 4 실시예를 나타내는 회로도이다.
- <12> 도 12는 도 11에 도시된 스테이지의 타이밍의 일례를 나타내는 도이다.
- <13> ***도면의 주요부분에 대한 부호 설명***
- <14> 10 : 주사 구동회로 20 : 데이터 구동회로
- <15> 30 : 화소부 40 : 화소
- <16> 50 : 타이밍 제어부

도면

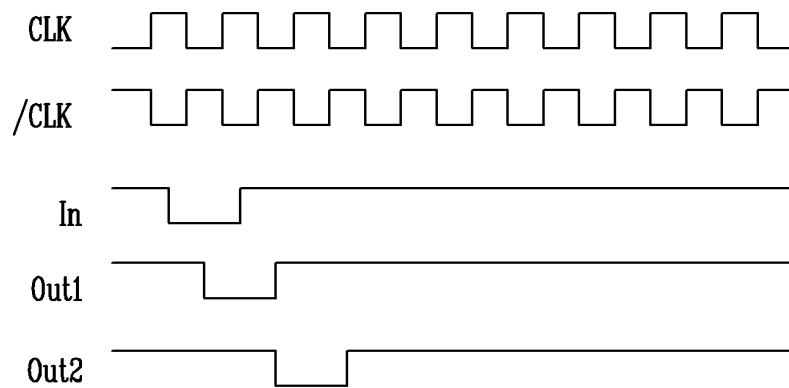
도면1



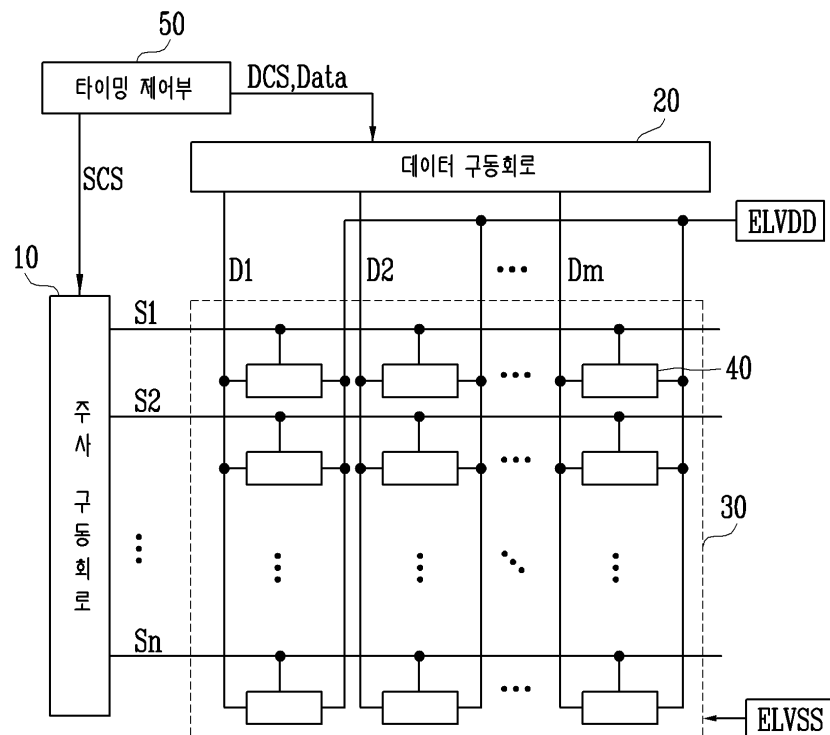
도면2



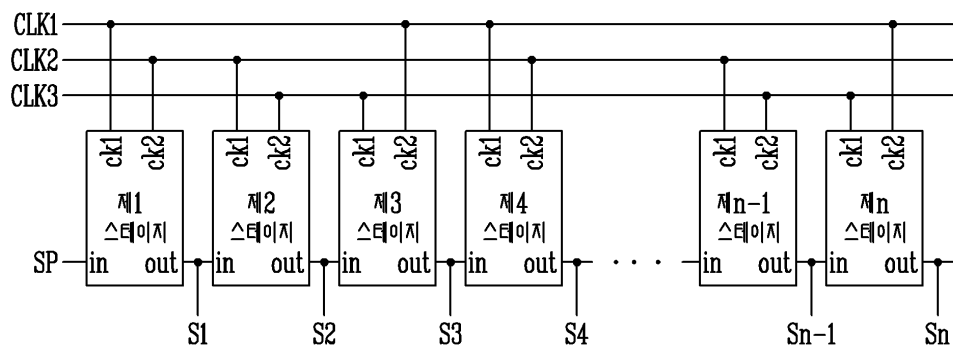
도면3



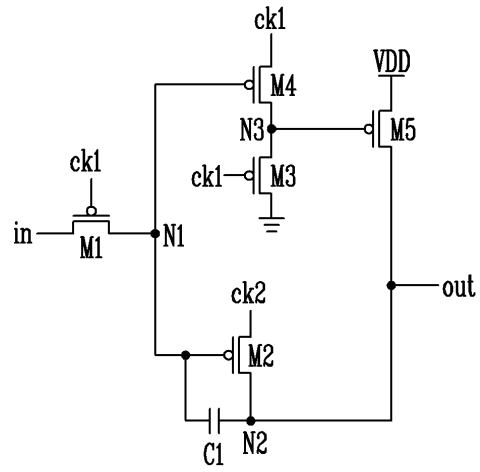
도면4



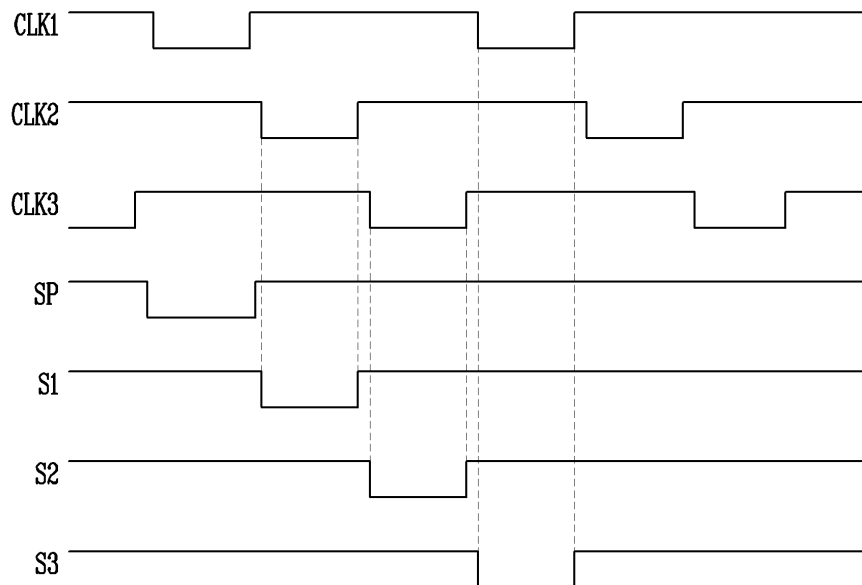
도면5



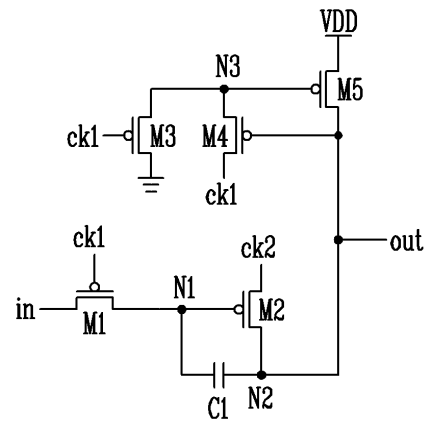
도면6



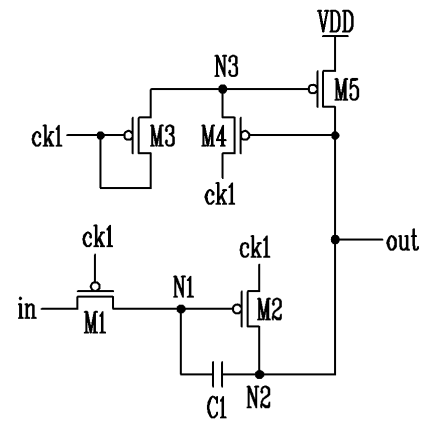
도면7



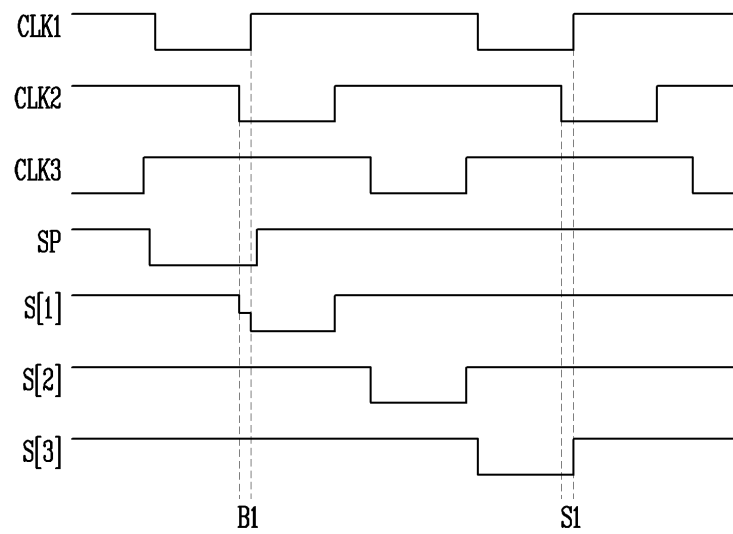
도면8



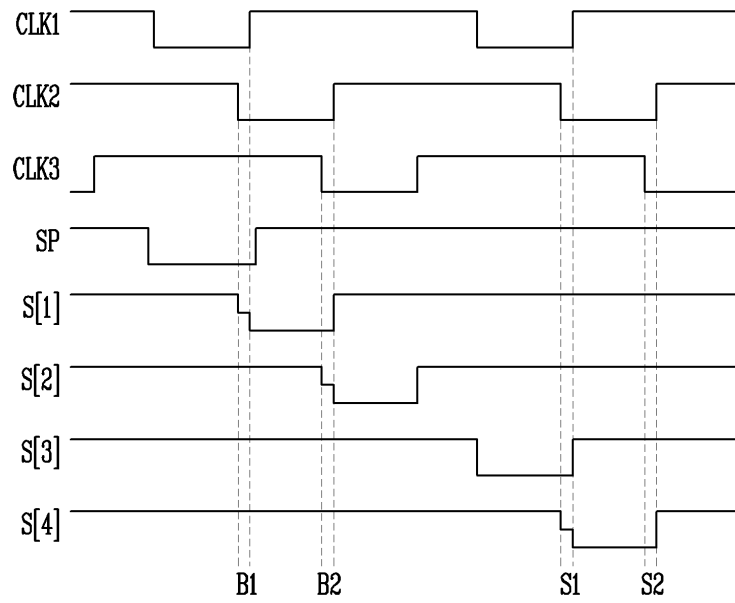
도면9



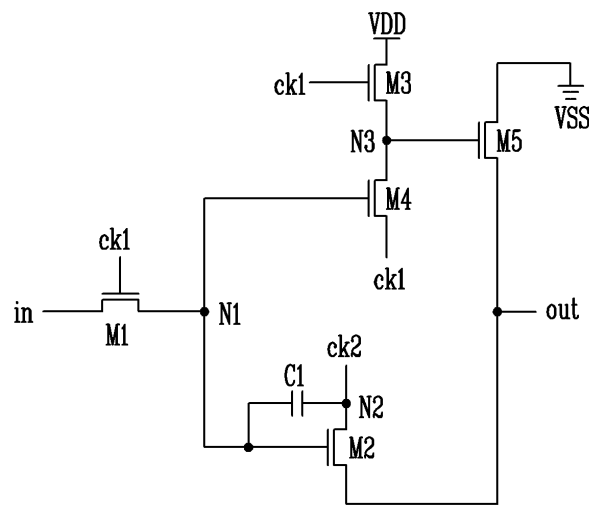
도면10a



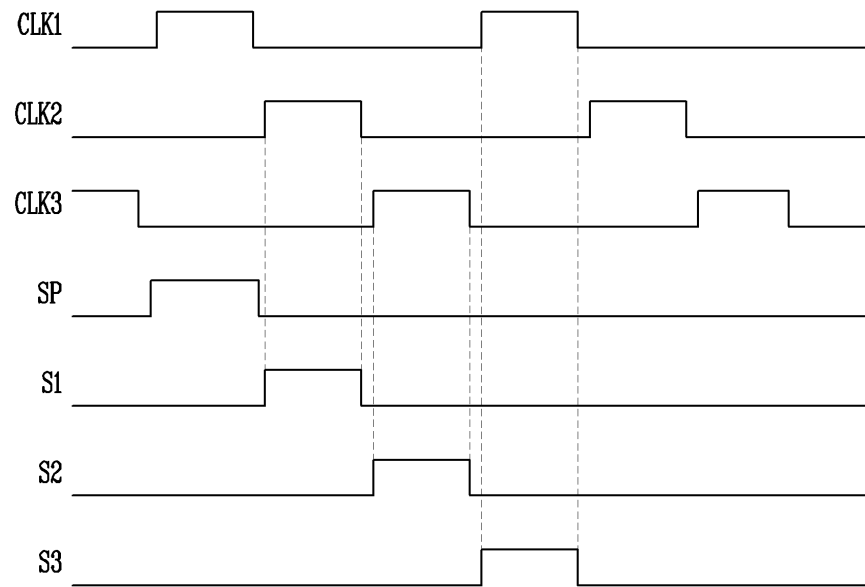
도면10b



도면11



도면12



专利名称(译)	扫描驱动电路和使用其的有机发光显示器		
公开(公告)号	KR1020070103182A	公开(公告)日	2007-10-23
申请号	KR1020060034959	申请日	2006-04-18
申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DONGYONG SHIN 신동용		
发明人	신동용		
IPC分类号	G09G3/20 G09G3/30		
CPC分类号	G11C19/184 G09G3/20 G09G3/3208 G09G3/3266 G09G2310/0286 G09G2330/021		
代理人(译)	Sinyoungmu		
其他公开文献	KR100776510B1		
外部链接	Espacenet		

摘要(译)

用途：提供扫描驱动器和使用它的OLED（有机发光显示器）装置，通过将扫描驱动器的输出电压从正电源电压切换到负电源电压来执行快速操作速度。组织：扫描通过接收两个三个时钟的时钟驱动的驱动器通过输入端（in）接收输入信号，并通过输出端（out）输出输出信号。多级输入端子中的每一个连接到前一级的输出端子。每个级包括开关，切换单元和存储单元。开关切换到与第一时钟端子（ck1）中的时钟对应的输入端子连接。切换单元控制根据时钟和输入信号将第一电压传送到输出端。存储单元将通过第二时钟端子（ck2）接收的时钟信号传送到输出端子。©KIPO 2007

