



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월13일
(11) 등록번호 10-0812286
(24) 등록일자 2008년03월04일

(51) Int. Cl.

G09G 3/30 (2006.01)

(21) 출원번호 10-2001-0054071

(22) 출원일자 2001년09월04일

심사청구일자 2006년08월30일

(65) 공개번호 10-2002-0018975

(43) 공개일자 2002년03월09일

(30) 우선권주장

JP-P-2000-00267164 2000년09월04일 일본(JP)

(56) 선행기술조사문헌

JP08254965 A

JP10333641 A

JP12235370 A

(73) 특허권자

가부시키키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

이누카이카즈타카

일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤

한도오따이 에네루기 켄큐쇼 내

오사메미츠아키

일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤

한도오따이 에네루기 켄큐쇼 내

이와부치 토모유키

일본국 가나가와켄 아쓰기시 하세 398 가부시키키가이샤

한도오따이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 10 항

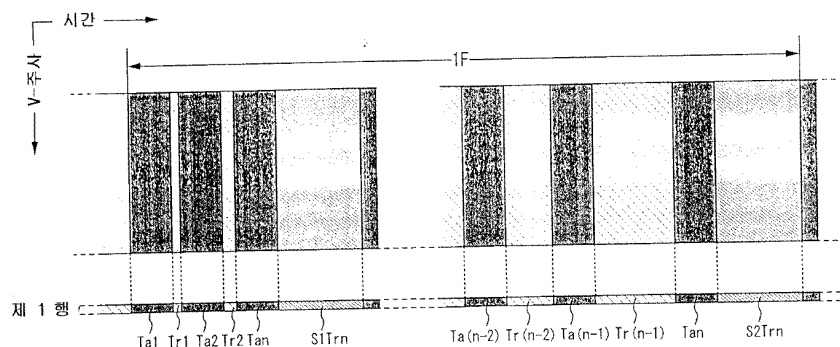
심사관 : 천대식

(54) EL 표시장치 구동방법

(57) 요약

의사(擬似) 윤곽이 보이기 어려운 EL 표시장치의 구동방법이 제공된다. 제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 구비한 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서, 1 프레임 기간 중에 $n+m$ 개(n 과 m 은 모두 자연수임)의 표시 기간이 출현하고, $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고, $n+m$ 개의 표시 기간 중에 다수의 표시 기간이 동일 비트의 디지털 비디오 신호에 대응하고, $n+m$ 개의 표시 기간 중에 다른 비트의 디지털 비디오 신호에 대응하는 표시 기간이 다수의 표시 기간 중에 출현하는 것을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 동일 비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온(on) 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프(off) 상태로 함으로써 각각의 표시 기간이 개시되고;

상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;

상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 2

제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 최상위 비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고;

상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;

상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 3

제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

상위 비트의 디지털 비디오 신호가 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고; 상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;

상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 4

제 1 항, 제 2 항, 제 3 중 어느 한 항에 있어서, 상기 제1 TFT는 스위칭용 TFT로서 기능하고, 상기 제2 TFT는 EL 구동용 TFT로서 기능하고, 상기 제3 TFT는 소거용 TFT로서 기능하는 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 5

제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 동일 비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고;

상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;

상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않고,

상기 $n+m$ 개의 표시 기간 중 적어도 하나의 표시 기간이, 상기 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호를 모든 화소에 기입하는 기간보다 짧은 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 6

제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 최상위 비트의 디지털 비디오 신호에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고;

상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;

상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않고,

상기 $n+m$ 개의 표시 기간 중 적어도 하나의 표시 기간이, 상기 n 비트의 디지털 비디오 신호 중 1비트의 디지털

비디오 신호를 모든 화소에 기입하는 기간보다 짧은 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 7

제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

상위 비트의 디지털 비디오 신호가 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간에 대응하고;

상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고;

상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;

상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않고,

상기 $n+m$ 개의 표시 기간 중 적어도 하나의 표시 기간이, 상기 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호를 모든 화소에 기입하는 기간보다 짧은 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 8

제 1 항, 제 2 항, 제 3 항, 제 5 항, 제 6 항, 제 7 항 중 어느 한 항에 있어서, 상기 제1 TFT와 상기 제2 TFT가 동일한 극성을 가지는 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 9

제 1 항, 제 2 항, 제 3 항, 제 5 항, 제 6 항, 제 7 항 중 어느 한 항에 있어서, 상기 $n+m$ 개의 표시 기간 중, 각 비트의 디지털 비디오 신호에 대응하는 표시 기간의 길이를 $Tr_1, Tr_2, Tr_3, \dots, Tr_{n-1}, Tr_n$ 이라 할 때, $Tr_1,$

$Tr_2, Tr_3, \dots, Tr_{n-1}, Tr_n = 2^0, 2^1, 2^2, \dots, 2^{n-2}, 2^{n-1}$ 인 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 10

제 5 항, 제 6 항, 제 7 항 중 어느 한 항에 있어서, 상기 제1 TFT는 스위칭용 TFT로서 기능하고, 상기 제2 TFT는 EL 구동용 TFT로서 기능하는 것을 특징으로 하는 EL 표시장치 구동방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <25> 본 발명은, 다수의 화소가 매트릭스 형태로 배치되어 있고, 각 화소가 점등(點燈)하는 길이를 제어하여 계조 표시를 행하는 패널을 구비한 EL 표시장치를 구동하는 방법에 관한 것이다. 특히, 본 발명은 유기 EL 소자를 사용한 EL 패널을 구비한 EL 표시장치를 구동하는 방법에 관한 것이다.
- <26> 방송국에서 사용되는 장비 및 시스템에의 디지털 기술의 도입이 진행되고 있고, 최근에는 방송 전파의 디지털화, 즉, 디지털 방송의 실현을 위한 연구와 개발이 각 국에서 행해지고 있다.
- <27> 또한, 방송 전파의 디지털화에 대응하여, 화상 정보를 가지는 디지털 비디오 신호를 아날로그로 변환함이 없이 그대로 사용하여 화상을 표시하는 액티브 매트릭스 표시장치의 연구 및 개발도 최근 활발하게 행해지고 있다.
- <28> 디지털 비디오 신호가 가지는 2값의 전압에 의해 계조 표시를 행하는 방법으로서 면적 분할 구동방법과 시간 분할 구동방법을 들 수 있다.
- <29> 면적 분할 구동방법은, 1개의 화소를 다수의 부화소(subpixel)로 분할하고, 각각의 부화소를 디지털 비디오 신호에 의거하여 독립하여 구동함으로써 계조 표시를 행하는 구동방법이다. 이 면적 분할 구동방법에서는 1개의 화소가 다수의 부화소로 분할되어야 한다. 또한, 화소를 분할할 뿐만 아니라, 분할된 부화소를 독립하여 구동하기 위해 각 부화소에 각각 대응하는 화소 전극을 형성할 필요가 있다. 따라서, 화소 구조가 복잡하게 된다는

단점이 생긴다.

- <30> 한편, 시간 분할 구동방법은, 화소가 점등하는 길이를 제어함으로써 계조 표시를 행하는 구동방법이다. 구체적으로는, 1 프레임 기간을 다수의 표시 기간으로 분할하고, 디지털 비디오 신호에 따라 각 표시 기간에서 각 화소가 점등 또는 비(非)점등의 상태로 된다. 1 프레임 기간 내에 출현하는 모든 표시 기간 중, 화소가 점등한 표시 기간의 길이를 적산함으로써 그 화소의 계조가 구해진다.
- <31> 일반적으로, 유기 EL 재료는 액정과 같은 재료에 비해 응답속도가 빠르기 때문에 시간 분할 구동에 적합하다.
- <32> 시간 분할 구동을 행하는 경우, 고계조를 실현하기 위해서는 2진 코드법에 의한 것이 편리하다. 이하, 단순한 2진 코드법에 의한 시간 분할 구동으로 중간 계조를 표시하는 경우에 대하여 도 19(A) 및 도 19(B)를 참조하여 상세히 설명한다.
- <33> 도 19(A)는 표시장치의 화소부를 나타내고, 도 19(B)는 그 화소부에서 1 프레임 기간 내에 출현하는 모든 표시 기간의 길이를 나타내고 있다.
- <34> 도 19(A) 및 도 19(B)에서는, 1~64 계조의 표시가 가능한 6비트 디지털 비디오 신호를 사용하여 화상을 표시하고 있다.
- <35> 화소부의 우측 절반은 33 (32+1) 계조의 표시를 행하고 있고, 화소부의 좌측 절반은 32 (31+1) 계조의 표시를 행하고 있다.
- <36> 6비트 디지털 비디오 신호를 사용하는 경우, 일반적으로, 1 프레임 기간 내에 6개의 표시 기간(표시 기간(Tr1)~표시 기간(Tr6))이 출현한다. 그리고, 디지털 비디오 신호의 첫번째 내지 6번째 비트의 디지털 비디오 신호는 각각 표시 기간(Tr1)~표시 기간(Tr6)에 대응한다.
- <37> 표시 기간(Tr1)~표시 기간(Tr6)의 길이의 비는 $2^0:2^1:2^2:2^3:2^4:2^5$ 이 된다. 최상위 비트(이 경우에는 6번째 비트)의 디지털 비디오 신호에 대응하는 표시 기간(Tr6)의 길이가 가장 길고, 최하위 비트(첫번째 비트)의 디지털 비디오 신호에 대응하는 표시 기간의 길이가 가장 짧다.
- <38> 32 계조의 표시를 행하는 경우, 표시 기간(Tr1~Tr5)에서 화소를 점등 상태로 하고, 표시 기간(Tr6)에서 화소를 비점등 상태로 한다. 또한, 33 계조의 표시를 행하는 경우, 표시 기간(Tr1~Tr5)에서 화소를 비점등 상태로 하고, 표시 기간(Tr6)에서 화소를 점등 상태로 한다.
- <39> 이러한 구동을 행하는 경우, 화소부에서 32 계조의 표시를 행하는 부분과 33 계조의 표시를 행하는 부분과의 경계부에서 의사(擬似) 윤곽(pseudo contour)이 보일 수 있다.
- <40> 의사 윤곽이란, 2진 코드법에 따라 시간 계조 표시를 행할 때 반복적으로 보이는 부자연스런 윤곽선을 말하고, 그 의사 윤곽의 주된 원인은 사람의 시각 특성에 기인하는 지각 휘도(perceived brightness)의 변동 때문인 것으로 알려져 있다. 이하, 의사 윤곽의 발생 메카니즘을 도 20(A) 및 도 20(B)를 참조하여 설명한다.
- <41> 도 20(A)는 의사 윤곽이 발생하여 보이는 표시장치의 화소부를 나타내고, 도 20(B)는 그 화소부에서 1 프레임 기간 내에 출현하는 표시 기간의 길이의 비를 나타내고 있다.
- <42> 도 20(A) 및 도 20(B)에서는, 1~64 계조의 표시가 가능한 6비트 디지털 비디오 신호를 사용하여 화상을 표시하고 있다. 화소부의 우측 절반은 33 계조의 표시를 행하고 있고, 화소부의 좌측 절반은 32 계조의 표시를 행하고 있다.
- <43> 화소부의 32 계조의 표시를 행하고 있는 부분에서는, 1 프레임 기간의 31/63의 기간에 화소가 점등 상태에 있고, 1 프레임 기간의 32/63 기간에 화소가 비점등 상태에 있다. 그리고, 화소가 점등 상태에 있는 기간과 비점등 상태에 있는 기간이 번갈아 출현하고 있다.
- <44> 또한, 화소부의 33 계조의 표시를 행하고 있는 부분에서는, 1 프레임 기간의 32/63의 기간에 화소가 점등 상태에 있고, 1 프레임 기간의 31/63의 기간에 비점등 상태에 있다. 그리고, 화소가 점등 상태에 있는 기간과 비점등 상태에 있는 기간이 번갈아 출현하고 있다.
- <45> 동영상을 표시하는 경우, 예를 들어, 도 20(A)에서, 32 계조를 표시하고 있는 부분과 33 계조를 표시하고 있는 부분과의 경계가 점선 화살표의 방향으로 이동하는 것으로 한다. 즉, 경계 부근에서, 화소는 32 계조 표시로부터 33 계조 표시로 바뀐다. 그러면, 경계 부근의 화소에서는, 32 계조를 표시하기 위한 점등 기간 직후에 33 계조를 표시하기 위한 점등 기간이 개시된다. 따라서, 사람의 눈에는, 그 화소가 1 프레임 기간 동안

계속 점등하여 있는 것으로 보인다. 이것은 화면 상에 부자연스런 밝은 선으로 지각된다.

<46> 역으로, 예를 들어, 도 20(A)에서, 32 계조를 표시하고 있는 부분과 33 계조를 표시하고 있는 부분과의 경계가 실선 화살표의 방향으로 이동하는 것으로 한다. 즉, 경계 부근에서, 화소는 33 계조 표시로부터 32 계조 표시로 바뀐다. 그러면, 경계 부근의 화소에서는, 33 계조를 표시하기 위한 점등 기간 직후에 32 계조를 표시하기 위한 점등 기간이 개시된다. 따라서, 사람의 눈에는, 그 화소가 1 프레임 기간 동안 계속 비점등 상태에 있는 것으로 보인다. 이것은 화면 상의 부자연스런 어두운 선으로 지각된다.

<47> 이상과 같이, 화면 상에 나타나는 부자연스런 밝은 선과 어두운 선이 의사 윤곽(이동 의사 윤곽)이라 불리는 표시 장애이다.

<48> 그런데, 정지 화상에 있어서도, 동화상에서 이동 의사 윤곽이 발생하는 것과 동일한 원인에 의해 표시 장애가 보이는 일 있다. 정지 화상에서의 표시 장애는 계조의 경계에서 깜박임이 보일 수 있는 것이다. 정지 화상에서 이러한 표시 장애가 보이게 되는 이유를 간단히 설명한다.

<49> 사람의 눈이 한 점을 응시하고 있어도, 시점(視點)은 미묘하게 움직이고 있고, 정확하게 한 점만을 보는 것은 어렵다. 따라서, 화소부의 32 계조의 표시를 행하고 있는 부분과 33 계조의 표시를 행하고 있는 부분과의 경계를 의도적으로 응시한다고 해도, 실제로는 시점이 좌우상하로 미묘하게 움직인다.

<50> 예를 들어, 점선으로 나타낸 바와 같이, 시점이 32 계조의 표시를 행하고 있는 부분으로부터 33 계조의 표시를 행하고 있는 부분으로 이동하는 것으로 한다. 그리고, 시점이 32 계조를 표시하고 있는 부분에 위치할 때 화소가 비점등 상태에 있고, 시점이 33 계조를 표시하고 있는 부분에 위치할 때 화소가 비점등 상태에 있는 경우, 사람의 눈에는 1 프레임 기간 전체에 걸쳐 화소가 비점등 상태에 있는 것으로 보인다.

<51> 반대로, 예를 들어, 실선으로 나타낸 바와 같이, 시점이 33 계조의 표시를 행하고 있는 부분으로부터 32 계조의 표시를 행하고 있는 부분으로 이동하는 것으로 한다. 그리고, 시점이 33 계조를 표시하고 있는 부분에 위치할 때 화소가 점등 상태에 있고, 시점이 32 계조를 표시하고 있는 부분에 위치할 때 화소가 점등 상태에 있는 경우, 사람의 눈에는 1 프레임 기간 전체에 걸쳐 화소가 점등 상태에 있는 것으로 보인다.

<52> 따라서, 시점이 좌우상하로 미묘하게 움직이기 때문에, 사람의 눈에는 1 프레임 기간 전체에 걸쳐 화소가 점등 상태 또는 비점등 상태에 있는 것으로 보이고, 경계부가 앞뒤로 흔들리는 것처럼 보이는 표시 장애가 보인다.

발명이 이루고자 하는 기술적 과제

<53> 본 발명자들은, 의사 윤곽이 보이는 것을 방지하기 위해, 가장 긴 표시 기간을 일정 규칙에 따라 다수의 표시 기간(분할된 표시 기간)으로 분할하였다. 그리고, 다수의 분할된 표시 기간이 연속하여 출현하지 않도록 다수의 분할된 표시 기간을 1 프레임 기간 내에 분산시킨다.

<54> 분할된 표시 기간은 하나이어도 좋고 다수이어도 좋다. 그러나, 최상위 비트에 대응하는 표시 기간, 즉, 가장 긴 표시 기간을 일정 규칙에 따라 순서대로 분할하는 것이 바람직하다.

<55> 또한, 표시 기간의 분할 수는 설계자가 적절히 선택할 수 있는 것이지만, 어디까지 분할하는가는 표시 장치의 구동속도와 요구되는 화상의 표시 품질의 발란스에 의해 결정되는 것이 바람직하다.

<56> 또한, 동일 비트의 디지털 비디오 신호에 대응하는 분할된 표시 기간의 길이는 동일한 것이 바람직하지만, 본 발명은 이것에 한정되지 않는다. 분할된 표시 기간의 길이는 반드시 동일할 필요는 없다.

<57> 상기 구조에 따르면, 2진 코드법에 의한 시간 분할 구동에서 현저한 의사 윤곽과 같은 표시 장애가 눈에 보이는 것을 방지할 수 있다.

<58> 이하, 본 발명의 구성에 대하여 설명한다.

<59> 본 발명에 따르면, 제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

<60> 1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

<61> 상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

<62> 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 동일 비트의 디지털 비디오 신호에 대응하고;

- <63> 상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;
- <64> 상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고;
- <65> 상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;
- <66> 상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법이 제공된다.
- <67> 본 발명에 따르면, 제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,
- <68> 1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;
- <69> 상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;
- <70> 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 최상위 비트의 디지털 비디오 신호에 대응하고;
- <71> 상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;
- <72> 상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고;
- <73> 상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;
- <74> 상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법이 제공된다.
- <75> 본 발명에 따르면, 제1 TFT, 제2 TFT, 제3 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,
- <76> 1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;
- <77> 상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;
- <78> 상위 비트의 디지털 비디오 신호가 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간에 각각 대응하고;
- <79> 상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;
- <80> 상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고, 상기 제3 TFT를 오프 상태로 함으로써 각각의 표시 기간이 개시되고;
- <81> 상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 또는 상기 제3 TFT를 온 상태로 함으로써 종료되고;
- <82> 상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법이 제공된다.
- <83> 본 발명에 따르면, 제1 TFT, 제2 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,
- <84> 1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;
- <85> 상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;
- <86> 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 동일 비트의 디지털 비디오 신호에 대응하고;
- <87> 상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사

이에서 출현하고;

<88> 상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고;

<89> 상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 종료되고;

<90> 상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법이 제공된다.

<91> 본 발명에 따르면, 제1 TFT, 제2 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

<92> 1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

<93> 상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

<94> 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간이 최상위 비트의 디지털 비디오 신호에 대응하고;

<95> 상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

<96> 상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고;

<97> 상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 종료되고;

<98> 상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법이 제공된다.

<99> 본 발명에 따르면, 제1 TFT, 제2 TFT, 및 유기 EL 소자를 각각 가지고 있는 다수의 화소가 형성되어 있는 EL 표시장치를 구동하는 방법으로서,

<100> 1 프레임 기간 중에 $n+m$ 개의 표시 기간(n 과 m 은 모두 자연수임)이 출현하고;

<101> 상기 $n+m$ 개의 표시 기간 각각이 n 비트의 디지털 비디오 신호 중 1비트의 디지털 비디오 신호에 대응하고;

<102> 상위 비트의 디지털 비디오 신호가 상기 $n+m$ 개의 표시 기간 중 다수의 표시 기간에 대응하고;

<103> 상기 $n+m$ 개의 표시 기간 중 다른 비트의 디지털 비디오 신호에 대응하는 다른 표시 기간이 다수의 표시 기간 사이에서 출현하고;

<104> 상기 $n+m$ 개의 표시 기간 각각에서, 대응하는 비트의 디지털 비디오 신호가 상기 제1 TFT를 온 상태로 함으로써 상기 제2 TFT의 게이트 전극에 입력되고;

<105> 상기 $n+m$ 개의 표시 기간 각각이 개시된 후, 각각의 표시 기간이 다른 표시 기간의 개시에 의해 종료되고;

<106> 상기 유기 EL 소자는 상기 제2 TFT가 온 상태일 때 발광하고, 상기 제2 TFT가 오프 상태일 때 발광하지 않는 것을 특징으로 하는 EL 표시장치 구동방법이 제공된다.

<107> 본 발명의 방법은 제1 TFT와 제2 TFT가 동일 극성을 가지는 것을 특징으로 할 수 있다.

<108> 본 발명의 방법은 $n+m$ 개의 표시 기간 중, 각 비트의 디지털 비디오 신호에 대응하는 표시 기간의 길이를 $Tr_1, Tr_2, Tr_3, \dots, Tr_{n-1}, Tr_n$ 이라 할 때, $Tr_1, Tr_2, Tr_3, \dots, Tr_{n-1}, Tr_n = 2^0, 2^1, 2^2, \dots, 2^{n-2}, 2^{n-1}$ 인 것을 특징으로 할 수 있다.

발명의 구성 및 작용

<109> [실시형태 1]

<110> 이하에, 본 발명의 시간 분할 구동방법에 의해 중간 계조를 표시하는 경우를 도 1(A) 및 도 1(B)를 사용하여 상세히 설명한다.

<111> 도 1(A)는 표시장치의 화소부를 나타내고, 도 1(B)는 그 화소부에서 1 프레임 기간(F)에 출현하는 표시 기간

(Tr)의 길이의 비를 나타낸다.

- <112> 도 1(A) 및 도 1(B)에서는, $1 \sim 2^n$ 계조의 표시가 가능한 n비트 디지털 비디오 신호를 사용하여 화상을 표시한다. 화소부의 우측 절반은 $2^{n-1}+1$ 계조의 표시를 행하고, 좌측 절반은 2^{n-1} 계조의 표시를 행하고 있다.
- <113> n비트 디지털 비디오 신호를 사용하는 경우, 단순한 2진 코드법에 의하면, 1 프레임 기간 중에 n개의 표시 기간(표시 기간(Tr1)~표시 기간(Trn))이 출현한다. 그리고, 첫번째 비트 내지 n번째 비트의 디지털 비디오 신호는 표시 기간(Tr1)~표시 기간(Trn)에 각각 대응한다.
- <114> 표시 기간(Tr1)~표시 기간(Trn)의 길이의 비는 $2^0:2^1:2^2, \dots, 2^{n-2}, 2^{n-1}$ 이 된다. 최상위 비트(이 경우에는 n번째 비트)의 디지털 비디오 신호에 대응하는 표시 기간(Trn)의 길이가 가장 길고, 최하위 비트(이 경우에는 첫번째 비트)의 디지털 비디오 신호에 대응하는 표시 기간(Tr1)의 길이가 가장 짧다.
- <115> 2^{n-1} 계조의 표시를 행하는 경우, 표시 기간(Tr1)~표시 기간(Tr(n-1))에서 화소를 점등 상태로 하고, 표시 기간(Trn)에서 화소를 비점등 상태로 한다. 또한, $2^{n+1}+1$ 계조의 표시를 행하는 경우에는, 표시 기간(Tr1)~표시 기간(Tr(n-1))에서 화소를 비점등 상태로 하고, 표시 기간(Trn)에서 화소를 점등 상태로 한다.
- <116> 본 실시형태에서는, 기간이 가장 긴 표시 기간인 표시 기간(Tr)을 2개의 분할된 표시 기간(S1Trn, S2Trn)으로 분할한다. 본 실시형태에서, 표시 기간(Trn)을 2개의 분할된 표시 기간으로 분할하지만, 본 발명은 이것에 한정되지 않는다. 2개 이상의 분할된 표시 기간이 있으면, 임의의 수의 분할된 표시 기간이 제공될 수 있고, 이것은 구동회로 및 화소 TFT의 동작 속도에 의해 제한된다.
- <117> 분할된 표시 기간은 연속해서 출현하지 않는다. 다른 비트의 디지털 비디오 신호에 대응하는 표시 기간이 반드시 2개의 분할된 표시 기간 사이에 출현한다.
- <118> 분할된 표시 기간의 길이는 동일하지 않아도 좋다. 또한, 분할되지 않은 표시 기간들의 순서에 어떠한 제한도 들 필요가 없다. 최상위 비트에 대응하는 표시 기간으로부터 최하위 비트에 대응하는 표시기간까지의 순서를 설정하는데 있어 어떠한 제한도 없다.
- <119> 다음에, 본 발명의 구동방법에서는 의사 윤곽과 같은 표시 장애가 보이기 어려운 이유에 대하여 도 2(A) 및 도 2(B)를 참조하여 설명한다.
- <120> 도 2(A)는 본 발명의 구동방법에 의해 표시를 행하는 표시장치의 화소부를 나타내고, 도 2(B)는 화소의 점등 기간 및 비점등 기간에 따라 1 프레임 기간 내에서 출현하는 표시 기간 및 분할된 표시 기간의 길이를 나타낸다.
- <121> 도 2(A)에서 화소부의 우측 절반은 $2^{n-1}+1$ 계조의 표시를 행하고, 좌측 절반은 2^{n-1} 계조의 표시를 행하고 있다.
- <122> 화소부의 2^{n-1} 계조의 표시를 행하고 있는 부분에서는, 1 프레임 기간 중의 $2^{n-1}-1/2^n$ 기간에 화소가 점등 상태에 있고, 1 프레임 기간 중의 $2^{n-1}/2^n$ 기간에 화소가 비점등 상태에 있다. 그리고, 화소가 점등 상태에 있는 기간과 화소가 비점등 상태에 있는 기간이 번갈아 출현하고 있다.
- <123> 또한, 화소부의 $2^{n-1}+1$ 계조의 표시를 행하고 있는 부분에서는, 1 프레임 기간 중의 $2^{n-1}/2^n$ 기간에 화소가 점등 상태에 있고, 1 프레임 기간 중의 $2^{n-1}-1/2^n$ 기간에 화소가 비점등 상태에 있다. 그리고, 화소가 점등 상태에 있는 기간과 화소가 비점등 상태에 있는 기간이 번갈아 출현하고 있다.
- <124> 1 프레임 기간 중에 점등 기간과 비점등 기간이 분할되어 번갈아 출현하고, 사람의 시점(視點)이 좌우상하로 미묘하게 움직이기 때문에, 다른 표시 기간들 또는 분할된 표시 기간들이 겹치는 것이 충분히 가능하다. 이 경우, 사람의 시점이 비점등 화소만을 계속 응시하거나, 반대로 점등 화소만을 계속 응시하여도, 연속하는 점등 기간 또는 비점등 기간의 길이가 종래의 단순한 2진 코드법에 의한 구동에 비하여 짧기 때문에, 의사 윤곽이 보이는 것을 방지할 수 있다.
- <125> 예를 들어, 점선으로 나타낸 바와 같이, 시점이 2^{n-1} 계조를 표시하고 있는 부분으로부터 $2^{n-1}+1$ 계조를 표시하고 있는 부분으로 이동하는 것으로 한다. 그리고, 본 발명의 구동방법에서는, 시점이 2^{n-1} 계조를 표시하고 있는 부분에 위치할 때 화소가 비점등 상태에 있고, 시점이 $2^{n-1}+1$ 계조를 표시하고 있는 부분으로 이동할 때 화소가

점등 상태에 있는 것으로 하여도, 연속해서 출현하는 2개의 비점등 기간의 합이 종래에 비하여 짧게 된다. 따라서, 사람의 눈에는 1 프레임 기간 전체에 걸쳐 화소가 항상 비점등 상태에 있는 것처럼 보이는 것이 방지될 수 있다.

<126> 역으로, 예를 들어, 실선으로 나타낸 바와 같이, 시점이 $2^{n-1}+1$ 계조를 표시하고 있는 부분으로부터 2^{n-1} 계조를 표시하고 있는 부분으로 이동하는 것으로 한다. 그리고, 본 발명의 구동방법에서는, 시점이 $2^{n-1}+1$ 계조를 표시하고 있는 부분에 위치할 때 화소가 점등 상태에 있고, 시점이 2^{n-1} 계조를 표시하고 있는 부분으로 이동할 때 화소가 점등 상태에 있는 것으로 하여도, 연속해서 출현하는 2개의 점등기간의 합이 종래에 비하여 짧게 된다. 따라서, 사람의 눈에는 1 프레임 기간 전체에 걸쳐 화소가 항상 점등 상태에 있는 것처럼 보이는 것이 방지될 수 있다.

<127> 상기 구성에 의해, 2진 코드법에 의한 시간 분할 구동에서 현저한 의사 윤곽과 같은 표시 장애가 보이는 것을 방지할 수 있다.

<128> [실시형태 2]

<129> 실시형태 1에서는, 최상위 비트의 디지털 비디오 신호에 대응하는 표시 기간만을 분할된 표시 기간으로 분할한다. 본 실시형태에서는, 최상위 비트로부터 연속하여 차례로 선택된 다수의 상위 비트의 디지털 비디오 신호에 대응하는 표시 기간을 각각 다수의 분할된 표시 기간으로 분할하는 예를 설명한다. 본 명세서에서, 상위 비트는 분할된 표시 기간으로 분할된 표시 기간에 대응하고, 하위 비트는 분할된 표시 기간으로 분할되지 않은 표시 기간에 대응한다.

<130> 본 실시형태의 구동방법을 도 3을 사용하여 설명한다. 도 3은, n비트 디지털 비디오 신호를 사용하여 시간 분할 계조 표시를 행할 때, 화소부에서 1 프레임 기간(F) 중에 출현하는 표시 기간(Tr)과 분할된 표시 기간(STr)의 길이의 비를 나타낸다.

<131> 본 실시형태에서는, 표시 기간(Trn)과 표시 기간(Tr(n-1))을, 상위 비트의 디지털 비디오 신호에 대응하는 표시 기간으로 한다. 본 실시형태에서는, n 비트와 n-1 비트의 2개의 비트를 상위 비트로 하는 구동방법을 설명하지만, 본 발명이 그것에 한정되지 않는다. 상위 비트의 수는 1개이어도 좋고 2 이상이어도 좋다. 그러나, 모든 상위 비트는 최상위 비트로부터 차례로 연속하여 있는 것이 필요하다. 예를 들어, 상위 비트가 3개인 경우, n 번째 비트, n-첫번째 비트, 및 n-두번째 비트의 디지털 비디오 신호가 상위 비트에 해당한다.

<132> 표시 기간(Tr1)~표시 기간(Trn)의 길이의 비는 $\frac{1}{2}, 2^1, 2^2, \dots, 2^{n-2}, 2^{n-1}$ 이 된다.

<133> 2^{n-1} 계조의 표시를 행하는 경우, 표시 기간(Tr1)~표시 기간(Tr(n-1))에서 화소를 점등 상태로 하고, 표시 기간(Trn)에서 화소를 비점등 상태로 한다. 또한, $2^{n-1}+1$ 계조의 표시를 행하는 경우, 표시 기간(Tr1)~표시 기간(Tr(n-1))에서 화소를 비점등 상태로 하고, 표시 기간(Trn)에서 화소를 점등 상태로 한다.

<134> 본 실시형태에서는, 상위 비트에 대응하는 표시 기간, 즉, 표시 기간(Trn)과 표시 기간(Tr(n-1))을 각각, 3개의 분할된 표시 기간(S1Trn, S2Trn, S3Trn)과 2개의 분할된 표시 기간(S1Tr(n-1), S2Tr(n-1))으로 분할한다. 또한, 본 실시형태에서는, 표시 기간(Trn)의 분할수가 3, 표시 기간(Tr(n-1))의 분할수가 2가 되도록 분할된 표시 기간을 형성하지만, 본 발명은 그것에 한정되지 않는다. 상위 비트에 대응하는 표시 기간의 분할수는 이들 값에 한정되지 않고, 2 이상이라면, 임의의 수의 분할된 표시 기간을 형성하는 것이 가능하고, 이것은 구동회로 및 화소 TFT의 동작속도에 의해서만 제한된다.

<135> 동일 비트의 디지털 비디오 신호에 대응하는 분할된 표시 기간은 연속하여 출현하지 않는다. 다른 비트의 디지털 비디오 신호에 대응하는 서브프레임 기간 또는 표시 기간은 항상 2개의 분할된 표시 기간 사이에 출현한다.

<136> 동일 비트의 디지털 비디오 신호에 대응하는 분할된 표시 기간의 길이는 모두 동일할 필요는 없다.

<137> 상기 구조에 의해, 2진 코드법에 의한 시간 분할 구동에서 현저한 의사 윤곽과 같은 표시 장애가 보이는 것을 방지할 수 있다.

<138> [실시형태 3]

<139> 본 실시형태에서는, 표시 기간을 일정한 규칙에 따라 다수의 분할된 표시 기간으로 분할하는 구동방법에 대하여 설명한다. 설명을 간소화하기 위해, 본 실시형태에서는, 8비트 디지털 비디오 신호를 사용하여 계조 표시를 행

하는 경우를 설명한다.

<140> n비트(n은 1~8)의 디지털 비디오 신호에 대응하는 표시 기간의 길이를 L_n 으로 하고, 그 표시 기간의 분할수를 m_n 으로 한다. 이때, $m_n = 1, 2, 3, 4, \dots$ 의 각각의 경우에 대하여 L_n/m_n^3 의 값을 구하면, 아래의 표 1과 같이 된다.

<141> [표 1]

<142>

L_n/m_n^3	$m_n = 1$	$m_n = 2$	$m_n = 3$	$m_n = 4$
L8 = 128	128	16	4.74	2
L7 = 64	64	8	2.37	1
L6 = 32	32	4	1.18	
L5 = 16	16	2	0.59	
L4 = 8	8	1		
L3 = 4	4			
L2 = 2	2			
L1 = 1	1			

<143> 본 실시형태에서는, 1 프레임 기간 중에 형성되는 표시 기간과 분할된 표시 기간의 총수를 13으로 한다. 모든 표시 기간과 분할된 표시 기간의 길이는 가능하면 동일한 것이 바람직하다. 모든 표시 기간과 분할된 표시 기간의 길이가 동일하다면, 의사 윤곽과 같은 표시 장애가 보이는 것을 보다 효과적으로 방지할 수 있다. 따라서, 표 1에 나타낸 L_n/m_n^3 의 값이 가능하면 같게 되도록, 그리고 1 프레임 기간 중에 형성되는 표시 기간과 분할된 표시 기간의 총수가 13이 되도록, 각 표시 기간의 분할수를 선택한다. 또한, 상위 비트에 대응하는 표시 기간이 길이가 긴 표시 기간으로부터 차례로 분할되는 것이 바람직하다. 본 실시형태에서는, 표 2에서 괄호안의 값으로 나타낸 바와 같이 분할한다.

<144> [표 2]

<145>

L_n/m_n^3	$m_n = 1$	$m_n = 2$	$m_n = 3$	$m_n = 4$
L8 = 128	128	16	(4.74)	2
L7 = 64	64	(8)	2.37	1
L6 = 32	32	(4)	1.18	
L5 = 16	16	(2)	0.59	
L4 = 8	(8)	1		
L3 = 4	(4)			
L2 = 2	(2)			
L1 = 1	(1)			

<146> 즉, 표시 기간(Tr1~Tr4)은 분할되지 않고, 표시 기간(Tr5~Tr7)은 2개로 분할되고, 표시 기간(Tr8)은 3개로 분할된다. 또한, 1 프레임 기간에서 동일 비트의 디지털 비디오 신호에 대응하는 표시 기간은 연속하여 출현하지 않도록 구동한다.

<147> 표시 기간의 분할수는 설계자가 적절히 선택할 수 있지만, 어디까지 분할하는가는 표시장치의 구동속도와 요구되는 화상 표시 품질의 발란스에 의해 결정되는 것이 바람직하다.

<148> 또한, 동일 비트의 디지털 비디오 신호에 대응하는 분할된 표시 기간의 길이는 동일한 것이 바람직하지만, 분할명은 이것에 한정되지 않는다. 분할된 표시 기간의 길이는 반드시 동일할 필요는 없다.

<149> 또한, 조건에 따라서는, 상기한 L_n/m_n^3 대신에 L_n/m_n^2 을 사용하는 것이 보다 효과적으로 의사 윤곽의 시인(視認)을 방지하는 것이 가능한 경우도 있다. 어느 값을 기준으로 사용하여 구동방법을 결정하는가는 설계자가 적절히 선택할 수 있는 것이다.

- <150> 상기 구성에 의해, 2진 코드법에 의한 시간 분할 구동에서 현저한 의사 윤곽과 같은 표시 장애가 보이는 것을 방지할 수 있다.
- <151> 이하, 본 발명의 실시예를 설명한다.
- <152> [실시예 1]
- <153> 본 실시예에서는, 각 화소에 형성된 2개의 박막트랜지스터(TFT)를 사용하여 유기 EL 소자로부터 방사된 광을 제어하는 EL 표시장치의 화소부의 구성과 구동방법에 대하여 설명한다.
- <154> 본 실시예의 EL 표시장치의 화소부(401)의 확대도를 도 4에 나타낸다. 화소부(401)에는 소스 신호선(S1~Sx), 전원공급선(V1~Vx) 및 게이트 신호선(G1~Gy)이 형성되어 있다.
- <155> 본 실시예에서는, 소스 신호선(S1~Sx)중의 1개, 전원공급선(V1~Vx)중의 1개, 및 게이트 신호선(G1~Gy)중의 1개를 가진 영역이 화소(404)이다. 화소부(401)에는 다수의 화소(404)가 매트릭스 형상으로 배치되어 있다.
- <156> 도 5는 화소(404)의 확대도를 나타낸다. 도 5에서, 부호 405는 스위칭용 TFT를 나타낸다. 스위칭용 TFT(405)의 게이트 전극은 게이트 신호선(G)(게이트 신호선(G1~Gy) 중의 어느 하나)에 접속되어 있다. 스위칭용 TFT(405)의 소스 영역과 드레인 영역 중 어느 한쪽 영역은 소스 신호선(S)(소스 신호선(S1~Sx) 중의 어느 하나)에 접속되고, 다른 한쪽 영역은 EL 구동용 TFT(406)의 게이트 전극과 각 화소의 커패시터(408)에 접속되어 있다.
- <157> 커패시터(408)는 스위칭용 TFT(405)가 비선택 상태(오프 상태)에 있을 때 EL 구동용 TFT(406)의 게이트 전압(게이트 전극과 소스 전극 사이의 전위차)을 보유하기 위해 제공되어 있다. 본 실시예에서는, 커패시터(408)가 형성된 구성을 나타내지만, 본 발명은 이 구성에 한정되지 않고, 커패시터(408)가 형성되지 않은 구성으로 하여도 좋다.
- <158> 또한, EL 구동용 TFT(406)의 소스 영역과 드레인 영역 중 어느 한쪽 영역이 전원공급선(V)(전원공급선(V1~Vx) 중의 어느 하나)에 접속되고, 다른 한쪽 영역은 유기 EL 소자(407)에 접속된다. 전원공급선(V1)은 커패시터(408)에 접속되어 있다.
- <159> 유기 EL 소자(407)는 양극, 음극, 및 그 양극과 음극 사이에 형성된 EL 층으로 이루어진다. 양극이 EL 구동용 TFT(406)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우, 양극이 화소 전극이 되고, 음극이 대향 전극이 된다. 역으로, 음극이 EL 구동용 TFT(406)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우에는, 음극이 화소 전극이 되고, 양극이 대향 전극이 된다.
- <160> 유기 EL 소자(407)의 대향 전극에는 대향 전위가 인가되어 있다. 또한, 전원공급선(V)에는 전원 전위가 인가되어 있다. 전원 전위와 대향 전위는 외부 IC 또는 그와 같은 소자에 의해 형성된 전원에 의해, 본 발명의 구동 방법을 사용하는 EL 표시장치에 인가된다. 전원공급선의 전원 전위는, 전원 전위가 유기 EL 소자의 화소 전극에 인가된 때 유기 EL 소자가 발광하는 정도로 대향 전극과의 사이에 전위차를 가지는 전위값으로 유지된다.
- <161> 현재의 전형적인 유기 EL 표시장치에는, 화소의 발광 면적당 발광량이 200 cd/m^2 인 경우, 화소부의 면적당 전류는 수 mA/cm^2 정도 필요하다. 따라서, 특히 화면 크기가 커지면, IC에 형성된 전원으로부터 인가되는 전위의 높이를 스위치에 의해 제어하는 것이 어렵게 된다. 본 실시예에서는, 전원 전위와 대향 전위는 항상 일정한 레벨로 유지되어 있고, IC에 형성된 전원으로부터 인가되는 전위의 높이를 스위치에 의해 제어하는 것이 필요하지 않기 때문에, 보다 큰 화면 크기를 갖는 패널을 실현하는데 유용하다.
- <162> 스위칭용 TFT(405)와 EL 구동용 TFT(406)은 n채널형 TFT 또는 p채널형 TFT를 사용하여 형성될 수 있다. 그러나, EL 구동용 TFT(406)의 소스 영역 또는 드레인 영역이 유기 EL 소자(407)의 양극에 접속되어 있는 경우, EL 구동용 TFT(406)는 p채널형 TFT인 것이 바람직하다. 또한, EL 구동용 TFT(406)의 소스 영역 또는 드레인 영역이 유기 EL 소자(407)의 음극에 접속되어 있는 경우에는, EL 구동용 TFT(406)는 n채널형 TFT인 것이 바람직하다.
- <163> 또한, 스위칭용 TFT(405)와 EL 구동용 TFT(406)는 단일 게이트 구조 외에, 이중 게이트 구조 또는 삼중 게이트 구조와 같은 멀티게이트 구조를 가질 수도 있다.
- <164> 다음에, 상기한 구성을 가지는 본 발명의 EL 표시장치의 구동방법에 대하여 도 6을 참조하여 설명한다. 도 6에서, 수평축은 시간을 나타내고, 수직축은 선택된 게이트 신호선의 위치를 나타낸다.

- <165> 먼저, 게이트 신호선 구동회로부터 게이트 신호선(G1)에 입력되는 게이트 신호에 의해 게이트 신호선(G1)이 선택된다. 본 명세서에서 게이트 신호선이 선택된다는 것은 그 게이트 신호선에 접속된 모든 스위칭용 TFT(405)가 온 상태로 되는 것을 의미한다. 즉, 여기서는 게이트 신호선(G1)에 접속된 모든 화소(제1 라인의 화소)의 스위칭용 TFT(405)가 온 상태로 되는 것을 의미한다.
- <166> 그리고, 첫번째 비트의 디지털 비디오 신호가 소스 신호선 구동회로부터 소스 신호선(S1~Sx)에 동시에 입력된다. 이 디지털 비디오 신호는 스위칭용 TFT(405)를 통해 EL 구동용 TFT(406)의 게이트 전극에 입력된다.
- <167> 본 실시예에서는, 디지털 비디오 신호가 "0"의 정보를 가진 경우, EL 구동용 TFT(406)는 오프 상태로 된다. 따라서, 유기 EL 소자(407)의 화소 전극에는 전원 전위가 인가되지 않는다. 그 결과, "0"의 정보를 가진 디지털 비디오 신호가 입력된 화소의 유기 EL 소자(407)는 발광하지 않는다.
- <168> 본 명세서에서 디지털 비디오 신호가 화소에 입력된다는 것은 그 화소의 유기 EL 구동용 TFT의 게이트 전극에 디지털 비디오 신호가 입력되는 것을 의미한다.
- <169> 역으로, 디지털 비디오 신호가 "1"의 정보를 가진 경우, EL 구동용 TFT(406)는 온 상태로 된다. 따라서, 유기 EL 소자(407)의 화소 전극에는 전원 전위가 인가된다. 그 결과, "1"의 정보를 가진 디지털 비디오 신호가 입력되는 화소의 유기 EL 소자(407)는 발광한다.
- <170> 따라서, 유기 EL 소자(407)는 발광 상태 또는 비발광 상태로 되어, 제1 라인의 화소가 표시를 행한다.
- <171> 다음에, 게이트 신호선(G1)의 선택이 종료됨과 동시에, 게이트 신호선(G2)이 게이트 신호에 의해 선택된다. 그리고, 이 게이트 신호선(G2)에 접속되어 있는 모든 화소의 스위칭용 TFT(405)가 온 상태로 되고, 소스 신호선(S1~Sx)으로부터 제2 라인의 화소에 첫번째 비트의 디지털 비디오 신호가 입력된다.
- <172> 그 다음, 모든 게이트 신호선(G1~Gy)이 차례로 선택된다. 모든 게이트 신호선(G1~Gy)이 선택되고, 모든 라인의 화소에 첫번째 비트의 디지털 비디오 신호가 입력될 때까지의 기간이 기입 기간(Ta1)이다.
- <173> 기입 기간(Ta1)이 개시되고부터, 다음에 출현하는 기입 기간(이 경우에는 Ta2)이 개시되기까지의 기간을 표시 기간(Tr1)이라 부른다.
- <174> 표시 기간(Tr1)이 종료된 때 기입 기간(Ta2)이 시작하고, 기입 기간(Ta1)의 경우와 마찬가지로 모든 게이트 신호선이 차례로 선택된다. 두번째 비트의 디지털 비디오 신호가 모든 화소에 입력된다. 두번째 비트의 디지털 비디오 신호가 모든 라인의 화소에 입력될 때까지의 기간을 기입 기간(Ta2)이라 부른다.
- <175> 기입 기간(Ta2)이 개시되고부터, 다음에 출현하는 기입 기간(이 경우에는 기입 기간(Tan))이 개시되기까지의 기간을 표시 기간(Tr2)이라 부른다.
- <176> 표시 기간(Tr2)이 종료된 때 기입 기간(Tan)이 개시된다. 기입 기간(Ta1)의 경우와 마찬가지로 모든 게이트 신호선이 차례로 선택되고, n번째 비트의 디지털 비디오 신호가 모든 화소에 입력된다. 모든 라인의 화소에 n번째 비트의 디지털 비디오 신호가 입력될 때까지의 기간을 기입 기간(Tan)이라 부른다.
- <177> 기입 기간(Tan)이 개시되고부터, 다음에 출현하는 기입 기간(이 경우에는 기입 기간(Ta3))이 개시되기까지의 기간을 분할된 표시 기간(S1Trn)이라 부른다.
- <178> 그리고, 분할된 표시 기간(S1Trn)이 종료된 때, 표시 기간(Tr3, Tr4, ..., Tr(n-1))이 차례로 출현하고, 각각의 기간에서, 대응하는 비트의 디지털 비디오 신호가 화소에 마찬가지로 입력된다.
- <179> 표시 기간(Tr(n-1))이 종료된 때 기입 기간(Tan)이 개시된다. 기입 기간(Ta1)의 경우와 마찬가지로 모든 게이트 신호선이 차례로 선택되고, n번째 비트의 디지털 비디오 신호가 모든 화소에 입력된다. 모든 라인의 화소에 n번째 비트의 디지털 비디오 신호가 입력될 때까지의 기간을 기입 기간(Tan)이라 부른다.
- <180> 기입 기간(Tan)이 개시되고부터, 다음에 출현하는 기입 기간(이 경우에는 다음 프레임 기간에서의 기입 기간(Ta1))의 개시되기까지의 기간을 분할된 표시 기간(S2Trn)이라 부른다.
- <181> 분할된 표시 기간(S1Trn)과 분할된 표시 기간(S2Trn)을 합하여 표시 기간(Trn)이라 부른다.
- <182> 모든 표시 기간(Tr1~Trn)이 종료된 때 하나의 화상이 표시될 수 있다. 본 발명의 구동방법에서, 하나의 화상을 표시하는 기간을 1 프레임 기간(F)이라 부른다. 1 프레임 기간이 종료되면, 다음 프레임 기간이 개시된다. 그리고, 기입 기간(Ta1)이 다시 출현하고, 상기한 동작이 반복된다.

- <183> 본 실시예에서는, 모든 기입 기간의 길이의 합이 1 프레임 기간보다 짧고, 또한, 표시 기간의 길이의 비는 $Tr1:Tr2:Tr3:\dots:Tr(n-1):Trn = 2^0:2^1:2^2:\dots:2^{n-2}:2^{n-1}$ 가 되도록 하는 것이 필요하다. 이 표시 기간을 조합하여 $1\sim 2^n$ 계조 중 소망의 계조 표시를 행할 수 있다.
- <184> 1 프레임 기간 중에 유기 EL 소자가 발광한 표시 기간의 길이의 합을 구함으로써, 해당 프레임 기간에서 그 화소에서 표시된 계조가 결정된다. 예를 들어, $n = 8$ 일 때, 모든 표시 기간에서 화소가 발광한 경우의 휘도를 100%라 하면, $Tr1$ 및 $Tr2$ 에서 화소가 발광한 경우에는 1%의 휘도가 표현될 수 있고, $Tr3$, $Tr5$, 및 $Tr8$ 에서 화소가 발광한 경우에는 60%의 휘도가 표현될 수 있다.
- <185> 또한, 표시 기간($Tr1\sim Trn$)은 임의의 순서로 출현될 수 있다. 예를 들어, 1 프레임 기간 중에서 $Tr1$ 의 다음에 $Tr3$, $Tr5$, $Tr2$, ...의 순서로 표시 기간을 출현시킬 수도 있다. 그러나, 동일한 n 번째 비트의 디지털 비디오 신호에 대응하는 분할된 표시 기간($S1Trn$)과 분할된 표시 기간($S2Trn$)은 연속하여 출현하지 않아야 한다.
- <186> 본 실시예에서는, 전원 전위 및 대향 전위의 높이를 항상 일정하게 하고 있지만, 본 발명은 그것에 한정되지 않는다. 기입 기간에서 전원 전위 및 대향 전위의 높이를 동일하게 유지될 수 있다. 그리고, 기입 기간이 종료됨과 동시에, 전원 전위가 유기 EL 소자의 화소 전극에 인가된 때, 유기 EL 소자가 발광하는 정도의 전위차를 전원 전위와 대향 전극의 전위가 항상가지도록 하여도 좋다.
- <187> 이 경우, 표시 기간 내에 기입 기간은 포함되지 않는다. 표시 기간은 기입 기간이 종료되고부터 다음에 출현하는 기입 기간이 개시되기까지의 기간에 해당한다. 예를 들어, 표시 기간($Tr1$)은 기입 기간($Ta1$)이 종료되고부터 기입 기간($Ta1$)의 다음에 출현하는 기입 기간(예를 들어, $Ta2$)이 개시되기까지의 기간이다.
- <188> 상가 구성에 의해, 2진 코드법에 의한 시간 분할 구동에서 현저한 의사 윤곽과 같은 표시 장애가 보이는 것을 방지할 수 있다.
- <189> 본 실시예에서는, 표시 기간(Trn)을 2개의 분할된 표시 기간($S1Trn$, $S2Trn$)으로 분할하지만, 본 실시예는 이 구성에 한정되지 않는다. 분할된 표시 기간이 1개이어도 좋고 다수이어도 좋다. 그러나, 상위 비트에 대응하는 표시 기간, 즉, 길이가 긴 표시 기간으로부터 차례로 분할하는 것이 바람직하다. 또한, 표시 기간의 분할수는 설계자가 적절히 선택할 수 있는 것이지만, 어디까지 분할하는가는 표시장치의 구동속도와 요구되는 화상 표시 품질의 발란스에 따라 결정되는 것이 바람직하다.
- <190> 또한, 동일 비트의 디지털 비디오 신호에 대응하는 분할된 표시 기간의 길이는 동일한 것이 바람직하지만, 본 발명은 이것에 한정되지 않는다. 분할된 표시 기간의 길이는 반드시 동일할 필요는 없다.
- <191> [실시예 2]
- <192> 본 실시예에서는, 각 화소에 제공된 3개의 TFT를 사용하여 유기 EL 소자의 발광을 제어하는 EL 표시장치의 화소부의 구성과 구동방법에 대하여 설명한다.
- <193> 본 실시예의 EL 표시장치의 화소부(501)의 확대도를 도 7에 나타낸다. 화소부(501)에는, 소스 신호선($S1\sim Sx$), 전원공급선($V1\sim Vx$), 기입용 게이트 신호선(또는 제1 게이트 신호선)($Ga1\sim Gay$), 및 소거용 게이트 신호선(또는 제2 게이트 신호선)($Ge1\sim Gey$)이 제공되어 있다.
- <194> 소스 신호선($S1\sim Sx$) 중의 1개, 전원공급선($V1\sim Vx$) 중의 1개, 기입용 게이트 신호선($Ga1\sim Gay$) 중의 1개, 및 소거용 게이트 신호선($Ge1\sim Gey$) 중의 1개를 구비한 영역이 화소(505)이다. 화소부(501)에는 다수의 화소(505)가 매트릭스 형상으로 배치되어 있다.
- <195> 도 8은 화소(505)의 확대도를 나타낸다. 도 8에서, 부호 507은 스위칭용 TFT를 나타낸다. 스위칭용 TFT(507)의 게이트 전극은 기입용 게이트 신호선(Ga)($Ga1\sim Gay$ 중의 어느 하나)에 접속되어 있다. 스위칭용 TFT(507)의 소스 영역과 드레인 중의 어느 한쪽 영역이 소스 신호선(S)($S1\sim Sx$ 중의 어느 하나)에 접속되고, 다른 한쪽 영역은 EL 구동용 TFT(508)의 게이트 전극과, 각 화소에 구비된 커패시터(512), 및 소거용 TFT(509)의 소스 영역 또는 드레인 영역에 각각 접속되어 있다.
- <196> 커패시터(512)는 스위칭용 TFT(505)가 비선택 상태(또는 오프 상태)에 있을 때 EL 구동용 TFT(508)의 게이트 전압을 보유하기 위해 제공되어 있다. 본 실시예에서는, 커패시터(512)를 갖는 구성을 나타내지만, 본 발명이 이것에 한정되지 않고, 커패시터(512)를 갖지 않는 구성으로 하여도 좋다.
- <197> 또한, EL 구동용 TFT(508)의 소스 영역과 드레인 중의 어느 한쪽 영역은 전원공급선(V)($V1\sim Vx$ 중의 어느 하

나)에 접속되고, 다른 한쪽 영역은 유기 EL 소자(510)에 접속된다. 전원공급선(V)은 커패시터(512)에 접속되어 있다.

- <198> 또한, 소거용 TFT(509)의 소스 영역과 드레인 영역 중, 스위칭용 TFT(507)의 소스 영역 또는 드레인 영역에 접속되지 않은 영역은 전원공급선(V)에 접속되어 있다. 또한, 소거용 TFT(509)의 게이트 전극은 소거용 게이트 신호선(Ge)(Ge1~Gex 중의 어느 하나)에 접속되어 있다.
- <199> 유기 EL 소자(510)는 양극, 음극, 및 그 양극과 음극 사이에 형성된 EL 층으로 이루어진다. 양극이 EL 구동용 TFT(508)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우, 양극이 화소 전극이 되고, 음극이 대향 전극이 된다. 반대로, 음극이 EL 구동용 TFT(508)의 소스 영역 또는 드레인 영역에 접속되어 있는 경우에는, 음극이 화소 전극이 되고, 양극이 대향 전극이 된다.
- <200> 유기 EL 소자(510)의 대향 전극에는 대향 전위가 인가되어 있다. 또한, 전원공급선(V)에는 전원 전위가 인가되어 있다. 그리고, 대향 전위와 전원 전위의 전위차는 전원 전위가 화소 전극에 인가된 때 유기 EL 소자가 발광하는 정도의 전위차로 항상 유지되어 있다. 전원 전위와 대향 전위는 외부 IC 또는 그와 같은 소자에 구비된 전원에 의해 본 발명의 구동방법을 사용하는 EL 표시장치에 인가된다. 여기서, 대향 전위를 공급하는 전원을 본 명세서에서는 대향 전원(511)이라 부른다.
- <201> 현재의 전형적인 EL 표시장치에는, 화소의 발광면적 당 발광량이 200 cd/m^2 인 경우, 화소부의 단위면적 당 전류가 수 mA/cm^2 정도 필요하게 된다. 따라서, 특히 화면 크기가 커지면, IC에 형성된 전원으로부터 인가되는 전위의 높이를 스위치에 의해 제어하기가 어렵게 된다. 본 실시예에서는, 전원 전위와 대향 전위는 항상 일정하게 유지되어있고, IC에 형성된 전원으로부터 인가되는 전위의 높이를 스위치에 의해 제어할 필요가 없기 때문에, 본 발명은 보다 큰 화면 크기를 갖는 패널을 실현하는데 유용하다.
- <202> 사용되는 스위칭용 TFT(507), EL 구동용 TFT(508), 및 소거용 TFT(509)는 n채널형 TFT 또는 p채널형 TFT일 수 있다. 또한, 스위칭용 TFT(507), EL 구동용 TFT(508) 및 소거용 TFT(509)는 단일 게이트 구조 뿐만 아니라, 이중 게이트 구조 또는 삼중 게이트 구조와 같은 멀티게이트 구조를 가질 수도 있다.
- <203> 다음에, 도 7 및 도 8에 도시된 바와 같은 본 발명에 따른 EL 표시장치의 구동방법에 대하여 도 9를 참조하여 설명한다. 도 9에서, 수평축은 시간을 나타내고 수직축은 선택된 게이트 신호선의 위치를 나타낸다.
- <204> 먼저, 제1 라인의 화소에서 표시 기간(Tr1)이 개시되고, 기입용 게이트 신호선 구동회로(도시되지 않음)로부터 기입용 게이트 신호선(Ga1)에 입력되는 기입용 게이트 신호(또는 제1 게이트 신호)에 의해 기입용 게이트 신호선(Ga1)이 선택된다. 그리고, 기입용 게이트 신호선(Ga1)에 접속된 모든 화소(즉, 제1 라인의 화소들)의 스위칭용 TFT(507)가 온 상태로 된다.
- <205> 동시에, 소스 신호선 구동회로(502)로부터 소스 신호선(S1~Sx)에 입력되는 첫번째 비트의 디지털 비디오 신호가 스위칭용 TFT(507)를 통해 EL 구동용 TFT(508)로 입력된다.
- <206> 디지털 비디오 신호는 "0" 또는 "1"의 정보를 가지고 있고, "0"과 "1"의 디지털 비디오 신호는 그 중 하나가 "Hi" 전압을 가지는 신호이고, 다른 하나는 "Lo" 전압을 가지는 신호이다.
- <207> 본 실시예에서는, 디지털 비디오 신호가 "0"의 정보를 가지는 경우, EL 구동용 TFT(508)는 오프 상태로 된다. 따라서, 유기 EL 소자(510)의 화소 전극에 전원 전위가 인가되지 않는다. 그 결과, "0"의 정보를 가진 디지털 비디오 신호가 입력된 화소의 유기 EL 소자(510)는 발광하지 않는다.
- <208> 반대로, 디지털 비디오 신호가 "1"의 정보를 가지는 경우에는, EL 구동용 TFT(508)는 온 상태로 된다. 따라서, 유기 EL 소자(510)의 화소 전극에 전원 전위가 인가된다. 그 결과, "1"의 정보를 가진 디지털 비디오 신호가 입력된 화소의 유기 EL 소자(510)는 발광한다.
- <209> 본 실시예에서는, 디지털 비디오 신호가 "0"의 정보를 가지는 경우, EL 구동용 TFT(508)는 오프 상태로 되고, 디지털 비디오 신호가 "1"의 정보를 가지는 경우, EL 구동용 TFT(508)는 온 상태로 되지만, 본 발명은 이 구성에 한정되지 않는다. 디지털 비디오 신호가 "0"의 정보를 가지는 경우, EL 구동용 TFT(508)가 온 상태로 되고, 디지털 비디오 신호가 "1"의 정보를 가지는 경우, EL 구동용 TFT(508)가 오프 상태로 될 수도 있다.
- <210> 이와 같이, 제1 라인의 화소에 디지털 비디오 신호가 입력됨과 동시에, 유기 EL 소자(510)가 발광 상태 또는 비발광 상태로 되어, 제1 라인의 화소는 표시를 행한다.

- <211> 다음에, 기입용 게이트 신호선(Ga1)의 선택이 종료되면, 기입용 게이트 신호에 의해 기입용 게이트 신호선(Ga2)이 선택된다. 그리고, 기입용 게이트 신호선(Ga2)에 접속된 모든 화소의 스위칭용 TFT(507)가 온 상태로 되고, 제2 라인의 화소에 소스 신호선(S1~Sx)으로부터 첫번째 비트의 디지털 비디오 신호가 입력된다.
- <212> 그 다음, 모든 기입용 게이트 신호선(Ga1~Gay)이 차례로 선택되어, 모든 화소에 첫번째 비트의 디지털 비디오 신호가 입력된다. 모든 화소에 첫번째 비트의 디지털 비디오 신호가 입력될 때까지의 기간이 기입 기간(Ta1)이다. 각 라인의 화소에서 기입 기간(Ta1)이 개시되는 타이밍은 각각 시간차를 가지고 있다.
- <213> 또한, 화소가 표시를 행하고 있는 기간을 표시 기간(Tr)이라고 부른다. 예를 들어, 제1 라인의 화소의 경우, 기입용 게이트 신호선(Ga1)이 선택됨과 동시에 표시 기간(Tr)이 개시된다. 각 라인의 표시 기간이 개시되는 타이밍은 각각 다르다.
- <214> 한편, 모든 화소에 첫번째 비트의 디지털 비디오 신호가 입력되기 전, 즉, 기입 기간(Ta1)이 종료되기 전에, 화소에의 첫번째 비트의 디지털 비디오 신호의 입력과 병행하여, 소거용 게이트 신호선 구동회로(도시되지 않음)로부터 소거용 게이트 신호선(Ge1)에 입력되는 소거용 게이트 신호(또는 제2 게이트 신호)에 따라 소거용 게이트 신호선(Ge1)이 선택된다. 그리고, 소거용 게이트 신호선(Ge1)에 접속된 모든 화소(즉 제1 라인의 화소)의 소거용 TFT(509)가 온 상태로 된다. 그 다음, 전원공급선(V1~Vx)의 전원 전위가 소거용 TFT(509)를 통해 EL 구동용 TFT(508)의 게이트 전극에 인가된다.
- <215> 전원 전위가 EL 구동용 TFT(508)의 게이트 전극에 인가되면, EL 구동용 TFT(508)의 게이트 전극과 소스 영역의 전위가 같게 되고, 게이트 전압이 0 V로 된다. 따라서, EL 구동용 TFT(508)는 오프 상태가 된다. 즉, 기입용 게이트 신호선(Ga1)이 기입용 게이트 신호에 의해 선택된 때부터 EL 구동용 TFT(508)의 게이트 전극에 의해 보유된 디지털 비디오 신호는 EL 구동용 TFT(508)의 게이트 전극에 전원 전위가 인가됨으로써 소거된다. 그 결과, 전원 전위가 유기 EL 소자(510)의 화소 전극에 인가되지 않고, 제1 라인의 화소에 구비된 유기 EL 소자(510)는 모두 비발광 상태로 되어, 제1 라인의 화소가 표시를 행하지 않는다.
- <216> 그리고, 소거용 게이트 신호선(Ge1)의 선택이 종료되면, 소거용 게이트 신호선(Ge2)이 선택되어, 소거용 게이트 신호선(Ge2)에 접속된 모든 화소(즉, 제2 라인의 화소)의 소거용 TFT(509)가 온 상태로 된다. 이어서, 전원공급선(V1~Vx)의 전원 전위가 소거용 TFT(509)를 통해 EL 구동용 TFT(508)의 게이트 전극에 인가된다. 전원 전위가 EL 구동용 TFT(508)의 게이트 전극에 인가되면, EL 구동용 TFT(508)는 오프 상태가 된다. 따라서, 전원 전위는 유기 EL 소자(510)의 화소 전극에 인가된다. 그 결과, 제2 라인의 화소에 구비된 유기 EL 소자(510)는 모두 비발광 상태로 되어, 제2 라인의 화소가 표시를 행하지 않는 비표시 상태로 된다.
- <217> 그 다음, 모든 소거용 게이트 신호선에 소거용 게이트 신호가 차례로 입력된다. 모든 소거용 게이트 신호선(Ga1~Gey)이 선택되어, 모든 화소에 의해 보유된 첫번째 비트의 디지털 비디오 신호가 소거될 때까지의 기간이 소거 기간(Te1)이다. 각 라인에서, 기입 기간(Te)이 개시되는 타이밍은 각각 시간차를 가지고 있다.
- <218> 또한, 화소가 표시를 행하지 않는 기간을 비표시 기간(Td)이라 부른다. 예를 들어, 제1 라인의 화소의 경우, 소거용 게이트 신호(Ge1)이 선택됨과 동시에 표시 기간(Tr1)이 종료하고, 비표시 기간(Td1)이 개시된다. 표시 기간과 마찬가지로, 각 라인의 비표시 기간이 개시되는 타이밍은 각각 다르다.
- <219> 한편, 모든 화소에 의해 보유된 첫번째 비트의 디지털 비디오 신호가 소거되기 전, 즉, 소거 기간(Te1)이 종료되기 전에, 화소에 의해 보유된 첫번째 비트의 디지털 비디오 신호의 소거와 병행하여, 기입용 게이트 신호에 의해 기입용 게이트 신호선(Ga1)이 다시 선택된다. 그 다음, 제1 라인의 화소에 두번째 비트의 디지털 비디오 신호가 입력된다. 그 결과, 제1 라인의 화소는 다시 표시를 행하므로, 비표시 기간(Td1)이 종료된다.
- <220> 기입 기간(Ta1)이 개시되고부터, 다음에 출현하는 기입 기간(여기서는 기입 기간(Ta2))이 개시되기까지의 기간이 표시 기간(Tr1)이다.
- <221> 그 다음, 표시 기간(Tr2)이 개시되어, 기입 기간(Ta2)이 된다. 그리고, 마찬가지로, 모든 기입용 게이트 신호선이 차례로 선택되고, 두번째 비트의 디지털 비디오 신호가 모든 화소에 입력된다.
- <222> 한편, 모든 화소에 두번째 비트의 디지털 비디오 신호가 입력되기 전, 즉, 기입 기간(Ta2)이 종료되기 전에, 화소에의 두번째 비트의 디지털 비디오 신호의 입력과 병행하여, 소거용 게이트 신호에 의해 소거용 게이트 신호선(Ge1)이 선택된다. 따라서, 제1 라인의 화소에 구비된 유기 EL 소자는 모두 비발광 상태로 되어, 제1 라인의 화소가 표시를 행하지 않게 된다. 따라서, 제1 라인의 화소에서 표시 기간(Tr2)이 종료하여, 비표시 기간(Td2)이 된다.

- <223> 그 다음, 모든 소거용 게이트 신호선(Ge2~Gey)가 차례로 선택되어, 모든 화소에 보유된 두번째 비트의 디지털 비디오 신호가 소거된다. 모든 화소에 보유된 두번째 비트의 디지털 비디오 신호가 소거되기까지의 시간이 소거 기간(Te2)이다.
- <224> 그 다음, 표시 기간(Tr2)이 종료하고, 표시 기간(Tr3)이 개시된다. 그리고, 마찬가지로, 모든 기입용 게이트 신호선이 차례로 선택되고, 모든 화소에 3번째 비트의 디지털 비디오 신호가 입력된다. 모든 화소에 3번째 비트의 디지털 비디오 신호가 입력되기 전, 즉, 기입 기간(Ta3)이 종료되기 전에, 화소에의 3번째 비트의 디지털 비디오 신호의 입력과 병행하여, 소거용 게이트 신호에 의해 소거용 게이트 신호선(Ge1)이 선택된다. 따라서, 제1 라인의 화소에 구비된 유기 EL 소자는 모두 비발광 상태로 되어, 제1 라인의 화소가 표시를 행하지 않게 된다. 따라서, 제1 라인의 화소에서 표시 기간(Tr3)이 종료하여, 비표시 기간(Td3)이 된다.
- <225> 그리고, 모든 소거용 게이트 신호선(Ge2~Gey)이 차례로 선택되어, 모든 화소에 보유된 3번째 비트의 디지털 비디오 신호가 소거된다. 모든 화소에 보유된 3번째 비트의 디지털 비디오 신호가 소거되기까지의 시간이 소거 기간(Te3)이다. 그 다음, 표시 기간(Tr3)이 종료하고, 분할된 표시 기간(SITrn)이 개시된다. 또한, n비트 디지털 비디오 신호가 모든 화소로 입력되도록 모든 기입 기간이 순차적으로 선택된다. 모든 화소에 n비트의 디지털 비디오 신호가 입력되기 전, 즉, 기입 기간(Tan)이 종료되기 전에, 화소에의 n번째 비트의 디지털 비디오 신호의 입력과 병행하여, 소거용 게이트 신호에 의해 소거 게이트 신호선(Ge1)이 선택된다. 따라서, 제1 라인의 화소에 구비된 유기 EL 소자는 모두 비발광 상태로 되어, 제1 라인의 화소가 표시를 행하지 않게 된다. 따라서, 제1 라인의 화소에서 표시 기간(Trn)은 종료하고, 비표시 기간(Td3)이 된다.
- <226> 그 다음, 모든 소거용 게이트 신호선(Ge2~Gey)가 차례로 선택되어, 모든 화소에 보유된 n번째 비트의 디지털 비디오 신호가 소거된다. 모든 화소에 보유된 n번째 비트의 디지털 비디오 신호가 소거되기까지의 시간이 소거 기간(Ten)이다.
- <227> 상기 동작은, m번째 비트의 디지털 비디오 신호가 화소에 입력될 때까지 반복되어, 표시 기간(Tr), 분할된 표시 기간(STr), 및 비표시 기간(Td)이 반복해서 출현한다. 표시 기간(Tr1)은 기입 기간(Ta1)이 개시되고부터 소거 기간(Te1)이 개시되기까지의 기간이다. 또한, 비표시 기간(Td1)은 소거 기간(Te1)이 개시되고부터 다음에 출현하는 기입 기간(즉, 이 경우에는 기입 기간(Ta2))이 개시되기까지의 기간이다. 또한, 표시 기간(Tr1) 및 비표시 기간(Td1)과 마찬가지로, 표시 기간(Tr2, Tr3, ..., Tr(m-1))과 비표시 기간(Td2, Td3, ..., Td(m-1))도 각각 기입 기간(Ta1, Ta2, ..., Tam)과 소거 기간(Te1, Te2, ..., Te(m-1))에 의해 정해진다.
- <228> 설명의 편의를 위해, 도 9는 $m = n-2$ 인 경우를 예를 들어 나타내지만, 본 발명은 이것에 한정되지 않는다는 것은 당연하다. 본 발명에서, m은 $1 \sim n$ 의 수에서 임의로 선택될 수 있다.
- <229> 표시 기간(Trm[n-2])(이하, [] 괄호내는 $m = n-2$ 인 경우를 나타낸다)이 개시되면, m[n-2]번째 비트의 디지털 비디오 신호가 제1 라인의 화소에 입력되고, 제1 라인의 화소는 표시 기간(Trm[n-2])가 되어 표시를 행한다. 그 다음, 다음 비트의 디지털 비디오 신호가 입력될 때까지 m[n-2]번째 비트의 디지털 비디오 신호가 화소에 보유된다.
- <230> 그 다음, 표시 기간(Tr(m+1)[n-1])이 개시되고, (m+1)[n-1]번째 비트의 디지털 비디오 신호가 제1 라인의 화소에 입력되면, 화소에 보유된 m[n-2]번째 비트의 디지털 비디오 신호가 (m+1)[n-1]번째 비트의 디지털 비디오 신호로 개서(rewrite)된다. 그리고, 제1 라인의 화소는 표시 기간(Tr(m+1)[n-1])이 되어, 표시를 행한다. (m+1)[n-1]번째 비트의 디지털 비디오 신호는 다음 비트의 디지털 비디오 신호가 입력될 때까지 화소에 보유된다.
- <231> 그 다음, 분할된 표시 기간(SITrn)이 개시되고, n번째 비트의 디지털 비디오 신호가 제1 라인의 화소에 입력되면, 화소에 보유된 (m+1)[n-1]번째 비트의 디지털 비디오 신호가 n번째 비트의 디지털 비디오 신호로 개서된다. 그리고, 제1 라인의 화소는 표시 기간(Trn)이 되어, 표시를 행한다. n번째 비트의 디지털 비디오 신호는 다음 비트의 디지털 비디오 신호가 입력될 때까지 화소에 보유된다.
- <232> 표시 기간(Trm[n-2], ..., Trn)은 기입 기간(Tam[n-2], ..., Tan)이 개시되고부터 다음에 출현하는 기입 기간이 개시되기까지의 기간이다.
- <233> 모든 표시 기간(Tr1~Trn)이 종료되면, 하나의 화상이 표시될 수 있다. 본 발명에서, 하나의 화상이 표시되는 기간을 1 프레임 기간(F)이라 부른다.
- <234> 또한, 1 프레임 기간이 종료하면, 기입용 게이트 신호선(Ga1)이 기입용 게이트 신호에 따라 다시 선택된다. 그

리고, 다음 프레임 기간의 첫번째 디지털 비디오 신호가 화소에 입력되어, 제1 라인의 화소가 다시 표시 기간(Tr1)이 된다. 그리고, 상기한 동작이 다시 반복된다.

<235> 본 실시예의 구동방법에서는, 모든 기입 기간의 길이의 합이 1 프레임 기간보다 짧은 것이 중요하다. 또한, 본 실시예의 구동방법에서는, 표시 기간(Trn)이 2개의 분할된 표시 기간(S1Trn, S2Trn)으로 분할되어 있다. 따라서, 표시 기간의 길이를 $Tr1:Tr2:Tr3:\dots:Tr(n-1):2\times Trn = 2^0:2^1:2^2:\dots:2^{n-2}:2^{n-1}$ 로 하는 것이 필요하다. 이 표시 기간을 조합하여, $1\sim 2^n$ 계조 중 소망의 계조 표시를 행할 수 있다.

<236> 1 프레임 기간 중에 유기 EL 소자가 발광한 표시 기간의 길이의 합을 구함으로써, 해당 프레임 기간에서 그 화소가 표시한 계조가 결정된다. 예를 들어, $n = 8$ 일 때, 모든 표시 기간에 화소가 발광한 경우의 휘도를 100%라 하면, Tr1과 Tr2에서 화소가 발광한 경우에는 1%의 휘도가 표현될 수 있고, Tr3, Tr5, Tr8에서 화소가 발광한 경우에는 60%의 휘도가 표현될 수 있다.

<237> m번째 비트의 디지털 비디오 신호가 화소에 기입되는 기입 기간(Tam)이 표시 기간(Trm)의 길이보다 짧은 것이 중요하다. 따라서, 비트수 m의 값은 $1\sim m$ 중, 기입 기간(Tam)이 표시 기간(Trm)보다 짧게 되는 값일 필요가 있다.

<238> 또한, 표시 기간(Tr1~Trn)은 어떠한 순서로 출현하여도 좋다. 예를 들어, 1 프레임 기간 중에서 표시 기간이 Tr1, Tr3, Tr5, Tr2, ...의 순서로 출현할 수도 있다. 그러나, 표시 기간(Tr1~Trn)이 서로 겹치지 않는 순서로 하는 것이 바람직하다. 또한, 소거 기간(Te1~Ten)도 서로 겹치지 않는 순서로 하는 것이 보다 바람직하다.

<239> 상기 구성에 의해, 2진 코드법에 의한 시간 분할 구동에서 현저한 의사 윤곽과 같은 표시 장애가 보이는 것을 방지할 수 있다.

<240> 본 실시예에서는, 표시 기간(Trn)을 2개의 분할된 표시 기간(S1Trn, S2Trn)으로 분할하고 있지만, 본 실시예는 이 구성에 한정되지 않는다. 분할되는 표시 기간의 수는 1개이어도 좋고 또는 다수이어도 좋다. 그러나, 상위 비트에 대응하는 표시 기간, 즉, 길이가 긴 표시 기간으로부터 차례로 분할하는 것이 바람직하다. 또한, 표시 기간의 분할수는 설계자가 적절히 선택할 수 있는 것이지만, 어디까지 분할하는가는 표시장치의 구동속도와 요구되는 화상 표시 품질의 발란스에 따라 결정하는 것이 바람직하다.

<241> 또한, 동일 비트의 디지털 비디오 신호에 대응하는 분할된 표시 기간의 길이는 동일한 것이 바람직하지만, 본 발명은 이것에 한정되지 않는다. 분할된 표시 기간의 길이는 반드시 동일할 필요는 없다.

<242> 본 실시예에서는, 실시예 1에서 나타낸 구동방법과 달리, 유기 EL 소자가 발광하는 기간을 기입 기간보다 짧게 할 수 있다. 따라서, 1 프레임 기간에서 표시 기간의 길이의 총합의 비율(듀티비)이 기입 기간의 길이에 의해서만 결정되지 않는다.

<243> 본 실시예에서는, EL 구동용 TFT들의 게이트 전극에 인가되는 전압을 보유하기 위해 커패시터를 마련한 구조로 하고 있으나, 커패시터를 생략할 수도 있다. EL 구동용 TFT가, 게이트 절연막을 사이에 두고 게이트 전극과 겹치도록 제공된 LDD 영역을 가지는 경우, 이 겹침 영역에는 일반적으로 게이트 용량으로 불리는 기생 용량이 형성된다. 이 게이트 용량을 EL 구동용 TFT의 게이트 전극에 인가되는 전압을 보유하기 위한 커패시터로서 적극적으로 사용할 수도 있다.

<244> 게이트 용량의 값은 게이트 전극과 LDD 영역이 서로 겹치는 면적에 따라 변화하기 때문에, 그 겹침 영역에 포함되는 LDD 영역의 길이에 의해 결정된다.

<245> [실시예 3]

<246> 본 실시예에서는, 도 4에 나타낸 화소부를 구동하기 위해 사용되는 소스 신호선 구동회로와 게이트 신호선 구동회로의 상세한 구성에 대하여 설명한다.

<247> 도 10(A) 및 도 10(B)는 본 실시예의 EL 표시장치의 구동회로의 블록도이다. 도 10(A)는 시프트 레지스터(602), 래치(A)(603), 및 래치(B)(604)를 가지고 있는 소스 신호선 구동회로(601)이다.

<248> 소스 신호선 구동회로(601)에서, 시프트 레지스터(602)에 클럭 신호(CLK)와 스타트 펄스(SP)가 입력된다. 시프트 레지스터(602)는 클럭 신호(CLK)와 스타트 펄스(SP)에 의거하여 타이밍 신호를 차례로 발생하여, 버퍼(도시되지 않음)와 같은 회로를 통해 후단의 회로에 그 타이밍 신호를 순차로 공급한다.

- <249> 시프트 레지스터(602)로부터의 타이밍 신호는 버퍼와 같은 회로에 의해 완충 증폭될 수도 있다. 타이밍 신호가 공급되는 배선에는 많은 회로 또는 소자가 접속되어 있기 때문에, 이 배선의 부하 용량(기생 용량)이 크다. 버퍼는 큰 부하 용량에 기인하여 발생하는, 타이밍 신호의 상승 및 하강의 무딥(bluntness)을 방지하기 위해 형성된다. 버퍼를 반드시 구성할 필요는 없다.
- <250> 버퍼에 의해 완충 증폭된 타이밍 신호는 래치(A)(603)에 공급된다. 래치(A)(603)는 n비트 디지털 비디오 신호를 처리하기 위한 다수의 래치 단(stage)을 가지고 있다. 타이밍 신호가 입력될 때, 그 래치(A)(603)는 소스 신호선 구동회로(601)의 외부로부터 인가되는 n비트 디지털 비디오 신호를 기입 및 보유한다.
- <251> 래치(A)(603)에 디지털 비디오 신호를 기입할 때 디지털 비디오 신호가 래치(A)(603)의 다수의 래치 단에 차례로 입력될 수도 있다. 그러나, 본 발명은 이 구성에 한정되지 않는다. 래치(A)(603)의 다수의 래치 단이 몇몇 그룹으로 분할될 수 있고, 그 그룹들이 병행하여 동시에 디지털 비디오 신호가 입력될 수 있다. 즉, 분할 구동이 행해질 수 있다. 이때의 그룹의 수를 분할수라 부른다. 예를 들어, 래치들이 4개의 단마다 그룹으로 분할되는 경우, 4분할로 분할 구동하는 것이라고 한다.
- <252> 디지털 비디오 신호가 래치(A)(603)의 모든 래치 단에 완전히 기입될 때까지의 기간을 라인 기간이라 부른다. 실제로는, 상기 라인 기간에 수평 귀선(歸線) 기간이 추가된 기간을 라인 기간에 포함시키는 경우가 있을 수 있다.
- <253> 1 라인 기간이 종료된 때, 래치(B)(604)에 래치 신호가 공급된다. 이 순간, 래치(A)(603)에 기입되어 보유된 디지털 비디오 신호가 일제히 래치(B)(604)로 송출되고, 래치(B)(604)의 모든 래치 단에 기입되어 보유된다.
- <254> 래치(B)(604)로 디지털 비디오 신호를 송출하는 것을 완료한 래치(A)(603)에는, 시프트 레지스터(602)로부터의 타이밍 신호에 의거하여 디지털 비디오 신호의 기입이 다시 차례로 행해진다.
- <255> 제2 라인 기간 중에는, 래치(B)(604)에 기입되어 보유된 디지털 비디오 신호가 소스 신호선에 입력된다.
- <256> 도 10(B)는 게이트 신호선 구동회로의 구성을 나타내는 블록도이다.
- <257> 게이트 신호선 구동회로(605)는 시프트 레지스터(606)와 버퍼(607)를 가지고 있다. 또한, 게이트 신호선 구동회로(605)는 경우에 따라서는 레벨 시프터를 구비할 수도 있다.
- <258> 게이트 신호선 구동회로(605)에서, 시프트 레지스터(606)로부터의 타이밍 신호가 버퍼(607)에 공급되고, 이 타이밍 신호가 대응하는 게이트 신호선에 공급된다. 게이트 신호선에는 1 라인분의 화소의 스위칭용 TFT의 게이트 전극이 접속되어 있다. 1 라인분의 화소의 모든 스위칭용 TFT는 동시에 온 상태로 되어야 하기 때문에, 큰 전류가 흐를 수 있는 버퍼가 사용된다.
- <259> [실시예 4]
- <260> 본 실시예에서는, 본 발명의 구동방법을 이용하는 EL 표시장치를 제조하는 예에 대하여 도 11 및 도 12를 참조하여 설명한다.
- <261> 도 11(A)는 본 발명의 구동방법을 이용하는 EL 표시장치의 TFT 기관의 상면도이다. 본 명세서에서 TFT 기관이란 화소부가 형성되어 있는 기관을 가리킨다.
- <262> 기관(4001)상에, 화소부(4002), 소스 신호선 구동회로(4003), 제1 게이트 신호선 구동회로(4004a), 및 제2 게이트 신호선 구동회로(4004b)가 형성되어 있다. 본 발명에서 소스 신호선 구동회로와 게이트 신호선 구동회로의 수는 도 11(A)에 도시된 수에 한정되지 않는다. 소스 신호선 구동회로와 게이트 신호선 구동회로의 수를 설계자가 적절히 설정하는 것이 가능하다. 또한, 본 실시예에서는 소스 신호선 구동회로와 게이트 신호선 구동회로가 하나의 TFT 기관상에 형성되지만, 본 발명이 이것에 한정되지 않는다. TFT 기관과는 별도의 기관상에 형성된 소스 신호선 구동회로와 게이트 신호선 구동회로를 FPC와 같은 수단을 통해 화소부에 전기적으로 접속할 수도 있다.
- <263> 부호 4005는 인출 배선을 나타낸다. 이 인출 배선(4005)은 기관(4001)의 외부에 형성된 IC 등에 FPC(4006)를 통해 접속된다.
- <264> 도 11(B)에는 인출 배선(4005)의 확대도가 도시되어 있다. 부호 4100은 R 인출 배선을 나타내고, 부호 4101은 G 인출 배선을 나타내고, 부호 4102는 B 인출 배선을 나타낸다.
- <265> 도 12(A)는 도 11(A)에 나타난 TFT 기관을 밀봉재에 의해 봉지(封止)함으로써 형성된 EL 디스플레이의 상면도이

다. 도 12(B)는 도 12(A)의 A-A'선을 따라 취한 단면도이고, 도 12(C)는 도 12(A)의 B-B'선을 따라 취한 단면도이다. 도 12(A)~도 12(C)에서, 도 11(A) 및 도 11(B)에 이미 나타난 부분에 대해서는 동일한 부호를 사용한다.

- <266> 기판(4001)상에 형성된 화소부(4002), 소스 신호선 구동회로(4003), 제1 및 제2 게이트 신호선 구동회로(4004a, 4004b)를 에워싸도록 밀봉재(4009)가 형성되어 있다. 또한, 화소부(4002), 소스 신호선 구동회로(4003), 제1 및 제2 게이트 신호선 구동회로(4004a, 4004b)상에 밀봉재(4008)가 형성되어 있다. 따라서, 화소부(4002), 소스 신호선 구동회로(4003), 제1 및 제2 게이트 신호선 구동회로(4004a, 4004b)는 충전재(4210)가 채워진 상태로 기판(4001), 밀봉재(4009), 및 밀봉재(4008)에 의해 밀봉되어 있다.
- <267> 또한, 기판(4001)상에 형성된 화소부(4002), 소스 신호선 구동회로(4003), 제1 및 제2 게이트 신호선 구동회로(4004a, 4004b)는 다수의 TFT를 가지고 있다. 전형적으로는, 도 12(B)에 도시된 바와 같이, 소스 신호선 구동회로(4003)에 포함되는 구동용 TFT(여기서는 n채널형 TFT 및 p채널형 TFT가 도시되어 있음)(4201)와, EL 구동용 TFT(유기 EL 소자로 흐르는 전류를 제어하는 TFT)(4202)가 하지막(4010)상에 형성되어 있다.
- <268> 본 실시예에서는, 공지의 방법에 의해 제조된 p채널형 TFT 또는 n채널형 TFT가 구동용 TFT(4201)에 사용되고, 공지의 방법에 의해 제조된 p채널형 TFT가 EL 구동용 TFT(4202)에 사용된다. 또한, EL 구동용 TFT(4202)의 게이트에 접속된 보유 용량(도시되지 않음)이 제공된다.
- <269> 구동용 TFT(4201) 및 EL 구동용 TFT(4202)상에 층간절연막(평탄화막)(4304)이 형성되고, 이 층간절연막(4304)상에 EL 구동용 TFT(4202)의 드레인에 전기적으로 접속된 화소 전극(양극)(4203)이 형성된다. 화소 전극(4203)에는, 일 함수가 큰 투명 도전막이 사용된다. 이 투명 도전막에는, 산화인듐과 산화주석의 화합물, 산화인듐과 산화아연의 화합물, 산화아연, 산화주석, 산화인듐이 사용될 수 있다. 또한, 갈륨이 첨가된 투명 도전막이 사용될 수도 있다.
- <270> 그 다음, 화소 전극(4203)상에 절연막(4302)이 형성되고, 화소 전극(4203) 위에서 절연막(4302)에 개구부가 형성된다. 이 개구부에서 화소 전극(4203)상에 EL(전계발광) 층(4204)이 형성된다. EL 층(4204)에는, 공지의 유기 EL 재료가 사용될 수 있다. 또한, 유기 EL 재료에는, 저분자계(모노머계) 유기 EL 재료와 고분자계(폴리머계) 유기 EL 재료가 있고, 어느 것이나 사용될 수 있다.
- <271> EL 층(4304)을 형성하는 방법으로서, 공지의 증착법 또는 공지의 도포법이 사용될 수 있다. 또한, EL 층은 단층 구조를 가질 수도 있고, 또는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 및 전자 주입층이 자유롭게 조합된 적층 구조를 가질 수도 있다.
- <272> EL 층(4204)상에, 차광성을 가진 도전막(대표적으로는, 알루미늄, 구리 또는 은을 주성분으로 하는 도전막 또는 그러한 도전막과 다른 도전막과의 적층막)으로 된 음극(4205)이 형성된다. 또한, 음극(4205)과 EL 층(4204) 사이의 계면에 존재하는 수분 및 산소를 극력 제거하는 것이 바람직하다. 따라서, 질소 또는 불활성 가스 분위기에서 EL 층(4304)을 형성한 다음 산소 또는 수분에의 노출 없이 음극(4205)을 형성하는 메커니즘을 이용하는 것이 필요하다. 본 실시예에서는 멀티체임버 방식(클러스터 툴 방식)의 성막장치를 사용함으로써 상기한 성막이 가능하다. 그 다음, 음극(4205)에 소정의 전압이 인가된다.
- <273> 그리하여, 화소 전극(양극)(4203), EL 층(4204), 음극(4205)을 포함하는 유기 EL 소자(4303)가 형성된다. 그 다음, 유기 EL 소자(4303)를 덮도록 절연막(4302)상에 보호막(4303)이 형성된다. 이 보호막(4303)은 산소 및 수분 등의 오염물이 유기 EL 소자(4303)에 침입하는 것을 방지하는데 효과적이다.
- <274> 부호 4005a는 전원공급선에 접속된 인출 배선을 나타내며, 이 인출 배선(4005a)은 EL 구동용 TFT(4202)의 소스 영역에 전기적으로 접속되어 있다. 인출 배선(4005a)은 밀봉재(4009)와 기판(4001) 사이를 통과하고, 이방 도전성 필름(4300)을 통해 FPC(4006)의 FPC 배선(4301)에 전기적으로 접속된다.
- <275> 밀봉재(4008)로서는, 유리재, 금속재(대표적으로는 스테인리스 강재), 세라믹재, 및 플라스틱재(플라스틱 필름을 포함)가 사용될 수 있다. 플라스틱재로서는, FRP(섬유유리 강화 플라스틱)판, PVF(폴리비닐 플루오라이드) 필름, 마일러(Mylar) 필름, 폴리에스터 필름, 아크릴 수지 필름이 사용될 수 있다. 또한, PVF 필름들 또는 마일러 필름들 사이에 알루미늄 포일이 끼어진 구조를 갖는 시트가 사용될 수도 있다.
- <276> 그러나, 유기 EL 소자로부터 방사된 광의 방향이 커버재 쪽으로 향하는 경우에는, 커버재가 투명하여야 한다. 이 경우에는, 유리판, 플라스틱판, 폴리에스터 필름, 아크릴 수지 필름 등의 투명 물질이 사용된다.
- <277> 또한, 충전재(4210)로서는, 질소 또는 아르곤과 같은 불활성 가스 이외에, 자외선 경화 수지 또는 적외선 경화

수지가 사용될 수 있다. PVC(폴리비닐 클로라이드), 아크릴, 폴리마이드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티릴) 및 EVA(에틸렌 비닐 아세테이트)가 사용될 수 있다. 본 실시예에서는, 충전재로서 질소가 사용된다.

<278> 흡습성 물질(바람직하게는 산화바륨) 또는 산소를 흡수할 수 있는 물질(4207) 내에 충전재(4210)를 배치하기 위해, 밀봉재(4008)의 기관(4001)측 표면에 오목부(4007)가 형성되고, 이 오목부(4007) 내에 흡습성 물질 또는 산소를 흡수할 수 있는 물질(4207)이 배치된다. 흡습성 물질 또는 산소를 흡수할 수 있는 물질(4207)은 비산하지 않도록 오목부 커버재(4208)에 의해 오목부(4007)내에 보유된다. 오목부 커버재(4208)는, 공기와 수분은 통과할 수 있지만 흡습성 물질 또는 산소를 흡수할 수 있는 물질(4207)은 통과할 수 없는 미세한 메시(mesh) 형상의 구조를 가지고 있다. 흡습성 물질 또는 산소를 흡수할 수 있는 물질(4207)을 형성함으로써, 유기 EL 소자(4303)의 열화(劣化)가 억제될 수 있다.

<279> 도 12(C)에 도시된 바와 같이, 화소 전극(4203)의 형성과 동시에, 인출 배선(4005a)과 접하도록 도전막(4203a)이 형성된다.

<280> 또한, 이방 도전성 필름(4300)은 도전성 충전재(4300a)를 가지고 있다. 기관(4001)과 FPC(4006)와의 열 압착에 의해, 기관(4001)상의 도전막(4203a)과 FPC(4006)상의 FPC 배선(4301)이 도전성 충전재(4300a)에 의해 전기적으로 접속된다.

<281> 본 실시예를 실시예 1~3 중의 어느 것이라도 자유롭게 조합하여 실시할 수 있다.

<282> [실시예 5]

<283> 본 실시예에서는, 본 발명의 EL 표시장치에 있어서, 화소부와 그 화소부의 주변에 제공되는 구동회로의 TFT(n채널형 TFT와 p채널형 TFT)를 동일 기관상에 동시에 형성하는 방법을 도 13~도 16을 참조하여 상세히 설명한다.

<284> 본 실시예에서는, 먼저, 코닝 #7059 유리 및 #1737 유리로 대표되는 바륨 붕규산염 유리 또는 알루미늄 붕규산염 유리와 같은 유리로 된 기관(300)을 사용한다. 기관(300)으로서, 석영 기관 또는 규소 기관, 또는 금속 기관 또는 절연막이 형성되어 있는 스테인리스 기관이 대신 사용될 수도 있다. 본 실시예의 처리 온도에 대한 내열성을 가지는 플라스틱 기관도 사용될 수 있다.

<285> 그 다음, 기관(300)상에, 산화규소막, 질화규소막 또는 산화질화규소막과 같은 절연막으로 된 하지막(301)을 형성한다. 본 실시예에서는, 하지막(301)으로서 2층 구조를 사용하지만, 단층막 또는 2층 이상의 절연막으로 이루어진 적층 구조가 사용될 수도 있다. 하지막(301)의 제1 층으로서, 플라즈마 CVD법에 의해 반응 가스로서 SiH_4 , NH_3 , N_2O 를 사용하여 산화질화규소막(301a)을 10~200 nm(바람직하게는 50~100 nm)의 두께로 형성한다. 본 실시예에서는, 50 nm의 막 두께를 가진 산화질화규소막(301a)(조성비: Si = 32%, O = 27%, N = 24%, H = 17%)을 형성한다. 그 다음, 하지막(301)의 제2 층으로서, 플라즈마 CVD법에 의해 반응 가스로서 SiH_4 와 N_2O 를 사용하여 산화질화규소막(301b)을 50~200 nm(바람직하게는 100~150 nm)의 두께로 형성한다. 본 실시예에서는, 100 nm의 막 두께를 가진 산화질화규소막(301b)(조성비: Si = 32%, O = 59%, N = 7%, H = 2%)을 형성한다.

<286> 이어서, 하지막(301)상에 반도체층(302~305)을 형성한다. 이 반도체층(302~305)은, 비정질 구조를 가진 반도체막을 공지의 방법(스퍼터링법, LPCVD법, 또는 플라즈마 CVD법)에 의해 성막한 후, 공지의 결정화 처리(레이저 결정화법, 열결정화법, 니켈 등의 촉매를 이용한 열 결정화법)를 행하여 얻어진 결정성 반도체막을 소망의 형태로 패터닝함으로써 형성된다. 이 반도체층(302~305)은 25~80 nm(바람직하게는 30~60 nm)의 두께로 형성된다. 결정성 반도체막의 재료는 특별히 한정되지 않고, 규소 또는 규소-게르마늄 합금($\text{Si}_x\text{Ge}_{1-x}$ (x = 0.0001~0.02)) 등을 사용하여 성막하는 것이 바람직하다. 본 실시예에서는, 플라즈마 CVD법에 의해 두께 55 nm의 비정질 규소막을 형성한 다음, 그 비정질 규소막 상에 니켈 함유 용액을 유지시킨다. 비정질 규소막의 탈수소화 처리(500℃에서 1시간)를 행한 후, 그에 대해 열 결정화 처리(550℃에서 4시간)를 행한다. 또한, 결정성을 향상시키기 위해, 레이저 어닐 처리를 행하여 결정성 규소막을 형성한다. 그 다음, 이 결정성 규소막에 대해 포토리소그래피법을 사용하는 패터닝 처리를 행하여 반도체층(302~305)을 얻는다.

<287> 또한, 반도체층(302~305)의 형성 후, TFT의 스레시홀드 값을 제어하기 위해 미량의 불순물 원소(붕소 또는 인)를 도핑할 수도 있다.

<288> 또한, 결정성 반도체막을 레이저 결정화법에 의해 제조하는 경우에는, 펄스 발진형 또는 연속 발광형 엑시머 레

이저, YAG 레이저, 또는 YVO₄ 레이저가 사용될 수 있다. 이들 레이저를 사용하는 경우에는, 레이저 발진기로부터 방사되는 레이저광을 광학계에 의해 선형 비임으로 집광시켜 비정질 반도체막에 조사하는 방법을 사용하는 것이 좋다. 결정화의 조건은 실시자에 의해 적절히 선택되는 것이지만, 엑시머 레이저를 사용하는 경우에는, 펄스 발진 주파수를 300 Hz로 하고, 레이저 에너지 밀도를 100~400 mJ/cm²(대표적으로는 200~300mJ/cm²)로 한다. YAG 레이저를 사용하는 경우에는, 그의 제2 고조파를 사용하고, 펄스 발진 주파수를 30~300 kHz로 하고, 레이저 에너지 밀도를 300~600 mJ/cm²(대표적으로는 350~500 mJ/cm²)로 하는 것이 좋다. 그 다음, 폭 100~1,000 μm, 예를 들어, 400 μm의 선형으로 집광된 레이저광을 기판의 전면에 조사하고, 이때의 선형 레이저광의 겹침 비율(오버랩 비율)을 50~90%로 하여 행할 수 있다.

<289> 그 다음, 반도체층(302~305)을 덮도록 게이트 절연막(306)을 형성한다. 이 게이트 절연막(306)은 플라즈마 CVD법 또는 스퍼터링법에 의해 규소 함유 절연막으로부터 40~150 nm의 두께로 형성된다. 본 실시예에서는, 게이트 절연막(306)이 플라즈마 CVD법에 의해 산화질화규소막(조성비: Si = 32%, O = 59%, N = 7%, H = 2%)으로부터 110 nm의 두께로 형성된다. 물론, 게이트 절연막이 산화질화규소막에 한정되지 않고, 다른 규소를 함유하는 절연막을 단층 또는 적층 구조로 형성할 수도 있다.

<290> 또한, 산화규소막을 사용하는 경우, 이 산화규소막은 플라즈마 CVD법에 의해 TEOS(테트라에틸 오르소실리케이트)와 O₂를 혼합하고 40 Pa의 반응압력과 300~400℃의 기판 온도에서 0.5~0.8 W/cm²의 고주파(13.56 MHz) 전력 밀도로 방출하여 형성될 수 있다. 이와 같이 하여 제조된 산화규소막에 대하여 이어서 400~500℃의 열 어닐을 행하면, 게이트 절연막으로서의 양호한 특성이 얻어질 수 있다.

<291> 그 다음, 도 13(A)에 도시된 바와 같이, 게이트 절연막(306)상에 20~100 nm의 막 두께와 100~400 nm의 막 두께를 각각 가지는 제1 도전막(307)과 제2 도전막(308)을 적층 형성한다. 본 실시예에서는, 30 nm의 막 두께를 가진 TaN막으로 된 제1 도전막(307)과, 370 nm의 막 두께를 가진 W막으로 된 제2 도전막(308)을 적층 형성한다. TaN막은 질소 함유 분위기에서 Ta 타겟을 사용한 스퍼터링법에 의해 형성되고, W막은 W 타겟을 사용한 스퍼터링법에 의해 형성된다. W막은 6불화 텅스텐(WF₆)을 사용하여 열 CVD법에 의해 형성될 수도 있다. 어느 방법을 사용하든, 게이트 전극으로서 사용하기 위해서는 재료를 저저항화할 필요가 있고, W막의 저항률을 20 μΩcm 이하로 하는 것이 바람직하다. 결정립을 크게 함으로써, W막을 저저항화하는 것이 가능하지만, W막 중에 산소와 같은 불순물 원소가 많이 함유되어 있는 경우에는, 결정화가 저해되어, 고저항화 된다. 따라서, 본 실시예에서는, 순도 99.9999%의 타겟을 사용한 스퍼터링법에 의해 고순도의 W막을 형성하고, 또한 성막 중에 기상 중의 불순물이 막에 혼입되는 것을 방지하도록 충분한 배려를 함으로써, 9~20 μΩcm의 저항률을 실현할 수 있다.

<292> 본 실시예에서는, 제1 도전막(307)이 TaN으로 형성되고, 제2 도전막(308)이 W으로 형성되지만, 재료가 그것에 특별히 한정되지 않고, 어느 막이나 Ta, W, Ti, Mo, Al, Cu, Cr, Nd로부터 선택된 원소 또는 그 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 형성될 수도 있다. 또한, 인과 같은 불순물 원소가 도핑된 다결정 규소막으로 대표되는 반도체막도 사용될 수 있다. 또한, 제1 도전막을 탄탈(Ta)로 형성하고 제2 도전막을 W으로 형성하는 조합, 제1 도전막을 질화티탄(TiN)로 형성하고 제2 도전막을 W으로 형성하는 조합, 제1 도전막을 질화탄탈(TaN)로 형성하고 제2 도전막을 Al으로 형성하는 조합, 제1 도전막을 질화탄탈륨(TaN)로 형성하고 제2 도전막을 Cu로 형성하는 조합 중 어느 조합이라도 사용될 수 있다.

<293> 그 다음, 도 13(B)에 도시된 바와 같이, 포토리소그래피법을 사용하여 레지스트로 된 마스크(309~312)를 형성하고, 전극과 배선을 형성하기 위해 제1 에칭 처리를 행한다. 이 제1 에칭 처리는 제1 및 제2 에칭조건으로 행해진다. 본 실시예에서는, 제1 에칭조건으로서, ICP(유도 결합형 플라즈마) 에칭법을 사용하고, 에칭 가스로서 CF₄, Cl₂, O₂의 가스 혼합물을 사용하고, 가스 유량을 25/25/10 sccm으로 하고, 1 Pa의 압력 하에 코일형 전극에 500 W의 RF(13.56 MHz)의 전력을 인가하여 플라즈마를 발생시킨다. 여기서는, Matsushita Electric Industrial Co. Ltd.에서 제조된 ICP를 이용한 건식 에칭장치(모델 E645- ICP)를 사용한다. 또한, 기판측(시료 스테이지)에도 150 W의 RF(13.56 MHz)의 전력을 인가하여, 실질적으로 부(負)의 셀프바이어스 전압을 인가한다. 제1 에칭조건에서 W막이 에칭되고, 제2 도전층의 단부가 테이퍼 형상으로 형성된다. 제1 에칭조건에서, W의 에칭속도는 200.39 nm/min이고, TaN의 에칭속도는 80.32 nm/min이고, W 대 TaN의 선택비는 약 2.5가 된다. 또한, 제1 에칭조건에서 W의 테이퍼각은 약 26°가 된다.

<294> 그 후, 레지스트로 된 마스크(309~312)를 제거하지 않고 제1 에칭조건을 제2 에칭조건으로 변경하고, 에칭 가

스로서 CF_4 와 Cl_2 의 혼합 가스를 사용하고, 가스 유량을 30/30 sccm으로 하고, 1 Pa의 압력 하에 코일형 전극에 500 W의 RF(13.56 MHz)의 전력을 인가하여 플라즈마를 발생시켜, 약 30초간 에칭을 행한다. 기판측(시료 스테이지)에도 20 W의 RF(13.56 MHz)의 전력을 인가하여, 실질적으로 부의 셀프바이어스 전압을 인가한다. CF_4 와 Cl_2 가 혼합되어 있는 제2 에칭조건에서 W막과 TaN막이 모두 동일한 정도로 에칭된다. 제2 에칭조건에서, W의 에칭속도는 58.97 nm/min이고, TaN의 에칭속도는 66.43 nm/min이다. 게이트 절연막상에 어떠한 잔사(殘渣)도 남기지 않고 에칭을 행하기 위해서는 에칭시간을 약 10~20% 정도 증가시킬 수도 있다.

<295> 제1 에칭 처리에서는, 레지스트로 된 마스크를 적절한 형태의 것으로 함으로써 기판측에 인가되는 바이어스 전압의 효과에 의해 제1 및 제2 도전층의 단부가 테이퍼 형상으로 형성된다. 이 테이퍼부의 각도는 $15^\circ \sim 45^\circ$ 로 하는 것이 좋다. 이와 같이 하여, 제1 에칭 처리에 의해, 제1 도전층과 제2 도전층으로 이루어진 제1 형상의 도전층(314~317)(제1 도전층(314a~314a) 및 제2 도전층(314b~317b))이 형성된다. 부호 319는 게이트 절연막을 나타내고, 이 게이트 절연막 중 제1 형상의 도전층(314~317)으로 덮이지 않은 영역이 에칭에 의해 약 20~50 nm만큼 얇게 된다.

<296> 그 다음, 레지스트로 된 마스크를 제거하지 않고, 반도체층에 n형 도전성을 부여하는 불순물 원소를 첨가하는 제1 도핑 처리를 행한다(도 13(B)). 이 도핑은 이온 도핑법 또는 이온 주입법에 의해 행해질 수 있다. 이온 도핑법의 조건은, 도즈량을 $1 \times 10^{13} \sim 5 \times 10^{15}$ 원자/cm²으로 하고, 가속 전압을 60~100 keV로 한다. 본 실시예에서는, 도즈량을 1.5×10^{15} 원자/cm²으로 하고, 가속 전압을 80 keV로 한다. n형 도전성을 부여하는 불순물 원소로서는, 주기율표의 15족에 속하는 원소, 전형적으로는 인(P) 또는 비소(As)를 사용하고, 여기서는 인을 사용한다. 이 경우, 도전층(314~317)이 n형 도전성을 부여하는 불순물 원소에 대한 마스크가 되어, 자기정합적으로 고농도 불순물 영역(320~323)이 형성된다. 고농도 불순물 영역(320~323)에는 n형 도전성을 부여하는 불순물 원소가 $1 \times 10^{20} \sim 1 \times 10^{21}$ 원자/cm³의 농도 범위로 첨가된다.

<297> 그 후, 도 13(C)에 도시된 바와 같이, 레지스트로 된 마스크를 제거하지 않고 제2 에칭 처리를 행한다. 여기서는, 에칭 가스로서 CF_4 , Cl_2 , O_2 의 혼합 가스를 사용하고, 가스 유량을 20/20/20 sccm으로 하고, 1 Pa의 압력 하에 코일형 전극에 500 W의 RF(13.56 MHz)의 전력을 인가하여 플라즈마를 발생시켜, 에칭을 행한다. 기판측(시료 스테이지)에도 20 W의 RF(13.56 MHz)의 전력을 인가하여, 실질적으로 부의 셀프바이어스 전압을 인가한다. 제2 에칭 처리에서, W의 에칭속도는 124.62 nm/min이고, TaN의 에칭속도는 20.67 nm/min이고, W 대 TaN의 선택비는 약 6.05가 된다. 따라서, W막이 선택적으로 에칭된다. 또한, 제2 에칭 처리에서 W의 테이퍼각은 약 70° 로 된다. 제2 에칭 처리에 의해 제2 도전층(324b~327b)이 형성된다. 한편, 제1 도전층(314a~317a)은 거의 에칭되지 않고, 제1 도전층(324a~327a)이 형성된다.

<298> 그 다음, 제2 도핑 처리를 행한다. 제2 도전층(324b~327b)을 불순물 원소에 대한 마스크로서 사용하고, 제1 도전층의 테이퍼부 아래의 반도체층에 불순물 원소가 첨가되도록 도핑을 행한다. 본 실시예에서는, 불순물 원소로서 인(P)을 사용하고, 도즈량을 1.5×10^{14} 원자/cm²으로 하고, 전류 밀도를 0.5 μA 로 하고, 가속 전압을 90 keV로 하여 플라즈마 도핑을 행한다. 이와 같이 하여, 제1 도전층과 겹치는 저농도 불순물 영역(329~332)이 자기정합적으로 형성된다. 저농도 불순물 영역(329~332)내의 인(P)의 농도는 $1 \times 10^{17} \sim 5 \times 10^{18}$ 원자/cm³이고, 제1 도전층의 테이퍼부의 막 두께에 따라 완만한 농도 구배를 가진다. 제1 도전층의 테이퍼부와 겹치는 반도체층에서, 불순물 원소의 농도가 제1 도전층의 테이퍼부의 단부로부터 내부 쪽으로 갈수록 약간 감소한다. 그러나, 이 농도는 거의 동일한 수준을 유지한다. 또한, 고농도의 불순물 원소가 첨가된 고농도 불순물 영역(333~336)을 형성한다.

<299> 그 후, 도 14(B)에 도시된 바와 같이, 레지스트로 된 마스크를 제거한 후, 포토리소그래피법을 사용하여 제3 에칭 처리를 행한다. 제3 에칭 처리에서 제1 도전층의 테이퍼부가 제2 도전층과 겹치는 형상을 가지도록 부분적으로 에칭된다. 또한, 도 14(B)에 도시된 바와 같이, 제3 에칭 처리가 행해지지 않은 영역에 레지스트로 된 마스크(338)를 형성한다.

<300> 제3 에칭 처리에서의 에칭 조건은, 제1 및 제2 에칭 처리와 마찬가지로 ICP 에칭법을 사용하고, 에칭 가스로서 Cl_2 와 SF_6 를 사용하고, 가수 유량을 10/50 sccm로 한다. 제3 에칭 처리에서의 TaN의 에칭속도는 111.2 nm/min이고, 게이트 절연막에 대한 에칭속도는 12.8 nm/min이다.

<301> 1.3 Pa의 압력 하에 코일형 전극에 500 W의 RF(13.56 MHz)의 전력을 인가하여 플라즈마를 발생시켜 에칭을 행한

다. 기관층(시료 스테이지)에도 10 W의 RF(13.56 MHz)의 전력을 인가하여, 실질적으로 부의 셀프바이어스 전압을 인가한다. 이와 같이 하여, 제1 도전층(340a~342a)이 형성된다.

<302> 제3 에칭 처리에 따라 제1 도전층(340a~342a)과 겹치지 않는 불순물 영역(LDD 영역)(343~345)이 형성된다. 불순물 영역(GOLD 영역)(346)은 제1 도전층(324a)과 겹친 채로 유지된다.

<303> 또한, 제1 도전층(324a)과 제2 도전층(324b)으로 형성된 전극은 최종적으로 구동회로의 n채널형 TFT의 게이트 전극이 된다. 또한, 제1 도전층(340a)과 제2 도전층(341b)으로 형성된 전극은 최종적으로 구동회로의 p채널형 TFT의 게이트 전극이 된다.

<304> 마찬가지로, 제1 도전층(341a)과 제2 도전층(341b)으로 형성된 전극은 최종적으로 구동회로의 n채널형 TFT의 게이트 전극이 된다. 또한, 제1 도전층(342a)과 제2 도전층(342b)으로 형성된 전극은 최종적으로 구동회로의 p채널형 TFT의 게이트 전극이 된다.

<305> 본 실시예에서는, 이와 같이 하여, 제1 도전층(340a~342a)과 겹치지 않는 불순물 영역(LDD 영역)(343~345)과 제1 도전층(324a)과 겹치는 불순물 영역(GOLD 영역)(346)이 동시에 형성될 수 있고, TFT 특성에 응답하여 영역들을 형성하는 것이 가능하게 된다.

<306> 그 다음, 게이트 절연막(319)을 에칭한다. 이 에칭 처리에서, 에칭 가스로서 CHF_3 를 사용하고, 반응성 이온 에칭(RIE)법을 행한다. 본 실시예에서는, 챔버 압력을 6.7 Pa로 하고, RF 전력을 800 W로 하고, CHF_3 가스 유량을 35 sccm으로 하여 에칭 처리를 행한다.

<307> 그리하여, 고농도 불순물 영역(333~336)의 일부가 노출되고, 절연막(356a~356d)이 형성된다.

<308> 그 다음, 레지스트로 된 마스크를 제거한 후, 새로운 마스크(348, 349)를 레지스트로 형성하고, 제3 도핑 처리를 행한다. 이 제3 도핑 처리에 의해, 상기 도전형(n형)과 반대의 도전형(p형)을 부여하는 불순물 원소가 첨가된 불순물 영역(350~353)이 p채널형 TFT의 활성층이 되는 반도체층에 형성된다(도 14(C) 참조). 제1 도전층(340a~342a)이 불순물 원소에 대한 마스크로서 사용되고, p형 도전성을 부여하는 불순물 원소가 첨가되어, 불순물 영역이 자기정합적으로 형성된다.

<309> 본 실시예에서는, 불순물 영역(350~353)이 디보란(B_2H_6)을 사용한 이온 도핑법에 의해 형성된다. 제3 도핑 처리 중에, n채널형 TFT를 형성하는 반도체층이 레지스트로 된 마스크(348, 349)에 의해 덮인다. 불순물 영역(350, 353)에는 제1 도핑 처리와 제2 도핑 처리에서 각기 다른 농도로 인이 첨가되지만, 각각의 영역에 p형 도전성을 부여하는 불순물 원소의 농도가 $2 \times 10^{20} \sim 2 \times 10^{21}$ 원자/ cm^3 로 되도록 도핑을 행하므로, 그 영역들이 p채널형 TFT의 소스 영역과 드레인 영역으로서 기능하는데 아무런 문제가 생기지 않는다.

<310> 여기까지의 공정에 의해 각각의 반도체층에 불순물 영역들이 형성된다.

<311> 그 다음, 레지스트 마스크(348, 349)를 제거하고, 제1 층간절연막(357)을 형성한다. 제1 층간절연막(357)으로는, 규소를 함유하는 절연막을 플라즈마 CVD법 또는 스퍼터링법에 의해 100~200 nm의 두께로 형성한다. 본 실시예에서는, 산화질화규소막을 플라즈마 CVD법에 의해 150 nm의 막 두께로 형성한다. 물론, 제1 층간절연막(357)은 산화질화규소막에 한정되지 않고, 규소를 함유하는 다른 절연막이 단층 또는 다층 구조로 사용될 수도 있다.

<312> 그 다음, 도 15(A)에 도시된 바와 같이, 각 반도체층에 첨가된 불순물 원소를 활성화하는 공정을 행한다. 이 활성화 공정을 위해서는, 어닐 노를 사용한 열 어닐을 행한다. 열 어닐은 산소 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하인 질소 분위기에서 400~700℃, 대표적으로는 500~550℃로 행할 수도 있다. 본 실시예에서는, 550℃, 4시간의 열처리에 의해 활성화 공정을 행한다. 열 어닐법 외에, 레이저 어닐법 또는 급속 열 어닐법(RTA법)이 적용될 수도 있다.

<313> 본 실시예에서는, 상기 활성화 공정과 동시에, 결정화 중에 촉매로서 사용된 니켈을 인을 고농도로 함유하는 불순물 영역(334~336, 350, 351)으로 게터링(gettering)한다. 그리하여, 주로 채널 형성 영역이 되는 반도체층 중의 니켈 농도가 감소된다. 이와 같이 하여 형성된 채널 형성 영역을 가진 TFT에서는 오프 전류값이 감소되고, 양호한 결정성 때문에 높은 전계효과 이동도가 얻어진다. 이에 따라, 양호한 특성이 달성될 수 있다.

<314> 또한, 제1 층간절연막을 형성하기 전에 활성화 처리를 행할 수도 있다. 그러나, 열에 약한 배선 재료를 사용하

는 경우에는, 본 실시예에서와 같이 배선 등을 보호하기 위해 층간절연막(규소를 주성분으로 하는 절연막, 예를 들어, 질화규소막)을 형성한 후에 활성화 처리를 행하는 것이 바람직하다.

- <315> 활성화 처리를 행한 후에 도핑 처리를 행하고 제1 층간절연막을 형성할 수도 있다.
- <316> 또한, 3~100%의 수소를 함유하는 분위기에서 300~550℃로 1~12시간 열처리를 행하여, 반도체층의 수소화를 행한다. 본 실시예에서는, 약 3%의 수소를 함유하는 질소 분위기에서 410℃로 1시간 열처리를 행한다. 이 공정은 층간절연막에 함유된 수소에 의해 반도체층의 땀글링 본드(dangling bond)를 종단시키는 공정이다. 수소화의 다른 수단으로서 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용)를 행할 수도 있다
- <317> 또한, 활성화 처리로서 레이저 어닐법을 사용하는 경우에는, 상기 수소화 공정을 행한 후에 엑시머 레이저 또는 YAG 레이저로부터의 레이저광과 같은 레이저광을 조사하는 것이 바람직하다.
- <318> 그 다음, 도 15(B)에 도시된 바와 같이, 제1 층간절연막(357)상에 유기 절연 재료로 제2 층간절연막(358)을 형성한다. 본 실시예에서는, 막 두께 1.6 μm 의 아크릴 수지막을 형성한다. 그 다음, 불순물 영역(333, 335, 350, 351)에 도달하는 콘택트 홀들을 형성하기 위해 패터닝을 행한다.
- <319> 제2 층간 절연막(358)으로서는, 규소를 함유하는 절연 재료 또는 유기 수지로 된 막을 사용한다. 규소를 함유하는 절연 재료로서는, 산화규소, 질화규소, 또는 산화질화규소를 사용할 수 있고, 유기 수지로서는, 폴리이미드, 폴리아미드, 아크릴 수지, BCB(벤조시클로부텐) 등을 사용할 수 있다.
- <320> 본 실시예에서는, 플라즈마 CVD법에 의해 산화질화규소막을 형성한다. 산화질화규소막의 막 두께는 1~5 μm (더 바람직하게는 2~4 μm)로 하는 것이 바람직하다. 산화질화규소막은 막 자체에 수분이 거의 함유되어 있지 않기 때문에 유기 EL 소자의 열화를 억제하는데 효과적이다.
- <321> 콘택트 홀들의 형성에 건식 에칭법 또는 습식 에칭법을 사용할 수 있으나, 에칭 중의 정전 파괴의 문제를 고려하면 습식 에칭법을 이용하는 것이 바람직하다.
- <322> 또한, 콘택트 홀들을 형성할 때 제1 및 제2 층간절연막이 동시에 에칭된다. 따라서, 콘택트 홀의 형상을 고려하면, 제1 층간절연막을 형성하는데 사용되는 것보다 에칭속도가 빠른 재료를 제2 층간절연막을 형성하는데 사용하는 것이 바람직하다.
- <323> 그 다음, 불순물 영역(333, 335, 350, 351) 각각에 전기적으로 접속되는 배선(359~366)을 형성한다. 이들 배선은 두께 50 nm의 Ti막과 두께 500 nm의 합금막(Al과 Ti의 합금막)과의 적층막을 패터닝함으로써 형성된다. 다른 도전막도 사용될 수 있다.
- <324> 그 다음, 두께 80~120 nm의 투명 도전막을 형성하고, 패터닝에 의해 투명 전극(367)을 형성한다.(도 15(B) 참조)
- <325> 본 실시예에서는, 투명 전극으로서, 인듐 주석 산화물(ITO)막 또는 2~20%의 산화아연(ZnO)이 혼입된 산화인듐의 투명 도전막이 사용된다.
- <326> 또한, 투명 전극(367)은 드레인 배선(365)과 접하고 겹치도록 형성됨으로써 전류 제어용 TFT의 드레인 영역에 전기적으로 접속된다.
- <327> 그 다음, 도 16에 도시된 바와 같이, 규소를 함유하는 절연막(본 실시예에서는 산화규소막)을 500 nm의 막 두께로 형성하고, 투명 전극(367)에 대응하는 위치에 개구부를 형성한다. 이어서, 뱅크로서 기능하는 제3 층간절연막(368)을 형성한다. 개구부를 형성할 때 습식 에칭법을 사용하면, 테이퍼 형상의 측벽이 쉽게 형성될 수 있다. 개구부의 측벽이 충분히 완만하지 않으면, 단차로 인한 EL 층의 열화가 현저한 문제가 된다. 따라서, 주의가 필요하다.
- <328> 본 실시예에서는 제3 층간절연막(368)으로서 산화규소막을 사용하지만, 경우에 따라서는, 폴리이미드, 폴리아미드, 아크릴 수지, BCB(벤조시클로부텐) 등의 유기 수지막이 사용될 수도 있다.
- <329> 그 다음, 도 16에 도시된 바와 같이, EL 층(369)을 형성한다. 또한, 증착법에 의해 음극(MgAg 전극)(370) 및 보호전극(371)을 형성한다. EL 층(369)과 음극(370)을 형성하기 전에 투명 전극(367)에 대해 열처리를 행하여 모든 수분을 완전히 제거하는 것이 바람직하다. 본 실시예에서는, 유기 EL 소자의 음극으로서 MgAg 전극을 사용하지만, 다른 공지의 재료를 사용하는 것도 가능하다.
- <330> 또한, EL 층(369)으로서 공지의 재료를 사용할 수 있다. 본 실시예에서는, EL 층으로서, 정공 수송층과 발광층

을 포함하는 2층 구조가 사용되지만, 정공 주입층, 전자 주입층 또는 전자 수송층이 형성되는 경우도 있을 수 있다. 많은 조합 예가 이미 보고되었고, 보고된 구조들 중 어느 것이라도 사용될 수 있다.

- <331> 본 실시예에서는, 정공 수송층으로서 폴리페닐렌 비닐렌을 증착법에 의해 형성한다. 또한, 발광층으로서, 30~40%의 1,3,4-옥시디아졸 유전체 PBD를 폴리비닐 카르바졸에 분산시킨 재료를 증착법에 의해 형성하고, 녹색 발광 중심으로서 약 1%의 쿠마린 6을 첨가한다.
- <332> 또한, 보호전극(371)에 의해 EL 층(369)을 수분 및 산소로부터 보호하는 것이 가능하지만, 패시베이션막(372)을 형성하는 것이 바람직하다. 본 실시예에서는, 패시베이션막(372)으로서 두께 300 nm의 질화규소막을 형성한다. 패시베이션막은 대기에서의 노출 없이 보호전극(371)의 형성 후에 연속적으로 형성될 수도 있다.
- <333> 보호전극(371)은 음극(370)의 열화를 방지하기 위해 형성되고, 전형적으로는 알루미늄을 주성분으로 하는 금속막으로 형성된다. 물론, 다른 재료를 사용하는 것도 가능하다. 또한, EL 층(369)과 음극(370)은 수분에 매우 약하기 때문에, 보호전극(371)을 형성하기까지 대기에서의 노출 없이 연속적으로 성막을 행함으로써 EL 층을 외기로부터 보호하는 것이 바람직하다.
- <334> EL 층(369)의 막 두께는 10~400 nm(전형적으로는 60~150 nm)일 수 있고, 음극(370)의 막 두께는 80~200 nm(전형적으로 100~150 nm)일 수 있다.
- <335> 이와 같이 하여, 도 16에 도시된 바와 같은 구조를 갖는 EL 표시장치가 완성된다. 본 실시예의 EL 표시장치 제작공정에서는, 소스 신호선을 게이트 전극을 형성하는 재료인 Ta 및 W으로 형성하고, 게이트 신호선을 소스 및 드레인 전극을 형성하는 배선 재료인 Al으로 형성하고 있으나, 회로 구조 및 공정과 관련하여 다른 재료를 사용하는 것도 가능하다.
- <336> 또한, n채널형 TFT(701)와 p채널형 TFT(702)를 가진 구동회로(706)와, 스위칭용 TFT(703)와 EL 구동용 TFT(704)를 가진 화소부(707)가 동일 기판상에 형성될 수 있다.
- <337> 구동회로(706)의 n채널형 TFT(701)는 채널 형성 영역(333), 게이트 전극의 일부를 형성하는 제1 도전층(324a)과 겹치는 저농도 불순물 영역(329)(GOLD 영역), 및 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역(333)을 가지고 있다. p채널형 TFT(702)는 채널 형성 영역(373), 게이트 전극의 일부를 형성하는 제1 도전층(340a)과 겹치지 않는 불순물 영역(343), 및 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(350, 352)을 가지고 있다.
- <338> 화소부(707)의 스위칭용 TFT(703)는 채널 형성 영역(374), 게이트 전극의 외측에 형성되고, 게이트 전극을 형성하는 제1 도전층(341a)과 겹치지 않는 저농도 불순물 영역(344)(LDD 영역), 및 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역(335)을 가지고 있다.
- <339> 화소부(707)의 EL 구동용 TFT(704)는 채널 형성 영역(375), 및 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역(351, 353)을 가지고 있다.
- <340> 본 실시예를 실시예 1~4 중의 어느 것이라도 자유롭게 조합하여 실시할 수 있다.
- <341> [실시예 6]
- <342> 본 발명을 실시하여 형성되는 EL 표시장치는 자기발광형 장치이기 때문에 액정표시장치에 비해 밝은 장소에서 시인성(視認性)이 양호하고, 또한, 시야각이 넓다. 따라서, 다양한 전자장치용의 표시부로서 사용될 수 있다. 예를 들어, 대화면에 의한 TV 방송 감상을 위한 대각선 길이 30인치 이상(전형적으로는 40인치 이상)의 EL 디스플레이(프레임에 EL 디스플레이를 합체시킨 전기광학장치)의 표시부로서 본 발명의 EL 표시장치를 사용하는 것이 좋다.
- <343> EL 디스플레이로서는, 퍼스널 컴퓨터용 디스플레이, TV 방송 수신용 디스플레이, 또는 광고용 디스플레이와 같은, 정보를 표시하는 모든 디스플레이가 포함된다. 또한, 본 발명의 EL 표시장치는 다른 다양한 전자장치의 표시부로서 사용될 수도 있다.
- <344> 그러한 전자장치의 예로서는, 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오 시스템, 오디오 콤포넌트 시스템 등), 노트북형 퍼스널 컴퓨터, 게임기, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기, 또는 전자책 등), 기록 매체를 구비한 화상 재생 장치(구체적으로는, 디지털 비디오 디스크(DVD)와 같은 기록 매체의 재생을 행하고, 화상을 표시할 수 있는 디스플레이를 구비한 장치)를 들 수 있다. 특히, 휴대형 정보 단말기는 비스듬한 방향에서 보는 일이

많기 때문에, 시야각의 폭이 매우 중요 시 된다. 따라서, EL 표시장치를 사용하는 것이 바람직하다. 이들 전자장치의 예를 도 17 및 도 18에 나타낸다.

- <345> 도 17(A)는 케이싱(2001), 지지대(2002), 표시부(2003)를 포함하는 EL 표시장치를 나타낸다. 본 발명의 EL 표시장치는 표시부(2003)에 사용될 수 있다. EL 표시장치는 백라이트가 필요없는 자기발광형 장치이기 때문에, 그의 표시부가 액정표시장치에 비해 얇게 될 수 있다.
- <346> 도 17(B)는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 수상(受像)부(2106) 등을 포함하는 비디오 카메라를 나타낸다. 본 발명의 EL 표시장치는 표시부(2102)에 사용될 수 있다.
- <347> 도 17(C)는 본체(2201), 신호 케이블(2202), 헤드 고정 밴드(2203), 화면부(2204), 광학계(2205), 표시부(2206)를 포함하는 헤드 장착형 전기광학장치의 일부(우측부)를 나타낸다. 본 발명의 EL 표시장치는 표시부(2206)에 사용될 수 있다.
- <348> 도 17(D)는 본체(2301), 기록 매체(DVD 등)(2302), 조작 스위치(2303), 표시부(a)(2304), 표시부(b)(2305)를 포함하는, 기록 매체를 구비한 화상 재생 장치(구체적으로는, DVD 재생장치)를 나타낸다. 표시부(a)(2304)는 주로 화상 정보를 표시하는데 사용되고, 표시부(b)(2305)는 주로 문자 정보를 표시하는데 사용된다. 본 발명의 EL 표시장치는 표시부(a)(2304)와 표시부(b)(2305)에 사용될 수 있다. 가정용 게임기도 기록 매체를 구비한 화상 재생 장치로서 포함된다.
- <349> 도 17(E)는 본체(2401), 표시부(2402), 암(arm)부(2403) 등을 포함하는 고글형 표시장치(헤드 장착형 디스플레이)를 나타낸다. 본 발명의 EL 표시장치는 표시부(2402)에 사용될 수 있다.
- <350> 도 17(F)는 본체(2501), 케이싱(2502), 표시부(2503), 및 키보드(2504)를 포함하는 퍼스널 컴퓨터를 나타낸다. 본 발명의 EL 표시장치는 표시부(2503)에 사용될 수 있다.
- <351> 장래에 EL 재료의 발광 휘도가 더 높게 되면, 출력된 화상을 포함하는 광을 렌즈 등에 의해 확대 투영하는 프론트형 또는 리어형 프로젝터에 본 발명의 EL 표시장치를 사용하는 것이 가능할 것이다.
- <352> 상기한 전자장치들은 인터넷 또는 CATV(케이블 텔레비전)와 같은 전자 통신 회선을 통해 제공되는 정보를 표시하는 일이 더욱 많게 되고, 특히 동화상 정보를 표시할 기회가 증가하고 있다. 유기 EL 재료의 응답속도는 매우 빠르므로, EL 표시장치는 동화상 표시를 행하는데 바람직하다.
- <353> EL 표시장치의 발광부가 전력을 소비하기 때문에, 발광부를 가능한 한 작게 하여 정보를 표시하는 것이 바람직하다. 따라서, 휴대형 정보 단말기, 특히 휴대 전화기 및 음향 재생 장치와 같이 주로 문자 정보를 표시하는 표시부에 EL 표시장치를 사용하는 경우, 비발광부를 배경으로 하고 발광부에서 문자 정보를 형성하여 장치를 구동하는 것이 바람직하다.
- <354> 도 18(A)는 본체(2601), 음성 출력부(2602), 음성 입력부(2603), 표시부(2604), 조작 스위치(2605), 안테나(2606) 등을 포함하는 휴대 전화기를 나타낸다. 본 발명의 EL 표시장치는 표시부(2604)에 사용될 수 있다. 표시부(2604)에서 흑색 배경에 백색 문자를 표시함으로써 휴대 전화기의 소비전력을 감소시킬 수 있다.
- <355> 도 18(B)는 본체(2701), 표시부(2702), 조작 스위치(2703, 2704)를 포함하는 음향 재생 장치, 구체적으로는 카오디오 시스템을 나타낸다. 본 발명의 EL 표시장치는 표시부(2702)에 사용될 수 있다. 또한, 본 실시예에서는 차량용 음향 재생 장치를 나타내지만, 휴대형 및 가정용의 음향 재생 장치에 사용될 수도 있다. 표시부(2702)에서 흑색 배경에 백색 문자를 표시함으로써 소비전력을 감소시킬 수 있다. 이것은 휴대형 음향 재생 장치의 경우 특히 효과적이다.
- <356> 이와 같이, 본 발명의 적용범위는 매우 넓고, 본 발명은 모든 분야의 전자장치에 적용될 수 있다. 또한, 본 실시예는 실시예 1~5 중의 어느 것과도 조합하여 실시될 수 있다.
- <357> 또한, 본 실시예의 전자장치는 실시예 1~5에 나타난 구성 중 어느 구성을 가진 EL 표시장치라도 사용할 수도 있다.

발명의 효과

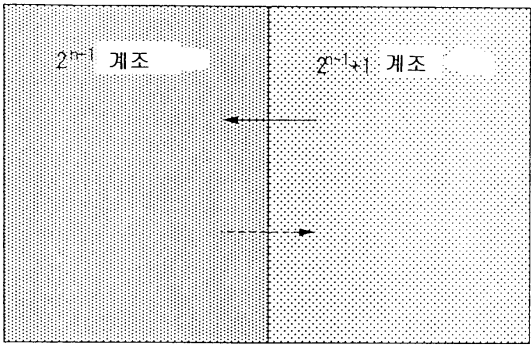
- <358> 본 발명에서는, 1 프레임 기간 중에 점등 기간과 비점등 기간이 분할되어 번갈아 출현하므로, 사람의 시점(視點)이 좌우상하로 미묘하게 움직이더라도, 사람의 시점이 비점등 화소만을 연속하여 응시하거나, 반대로 점등 화소만을 연속하여 응시하는 확률을 낮게 할 수 있다. 따라서, 2진 코드법에 의한 시간 분할 구동에서 현

저한 의사 윤곽과 같은 표시 장애가 보이는 것을 방지할 수 있다.

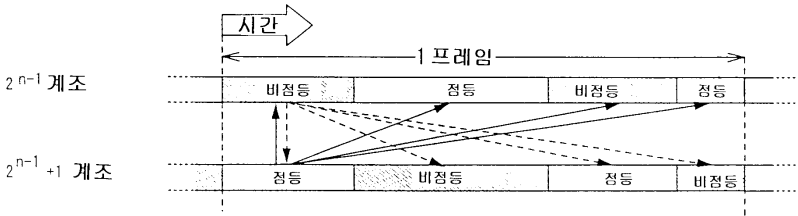
도면의 간단한 설명

- <1> 도 1(A) 및 도 1(B)는 본 발명의 구동방법을 사용한 EL 표시장치의 화소부와, 표시 기간과 분할된 표시 기간의 길이의 비를 나타내는 도면.
 - <2> 도 2(A) 및 도 2(B)는 본 발명의 구동방법을 사용한 EL 표시장치의 화소부와, 표시 기간과 비표시 기간의 길이의 비를 나타내는 도면.
 - <3> 도 3은 다수의 표시 기간을 분할된 표시 기간으로 분할한 경우의 표시 기간과 분할된 표시 기간의 길이의 비를 나타내는 도면.
 - <4> 도 4는 본 발명의 구동방법을 사용하는 화소부의 회로도.
 - <5> 도 5는 본 발명의 구동방법을 사용하는 화소의 회로도.
 - <6> 도 6은 본 발명의 구동방법을 나타내는 도면.
 - <7> 도 7은 본 발명의 구동방법을 사용하는 화소부의 회로도.
 - <8> 도 8은 본 발명의 구동방법을 사용하는 화소의 회로도.
 - <9> 도 9는 본 발명의 구동방법을 나타내는 도면.
 - <10> 도 10(A) 및 도 10(B)는 구동회로의 블록도.
 - <11> 도 11(A) 및 도 11(B)는 EL 표시장치의 상면도.
 - <12> 도 12(A)~도 12(C)는 EL 표시장치의 상면도와 단면도.
 - <13> 도 13(A)~도 13(C)는 EL 표시장치의 제조방법을 나타내는 도면.
 - <14> 도 14(A)~도 14(C)는 EL 표시장치의 제조방법을 나타내는 도면.
 - <15> 도 15(A) 및 도 15(B)는 EL 표시장치 제조방법을 나타내는 도면.
 - <16> 도 16은 EL 표시장치의 제조방법을 나타내는 도면.
 - <17> 도 17(A)~도 17(F)는 본 발명의 구동방법을 사용한 EL 표시장치를 구비한 전자장치를 나타내는 도면.
 - <18> 도 18(A) 및 도 18(B)는 본 발명의 구동방법을 사용한 EL 표시장치를 구비한 전자장치를 나타내는 도면.
 - <19> 도 19(A) 및 도 19(B)는 종래의 구동방법을 사용한 EL 표시장치의 화소부와, 표시 기간과 분할된 표시 기간의 길이의 비를 나타내는 도면.
 - <20> 도 20(A) 및 도 20(B)는 종래의 구동방법을 사용한 EL 표시장치의 화소부와, 표시 기간과 비표시 기간의 길이의 비를 각각 나타내는 도면.
 - <21> * 도면의 주요 부분에 대한 부호의 설명
 - <22> 501: 화소부 505: 화소 507: 스위칭용 TFT
 - <23> 508: EL 구동용 TFT 509: 소거용 TFT 510: EL 소자
 - <24> 511: 대향 전원

도면2

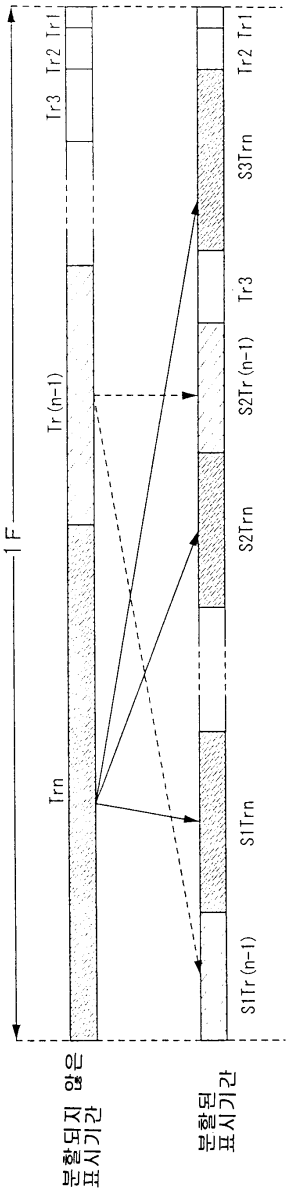


A

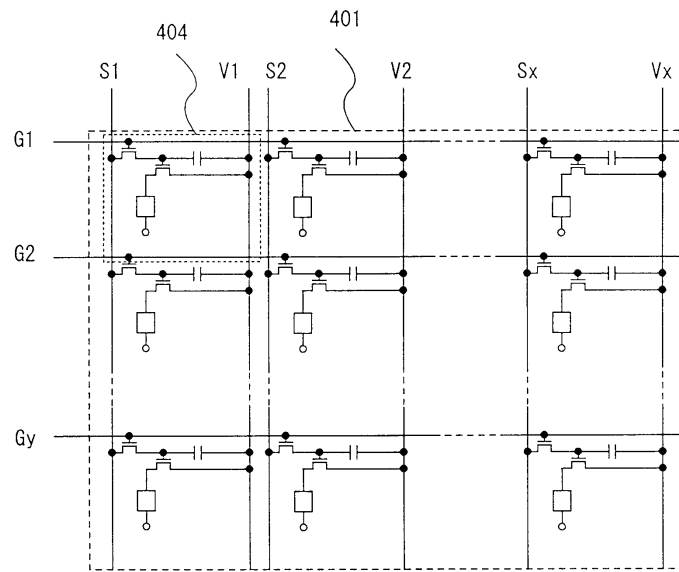


B

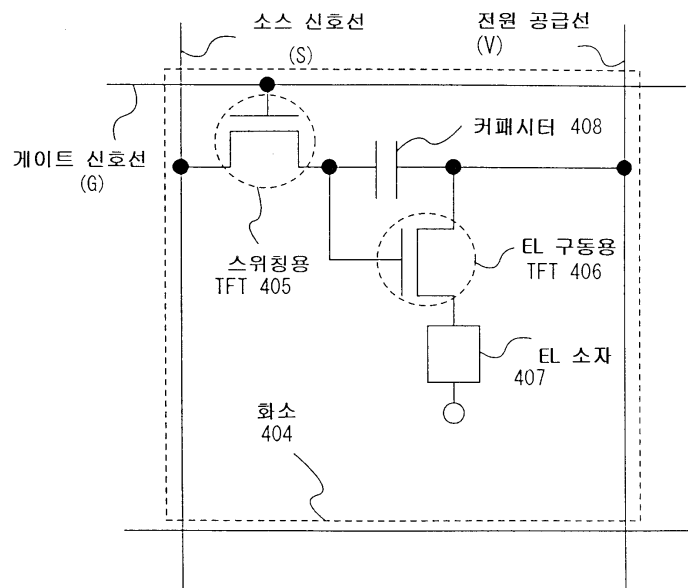
도면3



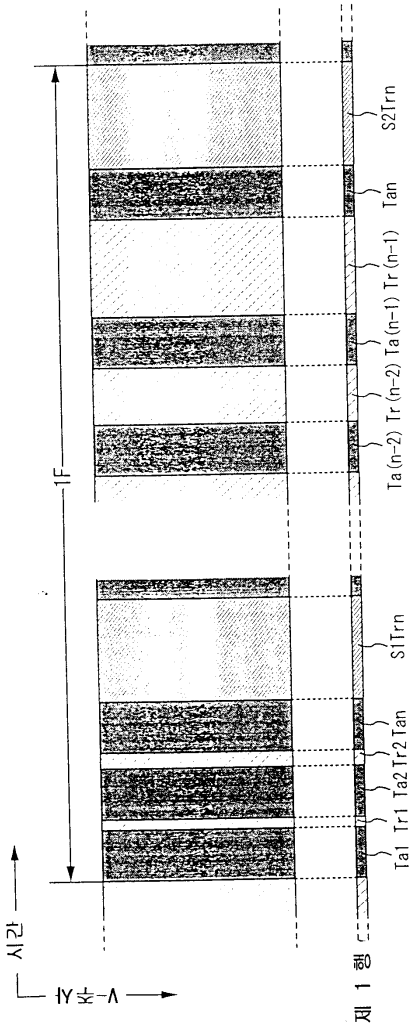
도면4



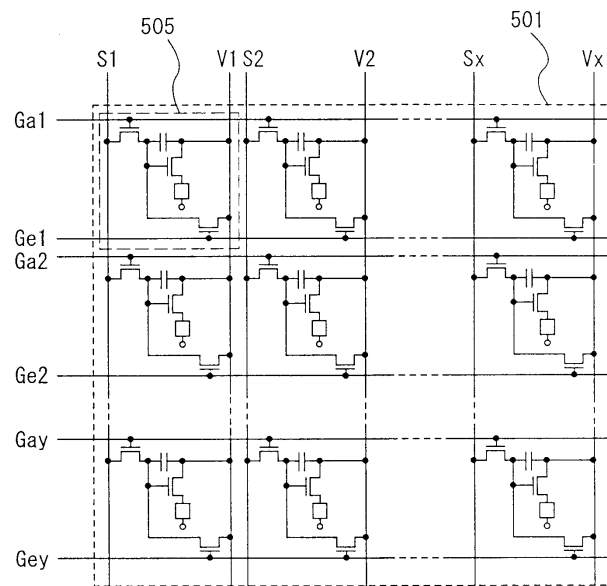
도면5



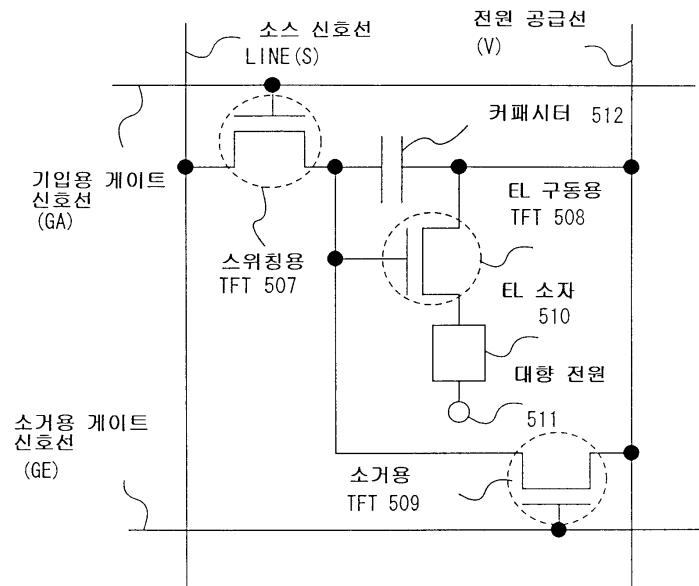
도면6



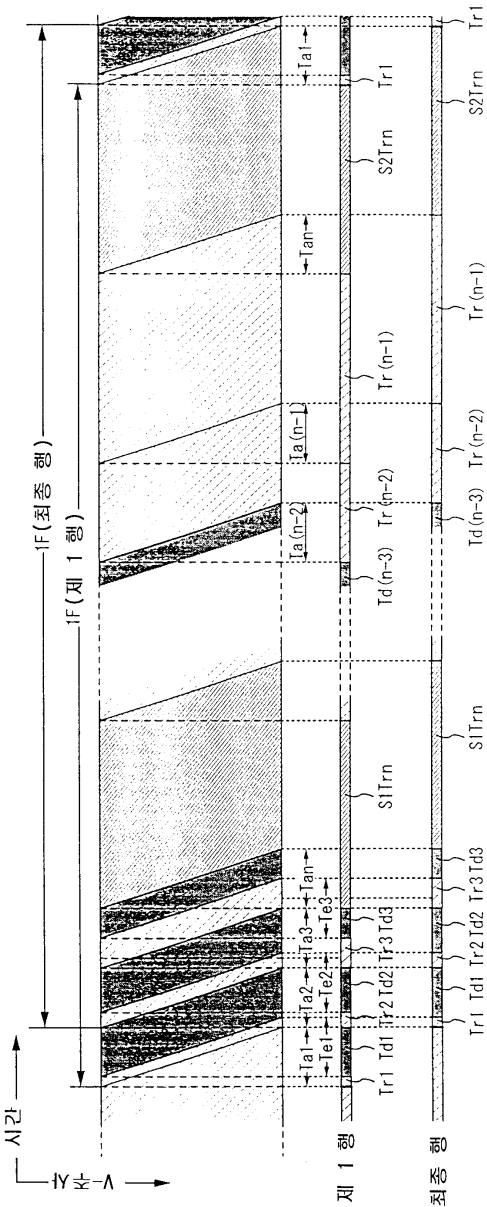
도면7



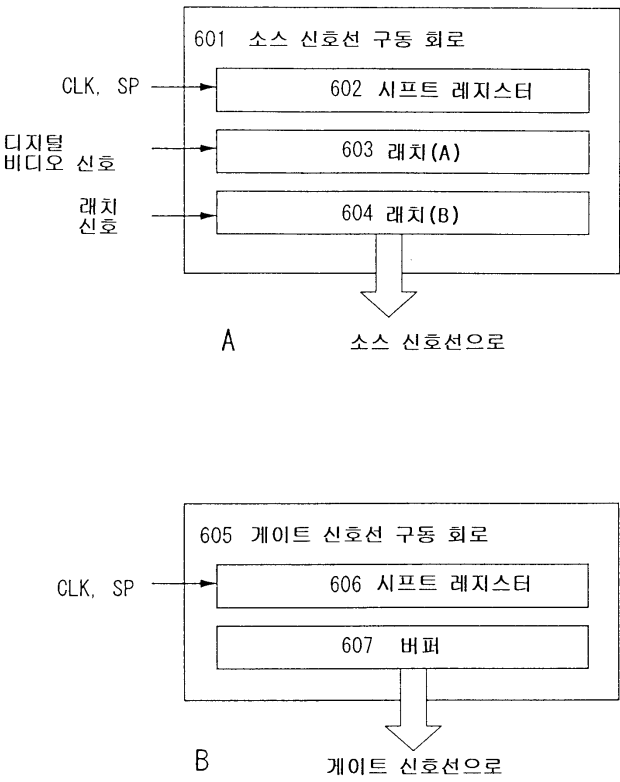
도면8



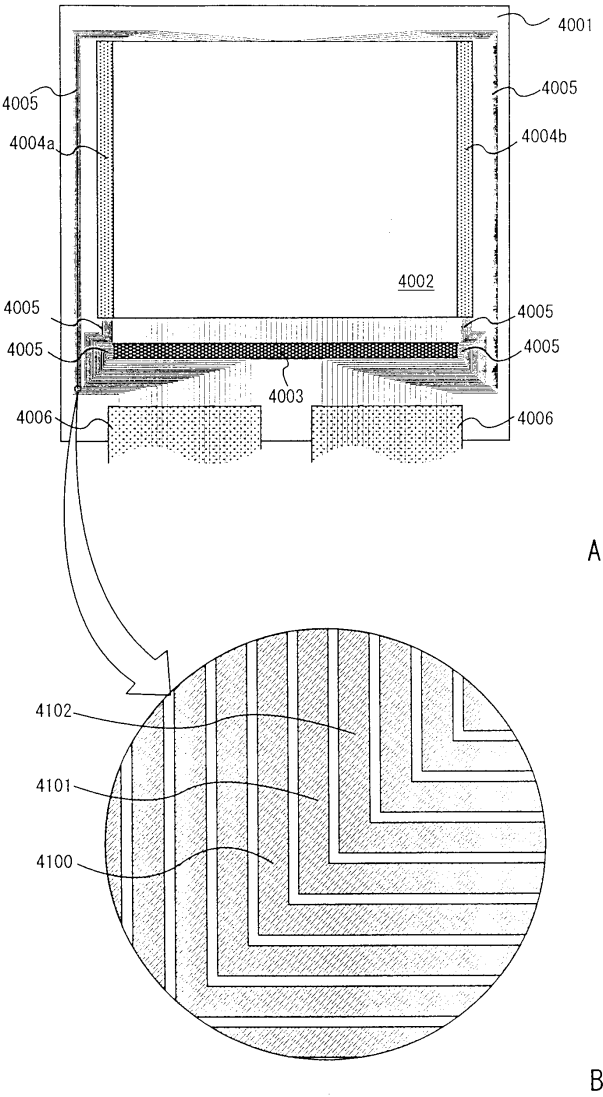
도면9



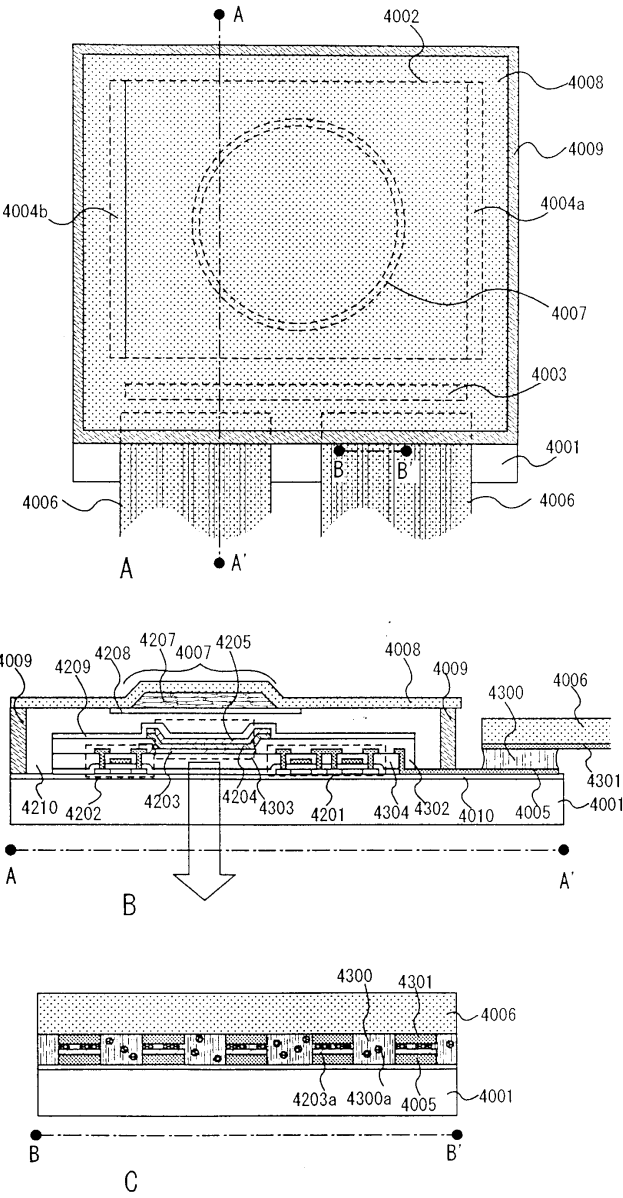
도면10



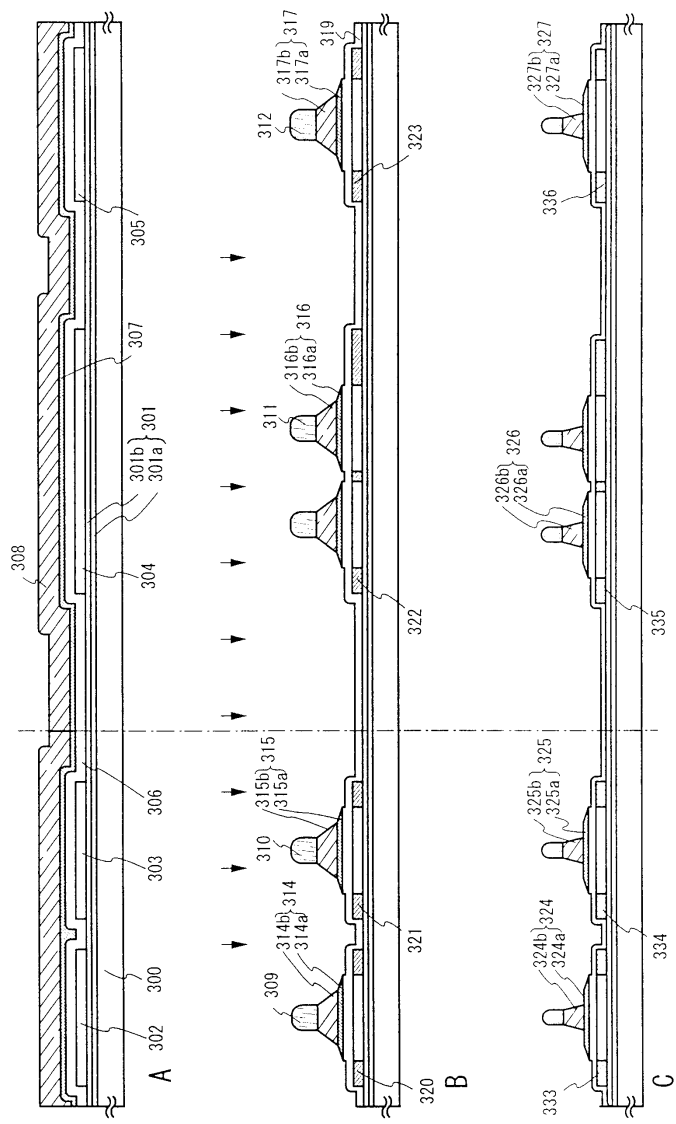
도면11



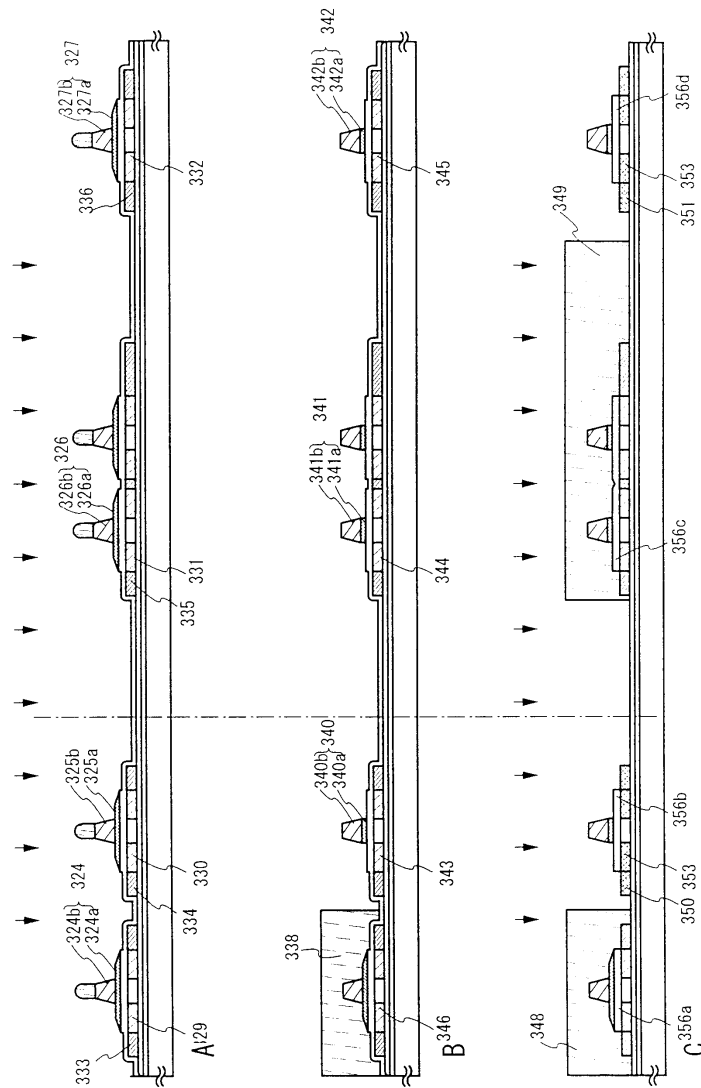
도면12



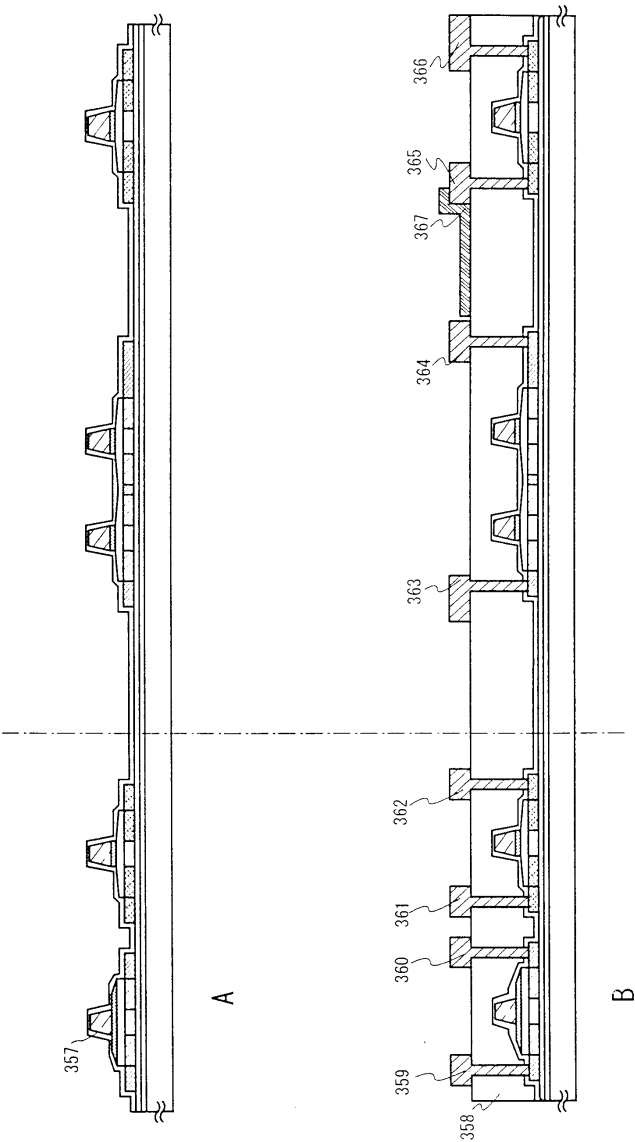
도면13



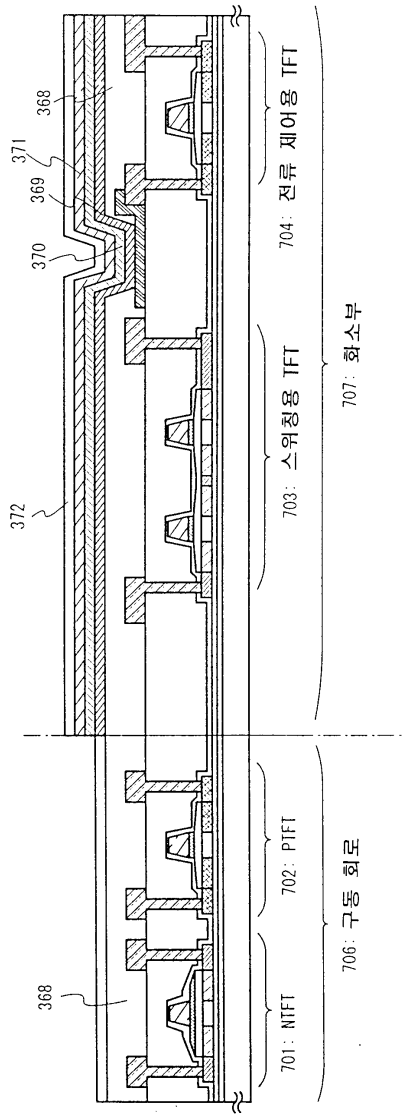
도면14



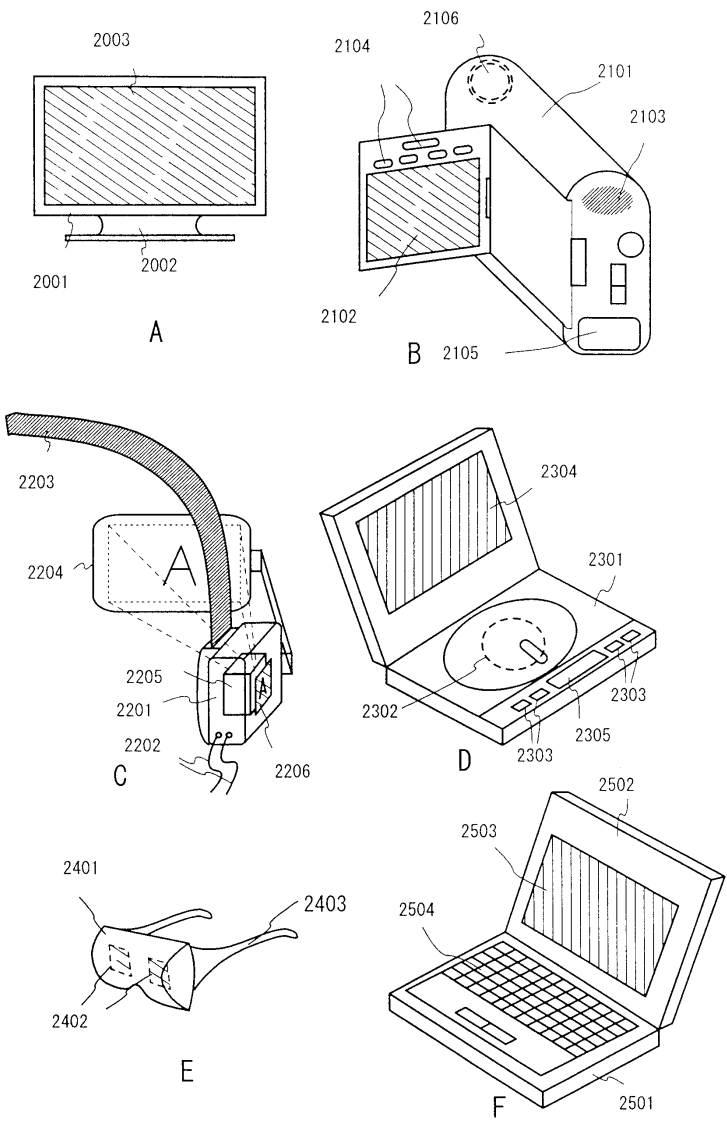
도면15



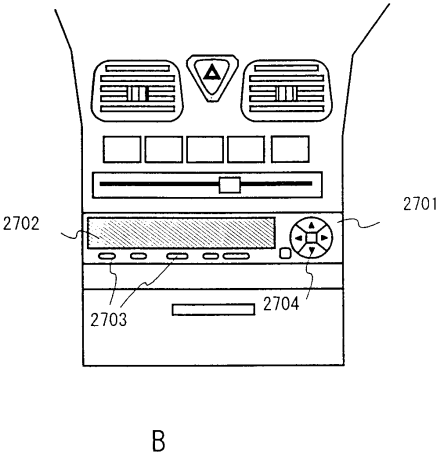
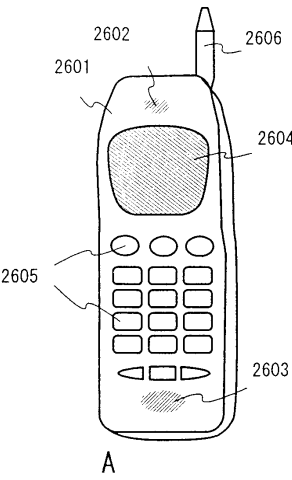
도면16



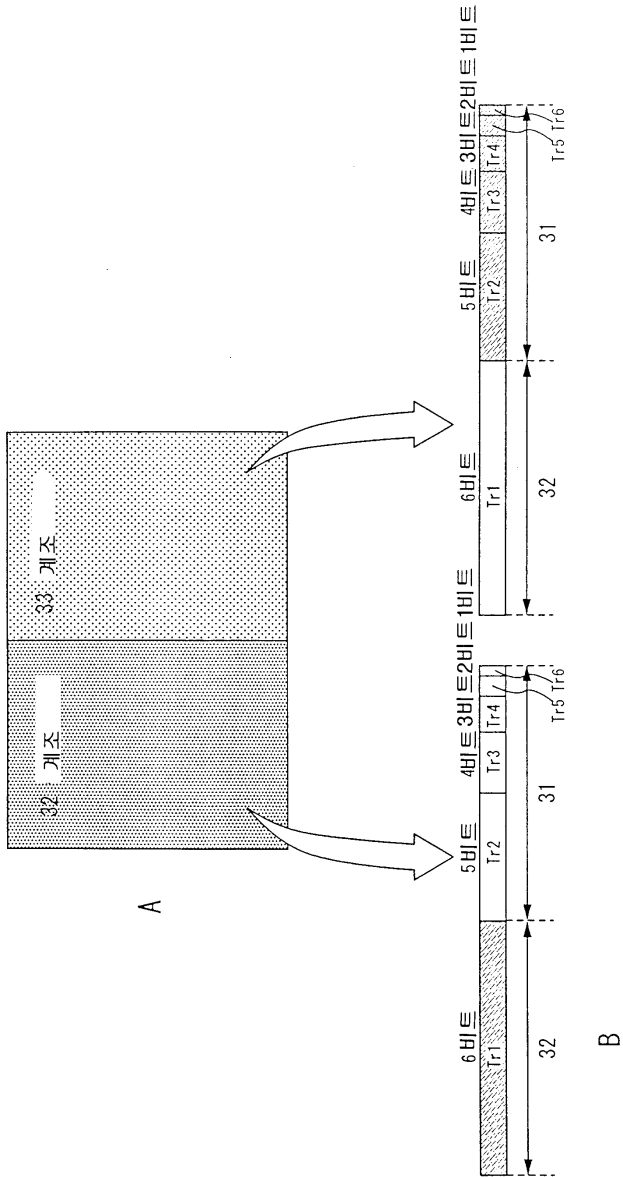
도면17



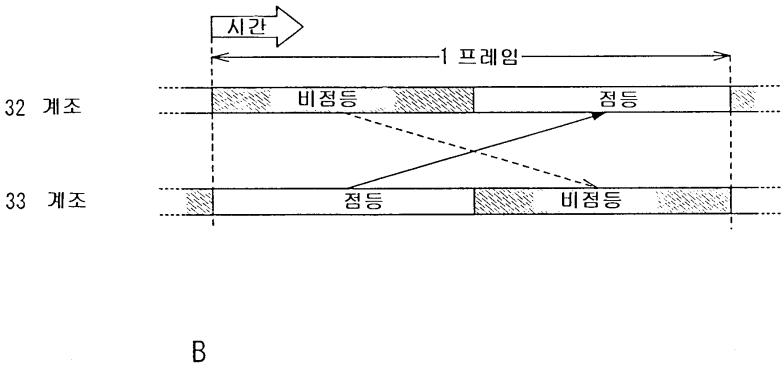
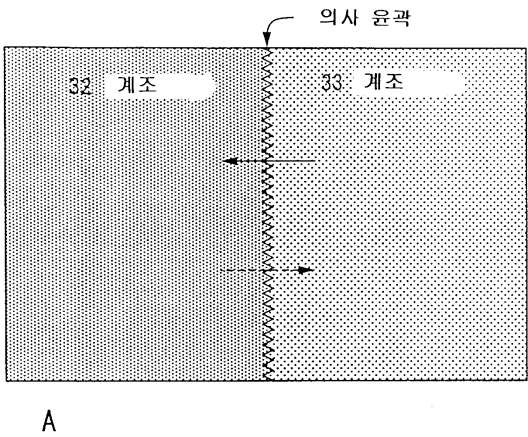
도면18



도면19



도면20



专利名称(译)	如何驱动EL显示屏		
公开(公告)号	KR100812286B1	公开(公告)日	2008-03-13
申请号	KR1020010054071	申请日	2001-09-04
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	INUKAI KAZUTAKA 이누카이카즈타카 OSAME MITSUAKI 오사메미츠아키 IWABUCHI TOMOYUKI 이와부치토모유키		
发明人	이누카이카즈타카 오사메미츠아키 이와부치토모유키		
IPC分类号	G09G3/30 G09F9/30 G09G3/20 G09G3/32 H01L21/77 H01L21/84 H01L27/12 H01L27/32 H01L51/50 H05B33/14		
CPC分类号	G09G3/3266 G09G3/2022 G09G3/2033 G09G3/3275 G09G2300/0809 G09G2300/0842 G09G2310/0251 G09G2310/027 G09G2320/0247 G09G2320/0261 G09G2320/0266 H01L27/12 H01L27/1214		
代理人(译)	黄的.		
优先权	2000267164 2000-09-04 JP		
其他公开文献	KR1020020018975A		
外部链接	Espacenet		

摘要(译)

提供一种EL显示装置的驱动方法，其中难以看到伪轮廓。一种驱动EL显示器件的方法，其中形成多个像素，每个像素具有第一TFT，第二TFT，第三TFT和有机EL元件，其特征在于 $n + m$ 自然数)显示周期和每个第 $(n + m)$ 显示周期多个显示周期，对应于 $n + m$ 个显示周期内相同位的数字视频信号，以及多个显示周期，对应于其他位的数字视频信号对应于视频信号的显示周期出现在多个显示周期中那就是表征。

