



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월01일
(11) 등록번호 10-0762690
(24) 등록일자 2007년09월20일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2005-0106171
(22) 출원일자 2005년11월07일
심사청구일자 2005년11월07일
(65) 공개번호 10-2007-0049005
공개일자 2007년05월10일

(56) 선행기술조사문헌
KR1020010018731 A
KR1020040054427 A

전체 청구항 수 : 총 15 항

(73) 특허권자

삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자

신동용
서울특별시 관악구 봉천1동 969-37

(74) 대리인

신영무

심사관 : 김새별

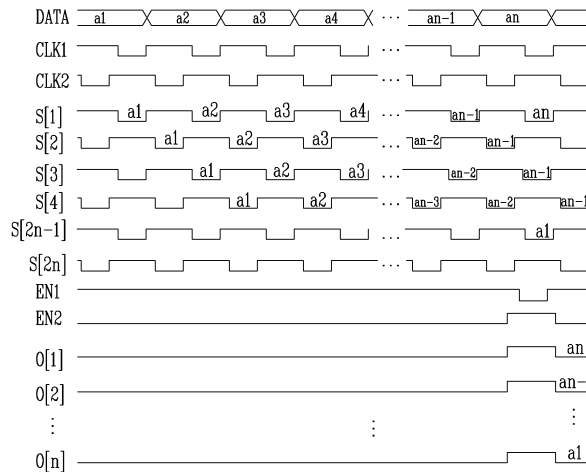
(54) 데이터구동회로와 이를 이용한 유기발광표시장치

(57) 요약

본 발명의 목적은 시프트 레지스터가 다수의 PMOS 트랜지스터 및 캐패시터를 포함하여 구성되고, 2상(2-phase) 클럭신호에 의해 구동됨으로써, 스태틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써 소비전력을 줄이고, 부트스트랩(bootstrap)을 이용하여 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭하도록 하는 데이터 구동회로 및 이를 이용한 유기발광표시장치를 제공하는 것이다.

데이터신호를 입력받아 상기 데이터신호를 출력하는 복수의 제 1 스테이지를 포함하며, 상기 각 제 1 스테이지는 직렬로 연결되어 인접한 제 1 스테이지로부터 출력된 상기 데이터신호를 전달받는 시프트레지스터부, 상기 복수의 제 1 스테이지 중 소정의 제 1 스테이지에 연결되어 상기 소정의 제 1 스테이지로부터 출력된 상기 데이터신호를 전달받아 복수의 제 2 스테이지를 포함하는 래치부 및 상기 래치부에서 출력되는 상기 데이터신호를 아날로그 신호로 전환하여 출력하는 D/A 컨버터를 포함하는 데이터구동회로를 제공하는 것이다.

대표도 - 도5



특허청구의 범위

청구항 1

데이터신호를 입력받아 상기 데이터신호를 출력하는 복수의 제 1 스테이지를 포함하며, 상기 각 제 1 스테이지는 직렬로 연결되어 인접한 제 1 스테이지로부터 출력된 상기 데이터신호를 전달받는 시프트레지스터부; 및 상기 복수의 제 1 스테이지 중 소정의 제 1 스테이지에 연결되어 상기 소정의 제 1 스테이지로부터 출력된 상기 데이터신호를 전달받는 복수의 제 2 스테이지를 포함하는 래치부를 포함하는 데이터구동회로.

청구항 2

제 1 항에 있어서,

상기 제 2 스테이지는 상기 복수의 제 1 스테이지 중 기수번째 제 1 스테이지의 출력선에 연결되도록 하는 데이터구동회로.

청구항 3

제 1 항에 있어서,

상기 제 2 스테이지는 상기 복수의 제 1 스테이지 중 우수번째 제 1 스테이지의 출력선에 연결되도록 하는 데이터구동회로.

청구항 4

제 1 항에 있어서,

상기 제 1 스테이지는 제 1 클럭과 제 2 클럭에 의해 동작하며 상기 제 1 클럭과 상기 제 2 클럭이 동일한 상태일 때 데이터신호를 저장하고 서로 다른 상태일 때 저장한 상기 데이터신호를 출력하는 데이터구동회로.

청구항 5

제 1 항에 있어서,

상기 제 2 스테이지는 동일한 주기로 입력되는 제 1 인에이블신호와 제 2 인에이블신호에 의해 동작되며 상기 제 1 인에이블신호와 상기 제 2 인에이블신호가 동일한 상태일 때 데이터신호를 저장하고 서로 다른 상태일 때 저장한 상기 데이터신호를 출력하는 데이터구동회로.

청구항 6

제 4 항에 있어서, 상기 제 1 스테이지는

상기 제 1 클럭에 대응하여 상기 데이터신호를 제 1 노드로 전달하는 제 1 트랜지스터;

상기 제 1 노드의 전압에 대응하여 상기 제 2 클럭을 제 2 노드로 전달하는 제 2 트랜지스터;

상기 제 1 클럭에 대응하여 제 1 전원을 제 3 노드로 전달하는 제 3 트랜지스터;

상기 제 1 노드의 전압에 대응하여 상기 제 1 클럭을 상기 제 3 노드로 전달하는 제 4 트랜지스터;

상기 제 3 노드의 전압에 대응하여 제 2 전원을 출력단에 전달하는 제 5 트랜지스터; 및

상기 출력단과 상기 제 1 노드의 전압을 유지하는 제 1 캐패시터를 포함하는 데이터구동회로.

청구항 7

제 5 항에 있어서, 상기 제 2 스테이지는,

상기 제 1 인에이블신호에 대응하여 상기 데이터신호를 제 1 노드로 전달하는 제 6 트랜지스터;

상기 제 4 노드의 전압에 대응하여 상기 제 2 인에이블신호를 제 5 노드로 전달하는 제 7 트랜지스터;

상기 제 1 인에이블신호에 대응하여 제 1 전원을 제 6 노드로 전달하는 제 8 트랜지스터;

상기 제 4 노드의 전압에 대응하여 상기 제 1 인에이블신호를 상기 제 6 노드로 전달하는 제 9 트랜지스터;
 상기 제 6 노드의 전압에 대응하여 제 2 전원을 출력단에 전달하는 제 10 트랜지스터; 및
 상기 출력단과 상기 제 4 노드의 전압을 유지하는 제 2 캐패시터를 포함하는 데이터구동회로.

청구항 8

제 4 항에 있어서,
 상기 제 1 클럭과 상기 제 2 클럭은 데이터를 쓰는 구간과 데이터를 전달하는 구간으로 구분되며 상기 데이터를 쓰는 구간이 데이터를 전달하는 구간보다 짧게 구현되는 데이터구동회로.

청구항 9

제 8 항에 있어서,
 상기 제 2 클럭은 상기 제 1 클럭이 일정시간 지연된 데이터구동회로.

청구항 10

제 5 항에 있어서,
 상기 제 1 인에이블신호와 상기 제 2 인에이블신호에 의해 상기 제 2 스테이지는 데이터신호를 병렬로 출력하는 데이터구동회로.

청구항 11

제 10 항에 있어서,
 상기 제 1 인에이블신호와 상기 제 2 인에이블신호는 인가되는 시점에서 상기 제 1 클럭과 상기 제 2 클럭의 파형을 갖는 데이터구동회로.

청구항 12

제 6 항에 있어서,
 상기 제 1 스테이지는 모두 P 모스 트랜지스터 또는 N 모스 트랜지스터로 구현되는 데이터구동회로.

청구항 13

제 7 항에 있어서,
 상기 제 2 스테이지는 모두 P 모스 트랜지스터 또는 N 모스 트랜지스터로 구현되는 데이터구동회로.

청구항 14

제 1 항에 있어서,
 상기 래치부와 연결되어 상기 래치부에서 출력되는 상기 데이터신호를 아날로그 신호로 전환하여 출력하는 D/A 컨버터를 포함하는 데이터구동회로.

청구항 15

데이터신호와 주사신호를 전달받아 발광하는 화소를 포함하는 화소부;
 상기 화소에 데이터신호를 전달하는 주사구동회로; 및
 상기 화소에 주사신호를 전달하는 데이터구동회로를 포함하되,
 상기 데이터구동회로는 제 1 항 내지 제 14 항 중 어느 한 항에 의한 데이터 구동회로인 유기발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <19> 본 발명은 액티브 매트릭스 표시장치용 구동회로에 관한 것으로, 더욱 상세히 설명하면, 유기발광표시장치에 데이터신호를 인가하는 데이터구동회로 및 유기발광표시장치에 관한 것이다.
- <20> 일반적으로 유기발광표시장치와 같은 액티브 매트릭스 표시장치는 데이터 선들과 주사선들과의 교차부들에 매트릭스 형태로 배열된 화소 어레이(array)를 구비한다.
- <21> 여기서, 상기 데이터선들은 상기 매트릭스 화소부의 수직라인(컬럼라인)들을 구성하며, 이는 데이터구동회로에 의해 소정의 시간에 데이터신호를 상기 매트릭스 화소부에 제공한다.
- <22> 도 1은 일반적인 데이터 구동회로의 구성을 나타내는 블록도이다. 도 1을 참조하여 설명하면, 데이터구동회로는 시프트레지스터, 래치부 및 D/A 컨버터를 포함한다.
- <23> 시프트레지스터(10)는 스타트 펄스와 클럭신호를 입력받아 복수의 시프트 신호를 생성한다. 시프트 신호는 순차적으로 생성되며 래치부(20)에 전달한다.
- <24> 래치부(20)는 데이터신호와 시프트 신호를 입력받는다. 샘플링 래치는 직렬로 입력되는 데이터신호를 시프트신호를 이용하여 병렬로 출력한다. 따라서, 한 행 분의 데이터 신호가 동시에 화소부(100)의 한 행에 인가되게 될 수 있게 된다.
- <25> D/A 컨버터부(220)는 래치부(210)에서 디지털 신호로 출력되는 데이터 신호를 아날로그 신호로 전환하여 화소부(100)에 입력되도록 한다. 아날로그 신호로 전환된 데이터신호는 계조비에 따라 색을 표현하게 된다.
- <26> 도 2는 도 1에 도시된 데이터구동부에서 채용한 시프트 레지스터의 구성을 나타내는 블록도이다. 도 2를 참조하여 설명하면, 시프트 레지스터는 마스터-스레이브(Master-Slave) 형태의 플립플롭(flip/flop)을 사용한다. 이러한 플립플롭은 클럭이 로우 레벨일 때 입력을 계속 받으며, 출력은 이전의 출력을 유지한다.
- <27> 반면에, 상기 클럭이 하이레벨인 경우에는 상기 클럭이 로우레벨일 때 받은 입력을 유지하며 이를 출력으로 내보내고 더 이상의 입력을 받지 않는다.
- <28> 이와 같은 회로에 있어서, 상기 플립플롭 내부에 구비되는 인버터(inverter)의 경우 그 입력이 로우 레벨일 때 스태틱 전류가 흐르는 문제가 있다. 또한, 상기 플립플롭 내부에서 하이 레벨입력을 받은 인버터와 로우레벨 입력을 받는 인버터의 수가 같으므로 플립플롭 내부의 인버터 중 절반에서는 상기 스태틱 전류가 발생되어 소비 전력이 크게 되는 단점이 있다.
- <29> 그리고, 도 2의 회로에서 출력전압의 하이레벨은 공급전압과 접지 사이를 연결하는 저항의 비에 의한 전압값으로 결정되며 출력전압의 로우레벨은 접지보다 트랜지스터의 문턱전압 만큼 높게 된다.
- <30> 즉, 트랜지스터의 특성편차에 따라 각 스테이지마다 하이 레벨로 받아들이는 입력전압 레벨이 다르게 되기 때문에 이와 같은 회로를 채용할 경우 출력전압의 하이레벨도 편차가 생겨 회로가 오동작할 수 있게 되는 단점이 있다.
- <31> 또한, 상기 출력전압의 로우레벨편차는 도 2의 회로에 구비된 인버터의 입력 트랜지스터의 온 저항의 편차로 반영되어 출력 전압의 하이 레벨 편차를 가중시킬 수 있다. 특히, 유기 발광표시장치에서는 사용되는 트랜지스터는 특성편차가 크게 발생하여 이러한 문제가 더욱 심각해진다.
- <32> 또한, 인버터는 입력트랜지스터를 통해서 전류가 흘러 출력단을 충전하며, 로드 트랜지스터를 통해 전류가 흘러 출력단을 방전하는데, 상기 출력단을 충전할 경우 상기 로드 트랜지스터의 소스-게이트 전압이 점점 줄어들어 방전 전류가 급격히 감소해 방전 효율이 떨어지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <33> 본 발명의 목적은 종래 기술의 문제점을 해결하기 위하여 창출된 것으로, 본 발명의 목적은 시프트 레지스터가 다수의 PMOS 트랜지스터 및 캐패시터를 포함하여 구성되고, 2상(2-phase) 클럭신호에 의해 구동됨으로써, 스태틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써 소비전력을 줄이고, 부트스트랩(bootstrap)을 이용하여 출력전압을 양의 전원전압에서 음의 전원전압 범위까지 스위칭하도록 하는 데이터 구동회로 및 이를 이용

한 유기발광표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <34> 상기 목적을 달성하기 위하여 본 발명의 제 1 측면은, 데이터신호를 입력받아 상기 데이터신호를 출력하는 복수의 제 1 스테이지를 포함하며, 상기 각 제 1 스테이지는 직렬로 연결되어 인접한 제 1 스테이지로부터 출력된 상기 데이터신호를 전달받는 시프트레지스터부 및 상기 복수의 제 1 스테이지 중 소정의 제 1 스테이지에 연결되어 상기 소정의 제 1 스테이지로부터 출력된 상기 데이터신호를 전달받는 복수의 제 2 스테이지를 포함하는 래치부를 포함하는 데이터구동회로를 제공하는 것이다.
- <35> 본 발명의 제 2 측면은 데이터신호와 주사신호를 전달받아 발광하는 화소를 포함하는 화소부, 상기 화소에 데이터신호를 전달하는 주사구동회로, 및 상기 화소에 주사신호를 전달하는 데이터구동회로를 포함하되, 상기 데이터구동회로는 제 1 측면에 의한 데이터 구동회로인 유기발광표시장치를 제공하는 것이다.
- <36> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.
- <37> 도 3은 본 발명의 실시예에 의한 유기발광표시장치의 구성을 나타내는 블록도이다. 단, 이는 본 발명의 일 실시예에 불과한 것으로 본 발명에 의한 유기발광 표시장치가 이에 한정되는 것은 아니다. 도 3을 참조하면, 유기발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속된 복수의 화소들(110)을 포함하는 화소부(100)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동회로(200)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동회로(300)와, 주사 구동회로(300) 및 데이터 구동회로(200)를 제어하기 위한 타이밍 제어부(400)를 구비한다.
- <38> 화소부(100)는 외부로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받아 각각의 화소들(110)로 공급한다. 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(110) 각각은 데이터신호에 대응하여 제 1전원(ELVDD)로부터 발광소자(미도시)를 경유하여 제 2전원(ELVSS)으로 흐르는 전류를 제어함으로써 데이터신호에 대응되는 빛을 생성한다.
- <39> 데이터 구동회로(200)는 타이밍 제어부(400)로부터 데이터 구동제어신호(DCS)를 공급받는다. 데이터 구동제어신호(DCS)를 공급받은 데이터 구동회로(200)는 데이터신호를 생성하고, 생성된 데이터신호를 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 공급한다. 데이터 구동회로(200)는 복수의 스위칭 소자를 통해 구성되는데 모든 스위칭 소자는 전부 P 모스 트랜지스터로 구현되거나 N 모스 트랜지스터로 구현된다.
- <40> 주사 구동회로(300)는 타이밍 제어부(400)로부터 주사 구동제어신호(SCS)를 공급받는다. 주사 구동제어신호(SCS)를 공급받은 주사 구동회로(300)는 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 순차적으로 공급한다.
- <41> 즉, 상기 주사 구동회로(300)는 상기 복수의 화소들을 구동하기 위해 순차적으로 상기 주사신호를 생성하여 이를 화소부(100)에 제공하는 역할을 수행한다.
- <42> 타이밍 제어부(400)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(400)에서 생성된 데이터 구동제어신호(DCS)는 데이터 구동회로(200)로 공급되고, 주사 구동제어신호(SCS)는 주사 구동회로(300)로 공급된다. 그리고, 타이밍 제어부(400)는 외부로부터 공급되는 데이터(Data)를 데이터 구동회로(200)로 공급한다.
- <43> 도 4는 도 3에 도시된 유기발광표시장치에서 채용된 데이터구동회로의 제 1 실시예를 나타내는 블록도이다. 도 4를 참조하여 설명하면, 데이터구동회로(200)는 시프트레지스터와 래치부를 포함한다.
- <44> 시프트레지스터는 복수의 제 1 스테이지(2001 내지 2002n)를 포함하고, 각각의 제 1 스테이지는 제 1 클럭(CLK1), 제 2 클럭(CLK2)에 의해 동작하며 각 제 1 스테이지(2001)는 첫번째 반송파(s[1])을 출력하며 첫번째 반송파(s[1])을 두번째 제 1 스테이지(2002)에 전달한다. 첫번째 반송파(s[1])에는 데이터신호(video data)가 실려서 출력된다. 그리고, 두번째 제 1 스테이지(2002)는 첫번째 반송파를 전달받아 세번째 제 1 스테이지와 첫번째 제 2 스테이지(2201)에 두번째 반송파를 전달하며 세번째 제 1 스테이지는 두번째 제 2 스테이지에 세번째 반송파를 전달한다. 즉, 우수번째 제 1 스테이지(2001, 2003, ..., 2002n-3, 2002n-1)는 인접한 제 1 스테이지(기수번째 제 1 스테이지(2002, 2004, ..., 2002n-2, 2002n))와 제 2 스테이지에 반송파를 전달한다.
- <45> 래치부는 복수의 제 2 스테이지(2201 내지 220n)를 포함하고, 각각의 제 2 스테이지는 제 1 인에이블신호(EN1), 제 2 인에이블신호(EN2)에 의해 동작한다. 그리고, 복수의 제 2 스테이지(2201 내지 220n)는 우수번째 제 1 스

페이지(2001,2003,,2002n-3, 2002n-1)의 출력선에 연결되어 우수번째 제 1 스테이지(2001,2003,,2002n-3, 2002n-1)로부터 반송파(s[2],s[4],...s[2n-2],s[2n])에 실려오는 데이터신호(a1 내지 an)를 전달받게 된다. 따라서, 복수의 제 2 스테이지(2201 내지 220n)의 수는 복수의 제 1 스테이지(2001 내지 2002n)의 수의 절반이 된다. 그리고, 각각의 제 2 스테이지는 제 1 인에이블신호(EN1)와 제 2 인에이블신호(EN2)에 의해 전달받은 데이터신호(video data)를 동시에 출력한다. 따라서, 복수의 제 1 스테이지(2001 내지 2002n)로 직렬로 입력되는 데이터신호(video data)를 복수의 제 2 스테이지(2201 내지 220n)에서 병렬로 출력한다.

<46> 도 5는 도 3에 도시된 데이터 구동회로의 동작을 나타내는 파형도이다. 도 5를 참조하여 설명하면, 데이터구동회로(200)는 제 1 클럭(CLK1)은 하이 구간이 더 길고 로우구간이 더 짧게 구현되며 주기적으로 발생하는 펄스이고, 제 2 클럭(CLK2)은 제 1 클럭(CLK1)보다 일정기간 지연된 펄스이다. 즉, 제 1 클럭(CLK1)과 제 2 클럭(CLK2)는 동일 주기를 갖고 위상차이가 있는 펄스이다. 그리고, 첫번째 제 1 스테이지(2001)에서 출력되는 반송파(s[1])는 제 1 클럭(CLK1)과 동일한 주기를 가지고 발생하며 제 1 클럭이 로우인 시점에서 첫번째 입력되는 데이터(a1)를 출력한다. 그리고, 순차적으로 입력되는 데이터를 입력받아 순차적으로 첫번째 데이터에서 n번째 데이터를 계속하여 출력한다. 그리고, 두번째 반송파(s[2])는 첫번째 제 1 스테이지로부터 첫번째 반송파를 입력받은 후에 출력되므로 첫번째 반송파(s[1])보다 일정시간 지연된 후에 첫번째 데이터(a1)를 출력하며 순차적으로 첫번째 데이터(a1)에서 n번째 데이터(an)까지 출력한다. 이러한 방식으로, 첫번째 반송파(s[1])에서 n 번째 반송파(s[n])가 출력된다. 그리고, 첫번째 반송파(s[1])에서 n 번째 반송파(s[n])를 통해 첫번째 데이터(a1)부터 n 번째 데이터(an)가 출력되는 시점에 제 1 및 제 2 인에이블신호(EN1,EN2)를 입력하여 복수의 제 2 스테이지(2201 내지 220n)에서 동시에 첫번째 데이터(a1)에서 n 번째 데이터(an)까지 동시에 출력되도록 한다.

<47> 도 6은 도 3에 도시된 유기발광표시장치에서 채용된 데이터구동회로의 제 2 실시예를 나타내는 블록도이다. 도 6을 참조하여 설명하면, 데이터구동회로(200)는 시프트레지스터와 래치부를 포함한다.

<48> 시프트레지스터는 복수의 제 1 스테이지(2001 내지 2002n)를 포함하고, 각각의 제 1 스테이지는 제 1 클럭(CLK1), 제 2 클럭(CLK2)에 의해 동작하며 각 제 1 스테이지(2001)는 첫번째 반송파(s[1])을 출력하며 첫번째 반송파(s[1])을 두번째 제 1 스테이지(2002)와 첫번째 제 2 스테이지(2201)에 전달한다. 첫번째 반송파(s[1])에는 데이터신호(video data)가 실려서 출력된다. 그리고, 두번째 제 1 스테이지(2002)는 첫번째 반송파를 전달받아 세번째 제 1 스테이지에 두번째 반송파를 전달하며 세번째 제 1 스테이지는 네번째 제 1 스테이지와 두번째 제 2 스테이지에 세번째 반송파를 전달한다. 즉, 기수번째 제 1 스테이지(2001,2003,,2002n-3, 2002n-1)는 인접한 제 1 스테이지(우수번째 제 1 스테이지(2002,2004,...2002n-2,2002n))와 제 2 스테이지에 반송파를 전달한다.

<49> 래치부는 복수의 제 2 스테이지(2201 내지 220n)를 포함하고, 각각의 제 2 스테이지는 제 1 인에이블신호(EN1), 제 2 인에이블신호(EN2)에 의해 동작한다. 그리고, 복수의 제 2 스테이지(2201 내지 220n)는 기수번째 제 1 스테이지(2001,2003,,2002n-3, 2002n-1)의 출력선에 연결되어 기수번째 제 1 스테이지(2001,2003,,2002n-3, 2002n-1)로부터 반송파(s[1],s[2],s[2n-1],s[2n])에 실려오는 데이터신호를 전달받게 된다. 따라서, 복수의 제 2 스테이지(2201 내지 220n)의 수는 복수의 제 1 스테이지(2001 내지 2002n)의 수의 절반이 된다. 그리고, 각각의 제 2 스테이지는 제 1 인에이블신호(EN1)와 제 2 인에이블신호(EN2)에 의해 전달받은 데이터신호(video data)를 동시에 출력한다. 따라서, 복수의 제 1 스테이지(2001 내지 2002n)로 직렬로 입력되는 데이터신호(video data)를 복수의 제 2 스테이지(2201 내지 220n)에서 병렬로 출력한다.

<50> 도 7은 도 6에 도시된 데이터 구동회로의 동작을 나타내는 파형도이다. 도 7을 참조하여 설명하면, 데이터구동회로는 제 1 클럭(CLK1)은 하이 구간이 더 길고 로우구간이 더 짧게 구현되며 주기적으로 발생하는 펄스이고, 제 2 클럭(CLK2)은 제 1 클럭(CLK1)보다 일정기간 지연된 펄스이다. 그리고, 첫번째 제 1 스테이지(2001)에서 출력되는 반송파(s[1])는 제 1 클럭(CLK1)과 동일한 주기를 가지고 발생하며 제 1 클럭이 로우인 시점에서 첫번째 입력되는 데이터(a1)를 출력한다. 그리고, 순차적으로 입력되는 데이터를 입력받아 순차적으로 첫번째 데이터에서 n번째 데이터를 계속하여 출력한다.

<51> 그리고, 두번째 반송파(s[2])는 첫번째 제 1 스테이지로부터 첫번째 반송파를 입력받은 후에 출력되므로 첫번째 반송파(s[1])보다 일정시간 지연된 후에 첫번째 데이터(a1)를 출력하며 순차적으로 첫번째 데이터(a1)에서 n번째 데이터(an)까지 출력한다.

<52> 이러한 방식으로, 첫번째 반송파(s[1])에서 n 번째 반송파(s[n])가 출력된다. 그리고, 첫번째 반송파(s[1])에서 n 번째 반송파(s[n])를 통해 첫번째 데이터(a1)부터 n 번째 데이터(an)가 출력되는 시점에 제 1 및 제 2 인

에이블신호(EN1,EN2)를 입력하여 복수의 제 2 스테이지(2201 내지 220n)에서 동시에 첫번째 데이터(a1)에서 n 번째 데이터(an)까지 동시에 출력되도록 한다.

<53> 도 8은 도 4 및 도 6에 도시된 데이터구동회로에서 채용한 제 1 스테이지의 제 1 실시예를 나타내는 회로도이고, 도 9는 도 4 및 도 6에 도시된 데이터 구동회로에서 채용한 제 2 스테이지의 제 1 실시예를 나타내는 회로도이다. 도 8 및 도 9를 참조하여 설명하면, 제 1 및 제 2 스테이지는 동일한 구성을 하며 차이점은 제 1 스테이지는 제 1 및 제 2 클럭신호(CLK,/CLK)를 전달받고 제 2 스테이지는 제 1 인에이블신호(EN)와 제 2 인에이블 신호(/EN)를 전달받는다. 또한, 제 1 및 제 2 스테이지는 5 개의 P 모스 트랜지스터와 1 개의 캐패시터로 구현된다.

<54> 제 1 및 제 2 스테이지가 동일한 연결을 하므로, 제 1 스테이지의 연결관계를 통해 제 1 및 제 2 스테이지를 설명한다.

<55> 제 1 트랜지스터(M1)는 소스가 입력단자(IN)에 연결되고 드레인은 제 1 노드(N1)에 연결되며 게이트는 제 2 클럭(/CLK)에 연결된다. 제 2 트랜지스터(M2)는 소스는 제 1 클럭(CLK)에 연결되고 드레인은 제 2 노드(N2)에 연결되고 게이트는 제 1 노드(N1)에 연결된다. 제 3 트랜지스터(M3)는 소스는 제 3 노드(N3)에 연결되고 드레인은 제 2 전원(Vss)에 연결되며 게이트는 제 2 클럭(/CLK)에 연결된다. 그리고, 제 4 트랜지스터(M4)는 소스는 제 2 클럭(/CLK)에 연결되고 드레인은 제 3 노드(N3)에 연결되며 게이트는 제 1 노드(N1)에 연결된다. 또한, 제 5 트랜지스터(M5)는 소스는 제 1 전원(VDD)에 연결되고 드레인은 출력단자(OUT)에 연결되며 게이트는 제 3 노드(N3)에 연결된다. 마지막으로 캐패시터(C1)는 제 1 전극은 제 1 노드(N1)에 연결되고 제 2 전극은 제 2 노드(N2)에 연결된다. 제 2 노드(N2)는 출력단자와 연결된다.

<56> 따라서, 입력단자(IN)를 통해 입력되는 데이터신호를 캐패시터(C1)에서 저장한 후 일정시간이 경과된 후에 출력단자(OUT)를 통해 출력한다.

그리고, 제 2 트랜지스터(M2)의 소스에 제 1 클럭(CLK)이 연결되어 출력단자(OUT)로 제 1 전원(VDD)의 전압이 출력될 때 제 2 트랜지스터(M2)의 소스에 하이 상태의 전압이 연결되어 제 2 트랜지스터(M2)의 게이트 전압에 관계없이 출력단(OUT)에서 제 2 트랜지스터(M2)로 전류가 흐르는 것을 방지하여 스테틱 전류를 방지할 수 있다. 또한, 제 1 트랜지스터(M1)에 의해 입력신호가 차단되어도 캐패시터(C1)에 의해 입력되는 신호가 유지되어 부트스트랩에 의해 제 2 트랜지스터(M2)의 입력단에 대응되는 전류가 흘러 출력단자(OUT)를 통해 출력되는 전압이 로우상태를 유지할 수 있게 된다.

<57> 도 10은 도 4 및 도 6에 도시된 데이터구동회로에서 채용한 제 1 스테이지의 제 2 실시예를 나타내는 회로도이고, 도 11은 제 2 스테이지의 제 2 실시예를 나타내는 회로도이다. 도 10 및 도 11를 참조하여 설명하면, 제 1 및 제 2 스테이지는 N 모스 트랜지스터와 캐패시터로 구현되며 제 1 스테이지는 제 1 클럭과 제 2 클럭을 입력받아 동작하고, 제 2 스테이지는 제 1 인에이블신호와 제 2 인에이블신호를 전달받아 동작한다.

<58> 도 12는 도 4에 도시된 데이터구동회로에서 도 10 및 도 11에 도시된 제 1 및 제 2 스테이지가 채용된 데이터구동회로의 동작을 나타내는 파형도이고, 도 13은 도 6에 도시된 데이터구동회로에서 도 10 및 도 11에 도시된 제 1 및 제 2 스테이지가 채용된 데이터구동회로의 동작을 나타내는 파형도이다. 도 12 및 도 13를 참조하여 설명하면, N 모스 트랜지스터로 구현된 제 1 및 제 2 스테이지에 입출력되는 신호의 파형을 나타내는 것으로, 도 6 및 도 8에 도시되어 있는 신호가 반전되어 제 1 및 제 2 스테이지에 입력되어 동작을 하며 도 8의 설명과 같은 역할을 수행한다.

발명의 효과

<59> 이와 같은 본 발명에 의하면, 스테틱 전류(static current)가 흐를 수 있는 경로를 없앴으로써 소비전력을 줄이고, 데이터 구동회로를 통해 하이 레벨 출력을 낼 때 출력단을 충전하지 않게 되어 누설 전류(leakage current)를 최소화하며, 로우 레벨 출력을 낼 때 부트스트랩 동작을 하므로 출력단을 방전하는 전류의 감소 정도를 최소화하여 동작 속도가 빨라지는 장점이 있다.

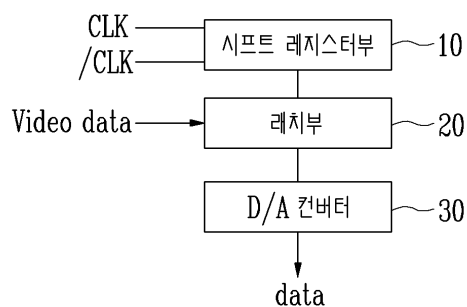
<60> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정하여져야만 한다.

도면의 간단한 설명

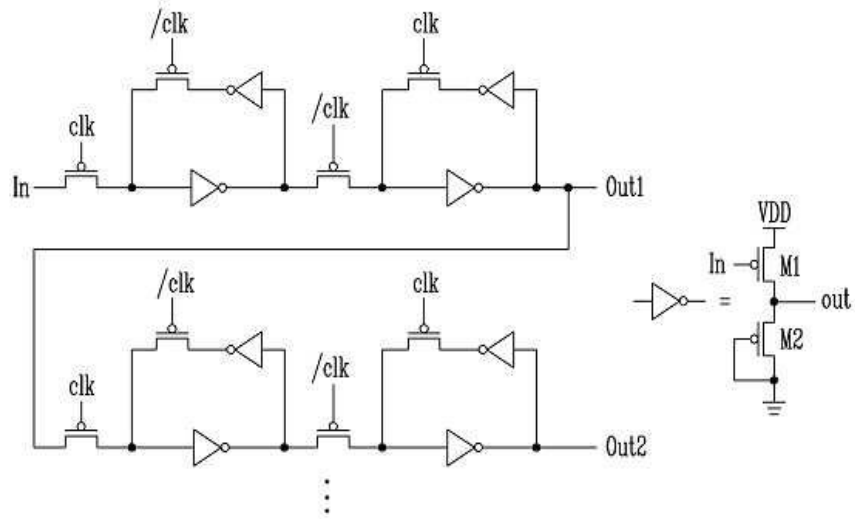
- <1> 도 1은 일반적인 데이터 구동회로의 구성을 나타내는 블록도이다.
- <2> 도 2는 도 1에 도시된 데이터구동부에서 채용한 시프트 레지스터의 구성을 나타내는 블록도이다.
- <3> 도 3은 본 발명의 실시예에 의한 유기발광표시장치의 구성을 나타내는 블록도이다.
- <4> 도 4는 도 3에 도시된 유기발광표시장치에서 채용된 데이터구동회로의 제 1 실시예를 나타내는 블록도이다.
- <5> 도 5는 도 3에 도시된 데이터 구동회로의 동작을 나타내는 파형도이다.
- <6> 도 6은 도 3에 도시된 유기발광표시장치에서 채용된 데이터구동회로의 제 2 실시예를 나타내는 블록도이다.
- <7> 도 7은 도 6에 도시된 데이터 구동회로의 동작을 나타내는 파형도이다.
- <8> 도 8은 도 4 및 도 6에 도시된 데이터구동회로에서 채용한 제 1 스테이지의 제 1 실시예를 나타내는 회로도이다.
- <9> 도 9는 도 4 및 도 6에 도시된 데이터 구동회로에서 채용한 제 2 스테이지의 제 1 실시예를 나타내는 회로도이다.
- <10> 도 10은 도 4 및 도 6에 도시된 데이터구동회로에서 채용한 제 1 스테이지의 제 2 실시예를 나타내는 회로도이다.
- <11> 도 11는 제 2 스테이지의 제 2 실시예를 나타내는 회로도이다.
- <12> 도 12는 도 4에 도시된 데이터구동회로에서 도 11 및 도 12에 도시된 제 1 및 제 2 스테이지가 채용된 데이터구동회로의 동작을 나타내는 파형도이다.
- <13> 도 13은 도 6에 도시된 데이터구동회로에서 도 10 및 도 11에 도시된 제 1 및 제 2 스테이지가 채용된 데이터구동회로의 동작을 나타내는 파형도이다.
- <14> ***도면의 주요부분에 대한 부호 설명***
- <15> 100: 화소부 110: 화소
- <16> 200: 데이터구동부 2001내지 2002n: 제 1 스테이지
- <17> 2201 내지 220n: 제 2 스테이지 300: 주사구동부
- <18> 400: 타이밍 제어부

도면

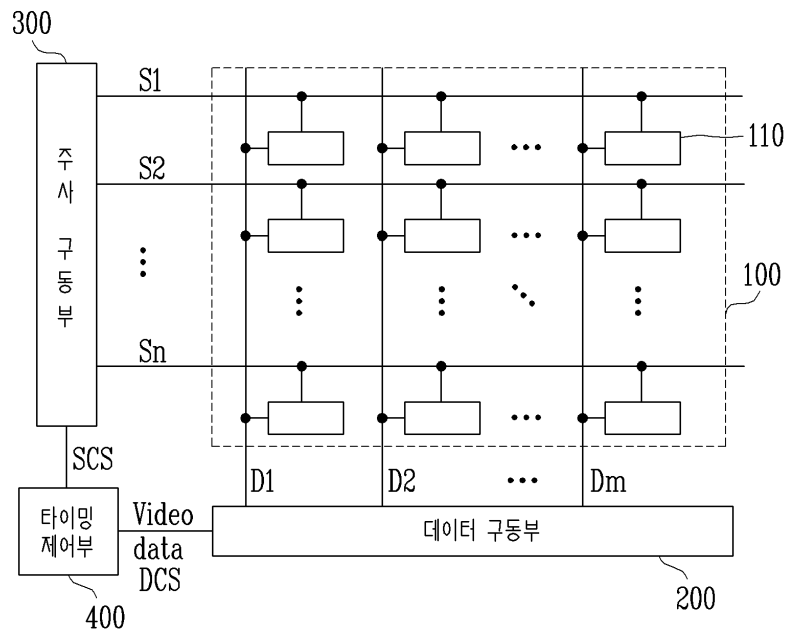
도면1

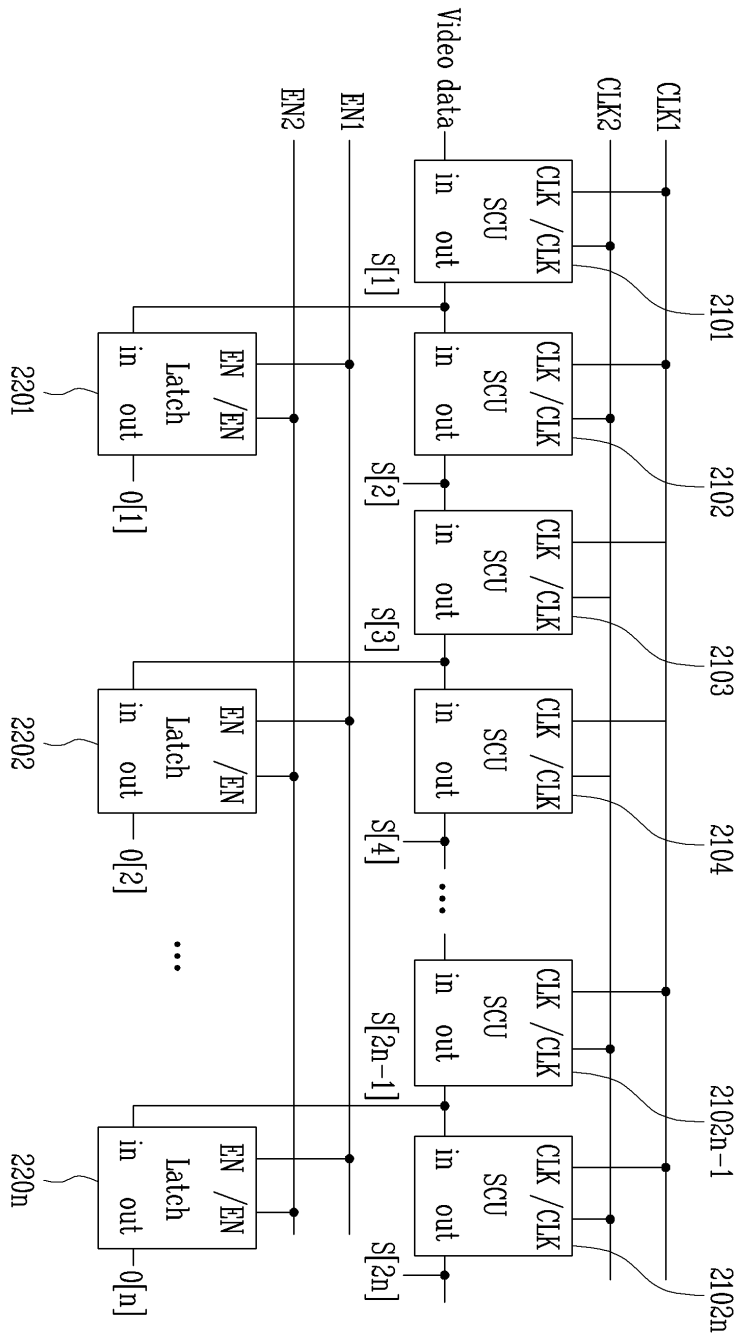


도면2



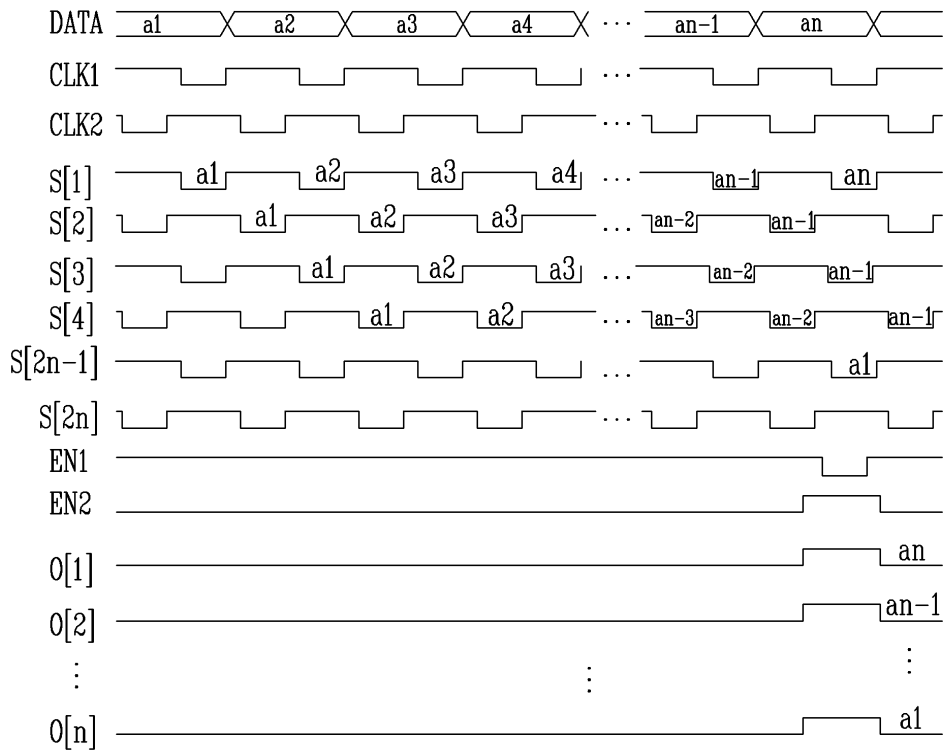
도면3

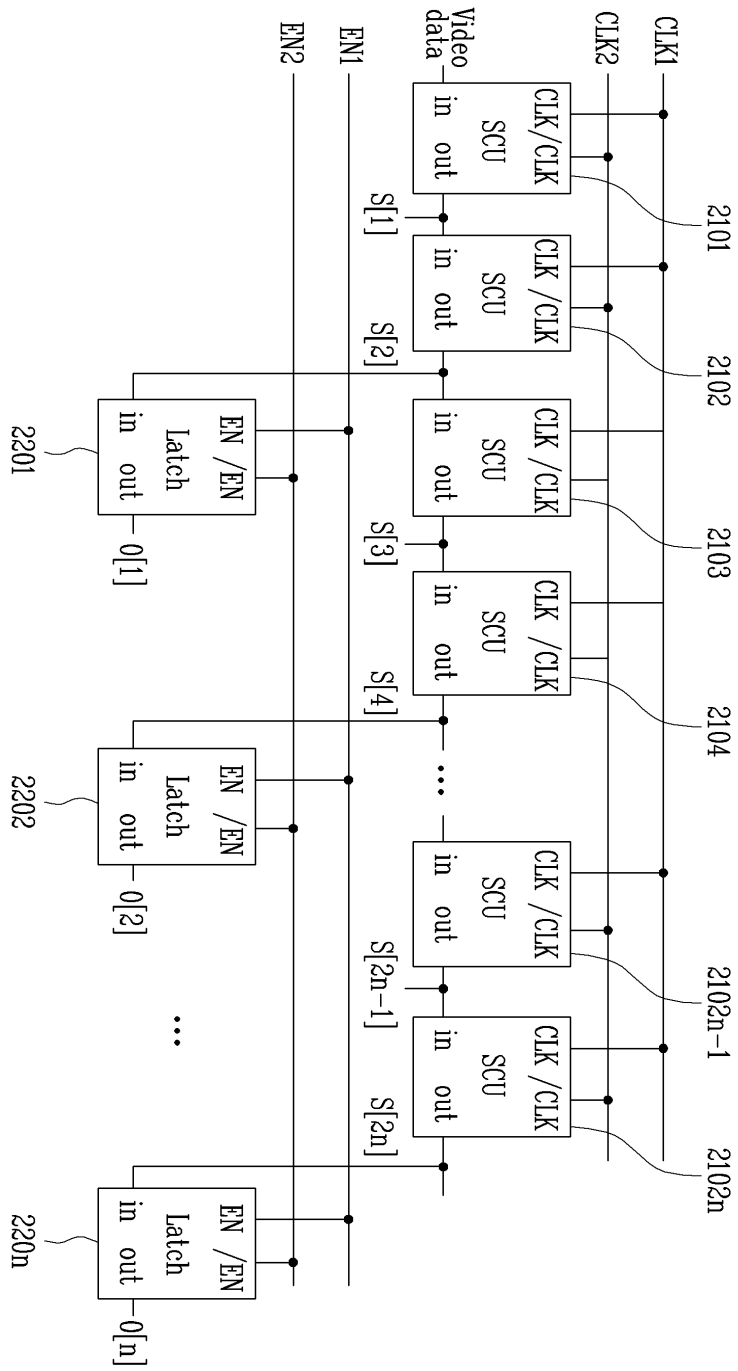




도면4

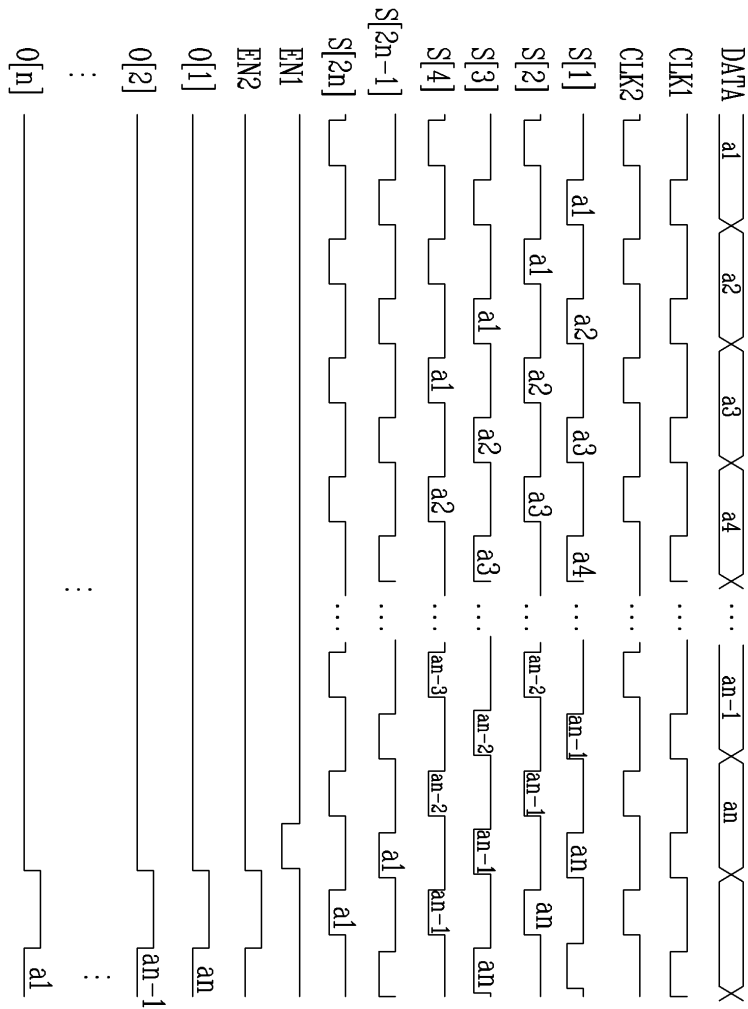
도면5



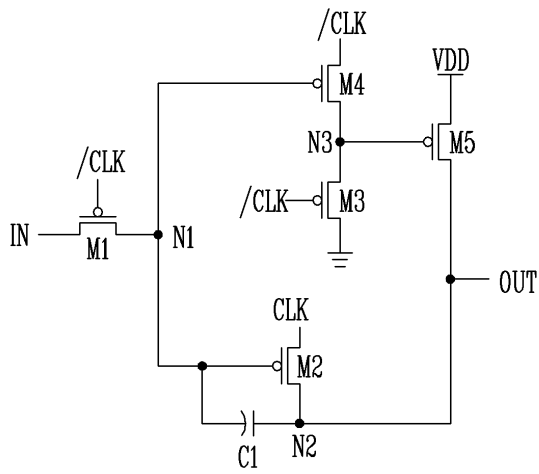


도면6

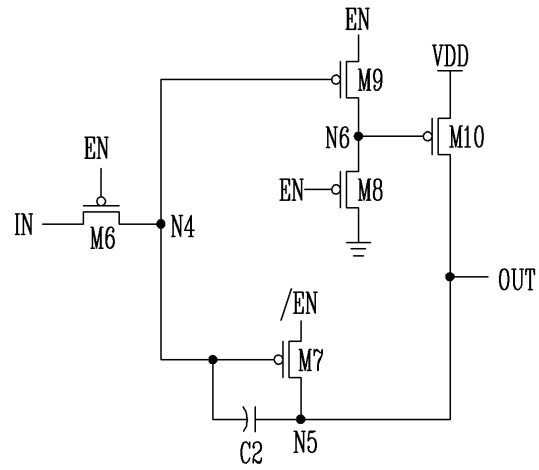
도면7



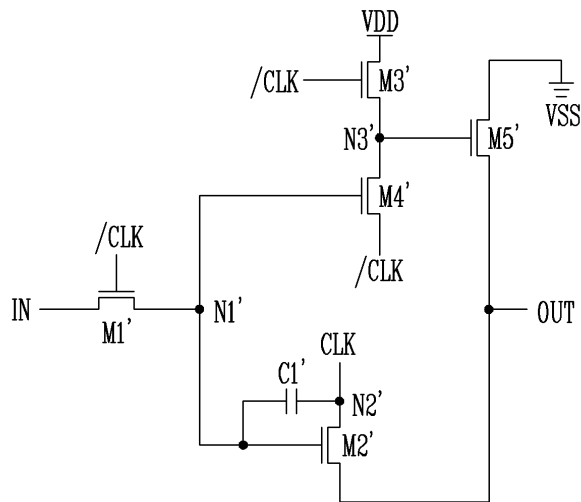
도면8



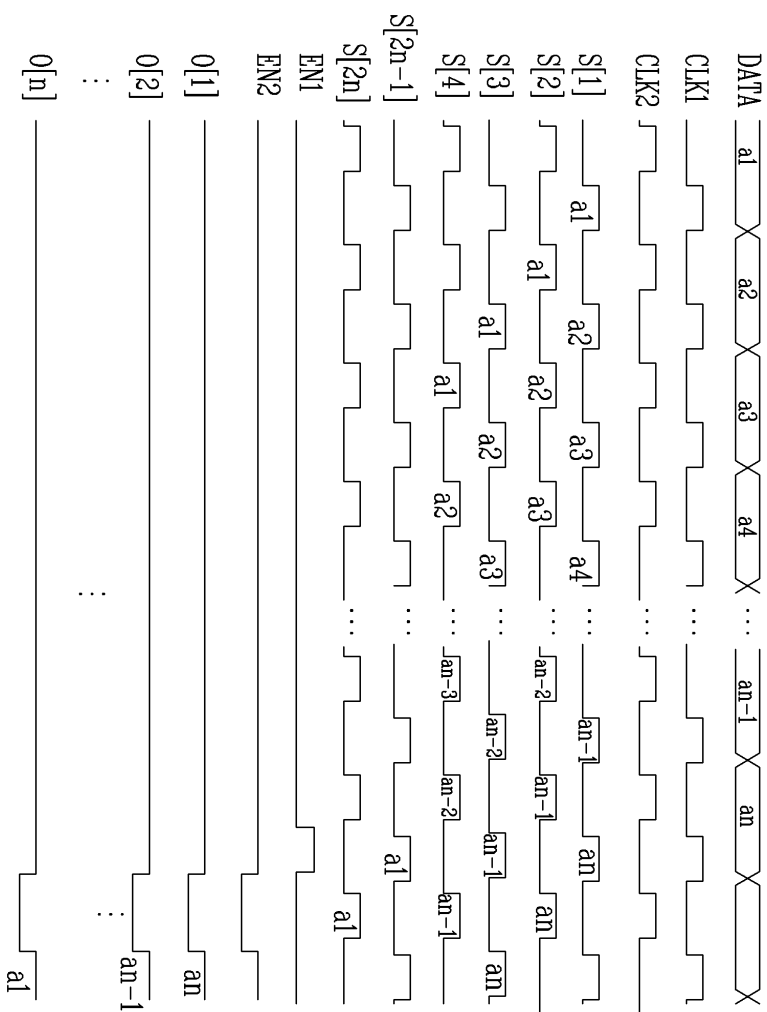
도면9



도면10



도면13



专利名称(译)	数据驱动电路和使用其的有机发光显示器		
公开(公告)号	KR100762690B1	公开(公告)日	2007-10-01
申请号	KR1020050106171	申请日	2005-11-07
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	DONGYONG SHIN		
发明人	DONGYONG SHIN		
IPC分类号	G09G3/20 G09G3/30		
CPC分类号	G11C19/28 G09G3/3275 G09G2310/027 G09G2310/0286 G09G2330/021 G11C19/184		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR1020070049005A		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是提供一种移位寄存器，它包括多个PMOS晶体管和
一个电容器，并由两相时钟信号驱动，从而消除静态电流可以流过的路
径，并使用自举将输出电压降至正电源电压并提供使用其的OLED显示装
置。并且多个第一级接收数据信号并输出数据信号，其中每个第一级包
括串联连接的移位寄存器单元并接收从相邻的第一级输出的数据信号，
锁存单元，耦合到多个第一级的预定第一级，以接收从预定第一级输出
的数据信号并包括多个第二级，和D/A转换器，它将模拟信号转换为模
拟信号并输出模拟信号。

