

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)		(45) 공고일자	2006년04월10일
		(11) 등록번호	10-0570035
		(24) 등록일자	2006년04월04일
(21) 출원번호	10-2004-0025841	(65) 공개번호	10-2004-0090492
(22) 출원일자	2004년04월14일	(43) 공개일자	2004년10월25일
(30) 우선권주장	JP-P-2003-00110322	2003년04월15일	일본(JP)
(73) 특허권자	로무 가부시킴가이샤 일본 교토시 우교구 사이잉 미조사키쵸 21		
(72) 발명자	야구마히로시 일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내 아베신이치 일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내 마에테준 일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내 후지카와아키오 일본국교토후교토시우교구사이인미조사키쵸21반지로무가부시킴가이샤내		
(74) 대리인	황의인		

심사관 : 천대식

(54) 유기 E L 소자 구동 회로 및 이 구동 회로를 이용한 유기 E L 디스플레이 장치

요약

본 발명의 유기 EL 구동 회로는 상기 제1 타이밍 제어 신호에서부터 지연된 복수의 제2 타이밍 제어 신호를 발생하는 타이밍 신호 발생 회로와, 상기 소정 데이터에 따라 복수의 제2 타이밍 제어 신호 중 하나를 선택하고, 선택된 제2 타이밍 제어 신호에 따라 결정된 전방 엠티 및 상기 제1 타이밍 제어 신호에 따라 결정된 후방 엠티를 가진 리셋 펄스를 발생하는 리셋 펄스 발생 회로와, 상기 단자 핀을 소정 바이어스 라인에 접속하여 상기 단자 핀에 접속된 유기 EL 패널의 유기 EL 소자를 리셋하기 위하여 상기 리셋 펄스에 응답하는 스위치 회로를 구비한다. 상기 유기 EL 패널의 휘도는 상기 소정 데이터에 따라 디스플레이 기간을 조절함으로써 조절된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 유기 EL 패널의 유기 EL 구동 회로를 나타내는 블록도.

도 2(a) 및 도 2(b)는 도 1의 유기 EL 구동 회로를 제어하는 타이밍 신호의 파형을 나타내는 도면.

도 3(a) 내지 도 3(j)은 유기 EL 패널의 단자 핀을 구동하는 전류의 파형 및 이 전류 파형을 발생시키는 타이밍 신호의 파형을 나타내는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 EL(Electro Luminescent) 소자 구동 회로 및 이 구동 회로를 이용한 유기 EL 디스플레이 장치에 관한 것으로, 보다 상세하게는 R(red), G(green), B(blue) 컬러의 휘도를 조절함으로써 이동전화기 또는 PHS와 같은 전자 장치의 디스플레이 장치의 디스플레이 스크린상에서 화이트 밸런스(white balance)를 용이하게 조절하거나 또는 휘도 변동을 감소시킬 수 있는, 고 휘도 컬러 디스플레이에 적절한 유기 EL 디스플레이 장치에 관한 것이다.

이동전화기, PHS, DVD 플레이어 또는 PDA(Personal Digital Assistance)에 장착되며, 396(132*3)개의 컬럼(column) 라인용 단자 핀 및 162개의 로우(row)라인용 단자 핀을 갖는 유기 EL 디스플레이 장치의 유기 EL 디스플레이 패널이 제시되었다. 그러나, 상기 유기 EL 디스플레이 패널의 컬럼라인과 로우라인의 수가 계속해서 증가되는 경향이 있다.

이러한 유기 EL 디스플레이 패널의 전류 구동 회로의 출력단은 구동 전류 타입인 수동 매트릭스 타입(passive matrix type) 또는 능동 매트릭스 타입(active matrix type)과는 관계없이 패널의 각 단자 핀에 대응하게 설치된, 예컨대 커런트-미러 회로를 구비한 출력 회로를 포함한다.

통상의 유기 EL 디스플레이 장치는 액정 디스플레이 장치와 같이 전압 구동이 단자 핀을 구동하는데 사용되는 경우, R, G, B 디스플레이 컬러 사이의 감도차로 인해 휘도 변동이 상당히 커지고 디스플레이의 조절이 어려워지는 문제점이 있다. 이러한 이유 때문에, 유기 EL 디스플레이 장치는 전류-구동되어야 한다. 그러나, 전류-구동되는 경우에도 R, G, B 컬러의 구동 전류의 발광 효율 비율은 유기 EL 소자의 발광 재료에 따라 다르며, 예컨대 R:G:B=6:11:10이다.

이러한 측면에서, 각 R, G, B 컬러에 대한 EL 소자의 발광 재료에 대응하게 각 R, G, B 컬러의 휘도를 조절함으로써 디스플레이 스크린상에서 화이트 밸런스를 달성하는 것은 유기 EL 컬러 디스플레이 장치의 전류-구동 회로에 필수적이다. 이 같은 화이트 밸런스 조절을 실현하기 위해서, 디스플레이 스크린상에서 각 R, G, B 컬러의 휘도를 조절하는 조절 회로가 제공된다.

또한, JPH9-232074A에서, 매트릭스로 배열된 유기 EL 소자는 전류-구동되고 각 유기 EL 소자의 단자 전압은 상기 유기 EL 소자의 애노드(anode) 및 캐소드(cathode)를 접지함으로써 리셋되는 유기 EL 소자용 구동 회로가 개시되어 있다. 또한, JP2001-143867A에서, DC-DC 컨버터를 사용하여 유기 EL 소자를 전류-구동함으로써 유기 EL 디스플레이 장치의 전력 소비를 절감하는 기술이 개시되어 있다.

일반적으로 통상의 유기 EL 디스플레이 장치에서 전류-구동 회로는 R, G, B 디스플레이 컬러에 대한 기준 전류를 전류-증폭함으로써 각 컬럼 핀에 접속된 유기 EL 소자를 구동하는 구동 전류를 발생한다. 또한, 화이트 밸런스를 달성하기 위한 구동 전류의 조절은 각 R, G, B 디스플레이 컬러에 대한 기준 전류를 조절함으로써 행해진다.

각 R, G, B 디스플레이 컬러에 대한 기준 전류를 조절하기 위해서, 통상의 구동 전류 조절 회로의 기준 전류 발생 회로 각 각은, 예컨대 4비트(bit)의 D/A 컨버터 회로를 포함한다. 또한, 각 R, G, B 디스플레이 컬러에 대한 기준 전류는, 예컨대 각

R, G, B 디스플레이 컬러에 대한 소정 비트의 데이터를 $30\mu\text{A}$ 내지 $75\mu\text{A}$ 의 범위내에서 $5\mu\text{A}$ 간격으로 설정함으로써 조절된다. 최근 각종 유기 EL 재료가 개발되었으나, D/A 컨버터 회로를 이용하여 실현가능하며, 화이트 밸런스를 달성하는 휘도 조절은 조절의 동적 범위가 4비트로 작기 때문에 충분하지 않다.

그러나, 각 R, G, B 디스플레이 컬러의 휘도 조절을 위하여 D/A 컨버터 회로의 비트 수를 증가한다면, 컬럼라인의 단자 핀은 복수의 구동 IC에 의해 구동되고 각 구동 IC는 복수의 단자 핀을 구동해야한다. 그 결과, 상기 단자 핀 각각에 대응하는 전류원의 구동 회로의 전류 출력 특성이 변하게 되어, 구동된 유기 EL 디스플레이 패널의 휘도 변동이 현저하게 커지게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 각 R, G, B 디스플레이 컬러에 대한 기준 전류 조절의 동적 범위가 소폭인 경우에도 화이트 밸런스를 정밀하게 조절할 수 있는 유기 EL 구동 회로 및 상기 유기 EL 소자 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공하는 것이다.

본 발명의 다른 목적은 휘도 변동을 용이하게 감소시킬 수 있는 유기 EL 구동 회로 및 상기 유기 EL 소자 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공하는 것이다.

상기 목적을 달성하기 위해서, 한 수평 라인의 스캔 기간에 대응하는 디스플레이 기간을 수평 스캔의 귀선(retrace) 기간에 대응하는 리셋 기간과 분리한 기간내에서 소정 주파수의 제1 타이밍 제어 신호를 이용하여 유기 EL 디스플레이 패널의 단자 핀을 통해 유기 EL 소자를 전류-구동하는 유기 EL 구동 회로는 소정 시간 간격으로 제1 타이밍 제어 신호에서부터 지연된 복수의 제2 타이밍 제어 신호를 발생하는 타이밍 신호 발생 회로와, 소정 데이터에 따라 제2 타이밍 제어 신호 중 하나를 선택하고, 선택된 제2 타이밍 제어 신호에 따른 리셋 펄스의 전방 엣지(라이징(rising) 또는 폴링(falling) 엣지) 및 제1 타이밍 제어 신호에 따른 리셋 펄스의 후방 엣지(라이징 또는 폴링 엣지)를 결정함으로써 리셋 펄스를 발생하는 리셋 펄스 발생 회로와, 단자 핀을 바이어스 라인에 접속함으로써 단자 핀에 접속된 유기 EL 소자의 전하를 리셋하도록 리셋 펄스에 응답하는 스위치 회로를 구비하고, 상기 유기 EL 패널의 휘도는 소정 데이터에 따라 디스플레이 기간을 조절함으로써 조절되는 것을 특징으로 한다.

R 디스플레이 컬러의 상기 유기 EL 소자가 소정 정전압 V_{ZR} 으로 예비-충전되고, 상기 정전압이 리셋된 후 발광하기 때문에, R 컬러의 유기 EL 구동 회로의 각 컬럼 단자 핀을 통해 구동된 유기 EL 소자의 구동 전류 파형은 도 3(g)에 실선으로 도시된 바와 같이 소정의 정전압 V_{ZR} 에서 시작한다. 또한, 도 3(g)의 점선은 전압 파형을 나타낸다.

상기 정전압의 리셋은 수평 스캔의 귀선 기간에 대응하는 리셋 기간 및 한 수평 라인의 수평 스캔 주기에 대응하는 디스플레이 기간동안 실행된다. 그러므로 상기 디스플레이 기간과 리셋 기간의 분리는 합(디스플레이 기간+ 리셋 기간)에 대응하는 기간(수평 스캔 주파수)을 가진 타이밍 제어 펄스에 의해 행해진다. 또한, 도 3(a) 내지 도 3(j)은 단자 핀에 대한 구동 전류의 파형 및 이 구동 전류 파형을 발생하는 각종 타이밍 신호를 나타낸다.

상세히 설명하면, 도 3(a)은 각종 제어 신호의 타이밍이 결정된 상태에서의 동기 클럭(sync clock) CLK를 나타낸다. 도 3(b)은 픽셀 카운터의 카운트 스타트 펄스 CSTP를 나타낸다. 도 3(c)은 이 픽셀 카운터의 카운트값을 나타낸다. 도 3(d)은 디스플레이 스타트 펄스 DSTP를 나타낸다. 도 3(e)은 R 디스플레이 컬러에 대한 리셋 펄스 RS_R 을 나타낸다. 도 3(h)은 G 디스플레이 컬러에 대한 리셋 펄스 RS_G 을 나타낸다. 도 3(i)는 B 디스플레이 컬러에 대한 리셋 펄스 RS_B 을 나타낸다.

도 3(e), 도 3(h), 도 3(i)에 도시된 바와 같이, R, G, B 디스플레이 컬러에 대한 리셋 펄스들의 리셋 기간을 상이하게 함으로써 R, G, B 디스플레이 컬러에 대한 디스플레이 기간의 종료 시점을 상이하게 한다.

다시 말하면, 본 발명에 따라, R, G, B 디스플레이 컬러에 대응하는 데이터를 외부 설정하여 R, G, B 디스플레이 컬러에 대해 리셋 기간을 조절함으로써 R, G, B 컬러의 디스플레이 기간의 종료 시점을 조절한다. 또한, 본 발명은 리셋 기간을 각 단자 핀에 대응하게 조절함으로써 휘도 조절을 각 단자 핀에 대응하게 행하도록 한다.

그러므로, R, G, B 디스플레이 컬러에 대한 단자 핀의 리셋 기간이 조절됨에 따라 화이트 밸런스가 조절될 수 있다. 또한, 휘도 변동에 대응하게 선택된 각 단자 핀의 리셋 기간을 조절함으로써 휘도 변동을 감소시킬 수 있다.

그 결과, 화이트 밸런스를 조절하거나 또는 휘도 변동을 감소시킬 수 있는 유기 EL 구동 회로 및 이 유기 EL 구동 회로를 이용한 유기 EL 패널을 용이하게 실현할 수 있다.

발명의 구성 및 작용

도 1에서, 컬럼 드라이버(10)는 유기 EL 패널의 유기 EL 구동 회로로서 기능한다. 상기 컬럼 드라이버(10)는 제어 회로(1)와, n-단계 시프트 레지스터(2)(n은 2이상의 정수)와, R, G, B 컬러 각각에 대한 리셋 펄스 발생 회로 3R, 3G, 3B와, R, G, B 컬러 각각에 대한 D/A 컨버터 회로 4R, 4G, 4B와, R, G, B 컬러 각각에 대한 출력단 전류원 5R, 5G, 5B와, 레지스터(6)를 포함한다.

상기 D/A 컨버터 회로 4R 각각은 레지스터(6)를 통해 MPU(7)로부터 디스플레이 데이터 DAT를 수취하고, 기준 전류 발생 회로(미도시)에 의해 발생하는 R 디스플레이 컬러에 대한 기준 구동 전류를 증폭함으로써 매 시간마다 디스플레이 휘도에 대응하는 구동 전류를 디스플레이 데이터 값에 대응하게 발생한다. 상기 출력단 전류원 5R은 상기 발생된 구동 전류에 의해 구동된다.

상기 출력단 전류원 5R 각각은 한 쌍의 트랜지스터를 포함하는 전류 미러 회로가 구비되며, 복수(m)의 출력 단자 X_{R1} , $X_{R2}, \dots, X_{Rm}$ 을 통해 유기 EL 패널의 유기 EL 소자(9) 각각의 애노드에 R 컬러의 구동 전류를 출력한다. 상기 R 디스플레이 컬러에 대한 출력 단자 X_{R1} , $X_{R2}, \dots, X_{Rm}$ 은 스위치 회로 SW_{R1} , $SW_{R2}, \dots, SW_{Rm}$ 에 공통으로 접속된 정전압 제너 다이오드 D_{ZR} 을 통해 접지된다.

상기 G 디스플레이 컬러에 대한 D/A 컨버터 4G 및 출력단 전류원 5G, 상기 B 디스플레이 컬러에 대한 D/A 컨버터 4B 및 출력단 전류원 5B는 각각 상기 R 디스플레이 컬러에 대한 D/A 컨버터 4R 및 출력단 전류원 5R과 유사하므로, G, B 디스플레이 컬러에 대한 구조의 상세한 설명은 생략한다. 출력단 전류원 5G에 접속된 출력 단자 X_{G1} , $X_{G2}, \dots, X_{Gm}$ 은 G 컬러에 대한 각 유기 EL 소자(9)의 애노드와 접속되며, 각 스위치 회로 SW_{G1} , $SW_{G2}, \dots, SW_{Gm}$ 및 정전압 제너 다이오드 D_{ZG} 를 통해 접지된다. 출력단 전류원 5B에 접속된 출력 단자 X_{B1} , $X_{B2}, \dots, X_{Bm}$ 은 B 컬러에 대한 각 유기 EL 소자(9)의 애노드와 접속되며, 각 스위치 회로 SW_{B1} , $SW_{B2}, \dots, SW_{Bm}$ 및 정전압 제너 다이오드 D_{ZB} 를 통해 접지된다.

하기에는 R 디스플레이 컬러에 대한 D/A 컨버터 4R 및 출력단 전류원 5R의 구조를 주로 설명할 것이다.

도 1에 도시된 바와 같이, 스위치 회로 SW_{R1} , $SW_{R2}, \dots, SW_{Rm}$ 는 출력 단자 X_{R1} , $X_{R2}, \dots, X_{Rm}$ 에 대응하게 제공된 리셋 스위치이며, 제너 다이오드 D_{ZR} 의 정전압 V_{ZR} 에 각 출력 단자를 리셋하는 기능을 행한다. 상기 스위치 회로 SW_{R1} , $SW_{R2}, \dots, SW_{Rm}$ 는 트랜지스터, 예를 들어 P 채널 MOS 트랜지스터로 각각 구성된다. P 채널 MOS 트랜지스터의 게이트는 라인(11)과 접속되며, 리셋 펄스 발생 회로 3R로부터 리셋 펄스 RS_R 을 수취한다.

상기 P 채널 MOS 트랜지스터의 소스는 각 출력 단자 X_{R1} 내지 X_{Rm} 와 접속된다. 상기 P 채널 MOS 트랜지스터의 드레인은 제너 다이오드 D_{ZR} 을 통해 접지된다. 그러므로, R 컬러에 대한 유기 EL 소자(9)의 애노드는 리셋 기간동안 제너 다이오드 D_{ZR} 의 정전압 V_{ZR} 로 예비-충전된다.

동일하게, G 디스플레이 컬러에 대한 스위치 회로 SW_{G1} , $SW_{G2}, \dots, SW_{Gm}$ 을 구성하는 P 채널 MOS 트랜지스터는 도 1에 도시된 바와 같이 각 출력 단자 X_{R1} 내지 X_{Rm} 에 대응하게 제공된다. G 컬러에 대한 P 채널 MOS 트랜지스터의 소스는 제너 다이오드 D_{ZG} 를 통해 접지되고, 드레인은 라인(12)과 접속된다. G 컬러에 대한 리셋 펄스 발생 회로 3G로부터의 리셋 펄스 RS_G 는 라인(12)을 통해 드레인에 공급된다.

동일하게, B 디스플레이 컬러에 대한 스위치 회로 SW_{B1} , $SW_{B2}, \dots, SW_{Bm}$ 을 구성하는 P 채널 MOS 트랜지스터는 각 출력 단자 X_{B1} 내지 X_{Bm} 에 대응하게 제공된다. 상기 P 채널 MOS 트랜지스터의 소스는 제너 다이오드 D_{ZB} 를 통해 접지되고, 드레인은 라인(13)과 접속된다. 리셋 펄스 발생 회로 3B로부터의 리셋 펄스 RS_B 는 라인(13)을 통해 드레인에 공급된다.

상기 리셋 펄스 발생 회로 3R, 3G, 3B가 동일하기 때문에, R 디스플레이 컬러에 대한 리셋 펄스 발생 회로 3R만을 상세히 설명할 것이다. 상기 리셋 펄스 발생 회로 3R은 셀렉터(31), 2-입력 AND 게이트(32), 3-비트 레지스터(33), 인버터(34)를 포함한다. 제어 회로(1)로부터의 타이밍 제어 펄스 T_p 및 인버터(34)를 통한 클록 신호 CLK에 응답하여, 시프트 레지스터(4)는 클록 신호 CLK의 폴링 엣지와 동기적으로 각 단계에서 도 2(a)에 도시된 출력 파형을 발생한다.

또한, 도 2(a)에서, 시프트 레지스터(4)는 4개의 플립-플롭 회로 Q1 내지 Q4로 구성된 4-단계 시프트 레지스터이다. 상기 플립-플롭 회로 Q1의 출력 신호는 클록 신호 CLK의 폴링 엣지와 동기적으로 발생된다. 상기 플립플롭 회로 Q2의 출력 신호는 하나의 클록 신호에 대응하는 시간 기간만큼 플립-플롭 회로 Q1의 출력 신호의 라이징 엣지에서부터 지연된다. 플립-플롭 회로 Q3의 출력 신호는 상기 시간 기간만큼 플립-플롭 회로 Q2의 출력 신호의 라이징 엣지에서부터 지연된다. 도 2(a)에서 인접하는 플립-플롭 회로들 사이의 지연 시간 기간은 하나의 클록 신호에 대응한다. 상기 플립-플롭 Q1의 출력 신호의 라이징 엣지의 타이밍은 타이밍 제어 펄스의 라이징 엣지에서부터 상기 타이밍 제어 펄스와 동기된 클록의 폴링 엣지까지의 시간만큼 타이밍 제어 펄스 T_p 의 라이징 엣지에서부터 지연된다.

상기 셀렉터(31)는 4-단계 시프트 레지스터(4)의 플립-플롭 회로의 출력 신호와 제어 신호(1)로부터의 타이밍 제어 펄스 T_p 를 수취하고, 상기 타이밍 제어 펄스 T_p 에 따라 시프트 레지스터(4)의 출력 신호 중 하나를 선택한다. 이같은 출력 신호의 선택은 레지스터(33)에 설정된 k-비트 데이터(k는 2 이상의 정수)에 따라 행해진다. 이에 따라 선택된 출력 신호는 2-입력 AND 게이트(32) 및 시프트 레지스터(4)의 입력 신호 중 한 입력에 입력되는 것으로, 즉 타이밍 제어 펄스 T_p 는 상기 AND 게이트(32)의 다른 입력에 입력된다.

그 결과, 상기 AND 게이트(32)는 레지스터(33)에 설정된 k-비트 데이터에 따라 m(m은 1 이상의 정수) 클록 펄스만큼 상기 시프트 레지스터(4)의 제1단계 플립-플롭 Q1의 출력에서부터 지연된 리셋 펄스 RS_R 을 발생한다. 도 3(e)에 도시된 바와 같이, 상기 리셋 펄스 RS_R 의 라이징 엣지는 타이밍 제어 펄스 T_p 의 라이징 엣지나 또는 시프트 레지스터(4)의 플립-플롭 회로 Q1 내지 Q4 중 선택된 하나의 출력 신호의 라이징 엣지와 대응한다. 또한 상기 리셋 펄스 RS_R 의 폴링 엣지는 타이밍 제어 펄스 T_p 의 폴링 엣지와 대응한다. 상기 AND 게이트(32)에 의해 발생된 리셋 펄스 RS_R 은 인버터(35)를 통해 스위치 회로 SW_{R1} , SW_{R2} , ..., SW_{Rm} 의 P 채널 MOS 트랜지스터의 게이트로 전송된다. 또한, 상기 AND 게이트(32) 및 인버터(35)는 NAND 게이트로 구성된다.

상기 시프트 레지스터(4)의 단계의 수 n이 4이고, 레지스터(33)의 비트 수 k가 3이라면, 레지스터(33)에 설정된 3-비트 데이터는 상기 시프트 레지스터(4)의 각 4단계에 대응하는 0, 1, 2, 3, 4 중 하나를 취한다. 그러므로, 상기 리셋 펄스 발생 회로 3R의 레지스터(33)에 설정된 3-비트 데이터를 3인 "011"로 가정한다면, 상기 시프트 레지스터(4)의 플립-플롭 Q3의 출력은 도 3(c)에 도시된 바와 같이 선택된다. 그러므로, 상기 AND 게이트(32)의 출력은 도 3(c)에 도시된 바와 같이 2 클록에 대응하는 시간만큼 시프트 레지스터(4)의 제1단계 플립-플롭 회로 Q1의 출력에서부터 지연된다.

이에 따라, 도 3(c)에 도시된 리셋 펄스 RS_R 은 리셋 펄스 발생 회로 3R에 의해 발생된다. 도 3(h)에 도시된 리셋 펄스 RS_G 의 경우, 상기 리셋 펄스 발생 회로 3G의 레지스터(33)에 설정된 3-비트 데이터는 2인 "010"이며, 시프트 레지스터(4)의 플립-플롭 Q2의 출력이 선택된다. 도 3(i)에 도시된 리셋 펄스 RS_B 의 경우, 상기 리셋 펄스 발생 회로 3B의 레지스터(33)에 설정된 3-비트 데이터는 1인 "001"이며, 시프트 레지스터(4)의 플립-플롭 Q1의 출력이 선택된다. 또한 도 3(a) 및 도 3(j)에서, 시프트 레지스터(4)의 각 단계의 출력이 클록 펄스의 폴링 엣지에서 발생하는 것으로 가정한다.

상술된 바와 같이, R, G, B 컬러에 대한 리셋 펄스는 리셋 펄스 발생 회로 3R, 3G, 3B에 의해 클록 펄스의 폴링 타이밍과 동기적으로 3-비트 레지스터(33)에 설정된 데이터에 따라 발생된다. 또한, 발생된 리셋 펄스는 타이밍 제어 펄스 T_p 의 폴링 엣지에서 하강한다. 결과적으로, R, G, B 컬러의 디스플레이 기간의 종료 시점을 조절할 수 있다. 그러므로, R, G, B 컬러의 디스플레이 기간, 즉 휘도가 조절될 수 있다.

각 레지스터(33)의 값이 0일 때, 리셋 펄스 발생 회로 3R, 3G, 3B는 리셋 펄스로서 타이밍 제어 펄스 T_p 를 출력한다. 또한, 상기 타이밍 펄스 T_p 의 라이징 타이밍은 클록 펄스의 라이징 타이밍과 일치한다. 그러나, 도 3(h)에 도시된 펄스가 타이밍 제어 펄스 T_p 라면, 상기 클록 펄스 CLK의 폴링 타이밍과 일치하는 타이밍 제어 펄스 T_p 를 발생시킬 수 있다.

상기 리셋 펄스 RS_R , RS_G , RS_B 는 각각이 디스플레이 기간과 리셋 기간의 합인 소정의 기간에 대응하는 기간(수평 스캔 주파수)을 갖는다. 리셋 기간 RT 는 도 3(e)의 리셋 펄스 RS_R 로 도시된 바와 같이 하이(HIGH) 레벨 일 때 시작한다. 상기 디

스플레이 기간 D는 도 3(d)에 도시된 디스플레이 스타트 펄스 DSTP와 동일하게 시작한다. 상기 리셋 기간은 디스플레이 기간 D의 시작과 동기적으로 종료된다. 그러므로, 타이밍 제어 펄스 T_p 는 리셋 기간의 종료 시점을 기준으로 하여 하강한다. 클록 펄스의 카운트는 타이밍 제어 펄스 T_p 의 폴링 타이밍에서 카운터 등에 의해 시작된다. 상기 펄스 T_p 는 소정의 일정 기간동안 로우(LOW) 레벨이 된다. 상기 펄스 T_p 의 다음 라이징 타이밍은 상기 카운터의 카운트-업과 대응하게 결정된다.

결과적으로, 예컨대 R 디스플레이 컬러에 대한 유기 EL 소자(9)를 구동하는 도 3(g)의 실선으로 도시된 구동 전류의 파형은 도 3(f)에 도시된 피크 발생 펄스 P_p 에 대응하게 발생된다.

또한, 상기 리셋 펄스 RS_R , RS_G , RS_B 가 도 3(e), 도 3(h), 도 3(i)에 도시된 바와 같이 하이 레벨인 상기 리셋 기간동안, 디스플레이 데이터 등과 같은 각종 데이터의 설정 및 유기 EL 디스플레이 소자(9)의 애노드 전압의 정전압 설정이 행해진다. 특히, 상기 리셋 신호가 하이 레벨일 때, 상기 데이터는 각 단자 핀에 대응하게 제공된 레지스터(6)와 같은 디스플레이 데이터 레지스터에 설정된다. 그러므로, 상기 R, G, B 디스플레이 컬러에 대한 단자 핀의 총 수가 132일 때, 적어도 133 클록 펄스는 도 3(c)에 도시된 바와 같이 각 리셋 펄스 RS_R , RS_G , RS_B 가 픽셀 카운터의 값에 따라 하이 레벨인 상기 기간동안 카운트되어야 한다.

R 디스플레이 컬러에 있어서, 상기 리셋 펄스 RS_R 의 라이징 엣지는 디스플레이 기간의 종료에 대응한다. 또한 G, B 디스플레이 컬러에 대해서도 동일하다.

이러한 측면에서, 외부 데이터에 따라 리셋 펄스 RS_R , RS_G , RS_B 의 라이징 시점을 설정함으로써, R, G, B 컬러 각각의 디스플레이 기간을 변경할 수 있게 되어, 각 컬러 디스플레이의 휘도도 조절된다. 따라서, 화이트 밸런스를 조절할 수 있게 된다.

상기 데이터는 MPU(7)를 통해 리셋 펄스 발생 회로 3R, 3G, 3B 각각의 레지스터(33)에 설정된다. 그러므로, MPU(7)를 통해 설정된 데이터를 이용하여 리셋 펄스 RS_R , RS_G , RS_B 각각의 라이징 위치를 조절 할 수 있다. 예를 들면, 상기 데이터의 값은 MPU(7)에 제공된 비-휘발성 메모리에 저장되고, 파워 스위치가 온으로 켜진 경우 각 레지스터(33)에 설정될 수 있다. 또한, 상기 설정된 데이터는 입력 데이터에 따라 비-휘발성 메모리에 저장된다. 특히, 유기 EL 디스플레이 패널을 적재하는 테스트 단계에서 키보드를 통해 MPU(7)에 상기 데이터를 입력하고 상기 데이터를 상기 비-휘발성 메모리에 기록함으로써 화이트 밸런스를 조절하는 것이 바람직하다.

상기 리셋 펄스 발생 회로 3R, 3G, 3B가 본 실시예에서 R, G, B 컬러에 대응하게 제공된 경우에도, R, G, B 컬러에 대한 출력 단자 각각에 대한 리셋 펄스 발생 회로를 제공할 수 있다. 이 경우, 휘도 조절은 각 출력 단자에 대하여 행해질 수 있다.

그 결과, 휘도 변동을 감소시키는 MPU(7)의 데이터는 휘도 변동시 단자 핀에 제공된 리셋 펄스 발생 회로의 레지스터(33)에 설정된다. 그러므로, 상기 단자 핀에 대응하는 수직 라인의 휘도를 조절함으로써 휘도 변동을 감소시킬 수 있다.

또한, 상기 레지스터(33)에 설정된 데이터는 MPU 대신 컨트롤러로 리셋 펄스 발생 회로의 외부에 설정된다.

상술된 바와 같이, 셀렉터(31)에 의해 선택된 소정 시간만큼 타이밍 제어 펄스 T_b 에서부터 지연된 타이밍 제어 신호는 지연 회로(시프트 레지스터)에 의해 발생된다. 그러나, 상기 타이밍 제어 신호는 일반 타이밍 신호 발생 회로에 의해 발생되기도 한다.

또한, 상술된 실시예에서 리셋 펄스 RS_R , RS_G , RS_B 의 하이 레벨이 상당한 경우에도, 상당한 논리 레벨로서 로우 레벨을 사용할 수 있다.

또한, G, B 디스플레이 컬러에 대한 리셋 펄스가 각 디스플레이 컬러에 제공된 리셋 펄스 발생 회로에 의해 발생하는 경우에도, 휘도 재료로 인한 G와 B 컬러 사이의 발광 효율의 차가 현재 작기 때문에, 단일 리셋 펄스 발생기가 R, G, B 디스플레이 컬러에 공통으로 사용될 수 있다.

또한, R, G, B에 대한 유기 EL 소자의 예비-충전 전압(정전압 리셋을 위한 정전압)은 제너 다이오드 D_{ZR} , D_{ZG} , D_{ZB} 의 전압에 의해 독립적으로 설정되는 경우에도, 상기 예비-충전 전압은 동일하며, 단일 제너 다이오드 또는 단일 정전압 회로를 사용할 수 있다. 또한, 각 출력 단자에 대응하게 제너 다이오드를 제공할 수 있다. 또한, 정전압이 아닌 접지 전위에 대해서 리셋을 행할 수도 있다.

발명의 효과

본 발명에 따라 각 R, G, B 디스플레이 컬러에 대한 기준 전류 조절의 동적 범위가 소폭인 경우에도 화이트 밸런스를 정밀하게 조절할 수 있고 휘도 변동을 용이하게 감소시킬 수 있는 유기 EL 구동 회로 및 상기 유기 EL 소자 구동 회로를 이용한 유기 EL 디스플레이 장치를 제공할 수 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

한 수평 라인의 스캔 기간에 대응하는 디스플레이 기간을 상기 수평 스캔의 귀선(retrace) 기간에 대응하는 리셋 기간과 분리하는 소정 주파수의 제1 타이밍 제어 신호에 따라 디스플레이 기간내에서 단자 핀을 통해 유기 EL 패널을 전류-구동하는 유기 EL 구동 회로에 있어서,

상기 제1 타이밍 제어 신호에서부터 순차적으로 지연된 복수의 제2 타이밍 제어 신호를 발생하는 타이밍 신호 발생 회로;

상기 소정 데이터에 따라 복수의 제2 타이밍 제어 신호 중 하나를 선택하고, 선택된 제2 타이밍 제어 신호에 따라 결정된 전방 엣지 및 상기 제1 타이밍 제어 신호에 따라 결정된 후방 엣지를 가진 리셋 펄스를 발생하는 리셋 펄스 발생 회로; 및

상기 단자 핀을 소정의 바이어스 라인에 접속하여 상기 단자 핀에 접속된 유기 EL 패널의 유기 EL 소자를 리셋하기 위하여 상기 리셋 펄스에 응답하는 스위치 회로를 구비하고,

상기 유기 EL 패널의 휘도는 상기 소정 데이터에 따라 디스플레이 기간을 조절함으로써 조절되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 2.

제1항에 있어서,

상기 리셋 펄스 발생 회로에 의해 발생된 리셋 펄스의 전방 엣지가 상기 선택된 제2 타이밍 제어 신호의 전방 엣지에 대응하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 3.

제2항에 있어서,

레지스터를 추가로 포함하고,

상기 타이밍 신호 발생 회로는 상기 제1 타이밍 제어 신호를 소정 시간만큼 순차적으로 지연시켜서 상기 복수의 제2 타이밍 제어 신호를 발생하기 위하여 상기 제1 타이밍 제어 신호에 응답하는 지연 회로이고,

상기 소정 데이터는 상기 레지스터에 설정되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 4.

제3항에 있어서,

상기 리셋 회로는 상기 레지스터를 포함하고,

상기 소정 데이터는 상기 리셋 회로의 외부로부터 상기 레지스터에 설정되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 5.

제4항에 있어서,

상기 유기 EL 패널은 R, G, B 디스플레이 컬러 각각에 대한 복수의 유기 EL 소자를 포함하고,

상기 리셋 펄스 발생 회로와 스위치 회로는 R, G, B 디스플레이 컬러 각각에 제공되고,

상기 각 디스플레이 컬러에 대한 유기 EL 소자는 각각 리셋 되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 6.

제5항에 있어서,

상기 디스플레이 컬러 각각에 대한 스위치 회로는 해당 리셋 펄스에 따라 온으로 켜져서 상기 소정 바이어스 라인 또는 상기 관련된 디스플레이 컬러에 제공된 바이어스 라인과 상기 유기 EL 소자의 애노드를 접속하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 7.

제6항에 있어서,

상기 리셋 펄스 발생 회로는 상기 단자 핀 각각에 제공되고,

상기 소정 데이터는 상기 단자 핀에 대응하게 설정되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 8.

제7항에 있어서,

상기 전방 엣지는 라이징(rising) 엣지이고,

상기 후방 엣지는 폴링(falling) 엣지이고,

상기 지연 회로는 시프트 레지스터가 구성되고,

상기 리셋 펄스 발생 회로는 상기 레지스터, 셀렉터, AND 또는 NAND 회로를 구비하고,

상기 셀렉터는 상기 소정 데이터에 따라 상기 복수의 제2 타이밍 제어 신호 중 하나를 선택하고,

상기 AND 또는 NAND 회로는 상기 제1 타이밍 제어 신호에 따른 리셋 펄스 및 상기 선택된 제2 타이밍 제어 신호를 발생하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 9.

제8항에 있어서,

상기 단자 핀 각각에 제공된 D/A 컨버터 회로와, 상기 단자 핀을 전류-구동하는 단자 핀 각각에 제공된 전류원을 추가로 포함하고,

상기 D/A 컨버터 회로는 D/A 변환에 의해 획득된 전류에 따라 전류원을 구동하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 10.

한 수평 라인의 스캔 기간에 대응하는 디스플레이 기간을 상기 수평 스캔의 귀선 기간에 대응하는 리셋 기간과 분리하는 소정 주파수의 제1 타이밍 제어 신호에 따라 디스플레이 기간내에서 단자 핀을 통해 유기 EL 패널을 전류-구동하는 유기 EL 디스플레이 장치에 있어서,

상기 제1 타이밍 제어 신호에서부터 순차적으로 지연된 복수의 제2 타이밍 제어 신호를 발생하는 타이밍 신호 발생 회로;

상기 소정 데이터에 따라 복수의 제2 타이밍 제어 신호 중 하나를 선택하고, 선택된 제2 타이밍 제어 신호에 따라 결정된 전방 엣지 및 상기 제1 타이밍 제어 신호에 따라 결정된 후방 엣지를 가진 리셋 펄스를 발생하는 리셋 펄스 발생 회로; 및

상기 단자 핀을 소정의 바이어스 라인에 접속하여 상기 단자 핀에 접속된 유기 EL 패널의 유기 EL 소자를 리셋하기 위하여 상기 리셋 펄스에 응답하는 스위치 회로를 구비하고,

상기 유기 EL 패널의 휘도는 상기 소정 데이터에 따라 디스플레이 기간을 조절함으로써 조절되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 11.

제10항에 있어서,

레지스터를 추가로 포함하고,

상기 타이밍 신호 발생 회로는 상기 제1 타이밍 제어 신호를 소정 시간만큼 순차적으로 지연시켜서 상기 복수의 제2 타이밍 제어 신호를 발생하기 위하여 상기 제1 타이밍 제어 신호에 응답하는 지연 회로이고,

상기 소정 데이터는 상기 레지스터에 설정되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 12.

제11항에 있어서,

상기 리셋 회로는 상기 레지스터를 포함하고,

상기 소정 데이터는 상기 리셋 회로의 외부로부터 상기 레지스터에 설정되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 13.

제12항에 있어서,

상기 유기 EL 패널은 R, G, B 디스플레이 컬러 각각에 대한 복수의 유기 EL 소자를 포함하고,

상기 리셋 펄스 발생 회로와 스위치 회로는 R, G, B 디스플레이 컬러 각각에 제공되고,

상기 각 디스플레이 컬러에 대한 유기 EL 소자는 각각 리셋 되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 14.

제13항에 있어서,

상기 전방 오프는 라이징 오프이고,

상기 후방 오프는 폴링 오프이고,

상기 각 디스플레이 컬러에 대한 스위치 회로는 해당 리셋 펄스에 따라 온으로 켜져서 상기 소정 바이어스 라인 또는 상기 관련된 디스플레이 컬러에 제공된 바이어스 라인과 상기 유기 EL 소자의 애노드를 접속하는 것을 특징으로 하는 유기 EL 디스플레이 장치.

청구항 15.

한 수평 라인의 스캔 기간에 대응하는 디스플레이 기간을 상기 수평 스캔의 귀선 기간에 대응하는 리셋 기간과 분리하는 소정 주파수의 타이밍 제어 신호에 따라 디스플레이 기간내에서 단자 핀을 통해 유기 EL 패널을 전류-구동하는 유기 EL 구동 회로에 있어서,

상기 타이밍 제어 신호에서부터 순차적으로 지연된 복수의 타이밍 신호를 발생하는 타이밍 신호 발생 회로;

상기 소정 데이터에 따라 복수의 타이밍 신호 중 하나를 선택하고, 선택된 타이밍 신호에 따라 결정된 전방 오프 및 상기 타이밍 제어 신호에 따라 결정된 후방 오프를 가진 리셋 펄스를 발생하는 리셋 펄스 발생 회로; 및

상기 단자 핀을 소정의 바이어스 라인에 접속하여 상기 단자 핀에 접속된 유기 EL 패널의 유기 EL 소자를 리셋하기 위하여 상기 리셋 펄스에 응답하는 스위치 회로를 구비하고,

상기 유기 EL 패널의 휘도는 상기 소정 데이터에 따라 디스플레이 기간을 조절함으로써 조절되는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 16.

제15항에 있어서,

상기 타이밍 신호는 상기 타이밍 제어 신호를 지연함으로써 발생하는 것을 특징으로 하는 유기 EL 구동 회로.

청구항 17.

한 수평 라인의 스캔 기간에 대응하는 디스플레이 기간을 상기 수평 스캔의 귀선 기간에 대응하는 리셋 기간과 분리하는 소정 주파수의 제1 타이밍 제어 신호에 따라 디스플레이 기간내에서 단자 핀을 통해 유기 EL 패널을 전류-구동하는 유기 EL 디스플레이 장치에 있어서,

상기 타이밍 제어 신호에서부터 순차적으로 지연된 복수의 타이밍 신호를 발생하는 타이밍 신호 발생 회로;

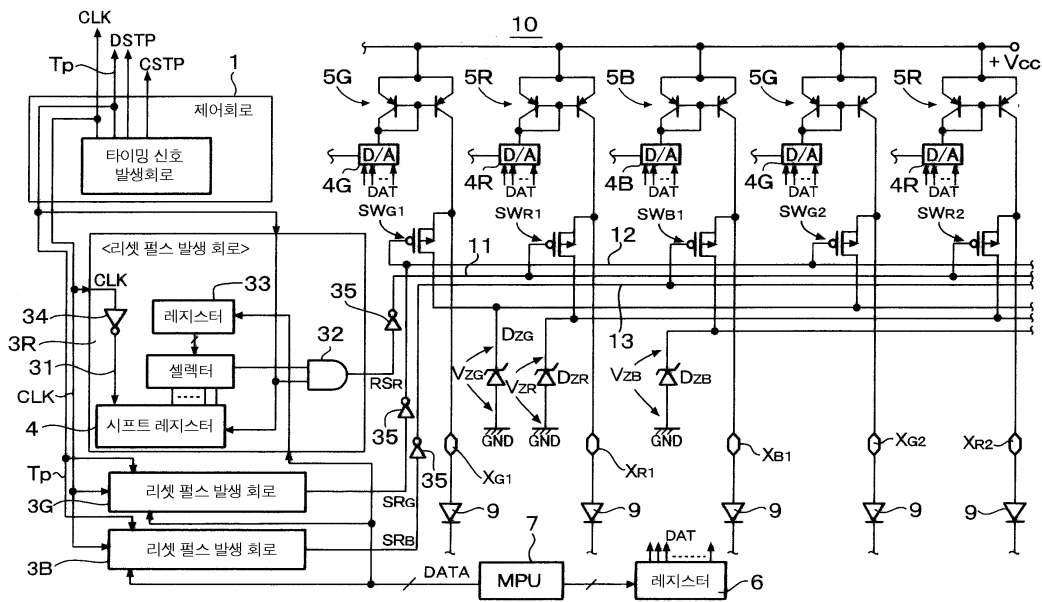
상기 소정 데이터에 따라 상기 복수의 타이밍 신호 중 하나를 선택하고, 선택된 타이밍 신호에 따라 결정된 전방 엣지 및 상기 타이밍 제어 신호에 따라 결정된 후방 엣지를 가진 리셋 펄스를 발생하는 리셋 펄스 발생 회로; 및

상기 단자 핀을 소정 바이어스 라인에 접속하여 상기 단자 핀에 접속된 유기 EL 패널의 유기 EL 소자를 리셋하기 위하여 상기 리셋 펄스에 응답하는 스위치 회로를 구비하고,

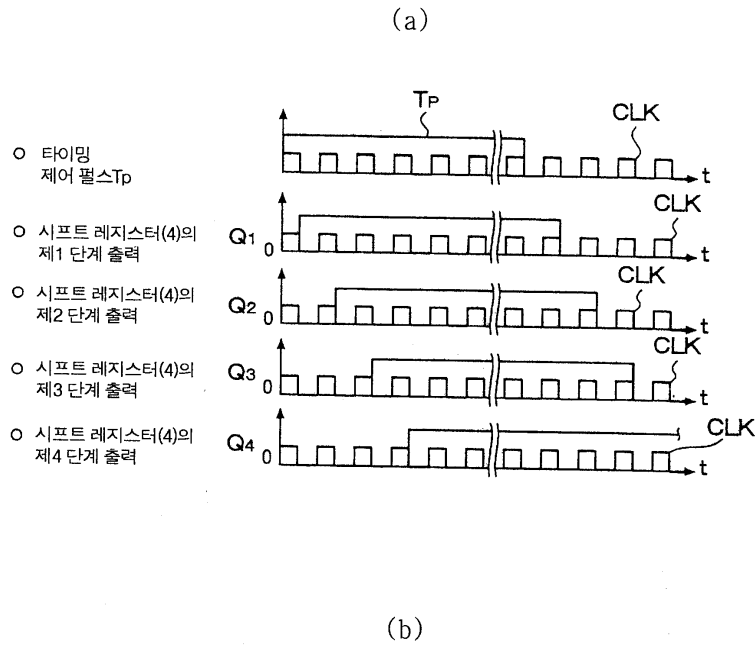
상기 유기 EL 패널의 휘도는 상기 소정 데이터에 따라 디스플레이 기간을 조절함으로써 조절되는 것을 특징으로 하는 유기 EL 디스플레이 장치.

도면

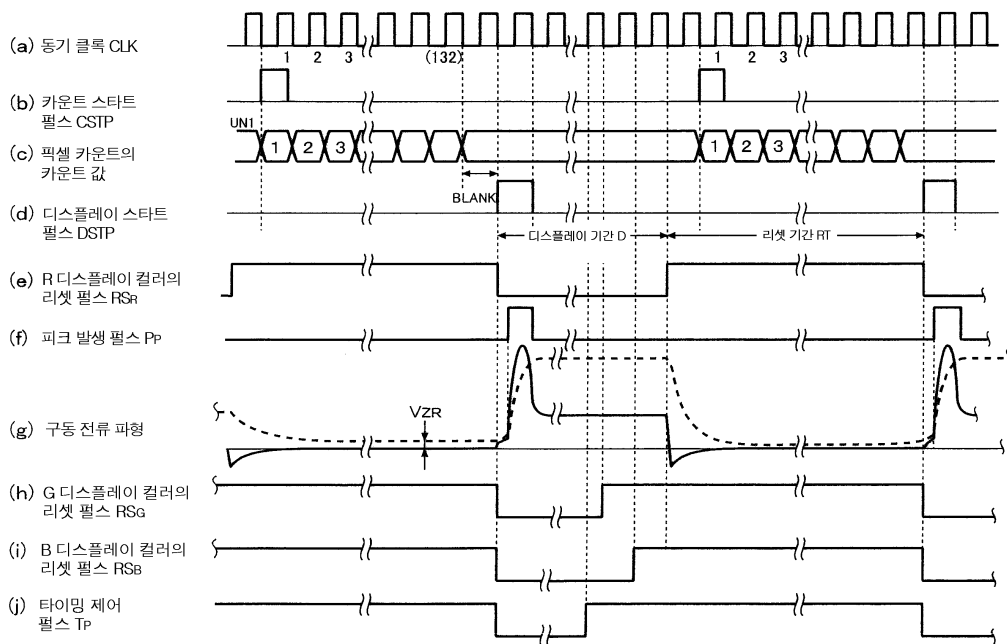
도면1



도면2



도면3



专利名称(译)	有机EL元件驱动电路及使用该驱动电路的有机EL显示装置		
公开(公告)号	KR100570035B1	公开(公告)日	2006-04-10
申请号	KR1020040025841	申请日	2004-04-14
[标]申请(专利权)人(译)	罗姆股份有限公司 罗穆亚尔德是部分株式会社		
申请(专利权)人(译)	罗穆亚尔德株式会社		
当前申请(专利权)人(译)	罗穆亚尔德株式会社		
[标]发明人	YAGUMA HIROSHI 야구마히로시 ABE SHINICHI 아베신이치 MAEDE JUN 마에데준 FUJIKAWA AKIO 후지카와아키오		
发明人	야구마히로시 아베신이치 마에데준 후지카와아키오		
IPC分类号	G09G3/30 G09G3/00 G09G3/32		
CPC分类号	G09G2310/061 G09G2310/0251 G09G2310/027 G09G3/3283 G09G2320/0606 G09G2320/0666 G09G3/006		
代理人(译)	硫		
优先权	2003110322 2003-04-15 JP		
其他公开文献	KR1020040090492A		
外部链接	Espacenet		

摘要(译)

本发明的有机EL驱动电路根据预定数据选择用于生成从第一时序控制信号延迟的多个第二时序控制信号的时序信号生成电路和多个第二时序控制信号中的一个，复位脉冲产生电路，用于产生复位脉冲，该复位脉冲具有根据选择的第二定时控制信号确定的前边缘和根据第一定时控制信号确定的后边缘，并且该端子引脚连接到预定的偏置线至该端子引脚提供响应于重置脉冲的开关电路以重置所连接的有机EL面板的有机EL元件。通过根据预定数据调整显示周期来调整有机EL面板的亮度。图1

