



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0081481
(43) 공개일자 2010년07월15일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
H01L 51/50 (2006.01)

(21) 출원번호 10-2009-0000739

(22) 출원일자 2009년01월06일

심사청구일자 2009년01월06일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정선이

충청남도 천안시 성성동 508번지 삼성SDI(주)

(74) 대리인

신영무

전체 청구항 수 : 총 6 항

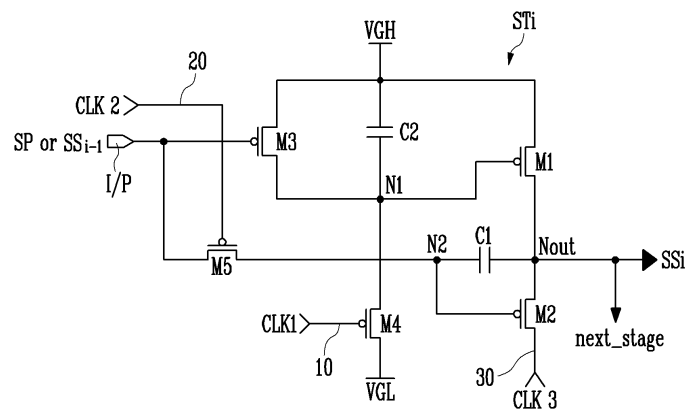
(54) 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치

(57) 요약

본 발명은, 유기전계발광 표시장치의 화소열을 구동하는 구동회로에 구비되는 쉬프트 레지스터에 관한 것이다.

본 발명에 의한 쉬프트 레지스터는, 스타트펄스의 입력라인에 중속적으로 접속되는 다수의 스테이지를 구비하며, 제1, 제2 및 제3 입력라인으로부터 각각 공급되는 제1, 제2 및 제3 클럭신호에 의해 구동되는 것으로, 상기 스테이지는, 제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와, 상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전 단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와, 상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며 게이트 전극이 상기 제1 입력라인에 접속된 제4 트랜지스터와, 상기 입력단자와 상기 제2 노드(N2) 사이에 접속되며 게이트 전극이 상기 제2 입력라인에 접속된 제5 트랜지스터를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며, 제1, 제2 및 제3 입력라인으로부터 각각 공급되는 제1, 제2 및 제3 클럭신호에 의해 구동되는 쉬프트 레지스터에 있어서, 상기 스테이지는,

제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며, 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와,

상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며, 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와,

상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와,

상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며, 게이트 전극이 상기 제1 입력라인에 접속된 제4 트랜지스터와,

상기 입력단자와 상기 제2 노드(N2) 사이에 접속되며, 게이트 전극이 상기 제2 입력라인에 접속된 제5 트랜지스터를 포함하는 쉬프트 레지스터.

청구항 2

제1항에 있어서,

상기 제2 노드(N2)와 상기 출력노드(Nout) 사이에 접속된 제1 커패시터를 더 포함하는 쉬프트 레지스터.

청구항 3

제1항에 있어서,

상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속된 제2 커패시터를 더 포함하는 쉬프트 레지스터.

청구항 4

제1항에 있어서,

상기 제1, 제2 및 제3 클럭신호는 위상이 순차적으로 지연된 파형을 갖는 쉬프트 레지스터.

청구항 5

주사선들 및 데이터선들의 교차부에 위치한 다수의 화소를 포함하는 화소부와, 상기 주사선들로 순차적으로 주사신호를 인가하는 쉬프트 레지스터를 포함하는 주사 구동부와, 상기 데이터선들로 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고,

상기 쉬프트 레지스터는, 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며, 제1, 제2 및 제3 입력라인으로부터 각각 공급되는 제1, 제2 및 제3 클럭신호에 의해 구동되고,

상기 스테이지는,

제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며, 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와,

상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며, 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와,

상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며, 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와,

상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며, 게이트 전극이 상기 제1 입력라인에 접속된 제4 트랜지스터와,

상기 입력단자와 상기 제2 노드(N2) 사이에 접속되며, 게이트 전극이 상기 제2 입력라인에 접속된 제5 트랜지스터를 포함하는 유기전계발광 표시장치.

청구항 6

제5항에 있어서,

상기 스테이지는, 상기 제2 노드(N2)와 상기 출력노드(Nout) 사이에 접속된 제1 커패시터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속된 제2 커패시터를 더 포함하는 유기전계발광 표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 유기전계발광 표시장치의 화소열을 구동하는 구동회로에 구비되는 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

배경 기술

- [0002] 일반적으로, 유기전계발광 표시장치는 데이터선들과 주사선들의 교차부에 매트릭스 형태로 배열되는 화소 어레이(array)를 구비한다.
- [0003] 이와 같은 화소 어레이는 주사선들로 주사신호를 공급하는 주사 구동부와, 데이터선들로 데이터신호를 공급하는 데이터 구동부에 의해 구동된다.
- [0004] 여기서, 주사 구동부는 화소 어레이의 라인별로 데이터 신호를 공급받을 화소들을 선택하기 위하여 주사선들로 순차적으로 주사신호를 출력하는 쉬프트 레지스터를 구비한다.
- [0005] 쉬프트 레지스터는 다수의 트랜지스터를 포함하도록 구성되는 각 단의 스테이지로 구성된다.
- [0006] 이와 같은 쉬프트 레지스터는 외부로부터 스타트 펄스 및 클럭신호를 공급받고, 클럭신호에 대응하여 스타트 펄스를 순차적으로 쉬프트시키면서 주사신호를 출력한다.
- [0007] 단, 쉬프트 레지스터 내에서 트랜지스터의 오프전류 등에 기인한 누설전류가 발생하는 경우, 쉬프트 레지스터의 출력이 불안정해질 수 있다.
- [0008] 따라서, 쉬프트 레지스터 내에서 누설전류가 발생하는 것을 최소화할 수 있는 방안을 모색할 필요성이 있다.

발명의 내용

해결 하고자하는 과제

[0009] 따라서, 본 발명의 목적은 누설전류를 최소화할 수 있도록 한 쉬프트 레지스터 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

과제 해결수단

[0010] 이와 같은 목적을 달성하기 위하여 본 발명의 일 측면은 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며, 제1, 제2 및 제3 입력라인으로부터 각각 공급되는 제1, 제2 및 제3 클럭신호에 의해 구동되는 쉬프트 레지스터에 있어서, 상기 스테이지는, 제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와, 상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지

스터와, 상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며 게이트 전극이 상기 제1 입력라인에 접속된 제4 트랜지스터와, 상기 입력단자와 상기 제2 노드(N2) 사이에 접속되며 게이트 전극이 상기 제2 입력라인에 접속된 제5 트랜지스터를 포함하는 쉬프트 레지스터를 제공한다.

[0011] 본 발명의 다른 측면은, 주사선들 및 데이터선들의 교차부에 위치한 다수의 화소를 포함하는 화소부와, 상기 주사선들로 순차적으로 주사신호를 인가하는 쉬프트 레지스터를 포함하는 주사 구동부와, 상기 데이터선들로 데이터 신호를 인가하는 데이터 구동부를 포함하여 구성되고, 상기 쉬프트 레지스터는, 스타트펄스의 입력라인에 종속적으로 접속되는 다수의 스테이지를 구비하며 제1, 제2 및 제3 입력라인으로부터 각각 공급되는 제1, 제2 및 제3 클럭신호에 의해 구동되고, 상기 스테이지는, 제1 전원(VGH)과 출력노드(Nout) 사이에 접속되며 게이트 전극이 제1 노드(N1)에 접속된 제1 트랜지스터와, 상기 출력노드(Nout)와 상기 제3 입력라인 사이에 접속되며 게이트 전극이 제2 노드(N2)에 접속된 제2 트랜지스터와, 상기 제1 전원(VGH)과 상기 제1 노드(N1) 사이에 접속되며 게이트 전극이 상기 스타트펄스 또는 이전단 스테이지의 출력신호가 입력되는 입력단자에 접속된 제3 트랜지스터와, 상기 제1 노드(N1)와 제2 전원(VGL) 사이에 접속되며 게이트 전극이 상기 제1 입력라인에 접속된 제4 트랜지스터와, 상기 입력단자와 상기 제2 노드(N2) 사이에 접속되며 게이트 전극이 상기 제2 입력라인에 접속된 제5 트랜지스터를 포함하는 유기전계발광 표시장치를 제공한다.

효 과

[0012] 이와 같은 본 발명에 의하면, 비교적 적은 수의 소자들을 이용하여 단순한 구조로 쉬프트 레지스터를 구성하는 한편, 쉬프트 레지스터 내에서 발생할 수 있는 누설전류의 경로가 최소화되도록 쉬프트 레지스터를 설계함으로써, 쉬프트 레지스터의 출력특성을 안정화시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.

[0014] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 블럭도이다.

[0015] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)에 의하여 구획된 영역에 형성되는 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 포함한다.

[0016] 주사 구동부(110)는 타이밍 제어부(150)로부터 스타트펄스(SP) 및 클럭신호(CLK) 등이 포함된 주사 구동 제어신호(SCS)를 공급받아 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 공급한다.

[0017] 이를 위하여, 주사 구동부(110)는 스타트펄스(SP) 및 클럭신호들(CLK)에 대응하여 순차적으로 주사신호를 생성하고 이를 주사선들(S1 내지 Sn)로 출력하는 쉬프트 레지스터를 포함하여 구성된다.

[0018] 데이터 구동부(120)는 타이밍 제어부(150)로부터 데이터 구동 제어신호(DCS) 및 데이터(Data)를 공급받아 데이터 신호를 생성한다. 데이터 구동부(120)에서 생성된 데이터 신호는 데이터선들(D1 내지 Dm)로 공급된다.

[0019] 타이밍 제어부(150)는 외부로부터 공급되는 동기 신호들에 대응하여 주사 구동 제어신호(SCS) 및 데이터 구동 제어신호(DCS)를 생성한다. 타이밍 제어부(150)에서 생성된 주사 구동 제어신호(SCS)는 주사 구동부(110)로 공급되고, 데이터 구동 제어신호(DCS)는 데이터 구동부(120)로 공급된다. 또한, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 데이터 구동부(120)로 공급한다.

[0020] 화소부(130)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치한 다수의 화소(140)를 포함한다. 각각의 화소(140)들은 외부로부터 제1 화소전원(ELVDD) 및 제2 화소전원(ELVSS)을 공급받고, 주사 구동부(110) 및 데이터 구동부(120)로부터 각각 주사신호 및 데이터신호를 공급받는다. 제1 및 제2 화소전원(ELVDD, ELVSS)과 주사신호 및 데이터신호를 공급받은 각각의 화소(140)들은 주사신호에 의해 선택되어 데이터 신호를 공급받고, 이에 대응되는 빛을 생성한다.

- [0021] 도 2는 도 1의 주사 구동부에 포함된 쉬프트 레지스터의 일례를 나타내는 블록도이다.
- [0022] 도 2를 참조하면, 쉬프트 레지스터는 스타트펄스(SP)의 입력라인에 종속적으로 접속되는 다수의 스테이지들(ST1 내지 STn)을 구비한다. 여기서, 각각의 스테이지들(ST1 내지 STn)은 제1, 제2 및 제3 입력라인(10, 20, 30)으로부터 각각 입력되며 순차적으로 위상이 지연되는 형태로 공급되는 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)에 의해 구동된다.
- [0023] 제1 스테이지(ST1)는 제1 내지 제3 클럭신호(CLK1 내지 CLK3)에 대응하여 자신에게 공급되는 스타트펄스(SP)를 한 클럭만큼 위상지연시켜 출력한다.
- [0024] 제2 내지 제n 스테이지(ST1 내지 STn)는 제1 내지 제3 클럭신호(CLK1 내지 CLK3)에 대응하여 자신에게 공급되는 이전단 스테이지(ST)의 출력신호(SS)를 한 클럭만큼 위상지연시켜 출력한다.
- [0025] 이와 같은 구동에 의하여, 각 스테이지들(ST1 내지 STn)에서는 순차적으로 위상지연된 출력신호(SS1 내지 SSn)가 발생되고, 발생된 출력신호(SS1 내지 SSn)는 각각의 주사선들로 순차적으로 공급된다.
- [0026] 한편, 도 2에서는 순차적으로 위상지연된 3개의 클럭신호(CLK1 내지 CLK3)에 의해 구동되는 쉬프트 레지스터를 도시하였지만, 실제로 쉬프트 레지스터는 순차적으로 위상지연된 4개의 클럭신호에 의해 구동될 수도 있다.
- [0027] 이 경우, 각각의 스테이지(ST)는 4개의 클럭신호들 중 3개의 클럭신호만을 입력받아 이에 대응하는 출력신호(SS)를 생성할 수도 있다.
- [0028] 예를 들어, 제1 스테이지(ST1)는 제1, 제3, 및 제4 클럭신호를 입력받고, 제2 스테이지(ST2)는 제1, 제3, 및 제4 클럭신호가 한 클럭만큼 순차적으로 위상 지연된 제2, 제4, 및 제1 클럭신호를 입력받을 수 있다. 그리고, 제3 내지 제n 스테이지(ST3 내지 STn)에도 같은 방식으로 순차적으로 한 클럭 만큼씩 위상 지연된 3개의 클럭신호가 입력될 수 있다.
- [0029] 도 3은 도 2에 도시된 임의의 스테이지의 일례를 나타내는 상세 회로도이다.
- [0030] 도 3을 참조하면, 임의의 스테이지(STi)는 제1 내지 제5 트랜지스터(M1 내지 M5)와, 제1 및 제2 커패시터(C1, C2)를 포함한다.
- [0031] 제1 트랜지스터(M1)는 게이트 하이레벨 전압원인 제1 전원(VGH)과 스테이지(STi)의 출력노드(Nout) 사이에 접속되며, 제1 트랜지스터(M1)의 게이트 전극은 제1 노드(N1)에 접속된다.
- [0032] 이와 같은 제1 트랜지스터(M1)는 제1 노드(N1)의 전압레벨이 로우레벨일 때 턴-온되어, 제1 전원(VGH)과 출력노드(Nout)를 전기적으로 연결한다. 즉, 제1 트랜지스터(M1)가 턴-온되면, 출력노드(Nout)로는 하이레벨의 주사신호(SSi)가 출력된다.
- [0033] 제2 트랜지스터(M2)는 출력노드(Nout)와 제3 입력라인(30) 사이에 접속되며, 제2 트랜지스터(M2)의 게이트 전극은 제2 노드(N2)에 접속된다.
- [0034] 이와 같은 제2 트랜지스터(M2)는 제2 노드(N2)의 전압레벨이 로우레벨일 때 턴-온되어, 출력노드(Nout)와 제3 입력라인(30)을 전기적으로 연결한다. 즉, 제2 트랜지스터(M2)가 턴-온되면, 출력신호(SSi)의 파형이 제3 클럭신호(CLK3)의 파형을 따르게 된다.
- [0035] 제3 트랜지스터(M3)는 제1 전원(VGH)과 제1 노드(N1) 사이에 접속되며, 제3 트랜지스터(M3)의 게이트 전극은 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 입력되는 입력단자(I/P)에 접속된다.
- [0036] 이와 같은 제3 트랜지스터(M3)는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)에 대응하여 제1 노드(N1)의 전압레벨을 제어한다.
- [0037] 제4 트랜지스터(M4)는 제1 노드(N1)와 게이트 로우레벨 전압원인 제2 전원(VGL) 사이에 접속되며, 제4 트랜지스터(M4)의 게이트 전극은 제1 입력라인(10)에 접속된다.
- [0038] 이와 같은 제4 트랜지스터(M4)는 제1 입력라인(10)으로부터 공급되는 제1 클럭신호(CLK1)에 대응하여 제1 노드(N1)의 전압레벨을 제어한다.

- [0039] 제5 트랜지스터(M5)는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 입력되는 입력단자(I/P)와 제2 노드(N2) 사이에 접속되며, 제5 트랜지스터(M5)의 게이트 전극은 제2 입력라인(20)에 접속된다.
- [0040] 이와 같은 제5 트랜지스터(M5)는 제2 입력라인(20)으로부터 공급되는 제2 클럭신호(CLK2)에 대응하여 제2 노드(N2)의 전압레벨을 제어한다.
- [0041] 제1 커패시터(C1)는 제2 노드(N2)와 출력노드(Nout) 사이에 접속된다. 이와 같은 제1 커패시터(C1)는 제2 트랜지스터(M2)가 턴-온되고 제2 노드(N2)가 플로우팅된 상태에서, 제3 클럭신호(CLK3)의 전압레벨이 변화될 때 커패시터의 충전작용을 통해 제2 노드(N2)의 전압레벨을 동반 상승 또는 하강시킨다.
- [0042] 제2 커패시터(C2)는 제1 전원(VGH)과 제1 노드(N1) 사이에 접속된다. 즉, 제2 커패시터(C2)는 제1 트랜지스터(M1)의 게이트 전극과 소스 전극 사이에 접속되어, 제1 트랜지스터(M1)의 동작을 안정화한다.
- [0043] 전술한 바와 같은 본 발명의 실시예에 의하면, 비교적 적은 수의 소자들을 이용하여 단순한 구조로 쉬프트 레지스터를 구성할 수 있다. 이에 의해, 쉬프트 레지스터의 설계를 용이하게 함은 물론 데드 스페이스도 감소시킬 수 있다.
- [0044] 또한, 본 발명에서는 로우레벨의 출력신호(SSi), 즉, 주사신호가 출력되는 동안, 제2 노드(N2)를 통해 발생할 수 있는 누설전류의 경로가 최소화되도록 쉬프트 레지스터를 설계한다.
- [0045] 누설전류는 트랜지스터의 오프전류 등에 기인해 발생할 수 있는데, 제2 노드(N2)에 소스 또는 드레인 전극이 연결되는 트랜지스터가 많아지면 주사신호가 출력되는 기간 동안 제2 노드(N2)의 전압이 불안정해져 쉬프트 레지스터의 출력특성이 저하될 수 있다.
- [0046] 하지만, 본 발명에서는 제2 노드(N2)에 소스 또는 드레인 전극이 연결되는 트랜지스터를 제5 트랜지스터(M5) 하나로 최소화하여 설계하면서도 쉬프트 레지스터의 출력이 안정범위 내에 포함되도록 설계한다. 이에 의해, 제2 노드(N2)를 통해 발생할 수 있는 누설전류의 경로가 최소화되어 쉬프트 레지스터의 출력특성이 안정화된다.
- [0047] 한편, 도 3에 도시된 스테이지(STi)에서는 제4, 제5 및 제2 트랜지스터(M4, M5, M2)의 어느 한 전극에 각각 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)가 공급되었지만, 실제로 각 스테이지들로 입력되는 제1, 제2 및 제3 클럭신호(CLK1, CLK2, CLK3)는 스테이지마다 한 클럭만큼 쉬프트 되어 공급될 수 있다.
- [0048] 예를 들어, 도 3에 도시된 스테이지(STi)의 다음 단 스테이지에서는 제4, 제5 및 제2 트랜지스터(M4, M5, M2)의 어느 한 전극에 각각 한 클럭만큼 쉬프트 된 제2, 제3 및 제1 클럭신호(CLK2, CLK3, CLK1)가 공급될 수 있다.
- [0049] 이하에서는 도 3에 도시된 스테이지의 동작을 도 4에 도시된 입/출력 신호의 파형과 결부하여 상세히 설명하기로 한다. 편의상, 트랜지스터의 문턱전압 등의 요소는 고려하지 않기로 한다.
- [0050] 도 4를 참조하면, 우선, t1 구간 동안 제1 입력라인(10)으로 로우레벨의 제1 클럭신호(CLK1)가 공급되면, 제4 트랜지스터(M4)가 턴-온된다. 이에 따라, 제1 노드(N1)에는 제2 전원(VGL)의 로우레벨 전압이 충전된다.
- [0051] 제1 노드(N1)이 로우레벨 전압으로 충전되면, 제1 트랜지스터(M1)가 턴-온된다. 이에 따라, 출력노드(Nout)로는 제1 전원(VGH)의 하이레벨 전압을 갖는 출력신호(SSi)가 출력된다.
- [0052] 한편, t1 구간 동안 제2 노드(N2)에 충전된 전압은 이전 상태의 하이레벨 전압을 유지한다.
- [0053] 이후, t2 구간 동안 입력단자(I/P)로 로우레벨의 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 입력되고 제2 입력라인(20)으로 로우레벨의 제2 클럭신호(CLK2)가 입력되면, 제3 및 제5 트랜지스터(M3, M5)가 턴-온된다.
- [0054] 제3 트랜지스터(M3)가 턴-온되면, 제1 노드(N1)에는 제1 전원(VGH)의 하이레벨 전압이 충전된다. 이에 따라, 제1 트랜지스터(M1)는 턴-오프된다.
- [0055] 그리고, 제5 트랜지스터(M5)가 턴-온되면, 제2 노드(N2)에는 로우레벨의 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 전달되어 제2 노드(N2)의 전압레벨은 로우레벨로 하강한다.
- [0056] 이에 따라, 제2 트랜지스터(M2)가 턴-온되면서 출력노드(Nout)는 제3 입력라인(30)과 연결된다. 단, t2 구간 동안 제3 입력라인(30)으로부터 공급되는 제3 클럭신호(CLK3)의 전압레벨은 하이레벨로 유지되므로 출력신호(SSi)의 전압레벨도 하이레벨로 유지된다. 이때, 제1 커패시터(C1)에는 제2 트랜지스터(M2)가 턴-온될 수 있는 전

압이 저장된다.

[0057] 이후, t3 구간 동안 제3 클럭신호(CLK3)의 전압레벨이 로우레벨로 천이되면, 제2 트랜지스터(M2)의 기생캐패시터(미도시) 및 제1 커패시터(C1)의 커플링 작용에 의해 제2 노드(N2)는 t2 구간에서의 로우레벨 전압보다 더 낮은 정도의 로우레벨 전압으로 충전된다.

[0058] 이에 따라, t3 구간 동안 제2 트랜지스터(M2)는 안정적으로 턴-온 상태를 유지하고, 출력노드(Nout)로는 제3 클럭신호(CLK3)의 로우레벨 전압이 전달된다. 따라서, t3 구간 동안 출력노드(Nout)로는 로우레벨의 출력신호(SSi), 즉, 주사신호가 출력된다.

[0059] 이후, t4 구간 동안 제3 클럭신호(CLK3)의 전압레벨이 다시 하이레벨로 천이되면, 제2 트랜지스터(M2)의 기생커패시터(미도시) 및 제1 커패시터(C1)의 커플링 작용에 의해 제2 노드(N2)의 전압레벨은 t2 구간에서의 전압레벨과 유사 또는 동일한 정도의 중간레벨로 상승한다.

[0060] 그리고, t4 구간 동안 제3 클럭신호(CLK3)의 전압레벨이 하이레벨로 설정되므로, 출력노드(Nout)로는 하이레벨의 출력신호(SSi)가 출력된다.

[0061] 이후의 구간에서는, 다음 프레임의 해당 주사기간이 될 때까지 입력단(I/P)으로부터 입력되는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 하이레벨로 유지되기 때문에 스테이지(STi)의 출력신호(SSi)도 하이레벨을 유지한다.

[0062] 예를 들어, t5 구간 동안 제2 입력라인(20)으로 로우레벨의 제2 클럭신호(CLK2)가 공급된다고 하더라도, 제5 트랜지스터(M5)를 경유하여 공급되는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)가 계속 하이레벨을 유지하기 때문에 제2 노드(N2)의 전압레벨은 하이레벨로 유지된다.

[0063] 따라서, 이후의 t6 구간 동안 로우레벨의 제3 클럭신호(CLK3)가 공급된다고 하더라도 제2 트랜지스터(M2)는 턴-오프 상태를 유지하므로, 스테이지(STi)의 출력신호(SSi)는 제3 클럭신호(CLK3)의 값에 무관하게 하이레벨을 유지한다.

[0064] 전술한 바와 같은 구동에 의하여, 본 발명에 의한 쉬프트 레지스터의 스테이지(ST)들은 자신에게 입력되는 스타트펄스(SP) 또는 이전단 스테이지의 출력신호(SSi-1)를 제1 내지 제3 클럭신호(CLK1 내지 CLK3)에 대응하여 한 클럭만큼 위상지연시켜 출력라인으로 출력한다.

[0065] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

[0066] 도 1은 본 발명의 실시 예에 의한 유기전계발광 표시장치를 나타내는 블록도이다.

[0067] 도 2는 도 1의 주사 구동부에 포함된 쉬프트 레지스터의 일례를 나타내는 블럭도이다.

[0068] 도 3은 도 2에 도시된 임의의 스테이지의 일례를 나타내는 상세 회로도이다.

[0069] 도 4는 도 3에 도시된 스테이지의 입/출력 신호의 파형도이다.

[0070] <도면의 주요 부분에 대한 부호의 설명>

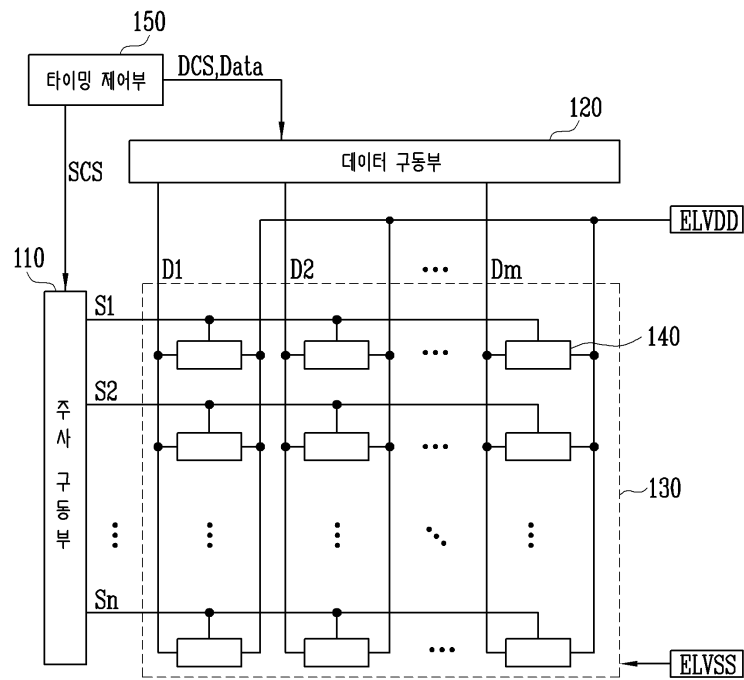
[0071] 110: 주사 구동부 120: 데이터 구동부

[0072] 130: 화소부 140: 화소

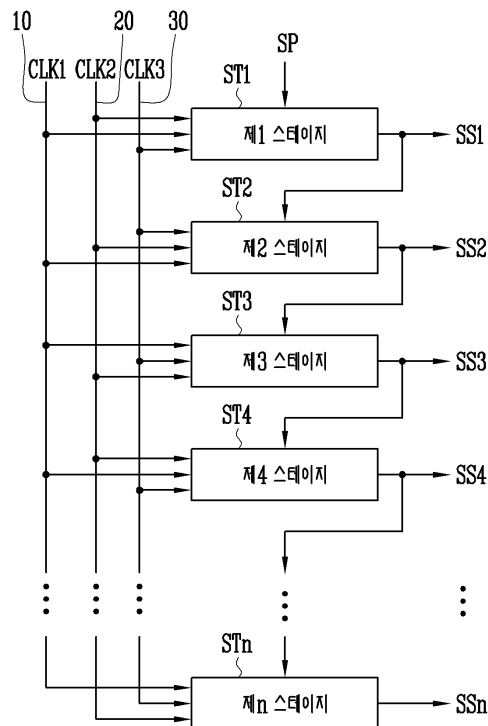
[0073] 150: 타이밍 제어부 ST: 쉬프트 레지스터의 스테이지

도면

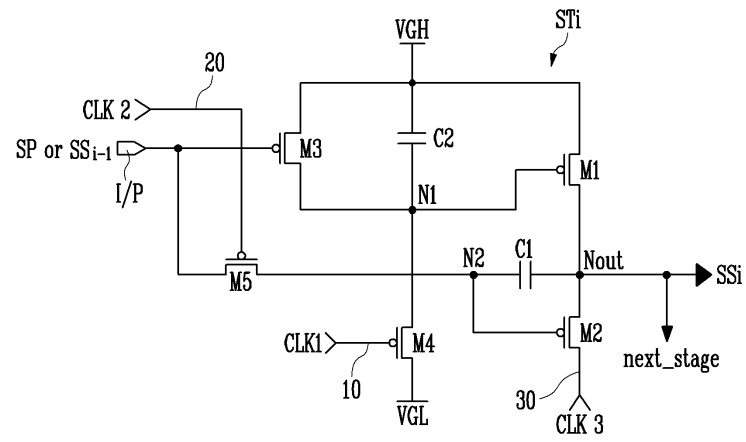
도면1



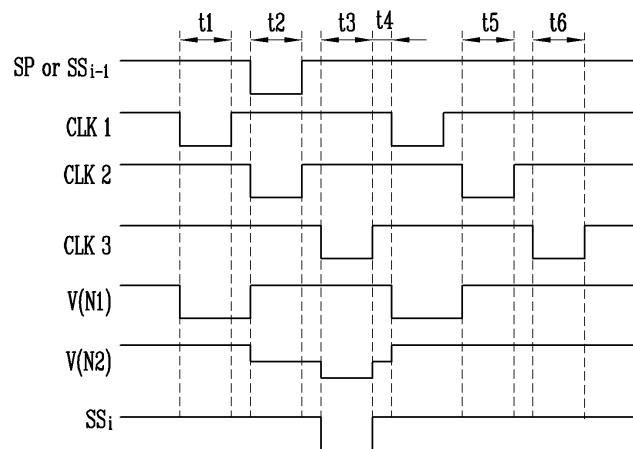
도면2



도면3



도면4



专利名称(译)	移位寄存器和使用其的有机发光显示器		
公开(公告)号	KR1020100081481A	公开(公告)日	2010-07-15
申请号	KR1020090000739	申请日	2009-01-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	SEONI JEONG 정선이		
发明人	정선이		
IPC分类号	G09G3/30 G09G3/32 H01L51/50		
CPC分类号	G11C19/18 H01L29/78609 H01L2027/11879		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

移位寄存器技术领域本发明涉及一种设置在用于驱动有机发光显示器的像素列的驱动电路中的移位寄存器。根据本发明的移位寄存器包括多个级，这些级连接到起始脉冲的输入线，并连接到分别从第一，第二和第三输入线提供的第一，第二和第三时钟信号。其中，所述级包括连接在第一电源VGH和输出节点Nout之间并且具有连接到第一节点N1的栅电极的第一晶体管，连接在第一电源线和第一节点之间的第二晶体管和连接到第二节点的栅电极，第三晶体管连接在第一节点N1和第二电源VGL之间，并具有连接到第一输入线的栅电极，4晶体管，输入端子，并且第五晶体管连接在第二节点N2和连接到第二输入线的栅电极之间。

