



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0021130
(43) 공개일자 2010년02월24일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0079876

(22) 출원일자 2008년08월14일

심사청구일자 2008년08월14일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정진태

충청남도 천안시 성성동 508번지 삼성SDI(주)

엄기명

충청남도 천안시 성성동 508번지 삼성SDI(주)

정선이

충청남도 천안시 성성동 508번지 삼성SDI(주)

(74) 대리인

신영무

전체 청구항 수 : 총 14 항

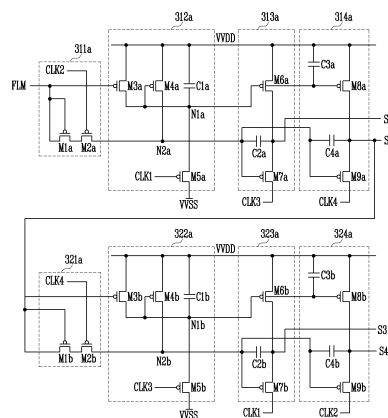
(54) 주사구동부 및 그를 이용한 유기전계발광표시장치

(57) 요약

본 발명은 주사신호를 생성하는 스테이지의 수를 줄여 크기가 작게 형성되는 주사구동부 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

본 발명은 적어도 네 개의 클럭을 전달받아 동작하는 적어도 네 개의 신호처리부를 포함하는 복수의 스테이지를 포함하는 주사구동부를 포함하고, 상기 복수의 스테이지 중 제 1 스테이지는 스타트펄스와 제 2 클럭을 전달받아 제 1 출력신호를 생성하는 제 1 신호처리부; 상기 스타트펄스와 제 1 클럭을 전달받아 제 2 출력신호를 생성하는 제 2 신호처리부; 상기 제 1 출력신호와 상기 제 2 출력신호와 제 3 클럭을 전달받아 제 1 주사신호를 생성하는 제 3 신호처리부; 및 상기 제 1 출력신호와 상기 제 2 출력신호와 제 4 클럭을 전달받아 제 2 주사신호를 생성하는 제 4 신호처리부를 구비하는 주사구동부 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

대표도 - 도3



특허청구의 범위

청구항 1

적어도 네 개의 클럭을 입력받아 동작하는 적어도 네 개의 신호처리부를 포함하는 복수의 스테이지를 포함하고,
상기 복수의 스테이지 중 제 1 스테이지는

스타트펄스와 제 2 클럭을 입력받아 제 1 출력신호를 생성하는 제 1 신호처리부;

상기 스타트펄스와 제 1 클럭을 입력받아 제 2 출력신호를 생성하는 제 2 신호처리부;

상기 제 1 출력신호와 상기 제 2 출력신호와 제 3 클럭을 입력받아 제 1 주사신호를 생성하는 제 3 신호처리부;
및

상기 제 1 출력신호와 상기 제 2 출력신호와 제 4 클럭을 입력받아 제 2 주사신호를 생성하는 제 4 신호처리부를 구비하는 주사구동부.

청구항 2

제 1 항에 있어서,

상기 복수의 스테이지 중 제 2 스테이지는

상기 제 2 주사신호와 상기 제 4 클럭을 입력받아 제 3 출력신호를 생성하는 제 1 신호처리부;

상기 제 2 주사신호와 제 3 클럭에 대응하여 상기 스타트펄스 또는 상기 이전의 스테이지의 출력신호를 입력하는 제 2 신호처리부;

상기 제 1 출력신호와 상기 제 2 출력신호와 상기 제 1 클럭을 입력받아 제 3 주사신호를 생성하는 제 3 신호처리부; 및

상기 제 1 출력신호와 상기 제 2 출력신호와 제 2 클럭을 입력받아 제 4 주사신호를 생성하는 제 4 신호처리부를 구비하는 주사구동부.

청구항 3

제 1 항에 있어서,

상기 제 1 신호처리부는

소스와 게이트로 스타트펄스가 입력되는 제 1 트랜지스터;

소스는 상기 제 1 트랜지스터의 드레인에 연결되고 게이트로 상기 제 2 클럭이 입력되고 드레인에는 제 2 노드에 연결되는 제 2 트랜지스터를 구비하는 주사구동부.

청구항 4

제 1 항에 있어서,

상기 제 2 신호처리부는

소스는 제 1 전원에 연결되고 드레인에는 제 1 노드에 연결되며 게이트로 상기 스타트펄스가 입력되는 제 3 트랜지스터;

소스는 상기 제 1 전원에 연결되고 드레인에는 제 2 노드에 연결되며 게이트는 상기 제 1 노드에 연결되는 제 4 트랜지스터;

소스는 제 2 전원에 연결되고 드레인에는 상기 제 1 노드에 연결되며 게이트로 상기 제 1 클럭이 입력되는 제 5 트랜지스터; 및

제 1 전극은 상기 제 1 전원에 연결되고 제 2 전극은 상기 제 1 노드에 연결되는 제 1 커패시터를 구비하는 주사구동부.

청구항 5

제 1 항에 있어서,

상기 제 3 신호처리부는

소스는 제 1 전원에 연결되고 드레인은 제 1 주사선과 연결되며 게이트는 제 1 노드와 연결되는 제 6 트랜지스터;

소스는 상기 제 1 주사선과 연결되고 드레인으로 제 3 클럭이 입력되며 게이트는 제 2 노드에 연결되는 제 7 트랜지스터; 및

제 1 전극은 상기 제 1 주사선에 연결되고 제 2 전극은 상기 제 2 노드에 연결되는 제 2 캐패시터를 포함하는 주사구동부.

청구항 6

제 1 항에 있어서,

상기 제 4 신호처리부는

소스는 제 1 전원에 연결되고 드레인은 제 2 주사선과 연결되며 게이트는 제 1 노드와 연결되는 제 8 트랜지스터;

소스는 상기 제 2 주사선과 연결되고 드레인으로 제 4 클럭이 입력되며 게이트는 제 2 노드에 연결되는 제 9 트랜지스터;

제 1 전극은 제 1 전원에 연결되고 제 2 전극은 상기 제 8 트랜지스터의 게이트에 연결되는 제 3 트랜지스터; 및

제 1 전극은 상기 제 2 주사선에 연결되고 제 2 전극은 상기 제 2 노드에 연결되는 제 4 캐패시터를 포함하는 주사구동부.

청구항 7

제 6 항에 있어서,

상기 제 2 번째 주사선을 통해 입력되는 주사신호가 상기 복수의 스테이지 중 제 2 스테이지에 입력되는 주사구동부.

청구항 8

데이터신호, 주사신호에 대응하여 화상을 표현하는 화소부;

상기 데이터신호를 생성하여 상기 화소부에 입력하는 데이터구동부; 및

상기 주사신호를 생성하여 주사구동부를 포함하되,

상기 주사구동부는

적어도 네 개의 클럭을 입력받아 동작하는 적어도 네 개의 신호처리부를 포함하는 복수의 스테이지를 포함하고,

상기 복수의 스테이지 중 제 1 스테이지는

스타트펄스와 제 2 클럭을 입력받아 제 1 출력신호를 생성하는 제 1 신호처리부;

상기 스타트펄스와 제 1 클럭을 입력받아 제 2 출력신호를 생성하는 제 2 신호처리부;

상기 제 1 출력신호와 상기 제 2 출력신호와 제 3 클럭을 입력받아 제 1 주사신호를 생성하는 제 3 신호처리부; 및

상기 제 1 출력신호와 상기 제 2 출력신호와 제 4 클럭을 입력받아 제 2 주사신호를 생성하는 제 4 신호처리부를 구비하는 유기전계발광표시장치.

청구항 9

제 8 항에 있어서,

상기 복수의 스테이지 중 제 2 스테이지는

상기 제 2 주사신호와 상기 제 4 클럭을 입력받아 제 3 출력신호를 생성하는 제 1 신호처리부;

상기 제 2 주사신호와 제 3 클럭에 대응하여 상기 스타트펄스 또는 상기 이전의 스테이지의 출력신호를 입력하는 제 2 신호처리부;

상기 제 1 출력신호와 상기 제 2 출력신호와 상기 제 1 클럭을 입력받아 제 3 주사신호를 생성하는 제 3 신호처리부; 및

상기 제 1 출력신호와 상기 제 2 출력신호와 제 2 클럭을 입력받아 제 4 주사신호를 생성하는 제 4 신호처리부를 구비하는 유기전계발광표시장치.

청구항 10

제 8 항에 있어서,

상기 제 1 신호처리부는

소스와 게이트로 스타트펄스가 입력되는 제 1 트랜지스터;

소스는 상기 제 1 트랜지스터의 드레인에 연결되고 게이트로 상기 제 2 클럭이 입력되고 드레인에는 제 2 노드에 연결되는 제 2 트랜지스터를 구비하는 유기전계발광표시장치.

청구항 11

제 8 항에 있어서,

상기 제 2 신호처리부는

소스는 제 1 전원에 연결되고 드레인에는 제 1 노드에 연결되며 게이트로 상기 스타트펄스가 입력되는 제 3 트랜지스터;

소스는 상기 제 1 전원에 연결되고 드레인에는 제 2 노드에 연결되며 게이트는 상기 제 1 노드에 연결되는 제 4 트랜지스터;

소스는 제 2 전원에 연결되고 드레인에는 상기 제 1 노드에 연결되며 게이트로 상기 제 1 클럭이 입력되는 제 5 트랜지스터; 및

제 1 전극은 상기 제 1 전원에 연결되고 제 2 전극은 상기 제 1 노드에 연결되는 제 1 캐패시터를 구비하는 유기전계발광표시장치.

청구항 12

제 8 항에 있어서,

상기 제 3 신호처리부는

소스는 제 1 전원에 연결되고 드레인에는 제 1 주사선과 연결되며 게이트는 제 1 노드와 연결되는 제 6 트랜지스터;

소스는 상기 제 1 주사선과 연결되고 드레인으로는 제 3 클럭이 입력되며 게이트는 제 2 노드에 연결되는 제 7 트랜지스터; 및

제 1 전극은 상기 제 1 주사선에 연결되고 제 2 전극은 상기 제 2 노드에 연결되는 제 2 캐패시터를 포함하는 유기전계발광표시장치.

청구항 13

제 8 항에 있어서,

상기 제 4 신호처리부는

소스는 제 1 전원에 연결되고 드레인에는 제 2 주사선과 연결되며 게이트는 제 1 노드와 연결되는 제 8 트랜지스터;

소스는 상기 제 2 주사선과 연결되고 드레인으로는 제 4 클럭이 입력되며 게이트는 제 2 노드에 연결되는 제 9 트랜지스터;

제 1 전극은 제 1 전원에 연결되고 제 2 전극은 상기 제 8 트랜지스터의 게이트에 연결되는 제 3 트랜지스터; 및

제 1 전극은 상기 제 2 주사선에 연결되고 제 2 전극은 상기 제 2 노드에 연결되는 제 4 캐패시터를 포함하는 유기전계발광표시장치.

청구항 14

제 13 항에 있어서,

상기 제 2 번째 주사선을 통해 입력되는 주사신호가 상기 복수의 스테이지 중 제 2 스테이지에 입력되는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 주사구동부 및 그를 이용한 유기전계발광표시장치에 관한 것으로, 더욱 상세히 설명하면, 주사신호를 생성하는 스테이지의 수를 줄여 크기가 작게 형성되는 주사구동부 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

[0002]

배경 기술

[0003] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광표시장치(Organic Light Emitting Display) 등이 있다.

[0004] 평판표시장치 중 유기전계발광표시장치는 전류의 흐름에 대응하여 발생하는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다.

[0005] 이와 같은 상기 유기전계발광표시장치는 색 재현성의 뛰어난과 얇은 두께 등의 여러 가지 이점으로 인해 응용분야에서 휴대폰용 이외에도 PDA, MP3 플레이어 등으로 시장이 크게 확대되고 있다.

[0006] 상기와 같은 유기전계발광표시장치는 화소에서 주사신호에 의해 데이터신호를 전달받아 데이터신호에 대응되는 전류를 생성한다. 주사신호는 주사구동부에서 생성되어 화소에 전달되고 데이터신호는 데이터구동부에서 생성되어 화소에 전달된다. 이때, 주사신호를 생성하는 주사구동부는 복수의 스테이지를 포함하며, 각 스테이지에서 하나의 주사신호를 생성한다.

[0007] 최근에는 고해상도의 영상신호를 이용하여 영상을 표현하도록 하기 때문에 주사신호를 생성하는 주사선의 수가 점차적으로 증가되고 있다. 하지만, 주사신호를 생성하는 각각의 스테이지 크기에 의해 주사선의 수를 증가시키는 데 한계가 있다.

발명의 내용

해결 하고자하는 과제

[0008] 본 발명은 주사신호를 출력하는 회로의 면적을 작게 하여 크기가 작게 형성되는 주사구동부 및 그를 이용한 유

기전계발광표시장치를 제공하는 것이다.

과제 해결수단

[0009] 본 발명의 제 1 측면은, 적어도 네 개의 클럭을 전달받아 동작하는 적어도 네 개의 신호처리부를 포함하는 복수의 스테이지를 포함하고, 상기 복수의 스테이지 중 제 1 스테이지는 스타트펄스와 제 2 클럭을 전달받아 제 1 출력신호를 생성하는 제 1 신호처리부; 상기 스타트펄스와 제 1 클럭을 전달받아 제 2 출력신호를 생성하는 제 2 신호처리부; 상기 제 1 출력신호와 상기 제 2 출력신호와 제 3 클럭을 전달받아 제 1 주사신호를 생성하는 제 3 신호처리부; 및 상기 제 1 출력신호와 상기 제 2 출력신호와 제 4 클럭을 입력받아 제 2 주사신호를 생성하는 제 4 신호처리부를 구비하는 주사구동부를 제공하는 것이다.

[0010] 본 발명의 제 2 측면은, 데이터신호, 주사신호에 대응하여 화상을 표현하는 화소부; 상기 데이터신호를 생성하여 상기 화소부에 입력하는 데이터구동부; 및 상기 주사신호를 생성하여 주사구동부를 포함하되, 상기 주사구동부는 적어도 네 개의 클럭을 입력받아 동작하는 적어도 네 개의 신호처리부를 포함하는 복수의 스테이지를 포함하고, 상기 복수의 스테이지 중 제 1 스테이지는 스타트펄스와 제 2 클럭을 입력받아 제 1 출력신호를 생성하는 제 1 신호처리부; 상기 스타트펄스와 제 1 클럭을 입력받아 제 2 출력신호를 생성하는 제 2 신호처리부; 상기 제 1 출력신호와 상기 제 2 출력신호와 제 3 클럭을 입력받아 제 1 주사신호를 생성하는 제 3 신호처리부; 및 상기 제 1 출력신호와 상기 제 2 출력신호와 제 4 클럭을 입력받아 제 2 주사신호를 생성하는 제 4 신호처리부를 구비하는 유기전계발광표시장치를 제공하는 것이다.

효 과

[0011] 본 발명에 따른 주사구동부 및 그를 이용한 유기전계발광표시장치에 의하면 주사구동부의 크기를 작게 구현할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.

[0013] 도 1은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다. 도 1을 참조하여 설명하면, 유기전계발광표시장치는 화소부(100), 데이터구동부(200), 주사구동부(300)를 포함한다.

[0014] 화소부(100)에는 복수의 화소(101)가 배열되고 각 화소(101)는 전류의 흐름에 대응하여 빛을 발광하는 유기발광다이오드(미도시)를 포함한다. 그리고, 화소부(100)는 행방향으로 주사신호를 전달하는 n 개의 주사선($S1, S2, \dots, Sn-1, Sn$)과 열방향으로 데이터신호를 전달하는 m 개의 데이터선($D1, D2, \dots, Dm-1, Dm$)이 배열된다.

[0015] 또한, 화소부(100)는 화소전원(미도시)과 기저전원(미도시)을 전달받아 구동한다. 따라서, 화소부(100)는 주사신호, 데이터신호, 화소전원 및 기저전원에 의해 유기발광다이오드에 전류가 흐르게 됨으로써 발광하여 영상을 표시한다.

[0016] 데이터구동부(200)는 데이터신호를 생성하는 수단으로, 적색, 청색, 녹색의 성분을 갖는 영상신호를 이용하여 데이터신호를 생성한다. 그리고, 데이터구동부(200)는 화소부(100)의 데이터선($D1, D2, \dots, Dm-1, Dm$)과 연결되어 생성된 데이터 신호를 화소부(100)에 인가한다.

[0017] 주사구동부(300)는 주사신호를 생성하는 수단으로, 주사선($S1, S2, \dots, Sn-1, Sn$)에 연결되어 주사신호를 화소부(100)의 특정한 행에 전달한다. 주사신호가 전달된 화소(101)에는 데이터구동부(200)에서 출력된 데이터신호가 전달되어 데이터신호에 대응되는 전압이 화소에 전달되게 된다.

[0018] 주사구동부(300)는 복수의 스테이지에서 주사신호를 생성하는데, 각각의 스테이지에서 적어도 2개 이상의 주사신호가 출력될 수 있도록 하여 스테이지의 수를 줄여 주사구동부(300)의 크기를 작게 구현할 수 있다.

[0019] 도 2는 도 1에 도시된 유기전계발광표시장치에 채용된 주사구동부의 제 1 실시예를 나타내는 구조도이다. 도 2를 참조하여 설명하면, 주사구동부(300)는 복수의 스테이지를 포함하고, 각각의 스테이지는 제 1 내지 제 4 클럭($CLK1$ 내지 $CLK4$)와 스타트펄스(FLM) 또는 이전 스테이지의 주사신호를 입력받아 동작한다. 또한, 각각의 스테이지는 제 1 신호처리부 내지 제 4 신호처리부(311a 내지 314a, 321a 내지 324a)를 포함한다. 주사구동부(300)의 설명의 편의를 위해 도 2에는 제 1 스테이지(310a)와 제 2 스테이지(320a)만 도시되어 있다.

- [0020] 제 1 스테이지(310a)의 제 1 신호처리부(311a)는 스타트펄스(FLM)와 제 2 클럭(CLK2)을 전달받아 동작하고, 제 2 신호처리부(312a)는 스타트펄스(FLM)와 제 1 클럭(CLK1)을 전달받아 동작하며 제 3 신호처리부(313a)는 제 1 신호처리부(310a)의 출력신호와 제 2 신호처리부(312a)의 출력신호와 제 3 클럭(CLK3)을 전달받아 제 1 주사신호를 출력한다. 그리고, 제 4 신호처리부(314a)는 제 1 신호처리부(311a)의 출력신호와 제 2 신호처리부(312a)의 출력신호와 제 4 클럭(CLK4)을 전달받아 제 2 주사신호를 출력한다.
- [0021] 그리고, 제 2 스테이지(320a)의 제 1 신호처리부(321a)는 제 2 주사신호와 제 4 클럭(CLK4)을 전달받아 동작하고, 제 2 신호처리부(322a)는 제 2 주사신호와 제 3 클럭(CLK3)을 전달받아 동작하며 제 3 신호처리부(323a)는 제 1 신호처리부(321a)의 출력신호와 제 2 신호처리부(322a)의 출력신호와 제 1 클럭(CLK1)을 전달받아 제 3 주사신호를 출력한다. 그리고, 제 4 신호처리부(324a)는 제 1 신호처리부(321a)의 출력신호와 제 2 신호처리부(322a)의 출력신호와 제 2 클럭(CLK2)을 전달받아 제 4 주사신호를 출력한다.
- [0022] 도 3은 도 2에 도시된 주사구동부를 나타내는 회로도이다. 도 3을 참조하여 설명하면, 제 1 스테이지의 제 1 신호처리부(311a)는 제 1 트랜지스터(M1a)와 제 2 트랜지스터(M2a)를 포함하며, 제 1 트랜지스터(M1a)의 소스와 게이트를 통해 스타트펄스(FLM)가 전달된다. 그리고, 제 1 트랜지스터(M1a)의 드레인은 제 2 트랜지스터(M2a)의 소스에 연결된다. 제 2 트랜지스터(M2a)의 소스는 제 1 트랜지스터(M1a)의 드레인에 연결되고 게이트는 제 2 클럭(CLK2)을 전달받으며 드레인은 제 2 노드(N2a)에 연결된다.
- [0023] 제 1 스테이지(310a)의 제 2 신호처리부(312a)는 제 3 트랜지스터(M3a), 제 4 트랜지스터(M4a), 제 5 트랜지스터(M5a) 및 제 1 캐패시터(C1a)를 포함한다. 제 3 트랜지스터(M3a)는 소스가 하이상태 전압을 공급하는 제 1 전원(VVDD)에 연결되고 드레인이 제 1 노드(N1a)(N1b)에 연결되며 게이트가 스타트펄스(FLM)를 전달받는다. 제 4 트랜지스터(M4a)는 소스가 제 1 전원(VVDD)에 연결되고 드레인이 제 2 노드(N2a)에 연결되며 게이트가 제 1 노드(N1a)에 연결된다. 그리고, 제 5 트랜지스터(M5a)는 소스가 제 1 노드(N1a)에 연결되고 드레인에 제 6 트랜지스터(M6a)와 제 8 트랜지스터(M8a)를 오프 상태가 되도록 하는 전압이 공급되는 제 2 전원(VVSS)에 연결되며 게이트가 제 1 클럭(CLK1)을 공급받는다. 또한, 제 1 캐패시터(C1a)는 제 1 전극이 제 1 전원(VVDD)에 연결되고 제 2 전극이 제 1 노드(N1a)에 연결된다.
- [0024] 제 1 스테이지(310a)의 제 3 신호처리부(313a)는 제 6 트랜지스터(M6a), 제 7 트랜지스터(M7a) 및 제 2 캐패시터(C2a)를 포함한다. 제 6 트랜지스터(M6a)는 소스가 제 1 전원(VVDD)에 연결되고 드레인이 제 1 주사신호(S1)가 출력되는 출력단에 연결되며 게이트가 제 2 노드(N2a)에 연결된다. 제 7 트랜지스터(M7a)는 소스를 통해 제 3 클럭(CLK3)을 공급받고 드레인에 제 1 주사신호(S1)가 출력되는 출력단에 연결되고 게이트가 제 2 노드(N2a)에 연결된다. 그리고, 제 2 캐패시터(C2a)는 제 1 전극이 제 2 노드(N2a)에 연결되고 제 2 전극이 제 1 주사신호(S1)가 출력되는 출력단에 연결된다.
- [0025] 제 1 스테이지(310a)의 제 4 신호처리부(314a)는 제 8 트랜지스터(M8a), 제 9 트랜지스터(M9a), 제 3 캐패시터(C3a) 및 제 4 캐패시터(C4a)를 포함한다. 제 8 트랜지스터(M8a)는 소스가 제 1 전원(VVDD)에 연결되고 드레인이 제 2 주사신호(S2)가 출력되는 출력단에 연결되며 게이트가 제 2 노드(N2a)에 연결된다. 제 9 트랜지스터(M9a)는 소스가 제 4 클럭(CLK4)을 공급받고 드레인이 제 2 주사신호(S2)가 출력되는 출력단에 연결되고 게이트가 제 2 노드(N2a)에 연결된다. 그리고, 제 3 캐패시터(C3a)는 제 1 전극이 제 1 전원(VVDD)에 연결되고 제 2 전극은 제 8 트랜지스터(M8a)의 게이트에 연결된다. 또한, 제 4 캐패시터(C4a)는 제 1 전극이 제 2 노드(N2a)에 연결되고 제 2 전극이 제 2 주사신호가 출력되는 출력단에 연결된다.
- [0026] 제 2 스테이지(320a)의 제 1 신호처리부(321a)는 제 1 트랜지스터(M1b)와 제 2 트랜지스터(M2b)를 포함하며, 제 1 트랜지스터(M1b)의 소스와 게이트를 통해 제 1 스테이지(310a)의 제 4 신호처리부(314a)에서 출력되는 제 2 주사신호(S2)가 전달된다. 그리고, 제 1 트랜지스터(M1b)의 드레인은 제 2 트랜지스터(M2b)의 소스에 연결된다. 제 2 트랜지스터(M2b)의 소스는 제 1 트랜지스터(M1b)의 드레인에 연결되고 게이트는 제 2 클럭(CLK2)을 전달받으며 드레인은 제 2 노드(N2b)에 연결된다.
- [0027] 제 2 스테이지(320a)의 제 2 신호처리부(322a)는 제 3 트랜지스터(M3b), 제 4 트랜지스터(M4b), 제 5 트랜지스터(M5b) 및 제 1 캐패시터(C1b)를 포함한다. 제 3 트랜지스터(M3b)는 소스가 하이 상태 전압을 공급하는 제 1 전원(VVDD)에 연결되고 드레인이 제 1 노드(N1b)에 연결되며 게이트가 제 2 주사신호(S2)를 전달받는다. 제 4 트랜지스터(M4b)는 소스가 제 1 전원(VVDD)에 연결되고 드레인이 제 2 노드(N2b)에 연결되며 게이트가 제 1 노드(N1b)에 연결된다. 그리고, 제 5 트랜지스터(M5b)는 소스가 제 1 노드(N1b)에 연결되고 드레인이 제 6 트랜지스터(M6b)와 제 8 트랜지스터(M8b)를 오프 상태가 되도록 하는 전압이 공급되는 제 2 전원(VVSS)에 연결되며 게이트가 제 1 클럭(CLK1)을 공급받는다. 또한, 제 1 캐패시터(C1b)는 제 1 전극이 제 1 전원(VVDD)에 연결되

고 제 2 전극이 제 1 노드(N1b)에 연결된다.

[0028] 제 2 스테이지(320a)의 제 3 신호처리부(323a)는 제 6 트랜지스터(M6b), 제 7 트랜지스터(M7b) 및 제 2 캐패시터(C2b)를 포함한다. 제 6 트랜지스터(M6b)는 소스가 제 1 전원(VVDD)에 연결되고 드레인이 제 3 주사신호(S3)가 출력되는 출력단에 연결되며 게이트가 제 2 노드(N2b)에 연결된다. 제 7 트랜지스터(M7b)는 소스가 제 3 클럭(CLK3)을 공급받고 드레인이 제 3 주사신호(S3)가 출력되는 출력단에 연결되고 게이트가 제 2 노드(N2b)에 연결된다. 그리고, 제 2 캐패시터(C2b)는 제 1 전극이 제 2 노드(N2b)에 연결되고 제 2 전극이 제 3 주사신호(S3)가 출력되는 출력단에 연결된다.

[0029] 제 2 스테이지(320a)의 제 4 신호처리부(324a)는 제 8 트랜지스터(M8b), 제 9 트랜지스터(M9b), 제 3 캐패시터(C3b) 및 제 4 캐패시터(C4b)를 포함한다. 제 8 트랜지스터(M8b)는 소스가 제 1 전원(VVDD)에 연결되고 드레인이 제 4 주사신호(S4)가 출력되는 출력단에 연결되며 게이트가 제 2 노드(N2b)에 연결된다. 제 9 트랜지스터(M9b)는 소스가 제 4 클럭(CLK4)을 공급받고 드레인이 제 2 주사신호(S2)가 출력되는 출력단에 연결되고 게이트가 제 2 노드(N2b)에 연결된다. 그리고, 제 3 캐패시터(C3b)는 제 1 전극이 제 1 전원(VVDD)에 연결되고 제 2 전극은 제 8 트랜지스터(M8b)의 게이트에 연결된다. 또한, 제 4 캐패시터(C4b)는 제 1 전극이 제 2 노드(N2b)에 연결되고 제 2 전극이 제 4 주사신호(S4)가 출력되는 출력단에 연결된다.

[0030]

[0031] 도 4는 도 3에 도시된 주사구동부에 입력되는 신호의 파형을 나타내는 파형도이다. 도 4를 도 3과 결부하여 설명하면, 먼저, 제 1 클럭(CLK1)이 로우상태가 되고, 제 2 클럭(CLK2), 제 3 클럭(CLK3), 제 4 클럭(CLK4) 및 스타트펄스(FLM)가 하이 상태가 되면, 제 1 스테이지(310a)는 제 1 클럭(CLK1)에 의해 제 5 트랜지스터(M5a)가 온상태가 된다. 제 5 트랜지스터(M5a)가 온 상태가 되면, 제 1 노드(N1a)에 제 2 전원(VVSS)가 전달된다. 제 2 전원(VVSS)의 전압은 로우 상태이기 때문에 제 6 트랜지스터(M6a)와 제 8 트랜지스터(M8a)가 온상태가 되어 제 1 및 제 2 주사선을 통해 출력되는 제 1 및 제 2 주사신호(S1, S2)는 하이 상태가 된다. 그리고, 제 2 클럭(CLK2)과 스타트펄스(FLM)가 로우 상태가 되고, 제 1 클럭(CLK1), 제 3 클럭(CLK3) 및 제 4 클럭(CLK4)이 하이 상태가 되면, 제 1 트랜지스터(M1a), 제 2 트랜지스터(M2a) 및 제 3 트랜지스터(M3a)가 온상태가 된다. 따라서, 제 2 노드(N2a)에 스타트펄스(FLM)가 전달되고 제 1 노드(N1a)에 하이 상태의 제 1 전원(VVDD)가 전달된다. 제 1 노드(N1a)에 제 1 전원(VVDD)이 전달되면 제 6 트랜지스터(M6a)와 제 8 트랜지스터(M8a)는 오프 상태가 된다. 그리고, 제 2 노드(N2a)에는 스타트펄스(FLM)가 전달되는데, 스타트펄스(FLM)가 로우 상태이기 때문에 제 1 노드(N1a)는 로우 상태가 된다. 제 2 노드(N2a)가 로우 상태가 되면 제 7 트랜지스터(M7a)와 제 9 트랜지스터(M9a)는 온 상태가 된다. 이때, 제 3 클럭(CLK3)과 제 4 클럭(CLK4)은 하이 상태이기 때문에 제 1 및 제 2 주사선을 통해 출력되는 제 1 및 제 2 주사신호(S1, S2)는 하이 상태가 된다.

[0032] 그리고, 제 1 클럭(CLK1), 제 2 클럭(CLK2) 및 제 4 클럭(CLK4)이 하이 상태가 되고, 제 3 클럭(CLK3)과 스타트펄스(FLM)가 로우 상태가 되면, 제 1 노드(N1a)는 제 3 트랜지스터(M3a)에 의해 하이 상태를 유지하여 제 8 트랜지스터(M8a)와 제 9 트랜지스터(M9a)가 오프 상태가 되도록 하고 제 2 노드(N2a)는 제 3 캐패시터(C3a)와 제 4 캐패시터(C4a)에 의해 로우 상태를 유지하게 된다. 제 2 노드(N2a)가 로우 상태를 유지하게 되면 제 7 트랜지스터(M7a)와 제 9 트랜지스터(M9a)는 온 상태가 된다. 이때, 제 3 클럭(CLK3)은 로우 상태이고 제 4 클럭(CLK4)은 하이 상태이기 때문에 제 1 주사선을 통해 출력되는 제 1 주사신호(S1)는 로우 상태가 되고 제 2 주사선을 통해 출력되는 제 2 주사신호(S2)는 하이 상태가 된다.

[0033] 또한, 제 1 클럭(CLK1), 제 2 클럭(CLK2), 제 3 클럭(CLK3) 및 스타트펄스(FLM)가 하이 상태가 되고, 제 4 클럭(CLK4)이 로우 상태가 되면, 제 1 노드(N1a)는 제 3 트랜지스터(M3a)에 의해 하이 상태를 유지하여 제 8 트랜지스터(M8a)와 제 9 트랜지스터(M9a)가 오프 상태가 되도록 하고 제 2 노드(N2a)는 제 3 캐패시터(C3a)와 제 4 캐패시터(C4a)에 의해 로우 상태를 유지하게 된다. 제 2 노드(N2a)가 로우 상태를 유지하게 되면 제 7 트랜지스터(M7a)와 제 9 트랜지스터(M9a)는 온 상태가 된다. 이때, 제 3 클럭(CLK3)은 하이 상태이고 제 4 클럭(CLK4)은 로우 상태이기 때문에 제 1 주사선을 통해 출력되는 제 1 주사신호(S1)는 하이 상태가 되고 제 2 주사선을 통해 출력되는 제 2 주사신호(S2)는 로우 상태가 된다.

[0034] 이때, 스타트펄스(FLM)가 제 2 클럭(CLK2)과 제 3 클럭(CLK3)이 로우 상태가 되는 구간에서 로우 상태가 되는 것으로 도시되어 있지만, 스타트펄스(FLM)가 제 2 클럭(CLK2)이 로우인 구간에서만 로우가 되는 것도 가능하다.

[0035] 그리고, 제 1 캐패시터(C1a)와 제 6 트랜지스터(M6a)의 소스와 게이트 사이에 연결되고, 제 3 캐패시터(C3a)는

제 8 트랜지스터(M8a)의 소스와 게이트 사이에 연결되어 제 6 트랜지스터(M6a)와 제 7 트랜지스터(M7a)의 게이트 전압에 변동이 발생하는 것을 방지한다.

[0036] 그리고, 제 2 스테이지(320a)는 제 1 스테이지(310a)와 동일한 구성을 하되, 스타트 펄스(FLM) 대신에 제 1 스테이지(310a)로부터 제 2 주사선을 통해 출력되는 제 2 주사신호(S2)를 전달받아 동작한다. 그리고, 제 3 클럭(CLK3)에 의해 제 1 노드(N1b)를 초기화하고 제 4 클럭(CLK4)에 의해 주사신호가 제 2 노드(N2b)에 전달되도록 하며, 제 1 클럭(CLK1)에 의해 제 3 주사선을 통해 제 3 주사신호(S3)가 출력되고 제 2 클럭(CLK2)에 의해 제 4 주사선을 통해 제 4 주사신호(S4)가 출력되도록 한다.

[0037] 도 5는 도 1에 도시된 유기전계발광표시장치에 채용된 주사구동부의 제 2 실시예를 나타내는 구조도이다. 도 5를 참조하여 설명하면, 주사구동부(300)는 복수의 스테이지를 포함하고, 각각의 스테이지는 제 1 내지 제 4 클럭(CLK4)과 스타트펄스(FLM) 또는 이전단의 출력신호를 입력받아 동작한다. 또한, 각각의 스테이지는 제 1 신호처리부 내지 제 5 신호처리부를 포함한다. 주사구동부의 설명의 편의를 위해 도 5에는 제 1 스테이지(310b)와 제 2 스테이지(320b)만 도시되어 있다.

[0038] 제 1 스테이지(310b)의 제 1 신호처리부는 스타트펄스(FLM)와 제 2 클럭(CLK2)을 전달받아 동작하고, 제 2 신호처리부는 스타트펄스(FLM)와 제 1 클럭(CLK1)을 전달받아 동작하며 제 3 신호처리부는 제 1 신호처리부의 출력신호와 제 2 신호처리부의 출력신호와 제 3 클럭(CLK3)을 전달받아 제 1 주사신호를 출력한다. 그리고, 제 4 신호처리부는 제 1 신호처리부의 출력신호와 제 2 신호처리부의 출력신호와 제 4 클럭(CLK4)을 전달받아 제 2 주사신호를 출력한다. 또한, 제 5 신호처리부는 제 1 신호처리부의 출력신호와 제 2 신호처리부의 출력신호와 제 4 클럭(CLK4)을 전달받아 제 3 주사신호를 출력한다.

[0039] 그리고, 제 2 스테이지(320b)의 제 1 신호처리부는 제 3 주사신호와 제 5 클럭을 전달받아 동작하고, 제 2 신호처리부는 제 3 주사신호와 제 4 클럭을 전달받아 동작하며 제 3 신호처리부는 제 1 신호처리부의 출력신호와 제 2 신호처리부의 출력신호와 제 1 클럭(CLK1)을 전달받아 제 4 주사신호를 출력한다. 그리고, 제 4 신호처리부는 제 1 신호처리부의 출력신호와 제 2 신호처리부의 출력신호와 제 2 클럭(CLK2)을 전달받아 제 5 주사신호를 출력한다. 또한, 제 5 신호처리부는 제 1 신호처리부의 출력신호와 제 2 신호처리부의 출력신호와 제 3 클럭(CLK3)을 전달받아 제 6 주사신호를 출력한다.

[0040] 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 단지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어야 한다.

도면의 간단한 설명

[0041] 도 1은 본 발명에 따른 유기전계발광표시장치의 구조를 나타내는 구조도이다.

[0042] 도 2는 도 1에 도시된 유기전계발광표시장치에 채용된 주사구동부의 제 1 실시예를 나타내는 구조도이다.

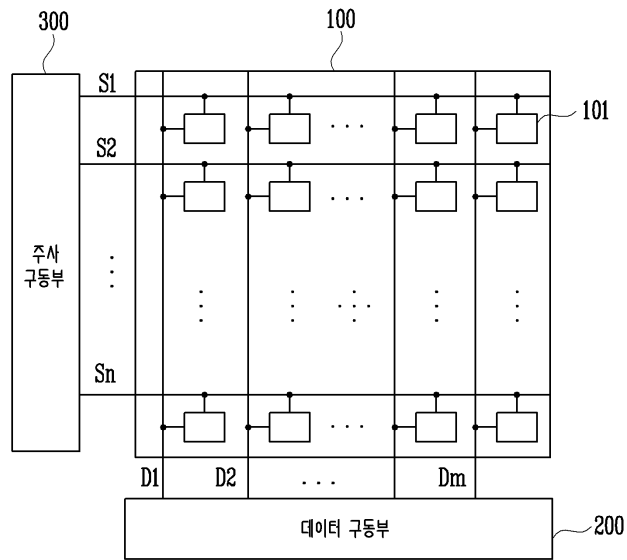
[0043] 도 3은 도 2에 도시된 주사구동부를 나타내는 회로도이다.

[0044] 도 4는 도 3에 도시된 주사구동부에 입력되는 신호의 파형을 나타내는 파형도이다.

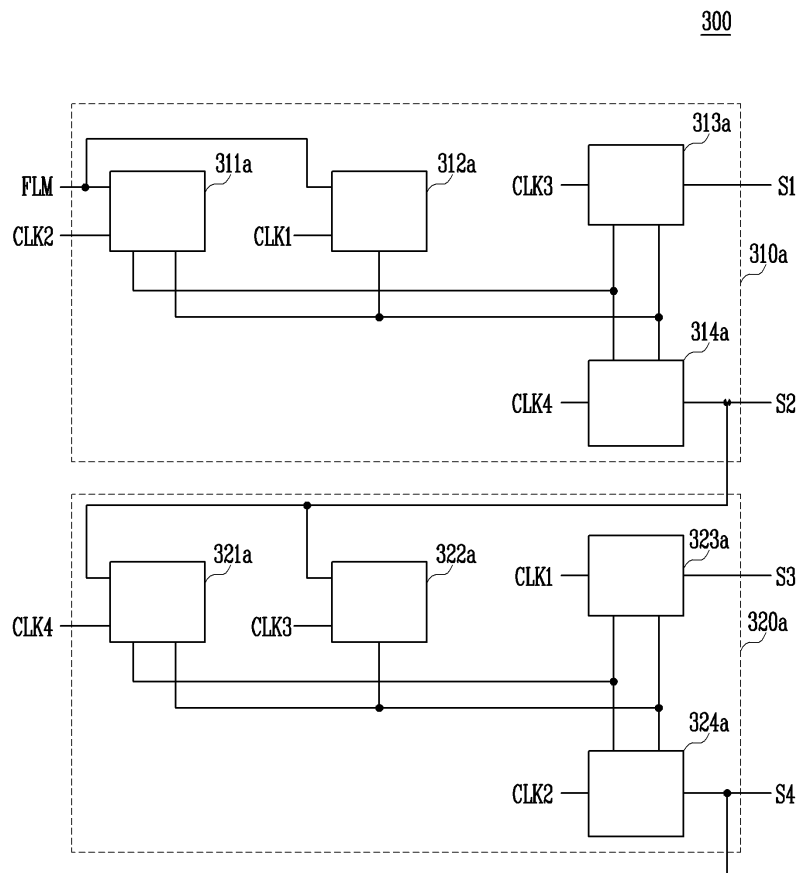
[0045] 도 5는 도 1에 도시된 유기전계발광표시장치에 채용된 주사구동부의 제 2 실시예를 나타내는 구조도이다.

도면

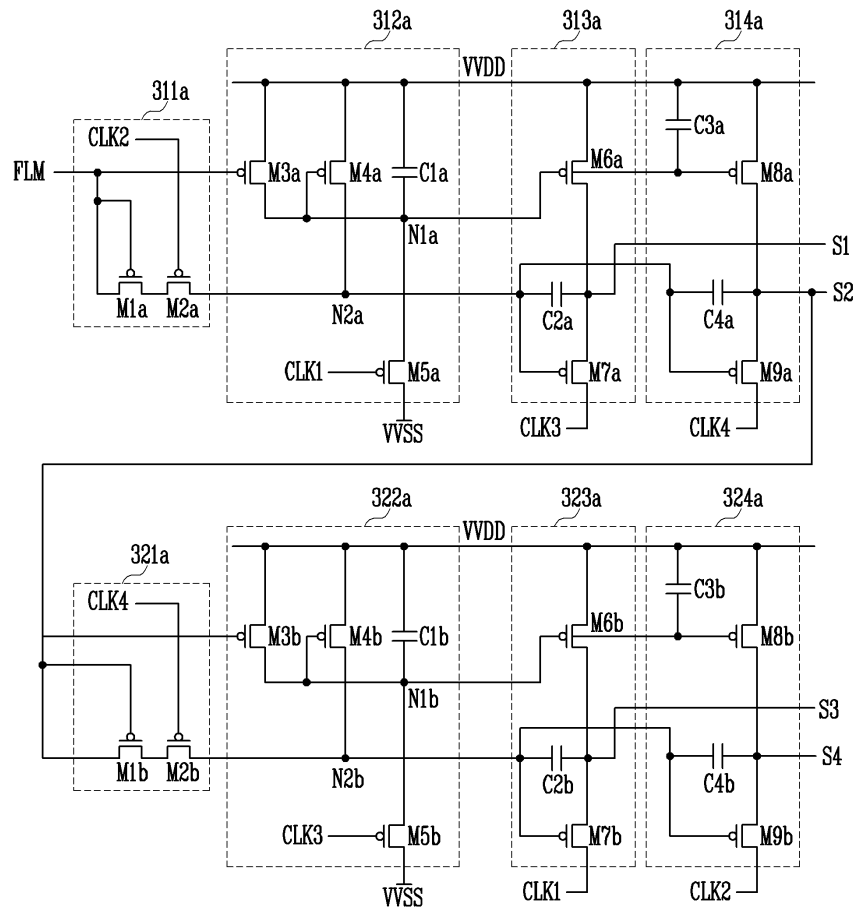
도면1



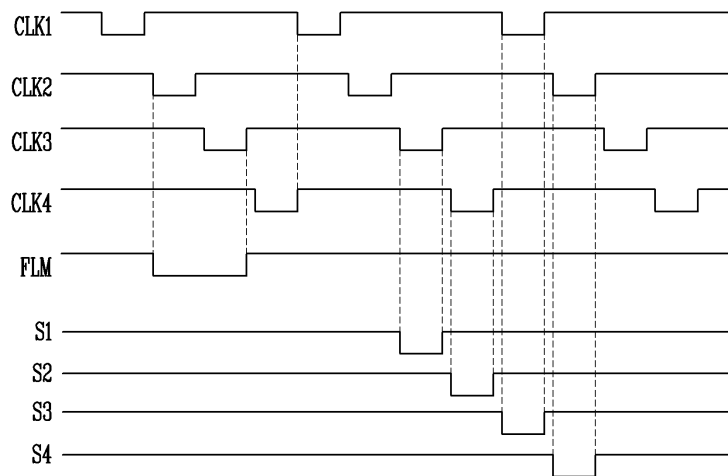
도면2



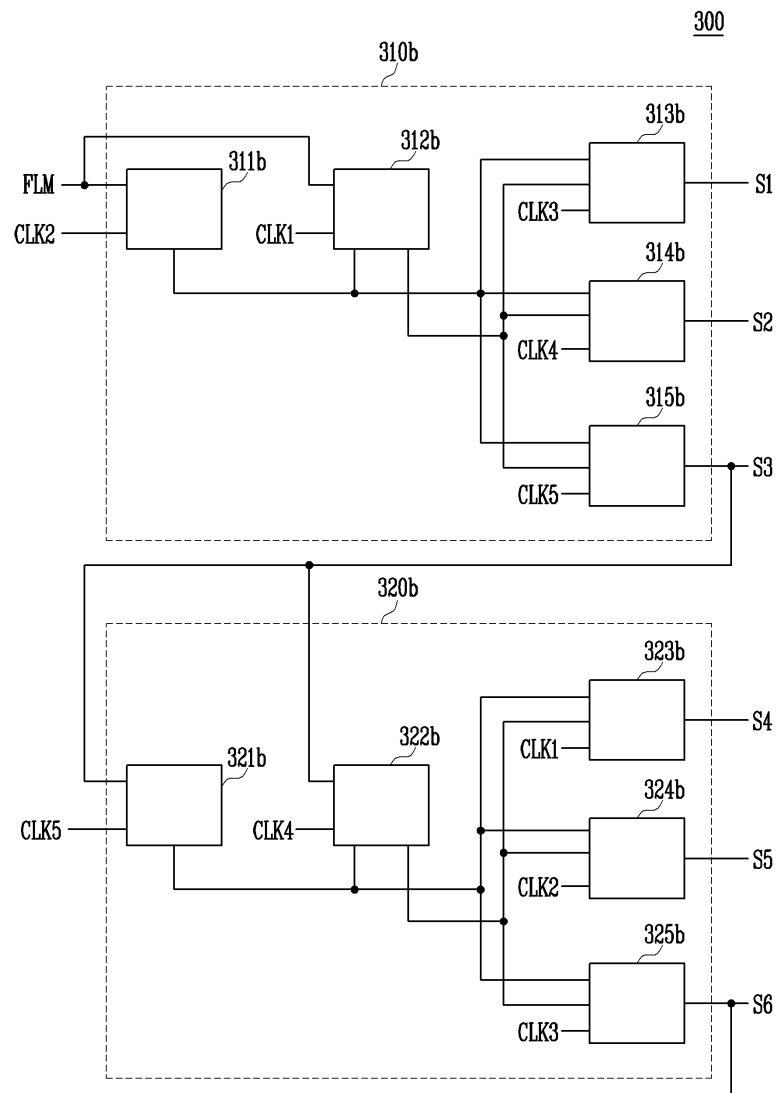
도면3



도면4



도면5



专利名称(译)	扫描驱动器和使用其的有机发光显示器		
公开(公告)号	KR1020100021130A	公开(公告)日	2010-02-24
申请号	KR1020080079876	申请日	2008-08-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	JINTAE JEONG 정진태 KIMYEONG EOM 엄기명 SEONI JEONG 정선이		
发明人	정진태 엄기명 정선이		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H01L51/50		
CPC分类号	G09G3/3266 G09G2310/08 G09G3/3258 G09G3/3275 G09G2310/0202		
代理人(译)	Sinyoungmu		
其他公开文献	KR100962909B1		
外部链接	Espacenet		

摘要(译)

用途：提供小尺寸扫描驱动器及其OLED显示装置，通过减少产生扫描信号的级数来减小总尺寸。结构：扫描驱动器包括多个级，其中四个信号处理单元至少由其操作，四个时钟。第一级包括第一信号处理单元（311a），第二信号处理单元（312a），第三信号处理单元（313a）和第四信号处理单元（314a）。第一信号处理单元根据起始脉冲和第二时钟产生第一输出信号。第二信号处理单元根据起始脉冲和第一时钟产生第二输出信号。第三信号处理单元根据第三时钟产生第一输出信号，第二输出信号和第一扫描信号。第四信号处理单元根据第四时钟产生第一输出信号，第二输出信号和第二扫描信号。

